8

Geheugens

Inhoud

■/■■ reeds gepubliceerd
▒/▒▒ gepland voor de volgende aanvullingen

Deel 8: Geheugens

8/1

ROM-geheugens

Inhoud

8/1.5 Type-beschrijving M23xx-familie NMOS

(aanvulling 47)

M2316H	2k x 8 bit, 3-state uitgangen
M2332	4k x 8 bit, 3-state uitgangen
M2333	4k x 8 bit, 3-state uitgangen
M2364	8k x 8 bit, 3-state uitgangen
M2365	8k x 8 bit, 3-state uitgangen

8/1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

(aanvulling 47)

MK2300	64 (5 x 7) dot matrix karaktergenerator
MK2302	64 (5 x 7) ASCII karaktergenerator
MK2400	256 x 10 bit, output latches
MK2408	64 (7 x 5) ASCII karaktergenerator
MK2500	512 x 8 of 1024 x 4 bit, 3-state uitgangen
MK2600	512 x 8 of 1024 x 4 bit, 3-state uitgangen
MK2503	512 karakter ASCII/EBCDIC-code omzetter
MK28000	2k x 8 of 4k x 4 bit, open-drain uitgangen
MK30000	1k x 8 bit, 3-state uitgangen
MK31000	2k x 8 bit, 3-state uitgangen
MK34000	2k x 8 bit, 3-state uitgangen
MK36000	8k x 8 bit, 3-state uitgangen

8/1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS

(aanvulling 47)

2513	64 (8 x 5) ASCII karaktergenerator
2516	64 (6 x 8) ASCII karaktergenerator
2526	64 (9 x 9) ASCII karaktergenerator
2530	512 x 8 bit, 3-state uitgangen
2580	2048 x 4 bit, 3-state uitgangen
2600	2048 x 8 bit, 3-state uitgangen
2607	1024 x 8 bit, 3-state uitgangen
2608	1024 x 8 bit, 3-state uitgangen
2609	128 (9 x 7) karaktergenerator
2616	2048 x 8 bit, 3-state uitgangen
2617	2048 x 8 bit, 3-state uitgangen

8/1.8 Type-beschrijving MM52xx-familie PMOS

(aanvulling 47)

MM5210	256 x 4 bit, +12 V/-12 V
MM5211	256 x 4 bit, +5 V/-12 V
MM5220	128 x 8 of 256 x 4 bit, +12 V/-12 V, code-omzetter, karaktergenerator
MM5221	128 x 8 of 256 x 4 bit, +5 V/-12 V, code-omzetter
MM5230	256 x 8 of 512 x 4 bit, +12 V/-12 V, code-omzetter, karaktergenerator
MM5231	256 x 8 of 512 x 4 bit, +5 V/-12 V, code-omzetter
MM5232	512 x 8 of 1024 x 4 bit, 3-state, +5 V/-12 V

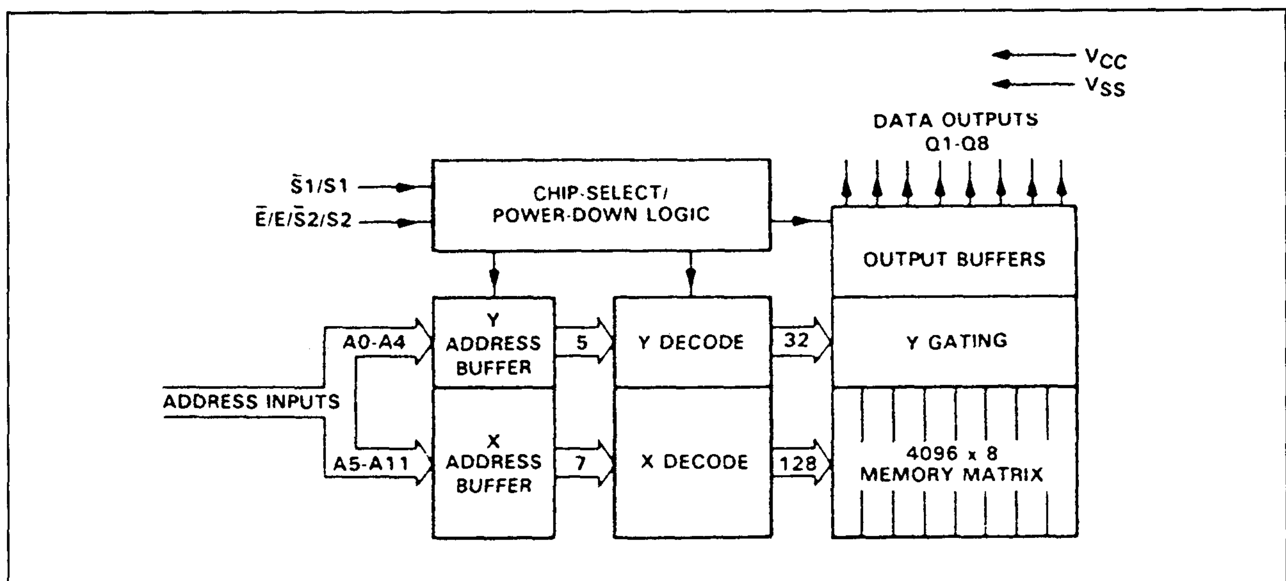
MM5240	64 (8 x 5) karaktergenerator, +12 V/-12 V
MM5241	64 (6 x 8) karaktergenerator, 3-state, +5 V/-12 V

8/1.1

Achtergrond-informatie

Inleiding
Een ROM (Read-Only Memory) is een vrij toegankelijk geheugen dat veelvuldig uitgelezen kan worden, maar waarin de informatie slechts éénmaal wordt geschreven. In tegenstelling tot de (statische) RAM blijft de inhoud van een ROM ook bij wegnemen van de voedingsspanning behouden. Het is dus een niet-vluchtig geheugen. De informatie wordt door de fabrikant tijdens het fabricageproces met behulp van een masker aangebracht en kan daarna niet meer worden veranderd of gewist. ROM's hebben daarom ook geen signaal-ingangen om te schrijven.
Doordat ROM's door de halfgeleiderfabrikant geprogrammeerd moeten worden, zijn kleine aantallen veel te duur. Bovendien kan de eenmaal aangebrachte inhoud niet meer worden veranderd. Het ligt dus voor de hand dat ROM's uitsluitend door grote bedrijven worden toegepast om hun apparatuur bepaalde vastgelegde handelingen te laten uitvoeren.
Behalve als geheugen voor vaste programmadelen kan een ROM ook worden gebruikt als karakter- of functie-generator, keyboard-encoder en voor het uitvoeren van logische functies.

Functioneel blokschema
Figuur 8/1.1-1 toont het functionele blokschema van een 4k x 8 bit ROM (TMS4732). Men ziet hierin dat naast de adres-ingangen en enkele chip-selectlijnen er alleen data-uitgangen aanwezig zijn. Figuur 8/1.1-2 is het logische symbool hiervan getekend.



Figuur 8/1.1-1: Functioneel blokschema van een 32k (4k x 8 bit) ROM.

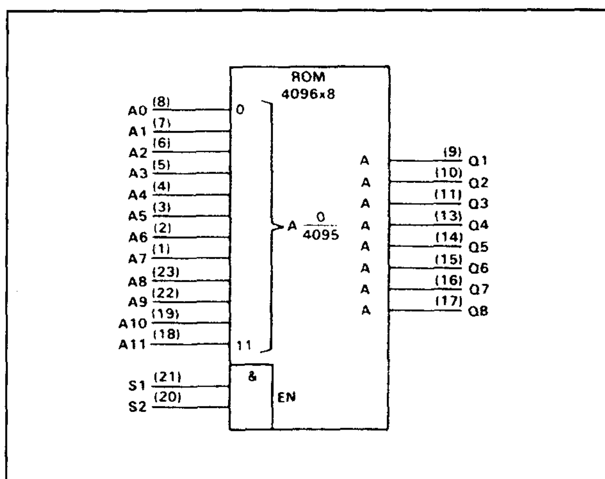
1.1 Achtergrond-informatie

Karakter generator

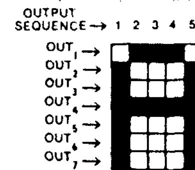
De karakters worden opgebouwd uit punten in een matrix van (vertikale) kolommen en (horizontale) rijen. In figuur 8/1.1-4 is bijvoorbeeld een 8 x 5 matrix getekend. Met behulp van 6 adreslijnen (A4 tot en met A9) wordt één van de 64 beschikbare karakters geselecteerd dat vervolgens met 3 adreslijnen (A1 tot en met A3) in vertikale richting kan worden afgetast om, bijvoorbeeld op een kathodestraalbuis, zichtbaar gemaakt te worden. De 3 adreslijnen A1 tot en met A3 bedienen dus 8 rijen van 5 uitgangen.

Opmerking

Aangezien de inhoud van een ROM meestal alleen bekend is aan de oorspronkelijke besteller/gebruiker, worden in dit hoofdstuk alleen de aansluitingen en de elektrische bedrijfscondities vermeld. De lezer kan daarmee zelf aan de slag om achter de geheimen van de ROM te komen. Omdat ROM's in nieuwe apparatuur (bijna) niet meer worden toegepast, heeft het behandelen van bijvoorbeeld de bestelprocedure geen zin. Er zijn tegenwoordig immers programmeerbare ROM's verkrijgbaar die door de gebruiker zelf van informatie voorzien kunnen worden, zoals E(E)PROM's, OTPROM's (One-time PROM's) en PLD's (PAL's, GAL's, Gate-Arrays, enz.).



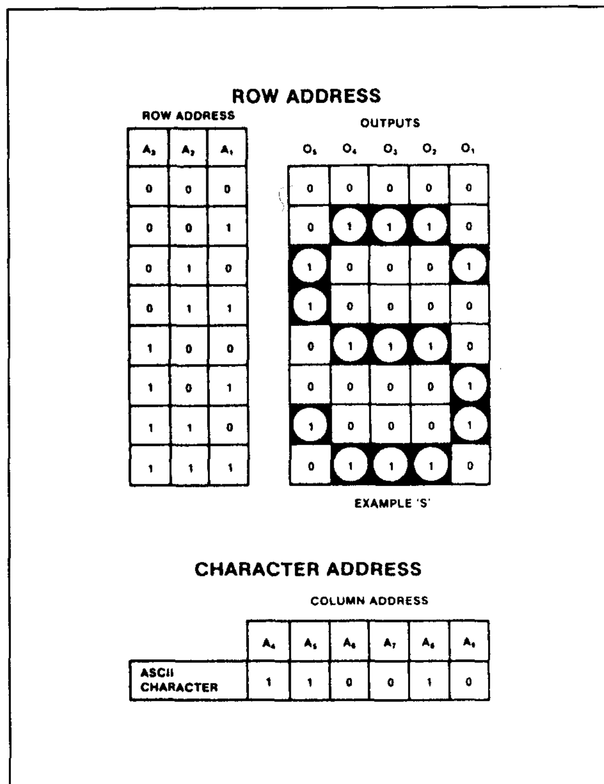
Figuur 8/1.1-2: Logische symbool van hetzelfde 4k x 8 bit ROM.



A_4	A_3	A_2	A_1	A_5 1 / A_6 0	A_5 1 / A_6 1	A_5 0 / A_6 0	A_5 0 / A_6 1
0	0	0	0		0	@	P
0	0	0	1	!	1	A	Q
0	0	1	0	"	2	B	R
0	0	1	1	#	3	C	S
0	1	0	0	$	4	D	T
0	1	0	1	%	5	E	U
0	1	1	0	&	6	F	V
0	1	1	1	'	7	G	W
1	0	0	0	(	8	H	X
1	0	0	1	)	9	I	Y
1	0	1	0	*	:	J	Z
1	0	1	1	+	;	K	[
1	1	0	0	,	<	L	\
1	1	0	1	-	=	M	]
1	1	1	0	.	>	N	^
1	1	1	1	/	?	O	_

Figuur 8/1.1-3: Voorbeeld van een ROM met karakterset (MK2302P).

1.1 Achtergrond-informatie



Figuur 8/1.1-4: Voorbeeld van een karakter dat met een 8 x 5 matrix is geprogrammeerd.

1.1 Achtergrond-informatie

8/1.2

Uitwisselbaarheid NMOS/CMOS ROM's

Inleiding

In dit hoofdstuk wordt een overzicht gegeven van de onderlinge uitwisselbaarheid van ROM's (niet-zelfprogrammeerbare geheugens die alleen kunnen worden uitgelezen). Aan de type-aanduidingen is niet te zien wat de inhoud is. Het is dus best mogelijk dat een bepaald type ROM bijvoorbeeld geprogrammeerd is als karakter-generator. Bij sommige merken worden dergelijke zaken aangegeven door extra toevoegingen aan het typenummer.

32k-typen

4k x 8

merk	typenummer
AMD	Am9232
GI	RO-3-9332
Motorola	MCM68A332
NEC	µPD2332
Oki	MSM2932
Signetics	2632A
Synertek	SY2332
Texas Instr.	TMS4732
Toshiba	TMM333
VTI	VT2332

4k x 8

merk	typenummer
AMD	Am9233
GI	RO9333
Synertek	SY2333
Texas Instr.	TMS2332
Toshiba	TMM2332
VTI	VT2333

64k-typen

8k x 8

merk	typenummer
AMD	Am9264C
GI	RO9464C
GTE Micro	G2364
Mostek	MK36000
Motorola	MCM68364
NCR	NCR2364
NEC	µPD2364
Oki	MSM2965
Rockwell	R2364A
SGS	M2364
Signetics	2664A
Synertek	SY2364
Texas Instr.	TMS4764
VTI	VT2364

8k x 8

merk	typenummer
AMD	Am9265C
GI	RO9864C
Motorola	MCM68370
NCR	NCR2365
Rockwell	R2364B
SGS	M37000
Synertek	SY2365
Texas Instr.	TMS2364
VTI	VT2365

128k-typen

16k x 8

merk	typenummer
AMD	Am92128D

1.2 Uitwisselbaarheid NMOS/CMOS ROM's

EXEL	XLS23128
GI	RO9128C
Gould AMI	S23128B
NCR	NCR23128
NEC	µPD23128
Oki	MSM38128A
Sharp	LH23128
Signetics	23128
Texas Instr.	TMS47128
VTI	VT23128

256k-typen

32k x 8

merk	**typenummer**
AMD	Am92256
EXEL	XLS23256
Gould AMI	S23256C
Mostek	MK38000
NCR	NCR23256
NEC	µPD23256
Signetics	23256A
Synertek	SY23256
Texas Instr.	TMS47256
VTI	VT23256

32k x 8, CMOS

merk	**typenummer**
Fujitsu	MB83256
GTE Micro	G53256
Hitachi	HN613256H
Motorola	MCM65256
NCR	NCR23C256
Oki	MSM53256
RCA	CDM53256
SMOS	SMM2325/SMM2326
Texas Instr.	TMS47C256
Toshiba	TMM23256

512k-typen

64k x 8, CMOS

merk	**typenummer**
GI	RO9512
Sharp	LH3512
Texas Instr.	TMS47C512
VTI	VT2351

1M-typen

128k x 8, CMOS

merk	**typenummer**
GI	RO91000 (NMOS)
Hitachi	HN62301
NEC	µPD231000 (NMOS)
Texas Instr.	TMS47C1024

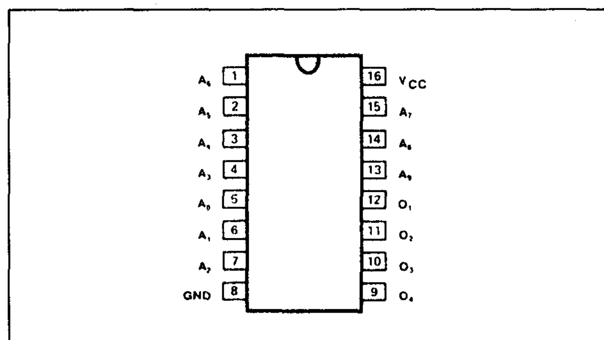
8/1.3

Type-beschrijving bipolaire N82Sxx-familie

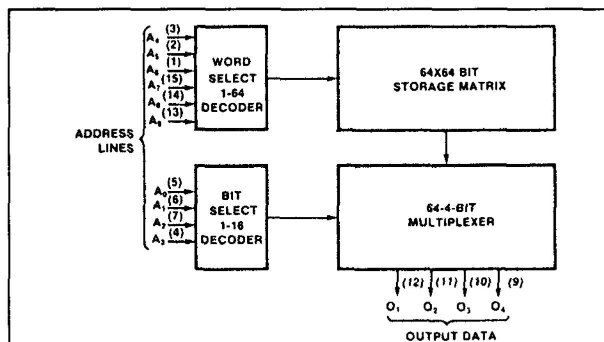
N8228

4096 bit bipolaire ROM

- organisatie: 1024 x 4 bit
- gebufferde adreslijnen
- totempaal uitgangen
- diode geclampte ingangen
- TTL-compatibel
- voeding: 5 V +/-5 %
- toepassing: onder andere ASCII karakter-generator
- merk: Signetics



Figuur 8/1.3-1: Aansluitgegevens van de N8228.

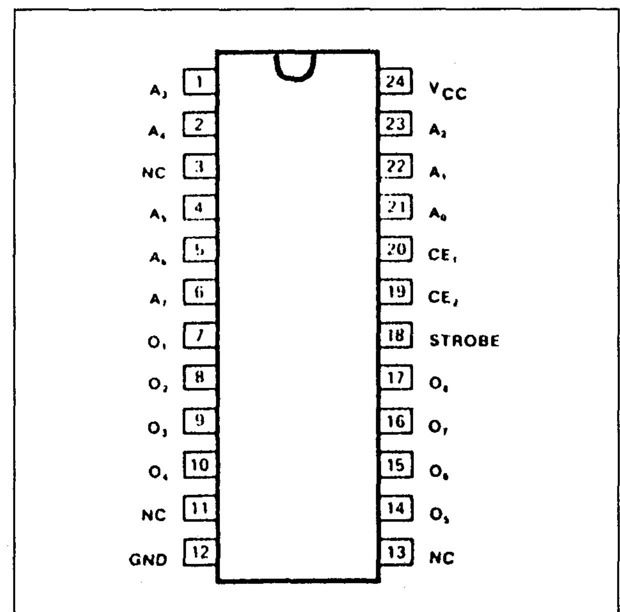


Figuur 8/1.3-2: Functioneel blokschema van de N8228.

N82S214

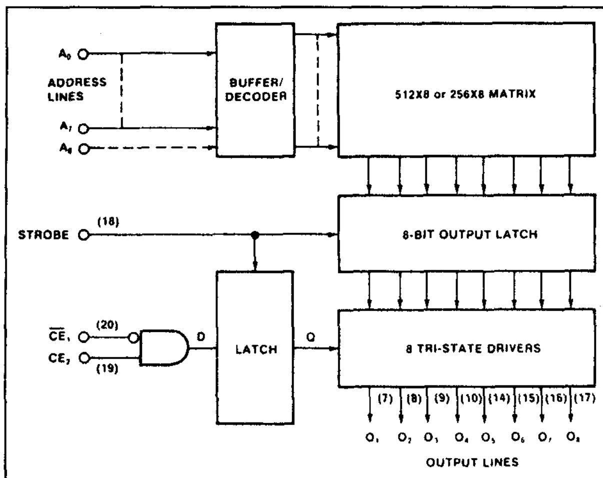
2048 bit bipolaire ROM

- organisatie: 256 x 8 bit
- on-chip data-uitgangsregisters
- on-chip latches
- 3-state uitgangen
- Schottky geclampte ingangen
- adres-toegangstijd: 60 ns max.
- voeding: 5 V +/-5 %
- compatibel met 82S114 PROM
- merk: Signetics

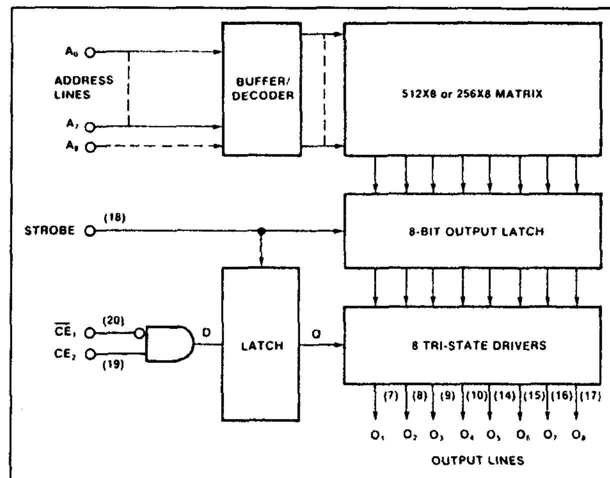


Figuur 8/1.3-3: Aansluitgegevens van de N82S214.

1.3 Type-beschrijving bipolaire N82Sxx-familie



Figuur 8/1.3-4: Functioneel blokschema van de N82S214.



Figuur 8/1.3-6: Functioneel blokschema van de N82S215.

N82S215

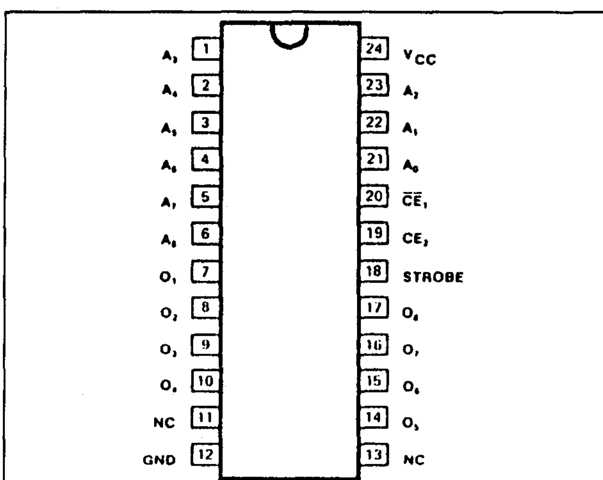
4096 bit bipolaire ROM

- organisatie: 512 x 8 bit
- on-chip data-uitgangsregisters
- on-chip latches
- 3-state uitgangen
- voeding: 5 V +/-5 %
- diode geclampte ingangen
- adres-toegangstijd: 60 ns max.
- compatibel met 82S115 PROM
- merk: Signetics

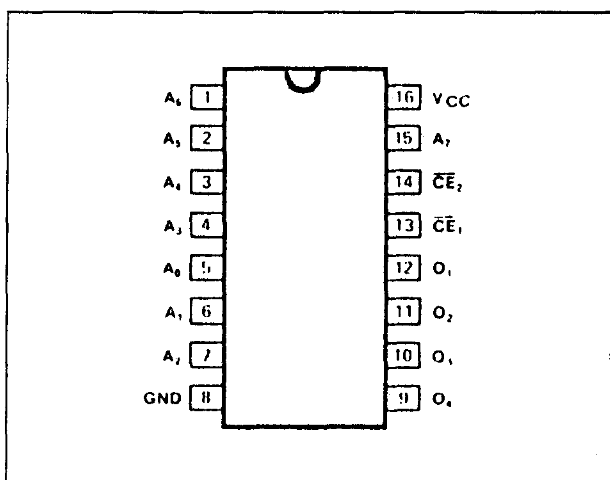
N82S226/82S229

1024 bit bipolaire ROM

- organisatie: 256 x 4 bit
- 82S226: open-collector uitgangen
  82S229: 3-state
- adres-toegangstijd: 50 ns max.
- voeding: 5 V +/-5 %
- compatibel met 82S126/129 PROM's
- merk: Signetics

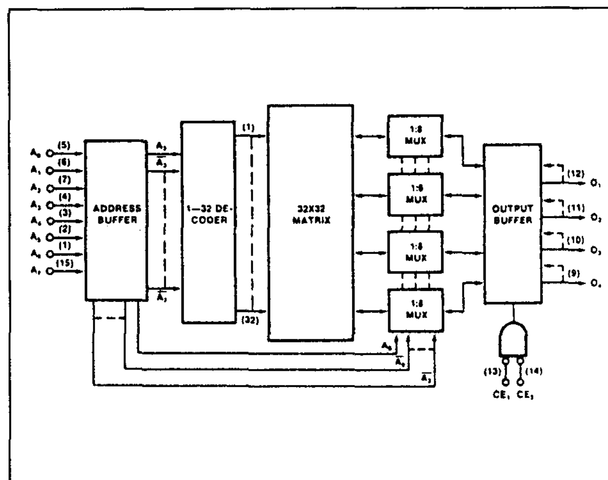


Figuur 8/1.3-5: Aansluitgegevens van de N82S215.

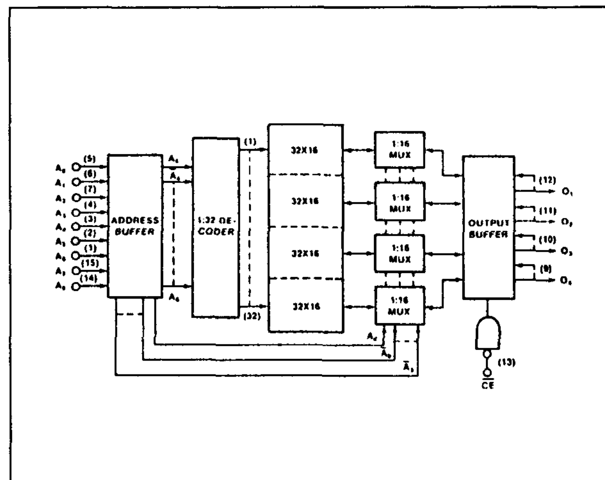


Figuur 8/1.3-7: Aansluitgegevens van de N82S226/229.

1.3 Type-beschrijving bipolaire N82Sxx-familie



Figuur 8/1.3-8: Functioneel blokschema van de N82S226/229.



Figuur 8/1.3-10: Functioneel blokschema van de N82S230/231.

N82S230/82S231

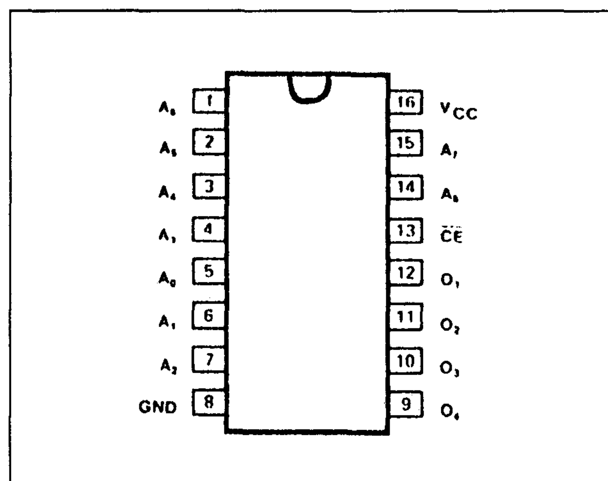
2048 bit bipolaire ROM

- organisatie: 512 x 4 bit
- 82S230: open-collector uitgangen
  82S231: 3-state
- adres-toegangstijd: 50 ns max.
- voeding: 5 V +/-5 %
- compatibel met 82S130/131 PROM's
- merk: Signetics

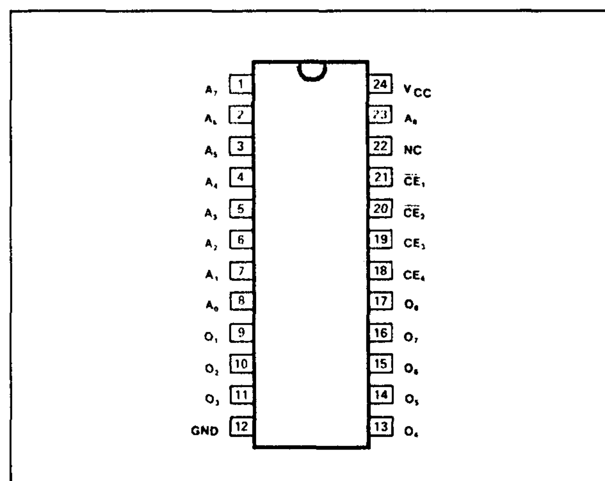
N82S240/82S241

4096 bit bipolaire ROM

- organisatie: 512 x 8 bit
- 82S240: open-collector uitgangen
  82S241: 3-state
- adres-toegangstijd: 60 ns max.
- voeding: 5 V +/-5 %
- merk: Signetics

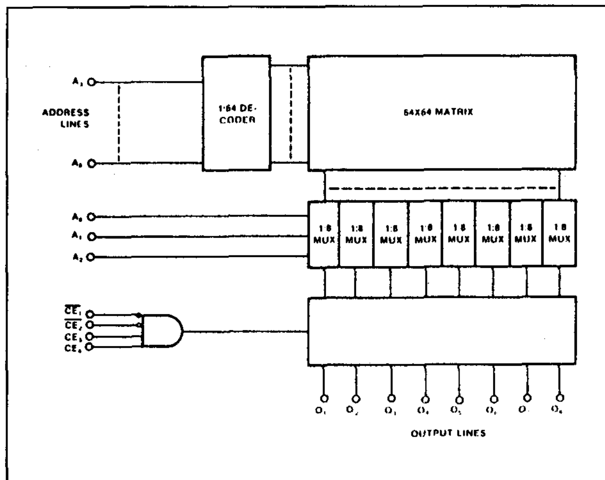


Figuur 8/1.3-9: Aansluitgegevens van de N82S230/231.

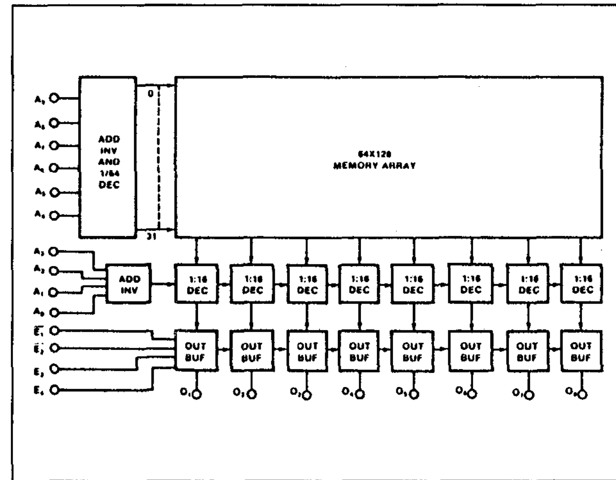


Figuur 8/1.3-11: Aansluitgegevens van de N82S240/241.

1.3 Type-beschrijving bipolaire N82Sxx-familie



Figuur 8/1.3-12: Functioneel blokschema van de N82S240/241.

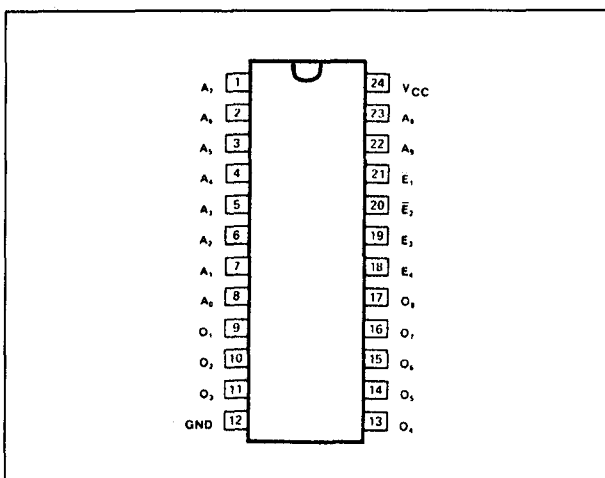


Figuur 8/1.3-14: Functioneel blokschema van de N82S280/281.

N82S280/82S281

8192 bit bipolaire ROM

- organisatie: 1024 x 8 bit
- 82S280: open-collector uitgangen
  82S281: 3-state
- adres-toegangstijd: 70 ns max.
- voeding: 5 V +/-5 %
- merk: Signetics

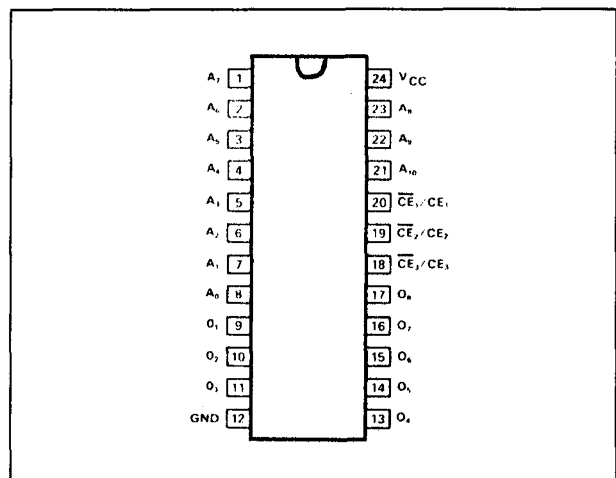


Figuur 8/1.3-13: Aansluitgegevens van de N82S280/281.

N82S290/82S291

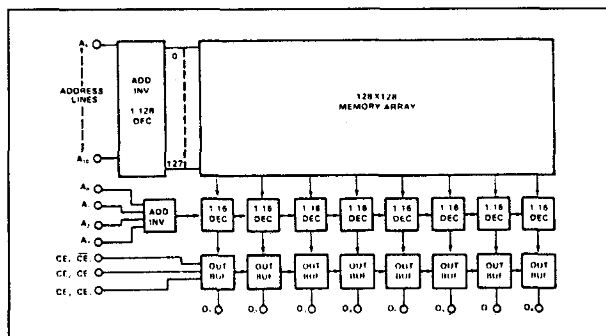
16384 bit bipolaire ROM

- organisatie: 2048 x 8 bit
- 82S290: open-collector uitgangen
  82S291: 3-state
- adres-toegangstijd: 80 ns max.
- voeding: 5 V +/-5 %
- compatibel met 82S190/191 PROM's
- merk: Signetics



Figuur 8/1.3-15: Aansluitgegevens van de N82S290/291.

1.3 Type-beschrijving bipolaire N82Sxx-familie



Figuur 8/1.3-16: Functioneel blokschema van de N82S290/291.

1.3 Type-beschrijving bipolaire N82Sxx-familie

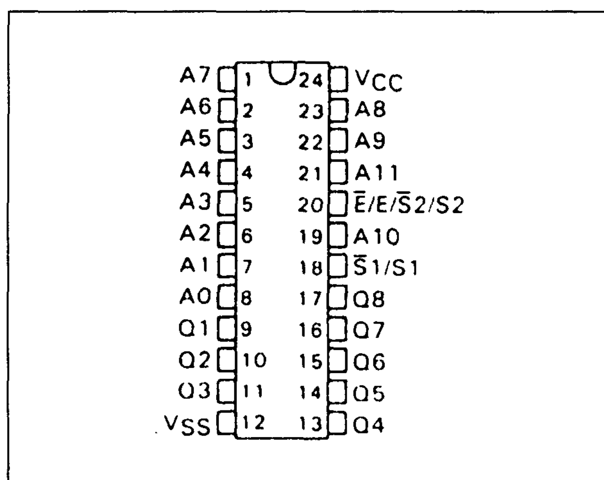
8/1.4

Type-beschrijving TMSxxx-familie NMOS en CMOS

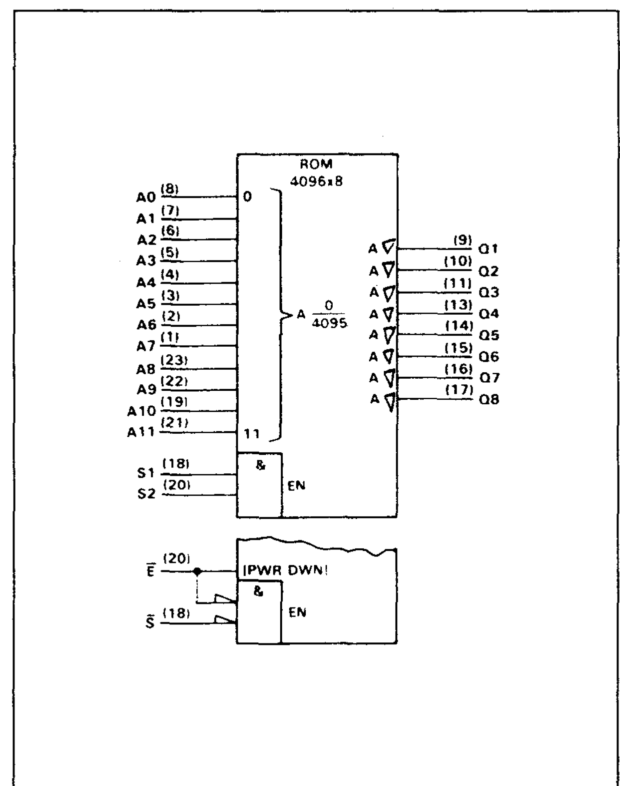
TMS2332

32768 bit NMOS ROM

- organisatie: 4096 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- volledig statische werking (geen clocks, geen refresh)
- max. adres-toegangstijd: 150, 200 of 250 ns (TMS2332-15/20/25)
- pen-compatibel met 2732 EPROM
- naar keuze: Power Down of extra Chip Select
- merk: Texas Instruments

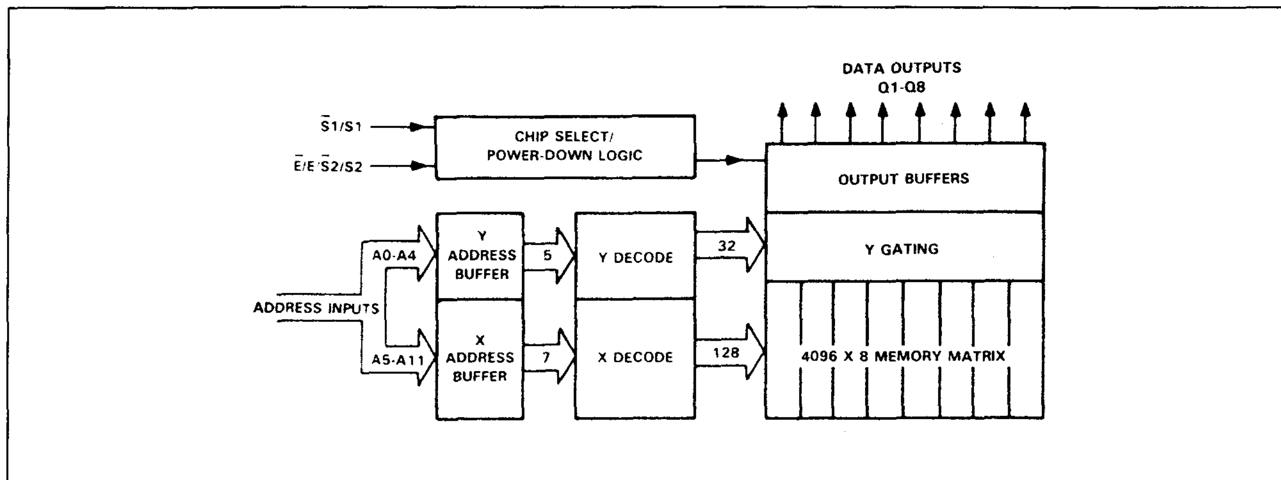


Figuur 8/1.4-1: Aansluitgegevens van de TMS2332.



Figuur 8/1.4-2: Logisch schema van de TMS2332.

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS

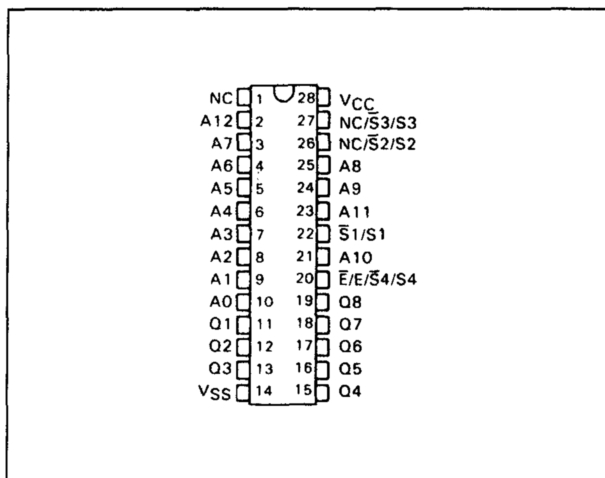


Figuur 8/1.4-3: Functioneel blokschema van de TMS2332.

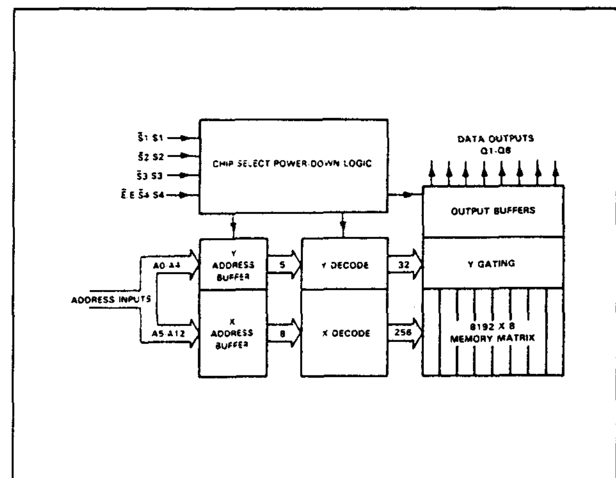
TMS2364

65536 bit NMOS ROM

- organisatie: 8192 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state
- volledig statische werking (geen clocks, geen refresh)
- max. adres-toegangstijd:
  150, 200 of 250 ns (-15/20/25)
- pen-compatibel met 2764 EPROM
- naar keuze: Power Down of extra Chip Select
- merk: Texas Instruments

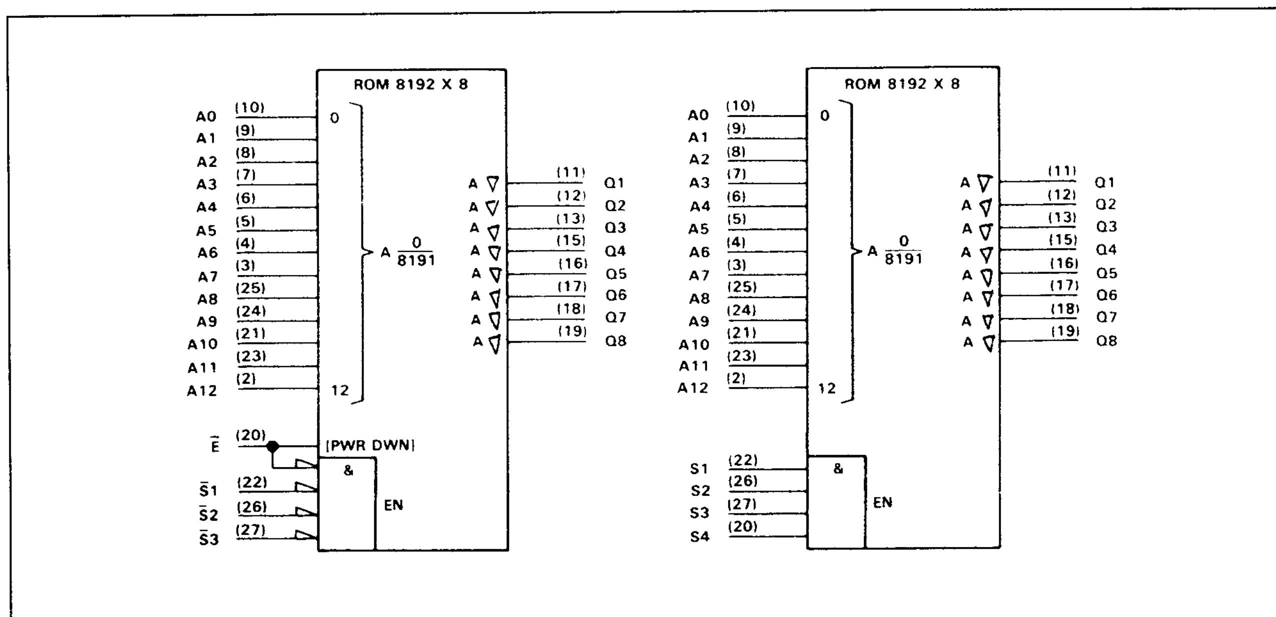


Figuur 8/1.4-4: Aansluitgegevens van de TMS2364.



Figuur 8/1.4-5: Functioneel blokschema van de TMS2364.

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS

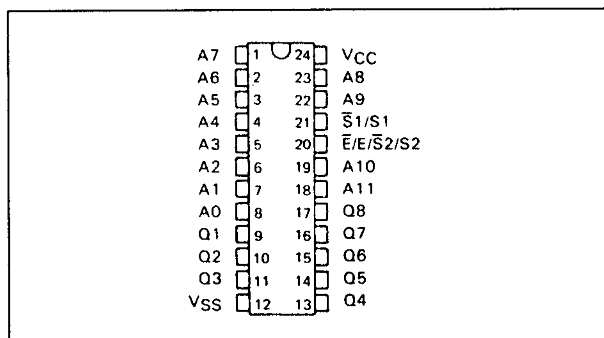


Figuur 8/1.4-6: Logische symbolen voor de TMS2364.

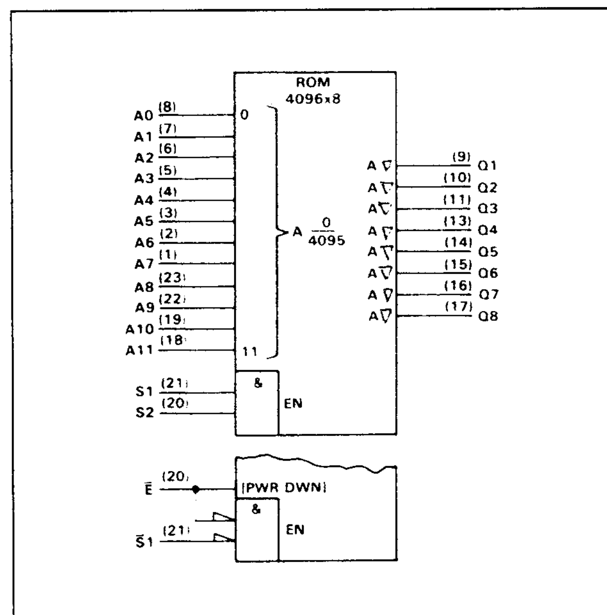
TMS4732

32768 bit NMOS ROM

- organisatie: 4096 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- volledig statische werking (geen clocks, geen refresh)
- max. adres-toegangstijd: 150, 200 of 250 ns (-15/20/25)
- pen-compatibel met TMS2532 EPROM
- naar keuze: Power Down of extra Chip Select
- merk: Texas Instruments

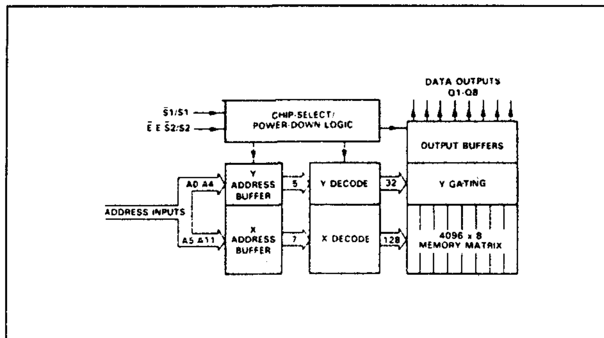


Figuur 8/1.4-7: Aansluitgegevens van de TMS4732.

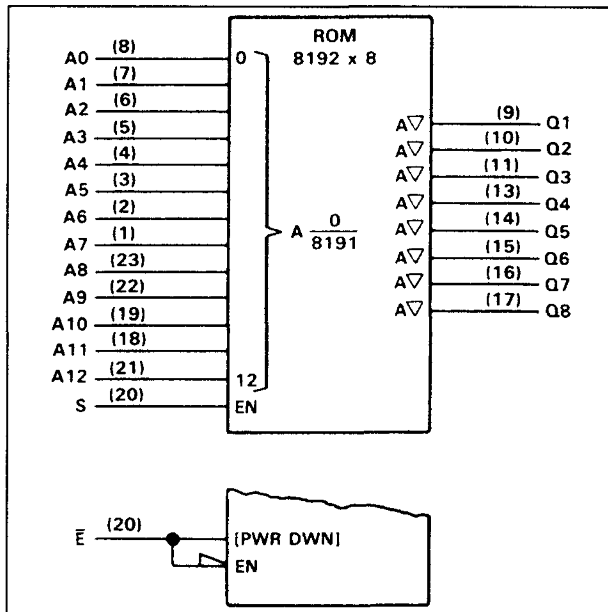


Figuur 8/1.4-8: Logisch schema van de TMS4732.

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS



Figuur 8/1.4-9: Functioneel blokschema van de TMS4732.

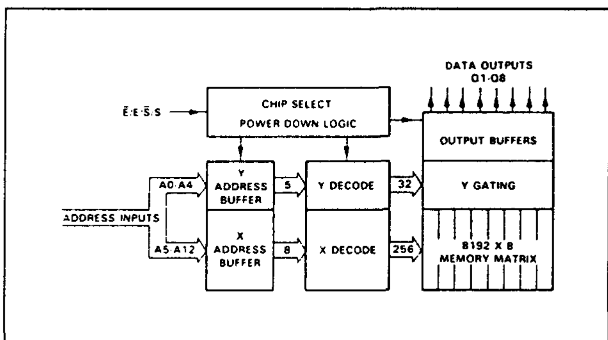


Figuur 8/1.4-11: Logisch schema van de TMS4764.

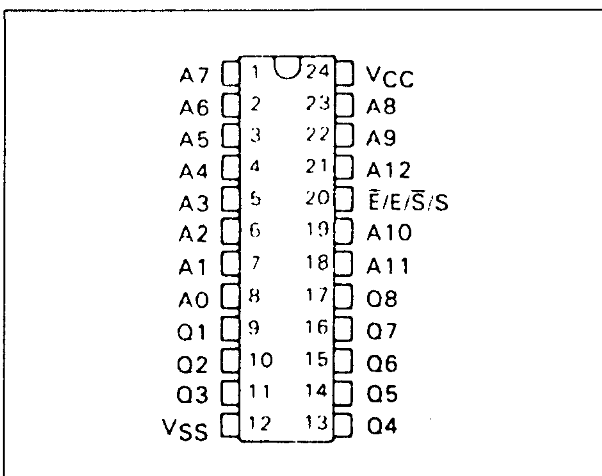
TMS4764

65536 bit NMOS ROM

- organisatie: 8192 x 8 bit
- TTL-compatibel
- 3-state uitgangen
- voeding: 5 V +/-10 %
- volledig statische werking (geen clocks, geen refresh)
- max. adres-toegangstijd: 150, 200 of 250 ns (-15/20/25)
- naar keuze: Power Down of Chip Select
- merk: Texas Instruments



Figuur 8/1.4-12: Functioneel blokschema van de TMS4764.



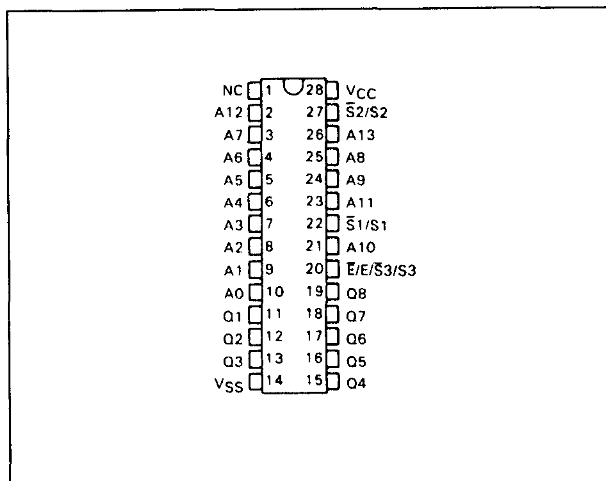
Figuur 8/1.4-10: Aansluitgegevens van de TMS4764.

TMS47128

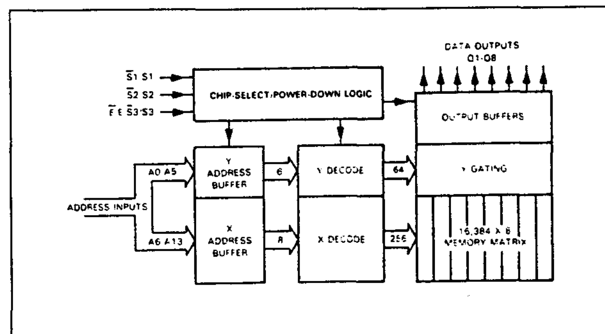
131072 bit NMOS ROM

- organisatie: 16384 x 8 bit
- TTL-compatibel
- 3-state uitgangen
- voeding: 5 V +/-10 %
- volledig statische werking (geen clocks, geen refresh)
- max. adres-toegangstijd: 200, 250 of 350 ns (-20/25/35)
- pen-compatibel met 27128 EPROM

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS

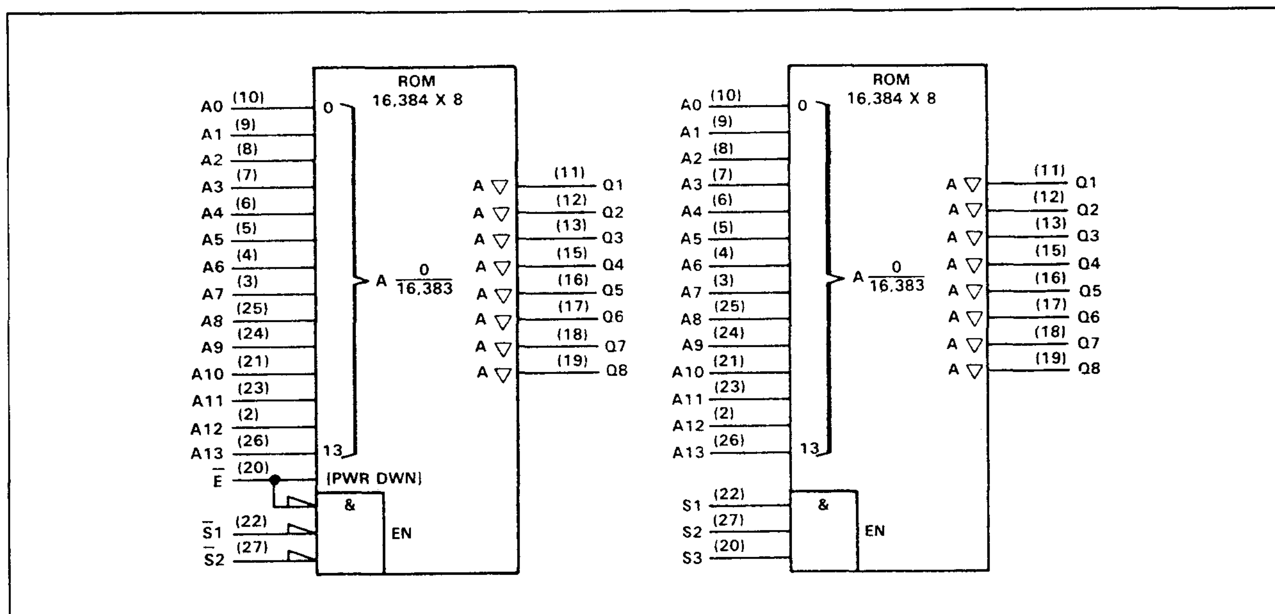


Figuur 8/1.4-13: Aansluitgegevens van de TMS47128.



Figuur 8/1.4-15: Functioneel blokschema van de TMS47128.

- naar keuze: Power Down of extra Chip Select
- merk: Texas Instruments



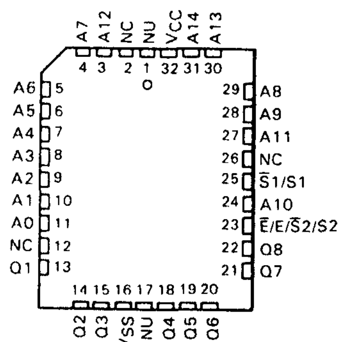
Figuur 8/1.4-14: Logische schema's van de TMS47128.

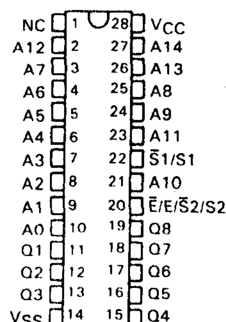
1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS

TMS47256/47C256

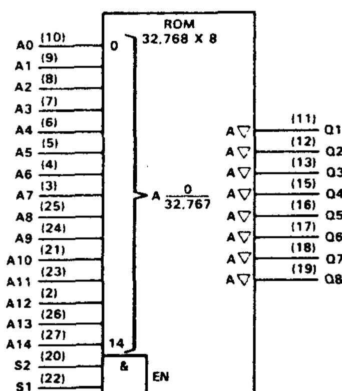
262144 bit NMOS/CMOS ROM

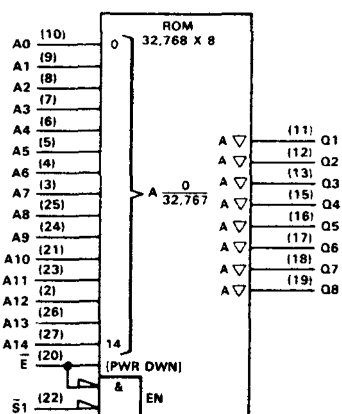
- organisatie: 32768 x 8 bit
- TTL/CMOS-compatibel
- 3-state uitgangen
- volledig statische werking, dus geen clocks en refresh
- voeding: 5 V +/-10 %
- maximale adrestoegangstijd:
  200, 250 of 300 ns (47256-20/25/30)
  150, 200 of 250 ns (47C256-15/20/25)
- NMOS: naar keuze Power Down of Chip Select
  CMOS: alleen Power Down
- pen-compatibel met 27256 en 27C256 EPROM
- merk: Texas Instruments



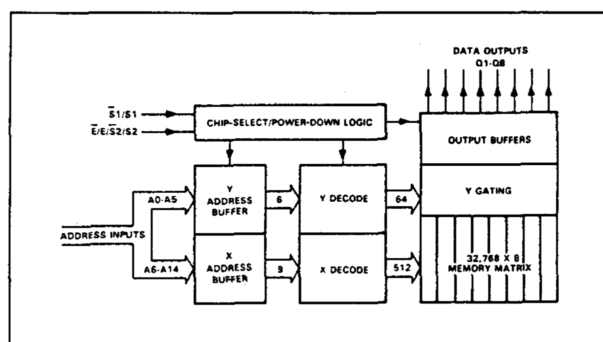


Figuur 8/1.4-16: Aansluitgegevens van de TMS47256.





Figuur 8/1.4-17: Logische schema's van de TMS47256.



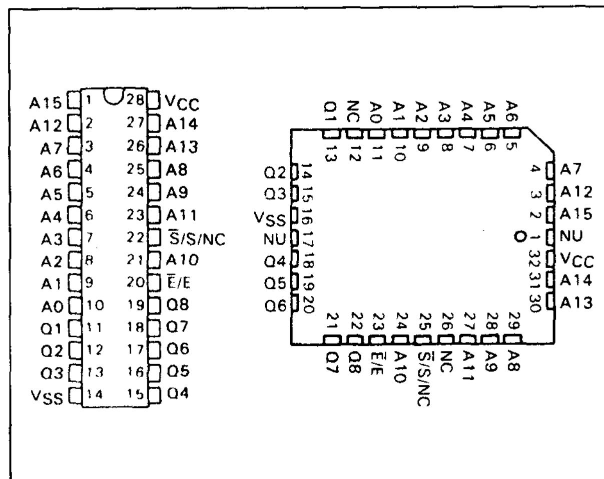
Figuur 8/1.4-18: Functioneel blokschema van de TMS47256.

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS

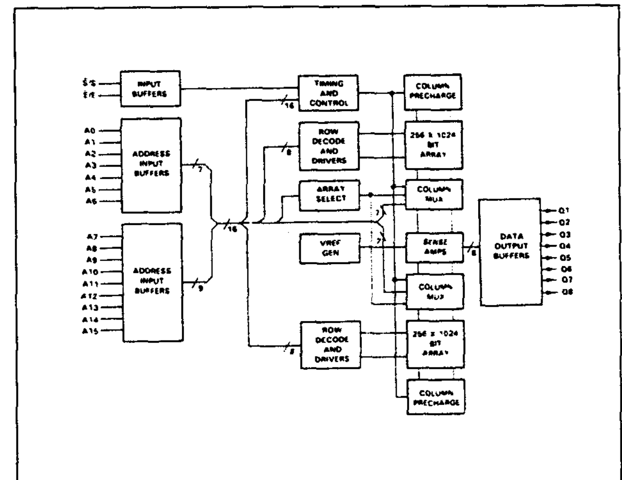
TMS47C512

524288 bit CMOS ROM

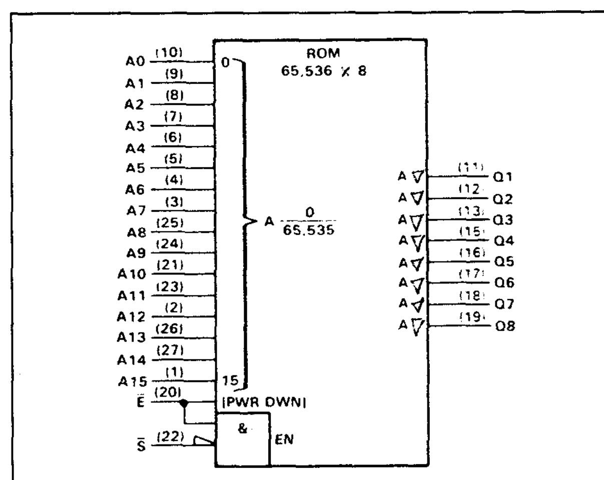
- organisatie: 65536 x 8 bit
- TTL/CMOS-compatibel
- 3-state uitgangen
- volledig statische werking, dus geen clocks en refresh
- voeding: 5 V +/-10 %
- maximale adrestoegangstijd: 200, 250 of 300 ns (47C512-20/25/30)
- Power Down
- pen-compatibel met 27512 EPROM
- merk: Texas Instruments



Figuur 8/1.4-19: Aansluitgegevens van de TMS47C512.



Figuur 8/1.4-21: Functioneel blokschema van de TMS47C512.

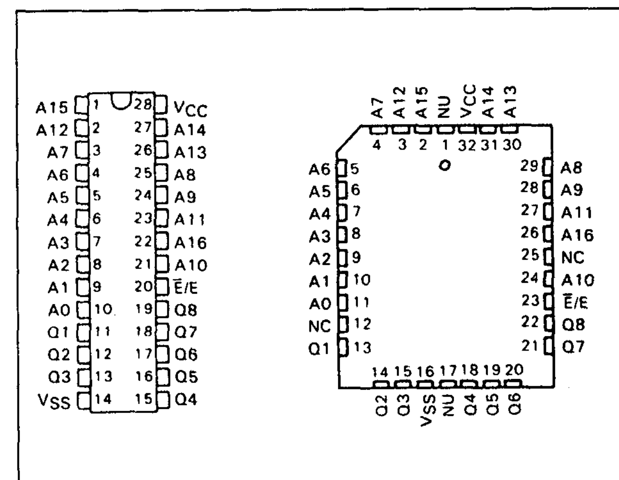


Figuur 8/1.4-20: Logische schema's van de TMS47C512.

TMS47C1024

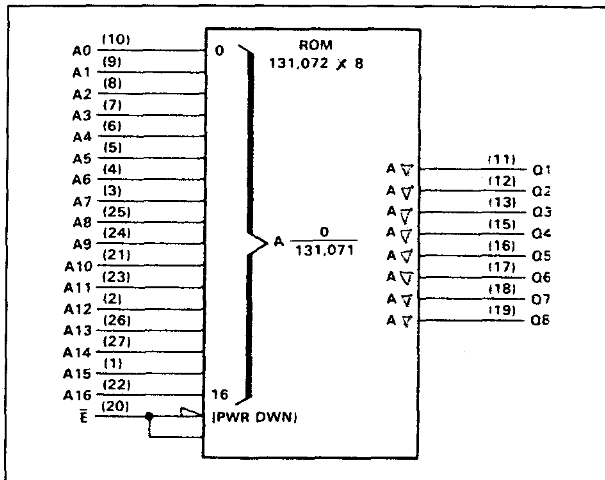
1048576 bit CMOS ROM

- organisatie: 131072 x 8 bit
- TTL/CMOS-compatibel
- volledig statische werking, dus geen clocks en refresh
- voeding: 5 V +/-10 %
- maximale adrestoegangstijd: 200, 250 of 300 ns (47C1024-20/25/30)
- Power Down
- merk: Texas Instruments

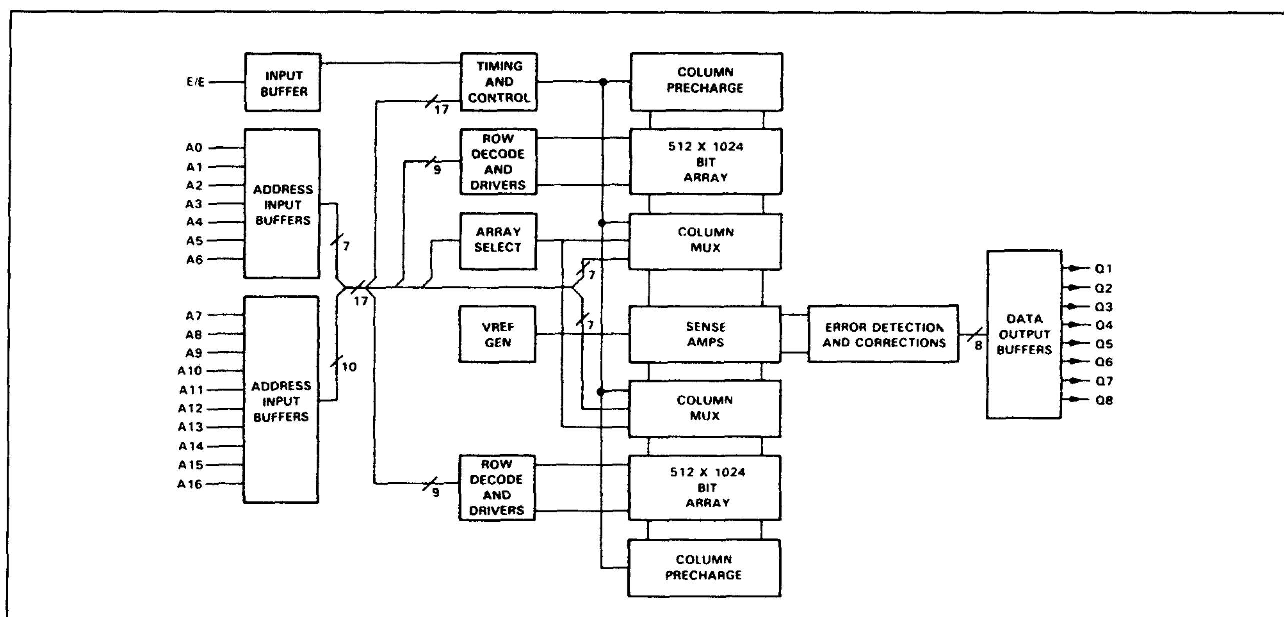


Figuur 8/1.4-22: Aansluitgegevens van de TMS47C1024.

1.4 Type-beschrijving TMSxxx-familie NMOS en CMOS



Figuur 8/1.4-23: Logisch schema van de TMS47C1024.

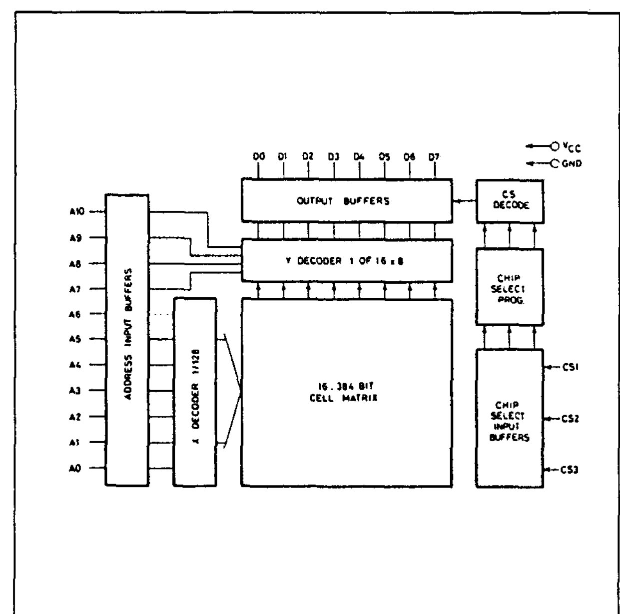


Figuur 8/1.4-24: Functioneel blokschema van de TMS47C1024.

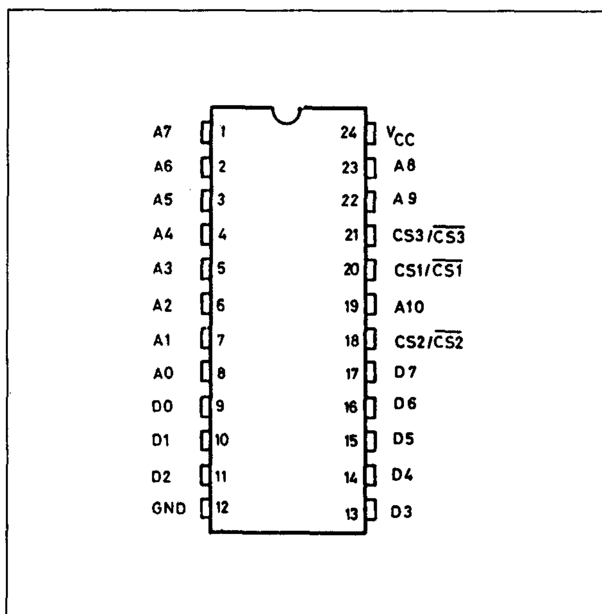
8/1.5

Type-beschrijving M23xx-familie NMOS

M2316H
16384 bit NMOS ROM
- organisatie: 2048 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- max. adres-toegangstijd: 300 ns
- 3 programmeerbare chip-selects
- merk: SGS-Thomson
- 24-pens plastic of ceramische DIL-behuizing



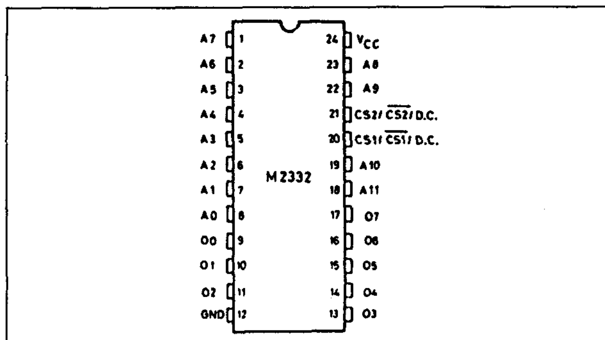
Figuur 8/1.5-2: Functioneel blokschema van de M2316H.



Figuur 8/1.5-1: Aansluitgegevens van de M2316H.

M2332/2333
32768 bit NMOS ROM
- organisatie: 4096 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- max. adres-toegangstijd: 250 ns
- volledig statische werking
- M2332 pen-compatible met 2532 EPROM
  M2333 pen-compatible met 2732 EPROM
- merk: SGS-Thomson
- 24-pens plastic of ceramische DIL-behuizing

1.5 Type-beschrijving M23xx-familie NMOS

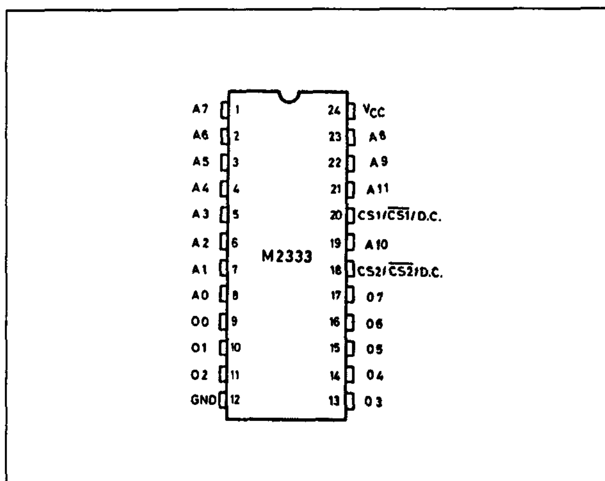


Figuur 8/1.5-3: Aansluitgegevens van de M2332.

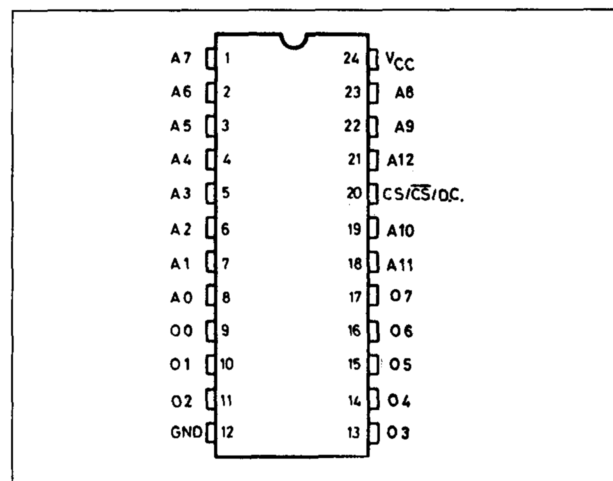
M2364

65536 bit NMOS ROM

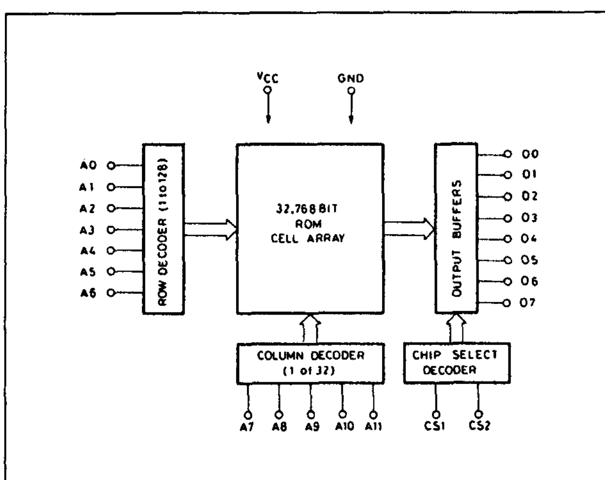
- organisatie: 8192 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- max. adres-toegangstijd: 250 ns
- programmeerbare chip-select
- volledig statische werking
- merk: SGS-Thomson
- 24-pens plastic of ceramische DIL-behuizing



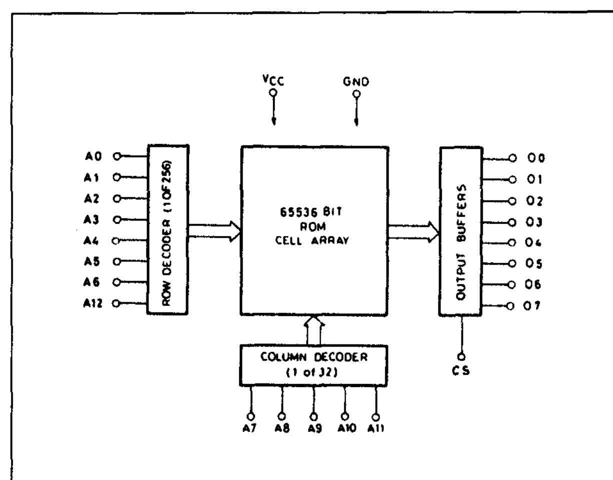
Figuur 8/1.5-4: Aansluitgegevens van de M2333.



Figuur 8/1.5-6: Aansluitgegevens van de M2364.



Figuur 8/1.5-5: Functioneel blokschema van de M2332/33.



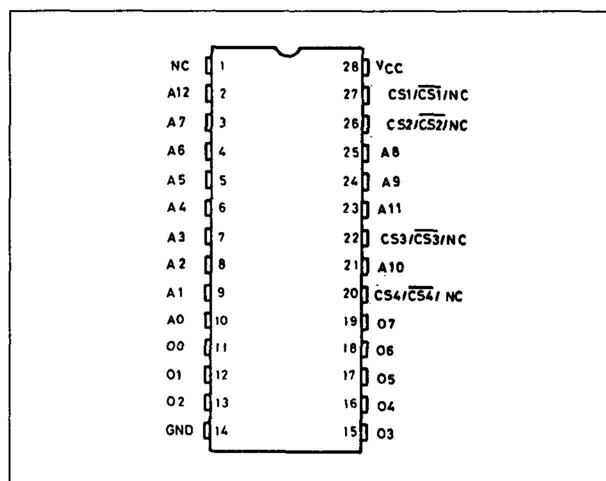
Figuur 8/1.5-7: Functioneel blokschema van de M2364.

1.5 Type-beschrijving M23xx-familie NMOS

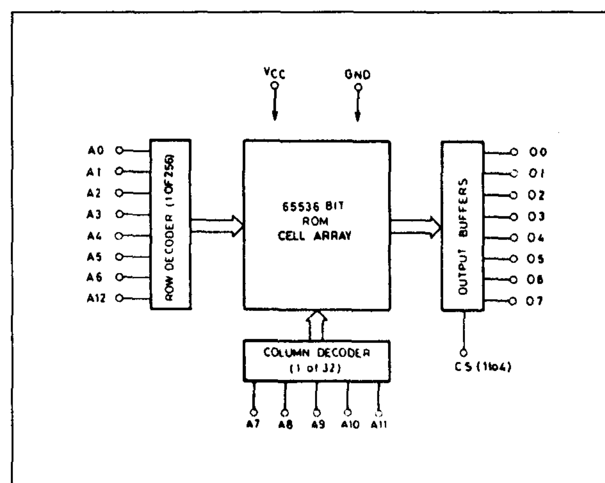
M2365

65536 bit NMOS ROM

- organisatie: 8192 x 8 bit
- TTL-compatibel
- voeding: 5 V +/-10 %
- 3-state uitgangen
- max. adres-toegangstijd: 250 ns
- programmeerbare chip-select
- volledig statische werking
- pen-compatibel met de 2764 EPROM
- merk: SGS-Thomson
- 24-pens plastic of ceramische DIL-behuizing



Figuur 8/1.5-8: Aansluitgegevens van de M2365.



Figuur 8/1.5-9: Functioneel blokschema van de M2365.

1.5 Type-beschrijving M23xx-familie NMOS

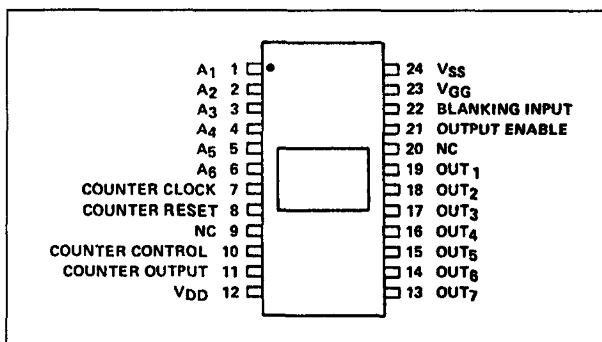
8/1.6

Type-beschrijving MKxxxx-familie NMOS/PMOS

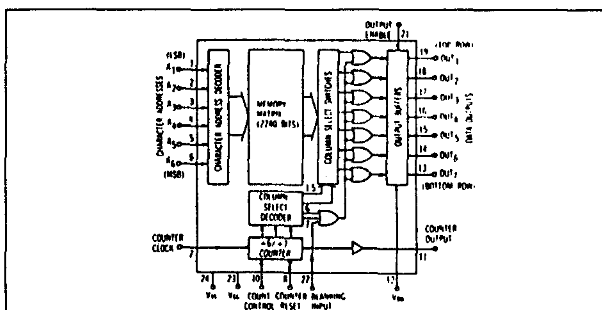
MK2300/MK2302

2240 bit PMOS ROM

- organisatie: 64 karakters van 5 x 7
- TTL/DTL-compatibel
- interne teller voor geklokte kolom-selectie
- een of twee kolommen ruimte tussen de karakters
- voeding: +5 V, -12 V
- output enable en blanking
- merk: Mostek
- 24-pens plastic of ceramische DIL-behuizing



Figuur 8/1.6-1: Aansluitgegevens van de MK2300/2302.

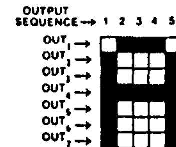


Figuur 8/1.6-2: Functioneel blokschema van de MK2300/2302.

MK 2302 P

Logic 1 = input @ +5V
Logic 0 = input @ 0V

Output dot "on" = 0V
Output dot "off" = +5V



A4	A3	A2	A1	A6 1 / A5 0	A6 1 / A5 1	A6 0 / A5 0	A6 0 / A5 1
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

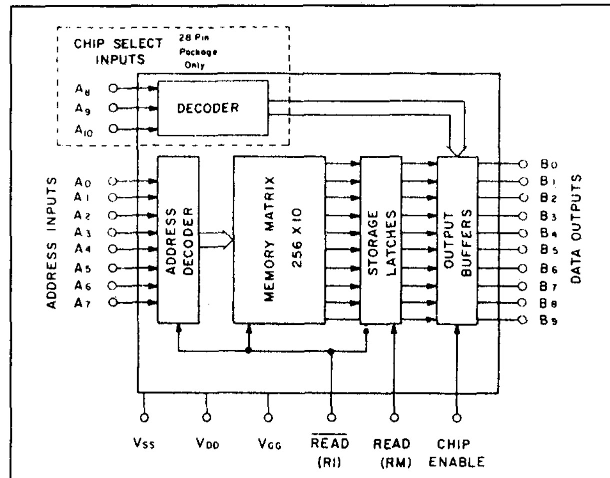
Figuur 8/1.6-3: Beschikbare karakters bij de MK2300/2302.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

MK2400

2560 bit PMOS ROM

- organisatie: 256 x 10 bit
- TTL/DTL-compatibel
- voeding: +5 V, -12 V
- chip enable
- gelatchte uitgangen
- optionele 3 bit chip select
- merk: Mostek
- 24- of 28-pens ceramische DIL-behuizing

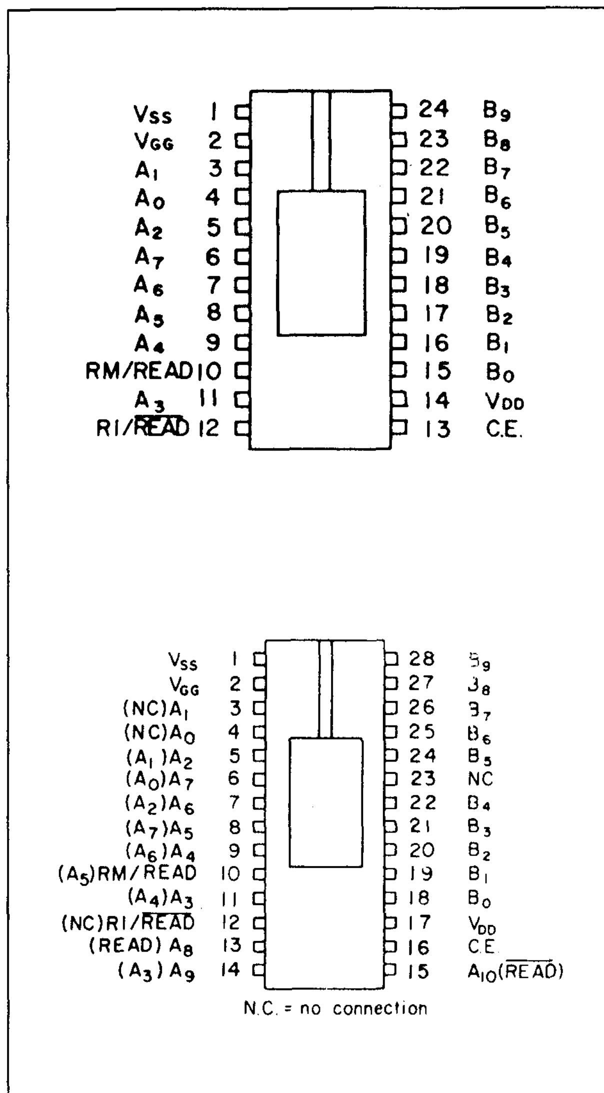


Figuur 8/1.6-5: Functioneel blokschema van de MK2400.

CHIP ENABLE	READ	$\overline{READ}$	OUTPUT
0	X	X	A
1	0	1	B
1	1	0	C

"1" = V_{SS} (+5V); "0" V_{DD} (0V)
X = No effect on output
A = Output open-circuited
B = Output retains data last stored in latches
C = Output assumes state of addressed cells

Figuur 8/1.6-6: Waarheidstabel van de MK2400.



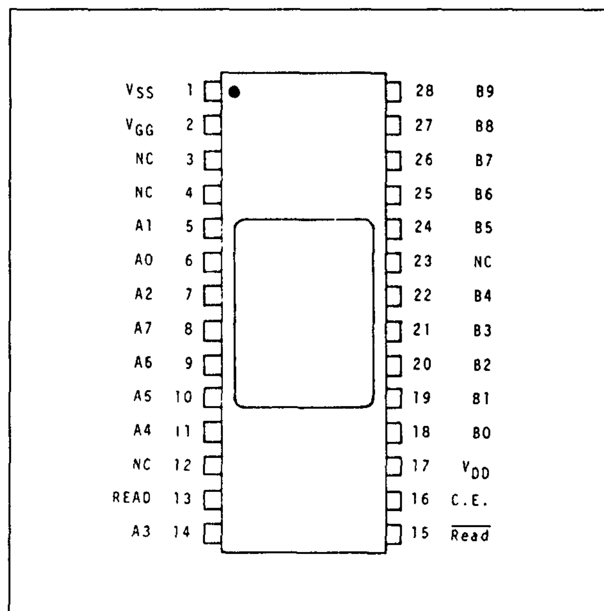
Figuur 8/1.6-4: Aansluitgegevens van de MK2400.

MK2408

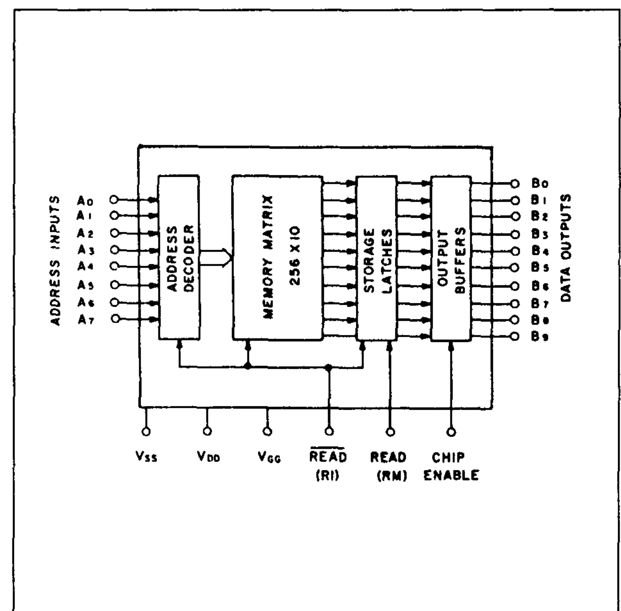
2560 bit PMOS karakter generator

- voorgeprogrammeerde MK2400
- 64 ASCII-karakters in 7 x 5 dot-matrix font
- 2 rijen tegelijk beschikbaar:
  rij 1,2 en 5 op uitgangen B9-B5
  rij 2, 4 en 6 op uitgangen B4-B0
- rij-selectie met A0 en A1
- merk: Mostek
- 28-pens ceramische DIL-behuizing

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS



Figuur 8/1.6-7: Aansluitgegevens van de MK2408.



Figuur 8/1.6-8: Functioneel blokschema van de MK2408.

A1	A0		B9 / B4	B8 / B3	B7 / B2	B6 / B1	B5 / B0		
0	0	—	1	0	0	0	1	--	B9-B5
		—	1	1	0	1	1	--	B4-B0
0	1	—	1	0	1	0	1	--	B9-B5
		—	1	0	1	0	1	--	B4-B0
1	0	—	1	0	0	0	1	--	B9-B5
		—	1	0	0	0	1	--	B4-B0
1	1	—	1	0	0	0	1	--	B9-B5
		—	0	0	0	0	0	--	B4-B0

A7 = 0
A6 = 0
A5 = 1

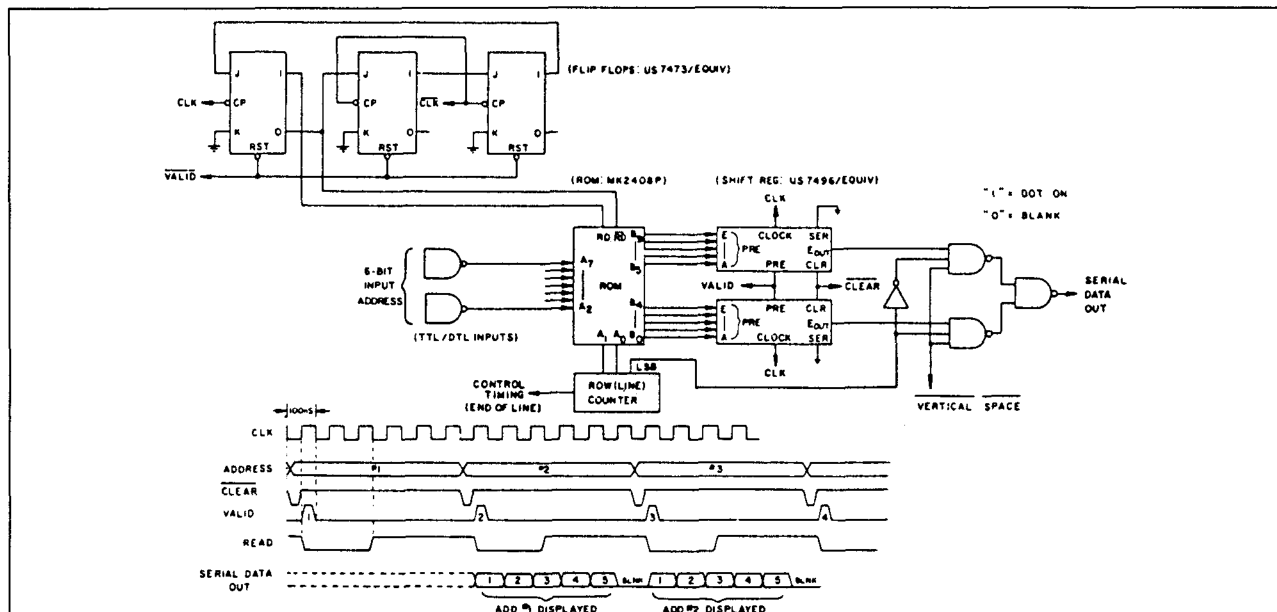
A4 = 1
A3 = 0
A2 = 1

Figuur 8/1.6-9: De 7 x 5 dot-matrix bij de MK2408.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

Figuur 8/1.6-10: Beschikbare karakters bij de MK2408.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

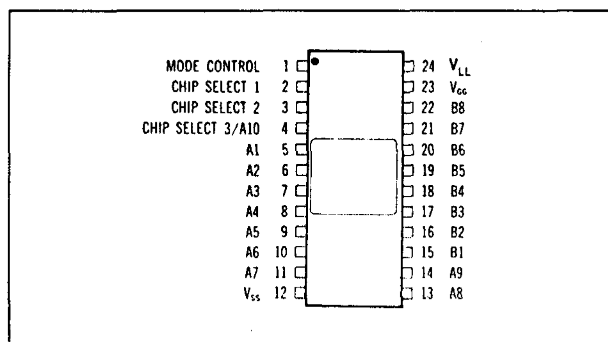


Figuur 8/1.6-11: Toepassing van de MK2408 in een karakter-generator met seriële uitgang.

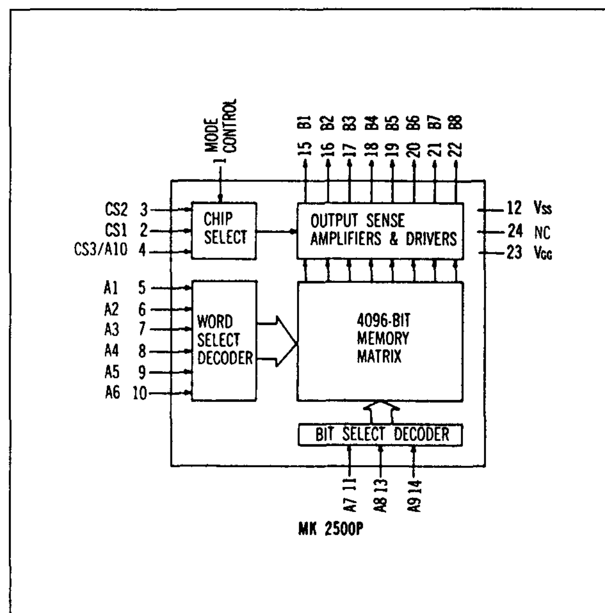
MK2500/MK2600

4096 bit PMOS ROM

- organisatie: 512 x 8 bit of 1024 x 4 bit
- TTL/DTL-compatibel
- voeding: +5 V, -12 V
- 3-state uitgangen
- MK2500: pen-compatibel met 5232 (Nat-Semi)
  MK2600: pen-compatibel met 3514 (Fairchild)
- merk: Mostek
- 24-pens ceramische DIL-behuizing



Figuur 8/1.6-12: Aansluitgegevens van de MK2500.

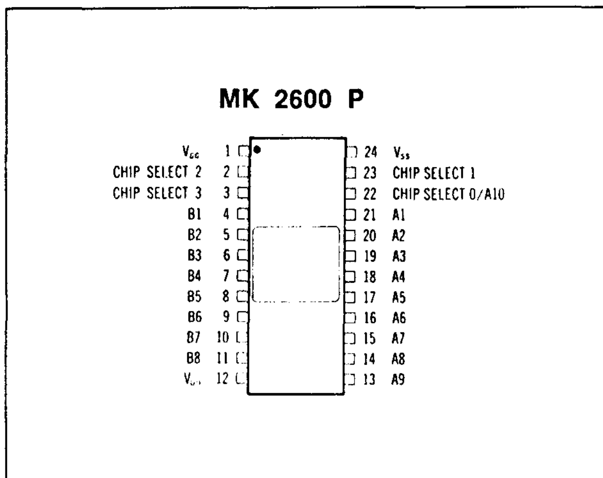


Figuur 8/1.6-13: Functioneel blokschema van de MK2500.

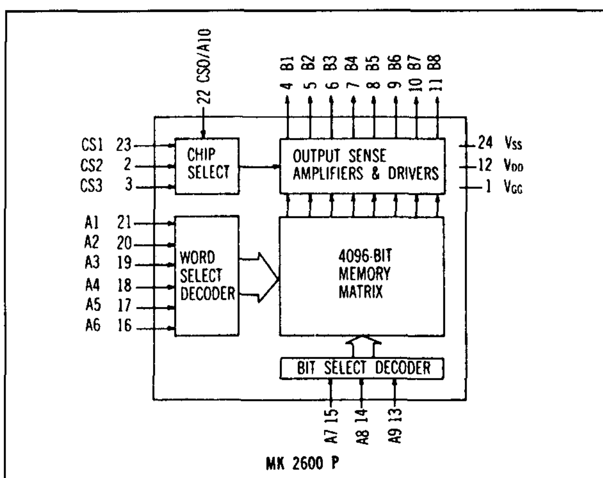
1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

	OPTIONS	
Function	512 X 8	1024 X 4
Mode Control	1	0
Chip Select 1	1 or 0	1 or 0
Chip Select 2	1 or 0	1 or 0
Chip Select 3/A10	1 or 0	address A10

Figuur 8/1.6-14: Waarheidstabel van de MK2500.



Figuur 8/1.3-15: Aansluitgegevens van de MK2600.



Figuur 8/1.3-16: Functioneel blokschema van de MK2600.

	OPTIONS	
Function	512 X 8	1024 X 4
Chip Select 0/A10	1 or 0	A10
Chip Select 1	1 or 0	1 or 0
Chip Select 2	1 or 0	1 or 0
Chip Select 3	1 or 0	1 or 0

Figuur 8/1.3-17: Waarheidstabel van de MK2600.

MK2503/MK2601

4096 bit PMOS ASCII ↔ EBCDIC converter

- voorgeprogrammeerde MK2500/MK2600
- volledige code-omzetter voor ASCII-naar-EBCDIC en EBCDIC-naar-ASCII
- merk: Mostek

MK 2503 P

Function	512 X 8
Mode Control	1
Chip Select 1	0
Chip Select 2	0
Chip Select 3/A10	0

MK 2601 P

Function	512 X 8
Chip Select 0/A10	0
Chip Select 1	0
Chip Select 2	0
Chip Select 3	0

A_1 = LSB B_1 = LSB
A_9 = MSB B_8 = MSB

Figuur 8/1.6-18: Waarheidstabel voor de MK2503/2601.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

ASCII (ADDRESS) TO EBCDIC (DATA)

0	00000000	1	00000001	2	00000010	3	00000011
4	00110111	5	00101101	6	00101110	7	00101111
8	00010110	9	00000101	10	00100101	11	00001011
12	00001100	13	00001101	14	00001110	15	00001111
16	00010000	17	00010001	18	00010010	19	00010011
20	00111100	21	00111101	22	00110010	23	00100110
24	00011000	25	00011001	26	00111111	27	00100111
28	00011100	29	00011101	30	00011110	31	00011111
32	01000000	33	01001111	34	01111111	35	01111011
36	01011011	37	01101100	38	01010000	39	01111101
40	01001101	41	01011101	42	01011100	43	01001110
44	01101011	45	01100000	46	01001011	47	01100001
48	11110000	49	11110001	50	11110010	51	11110011
52	11110100	53	11110101	54	11110110	55	11110111
56	11111000	57	11111001	58	01111010	59	01011110
60	01001100	61	01111110	62	01101110	63	01101111
64	01111100	65	11000001	66	11000010	67	11000011
68	11000100	69	11000101	70	11000110	71	11000111
72	11001000	73	11001001	74	11010001	75	11010010
76	11010011	77	11010100	78	11010101	79	11010110
80	11010111	81	11011000	82	11011001	83	11100010
84	11100011	85	11100100	86	11100101	87	11100110
88	11100111	89	11101000	90	11101001	91	01001010
92	11100000	93	01011010	94	01011111	95	01101101
96	01111001	97	10000001	98	10000010	99	10000011
100	10000100	101	10000101	102	10000110	103	10000111
104	10001000	105	10001001	106	10010001	107	10010010
108	10010011	109	10010100	110	10010101	111	10010110
112	10010111	113	10011000	114	10011001	115	10100010
116	10100011	117	10100100	118	10100101	119	10100110
120	10100111	121	10101000	122	10101001	123	11000000
124	01101010	125	11010000	126	10100001	127	00000111
128	00100000	129	00100001	130	00100010	131	00100011
132	00100100	133	00010101	134	00000110	135	00010111
136	00101000	137	00101001	138	00101010	139	00101011
140	00101100	141	00001001	142	00001010	143	00011011
144	00110000	145	00110001	146	00011010	147	00110011
148	00110100	149	00110101	150	00110110	151	00001000
152	00111000	153	00111001	154	00111010	155	00111011
156	00000100	157	00010100	158	00111110	159	11100001
160	01000001	161	01000010	162	01000011	163	01000100
164	01000101	165	01000110	166	01000111	167	01001000
168	01001001	169	01010001	170	01010010	171	01010011
172	01010100	173	01010101	174	01010110	175	01010111
176	01011000	177	01011001	178	01100010	179	01100011
180	01100100	181	01100101	182	01100110	183	01100111
184	01101000	185	01101001	186	01110000	187	01110001
188	01110010	189	01110011	190	01110100	191	01110101
192	01110110	193	01110111	194	01111000	195	10000000
196	10001010	197	10001011	198	10001100	199	10001101
200	10001110	201	10001111	202	10010000	203	10011010
204	10011011	205	10011100	206	10011101	207	10011110
208	10011111	209	10100000	210	10101010	211	10101011
212	10101100	213	10101101	214	10101110	215	10101111
216	10110000	217	10110001	218	10110010	219	10110011
220	10110100	221	10110101	222	10110110	223	10110111
224	10111000	225	10111001	226	10111010	227	10111011
228	10111100	229	10111101	230	10111110	231	10111111
232	11001010	233	11001011	234	11001100	235	11001101
236	11001110	237	11001111	238	11011010	239	11011011
240	11011100	241	11011101	242	11011110	243	11011111
244	11101010	245	11101011	246	11101100	247	11101101
248	11101110	249	11101111	250	11111010	251	11111011
252	11111100	253	11111101	254	11111110	255	11111111

Figuur 8/1.6-19: Code-tabel van de MK2503/2601, deel 1.

EBCDIC (ADDRESS) TO ASCII (DATA)

256	00000000	257	00000001	258	00000010	259	00000011
260	10011100	261	00001001	262	10000110	263	01111111
264	10010111	265	10001101	266	10001110	267	00001011
268	00001100	269	00001101	270	00001110	271	00001111
272	00010000	273	00010001	274	00010010	275	00010011
276	10011101	277	10000101	278	00001000	279	10000111
280	00011000	281	00011001	282	10010010	283	10001111
284	00011100	285	00011101	286	00011110	287	00011111
288	10000000	289	10000001	290	10000010	291	10000011
292	10000100	293	00001010	294	00010111	295	00011011
296	10001000	297	10001001	298	10001010	299	10001011
300	10001100	301	00000101	302	00000110	303	00000111
304	10010000	305	10010001	306	00010110	307	10010011
308	10010100	309	10010101	310	10010110	311	00000100
312	10011000	313	10011001	314	10011010	315	10011011
316	00010100	317	00010101	318	10011110	319	00011010
320	00100000	321	10100000	322	10100001	323	10100010
324	10100011	325	10100100	326	10100101	327	10100110
328	10100111	329	10101000	330	01011011	331	00101110
332	00111100	333	00101000	334	00101011	335	00100001
336	00100110	337	10101001	338	10101010	339	10101011
340	10101100	341	10101101	342	10101110	343	10101111
344	10110000	345	10110001	346	01011101	347	00100100
348	00101010	349	00101001	350	00111011	351	01011110
352	00101101	353	00101111	354	10110010	355	10110011
356	10110100	357	10110101	358	10110110	359	10110111
360	10111000	361	10111001	362	01111100	363	00101100
364	00100101	365	01011111	366	00111110	367	00111111
368	10111010	369	10111011	370	10111100	371	10111101
372	10111110	373	10111111	374	11000000	375	11000001
376	11000010	377	01100000	378	00111010	379	00100011
380	01000000	381	00100111	382	00111101	383	00100010
384	11000011	385	01100001	386	01100010	387	01100011
388	01100100	389	01100101	390	01100110	391	01100111
392	01101000	393	01101001	394	11000100	395	11000101
396	11000110	397	11000111	398	11001000	399	11001001
400	11001010	401	01101010	402	01101011	403	01101100
404	01101101	405	01101110	406	01101111	407	01110000
408	01110001	409	01110010	410	11001011	411	11001100
412	11001101	413	11001110	414	11001111	415	11010000
416	11010001	417	01111110	418	01110011	419	01110100
420	01110101	421	01110110	422	01110111	423	01111000
424	01111001	425	01111010	426	11010010	427	11010011
428	11010100	429	11010101	430	11010110	431	11010111
432	11011000	433	11011001	434	11011010	435	11011011
436	11011100	437	11011101	438	11011110	439	11011111
440	11100000	441	11100001	442	11100010	443	11100011
444	11100100	445	11100101	446	11100110	447	11100111
448	01111011	449	01000001	450	01000010	451	01000011
452	01000100	453	01000101	454	01000110	455	01000111
456	01001000	457	01001001	458	11101000	459	11101001
460	11101010	461	11101011	462	11101100	463	11101101
464	01111101	465	01001010	466	01001011	467	01001100
468	01001101	469	01001110	470	01001111	471	01010000
472	01010001	473	01010010	474	11101110	475	11101111
476	11110000	477	11110001	478	11110010	479	11110011
480	01011100	481	10011111	482	01010011	483	01010100
484	01010101	485	01010110	486	01010111	487	01011000
488	01011001	489	01011010	490	11110100	491	11110101
492	11110110	493	11110111	494	11111000	495	11111001
496	00110000	497	00110001	498	00110010	499	00110011
500	00110100	501	00110101	502	00110110	503	00110111
504	00111000	505	00111001	506	11111010	507	11111011
508	11111100	509	11111101	510	11111110	511	11111111

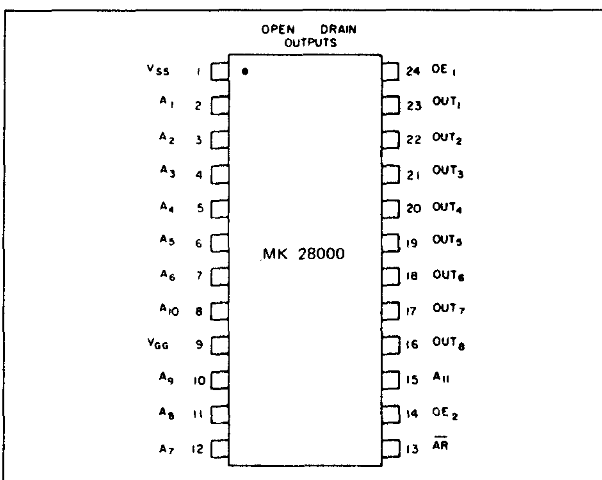
Figuur 8/1.6-20: Code-tabel van de MK2503/2601, deel 2.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

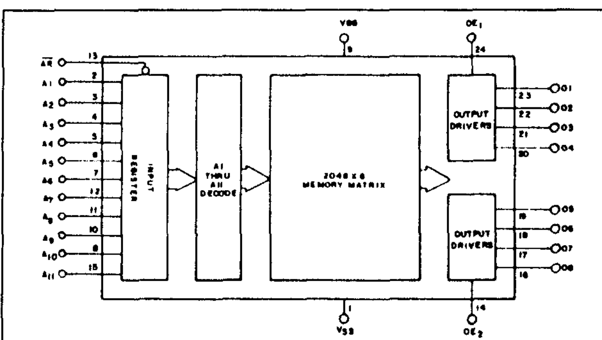
MK28000

16384 bit PMOS ROM

- organisatie: 2k x 8 bit of 4k x 4 bit
- open-drain uitgangen
- TTL/DTL-compatibel
- voeding: +5 V, -12 V
- pen-compatibel met EA4900 en EA4800
- merk: Mostek
- 24-pens plastic DIL-behuizing

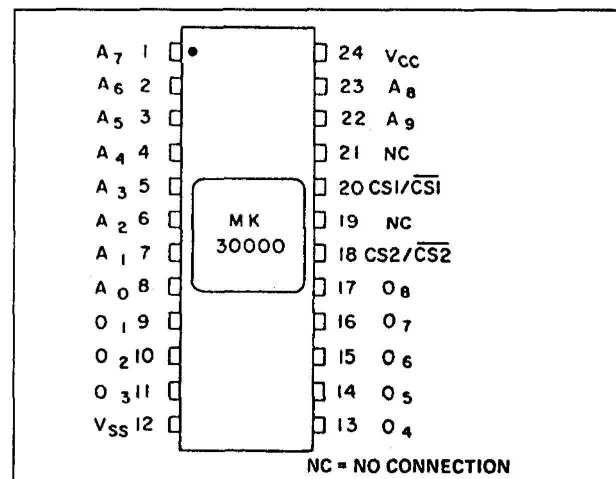


Figuur 8/1.6-21: Aansluitgegevens van de MK28000.

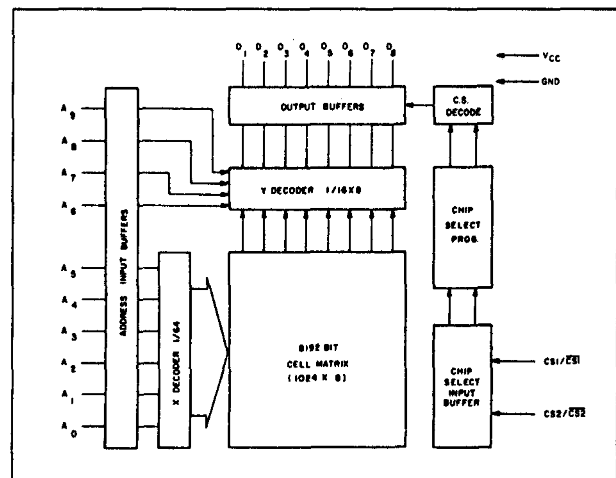


Figuur 8/1.6-22: Functioneel blokschema van de MK28000.

- 3-state uitgangen
- 2 programmeerbare chip-selects
- voeding: +5 V +/-10 %
- adres-toegangstijd: 350 ns max.
- pen-compatibel met 2708 EPROM
- merk: Mostek
- 24-pens ceramische DIL-behuizing



Figuur 8/1.6-23: Aansluitgegevens van de MK30000.



Figuur 8/1.6-24: Functioneel blokschema van de MK30000.

MK30000

8192 bit NMOS ROM

- organisatie: 1k x 8 bit
- TTL-compatibel

MK31000

16384 bit NMOS ROM

- organisatie: 2k x 8 bit
- TTL-compatibel

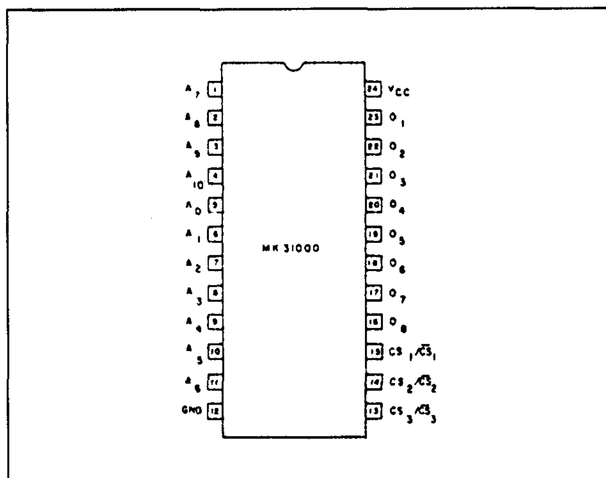
1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

- 3-state uitgangen
- 3 programmeerbare chip-selects
- voeding: +5 V +/-10 %
- adres-toegangstijd: 550 ns max.
- vervanging voor 2316A en RO-3-8316A
- merk: Mostek
- 24-pens plastic DIL-behuizing

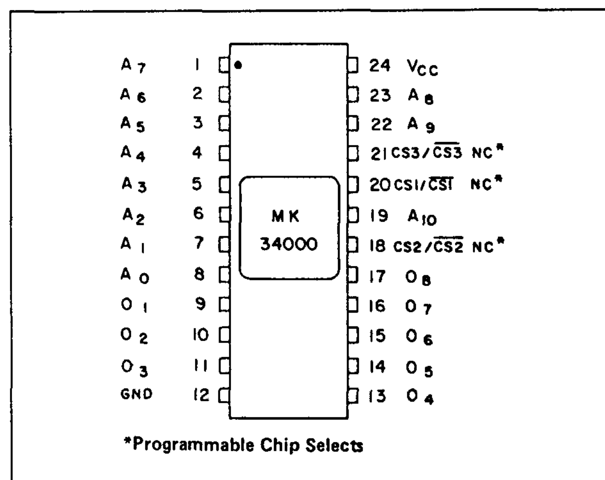
MK34000

16384 bit NMOS ROM

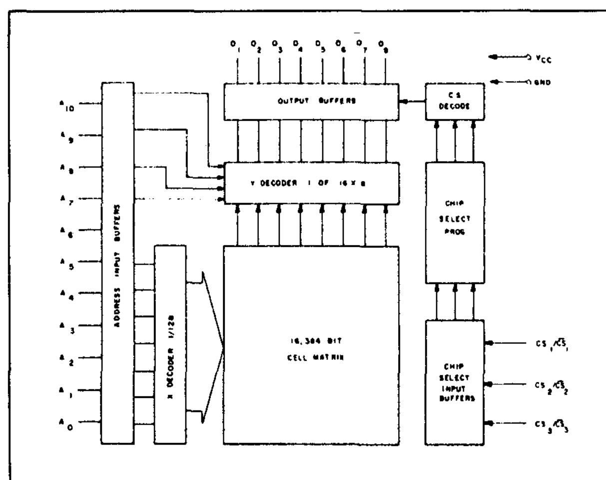
- organisatie: 2k x 8 bit
- TTL-compatibel
- 3-state uitgangen
- 3 programmeerbare chip-selects
- voeding: +5 V +/-10 %
- compatibel met standaard RAM en EPROM
- merk: Mostek
- 24-pens ceramische DIL-behuizing



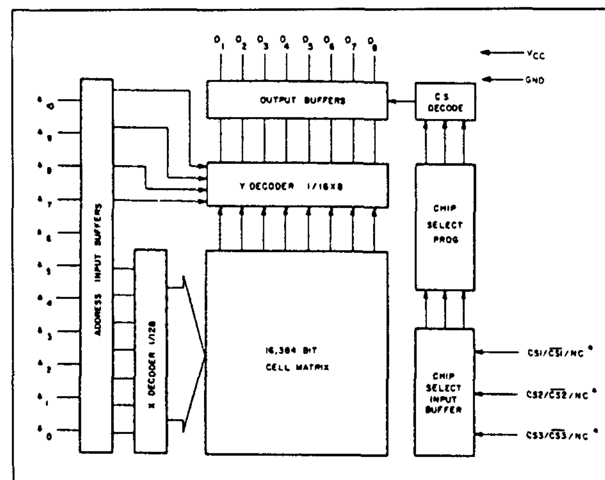
Figuur 8/1.6-25: Aansluitgegevens van de MK31000.



Figuur 8/1.6-27: Aansluitgegevens van de MK34000.



Figuur 8/1.6-26: Functioneel blokschema van de MK31000.



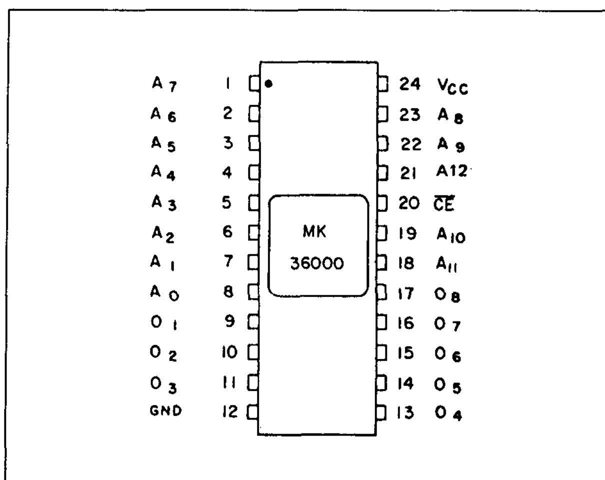
Figuur 8/1.6-28: Functioneel blokschema van de MK34000.

1.6 Type-beschrijving MKxxxx-familie NMOS/PMOS

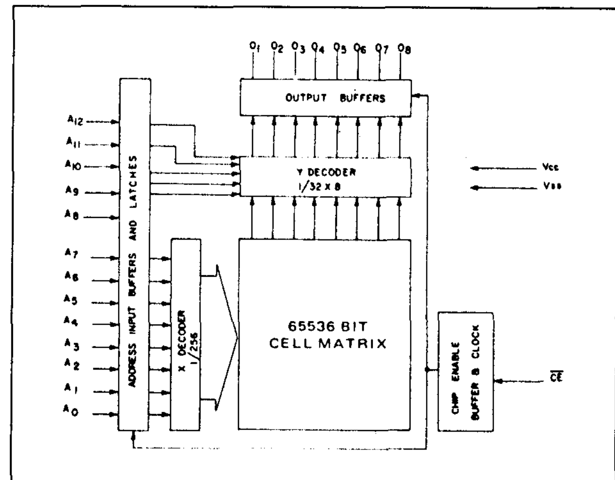
MK36000

65536 bit NMOS ROM

- organisatie: 8k x 8 bit
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V +/-10 %
- adres-toegangstijd: 250 ns max.
- merk: Mostek
- 24-pens ceramische DIL-behuizing



Figuur 8/1.6-29: Aansluitgegevens van de MK36000.



Figuur 8/1.6-30: Functioneel blokschema van de MK36000.

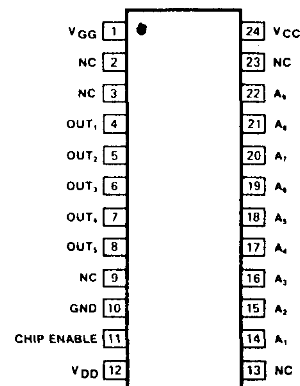
8/1.7

Type-beschrijving 25xx/26xx-familie PMOS en NMOS

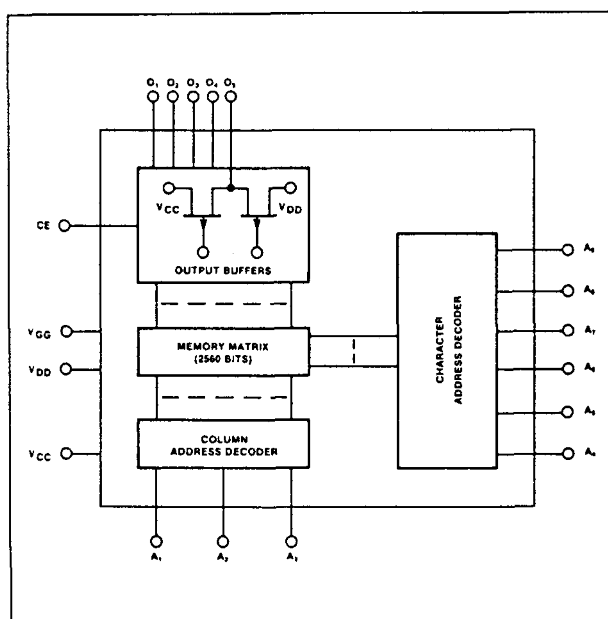
2513

2560 bit PMOS karakter-generator

- organisatie: 64 karakters van 5 x 8
- ASCII-gecodeerd
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V, -12 V
- adres-toegangstijd: 600 ns max.
- merk: Signetics
- 24-pens plastic DIL-behuizing



Figuur 8/1.7-2: Functioneel blokschema van de 2513.

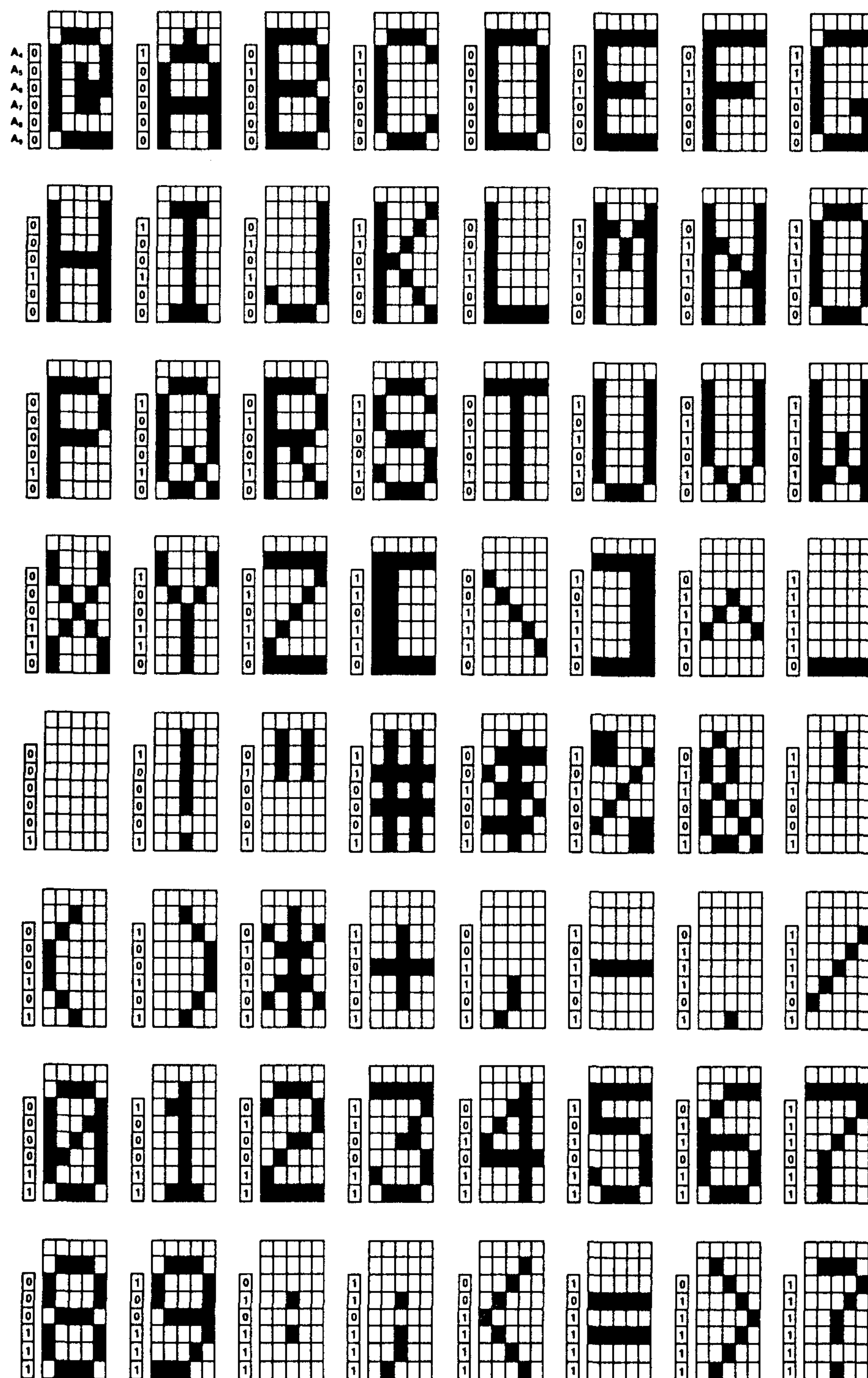


Figuur 8/1.7-1: Aansluitgegevens van de 2513.

CE	OUTPUT
0	Data
1	Open

Figuur 8/1.7-3: Waarheidstabel van de 2513.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



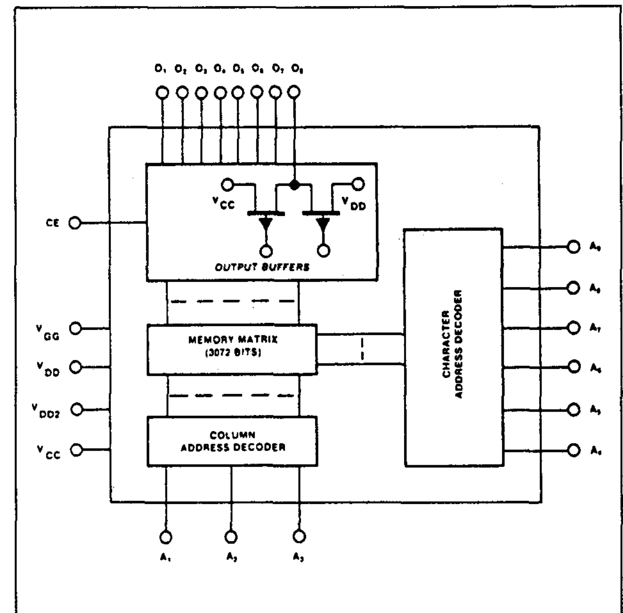
Figuur 8/1.7-4: Beschikbare karakters bij de 2513.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS

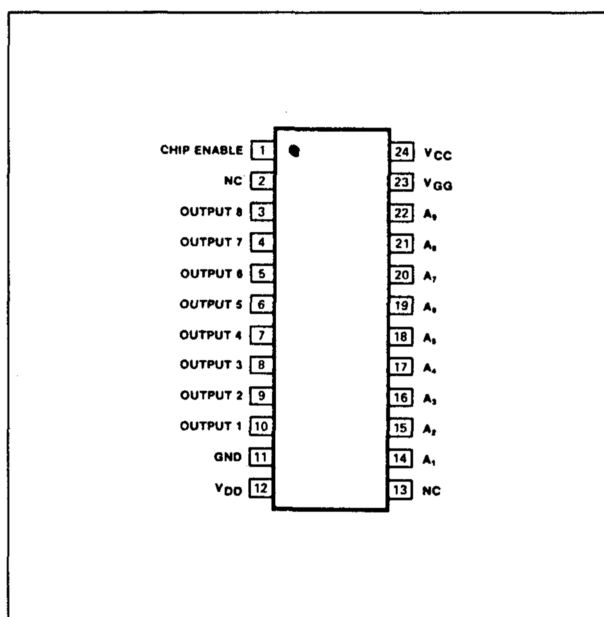
2516

3072 bit PMOS karakter-generator

- organisatie: 64 karakters van 6 x 8
- ASCII-gecodeerd
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V, -12 V
- adres-toegangstijd: 600 ns max.
- merk: Signetics
- 24-pens plastic DIL-behuizing



Figuur 8/1.7-6: Functioneel blokschema van de 2516.

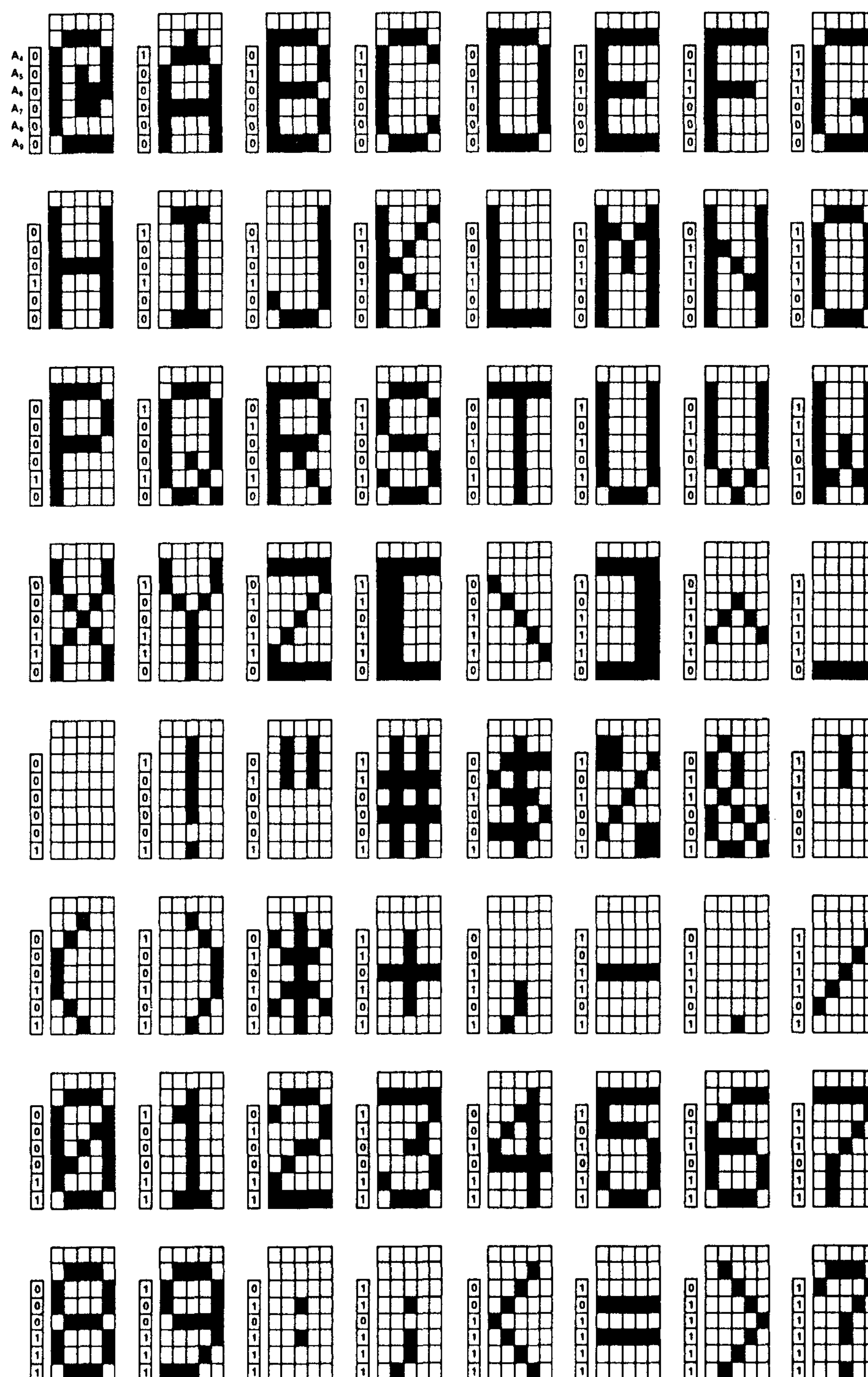


Figuur 8/1.7-5: Aansluitgegevens van de 2516.

CE	OUTPUT
0	Data
1	Open

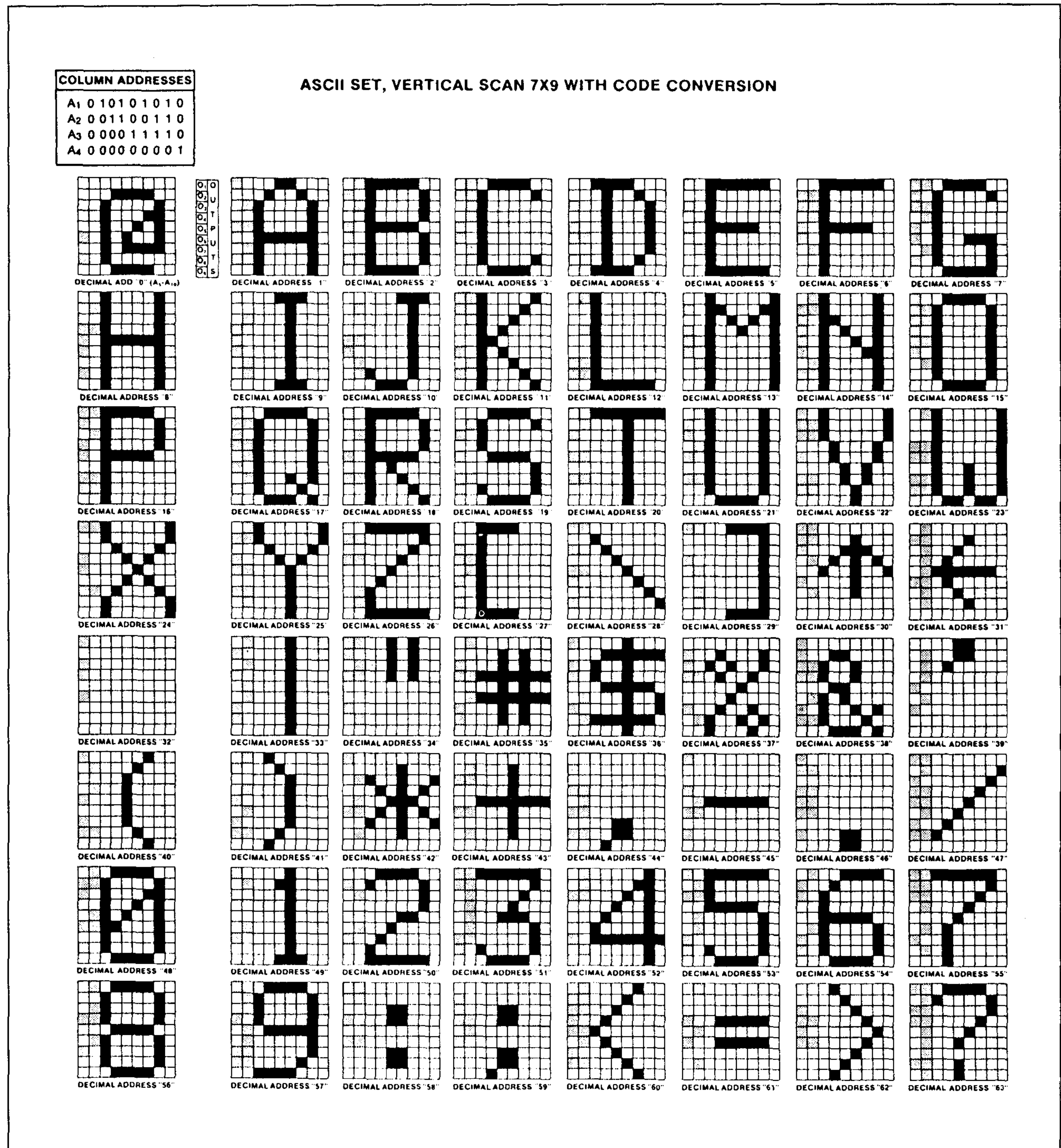
Figuur 8/1.7-7: Waarheidstabel van de 2516.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



Figuur 8/1.7-8: Beschikbare karakters bij de 2516.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



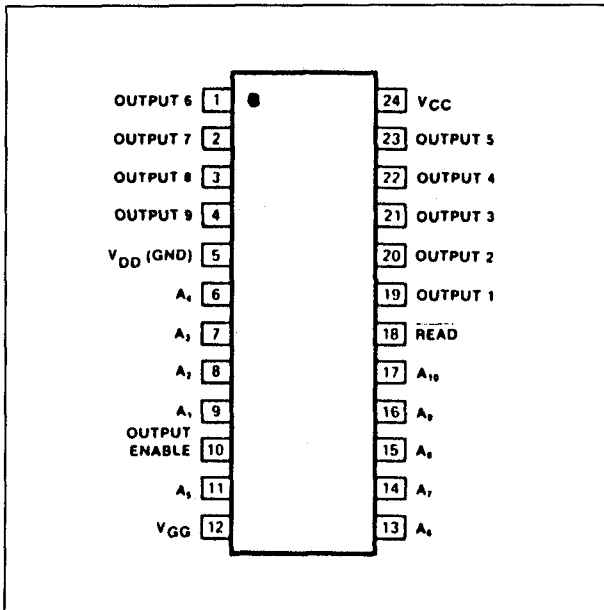
Figuur 8/1.7-11: Beschikbare karakters bij de 2526.

2526

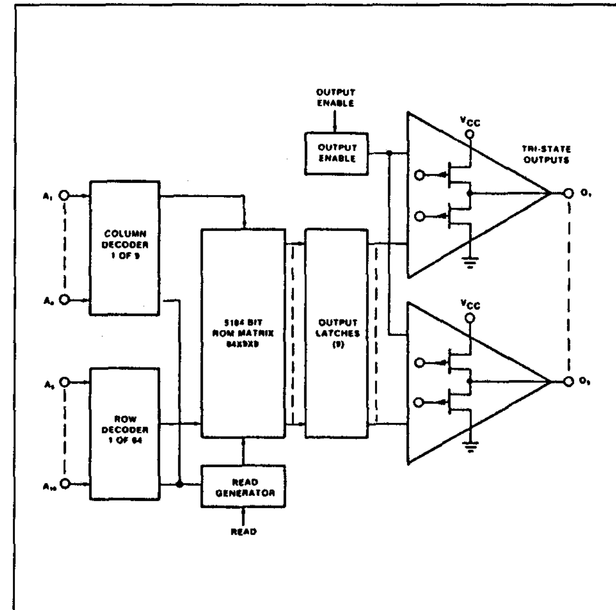
5184 bit PMOS karakter-generator

- organisatie: 64 karakters van 9 x 9
- ASCII-gecodeerd
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V, -12 V
- adres-toegangstijd: 700 ns max.
- merk: Signetics
- 24-pens plastic DIL-behuizing

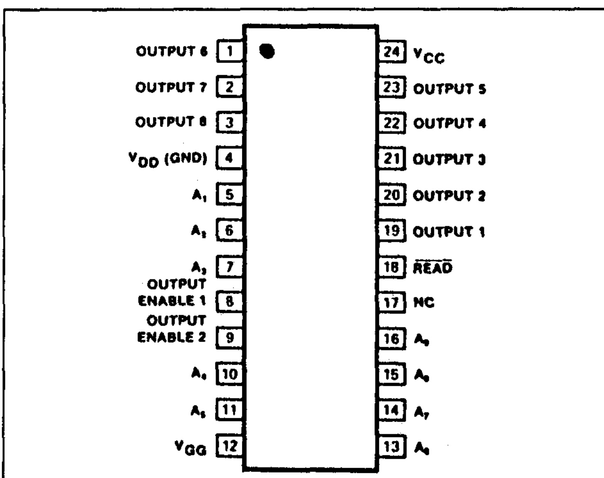
1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



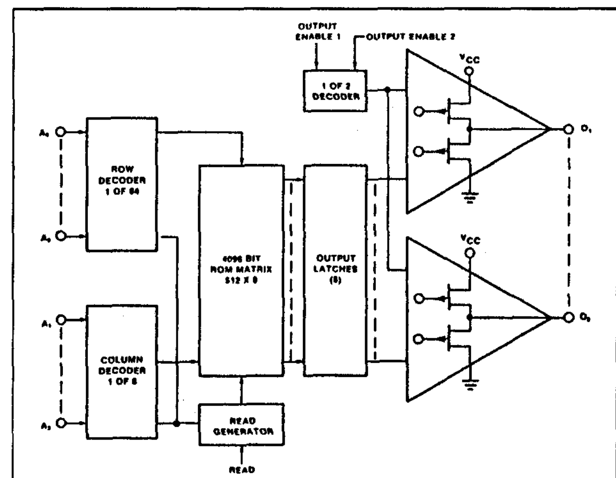
Figuur 8/1.7-9: Aansluitgegevens van de 2526.



Figuur 8/1.7-12: Aansluitgegevens van de 2530.



Figuur 8/1.7-10: Functioneel blokschema van de 2526.



Figuur 8/1.7-13: Functioneel blokschema van de 2530.

2530

4096 bit PMOS ROM

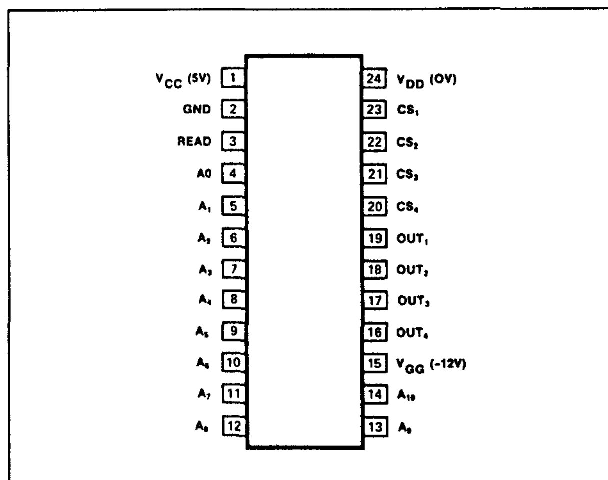
- organisatie: 512 x 8 bit
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V, -12 V
- adres-toegangstijd: 700 ns max.
- merk: Signetics
- 24-pens plastic DIL-behuizing

2580

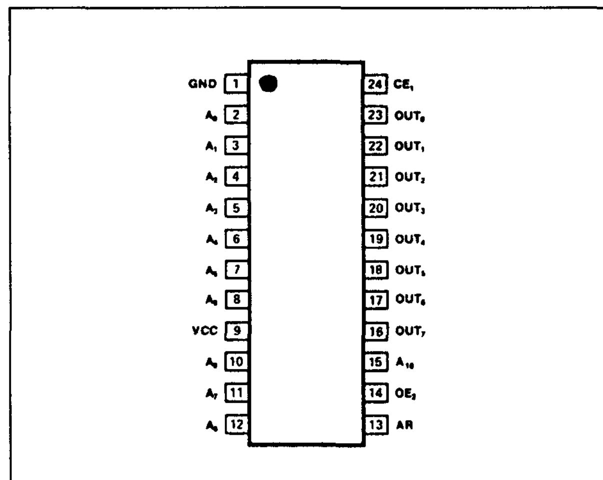
8192 bit PMOS ROM

- organisatie: 2048 x 4 bit
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V, -12 V
- 4 chip select ingangen
- merk: Signetics
- 24-pens plastic DIL-behuizing

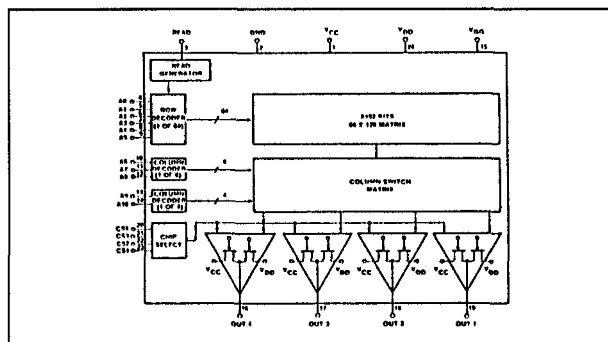
1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



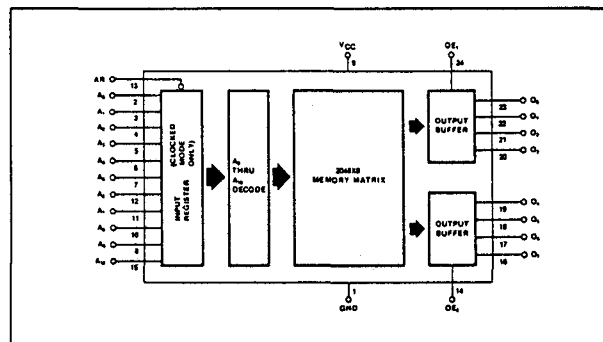
Figuur 8/1.7-14: Aansluitgegevens van de 2580.



Figuur 8/1.7-16: Aansluitgegevens van de 2600.



Figuur 8/1.7-15: Functioneel blokschema van de 2580.

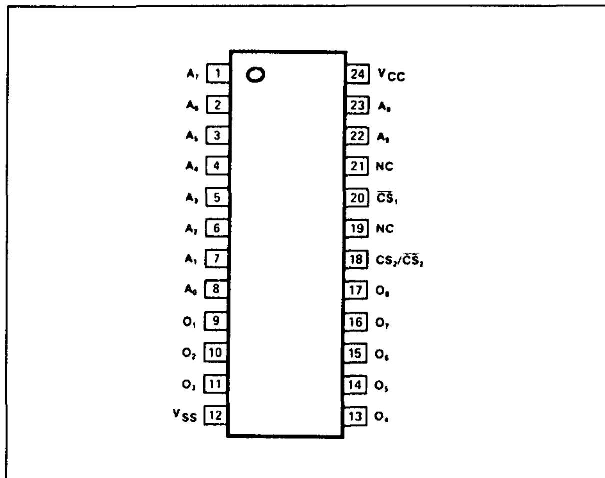


Figuur 8/1.7-17: Functioneel blokschema van de 2600.

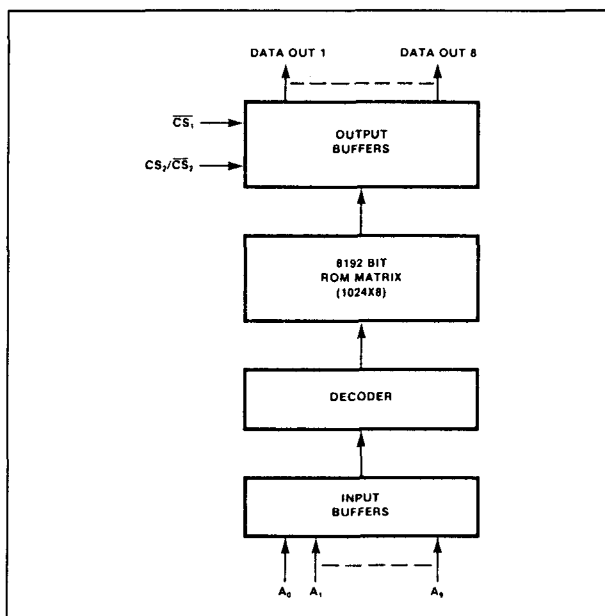
2600
16384 bit NMOS ROM
- organisatie: 2048 x 8 bit
- volledig statisch (geen clock)
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V +/-5 %
- adres-toegangstijd: 550 ns max.
  2600-1: 300 ns
- 2 output enable ingangen, waardoor ook 4096 x 4 bit mogelijk is
- pen-compatibel met EA4600 en EA4900
- merk: Signetics
- 24-pens plastic DIL-behuizing

2607
8192 bit NMOS ROM
- organisatie: 1024 x 8 bit
- volledig statisch (geen clock)
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V +/-5 %
- adres-toegangstijd: 450 ns max.
- 2 chip select ingangen
- pen-compatibel met 2708 EPROM
- merk: Signetics
- 24-pens plastic DIL-behuizing

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



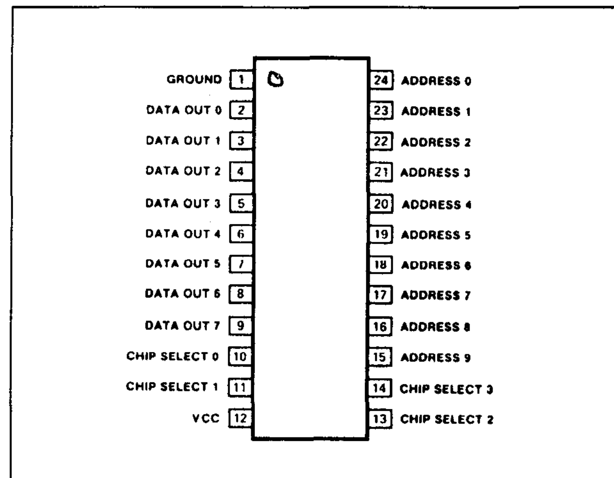
Figuur 8/1.7-18: Aansluitgegevens van de 2607.



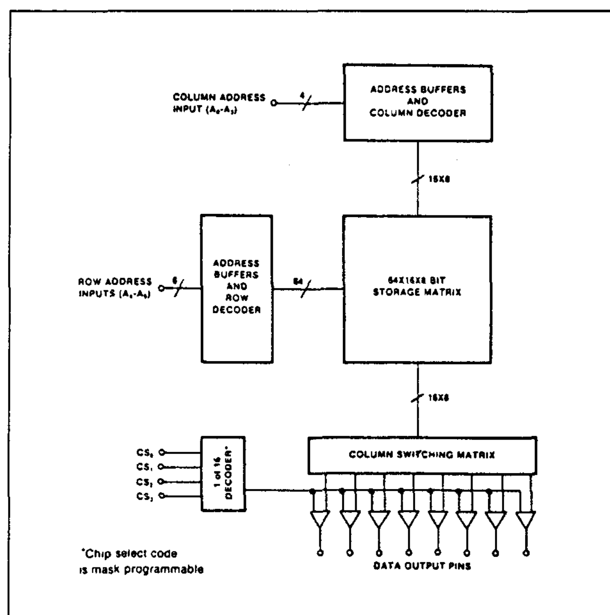
Figuur 8/1.7-19: Functioneel blokschema van de 2607.

2608
8192 bit NMOS ROM

- organisatie: 1024 x 8 bit
- volledig statisch (geen clock)
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V +/-5 %
- adres-toegangstijd: 550 ns max. 2608-1: 450 ns
- 4 programmeerbare chip select ingangen
- merk: Signetics
- 24-pens plastic DIL-behuizing



Figuur 8/1.7-20: Aansluitgegevens van de 2608.



Figuur 8/1.7-21: Functioneel blokschema van de 2608.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS

ADDRESS (A)							DISPLAYED	
7	6	5	4	3	2	1	CHARACTER	SHIFTED
0	0	0	0	0	0	0	α	
0	0	0	0	0	0	1	β	yes
0	0	0	0	0	1	0	γ	yes
0	0	0	0	0	1	1	δ	
0	0	0	0	1	0	0	ε	
0	0	0	0	1	0	1	ζ	
0	0	0	0	1	1	0	η	yes
0	0	0	0	1	1	1	θ	
0	0	0	1	0	0	0	ι	
0	0	0	1	0	0	1	κ	
0	0	0	1	0	1	0	λ	
0	0	0	1	0	1	1	μ	yes
0	0	0	1	1	0	0	ν	
0	0	0	1	1	0	1	ξ	
0	0	0	1	1	1	0	ο	
0	0	0	1	1	1	1	π	
0	0	1	0	0	0	0	ρ	yes
0	0	1	0	0	0	1	σ	
0	0	1	0	0	1	0	τ	
0	0	1	0	0	1	1	υ	
0	0	1	0	1	0	0	φ	
0	0	1	0	1	0	1	χ	
0	0	1	0	1	1	0	ψ	yes
0	0	1	0	1	1	1	ω	
0	0	1	1	0	0	0	Ω	
0	0	1	1	0	0	1	√	
0	0	1	1	0	1	0	→	
0	0	1	1	0	1	1	←	
0	0	1	1	1	0	0	!	
0	0	1	1	1	0	1	÷	
0	0	1	1	1	1	0	Σ	
0	0	1	1	1	1	1	~	
0	1	0	0	0	0	0	Blank	
0	1	0	0	0	0	1	!	
0	1	0	0	0	1	0	"	
0	1	0	0	0	1	1	#	
0	1	0	0	1	0	0	$	
0	1	0	0	1	0	1	%	
0	1	0	0	1	1	0	&	
0	1	0	0	1	1	1	'	
0	1	0	1	0	0	0	(	
0	1	0	1	0	0	1	)	
0	1	0	1	0	1	0	*	
0	1	0	1	0	1	1	+	
0	1	0	1	1	0	0	'	yes
0	1	0	1	1	0	1	—	
0	1	0	1	1	1	0		
0	1	0	1	1	1	1	/	
0	1	1	0	0	0	0	Ø	
0	1	1	0	0	0	1	1	
0	1	1	0	0	1	0	2	
0	1	1	0	0	1	1	3	
0	1	1	0	1	0	0	4	
0	1	1	0	1	0	1	5	
0	1	1	0	1	1	0	6	
0	1	1	0	1	1	1	7	
0	1	1	1	0	0	0	8	
0	1	1	1	0	0	1	9	
0	1	1	1	0	1	0	:	
0	1	1	1	0	1	1	;	
0	1	1	1	1	0	0	<	
0	1	1	1	1	0	1	=	
0	1	1	1	1	1	0	>	
0	1	1	1	1	1	1	?	

ADDRESS (A)							DISPLAYED	
7	6	5	4	3	2	1	CHARACTER	SHIFTED
1	0	0	0	0	0	0	@	
1	0	0	0	0	0	1	A	
1	0	0	0	0	1	0	B	
1	0	0	0	0	1	1	C	
1	0	0	0	1	0	0	D	
1	0	0	0	1	0	1	E	
1	0	0	0	1	1	0	F	
1	0	0	0	1	1	1	G	
1	0	0	1	0	0	0	H	
1	0	0	1	0	0	1	I	
1	0	0	1	0	1	0	J	
1	0	0	1	0	1	1	K	
1	0	0	1	1	0	0	L	
1	0	0	1	1	0	1	M	
1	0	0	1	1	1	0	N	
1	0	0	1	1	1	1	O	
1	0	1	0	0	0	0	P	
1	0	1	0	0	0	1	Q	
1	0	1	0	0	1	0	R	
1	0	1	0	0	1	1	S	
1	0	1	0	1	0	0	T	
1	0	1	0	1	0	1	U	
1	0	1	0	1	1	0	V	
1	0	1	0	1	1	1	W	
1	0	1	1	0	0	0	X	
1	0	1	1	0	0	1	Y	
1	0	1	1	0	1	0	Z	
1	0	1	1	0	1	1		
1	0	1	1	1	0	0	—	
1	0	1	1	1	0	1	|	
1	0	1	1	1	1	0	—	
1	0	1	1	1	1	1	—	
1	1	0	0	0	0	0	'	
1	1	0	0	0	0	1	a	
1	1	0	0	0	1	0	b	
1	1	0	0	0	1	1	c	
1	1	0	0	1	0	0	d	
1	1	0	0	1	0	1	e	
1	1	0	0	1	1	0	f	
1	1	0	0	1	1	1	g	yes
1	1	0	1	0	0	0	h	
1	1	0	1	0	0	1	i	
1	1	0	1	0	1	0	j	yes
1	1	0	1	0	1	1	k	
1	1	0	1	1	0	0	l	
1	1	0	1	1	0	1	m	
1	1	0	1	1	1	0	n	
1	1	0	1	1	1	1	o	
1	1	1	0	0	0	0	p	yes
1	1	1	0	0	0	1	q	yes
1	1	1	0	0	1	0	r	
1	1	1	0	0	1	1	s	
1	1	1	0	1	0	0	t	
1	1	1	0	1	0	1	u	
1	1	1	0	1	1	0	v	
1	1	1	0	1	1	1	w	
1	1	1	1	0	0	0	x	
1	1	1	1	0	0	1	y	yes
1	1	1	1	0	1	0	z	
1	1	1	1	0	1	1	{	
1	1	1	1	1	0	0	¦	
1	1	1	1	1	0	1	}	
1	1	1	1	1	1	0	~	
1	1	1	1	1	1	1	Solid	

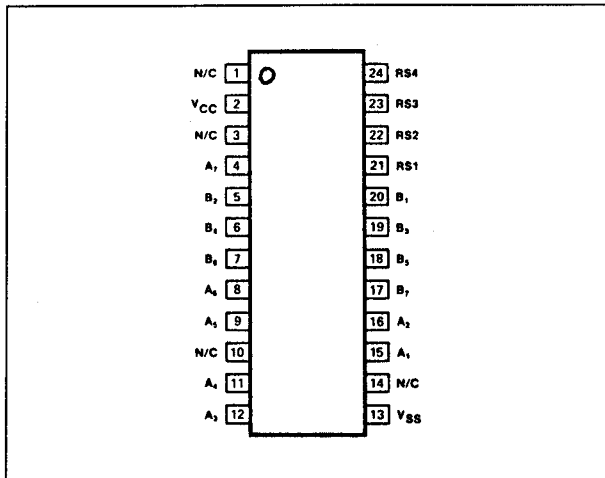
Figuur 8/1.7-24: Beschikbare karakters bij de 2609.

2609

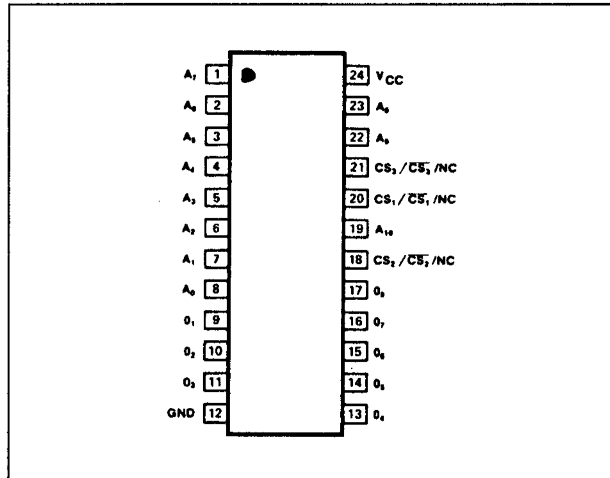
8192 bit NMOS karakter-generator

- organisatie: 128 karakters van 7 x 9
- volledig statisch (geen clock)
- TTL-compatibel
- voeding: +5 V +/-5 %
- adres-toegangstijd: 500 ns max.
- merk: Signetics
- 24-pens plastic DIL-behuizing

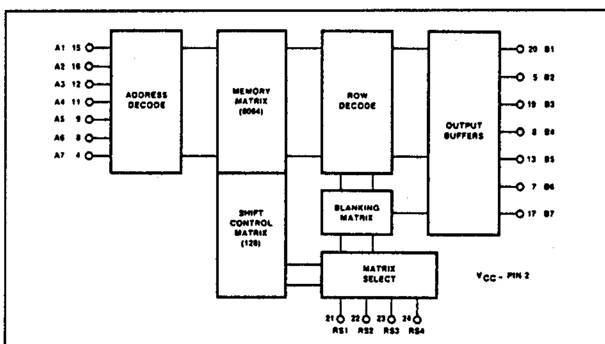
1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



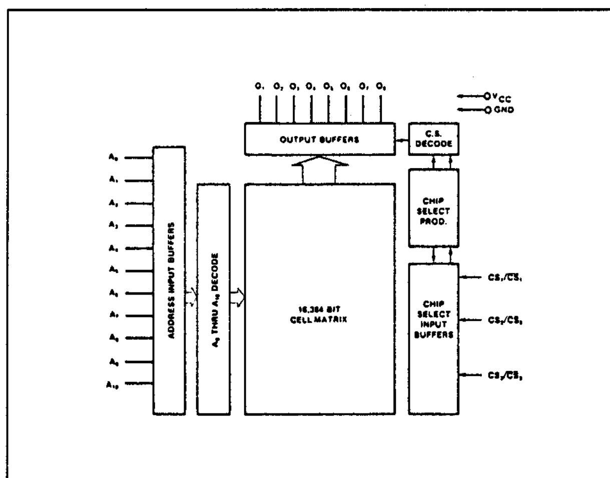
Figuur 8/1.7-22: Aansluitgegevens van de 2609.



Figuur 8/1.7-25: Aansluitgegevens van de 2616.



Figuur 8/1.7-23: Functioneel blokschema van de 2609.



Figuur 8/1.7-26: Functioneel blokschema van de 2616.

2616

16384 bit NMOS ROM

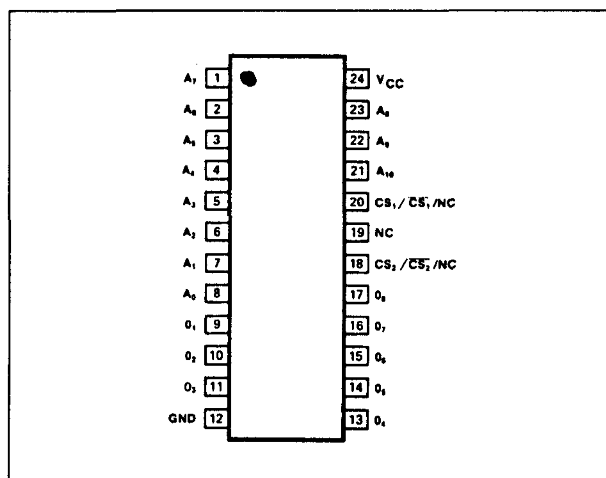
- organisatie: 2048 x 8 bit
- beveiligde ingangen
- 3-state uitgangen
- TTL-compatibel
- 3 programmeerbare chip select ingangen
- voeding: +5 V +/-5 %
- adres-toegangstijd: 450 ns max.
  2616-1: 350 ns
- merk: Signetics
- 24-pens plastic DIL-behuizing

2617

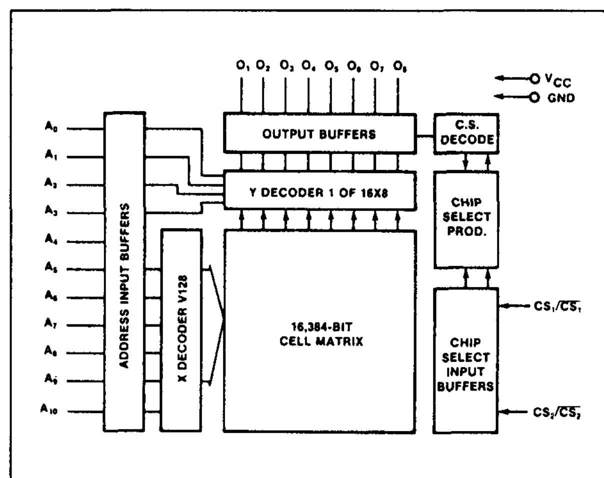
16384 bit NMOS ROM

- organisatie: 2048 x 8 bit
- beveiligde ingangen
- TTL-compatibel
- 3-state uitgangen
- voeding: +5 V +/-5 %
- adres-toegangstijd: 450 ns max.
  2617-1: 350 ns
- merk: Signetics
- 24-pens plastic DIL-behuizing

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS



Figuur 8/1.7-27: Aansluitgegevens van de 2617.



Figuur 8/1.7-28: Functioneel blokschema van de 2617.

1.7 Type-beschrijving 25xx/26xx-familie PMOS en NMOS

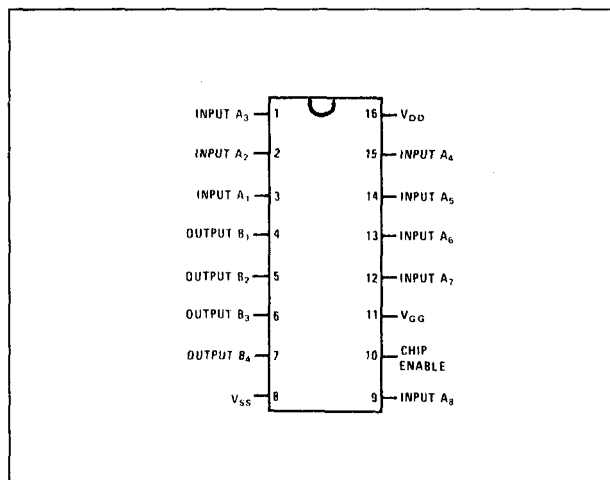
8/1.8

Type-beschrijving MM52xx-familie PMOS

MM5210

1024 bit PMOS ROM

- organisatie: 256 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- chip enable besturing van de uitgangen
- voeding: +12 V, -12 V
- toegangstijd: 500 ns typisch
- industriële versie: MM4210
- merk: NatSemi
- behuizing: 16-pens plastic DIL

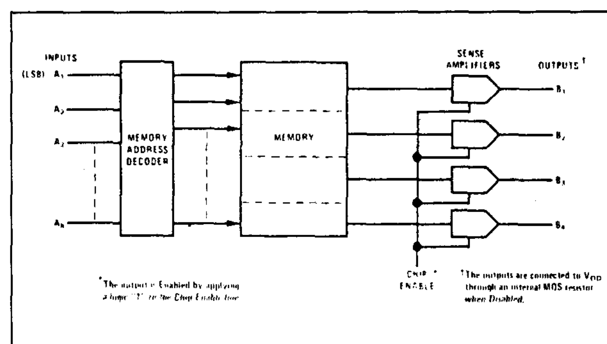


Figuur 8/1.8-1: Aansluitgegevens van de MM5210.

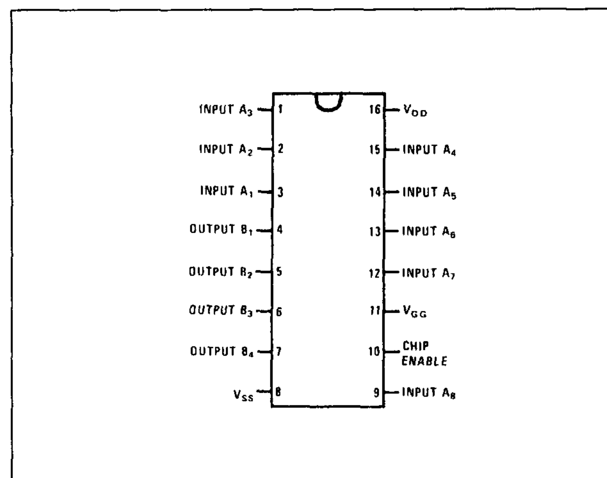
MM5211

1024 bit PMOS ROM

- organisatie: 256 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- chip enable besturing van de uitgangen
- voeding: +5 V, -12 V
- toegangstijd: 700 ns typisch
- industriële versie: MM4211
- merk: NatSemi
- behuizing: 16-pens plastic DIL

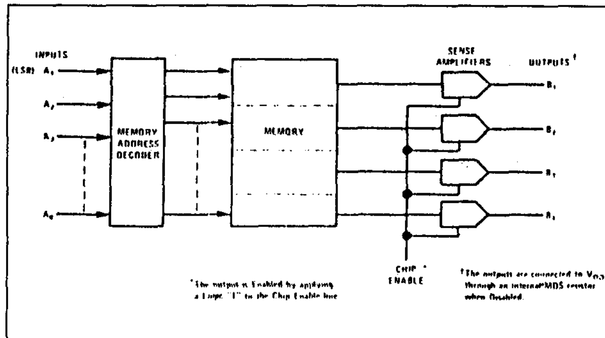


Figuur 8/1.8-2: Functioneel blokschema van de MM5210.



Figuur 8/1.8-3: Aansluitgegevens van de MM5211.

1.8 Type-beschrijving MM52xx-familie PMOS

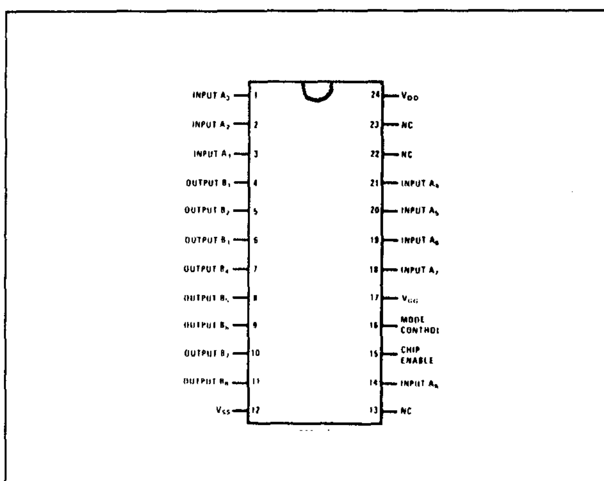


Figuur 8/1.8-4: Functioneel blokschema van de MM5211.

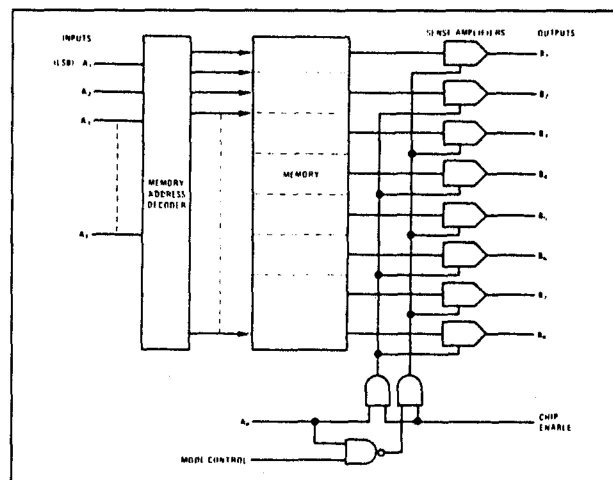
MM5220

1024 bit PMOS ROM

- organisatie: 128 x 8 bit of 256 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- mode-control: 0 = 128 x 8
  1 = 256 x 4
- chip enable besturing van de uitgangen
- voeding: +12 V, -12 V
- toegangstijd: 500 ns typisch
- industriële versie: MM4220
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerde typen:
  MM5220AE: ASCII-naar-Hollerith omzetter
  MM5220AP: BCDIC-naar-ASCII omzetter
  MM5220BL: Baudot-naar-ASCII omzetter
  MM5220BM: sinus opzoektabel
  MM5220BN: arc-tangens opzoektabel
  MM5220DF: "Quick Brown Fox" generator
  MM5220EK: BCDIC-naar-EBCDIC en EBCDIC-naar-BCDIC omzetter
  MM5220LR: BCDIC-naar-ASCII/7 en vice versa omzetter
  MM5220NP: 7 x 9 horizontal scan karakter-generator



Figuur 8/1.8-5: Aansluitgegevens van de MM5220.



Figuur 8/1.8-6: Functioneel blokschema van de MM5220.

Operating Modes

128x8 ROM connection
Mode Control – Logic "0"
A_X – Logic "1"

256x4 ROM connection
Mode Control – Logic "1"
A_X – Logic "0" Enables the odd (B_1 . . . B_7) outputs
– Logic "1" Enables the even (B_2 . . . B_8) outputs.

The outputs are "Enabled" when a logic "1" is applied to the Chip Enable line.

The outputs are connected to V_{DD} through an internal MOS resistor when "Disabled."

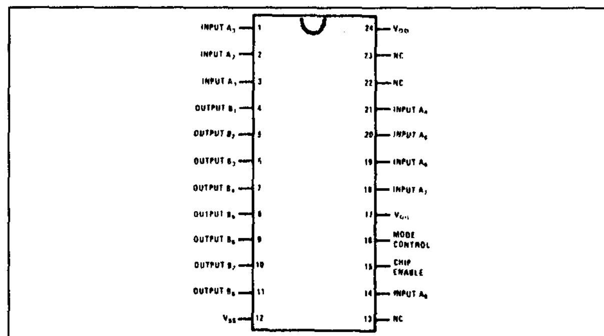
Figuur 8/1.8-7: Waarheidstabel van de MM5220.

1.8 Type-beschrijving MM52xx-familie PMOS

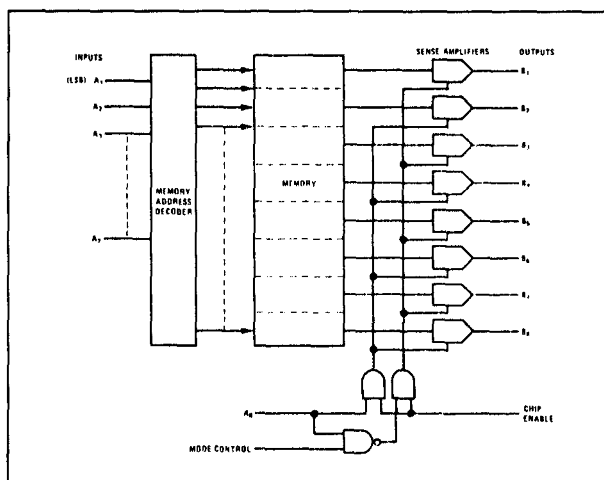
MM5221

1024 bit PMOS ROM

- organisatie: 128 x 8 bit of 256 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- mode-control: 0 = 128 x 8
  1 = 256 x 4
- chip enable besturing van de uitgangen
- voeding: +5 V, -12 V
- toegangstijd: 700 ns typisch
- industriële versie: MM4221
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerde typen:
  MM5221RQ: ASCII/7-naar-EIA RS244A en vice versa omzetter
  MM5221RR: ASCII/7-naar-EBCDIC omzetter



Figuur 8/1.8-8: Aansluitgegevens van de MM5221.



Figuur 8/1.8-9: Functioneel blokschema van de MM5221.

Operating Modes

128x8 ROM connection
Control – Logic "0"
A_8 – Logic "1"

256x4 ROM connection
Control – Logic "1"
A_8 – Enables the odd (B_1 . . . B_7) or even (B_2 . . . B_8) outputs.

The outputs are "Enabled" when a logic "1" is applied to the Chip Enable line.

The outputs are connected to ground through an *internal MOS resistor when "Disabled."*

Logic levels are negative true MOS logic.

Mode control should be "hard wired" to either V_{DD} (logical "1") or V_{SS} (logical "0").

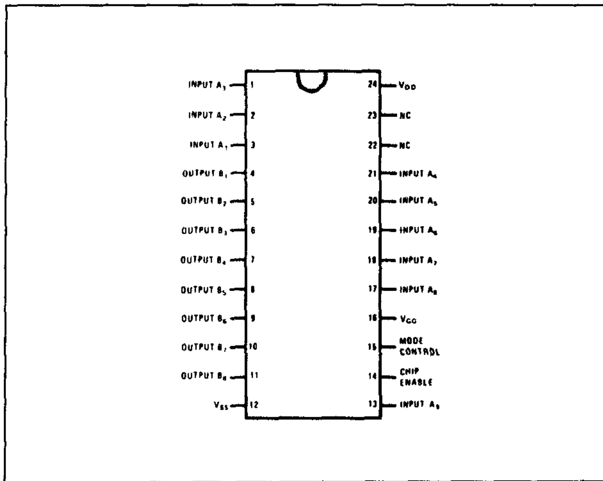
Figuur 8/1.8-10: Waarheidstabel van de MM5221.

MM5230

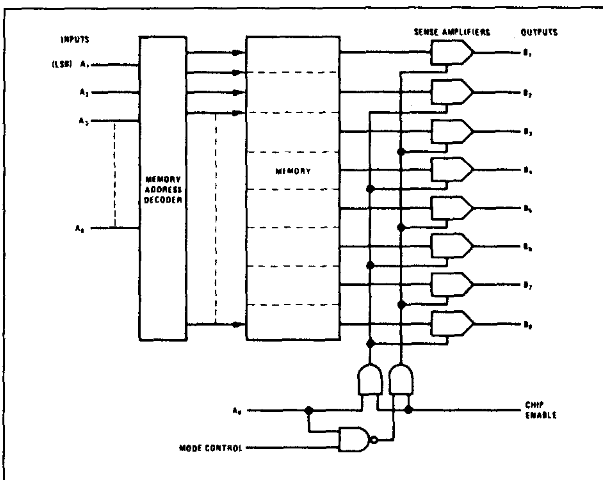
2048 bit PMOS ROM

- organisatie: 256 x 8 bit of 512 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- mode-control: 0 = 256 x 8
  1 = 512 x 4
- chip enable besturing van de uitgangen
- voeding: +12 V, -12 V
- toegangstijd: 500 ns typisch
- industriële versie: MM4230
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerde typen:
  MM5230BO: Hollerith-naar-ASCII omzetter
  MM5230FE: Selectric-naar-EBCDIC en vice versa omzetter
  MM5230JT: BCDIC-naar-EBCDIC en ASCII-naar-EBCDIC omzetter
  MM5230KP: ASCII/7-naar-Selectric omzetter
  MM5230NN: 7 x 9 horizontal scan karakter-generator
  MM5230NO: 7 x 9 horizontal scan karakter-generator
  MM5230QW: Hollerith-naar-EBCDIC omzetter

1.8 Type-beschrijving MM52xx-familie PMOS



Figuur 8/1.8-11: Aansluitgegevens van de MM5230.



Figuur 8/1.8-12: Functioneel blokschema van de MM5230.

Operating Modes

256x8 ROM connection
Mode Control – Logic "0"
A_9 – Logic "1"

512x4 ROM connection
Mode Control – Logic "1"
A_9 – Logic "0" Enables the odd (B_1, B_3 . . . B_9) outputs
– Logic "1" Enables the even (B_2, B_4 . . . B_8) outputs.

The outputs are "Enabled" when a logic "1" is applied to the Chip Enable line.

The outputs are connected to V_{DD} through an internal MOS resistor when "Disabled."

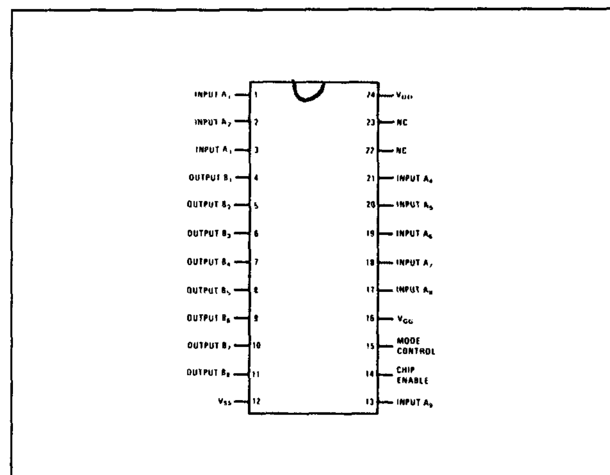
Figuur 8/1.8-13: Waarheidstabel van de MM5230.

MM5230QX: EBCDIC/8-naar-ASCII/8 omzetter
MM5230QY: ASCII/8-naar-EBCDIC/8 omzetter
MM5230RS: binair-naar-modulo N deler omzetter

MM5231

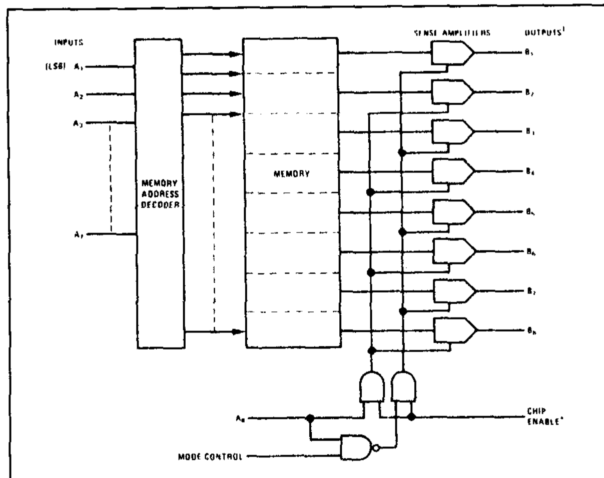
2048 bit PMOS ROM

- organisatie: 256 x 8 bit of 512 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- mode-control: 0 = 256 x 8
  1 = 512 x 4
- chip enable besturing van de uitgangen
- voeding: +5 V, -12 V
- toegangstijd: 640 ns typisch
- industriële versie: MM4231
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerd type:
  MM5231RP: IBM 1130 EBCDIC-naar-ASCII/7 omzetter

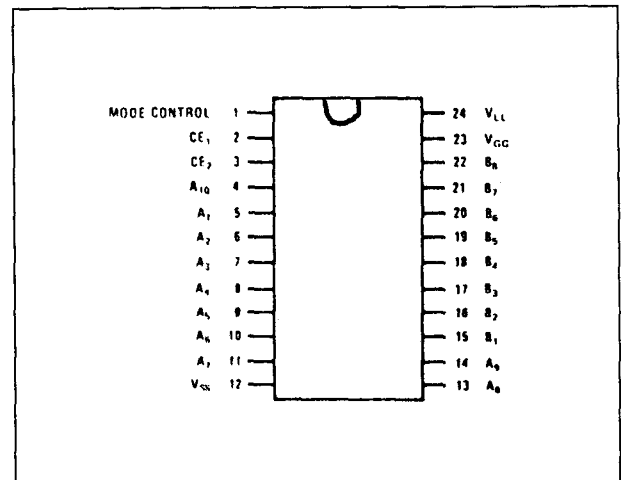


Figuur 8/1.8-14: Aansluitgegevens van de MM5231.

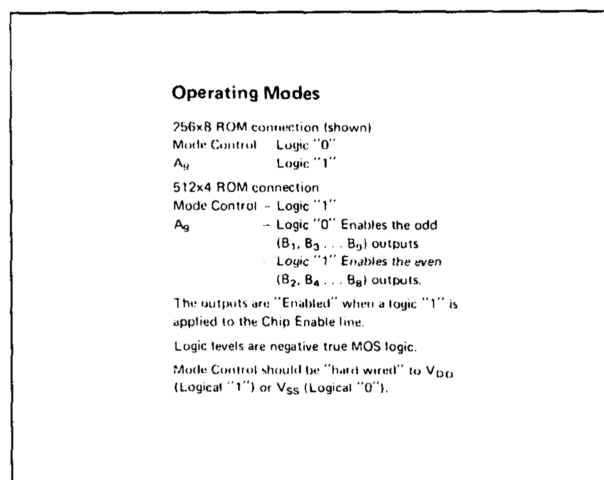
1.8 Type-beschrijving MM52xx-familie PMOS



Figuur 8/1.8-15: Functioneel blokschema van de MM5231.



Figuur 8/1.8-17: Aansluitgegevens van de MM5232.



Operating Modes

256x8 ROM connection (shown)
Mode Control Logic "0"
A_9 Logic "1"

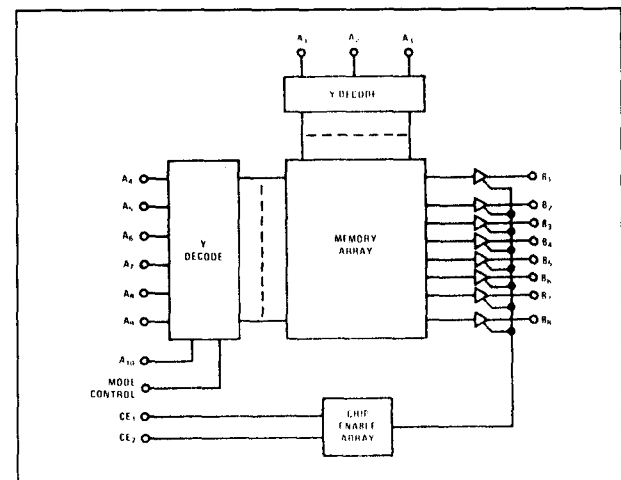
512x4 ROM connection
Mode Control – Logic "1"
A_9 – Logic "0" Enables the odd (B_1, B_3 . . . B_9) outputs
Logic "1" Enables the even (B_2, B_4 . . . B_8) outputs.

The outputs are "Enabled" when a logic "1" is applied to the Chip Enable line.

Logic levels are negative true MOS logic.

Mode Control should be "hard wired" to V_{DD} (Logical "1") or V_{SS} (Logical "0").

Figuur 8/1.8-16: Waarheidstabel van de MM5231.

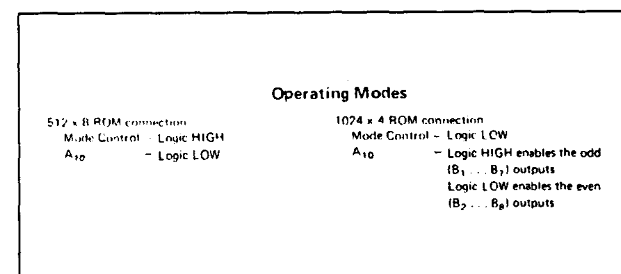


Figuur 8/1.8-18: Functioneel blokschema van de MM5232.

MM5232

4096 bit PMOS ROM

- organisatie: 512 x 8 bit of 1024 x 4 bit
- statische werking (geen clock)
- TTL/DTL-compatibel
- mode-control: 0 = 512 x 8
  1 = 1024 x 4
- chip enable besturing van de uitgangen
- voeding: +5 V, -12 V
- toegangstijd: 500 ns typisch
- 3-state uitgangen
- industriële versie: MM4232
- merk: NatSemi
- behuizing: 24-pens plastic DIL



Operating Modes

512 x 8 ROM connection
Mode Control – Logic HIGH
A_{10} – Logic LOW

1024 x 4 ROM connection
Mode Control – Logic LOW
A_{10} – Logic HIGH enables the odd (B_1 . . . B_7) outputs
Logic LOW enables the even (B_2 . . . B_8) outputs

Figuur 8/1.8-19: Waarheidstabel van de MM5232.

1.8 Type-beschrijving MM52xx-familie PMOS

MM5240

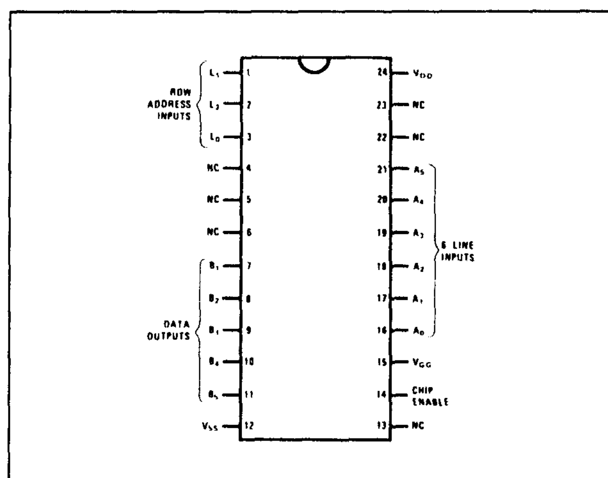
2560 bit PMOS ROM

- organisatie: 64 karakters van 5 x 8
- statische werking (geen clock)
- TTL/DTL-compatibel
- chip enable besturing van de uitgangen
- voeding: +12 V, -12 V
- toegangstijd: 600 ns typisch
- industriële versie: MM4240
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerde typen:
  MM5240AA: 7 x 5 horizontal scan ASCII/7 karakter-generator
  MM5240AD: Katakana alfabet karakter-generator
  MM5240AE: ASCII/7 grote en kleine letter karakter-generator
  MM5240AF: 5 x 7 ASCII/6 karakter-generator (uitgangen LAAG waar)
  MM5240AH: 5 x 7 ASCII/6 karakter-generator (uitgangen HOOG waar)
  MM5240AK: 5 x 7 ECMA/6 karakter-generator, Frans, Engels, Italiaans
  MM5240ABU: Hollerith karakter-generator
  MM5240ABZ: EBCDIC/8 karakter-generator
  MM5240ACA: EBCDIC karakter-generator

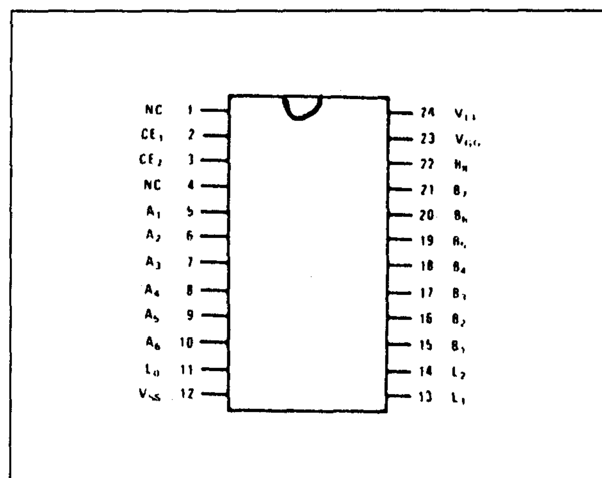
MM5241

3072 bit PMOS ROM

- organisatie: 64 karakters van 6 x 8
- statische werking (geen clock)
- TTL/DTL-compatibel
- chip enable besturing van de uitgangen
- voeding: +5 V, -12 V
- industriële versie: MM4241
- merk: NatSemi
- behuizing: 24-pens plastic DIL
- voorgeprogrammeerde typen:
  MM5241ABL: vertical scan ASCII/7 karakter-generator
  MM5241ABV: vertical scan ECMA/7 karakter-generator, Scandinavisch
  MM5241ABW: vertical scan ECMA/7 karakter-generator, Duits
  MM5241ABX: vertical scan ECMA/7 karakter-generator, Frans, Engels, Italiaans
  MM5241ABY: vertical scan karakter-generator, Spaans
  MM5241AAN: vertical scan ASCII karakter-generator

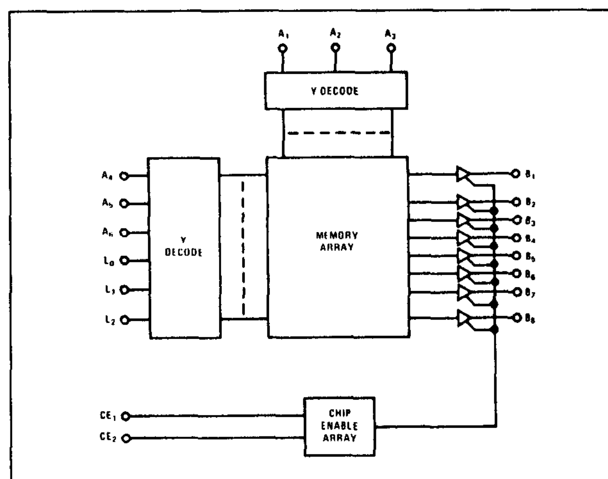


Figuur 8/1.8-20: Aansluitgegevens van de MM5240.



Figuur 8/1.8-21: Aansluitgegevens van de MM5241.

1.8 Type-beschrijving MM52xx-familie PMOS



Figuur 8/1.8-22: Functioneel blokschema van de MM5241.

1.8 Type-beschrijving MM52xx-familie PMOS

8/2

Statische RAM's

Inhoud

HM 6168	4 k x 4, 20-pens plastic DIL/20-pens LCC
IDT 6198	16 k x 4, 24-pens 0,3" plastic/keramische DIL, SO, 28-pens LCC
IDT 61298	64 k x 4, 28-pens 0,3" keramische 'sidebraze' DIL

8/2.4.2 Type-beschrijving 62-serie

(aanvulling 23)

HM 6207	256 k x 1, 24-pens 0,3" plastic DIL
HM 6208	64 k x 4, 34-pens 0,3" plastic DIL
HM 6264	8 k x 8, 28-pens 0,6" en 0,3" plastic DIL/SO
HM 6267	16 k x 1, 20-pens 0,3" plastic DIL/20-pens LCC
HM 6268	4 k x 4, 20-pens 0,3" plastic DIL
HM 6287	64 k x 1, 22-pens 0,3" plastic DIL/22-pens keramische LCC
HM 6288	16 k x 4, 22-pens 0,3" plastic DIL
HM 62256	32 k x 8, 28-pens 0,6" plastic DIL/28-pens SO

8/2.4.3 Type-beschrijving 65-serie

(aanvulling 24)

HM 6504	4 k x 1, 18-pens 0,3" plastic/ker. DIL /18-pens keramische LCC
HM 6508	1 k x 1, 16-pens 0,3" plastic/ker. DIL
HM 6514	1 k x 4, 18-pens 0,3" plastic/ker. DIL /18-pens keramische LCC
HM 6516	2 k x 8, 24-pens 0,6" plastic/ker. DIL /32-pens keramische LCC
HM 6518	1 k x 1, 18-pens 0,3" plastic/ker. DIL /18-pens keramische LCC
HM 6551	256 x 4, 22-pens plastic/ker. DIL
HM 6561	256 x 4, 18-pens 0,3" plastic/ker.DIL /18-pens keramische LCC
HM 6564	8 k x 8 of 16k x 4,40-pens 0,9 x 2" ker. DIL
HM 65162	2 k x 8, 24-pens 0,6" plastic/ker. DIL /32-pens keramische LCC
HM 65262	16 k x 1, 20-pens 0,3" plastic/ker. DIL /20-pens keramische LCC
HM 65642	8 k x 8, 28-pens 0,6" ker. DIL /32-pens keramische LCC

8/2.5 Type-beschrijving bipolaire RAM's

8.2.5.1 Type-beschrijving 74xx-serie TTL

(aanvulling 39)

7481A	16 bit RAM, 16 x 1, open-collector uitgang
7484A	16 bit RAM, 16 x 1, open-collector uitgang
7489	64 bit RAM, 16 x 4, open-collector uitgangen
74189	64 bit RAM, 16 x 4, 3-state uitgangen
74201	256 bit RAM, 256 x 1, 3-state uitgang
74211	144 bit RAM/latches, 16 x 9, 3-state I/O
74212	144 bit RAM, 16 x 9, 3-state I/O
74213	192 bit RAM,16 x 12, 3-state I/O
74219	64 bit RAM, 16 x 4, 3-state uitgangen
74289	64 bit RAM, 16 x 4, open-collector uitgangen
74301	256 bit RAM, 256 x 1, open-collector uitgang
74319	64 bit RAM, 16 x 4, open-collector uitgangen

8/2.5.2 Type-beschrijving 82xx-serie TTL

(aanvulling 42)

82S09(A)	576 bit RAM, 64 x 9, open-collector uitgangen
82S10	1024 bit RAM, 1024 x 1, open-collector of 3-state uitgang
82S110	1024 bit RAM, 1024 x 1, open-collector of 3-state uitgang
82S11	1024 bit RAM, 1024 x 1, open-collector of 3-state uitgang

82S111	1024 bit RAM, 1024 x 1, open-collector of 3-state uitgang
82S12	32 bit multiport RAM, 8 x 4, open-collector of 3-state uitgangen
82S112	32 bit multiport RAM, 8 x 4, open-collector of 3-state uitgangen
82(L)S16	256 bit RAM, 256 x 1, 3-state of open-collector uitgang
82S116	256 bit RAM, 256 x 1, 3-state of open-collector uitgang
82S17	256 bit RAM, 256 x 1, 3-state of open-collector uitgang
82S117	256 bit RAM, 256 x 1, 3-state of open-collector uitgang
82S19	576 bit RAM, 64 x 9, open-collector uitgangen
82S21	64 bit Write-While-Read RAM, 32 x 2, open-collector uitgangen
82S25	64 bit RAM, 16 x 4, open-collector uitgangen
82S208	2048 bit RAM, 256 x 8, 3-state uitgangen
82S210	2304 bit RAM, 256 x 9, 3-state uitgangen
82S212(A)	2304 bit RAM, 256 x 9, 3-state uitgangen
82S400(A)	4096 bit RAM, 4096 x 1, open-collector of 3-state uitgang
82S401(A)	4096 bit RAM, 4096 x 1, open-collector of 3-state uitgang

8/2.6 Type-beschrijving Zero-Power statische RAM's

8/2.6.1 Type-beschrijving M4xZxx-typen

(aanvulling 73 + 74 + 75)

M48Z02, M48Z12	2 k x 8 Zero-Power RAM
M48Z08, M48Z18	8 k x 8 Zero-Power RAM
M48Z09, M48Z19	8 k x 8, Zero-Power RAM, 2 x Chip-Enable, Power Fail INTR
M48Z30, M48Z30Y	32 k x 8, Zero-Power RAM
M48Z32, M48Z32Y	32 k x 8, Zero-Power RAM
M48Z35, M48Z35Y	32 k x 8, Zero-Power RAM
M48Z58, M48Z58Y	8 k x 8, Zero-Power RAM
M48Z59, M48Z59Y	8 k x 8, Zero-Power RAM, 2 x Chip-Enable, Power Fail $\overline{RST}$
M48Z128, M48Z128Y	128 k x 8, Zero-Power RAM
M48Z256, M48Z256Y	256 k x 8, Zero-Power RAM
M48Z512, M48Z512Y	512 k x 8, Zero-Power RAM
M46Z128, M46Z128Y	128 k x 16, Zero-Power RAM
M46Z256, M46Z256Y	256 k x 16, Zero-Power RAM

8/2.6.2 Type-beschrijving Timekeeper-typen

(aanvulling 75 + 76)

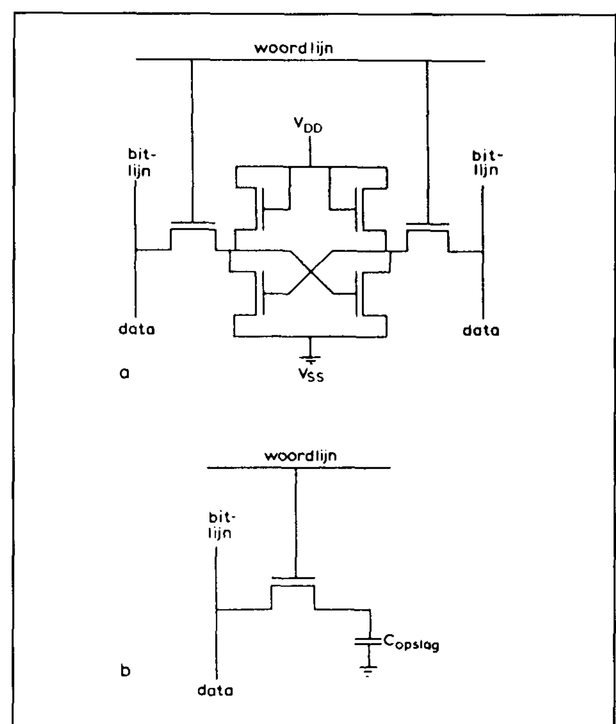
M48T02, M48T12	2 k x 8 Timekeeper SRAM
M48T08, M48T18	8 k x 8 Timekeeper SRAM
M48T35, M48T35Y	32 k x 8 Timekeeper SRAM
M48T36Y	32 k x 8 Timekeeper SRAM, Alarm en Watchdog-timer
M48T58, M48T58Y	8 k x 8 Timekeeper SRAM
M48T59, M48T59Y	8 k x 8 Timekeeper SRAM, Alarm en Watchdog-timer
M48T558Y	8 k x 8 Timekeeper SRAM met gemultiplexte adres/data-lijnen
M48T559Y	8 k x 8 Timekeeper SRAM met gemultiplexte adres/data-lijnen, alarm en Watchdog-timer
MK41T56	64 x 8 seriële (I^2C-compatibele) Timekeeper SRAM

8/2.1

Achtergrond-informatie

Inleiding

Statische geheugens (SRAM's) zijn opgebouwd uit rijen bistabiele multivibratoren (flip-flop's). Daar een flip-flop een teruggekoppeld element is, blijft de informatie die er is ingeschreven altijd bewaard, ook als het geheugen wordt uitgelezen (als de voedingsspanning tenminste aanwezig blijft). Dit in tegenstelling tot dynamische geheugens (DRAM's, *zie hoofdstuk 8/3*) waar de informatie wordt opgeslagen in zeer kleine capaciteiten. Hierdoor heeft de informatie de neiging om weg te lekken en moet deze van tijd tot tijd worden ververst (refresh). In figuur 8/2.1-1 is het verschil in opbouw te zien tussen een statische- en een dynamische geheugencel. Het grote voordeel van statische RAM's is dat eenmaal opgeslagen data voortdurend ter beschikking staat en zonder ingewikkelde timing kan worden opgevraagd. SRAM's hebben echter het nadeel dat de geheugencellen complex zijn. Zoals *in figuur 8/2.1-1 te zien is*, worden de geheugencellen van SRAM's opgebouwd uit 6 transistoren en die van DRAM's uit slechts één (plus een capaciteit). Er kunnen minder geheugencellen per oppervlakte worden geplaatst dan bij DRAM's.



Figuur 8/2.1-1: Het verschil in opbouw tussen een statische (a) en een dynamische (b) RAM-cel.

Lange tijd is bijvoorbeeld 16k de maximale grootte van SRAM's geweest. Nu, met het Mega-project van Philips en Siemens blijkt een 1 Mbit SRAM (Philips) ongeveer even ingewikkeld te zijn als een 4 Mbit DRAM (Siemens).

In de begintijd van de microprocessoren werden hoofdzakelijk SRAM's gebruikt, omdat dynamische RAM's nog niet beschikbaar waren en er ook nog niet zoveel data moest worden opgeslagen. Zeer populair waren de 8-bit brede – zogenaamde 'byte-wide' – SRAM's die dezelfde aansluitingen hadden als EPROM's.

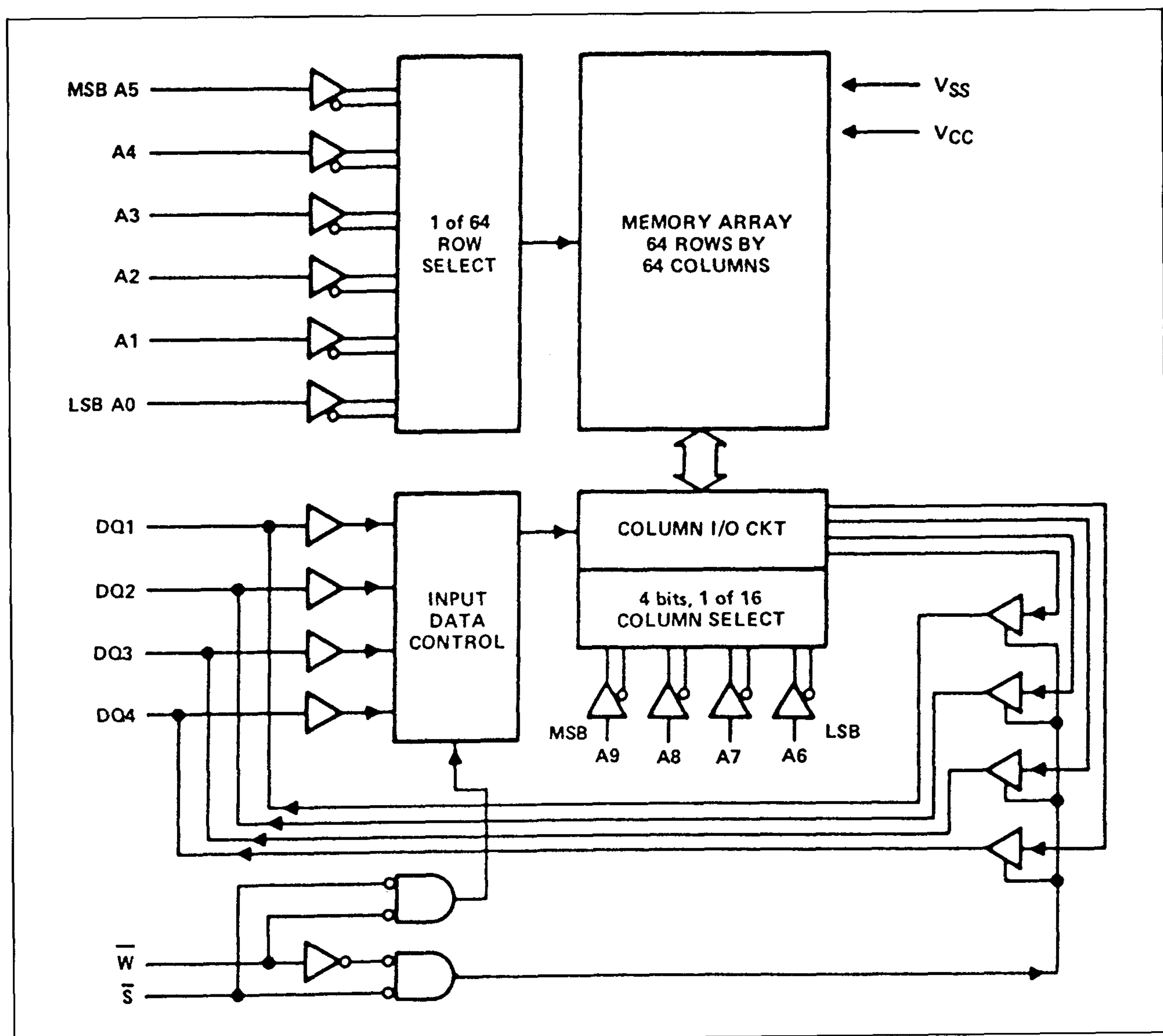
Tegenwoordig worden SRAM's vooral toegepast in kleine systemen en als 'cachegeheugen' bij zeer snelle (micro) processoren om de snelheid daarvan op te voeren.

2.1 Achtergrond-informatie

Werking

Zoals in figuur 8/2.1-2 te zien is (hier bijvoorbeeld het functioneel blokschema van het type 2149 gebruikt) bestaat een RAM uit de eigenlijke geheugencellen (memory array), waarin door middel van de adreslijnen A (hier 0 tot en met 9) een bepaalde plaats kan worden gekozen. Op deze plaats (hier een '4-bit woord') kan data worden opgeborgen door zowel de Chip Select-ingang S als de Write Enable-lijn W LAAG te maken. Om deze data daarna weer uit te lezen moet hetzelfde adres worden gekozen, waarna S = LAAG en W = HOOG moeten zijn. De Chip-Select-lijn haalt de uitgangen dus uit de hoog-impedante toestand, terwijl de Write Enable-lijn de richting van de data bepaalt: HOOG = lezen, LAAG = schrijven.

SRAM's zijn leverbaar in MOS (vroeger veel NMOS, nu meestal CMOS) en bipolaire uitvoering (TTL, HC, ECL).



Figuur 8/2.1-2: Functioneel blokschema van een statische RAM (in dit geval een 2149).

8/2.2

Uitwisselbaarheid van statische geheugens (SRAM's)

Wanneer een geheugen-IC in een van de volgende lijsten is opgenomen, wil dat nog niet zeggen dat het IC nog leverbaar is. Vooral in de beginjaren zijn vele exotische typen vervaardigd, waarvan er echter nog veel in omloop zijn. Bij reparaties zal in de meeste gevallen een vervangend type moeten worden gekozen. Het is dan nuttig om over zo uitgebreid mogelijke equivalentenlijsten te kunnen beschikken.
De naamgeving van de RAM-IC's is meestal zeer direkt. Na één of meerdere letters waaraan de fabrikant kan worden herkend, volgt het typenummer (meestal vier cijfers, eventueel onderbroken door een L voor Laagvermogen of C voor CMOS). Na het typenummer volgt dan de aanduiding voor de snelheid. Hier is voorzichtigheid geboden omdat niet altijd dezelfde codering wordt gebruikt: 10, 12, 15, 20 betekenen natuurlijk respectievelijk 100, 120, 150 en 200 ns toegangstijd. De indikaties 3, 4, 5, 7 betekenen bij het ene merk dat de toegangstijden 35, 45, 55 en 70 ns bedragen. Bij het andere (oudere) merk worden met 1, 2, 3 en 4 toegangstijden van respectievelijk 120, 150, 200 en 250 ns bedoeld, hetgeen echt niet logisch is. Het is dus altijd oppassen geblazen! Voor nieuwe ontwerpen zal tegenwoordig meestal een CMOS-type worden gekozen.

2.2 Uitwisselbaarheid van statische geheugens (SRAM's)

8/2.2.1

Equivalentenlijst NMOS SRAM's

4k-typen

1k × 4 (2114-typen)

merk	typenummer
AM	Am 9114, 91L14
EA	EA 2114 L
EMM/SEMI	2114
Fairchild	F2114
Hitachi	HM 472114A
Intel	2114A, 2114AL
Intersil	IM 2114, IM 2114L
Matra-Harris	HM 6514 (CMOS)
Mitsubishi	M5L 2114L
Motorola	MCM 2114, MCM 21L14
Natsemi	MM 2114, MM 2114L
NEC	uPD 2114, uPD 2114L
OKI	MSM 2114, MSM 2114L
Synertek	SY 2114, SY 2114L
Texas Instr.	TMS 2114, TMS 2114L

4k × 1 (2147-typen)

merk	typenummer
AMD	Am 9147, Am 2147, Am 21L47
AMI	S 2147
Cypress	CY 2147 (CMOS)
Fujitsu	MBM 2147
Hitachi	HM 4847, HM 6147H (CMOS)
Intel	2147H, 2147HL
Mostek	MK 2147
Motorola	MCM 2147
Natsemi	MM 2147, MM 2147L
NEC	uPD 2147
Performance	P 4C147 (CMOS)
Texas Instr.	TMS 2147H
Toshiba	TMM 315

1k × 4 (2148/2149-typen)

merk	typenummer
AMD	Am 2148/21L48, Am 2149/21L49
Cypress	CY 2148, CY 2149, CY 21C48
Hitachi	HM 6148H (CMOS)
Intel	2148H, 2149H
Motorola	MCM 2149
Natsemi	MM 2148
NEC	uPD 2149
Performance	P 4C148, P 4C148L, P 4C149 (CMOS)
Synertek	SY 2149
Texas Instr.	TMS 2149

4k × 1 (4044-typen)

merk	typenummer
AMD	Am9044, Am 90L44
GTE/Micro	2141, L2141
Intersil	IM 7141, IM 7141L
Intel	2141, 2141L
Natsemi	MM 2141
Mitsubishi	M5T 4044
Mostek	MK 4104
NEC	uPD 4104
Synertek	SY 2141, SY 2141L
Texas Instr.	TMS 4044, TMS 40L44

16k-typen

16k × 1 (2167-typen)

merk	typenummer
AMD	Am 2167
Fujitsu	MB 8167
Hitachi	HM 6167 (CMOS)

2.2-1 Equivalentielijst NMOS SRAM's

Intel	2167
Mitsubishi	M5M 2167S
Mostek	MK 4167
Motorola	MCM 2167H
NEC	uPD 2167
Texas Instr.	TMS 2167

2k × 8 (4016-typen)

merk	**typenummer**
AMD	Am 9128
Fairchild	F 3528
Fujitsu	MB 8128
Hitachi	HM 6116 (CMOS)
Mitsubishi	M 5827
Mostek	MK 4802
Motorola	MCM 4016
NEC	uPD 4016C
	uPD 4016CX (0.3 inch)
OKI	MSM 2128
Sharp	LH 2128
Texas Instr.	TMS 4016
Toshiba	TMM 2016A/B
	TMM 2015A/B (0.3 inch)

4k × 4 (2068-typen)

merk	**typenummer**
Cypress	CY 7C168
Fujitsu	MB 8168
Hitachi	HM 6168H, HM 6168HL
Inmos	IMS 1420, IMS 1421
Mitsubishi	M5M 2168
Motorola	MCM 6168, MCM 6169
Performance	P 4C168, P 4C169
Synertek	SY 2168
Toshiba	TMM 2068D

64k-typen

8k × 8 (2064-typen)

merk	**typenummer**
Fujitsu	MB 8464
Hitachi	HM 6264P/LP/AP/ALP (CMOS)
Mitsubishi	M5M 5165
NEC	uPD 4364
OKI	MSM 6165
Performance	P 4C164 (CMOS)
Toshiba	TMM 2064P
	TMM 2063P (0.3 inch)

8/2.2.2

Equivalentenlijst CMOS SRAM's

1k-typen

1k x 1

merk	typenummer
Fujitsu	MB 8401
Harris	HM 6508
Motorola	MCM 6508
Natsemi	NMC 6508, MM 74C929
NEC	µPD 443
RCA	CDP 6508, CDP 1821
SGS	M 5508
Toshiba	TC 5508

4k-typen

1k x 4

merk	typenummer
AMD	Am 91L14, Am 91L24
Fujitsu	MB 8414
Harris	HM 6514
Hitachi	HM 4334, HM 6148
Mitsubishi	M5M 58981
Motorola	MCM 6514
Natsemi	NMC 6514
NEC	µPD 444
OKI	MSM 5114, MSM 5115
Philips	PCD 5114
RCA	MWS 5114, MWS 6514A
SGS	M 5514A
Toshiba	TC 5513, TC 5514

1k x 4

merk	typenummer
Cypress	CY 2148/CY 2149, CY 7C148/CY 7C149
Hitachi	HM 6148H
Performance	P 4C148, P 4C148L, P 4C149

4k x 1

merk	typenummer
AMD	Am 92L44
Fujitsu	MBM 8404
Harris	HM 6504
Hitachi	HM 4315
Motorola	MCM 6504
Natsemi	NMC 6504
OKI	MSM 5104
SGS	M 5504A
Toshiba	TC 5504

4k x 1

merk	typenummer
Cypress	CY 2147, CY 7C147
Fujitsu	MBM 2147
Hitachi	HM 6147
Motorola	MCM 6147
Perormance	P 4C147

16k-typen

2k x 8

merk	typenummer
Fujitsu	MB 8417
NEC	µPD 447
OKI	MSM 5127
Toshiba	TC 5516

2k x 8

merk	typenummer
Fujitsu	MB 8416

2.2 Uitwisselbaarheid van statische RAM's

Harris	HM 65162
Hitachi	HM 6116
Hyundai	HY 6116, HY 61C16
IDT	IDT 6116
Mitsubishi	M5M 5117
Motorola	MCM 65116
Natsemi	MM 6116
NEC	µPD 446
OKI	MSM 5128
Performance	P 4C116
Philips	SBB 6116
RCA	CDM 6116
SGS	M 5517A
Sharp	LH 5128
SMOS	SRM 2016
Sony	CXK 5814
SSS	SCM 6116
Toshiba	TC 5517

2k x 8

merk	typenummer
Fujitsu	MB 8417
Harris	HM 65172
Hitachi	HM 6117
RCA	CDM 6117
SGS	M 5516A
SMOS	CDM 6117
Toshiba	TC 5516

2k x 8

merk	typenummer
Fujitsu	MB 8418
Hitachi	HM 6117
Mitsubishi	M5M 5118
NEC	µPD 449
OKI	MSM 5129
RCA	CDM 6118
SMOS	SRM 2018
Toshiba	TC 5518

4k x 4

merk	typenummer
Cypress	CY 7C168
Fujitsu	MB 81C68
Hitachi	HM 6168
IDT	IDT 6168
Inmos	IMS 1423
Mitsubishi	M5M 21C68
Motorola	MCM 6168
Performance	P 4C168, P 4C169
Sony	CXK 5416

64k-typen

8k x8 (0,6 inch)

merk	typenummer
AMD	Am 99C88
Cypress	CY 7C185, CY 7C186
Fujitsu	MB 8464
Harris	HM 65642
Hitachi	HM 6264
Hyundai	HY 6264
IDT	IDT 7164
Mitsubishi	M5M 5164
Motorola	MCM 6164
Natsemi	MM 6164
NEC	µPD 4464
OKI	MSM 5164
Performance	P 4C164
RCA	CDM 6264
Sony	CXK 5865
Toshiba	TC 5564

8k x 8 (0,6 inch)

merk	typenummer
EDI	8808A, 8808
Harris	HM 8808A, HM 8808
IDT	IDT 7M864, IDT 8M864
Mitsubishi	M5M 5165
NEC	µPD 4364
OKI	MSM 5165
Toshiba	TC 5565

64k x 1 (0,3 inch)

merk	typenummer
Fujitsu	HB 81C71
Hitachi	HM 6287
Inmos	IMS 1600
NEC	µPD 4361
Toshiba	TC 5562

2.2 Uitwisselbaarheid van statische RAM's

256k-typen

32k x 8

merk	**typenummer**
Hitachi	HM 62256
NEC	µPD 43256

2.2 Uitwisselbaarheid van statische RAM's

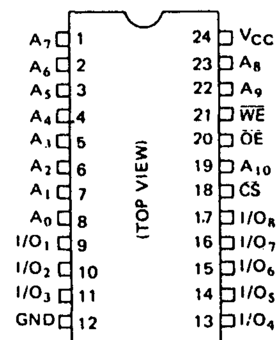
8/2.3

Type-beschrijving NMOS SRAM's

2015
2k × 8 SRAM

De 2015 is een 16384 bit vrij toegankelijk statisch NMOS geheugen (ook verkrijgbaar in CMOS) met een 2048 × 8 bit organisatie. De 2015 is verkrijgbaar in een A- en een B-versie, waarbij de laatste het minste vermogen dissipeert. Voor zover nodig zijn de specificaties van beide versies opgenomen. De vermelde schakeltijden hebben betrekking op het A-type en deze zijn voor het B-type zelfs nog iets gunstiger.
De 2015 koppelt hoge snelheid en gering opgenomen vermogen aan een volledig statische werking. De RAM komt automatisch in de Power Down-mode, wanneer $\overline{CS}$ = HOOG wordt.
De 2015 heeft een smallere behuizing dan de 2016 (0,3 inch tegen 0,6 inch voor de 2016).

Specificaties
- 2k × 8 organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (±10 %)
- automatische power down: $\overline{CS}$
- output buffer control: $\overline{OE}$
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 24-pens 0,3 inch plastic DIL-behuizing (zie figuur 8/2.3-1)
- leverbare typen:



SYMBOL	NAME
$A_0 \sim A_3$	Column Address Inputs
$A_4 \sim A_{10}$	Row Address Inputs
$\overline{CS}$	Chip Select Input
$\overline{WE}$	Write Enable Input
$I/O_1 \sim I/O_8$	Data Input/Output
$\overline{OE}$	Output Enable Input
V_{CC}	Power (5V)
GND	Ground

Figuur 8/2.3-1: Aansluitingen van de 2015.

Hitachi HM 6116 AS (CMOS)
NEC uPD 4016 CX
Toshiba TMM 2015 AP, TMM 2015 BP

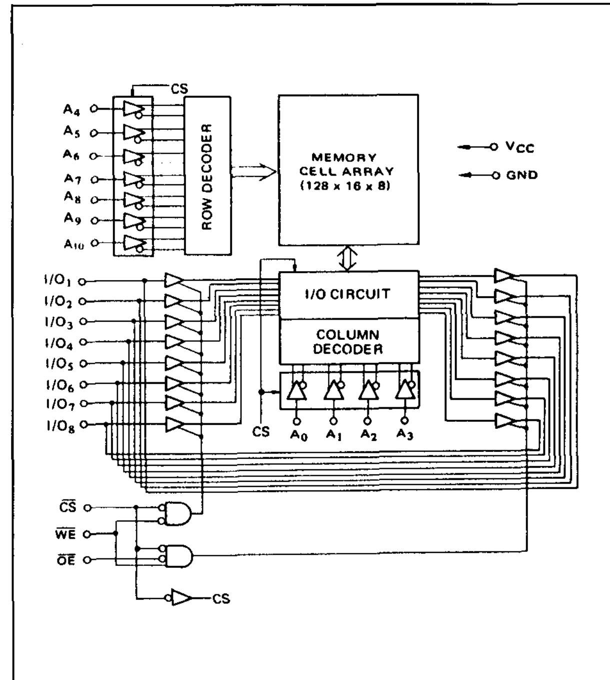
Werking
Met de 11 **adres-ingangen A0 tot en met A10** kan één van de 2048 8-bit geheugenplaatsen worden gekozen. De adres-ingan-

2.3 Type-beschrijving NMOS SRAM's

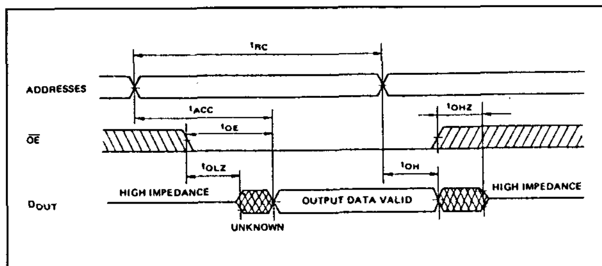
gen moeten tijdens een schrijf-cyclus stabiel zijn. De **Output-Enable** ingang beïnvloedt alleen de data-uit aansluitingen. Als $\overline{OE}$ = HOOG is, bevinden de uitgangen zich in de hoog-impedante toestand.
De **Chip-Select** ingang $\overline{CS}$ heeft invloed op de data in- en uitgangen. Als $\overline{CS}$ en $\overline{OE}$ beide LAAG zijn, zijn de I/O-aansluitingen enabled. Met het **Write-enable** signaal $\overline{WE}$ wordt de lees- of schrijfmode geselecteerd. $\overline{WE}$ = HOOG: leesmode; $\overline{WE}$ = LAAG: schrijfmode.

Overige kenmerken

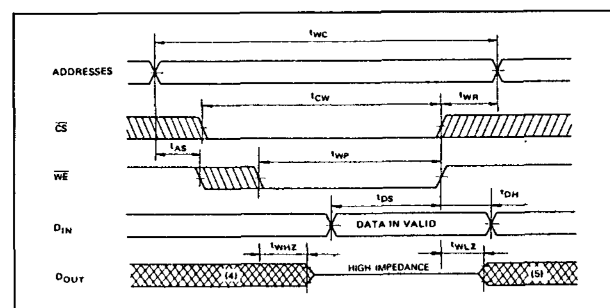
De overige elektrische en timing kenmerken van de Toshiba typen zijn te zien in de figuren 8/2.3-2 tot en met 8/2.3-7 en de tabellen 8/2.3-1 tot en met 8/2.3-7.



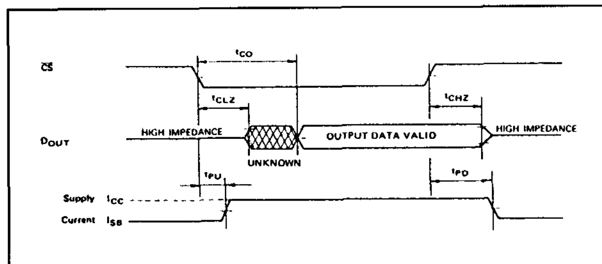
Figuur 8/2.3-2: Functioneel blokschema.



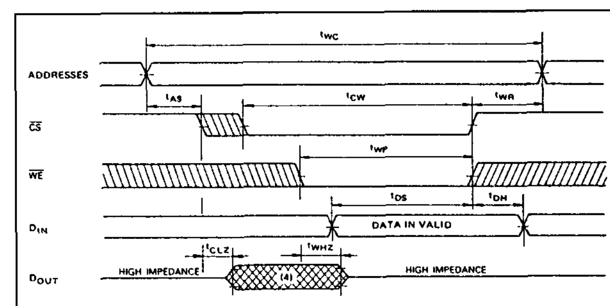
Figuur 8/2.3-3: Timing bij het uitlezen ($\overline{WE}$ = HOOG, $\overline{CS}$ = voortdurend LAAG), zie ook tabel 8/2.3-6).



Figuur 8/2.3-5: Timing bij het schrijven ($\overline{CS}$ en $\overline{WE}$ = LAAG).

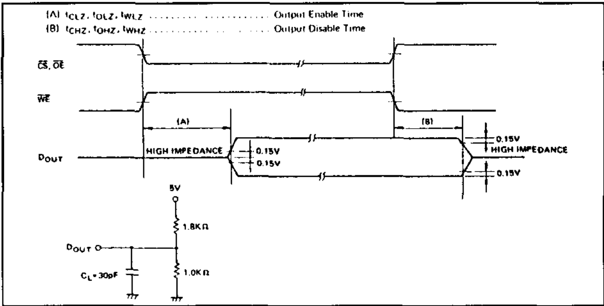


Figuur 8/2.3-4: Timing bij het uitlezen ($\overline{WE}$ = HOOG, adres moet op of voor $\overline{CS}$ = LAAG wordt stabiel zijn).



Figuur 8/2.3-6: Timing bij het schrijven (zie ook tabel 8/2.3-7).

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-7: Gebruikte testcondities.

Parameter / Part Number	Access Time (Max.)	Operating Current (Max.)	Standby Current (Max.)
TMM2015AP-90	90ns	80mA	7mA
TMM2015AP-10	100ns	65mA	7mA
TMM2015AP-12	120ns	65mA	7mA
TMM2015AP-15	150ns	65mA	7mA
TMM2015BP-90	90ns	50mA	5mA
TMM2015BP-10	100ns	50mA	5mA
TMM2015BP-12	120ns	50mA	5mA
TMM2015BP-15	150ns	50mA	5mA

Tabel 8/2.3-1: Toegangstijden en opgenomen stromen.

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	–0.5 ~ 7.0	V
V_{IN}, V_{OUT}	Input/Output Voltage	–0.5 ~ 7.0	V
$T_{OPR.}$	Operating Temperature	0 ~ 70	°C
$T_{STG.}$	Storage Temperature	–55 ~ 150	°C
$T_{SOLDER.}$	Soldering Temperature · Time	260 · 10	°C · sec
P_D	Power Dissipation (Ta = 70°C)	0.7	W

Tabel 8/2.3-2: Maximaal toegelaten waarden.

D.C. RECOMMENDED OPERATING CONDITIONS (Ta = 0 ~ 70°C)

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	–0.5	–	0.8	V
V_{CC}	Supply Voltage	4.5	5.0	5.5	V

Tabel 8/2.3-3: Aanbevolen bedrijfscondities.

D.C. CHARACTERISTICS (Ta = 0 ~ 70°C, V_{CC} = 5.0V ± 10%)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{IL}	Input Leakage Current	V_{IN} = 0V ~ 5.5V	–10	–	10	μA
V_{OH}	Output High Voltage	I_{OUT} = –1.0mA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OUT} = 2.1mA	–	–	0.4	V
I_{LO}	Output Leakage Current	$\overline{CS}$ = V_{IH} or $\overline{WE}$ = V_{IL} or $\overline{OE}$ = V_{IH}, V_{OUT} = 0V ~ 5.5V	–10	–	10	μA
I_{SBP}	Peak Power-on Current	$\overline{CS}$ = V_{CC}, I_{OUT} = 0mA	–	–	30	mA
I_{SB}	Standby Current	$\overline{CS}$ = V_{IH}, I_{OUT} = 0mA	–	–	7	mA
I_{CC1}	Operating Current TMM2015AP-10/-12/-15	$\overline{CS}$ = V_{IL}, I_{OUT} = 0mA	–	–	65	mA
I_{CC2}	Operating Current TMM2015AP-90	$\overline{CS}$ = V_{IL}, I_{OUT} = 0mA	–	–	80	mA

Tabel 8/2.3-4: Gelijkspanningen en stromen.

2.3 Type-beschrijving NMOS SRAM's

CAPACITANCE* (Ta = 25°C, f = 1.0 MHz)

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	$V_{IN}=0V$	5	pF
C_{OUT}	Output Capacitance	$V_{IN}=0V$	10	pF

* Note: This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-5: Capaciteiten bij 1 MHz.

READ CYCLE

SYMBOL	PARAMETER	TMM2015AP-90		TMM2015AP-10		TMM2015AP-12		TMM2015AP-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	90	–	100	–	120	–	150	–	ns
t_{ACC}	Address Access Time	–	90	–	100	–	120	–	150	ns
t_{CO}	Chip Select Access Time	–	90	–	100	–	120	–	150	ns
t_{OE}	Output Enable Time	–	35	–	35	–	50	–	55	ns
t_{OH}	Output Data Hold Time from Address Change	10	–	10	–	10	–	10	–	ns
t_{CLZ}	$\overline{CS}$ to Output in Low-Z	10	–	10	–	10	–	10	–	ns
t_{CHZ}	$\overline{CS}$ to Output in High-Z	–	40	–	40	–	40	–	55	ns
t_{OLZ}	$\overline{OE}$ to Output in Low-Z	5	–	5	–	5	–	5	–	ns
t_{OHZ}	$\overline{OE}$ to Output in High-Z	–	35	–	35	–	35	–	50	ns
t_{PU}	Chip Selection to Power Up Time	0	–	0	–	0	–	0	–	ns
t_{PD}	Chip Deselection to Power Down Time	–	50	–	50	–	60	–	60	ns

Tabel 8/2.3-6: Schakeltijden bij het uitlezen.

WRITE CYCLE

SYMBOL	PARAMETER	TMM2015AP-90		TMM2015AP-10		TMM2015AP-12		TMM2015AP-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	90	–	100	–	120	–	150	–	ns
t_{CW}	Chip Selection to End of Write	70	–	80	–	100	–	120	–	ns
t_{AS}	Address Set up Time	20	–	20	–	20	–	20	–	ns
t_{WP}	Write Pulse Width	60	–	70	–	85	–	100	–	ns
t_{WR}	Write Recovery Time	0	–	0	–	0	–	0	–	ns
t_{DS}	Data Set up Time	35	–	40	–	50	–	60	–	ns
t_{DH}	Data Hold Time	0	–	0	–	0	–	0	–	ns
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	5	–	5	–	5	–	5	–	ns
t_{WHZ}	$\overline{WE}$ to Output in High-Z	–	25	–	30	–	35	–	50	ns

Tabel 8/2.3-7: Schakeltijden bij het schrijven.

2016
2k × 8 SRAM

De 2016 is een 16384 bit statisch NMOS geheugen (ook verkrijgbaar in CMOS), georganiseerd als 2048 × 8 bit. De 2016 wordt geleverd in de 'normale' 24 pens 0,6 inch behuizing en is daardoor pen-compatibel met 16k EPROM's. Net als de 2015 is de 2016 verkrijgbaar in een A- en een B-versie. De laatste dissipeert minder vermogen dan de eerste. In tabel 8/2.3-8 zijn de belangrijkste verschillen tussen beide versies te zien. Verder zijn alleen de gegevens van de A-versie opgenomen.

De RAM is voorzien van een automatische Power Down-mode, die in werking treedt wanneer $\overline{CS}$ = HOOG wordt.

2.3 Type-beschrijving NMOS SRAM's

Parameter / Part Number	Access Time (Max.)	Operating Current (Max.)	Standby Current (Max.)
TMM2016AP-90	90ns	80mA	7mA
TMM2016AP-10	100ns	65mA	7mA
TMM2016AP-12	120ns	65mA	7mA
TMM2016AP-15	150ns	65mA	7mA
TMM2016BP-90	90ns	50mA	5mA
TMM2016BP-10	100ns	50mA	5mA
TMM2016BP-12	120ns	50mA	5mA
TMM2016BP-15	150ns	50mA	5mA

Tabel 8/2.3-8: Toegangstijden en opgenomen stromen (A- en B-versies).

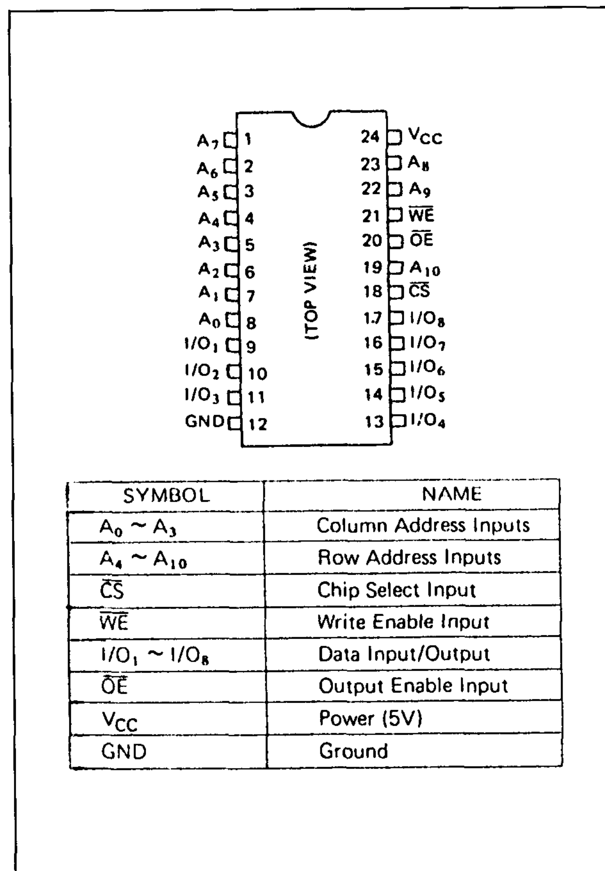
De 2016 is volledig statisch en heeft dus geen clock of refresh signalen nodig. Het geringe opgenomen vermogen maakt de 2016 zeer geschikt voor draagbare apparatuur.

Specificaties

- 2k × 8 organisatie
- pen-compatibel met 16k EPROM's
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (± 10 %)
- automatische power down: $\overline{CS}$
- output buffer control: $\overline{OE}$
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 24-pens 0,6 inch plastic DIL-behuizing (zie figuur 8/2.3-8).
- leverbare typen: zie equivalentenlijst 8/2.2-1.

Werking

Met de 11 **adres-ingangen A0 tot en met A10** kan één van de 2048 8-bit woorden worden gekozen. De adres-ingangen moeten tijdens een schrijf-cyclus stabiel zijn.
De **Output-Enable** ingang beïnvloedt de data-uit aansluitingen. Als $\overline{OE}$ = HOOG is, bevinden de uitgangen zich in de hoog-impedante toestand.
Het **Chip-Select** signaal $\overline{CS}$ beïnvloedt de data in-/uitgangen en het opgenomen vermogen. Als $\overline{CS}$ = HOOG is, komt de 2016 in de Power Down toestand, waarbij aanzienlijk minder vermogen wordt gedissipeerd. Zijn $\overline{CS}$ en $\overline{OE}$ beide LAAG, dan is het geheugen operationeel.
Het **Write-enable** signaal $\overline{WE}$ bepaalt of er wordt gelezen of geschreven. Met $\overline{WE}$ = HOOG wordt de leesmode gekozen en met $\overline{WE}$ = LAAG de schrijf-mode.



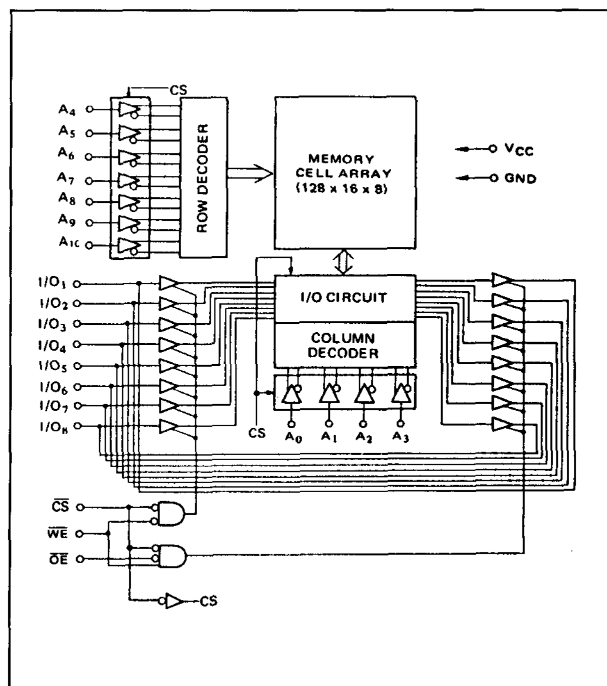
SYMBOL	NAME
$A_0 \sim A_3$	Column Address Inputs
$A_4 \sim A_{10}$	Row Address Inputs
$\overline{CS}$	Chip Select Input
$\overline{WE}$	Write Enable Input
$I/O_1 \sim I/O_8$	Data Input/Output
$\overline{OE}$	Output Enable Input
V_{CC}	Power (5V)
GND	Ground

Figuur 8/2.3-8: Aansluitingen van de 2016.

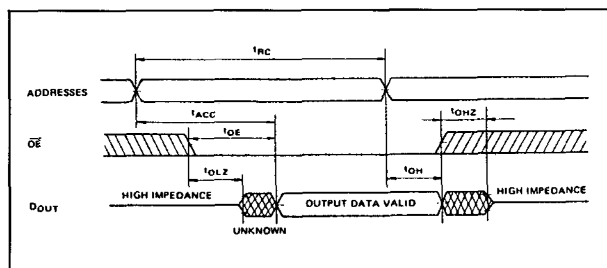
Overige kenmerken

De overige elektrische en timing kenmerken van de Toshiba 2016-typen zijn te zien in de figuren 8/2.3-9 tot en met 8/2.3-13 en de tabellen 8/2.3-8 tot en met 8/2.3-14.

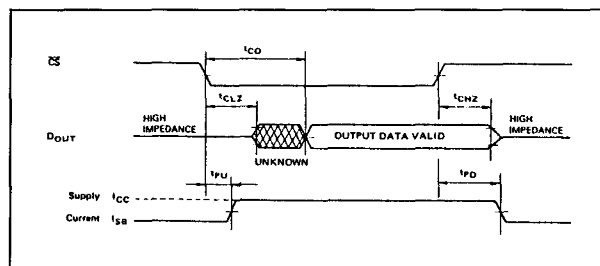
2.3 Type-beschrijving NMOS SRAM's



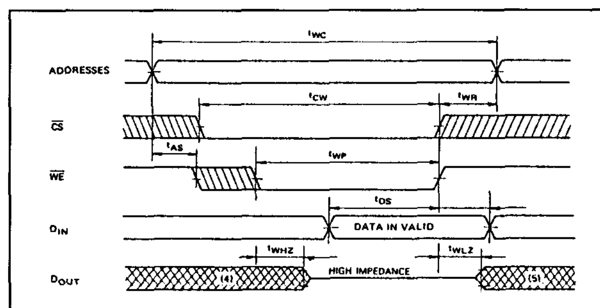
Figuur 8/2.3-9: Functioneel blokschema.



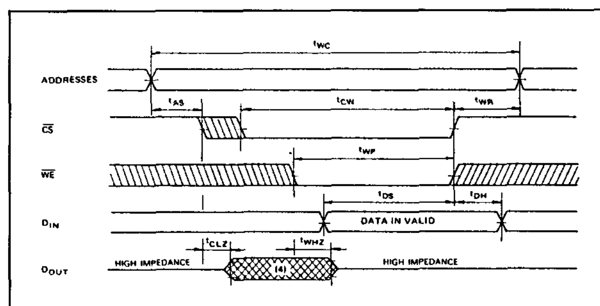
Figuur 8/2.3-10: Golfvormen en timing bij het uitlezen ($\overline{WE}$ = HOOG, $\overline{CS}$ = continu LAAG), zie ook tabel 8/2.3-13.



Figuur 8/2.3-11: Timing bij het uitlezen ($\overline{WE}$ = HOOG, stabiel adres op of voor $\overline{CS}$ = LAAG).



Figuur 8/2.3-12: Golfvormen en timing bij het schrijven ($\overline{CS}$ en $\overline{WE}$ = LAAG).



Figuur 8/2.3-13: Timing bij het schrijven (zie ook tabel 8/2.3-14).

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−0.5 ~ 7.0	V
V_{IN}, V_{OUT}	Input/Output Voltage	−0.5 ~ 7.0	V
$T_{OPR.}$	Operating Temperature	0 ~ 70	°C
$T_{STG.}$	Storage Temperature	−55 ~ 150	°C
$T_{SOLDER.}$	Soldering Temperature · Time	260 · 10	°C · sec
P_D	Power Dissipation (Ta = 70°C)	1.0	W

Tabel 8/2.3-9: Maximaal toegelaten waarden.

2.3 Type-beschrijving NMOS SRAM's

D.C. RECOMMENDED OPERATING CONDITIONS (Ta = 0 ~ 70°C)

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC}+1.0	V
V_{IL}	Input Low Voltage	–0.5	–	0.8	V
V_{CC}	Supply Voltage	4.5	5.0	5.5	V

Tabel 8/2.3-10: Aanbevolen gelijkspanningscondities.

D.C. CHARACTERISTICS (Ta = 0 ~ 70°C, V_{CC} = 5.0V ± 10%)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{IL}	Input Leakage Current	V_{IN} = 0V ~ 5.5V	–10	–	10	μA
V_{OH}	Output High Voltage	I_{OUT} = –1.0mA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OUT} = 2.1mA	–	–	0.4	V
I_{LO}	Output Leakage Current	$\overline{CS}$ = V_{IH} or $\overline{WE}$ = V_{IL} or $\overline{OE}$ = V_{IH}, V_{OUT} = 0V ~ 5.5V	–10	–	10	μA
I_{SBP}	Peak Power-on Current	$\overline{CS}$ = V_{CC}, I_{OUT} = 0mA	–	–	30	mA
I_{SB}	Standby Current	$\overline{CS}$ = V_{IH}, I_{OUT} = 0mA	–	–	7	mA
I_{CC1}	Operating Current TMM2016AP-10/-12/-15	$\overline{CS}$ = V_{IL}, I_{OUT} = 0mA	–	–	65	mA
I_{CC2}	Operating Current TMM2016AP-90	$\overline{CS}$ = V_{IL}, I_{OUT} = 0mA	–	–	80	mA

Tabel 8/2.3-11: Gelijkspanningen en stromen.

CAPACITANCE* (Ta = 25°C, f = 1.0 MHz)

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN}=0v	5	pF
C_{OUT}	Output Capacitance	V_{IN}=0v	10	pF

* Note: This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-12: Capaciteiten bij 1 MHz.

READ CYCLE

SYMBOL	PARAMETER	TMM2016AP-90		TMM2016AP-10		TMM2016AP-12		TMM2016AP-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	90	–	100	–	120	–	150	–	ns
t_{ACC}	Address Access Time	–	90	–	100	–	120	–	150	ns
t_{CO}	Chip Select Access Time	–	90	–	100	–	120	–	150	ns
t_{OE}	Output Enable Time	–	35	–	35	–	50	–	55	ns
t_{OH}	Output Data Hold Time from Address Change	10	–	10	–	10	–	10	–	ns
t_{CLZ}	$\overline{CS}$ to Output in Low-Z	10	–	10	–	10	–	10	–	ns
t_{CHZ}	$\overline{CS}$ to Output in High-Z	–	40	–	40	–	40	–	55	ns
t_{OLZ}	$\overline{OE}$ to Output in Low-Z	5	–	5	–	5	–	5	–	ns
t_{OHZ}	$\overline{OE}$ to Output in High-Z	–	35	–	35	–	35	–	50	ns
t_{PU}	Chip Selection to Power Up Time	0	–	0	–	0	–	0	–	ns
t_{PD}	Chip Deselection to Power Down Time	–	50	–	50	–	60	–	60	ns

Tabel 8/2.3-13: Schakeltijden bij het uitlezen.

2.3 Type-beschrijving NMOS SRAM's

WRITE CYCLE

SYMBOL	PARAMETER	TMM2016AP-90		TMM2016AP-10		TMM2016AP-12		TMM2016AP-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	90	–	100	–	120	–	150	–	ns
t_{CW}	Chip Selection to End of Write	70	–	80	–	100	–	120	–	ns
t_{AS}	Address Set up Time	20	–	20	–	20	–	20	–	ns
t_{WP}	Write Pulse Width	60	–	70	–	85	–	100	–	ns
t_{WR}	Write Recovery Time	0	–	0	–	0	–	0	–	ns
t_{DS}	Data Set up Time	35	–	40	–	50	–	60	–	ns
t_{DH}	Data Hold Time	0	–	0	–	0	–	0	–	ns
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	5	–	5	–	5	–	5	–	ns
t_{WHZ}	$\overline{WE}$ to Output in High-Z	–	25	–	30	–	35	–	50	ns

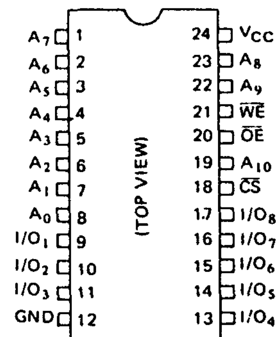
Tabel 8/2.3-14: Schakeltijden bij het schrijven.

2018
2k × 8 SRAM

De 2018 is een high-speed 16384 bit statisch NMOS geheugen, georganiseerd in 2048 woorden van 8 bits. De 2018 is opgenomen in een 24 pens 0,3 inch CERDIP (keramische DIL) behuizing, waardoor weinig plaats op de print nodig is: 'high density'.
De RAM heeft een Power Down toestand (bij $\overline{CS}$ = HOOG), waardoor de opgenomen stroom afneemt van 150 mA naar 20 mA. De 2018 heeft geen clock of refresh signalen nodig.

Specificaties

- zeer korte toegangstijden:
  35 ns: TMM 2018D-35
  45 ns: TMM 2018D-45
  55 ns: TMM 2018D-55
- 2k × 8 organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (±10 %)
- automatische power down: $\overline{CS}$ = HOOG
- output buffer control: $\overline{OE}$
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 24-pens 0,3 inch CERDIP-behuizing (zie figuur 8/2.3-14)



SYMBOL	NAME
$A_0 \sim A_3$	Column Address Inputs
$A_4 \sim A_{10}$	Row Address Inputs
$\overline{CS}$	Chip Select Input
$\overline{WE}$	Write Enable Input
$I/O_1 \sim I/O_8$	Data Input/Output
$\overline{OE}$	Output Enable Input
V_{CC}	Power (5V)
GND	Ground

Figuur 8/2.3-14: Aansluitingen van de 2018 D.

- leverbare typen:
  Toshiba TMM 2018D-35/45/55
  Motorola MCM 2016H

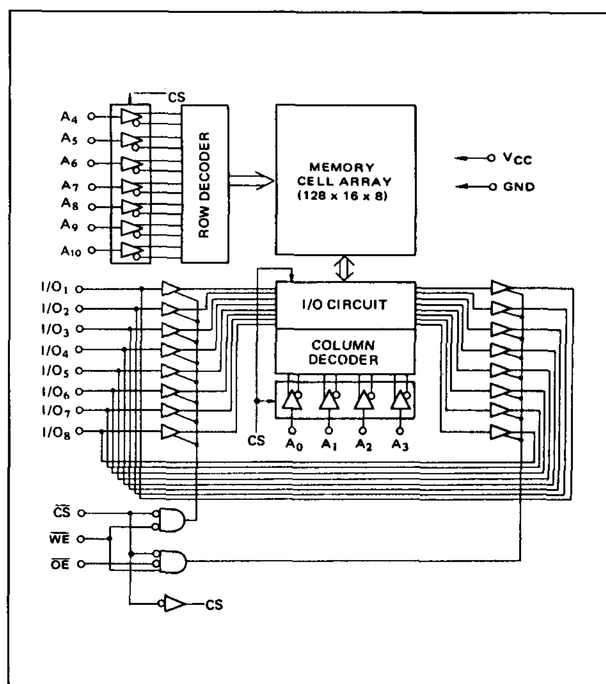
2.3 Type-beschrijving NMOS SRAM's

Werking

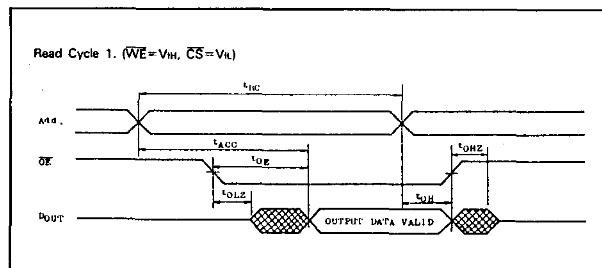
Met behulp van de 11 **adres-ingangen A0 tot en met A10** kan uit 2048 8-bit woorden worden gekozen. De adres-ingangen moeten tijdens een schrijf-cyclus stabiel zijn.
Als de **Output-Enable** ingang $\overline{OE}$ = LAAG is, zijn de data-uitgangen 'waar'. Is $\overline{OE}$ = HOOG dan bevinden de uitgangen zich in de hoog-impedante toestand.
Het **Chip-Select** signaal $\overline{CS}$ beïnvloedt niet alleen de data in-/uitgangen maar ook het opgenomen vermogen. Als $\overline{CS}$ = HOOG is, komt de 2018 in de Power Down toestand, waarbij de opgenomen stroom aanzienlijk lager wordt. Met $\overline{CS}$ = LAAG is het geheugen geselecteerd.
Het **Write-enable** signaal $\overline{WE}$ bepaalt de richting van de data. Met $\overline{WE}$ = HOOG wordt gelezen, met $\overline{WE}$ = LAAG wordt geschreven (richting ten opzichte van de computer).

Overige kenmerken:

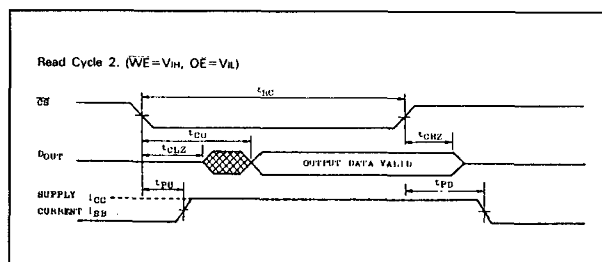
De overige elektrische en timing kenmerken van de Toshiba 2018D-typen zijn opgenomen in de figuren 8/2.3-15 tot en met 8/2.3-19 en de tabellen 8/2.3-15 tot en met 8/2.3-20.



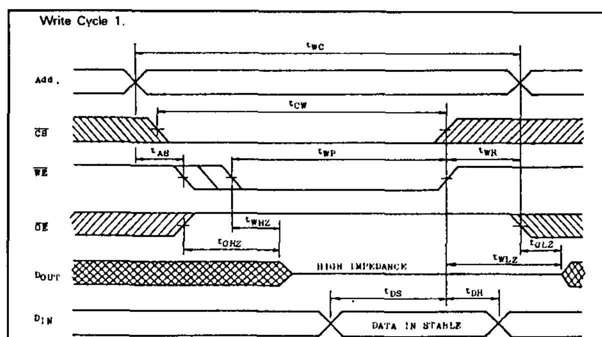
Figuur 8/2.3-15: Functioneel blokschema.



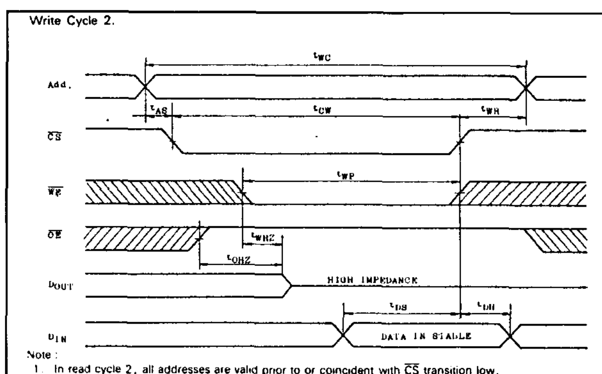
Figuur 8/2.3-16: Golfvormen en schakeltijden bij het uitlezen op $\overline{OE}$ ($\overline{WE}$ = HOOG, $\overline{CS}$ = LAAG), zie ook tabel 8/2.3-19.



Figuur 8/2.3-17: Timing bij het uitlezen door $\overline{CS}$ ($\overline{WE}$ = HOOG, $\overline{OE}$ = LAAG).



Figuur 8/2.3-18: Golfvormen en schakeltijden bij het schrijven.



Figuur 8/2.3-19: Timing bij het schrijven (zie ook tabel 8/2.3-19).

2.3 Type-beschrijving NMOS SRAM's

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−3.5~7.0	V
V_{IN}	Input Voltage	−3.5~7.0	V
$V_{I/O}$	Input/Output Voltage	−3.5~7.0	V
T_{OPR}	Operating Temperature	0~70	°C
T_{STG}	Storage Temperature	−55~150	°C
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C·sec
P_D	Power Dissipation	0.9	W
I_{OUT}	D. C. Output Current	20	mA

Tabel 8/2.3-15: Maximaal toegelaten waarden.

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	—	V_{CC}+1.0	V
V_{IL}	Input Low Voltage	−3.0*	—	0.8	V
V_{CC}	Power Supply Voltage	4.5	5.0	5.5	V

* Pulse Width : 10ns, DC : −0.5V(Min.)

Tabel 8/2.3-16: Aanbevolen gelijkspanningscondities.

D.C. CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
I_{IL}	Input Current	V_{IN}=0~V_{CC}	—	±10	μA
V_{OH}	Output High Voltage	I_{OH}=−4.0mA	2.4	—	V
V_{OL}	Output Low Voltage	I_{OL}=8.0mA	—	0.4	V
I_{LO}	Output Leakage Current	V_{OUT}=0~V_{CC} $\overline{CS}$=V_{IH}	—	±50	μA
I_{CC}	Operating	$\overline{CS}$=V_{IL}	—	150	mA
I_{SB}	Standby Current	$\overline{CS}$=V_{IH}	—	20	mA
I_{SBP}	Peak Power-on Current	$\overline{CS}$=V_{CC} V_{CC}=0~5.5V	—	40	mA

Tabel 8/2.3-17: Gelijkspanningen en stromen.

CAPACITANCE (Ta = 25°C, f = 1 MHz)

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN}=0V	5	pF
C_{OUT}	Output Capacitance	V_{OUT}=0V	10	

* Note : This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-18: Capaciteiten bij 1 MHz.

2.3 Type-beschrijving NMOS SRAM's

Read Cycle

SYMBOL	PARAMETER	TMM2018D-35		TMM2018D-45		TMM2018D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{HC}	Read Cycle Time	35	–	45	–	55	–	ns
t_{ACC}	Address Access Time	–	35	–	45	–	55	
t_{CO}	Chip Select Access Time	–	35	–	45	–	55	
t_{OE}	Output Enable to Output Valid	–	20	–	20	–	25	
t_{CLZ}	Chip Selection to Output in low-Z	–	5	–	5	–	5	
t_{CHZ}	Chip Deselection to Output in High-Z	0	20	0	20	0	20	
t_{OLZ}	Output Enable to Output in Low-Z	0	–	0	–	0	–	
t_{OHZ}	Output Disable to Output in High-Z	0	15	0	15	0	20	
t_{OH}	Output Data Hold Time	5	–	5	–	5	–	
t_{PU}	Chip Selection to Power Up Time	0	–	0	–	0	–	
t_{PD}	Chip Deselection to Power Down Time	–	30	–	30	–	30	

Tabel 8/2.3-19: Schakeltijden bij het uitlezen.

Write Cycle

SYMBOL	PARAMETER	TMM2018D-35		TMM2018D-45		TMM2018D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	35	–	45	–	55	–	ns
t_{CW}	Chip Selection to End of Write	30	–	40	–	50	–	
t_{AS}	Address Set Up Time	0	–	0	–	0	–	
t_{WP}	Write Pulse Width	30	–	35	–	40	–	
t_{WR}	Write Recovery Time	0	–	0	–	0	–	
t_{WLZ}	WE to Output in Low-Z	0		0	–	0	–	
t_{WHZ}	WE to Output in High-Z	0	15	0	15	0	20	
t_{DS}	Data Set Up Time	15	–	20	–	20	–	
t_{DH}	Data Hold Time	0	–	0	–	0	–	

Tabel 8/2.3-20: Schakeltijden bij het schrijven.

2063
8k × 8 SRAM

De 2063 is een 65536 bit high-speed statisch NMOS geheugen, georganiseerd in 8192 woorden van 8 bit breedte. De 2063 is opgenomen in een 28 pens 0,3 inch plastic 'skinny DIP' behuizing, waardoor een grote dichtheid op de print wordt bereikt. De RAM heeft bij $\overline{CS1}$ = HOOG, CS2 = LAAG een Power Down toestand waarbij de opgenomen stroom afneemt van 80 mA naar 10 mA maximaal!
De 2063 is volledig statisch en heeft zodoende geen clock of refresh signalen nodig.

Specificaties
- 8k × 8 organisatie
- toegangstijden:
  100 ns: TMM 2063P-10
  120 ns: TMM 2063P-12
  150 ns: TMM 2063P-15
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (±10 %)
- automatische power down bij $\overline{CS1}$ = HOOG, CS2 = LAAG
- output buffer control: $\overline{OE}$
- alle in-/uitgangen direkt TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 28-pens 0,3 inch plastic DIL-behuizing (zie figuur 8/2.3-20)
- leverbare typen:
  Toshiba TMM 2063P-10/12/15

2.3 Type-beschrijving NMOS SRAM's

(Top View)

PIN NAMES

SYMBOL	NAME
$A_0 \sim A_4$	Column Address Inputs
$A_5 \sim A_{12}$	Row Address Inputs
$\overline{CS_1}$, CS_2	Chip Select Inputs
WE	Write Enable Input
$I/O_1 \sim I/O_8$	Data Input/Output
OE	Output Enable Input
Vcc	Power (+5V)
GND	Ground
N. C.	No Connection

Figuur 8/2.3-20: Aansluitingen van de 2063 P.

Werking

Met behulp van de 13 **adres-ingangen A0 tot en met A12** kunnen 8192 woorden met een breedte van 8 bit worden gekozen. De adres-ingangen moeten tijdens een schrijf-cyclus stabiel zijn.

Er zijn twee **Chip Select**-aansluitingen: $\overline{CS1}$ en CS2. Als $\overline{CS1}$ = LAAG en CS2 = HOOG zijn, is de chip 'enabled' en kan data worden opgeborgen als $\overline{WE}$ = LAAG is, terwijl data kan worden gelezen met $\overline{WE}$ = HOOG en $\overline{OE}$ = LAAG. Wordt aan beide voorwaarden $\overline{CS1}$ = HOOG en CS2 = LAAG voldaan, dan bevindt het geheugen zich in de Power Down-toestand, waardoor het opgenomen vermogen drastisch vermindert.

De **Output-Enable** ingang $\overline{OE}$ beïnvloedt de 3-state data-uitgangen. Is de chip geselecteerd en $\overline{WE}$ = HOOG dan zijn de data-uitgangen 'waar' als bovendien $\overline{OE}$ = LAAG. Is $\overline{OE}$ = HOOG dan bevinden de uitgangen zich in de hoog-impedante toestand.

Het **Write-enable** signaal $\overline{WE}$ bepaalt de richting van de data. Met $\overline{WE}$ = HOOG wordt gelezen en met $\overline{WE}$ = LAAG wordt geschreven (als de chip tenminste enabled is).

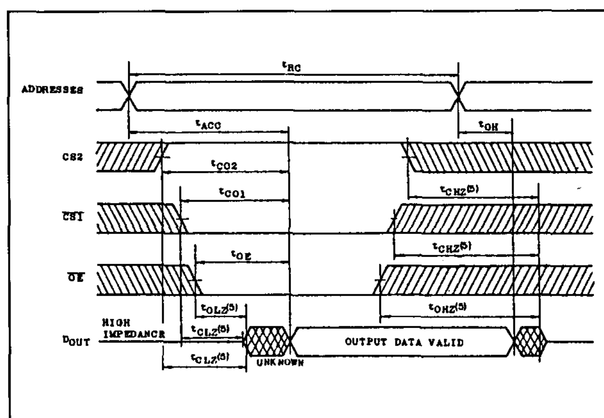
Overige kenmerken:

De overige elektrische en timing kenmerken van de Toshiba 2063P-typen zijn opgenomen in de figuren 8/2.3-21 tot en met 8/2.3-25 en de tabellen 8/2.3-21 tot en met 8/2.3-26.

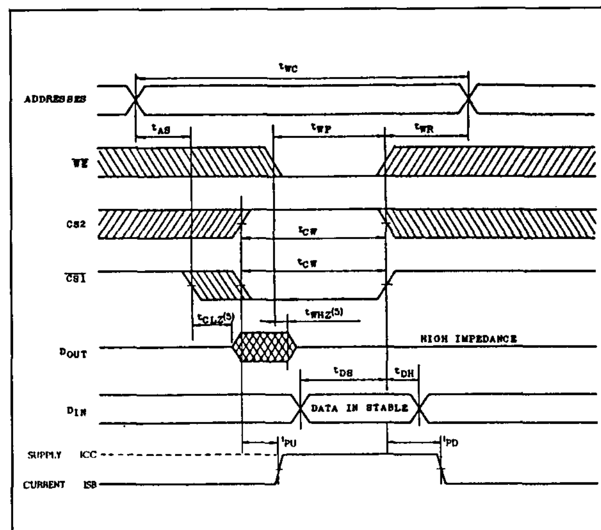
BLOCK DIAGRAM

Figuur 8/2.3-21: Functioneel blokschema.

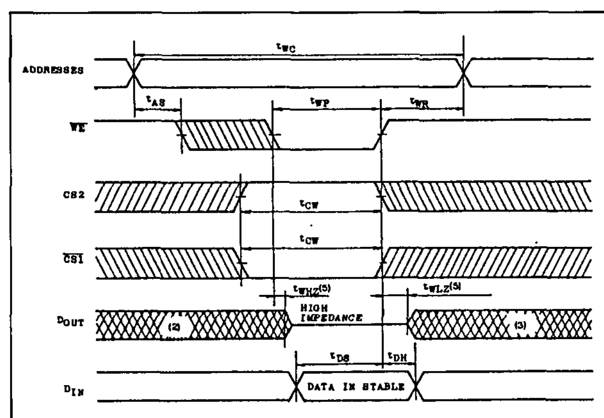
2.3 Type-beschrijving NMOS SRAM's



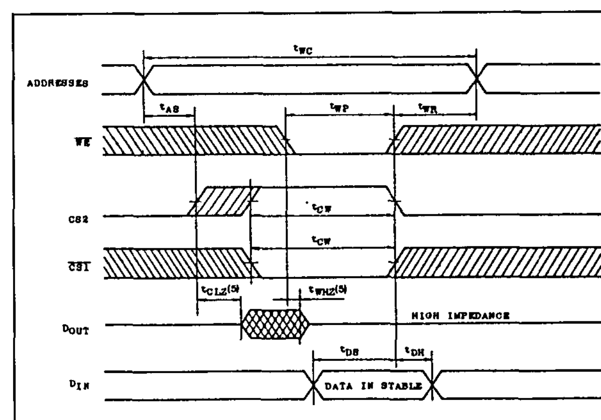
Figuur 8/2.3-22: Golfvormen en schakeltijden bij het uitlezen (zie ook tabel 8/2.3-25).



Figuur 8/2.3-24: Golfvormen en schakeltijden bij het schrijven (bestuurd door $\overline{CS1}$).



Figuur 8-2.3-23: Golfvormen bij het schrijven (onder $\overline{WE}$-besturing). Zie voor data-opslag tabel 8/2.3-26.



Figuur 8/2.3-25: Timing bij het schrijven (bestuurd door CS2).

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−0.5~7.0	V
V_{IN}, V_{OUT}	Input/Output Voltage	0.5*~7.0	V
T_{OPR}	Operating Temperature	0~70	°C
T_{STG}	Storage Temperature	−55~150	°C
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C·sec
P_D	Power Dissipation (Ta=70°C)	0.8	W

Tabel 8/2.3-21: Maximaal toegelaten waarden.

2.3 Type-beschrijving NMOS SRAM's

D. C. RECOMMENDED OPERATING CONDITIONS (Ta=0~70°C)

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	—	Vcc+1.0	V
V_{IL}	Input Low Voltage	-0.5**	—	0.8	V
V_{CC}	Supply Voltage	4.5	5.0	5.5	V

Tabel 8/2.3-22: Aanbevolen bedrijfscondities.

D. C. CHARACTERISTICS (Ta=0~70°C, Vcc=5V+10%)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{IL}	Input Leakage Current	V_{IN}=0V~5.5V	10		10	μA
V_{OH}	Output High Voltage	I_{OUT}=−1.0mA	2.4	—	—	V
V_{OL}	Output Low Voltage	I_{OUT}=2.1mA	—	—	0.4	V
I_{LO}	Output Leakage Current	$\overline{CS_1}$=V_{IH} or CS_2=V_{IL} or $\overline{WE}$=V_{IL} or $\overline{OE}$=V_{IH}, V_{OUT}=0V~5.5V	−10	—	10	μA
I_{SBP}	Peak Power-on Current	CS_1=V_{CC}, CS_2=0V I_{OUT}=0mA			20	mA
I_{SB}	Standby Current	$\overline{CS_1}$=V_{IH} or CS_2=V_{IL}, I_{OUT}=0mA	—	—	10	mA
I_{CC}	Operating Current	$\overline{CS_1}$=V_{IL}, CS_2=V_{IH}, I_{OUT}=0mA	—	—	80	mA

Tabel 8/2.3-23: Gelijkspanningen en stromen.

CAPACITANCE*** (Ta=25°C, f=1.0MHz)

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN}=0V	5	pF
C_{OUT}	Output Capacitance	V_{IN}=0V	10	pF

*** Note : This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-24: Capaciteiten bij 1 MHz.

A. C. CHARACTERISTICS (Ta=0~70°C, Vcc=5V+10%)

Read Cycle

SYMBOL	PARAMETER	TMM2063P-10		TMM2063P-12		TMM2063P-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	100	—	120	—	150	—	ns
t_{ACC}	Address Access Time	—	100	—	120	—	150	
t_{CO1}	$\overline{CS_1}$ Access Time	—	100	—	120	—	150	
t_{CO2}	CS_2 Access Time	—	100	—	120	—	150	
t_{OE}	$\overline{OE}$ Access Time	—	40	—	50	—	60	
t_{OH}	Output Data Hold Time from Address Change	10	—	10	—	10	—	
t_{CLZ}	$\overline{CS_1}$ or CS_2 to Output in Low-Z	10	—	10	—	10	—	
t_{CHZ}	$\overline{CS_1}$ or CS_2 to Output in High-Z	—	40	—	40	—	55	
t_{OLZ}	$\overline{OE}$ to Output in Low-Z	5	—	5	—	5	—	
t_{OHZ}	$\overline{OE}$ to Output in High-Z	—	35	—	35	—	50	
t_{PU}	Chip Selection to Power Up Time	0	—	0	—	0	—	
t_{PD}	Chip Deselection to Power Down Time		50		60	—	60	

Tabel 8/2.3-25: Schakeltijden bij het uitlezen.

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	PARAMETER	TMM2063P-10		TMM2063P-12		TMM2063P-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	100	–	120	–	150	–	ns
t_{CW}	Chip Selection to End of Write	80		100		120	–	
t_{AS}	Address Set Up Time	10	–	10	–	10	–	
t_{WP}	Write Pulse Width	70	–	85	–	100	–	
t_{WR}	Write Recovery Time	0	–	0	–	0	–	
t_{DS}	Data Set Up Time	40	–	50	–	60	–	
t_{DH}	Data Hold Time	0		0		0	–	
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	5	–	5	–	5	–	
t_{WHZ}	$\overline{WE}$ to Output in High-Z	–	30	–	35	–	40	

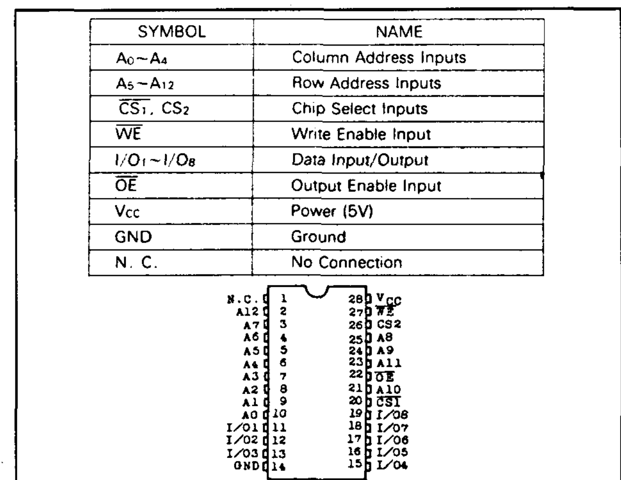
Tabel 8/2.3-26: Schakeltijden bij het schrijven.

2064

8k x 8 SRAM

De TMM 2064P van Toshiba is een 65536 bit high-speed statisch NMOS geheugen met een 8192 woorden x 8 bit organisatie. De 2064 bevindt zich in een 28 pens 0,6 inch plastic DIL-behuizing, waardoor het IC pen-compatibel is met de 2764 EPROM.

Wanneer de RAM niet geselecteerd is ($\overline{CS1}$ = HOOG, CS2 = LAAG) komt hij automatisch in de Power Down toestand waarbij de voedingsstroom afneemt van 80 mA tot 10 mA. De 2064 is volledig statisch zodat geen clock of refresh signalen nodig zijn.

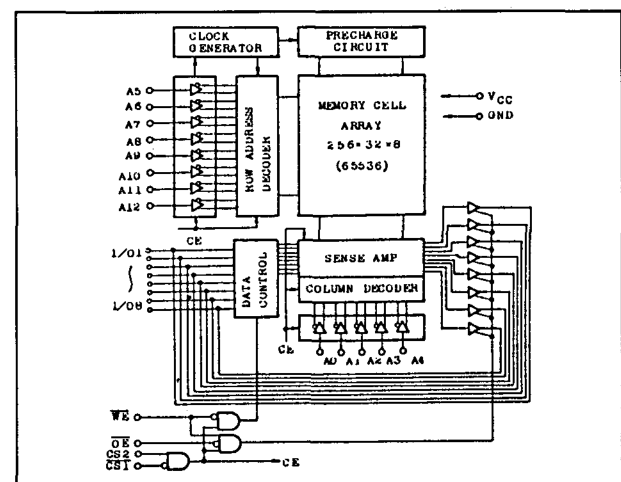


SYMBOL	NAME
$A_0 \sim A_4$	Column Address Inputs
$A_5 \sim A_{12}$	Row Address Inputs
$\overline{CS_1}$, CS_2	Chip Select Inputs
$\overline{WE}$	Write Enable Input
$I/O_1 \sim I/O_8$	Data Input/Output
$\overline{OE}$	Output Enable Input
Vcc	Power (5V)
GND	Ground
N. C.	No Connection

Figuur 8/2.3-26: Aansluitingen van de TMM 2064 P.

Specificaties

- 8k x 8 organisatie
- toegangstijden:
  100 ns: TMM 2064P-10
  120 ns: TMM 2064P-12
  150 ns: TMM 2064P-15
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (+/-10 %)
- automatische power down bij $\overline{CS1}$ = HOOG, CS2 = LAAG
- output buffer control: $\overline{OE}$
- alle in-/uitgangen direkt TTL-compatibel
- 3-state uitgangen
- gecombineerde data in- en uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 28-pens 0,6 inch plastic DIL-behuizing (zie figuur 8/2.3-26)
- leverbare typen:
  zie equivalentenlijst 8/2.2-1



Figuur 8/2.3-27: Functioneel blokschema (positieve logika).

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−0.5~7.0	V
V_{IN}, V_{OUT}	Input/Output Voltage	−0.5*~7.0	V
T_{OPR}	Operating Temperature	0~70	°C
T_{STG}	Storage Temperature	−55~150	°C
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C·sec
P_D	Power Dissipation (Ta = 70°C)	1.0	W

* −3.0V at Pulse width 50ns

Tabel 8/2.3-27: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	—	Vcc+1.0	V
V_{IL}	Input Low Voltage	−0.5**	—	0.8	V
V_{CC}	Supply Voltage	4.5	5.0	5.5	V

* * −3.0V at Pulse width 50ns

Tabel 8/2.3-28: Aanbevolen bedrijfscondities.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{IL}	Input Leakage Current	V_{IN}=0V~5.5V	−10	—	10	μA
V_{OH}	Output High Voltage	I_{OUT}= −1.0mA	2.4	—	—	V
V_{OL}	Output Low Voltage	I_{OUT}=2.1mA	—	—	0.4	V
I_{LO}	Output Leakage Current	$\overline{CS_1}$=V_{IH} or CS_2=V_{IL} or $\overline{WE}$=V_{IL} or $\overline{OE}$=V_{IH}, V_{OUT}=0V~5.5V	−10	—	10	μA
I_{SBP}	Peak Power-on Current	$\overline{CS_1}$=V_{CC}, CS_2=0V I_{OUT}=0mA	—	—	20	mA
I_{SB}	Standby Current	$\overline{CS_1}$=V_{IH} or CS_2=V_{IL}, I_{OUT}=0mA	—	—	10	mA
I_{CC}	Operating Current	$\overline{CS_1}$=V_{IL}, CS_2=V_{IH}, I_{OUT}=0mA	—	—	80	mA

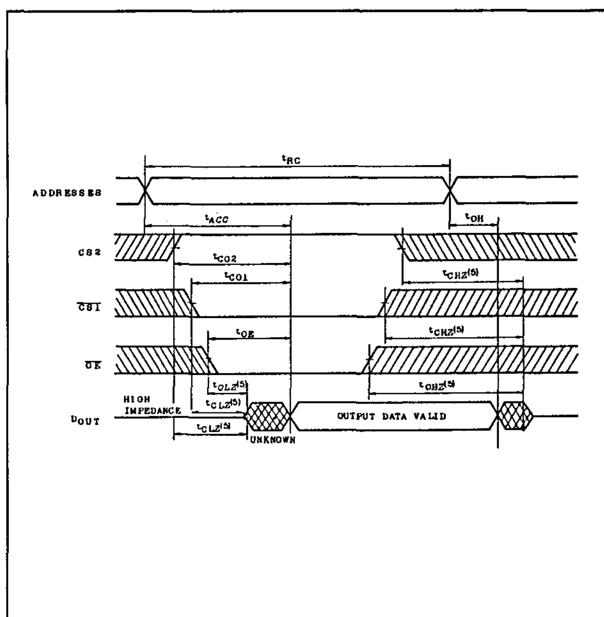
Tabel 8/2.3-29: Gelijkspanningen en -stromen van de TMM 2064.

Werking

Met de 13 adres-ingangen A0 tot en met A12 kan uit 8192 8-bit brede woorden worden gekozen. De adres-ingangen moeten tijdens een schrijf-cyclus stabiel zijn. De 2064 heeft twee Chip Select-aansluitingen: $\overline{CS1}$ en CS2.
Als zowel $\overline{CS1}$ = LAAG als CS2 = HOOG is, is de chip "enabled" en kan data op het gekozen adres worden opgeborgen (met

2.3 Type-beschrijving NMOS SRAM's

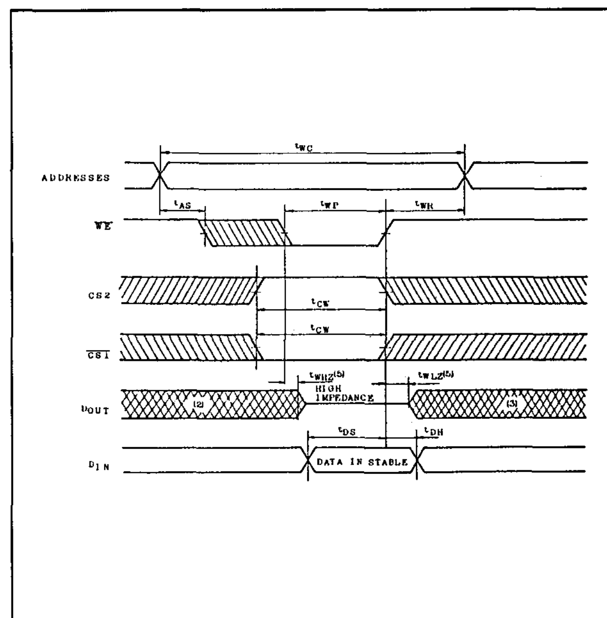
$\overline{WE}$ = LAAG); zijn bij "enable-de" chip $\overline{WE}$ = HOOG en $\overline{OE}$ = LAAG, dan kan data worden gelezen.
Zijn zowel $\overline{CS1}$ = HOOG en CS2 = LAAG, dan bevindt het geheugen zich in de Power Down-toestand, waardoor de opgenomen stroomsterkte vermindert van 80 mA naar 10 mA.
De Output-Enable-ingang $\overline{OE}$ beïnvloedt de 3-state data-uitgangen. Is de chip geselecteerd en $\overline{WE}$ = HOOG dan zijn de data-uitgangen "waar" als bovendien $\overline{OE}$ = LAAG is. Is $\overline{OE}$ = HOOG dan bevinden de uitgangen zich in de hoog-impedante (zwevende) toestand. Met het Write-enable signaal $\overline{WE}$ wordt de richting van het data-transport bepaald. Met $\overline{WE}$ = HOOG wordt gelezen en met $\overline{WE}$ = LAAG wordt geschreven (als de chip enabled is).



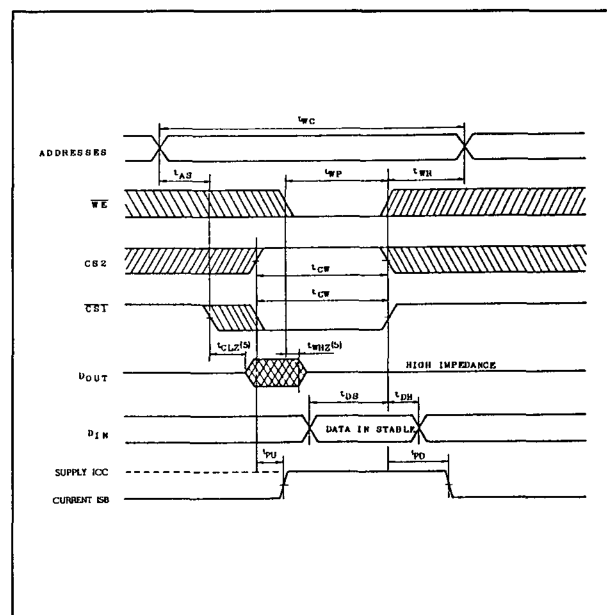
Figuur 8/2.3-28: Golfvormen en schakeltijden bij het uitlezen. Zie ook tabel 8/2.3-31.

Overige kenmerken

De overige elektrische en timing kenmerken van de Toshiba 2064P-typen zijn opgenomen in de figuren 8/2.3-28 tot en met 8/2.3-31 en de tabellen 8/2.3-30 tot en met 8/2.3-32.



Figuur 8/2.3-29: Golfvormen bij data-opslag (schrijven onder $\overline{WE}$-besturing). Zie voor schrijven: tabel 8/2.3-32.



Figuur 8/2.3-30: Golfvormen en schakeltijden bij het schrijven (onder $\overline{CS1}$-besturing).

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN}=OV	5	pF
C_{OUT}	Output Capacitance	V_{IN}=OV	10	pF

*** Note : This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-30: Capaciteiten bij 1 MHz.

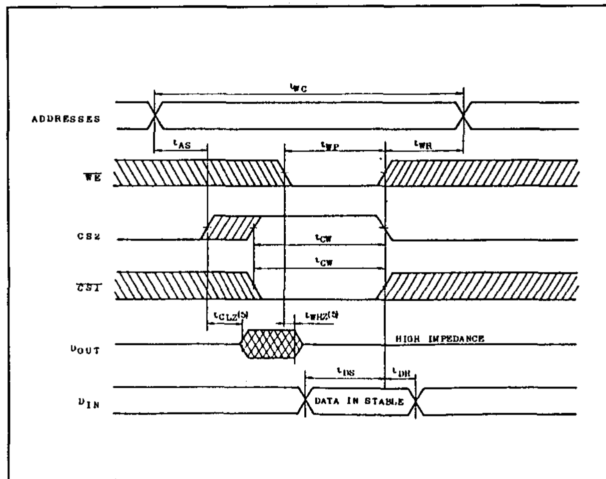
SYMBOL	PARAMETER	TMM2064P-10		TMM2064P-12		TMM2064P-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	100	–	120	–	150	–	ns
t_{ACC}	Address Access Time	–	100	–	120	–	150	
t_{CO1}	$\overline{CS_1}$ Access Time	–	100	–	120	–	150	
t_{CO2}	CS_2 Access Time	–	100	–	120	–	150	
t_{OE}	$\overline{OE}$ Access Time	–	40	–	50	–	60	
t_{OH}	Output Data Hold Time from Address Change	10	–	10	–	10	–	
t_{CLZ}	$\overline{CS_1}$ or CS_2 to Output in Low-Z	10	–	10	–	10	–	
t_{CHZ}	$\overline{CS_1}$ or CS_2 to Output in High-Z	–	40	–	40	–	55	
t_{OLZ}	$\overline{OE}$ to Output in Low-Z	5	–	5	–	5	–	
t_{OHZ}	$\overline{OE}$ to Output in High-Z	–	35	–	35	–	50	
t_{PU}	Chip Selection to Power Up Time	0	–	0	–	0	–	
t_{PD}	Chip Deselection to Power Down Time	–	50	–	60	–	60	

Tabel 8/2.3-31: Schakeltijden bij het uitlezen (onder normale bedrijfscondities).

SYMBOL	PARAMETER	TMM2064P-10		TMM2064P-12		TMM2064P-15		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	100	–	120	–	150	–	ns
t_{CW}	Chip Selection to End of Write	80	–	100	–	120	–	
t_{AS}	Address Set Up Time	10	–	10	–	10	–	
t_{WP}	Write Pulse Width	70	–	85	–	100	–	
t_{WR}	Write Recovery Time	0	–	0	–	0	–	
t_{DS}	Data Set Up Time	40	–	50	–	60	–	
t_{DH}	Data Hold Time	0	–	0	–	0	–	
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	5	–	5	–	5	–	
t_{WHZ}	$\overline{WE}$ to Output in High-Z	–	30	–	35	–	40	

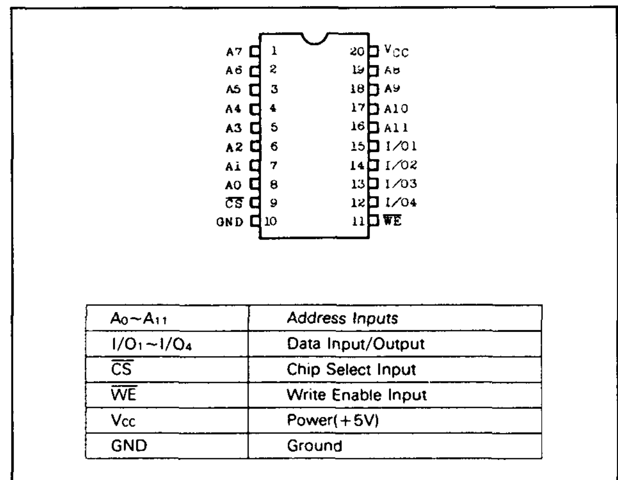
Tabel 8/2.3-32: Schakeltijden bij het schrijven naar de TMM 2064.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-31: Timing bij het schrijven naar de TMM 2064 (bestuurd door CS2).

– leverbare typen:
zie equivalentenlijst 8/2.2-1



$A_0 \sim A_{11}$	Address Inputs
$I/O_1 \sim I/O_4$	Data Input/Output
$\overline{CS}$	Chip Select Input
$\overline{WE}$	Write Enable Input
Vcc	Power(+5V)
GND	Ground

Figuur 8/2.3-32: Aansluitgegevens van de 2068.

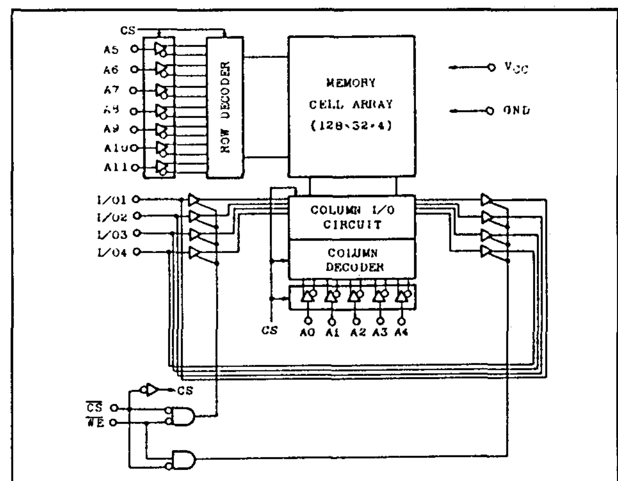
2068

4k x 4 SRAM

De 2068 is een high-speed 16384 bit statisch NMOS geheugen met een 4096 x 4 bit organisatie. De hier behandelde TMM 2068D van Toshiba heeft een 20 pens 0,3 inch CERDIP (ceramische DIL) behuizing, waardoor slechts weinig plaats op de print nodig is. De RAM heeft een Power Down toestand (bij $\overline{CS}$ = HOOG), waardoor de opgenomen stroom afneemt tot 20 mA. De 2068 heeft geen clock of refresh signalen nodig en is bijzonder geschikt voor cache-geheugens en voor zeer snelle opslag van gegevens.

Specificaties

- 4k x 4 organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (+/-10 %)
- toegangstijden 35, 45 of 55 ns
- automatische power down
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 20-pens 0,3 inch CERDIP-behuizing (zie figuur 8/2.3-32)



Figuur 8/2.3-33: Functioneel blokschema van de 2068.

Werking

Met de 12 adres-ingangen A0 tot en met A11 kan één van de 4096 woorden van 4 bit worden gekozen. Het gekozen adres moet tijdens een schrijf-cyclus stabiel zijn.
Het Chip-Select signaal $\overline{CS}$ beïnvloedt niet alleen de data in-/uitgangen maar ook het opgenomen vermogen.

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−3.5~7.0	V
V_{IN}	Input Voltage	−3.5~7.0	V
$V_{I/O}$	Input/Output Voltage	−3.5~7.0	V
T_{OPR}	Operating Temperature	0~70	°C
T_{STRG}	Storage Temperature	−55~150	°C
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C·sec
P_D	Power Dissipation	0.9	W
I_{OUT}	D. C. Output Current	20	mA

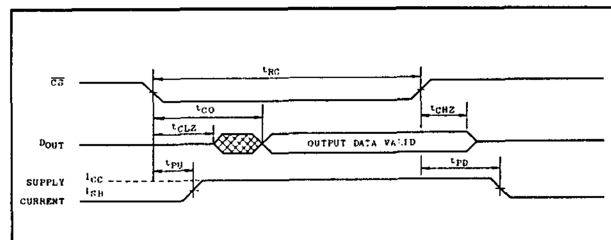
Tabel 8/2.3-33: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	−	V_{CC}−1.0	V
V_{IL}	Input Low Voltage	−3.0*	−	0.8	V
V_{CC}	Power Supply Voltage	4.5	5.0	5.5	V

* Pulse Width : 10ns, DC : −0.5V(Min.)

Tabel 8/2.3-34: Aanbevolen gelijkspanningscondities.

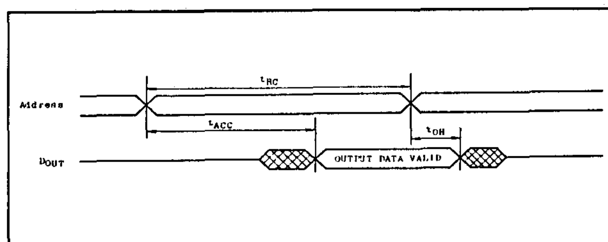
Als $\overline{CS}$ = HOOG is, komt de 2068 in de Power Down toestand, waarbij de opgenomen stroom daalt tot 20 mA. Met $\overline{CS}$ = LAAG is het geheugen geselecteerd en kan er worden gelezen ($\overline{WE}$ = HOOG) of geschreven ($\overline{WE}$ = LAAG).



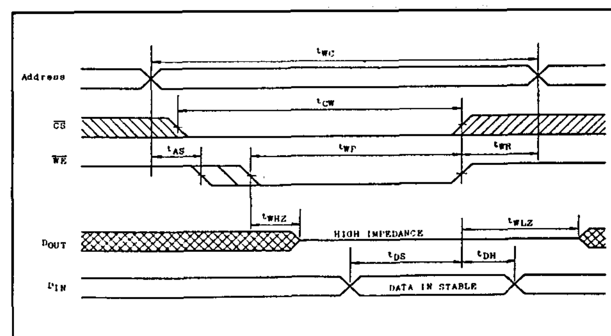
Figuur 8/2.3-35: Timing bij het uitlezen op het LAAG gaan van CS (WE = HOOG).

Overige kenmerken

De overige elektrische en timing kenmerken van de Toshiba 2068D-typen zijn opgenomen in de figuren 8/2.3-34 tot en met 8/2.3-37 en de tabellen 8/2.3-35 tot en met 8/2.3-38.



Figuur 8/2.3-34: Golfvormen bij het uitlezen van de 2068 (WE = HOOG, CS = voortdurend LAAG, zie ook tabel 8/2.3-37).



Figuur 8/2.3-36: Golfvormen bij het schrijven naar de 2068 (zie ook tabel 8/2.3-38).

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	PARAMETER	CONDITIONS		MIN.	MAX.	UNIT
I_{IL}	Input Leakage Current	$V_{IN}=0\sim V_{CC}$		—	±10	μA
V_{OH}	Output High Voltage	$I_{OH}=-4.0mA$		2.4	—	V
V_{OL}	Output Low Voltage	$I_{OL}=0.8mA$		—	0.4	V
I_{LO}	Output Leakage Current	$V_{OUT}=0\sim V_{CC}$ $\overline{CS}=V_{IH}$		—	±50	μA
I_{CC}	Operating Current	$\overline{CS}=V_{IL}$	-35	—	150	mA
			-45/55	—	120	
I_{SB}	Standby Current	$\overline{CS}=V_{IH}$		—	20	mA
I_{SBP}	Peak Power-on Current	$\overline{CS}=V_{CC}$ $V_{CC}=0\sim 5.5V$		—	40	mA

Tabel 8/2.3-35: Gelijkspanningen en -stromen.

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	$V_{IN}=0V$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT}=0V$	10	

* Note : This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-36: Capaciteiten bij 1 MHz.

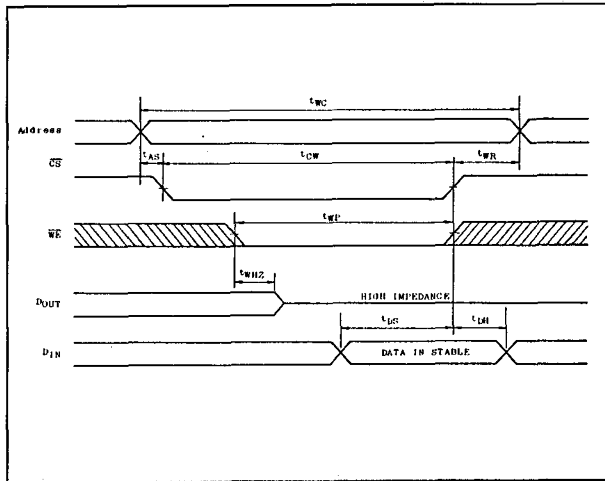
SYMBOL	PARAMETER	TMM2068D-35		TMM2068D-45		TMM2068D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	35	—	45	—	55	—	ns
t_{ACC}	Address Access Time	—	35	—	45	—	55	
t_{CO}	Chip Select Access Time	—	35	—	45	—	55	
t_{CLZ}	Chip Selection to Output in Low-Z	5	—	5	—	5	—	
t_{CHZ}	Chip Deselection to Output in High-Z	0	20	0	20	0	20	
t_{OH}	Output Data Hold Time	5	—	5	—	5	—	
t_{PU}	Chip Selection to Power Up Time	0	—	0	—	0	—	
t_{PD}	Chip Deselection to Power Down Time	—	30	—	30	—	30	

Tabel 8/2.3-37: Schakeltijden bij het uitlezen van de 2068.

SYMBOL	PARAMETER	TMM2068D-35		TMM2068D-45		TMM2068D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	35	—	45	—	55	—	ns
t_{CW}	Chip Selection to End of Write	30	—	40	—	50	—	
t_{AS}	Address Set Up Time	0	—	0	—	0	—	
t_{WP}	Write Pulse Width	30	—	35	—	40	—	
t_{WR}	Write Recovery Time	0	—	0	—	0	—	
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	0	—	0	—	0	—	
t_{WHZ}	$\overline{WE}$ to Output in High-Z	0	15	0	15	0	20	
t_{DS}	Data Set Up Time	15	—	20	—	20	—	
t_{DH}	Data Hold Time	0	—	0	—	0	—	

Tabel 8/2.3-38: Schakeltijden bij het schrijven naar de 2068.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-37: Timing bij "read-modify-write".

2078

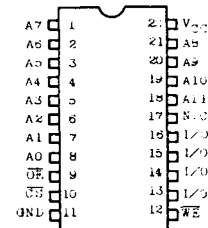
4k x 4 SRAM

De 2078 is een high-speed 16384 bit statisch NMOS geheugen met een 4096 x 4 bit organisatie. De TMM 2078D van Toshiba (er zijn geen vervangingstypen bekend) heeft een 22-pens 0,3 inch CERDIP (ceramische DIL) behuizing. Het grootste verschil met de 2068 wordt gevormd door de Output Enable-aansluiting, waarvoor 2 pennen meer nodig waren (één wordt niet gebruikt). Ook deze RAM heeft een Power Down toestand als $\overline{CS}$ = HOOG is. De opgenomen stroom vermindert dan tot 20 mA. De 2078 is volledig statisch en heeft daardoor geen clock of refresh-signalen nodig.

Dit geheugen is bijvoorbeeld zeer geschikt voor cache-geheugens.

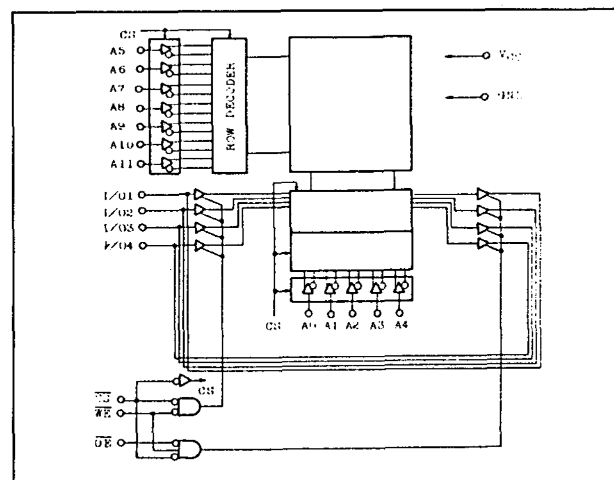
Specificaties

- 4k x 4 organisatie
- volledig statische werking (geen clock of refresh
- enkele +5 V voeding (+/-10 %)
- geringe dissipatie: 825/660 mW aktief, 110 mW standby
- toegangstijden 35, 45 of 55 ns
- automatische power down: $\overline{CS}$
- output buffer control: $\overline{OE}$
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- alle ingangen beschermd tegen ESD (elektrostatische ontlading)
- 22-pens 0,3 inch CERDIP-behuizing (zie figuur 8/2.3-38)
- leverbare typen: alleen Toshiba TMM 2078D-35/45/55



$A_0 \sim A_{11}$	Address Inputs
$I/O_1 \sim I/O_4$	Data Input/Output
$\overline{CS}$	Chip Select Input
$\overline{WE}$	Write Enable Input
$\overline{OE}$	Output Enable Input
Vcc	Power(+5V)
GND	Ground
N. C.	No Connection

Figuur 8/2.3-38: Aansluitgegevens van de TMM 2078D.



Figuur 8/2.3-39: Functioneel blokschema.

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	ITEM	RATING	UNIT
V_{CC}	Power Supply Voltage	−3.5~7.0	V
V_{IN}	Input Voltage	−3.5~7.0	V
$V_{I/O}$	Input/Output Voltage	−3.5~7.0	V
T_{OPR}	Operating Temperature	0~70	°C
T_{STRG}	Storage Temperature	−55~150	°C
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C·sec
P_D	Power Dissipation	0.9	W
I_{OUT}	D. C. Output Current	20	mA

Tabel 8/2.3-39: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Vovtage	2.0	–	V_{CC}+1.0	V
V_{IL}	Input Low Voltage	−3.0*	–	0.8	V
V_{CC}	Power Supply Voltage	4.5	5.0	5.5	V

* Pulse Width : 10ns, DC : −0.5V(Min.)

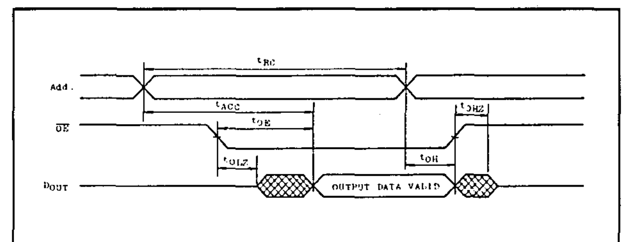
Tabel 8/2.3-40: Aanbevolen gelijkspanningscondities.

Werking

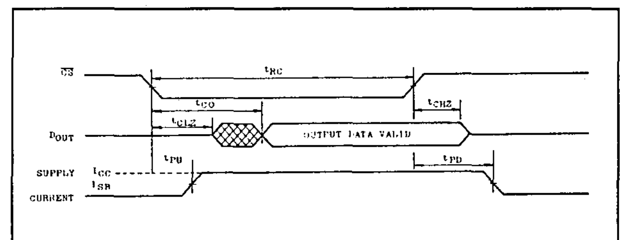
Met de 12 adres-ingangen A0 tot en met A11 kunnen 4096 woorden met een breedte van 4 bit worden gekozen. Het adres moet tijdens een schrijf-cyclus stabiel zijn.
Het Chip-Select signaal $\overline{CS}$ beïnvloedt zowel de data in-/uitgangen als het opgenomen vermogen. Als $\overline{CS}$ = HOOG is, komt de 2078 in de Power Down toestand, waarbij de opgenomen stroom slechts 20 mA bedraagt. Met $\overline{CS}$ = LAAG is het geheugen geselecteerd en kan er worden gelezen als $\overline{WE}$ = HOOG en $\overline{OE}$ = LAAG of geschreven als $\overline{WE}$ = LAAG ($\overline{OE}$ dan niet van belang). Het Write Enable signaal $\overline{WE}$ bepaalt dus de richting van de data. De uitgangsbuffer wordt bestuurd met het Output Enable signaal. Met $\overline{OE}$ = HOOG zijn de uitgangen zwevend (hoog-impedant), met $\overline{OE}$ = LAAG zijn de uitgangen "waar": logisch HOOG of LAAG.

Overige kenmerken

De overige elektrische en timing kenmerken van de Toshiba TMM 2078D-typen zijn opgenomen in de figuren 8/2.3-40 tot en met 8/2.3-43 en de tabellen 8/2.3-41 tot en met 8/2.3- 44.



Figuur 8/2.3-40: Golfvormen bij het uitlezen ($\overline{WE}$ = HOOG, $\overline{CS}$ = voortdurend LAAG, zie ook tabel 8/2.3-34).



Figuur 8/2.3-41: Timing bij het uitlezen van de 2078 op het LAAG gaan van $\overline{CS}$ ($\overline{WE}$ = HOOG).

2.3 Type-beschrijving NMOS SRAM's

SYMBOL	PARAMETER	CONDITIONS		MIN.	MAX.	UNIT
I_{IL}	Input Leakage Current	$V_{IN}=0\sim V_{CC}$		—	±10	μA
V_{OH}	Output High Voltage	$I_{OH}=-4.0mA$		2.4	—	V
V_{OL}	Output Low Voltage	$I_{OL}=0.8mA$		—	0.4	V
I_{LO}	Output Leakage Current	$V_{OUT}=0\sim V_{CC}$ $\overline{CS}=V_{IH}$		—	±50	μA
I_{CC}	Operating Current	$\overline{CS}=V_{IL}$	−35	—	150	mA
			−45/55	—	120	
I_{SB}	Standby Current	$\overline{CS}=V_{IH}$		—	20	mA
I_{SBP}	Peak Power-on Current	$\overline{CS}=V_{CC}$ $V_{CC}=0\sim 5.5V$		—	40	mA

Tabel 8/2.3-41: Gelijkspanningen en -stromen.

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
C_{IN}	Input Capacitance	$V_{IN}=0V$	5	pF*
C_{OUT}	Output Capacitance	$V_{OUT}=0V$	10	

* Note : This parameter is periodically sampled and is not 100% tested.

Tabel 8/2.3-42: Capaciteiten bij 1 MHz.

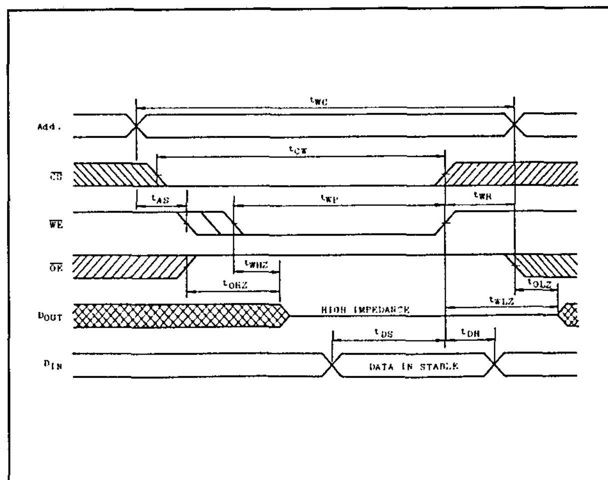
SYMBOL	PARAMETER	TMM2078D-35		TMM2078D-45		TMM2078D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{RC}	Read Cycle Time	35	—	45	—	55	—	ns
t_{ACC}	Address Access Time	—	35	—	45	—	55	
t_{CO}	Chip Select Access Time	—	35	—	45	—	55	
t_{OE}	Output Enable to Output Valid	—	20	—	20	—	25	
t_{CLZ}	Chip Selection to Output in Low-Z	5	—	5	—	5	—	
t_{CHZ}	Chip Deselection to Output in High-Z	0	20	0	20	0	20	
t_{OLZ}	Output Enable to Output in Low-Z	0	—	0	—	0	—	
t_{OHZ}	Output Disable to Output in High-Z	0	15	0	15	0	20	
t_{OH}	Output Data Hold Time	5	—	5	—	5	—	
t_{PU}	Chip Selection to Power Up Time	0	—	0	—	0	—	
t_{PD}	Chip Deselection to Power Down Time	—	30	—	30	—	30	

Tabel 8/2.3-43: Schakeltijden bij het uitlezen van de 2078.

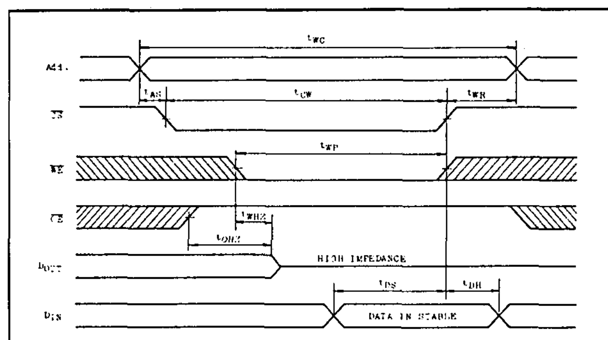
SYMBOL	PARAMETER	TMM2078D-35		TMM2078D-45		TMM2078D-55		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
t_{WC}	Write Cycle Time	35	—	45	—	55	—	ns
t_{CW}	Chip Selection to End of Write	30	—	40	—	50	—	
t_{AS}	Address Set Up Time	0	—	0	—	0	—	
t_{WP}	Write Pulse Width	30	—	35	—	40	—	
t_{WR}	Write Recovery Time	0	—	0	—	0	—	
t_{WLZ}	$\overline{WE}$ to Output in Low-Z	0	—	0	—	0	—	
t_{WHZ}	$\overline{WE}$ to Output in High-Z	0	15	0	15	0	20	
t_{DS}	Data Set Up Time	15	—	20	—	20	—	
t_{DH}	Data Hold Time	0	—	0	—	0	—	

Tabel 8/2.3-44: Schakeltijden bij het schrijven naar de 2078.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-42: Golfvormen bij het schrijven naar de 2078 (zie ook tabel 8/2.3-44).



Figuur 8/2.3-43: Timing bij "read-modify-write". Zie ook tabel 8/2.3-44.

2114
1k x 4 SRAM

De 2114 is een 4096 bit NMOS statisch geheugen (ook verkrijgbaar in CMOS) dat geen klok-, refresh- of strobe-signalen nodig heeft. De data wordt via gecombineerde in- en uitgangen opgeslagen en uitgelezen.

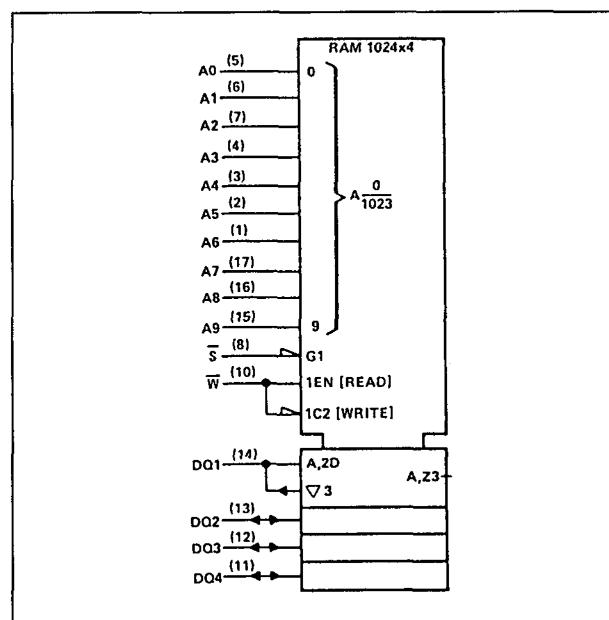
Specificaties

- 1024 x 4 organisatie
- alle in- en uitgangen TTL-compatibel
- 3-state uitgangen
- gecombineerde in-/uitgangen
- Chip Select Control
- statische werking: geen clock en refresh
- enkele +5 V voeding
- dissipatie:
  2114 : 550 mW
  2114L: 330 mW
  6514 (CMOS): 35 mW/MHz
- 18-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.3-44)
- leverbare typen: zie equivalentenlijst 8/2.2-1

A0-A9	Addresses
DQ	Data In/Data Out
$\overline{S}$	Chip Select
V_{CC}	+5 V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

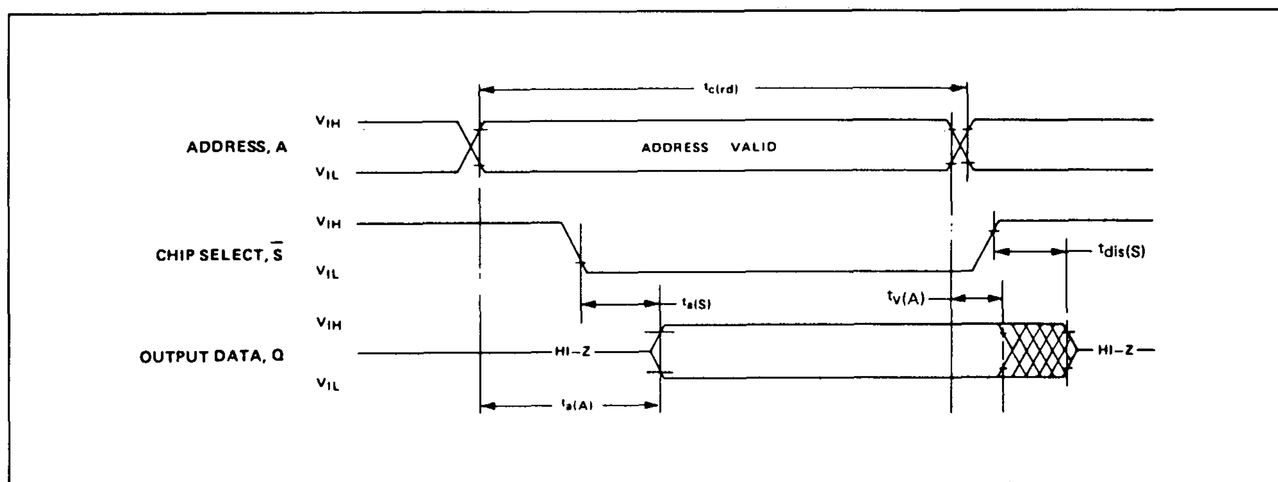
A6	1	18	V_{CC}
A5	2	17	A7
A4	3	16	A8
A3	4	15	A9
A0	5	14	DQ1
A1	6	13	DQ2
A2	7	12	DQ3
$\overline{S}$	8	11	DQ4
V_{SS}	9	10	$\overline{W}$

Figuur 8/2.3-44: Aansluitingen van de 2114.



Figuur 8/2.3-45: Logisch symbool van de 2114.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-46: Timing bij het uitlezen (zie ook tabellen 8/2.3-49 en 8/2.3-50).

PARAMETER	TMS 2114-15, TMS 2114L-15 TMS 2114-20, TMS 2114L-20 TMS 2114-25, TMS 2114L-25			TMS 2114-45, TMS 2114L-45			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
Supply voltage, V_{SS}		0			0		V
High-level input voltage, V_{IH}	2		5.5	2		5.25	V
Low-level input voltage, V_{IL} (see Note 2)	−1		0.8	−0.3		0.8	V
Operating free-air temperature, T_A	0		70	0		70	°C

NOTE 2: The algebraic convention, where the more negative (less positive) limit is designated as minimum, is used in this data sheet for logic voltage levels only.

Tabel 8/2.3-45: Aanbevolen bedrijfscondities.

W̄	S̄	DQ1-DQ4	MODE
L	L	VALID DATA	WRITE
H	L	DATA OUTPUT	READ
X	H	HI-Z	DEVICE DISABLED

Tabel 8/2.3-46: Waarheidstabel (functies) van de 2114.

Supply voltage, V_{CC} (see Note 1)	−0.5 to 7 V
Input voltage (any input) (see Note 1)	−1 to 7 V
Continuous power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−55°C to 150°C

NOTE 1: Voltage values are with respect to the ground material.

Tabel 8/2.3-47: Maximaal toegelaten waarden.

Werking

Met de 10 adreslijnen A0 tot en met A9 wordt één van de 1024 woorden in de RAM geselecteerd.

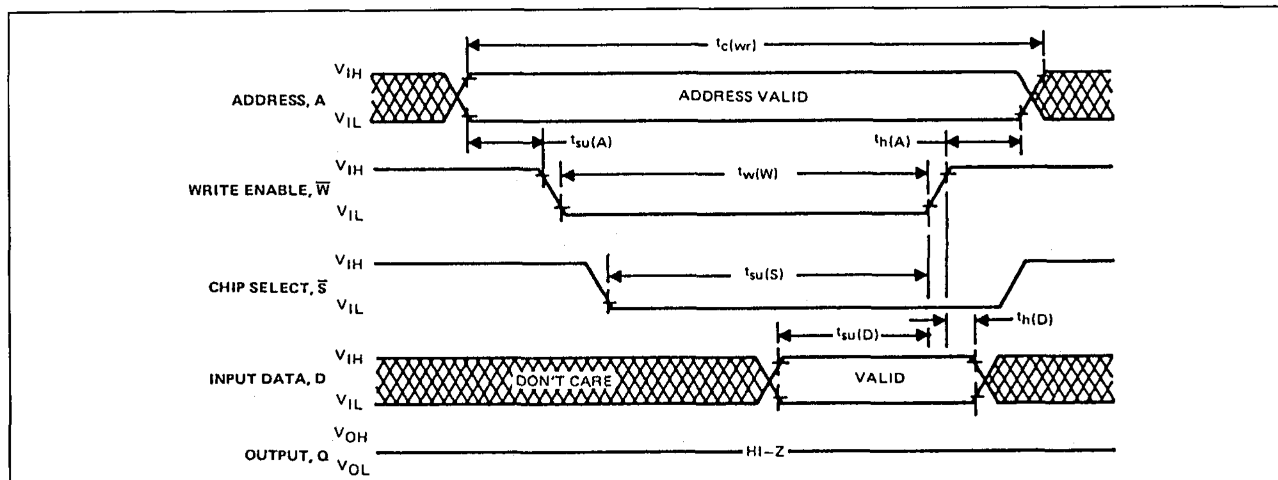
Tijdens een schrijfcyclus moeten de adresingangen stabiel zijn.

Wanneer het chip-select signaal S̄ LAAG is, zijn de gecombineerde in-/uitgangen toegankelijk. Is chip-select HOOG dan is data-in gesperd en data-uit zwevend (hoogimpedant).

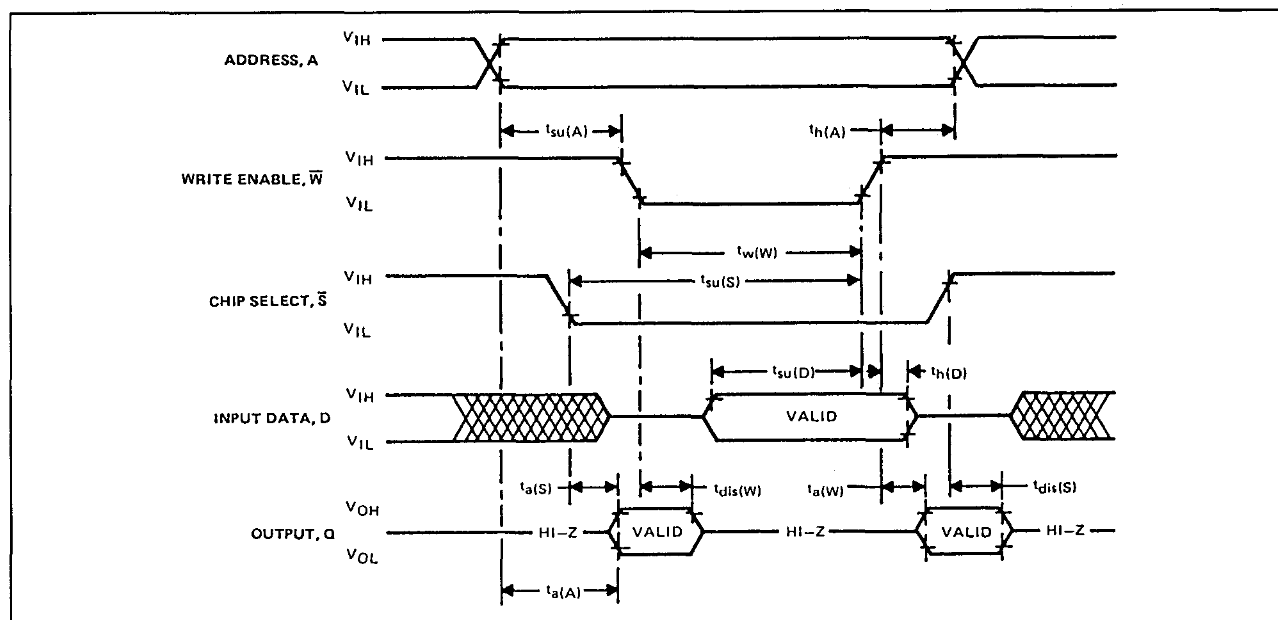
De lees- of schrijfmode wordt geselecteerd door middel van het write enable signaal W̄. Met W̄ = HOOG wordt de lees-mode gekozen; is W̄ = LAAG dan bevindt de RAM zich in de schrijf-mode.

Gedurende adres-veranderingen moet W̄ of S̄ HOOG zijn om opslag van niet-bedoelde data te vermijden.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-47: Timing bij "early write".

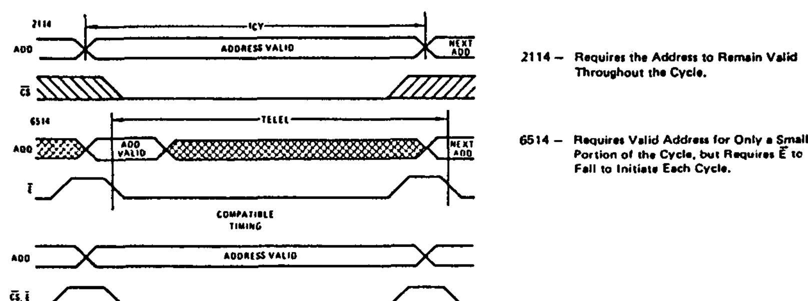


Figuur 8/2.3-48: Timing bij lezen/schrijven.

PARAMETER		TEST CONDITIONS†			MIN	TYP‡	MAX	UNIT
V_{OH}	High-level voltage	I_{OH} = −1 mA**	V_{CC} = MIN (operating)		2.4			V
V_{OL}	Low-level voltage	I_{OL} = 3.2 mA**	V_{CC} = MIN (operating)				0.4	V
I_I	Input current	V_I = 0 V to MAX					10	μA
I_{OZ}	Off-state output current	$\overline{S}$ at 2 V or $\overline{W}$ at 0.8 V	V_O = 0 V to MAX				±10	μA
I_{CC}	Supply current from V_{CC}	I_O = 0 mA, T_A = 0°C (worst case)	TMS 2114	V_{CC} = MAX		90	100	mA
			TMS 2114L	V_{CC} = MAX		50	60	
C_i	Input capacitance	V_I = 0 V, f = 1 MHz					8	pF
C_o	Output capacitance	V_O = 0 V, f = 1 MHz					8	pF

Tabel 8/2.3-48: Elektrische kenmerken binnen de aanbevolen bedrijfscondities.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-49: Verschil in timing: bij NMOS-typen moet het adres gedurende de hele cyclus geldig blijven, bij CMOS-typen is dat slechts kort nodig; wel moet $\overline{E}$ LAAG gaan om elke cyclus in te leiden.

PARAMETER		TMS 2114-15 TMS 2114L-15		TMS 2114-20 TMS 2114L-20		TMS 2114-25 TMS 2114L-25		TMS 2114-45 TMS 2114L-45		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	150		200		250		450		ns
$t_{c(wr)}$	Write cycle time	150		200		250		450		ns
$t_{w(W)}$	Write pulse width	80		100		100		200		ns
$t_{su(A)}$	Address set up time	0		0		0		0		ns
$t_{su(S)}$	Chip select set up time	80		100		100		200		ns
$t_{su(D)}$	Data set up time	80		100		100		200		ns
$t_{h(D)}$	Data hold time	0		0		0		0		ns
$t_{h(A)}$	Address hold time	0		0		0		20		ns

Tabel 8/2.3-49: Minimaal benodigde schakeltijden.

PARAMETER		TMS 2114-15 TMS 2114L-15		TMS 2114-20 TMS 2114L-20		TMS 2114-25 TMS 2114L-25		TMS 2114-45 TMS 2114L-45		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address		150		200		250		450	ns
$t_{a(S)}$	Access time from chip select (or output enable) low		70		85		100		120	ns
$t_{a(W)}$	Access time from write enable high		70		85		100		120	ns
$t_{v(A)}$	Output data valid after address change	20		20		20		20		ns
$t_{dis(S)}$	Output disable time after chip select (or output enable) high		50		60		60		100	ns
$t_{dis(W)}$	Output disable time after write enable low		50		60		60		100	ns

Tabel 8/2.3-50: Schakeltijden (type-klassering) van de 2114.

2.3 Type-beschrijving NMOS SRAM's

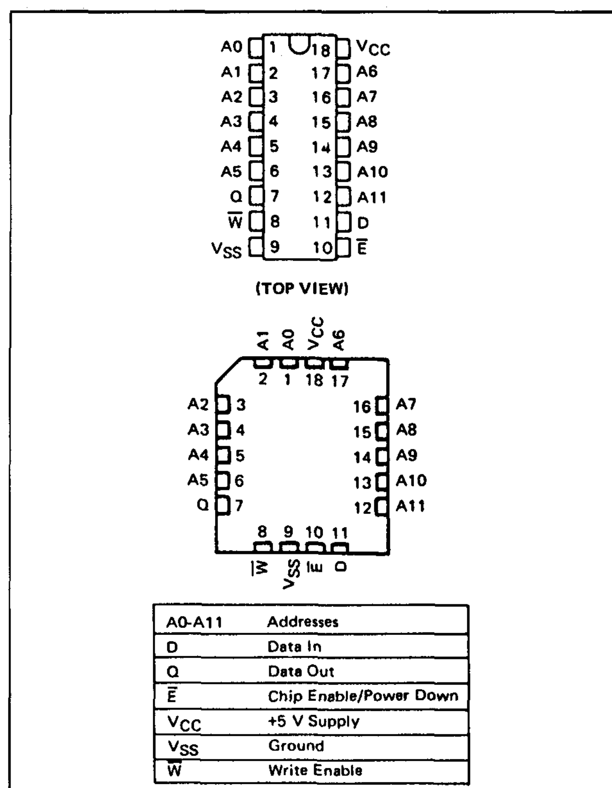
Overige kenmerken

De overige elektrische (DC en AC) kenmerken van de Texas Instruments typen zijn te zien in de figuren 8/2.3-46 tot en met 8/2.3-48 en de tabellen 8/2.3-47 tot en met 8/2.3-50.

2147

4k x 1 SRAM

De 2147 is een snel 4096 bit NMOS statisch geheugen (ook verkrijgbaar in CMOS) dat geen klok-, refresh- of strobe-signalen nodig heeft. De schakeling beschikt over een automatische Chip Enable/Power Down functie.

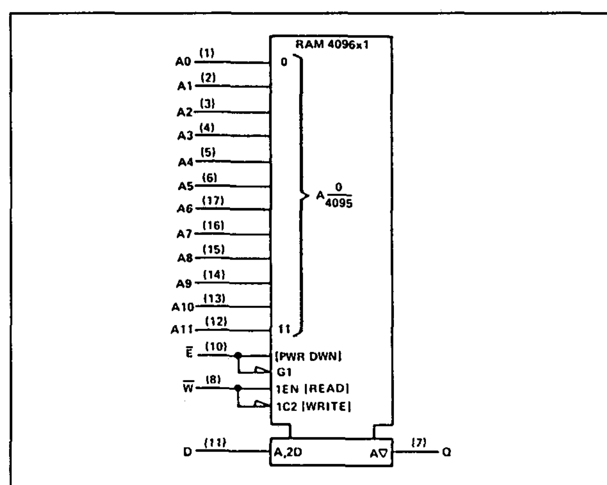


A0-A11	Addresses
D	Data In
Q	Data Out
$\overline{E}$	Chip Enable/Power Down
V_{CC}	+5 V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/2.3-50: Aansluitingen van de 2147 RAM.

Specificaties

- "Industrie Standaard" SRAM
- 4096 x 1 organisatie
- enkele +5 V voeding (+/-10 %)
- volledig statisch: geen clock, refresh of strobe
- aparte data in- en uitgang
- alle in-/uitgangen TTL-compatibel
- 3-state data uitgang
- 18-pens 0,3 inch plastic DIL-behuizing of 18-pens plastic chip carrier (figuur 8/2.3-50)
- leverbare typen: zie equivalentenlijst 8/2.2-1



Figuur 8/2.3-51: Logisch symbool van de 2147.

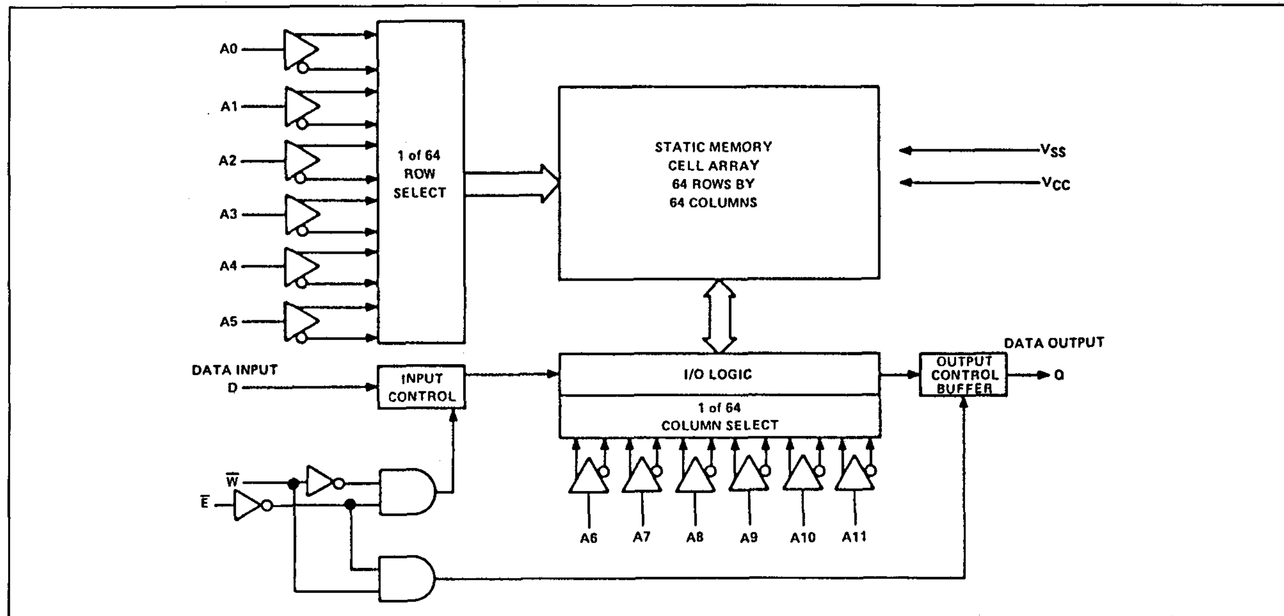
INPUTS		OUTPUT	MODE
$\overline{E}$	$\overline{W}$	Q	
H	X	Hi-Z	POWER DOWN
L	L	Hi-Z	WRITE
L	H	DATA OUT	READ

Tabel 8/2.3-51: Waarheidstabel (functies) van de 2147.

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH}	2		6	V
Low-level input voltage, V_{IL}	−1§		0.8	V
Operating ambient temperature†, T_A	0		70	°C

Tabel 8/2.3-52: Aanbevolen bedrijfscondities.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-52: Logische opbouw van de 2147.

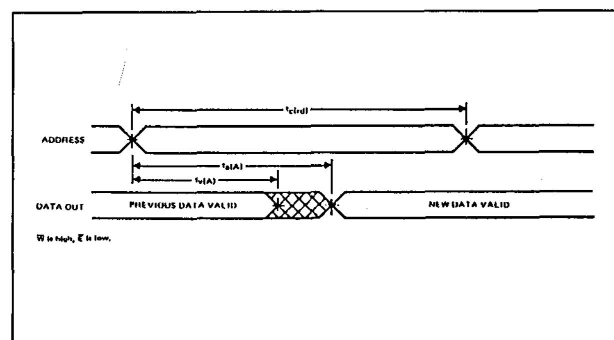
Supply voltage, V_{CC} (see Note 1)	−1.5 V to 7 V
Input voltage (any input) (see Note 1)	−1.5 V to 7 V
Continuous power dissipation	1 W
Operating ambient temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.3-53: Maximaal toegelaten waarden.

Werking

De 12 adreslijnen A0 tot en met A11 dienen om één van de 4096 1-bit woorden in het geheugen te selecteren. De adres-ingangen moeten gedurende het schrijven stabiel zijn. De chip enable/power down ($\overline{E}$) aansluiting beïnvloedt de data-in/data-uit pennen en het interne functioneren van de chip zelf. Wanneer $\overline{E}$ = LAAG is, is de schakeling operationeel en kan data worden opgeslagen of uitgelezen. Door de $\overline{E}$-ingang HOOG te maken (disabled) wordt de chip niet geselecteerd en komt deze automatisch in een standby-toestand waardoor het opgenomen vermogen wordt verminderd (de opgeslagen data blijft dan wel behouden).

Het signaal op de write enable ingang bepaalt of het geheugen in de lees- of de schrijf-mode staat. Is $\overline{W}$ = HOOG dan kan data worden uitgelezen; met $\overline{W}$ = LAAG wordt de schrijf-mode geselecteerd.
Bij adresveranderingen moet $\overline{W}$ = HOOG zijn om opslaan van foutieve data te voorkomen.



Figuur 8/2.3-53: Timing bij het uitlezen als gevolg van het waar worden van het adres ($\overline{W}$ = HOOG, $\overline{E}$ = LAAG, (zie ook tabel 8/2.3-55).

2.3 Type-beschrijving NMOS SRAM's

PARAMETER		TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −4 mA, V_{CC} = 4.5 V	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 8 mA, V_{CC} = 4.5 V			0.4	V
I_I	Input current	V_I = 0 V to 5.5 V			10	μA
I_{OZ}	Off-state output current	$\bar{E}$ at 2 V, V_O = 0 V to 4.5 V, V_{CC} = 5.5 V			±50	μA
I_{CC1}	Standby supply current from V_{CC}	$\bar{E}$ at V_{IH}		18	30	mA
I_{CC2}	Operating supply current from V_{CC}	$\bar{E}$ at V_{IL}, I_O = 0 mA, T_A = 0°C (worst case)		90	120	mA
		$\bar{E}$ at V_{IL}, I_O = 0 mA, T_A = 70°C			100	mA
I_{PO}	Peak power-on current (see Note 2)	V_{CC} = GND to V_{CC} min, $\bar{E}$ at lower of V_{CC} or V_{IH} min			70	mA
C_i	Input capacitance	V_I = 0 V, f = 1 MHz			5	pF
C_O	Output capacitance	V_O = 0 V, f = 1 MHz			6	pF

Tabel 8/2.3-54: Elektrische kenmerken van de 2147.

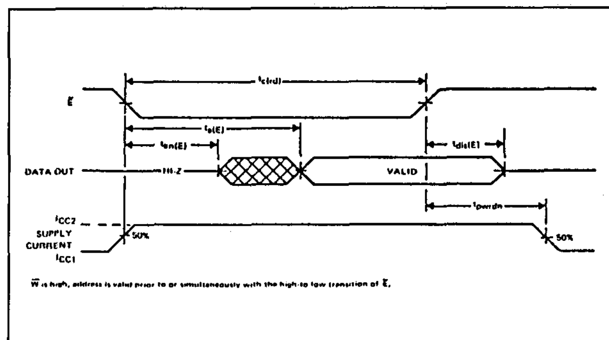
PARAMETER		TMS 2147H-3		TMS 2147H-4		TMS 2147H-5		TMS 2147H-7		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	35		45		55		70		ns
$t_{c(wr)}$	Write cycle time	35		45		55		70		ns
$t_{w(W)}$	Write pulse width	20		25		25		40		ns
$t_{su(A)}$	Address setup time	0		0		0		0		ns
$t_{su(E)}$	Chip enable setup time	35		45		45		55		ns
$t_{su(D)}$	Data setup time	20		25		25		30		ns
$t_{h(D)}$	Data hold time	10		10		10		10		ns
$t_{h(A)}$	Address hold time	0		0		10		15		ns
t_{AVWH}	Address valid to write enable high	35		45		45		55		ns

Tabel 8/2.3-55: Testcondities en schakeltijden.

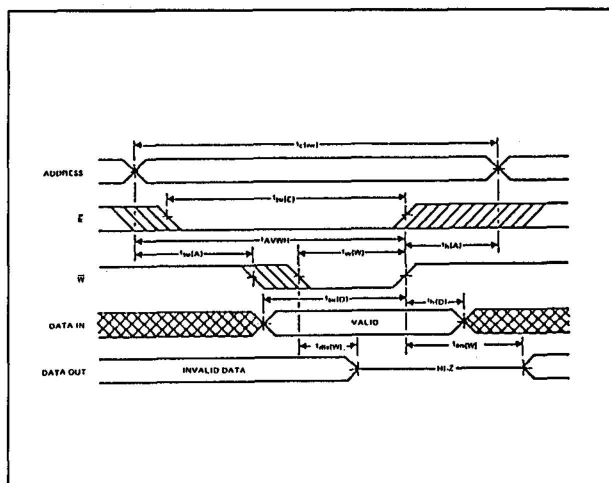
PARAMETER		TEST CONDITIONS	TMS 2147H-3		TMS 2147H-4		TMS 2147H-5		TMS 2147H-7		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address	R_L = 510 Ω, C_L = 30 pF, See Figure 1		35		45		55		70	ns
$t_{a(E)}$	Access time from chip enable			35		45		55		70	ns
$t_{v(A)}$	Output data valid after address change		5		5		5		5		ns
$t_{dis(W)}$	Output disable time from write enable ‡			20		25		25		35	ns
$t_{en(W)}$	Output enable time from write enable‡		0		0		0		0		ns
$t_{dis(E)}$	Output disable time from chip enable‡			30		30		30		40	ns
$t_{en(E)}$	Output enable time from chip enable‡		5		5		10		10		ns
t_{pwrdn}	Power down time from chip select			20		20		20		30	ns

Tabel 8/2.3-56: Schakeltijden (type-klassering) van de 2147.

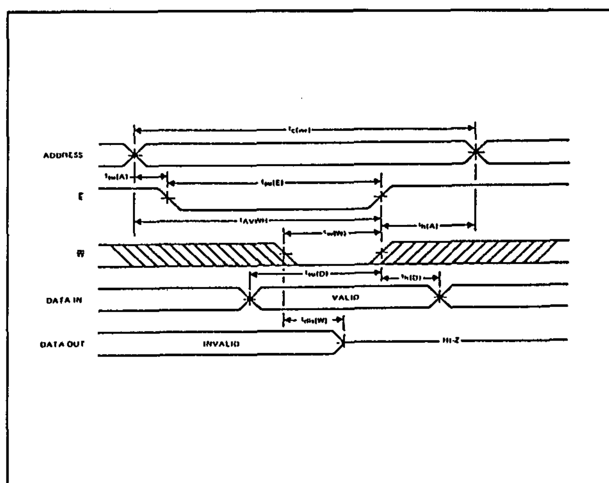
2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-54: Timing bij het uitlezen ($\overline{W}$ = HOOG, $\overline{E}$ gaat LAAG).



Figuur 8/2.3-55: Timing bij het schrijven naar de 2147 ($\overline{W}$ gaat LAAG).



Figuur 8/2.3-56: Timing bij het schrijven naar de 2147 ($\overline{E}$ gaat LAAG).

Overige kenmerken
De overige elektrische (AC en DC) kenmerken zijn vermeld in de figuren 8/2.3-53 tot en met 8/2.3-56 en de tabellen 8/2.3-54 tot en met 8/2.3-56.

2148

1k x 4 SRAM

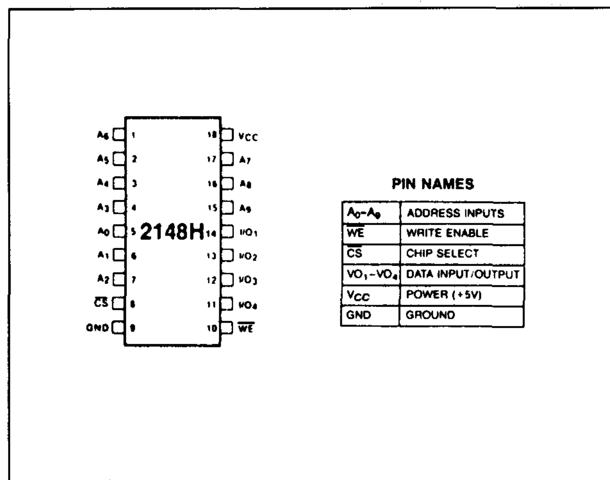
De 2148 is een NMOS 4096 bit statisch geheugen (SRAM). Voor de volledig statische werking is geen clock of timing strobe nodig.
De datalijnen hebben gemeenschappelijke in- en uitgangen.
De 2148 heeft een automatische Power-Down en is verder identiek aan de 2149 die deze voorziening niet heeft. Binnen één cyclus na het HOOG gaan van $\overline{CS}$ treedt de power-down toestand op en deze blijft gehandhaafd zolang $\overline{CS}$ HOOG is.
De 2148 is ook in CMOS (bijvoorbeeld Hitachi HM 6148H) verkrijgbaar.

Specificaties
- 1024 x 4 organisatie
- automatische Power Down
- volledig statische werking: geen clock, refresh of timing strobe
- gecombineerde in- en uitgangen
- 3-state uitgangen
- alle in-/uitgangen TTL-compatibel
- 18-pens 0,3 inch plastic DIL of CERDIP behuizing (figuur 8/2.3-57)
- leverbare typen: zie equivalentenlijst 8/2.2-1

$\overline{CS}$	$\overline{WE}$	MODE	I/O	POWER
H	X	NOT SELECTED	HIGH Z	STANDBY
L	L	WRITE	D_{IN}	ACTIVE
L	H	READ	D_{OUT}	ACTIVE

Tabel 8/2.3-57: Waarheidstabel van de 2148.

2.3 Type-beschrijving NMOS SRAM's



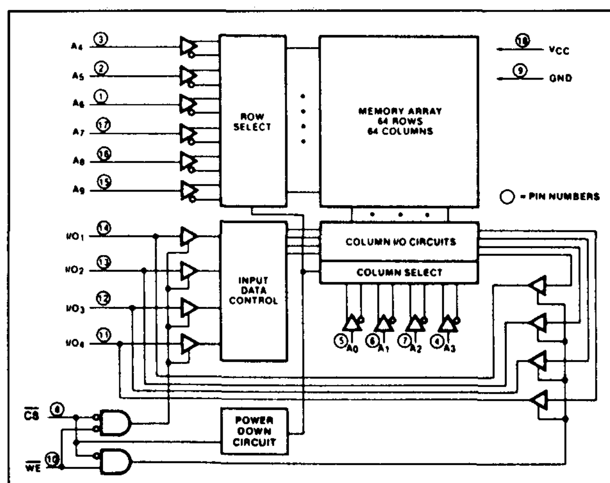
PIN NAMES

A_0-A_9	ADDRESS INPUTS
$\overline{WE}$	WRITE ENABLE
$\overline{CS}$	CHIP SELECT
VO_1-VO_4	DATA INPUT/OUTPUT
V_{CC}	POWER (+5V)
GND	GROUND

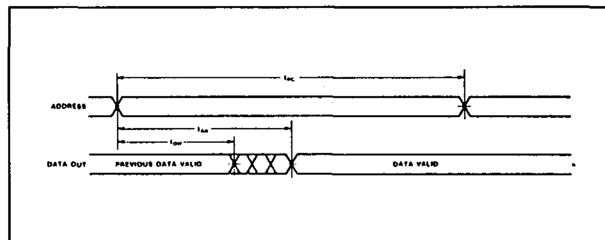
Figuur 8/2.3-57: Aansluitingen van de SRAM 2148.

Temperature Under Bias........ −10°C to +85°C
Storage Temperature CERDIP.. −65°C to +150°C
Storage Temperature Plastic.... −65°C to +125°C
Voltage on Any Pin with
Respect to Ground............. −3.5V to +7V
D.C. Continuous Output Current..........20 mA
Power Dissipation.......................1.2W

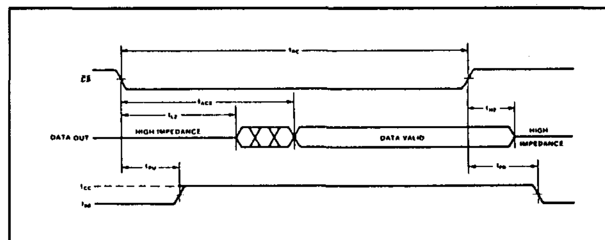
Tabel 8/2.3-58: Maximaal toegelaten waarden.



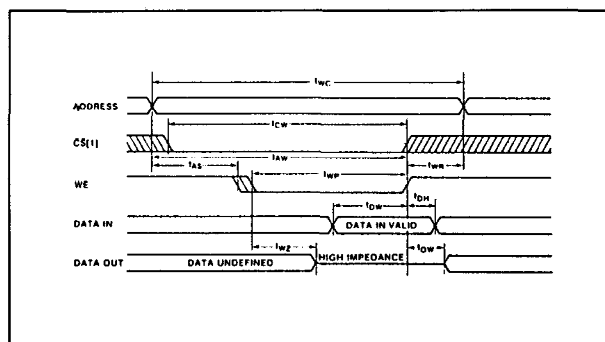
Figuur 8/2.3-58: Functioneel blokschema van de 2148.



Figuur 8/2.3-59: Golfvormen bij uitlezen No. 1 ($\overline{WE}$ = HOOG; RAM continu geselecteerd: $\overline{CS}$ = LAAG).



Figuur 8/2.3-60: Golfvormen bij uitlezen No. 2 ($\overline{WE}$ = HOOG; adressen "waar" op of voordat $\overline{CS}$ LAAG gaat).



Figuur 8/2.3-61: Golfvormen bij schrijven No. 1 (met $\overline{WE}$-besturing).

Kenmerken

In de tabellen 8/2.3-60 tot en met 8/2.3-63 en de figuren 8/2.3-59 tot en met 8/2.3-62 zijn de belangrijkste elektrische en timing kenmerken van de 2148 opgenomen.

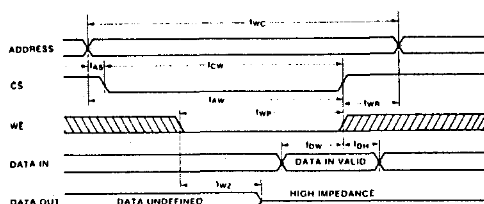
2.3 Type-beschrijving NMOS SRAM's

	*2148H-2	2148H-3	2148H	*2148HL-3	2148HL
Max. Access Time (ns)	45	55	70	55	70
Max. Active Current (mA)	150	*150	*150	125	125
Max. Standby Current (mA)	30	30	30	20	20

Tabel 8/2.3-59: Toegangstijden en dissipaties van enkele Intel-typen.

Symbol	Parameter	2148H/H-3/H-2			2148HL/HL-3			Unit	Test Conditions
		Min.	Typ(2)	Max.	Min.	Typ(2)	Max.		
$*\lvert I_{LI}\rvert$	Input Load Current (All Input Pins)		0.01	1.0		0.01	1.0	μA	V_{CC} = max, V_{IN} = GND to V_{CC}
$*\lvert I_{LO}\rvert$(3)	Output Leakage Current		0.1	10		0.1	10	μA	CS = V_{IH}, V_{CC} = max, V_{OUT} = GND to 4.5V
$*I_{CC}$	Operating Current		100	150		70	125	mA	V_{CC} = max, CS = V_{IL}, Outputs Open
I_{SB}	Standby Current		20	30		10	20	mA	V_{CC} = min to max, CS = V_{IH}
I_{PO}(4)	Peak Power-On Current		25	50		15	30	mA	V_{CC} = GND to V_{CC} min, CS = Lower of V_{CC} or V_{IH} min
V_{IL}	Input Low Voltage	−3.0		0.8	−3.0		0.8	V	
$*V_{IH}$	Input High Voltage	2.0		6.0	2.0		6.0	V	
V_{OL}	Output Low Voltage			0.4			0.4	V	I_{OL} = 8 mA
V_{OH}	Output High Voltage	2.4			2.4			V	I_{OH} = −4.0 mA
I_{OS}(5)	Output Short Circuit Current		±250	±275		±250	±275	mA	V_{OUT} = GND to V_{CC}

Tabel 8/2.3-60: Gelijkspanningen en bedrijfscondities van de 2148.



Figuur 8/2.3-62: Golfvormen bij schrijven No. 2 (met $\overline{CS}$-besturing).

Symbol	Parameter	Max.	Unit	Conditions
C_{IN}	Address/Control Capacitance	5	pF	V_{IN} = OV
C_{IO}	Input/Output Capacitance	7	pF	V_{OUT} = OV

Tabel 8/2.3-61: Capaciteiten bij 1 MHz.

2.3 Type-beschrijving NMOS SRAM's

Symbol	Parameter	2148H-2		2148H-3/HL-3		2148H/HL		Unit	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
t_{RC}	Read Cycle Time	45		55		70		ns	
t_{AA}	Address Access Time		45		55		70	ns	
t_{ACS}	Chip Select Access Time		45		55		70	ns	
t_{OH}	Output Hold from Address Change	5		5		5		ns	
t_{LZ}	Chip Selection Output in Low Z	20		20		20		ns	Note 4
t_{HZ}	Chip Deselection to Output in High Z	0	20	0	20	0	20	ns	Note 4
t_{PU}	Chip Selection to Power Up Time	0		0		0		ns	
t_{PD}	Chip Deselection to Power Down Time		30		30		30	ns	

Tabel 8/2.3-62: Schakeltijden bij het uitlezen van de 2148 (zie ook de figuren 8/2.3-59 en -60).

Symbol	Parameter	2148H-2		2148H-3/HL-3		2148/HL		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
t_{WC}	Write Cycle Time	45		55		70		ns
t_{CW}	Chip Selection to End of Write	40		50		65		ns
t_{AW}	Address Valid to End of Write	40		50		65		ns
t_{AS}	Address Setup Time	0		0		0		ns
t_{WP}	Write Pulse Width	35		40		50		ns
t_{WR}	Write Recovery Time	5		5		5		ns
t_{DW}	Data Valid to End of Write	20		20		25		ns
t_{DH}	Data Hold Time	0		0		0		ns
t_{WZ}	Write Enabled to Output in High Z	0	15	0	20	0	25	ns
t_{OW}	Output Active from End of Write	0		0		0		ns

Tabel 8/2.3-63: Schakeltijden bij het schrijven naar de 2148 (zie ook de figuren 8/2.3-61 en -62).

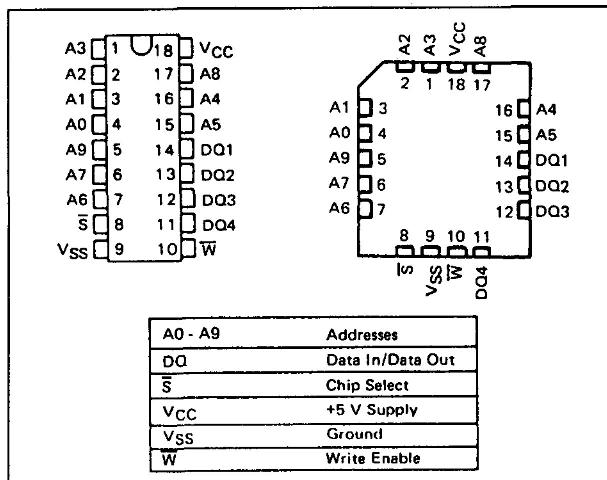
2149
1k x 4 SRAM

De 2149 is een 4096 bit NMOS statisch geheugen (ook verkrijgbaar in CMOS) dat geen klok-, refresh- of strobe-signalen nodig heeft. De 2149 heeft GEEN power-down toestand, maar is verder identiek aan de 2148. De data wordt via gecombineerde in-/uitgangen opgeslagen en uitgelezen.

Specificaties

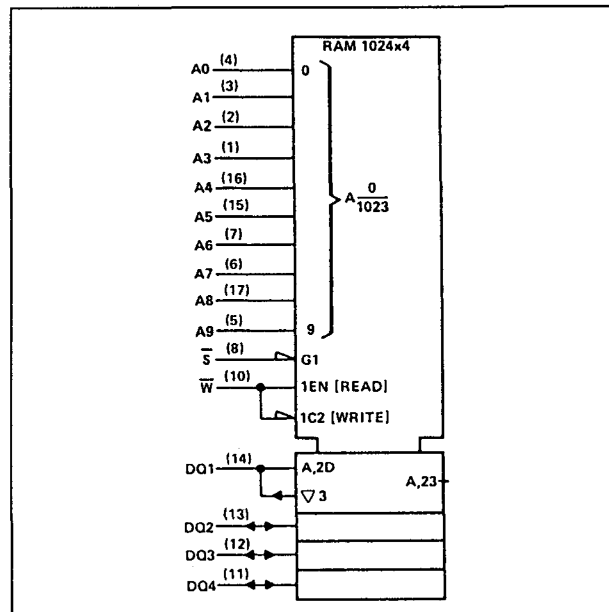
- 1024 x 4 organisatie
- alle in- en uitgangen TTL-compatibel
- 3-state uitgangen
- gecombineerde in-/uitgangen
- Chip Select Control
- statische werking: geen clock en refresh
- enkele +5 V voeding
- 18-pens 0,3 inch plastic DIL-behuizing of 18-pens plastic chip carrier (figuur 8/2.3-63)
- industrie-standaard aansluitingen
- leverbare typen: zie equivalentenlijst 8/2.2-1

2.3 Type-beschrijving NMOS SRAM's

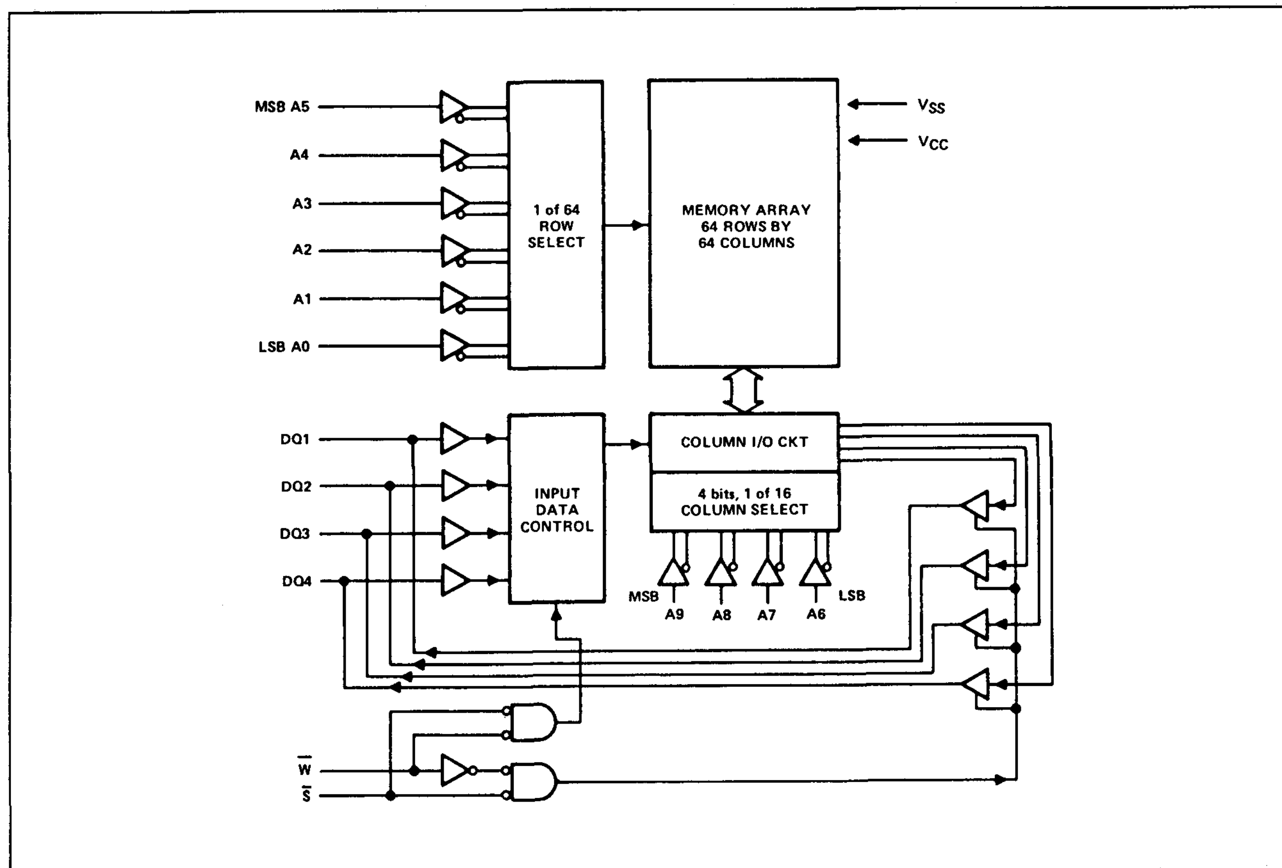


A0 - A9	Addresses
DQ	Data In/Data Out
S̄	Chip Select
VCC	+5 V Supply
VSS	Ground
W̄	Write Enable

Figuur 8/2.3-63: Aansluitgegevens van de 2149.



Figuur 8/2.3-64: Logisch symbool van de 2149.



Figuur 8/2.3-65: Functioneel blokschema (positieve logika).

2.3 Type-beschrijving NMOS SRAM's

$\overline{W}$	$\overline{S}$	DQ1-DQ4	MODE
L	L	VALID DATA	WRITE
H	L	DATA OUTPUT	READ
X	H	HI-Z	DEVICE DISABLED

Tabel 8/2.3-64: Waarheidstabel (functies) van de 2149.

Werking

Met de 10 adreslijnen A0 tot en met A9 kan telkens één van de 1024 woorden in de RAM worden geselecteerd. Tijdens een schrijfcyclus moeten de adres-ingangen stabiel zijn. Wanneer het chip-select signaal $\overline{S}$ LAAG is, zijn de gecombineerde in-/uitgangen toegankelijk.

Is chip-select HOOG dan is data-in gesperd en data-uit zwevend (hoog-impedant). De lees- of schrijfmode wordt geselecteerd door middel van het write enable signaal $\overline{W}$. Met $\overline{W}$ = HOOG wordt de lees-mode gekozen; is $\overline{W}$ = LAAG dan bevindt de RAM zich in de schrijf-mode.

Supply voltage, V_{CC} (see Note 1)	−1.5 V to 7 V
Input voltage (any input) (see Note 1)	−1.5 V to 7 V
Continuous power dissipation	1 W
Operating ambient temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.3-65: Maximaal toegelaten waarden.

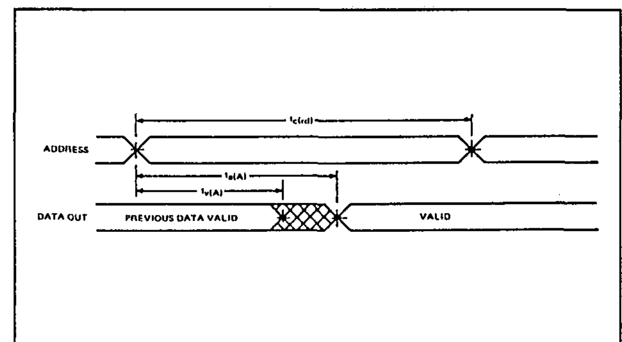
	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH}	2		6	V
Low-level input voltage, V_{IL}	−1†		0.8	V
Operating ambient temperature†, T_A	0		70	°C

Tabel 8/2.3-66: Aanbevolen bedrijfscondities van de 2149.

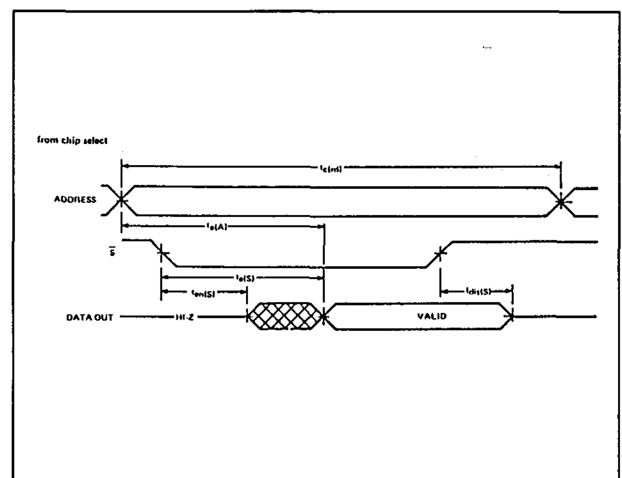
Gedurende adres-veranderingen moet $\overline{W}$ of $\overline{S}$ HOOG zijn om opslag van niet-bedoelde data te vermijden.

Overige kenmerken

De overige elektrische en timing kenmerken van de Texas Instruments typen zijn te zien in de figuren 8/2.3-66 tot en met 8/2.3-69 en de tabellen 8/2.3-67 tot en met 8/2.3-69.



Figuur 8/2.3-66: Timing bij het uitlezen na een adresverandering; $\overline{W}$ = HOOG, $\overline{S}$ = LAAG (zie ook tabellen 8/2.3-68 en 8/2.3-69).



Figuur 8/2.3-67: Timing bij het uitlezen met Chip Select; adres = stabiel, $\overline{W}$ = HOOG.

2.3 Type-beschrijving NMOS SRAM's

PARAMETER		TEST CONDITIONS	MIN	TYP§	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −4 mA, V_{CC} = 4.5 V	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 8 mA, V_{CC} = 4.5 V			0.4	V
I_I	Input current	V_I = 0 V to 5.5 V			10	µA
I_{OZ}	Off-state output current	$\bar{S}$ at 2 V, V_O = 0.2 V to 4.5 V V_{CC} = 5.5 V			±50	µA
I_{CC2}	Operating supply current from V_{CC}	$\bar{S}$ at V_{IL}, I_O = 0 mA, T_A = 0°C (worst case)		90	120	mA
		$\bar{S}$ at V_{IL}, I_O = 0 mA, T_A = 70°C			100	mA
C_i	Input capacitance	V_I = 0 V, f = 1 MHz			5	pF
C_O	Output capacitance	V_O = 0 V, f = 1 MHz			7	pF

Tabel 8/2.3-67: Gelijkspanningen bij de 2149.

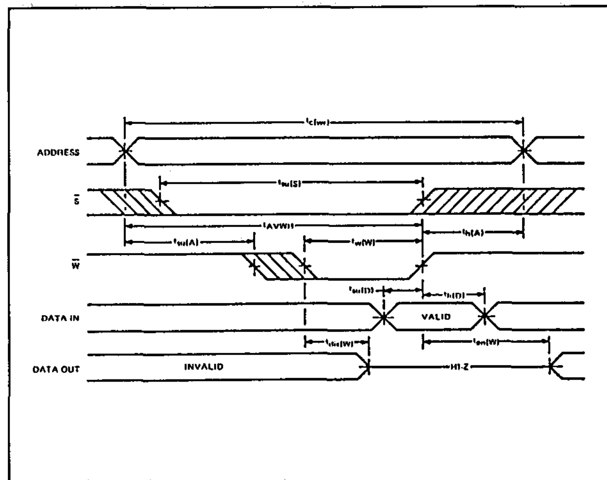
PARAMETER		TMS 2149-3		TMS 2149-4		TMS 2149-5		TMS 2149-7		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	35		45		55		70		ns
$t_{c(wr)}$	Write cycle time	35		45		55		70		ns
$t_{w(W)}$	Write pulse width	30		30		40		50		ns
$t_{su(A)}$	Address setup time	0		0		0		0		ns
$t_{su(S)}$	Chip select setup time	30		30		40		50		ns
$t_{su(D)}$	Data setup time	20		20		20		25		ns
$t_{h(D)}$	Data hold time	5		5		5		5		ns
$t_{h(A)}$	Address hold time	0		5		5		5		ns
t_{AVWH}	Address valid to write enable high	35		40		50		65		ns

Tabel 8/2.3-68: Minimaal benodigde schakeltijden.

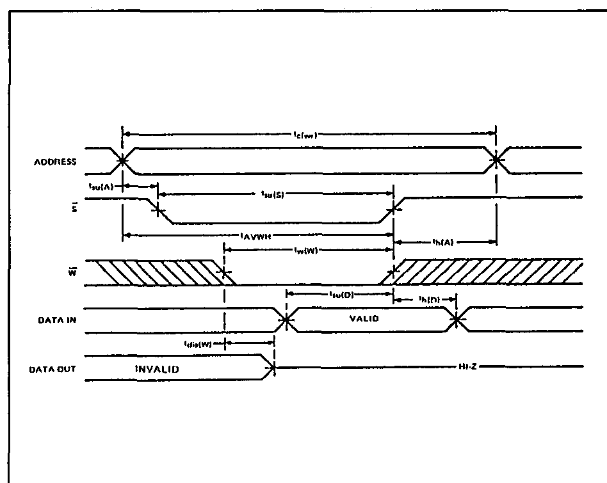
PARAMETER		TEST CONDITIONS	TMS 2149-3		TMS 2149-4		TMS 2149-5		TMS 2149-7		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address	R_L = 480 Ω, C_L = 30 pF, See Figure 1		35		45		55		70	ns
$t_{a(S)}$	Access time from chip select			15		20		25		30	ns
$t_{v(A)}$	Output data valid after address change		5		5		5		5		ns
$t_{dis(W)}$	Output disable time from write enable‡	R_L = 480 Ω, C_L = 5 pF, See Figure 2		10		10		20		25	ns
$t_{en(W)}$	Output enable time from write enable†		5		5		5		5		ns
$t_{dis(S)}$	Output disable time from chip select‡			10		10		15		15	ns
$t_{en(S)}$	Output enable time from chip select†		5		5		5		5		ns

Tabel 8/2.3-69: Schakeltijden (type-klassering) van de 2149.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-68: Timing bij het schrijven onder Write Enable-besturing (bij adresveranderingen moet W̄ of S̄ HOOG zijn).



Figuur 8/2.3-69: Timing bij het schrijven onder Chip Select-besturing (bij adresveranderingen moet S̄ of W̄ HOOG zijn).

2167

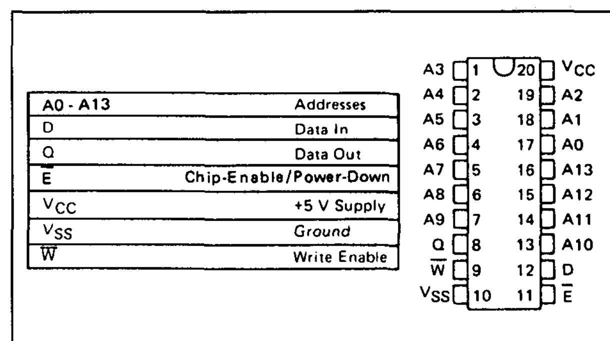
16k x 1 SRAM

De 2167 is een 16384 bit NMOS statisch geheugen (ook verkrijgbaar in CMOS) dat is georganiseerd als 16384 woorden van 1 bit. Doordat geen clock-signalen nodig zijn is de 2167 eenvoudig te gebruiken.

De power-down toestand wordt bestuurd door het Chip Select-signaal Ē (of CS).

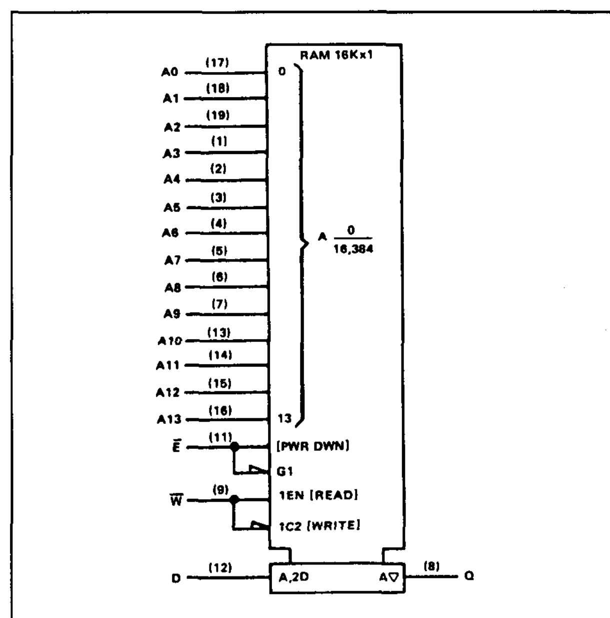
Specificaties

- 16k x 1 organisatie
- volledig statische werking (geen clock, refresh of strobe nodig)
- enkele +5 V voeding (+/-10 %)
- alle in-/uitgangen TTL-compatibel
- aparte data in- en uitgang
- 3-state uitgang
- automatische Power-Down
- 20-pens 0,3 inch plastic of ceramische DIL-behuizing (zie figuur 8/2.3-70)



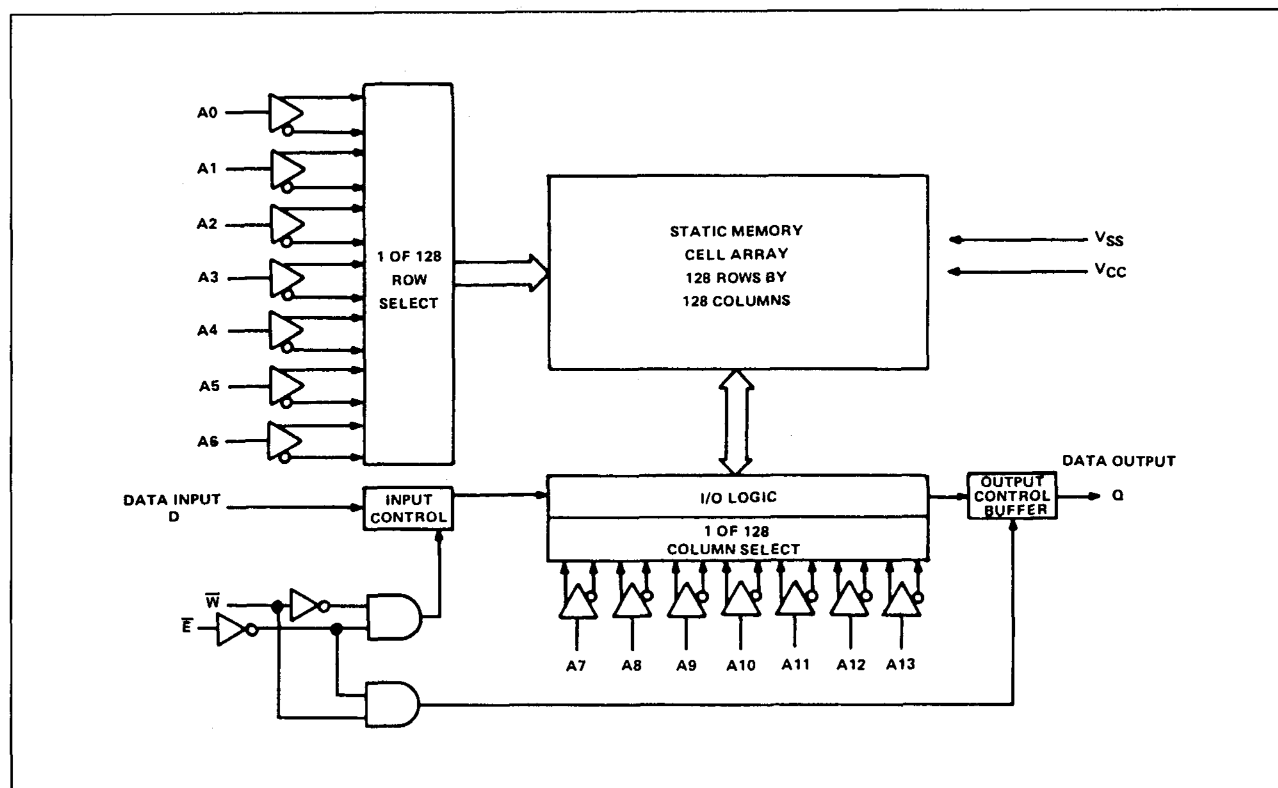
A0 - A13	Addresses
D	Data In
Q	Data Out
Ē	Chip-Enable/Power-Down
V_{CC}	+5 V Supply
V_{SS}	Ground
W̄	Write Enable

Figuur 8/2.3-70: Aansluitingen van de 2167.



Figuur 8/2.3-71: Logisch symbool van de 2167.

2.3 Type-beschrijving NMOS SRAM's



Figuur 8/2.3-72: Functioneel blokschema (positieve logika).

INPUTS		OUTPUT	MODE
Ē	W̄	Q	
H	X	Hi-Z	POWER DOWN
L	L	Hi-Z	WRITE
L	H	DATA OUT	READ

Tabel 8/2.3-70: Waarheidstabel (functies) van de 2167.

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH}	2		6	V
Low-level input voltage, V_{IL}	−1 §		0.8	V
Operating ambient temperature†, T_A	0		70	°C

Tabel 8/2.3-72: Aanbevolen bedrijfscondities voor de 2167.

Supply voltage, V_{CC} (see Note 1)	−1.5 V to 7 V
Input voltage (any input) (see Note 1)	−1.5 V to 7 V
Continuous power dissipation	1 W
Operating ambient temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.3-71: Maximaal toegelaten waarden.

Werking

Met de 14 adres-ingangen A0 tot en met A13 kan één van de 16384 opslagplaatsen worden gekozen. Gedurende een schrijfcyclus moet het adres stabiel zijn.

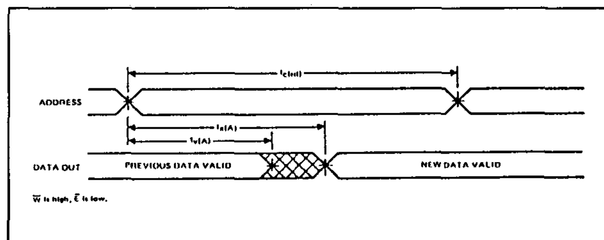
De Chip-Enable/Power-Down ingang beïnvloedt niet alleen de data-in en data-uit aansluitingen, maar ook het functioneren van de chip zelf. Is $\overline{E}$ = LAAG (enabled) dan is de RAM operationeel en kan data worden gelezen of geschreven.

2.3 Type-beschrijving NMOS SRAM's

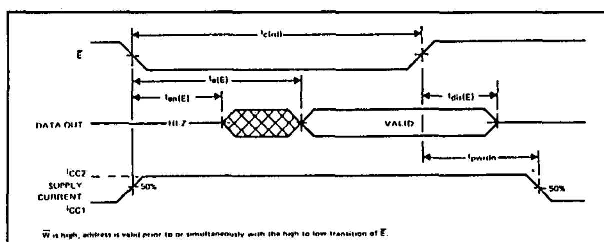
Is $\overline{E}$ = HOOG dan is de schakeling niet geselecteerd en komt deze automatisch in de toestand met gereduceerd opgenomen vermogen te staan (power-down).
De lees- of schrijfmode wordt geselecteerd door middel van het write enable signaal $\overline{W}$.
Met $\overline{W}$ = HOOG wordt de lees-mode gekozen; is $\overline{W}$ = LAAG dan bevindt de RAM zich in de schrijf-mode.
Gedurende adres-veranderingen moet $\overline{W}$ of $\overline{E}$ HOOG zijn om opslag van niet-bedoelde data te vermijden.
De data-in ingang D is direkt geschikt voor signalen op TTL-niveau. De 3-state data-out terminal is in de hoog-impedante toestand als $\overline{E}$ = HOOG.

Overige kenmerken

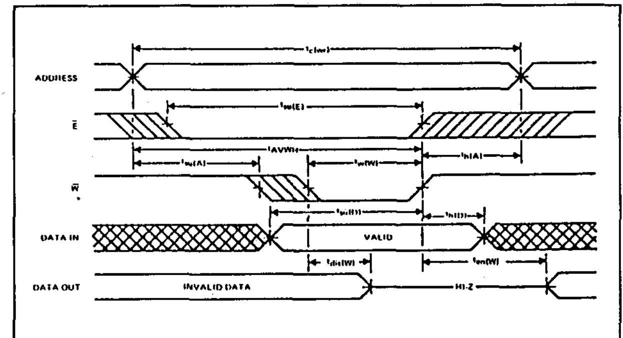
De overige elektrische en timing kenmerken van de Texas Instruments typen zijn te zien in de figuren 8/2.3-73 tot en met 8/2.3-76 en de tabellen 8/2.3-73 tot en met 8/2.3-75.



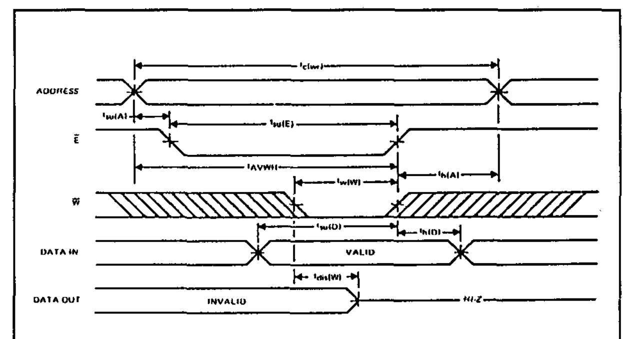
Figuur 8/2.3-73: Timing bij het uitlezen na een adresverandering. $\overline{W}$ = HOOG, $\overline{E}$ = LAAG (zie ook tabellen 8/2.3-74 en -75).



Figuur 8/2.3-74: Timing bij het uitlezen met Chip Enable (adres = stabiel, $\overline{W}$ = HOOG).



Figuur 8/2.3-75: Timing bij het schrijven onder Write Enable-besturing (bij adresveranderingen moet $\overline{W}$ of $\overline{E}$ HOOG zijn).



Figuur 8/2.3-76: Timing bij het schrijven onder Chip Enable-besturing (bij adresveranderingen moet $\overline{E}$ of $\overline{W}$ HOOG zijn).

2.3 Type-beschrijving NMOS SRAM's

PARAMETER		TEST CONDITIONS	MIN	TYP[†]	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −4 mA, V_{CC} = 4.5 V	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 8 mA, V_{CC} = 4.5 V			0.4	V
I_I	Input current	V_I = 0 V to 5.5 V			10	µA
I_{OZ}	Off-state output current	$\bar{E}$ at 2 V, V_O = 0 V to 4.5 V, V_{CC} = 5.5 V			±50	µA
I_{CC1}	Standby supply current from V_{CC}	$\bar{E}$ at V_{IH}		9	20	mA
I_{CC2}	Operating supply current from V_{CC}	$\bar{E}$ at V_{IL}, I_O = 0 mA, T_A = 0°C (worst case)		70	120	mA
		$\bar{E}$ at V_{IL}, I_O = 0 mA, T_A = 70°C			90	mA
I_{PO}	Peak power-on current (see Note 2)	V_{CC} = GND to V_{CC} min, $\bar{E}$ at lower of V_{CC} or V_{IH} min			70	mA
C_i	Input capacitance	V_I = 0 V, f = 1 MHz			5	pF
C_O	Output capacitance	V_O = 0 V, f = 1 MHz			6	pF

Tabel 8/2.3-73: Gelijkspanningen bij de 2167.

PARAMETER		TMS 2167-4		TMS 2167-5		TMS 2167-7		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	45		55		70		ns
$t_{c(wr)}$	Write cycle time	45		55		70		ns
$t_{w(W)}$	Write pulse width	30		40		50		ns
$t_{su(A)}$	Address setup time	0		0		0		ns
$t_{su(E)}$	Chip-enable setup time	30		40		50		ns
$t_{su(D)}$	Data setup time	15		15		25		ns
$t_{h(D)}$	Data hold time	5		5		5		ns
$t_{h(A)}$	Address hold time	0		5		5		ns
t_{AVWH}	Address valid to write enable high	35		45		55		ns

Tabel 8/2.3-74: Minimaal benodigde schakeltijden.

PARAMETER		TEST CONDITIONS	TMS 2167-4		TMS 2167-5		TMS 2167-7		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address	R_L = 510 Ω, C_L = 30 pF, See Figure 1		45		55		70	ns
$t_{a(E)}$	Access time from chip enable			45		55		70	ns
$t_{v(A)}$	Output data valid after address change		5		5		5		ns
$t_{dis(W)}$	Output disable time from write enable[‡]			20		25		25	ns
$t_{en(W)}$	Output enable time from write enable[‡]		5		5		5		ns
$t_{dis(E)}$	Output disable time from chip enable[‡]			20		25		25	ns
$t_{en(E)}$	Output enable time from chip enable[‡]		5		5		5		ns
t_{pwrdn}	Power down time from chip enable			20		20		30	ns

Tabel 8/2.3-75: Schakeltijden (type-klassering) van de 2167.

2.3 Type-beschrijving NMOS SRAM's

4016

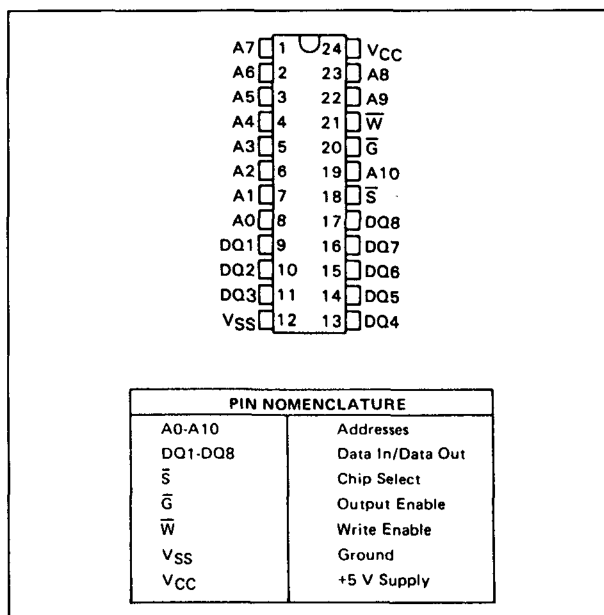
2k x 8 SRAM

De 4016 is een 16384 bit NMOS rondom toegankelijk statisch geheugen (ook verkrijgbaar in CMOS) met een 2048 x 8 bit organisatie. Doordat geen clock-signalen nodig zijn is de 4016 eenvoudig te gebruiken.

Let op: sommige van de oudste versies, zoals het hier behandelde Texas Instruments type, hebben geen Power Down-voorziening. Voor de nieuwere typen met Power Down kan de informatie van de 2016 worden gebruikt.

Specificaties

- 2k x 8 organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (+/-10 %)
- alle in-/uitgangen TTL-compatibel
- gecombineerde data in- en uitgangen
- 3-state uitgangen
- door G-ingang geen externe bus-buffers nodig
- 24-pens 0,6 inch plastic DIL-behuizing (zie figuur 8/2.3-77)
- plug-in compatibel met 2716 EPROM

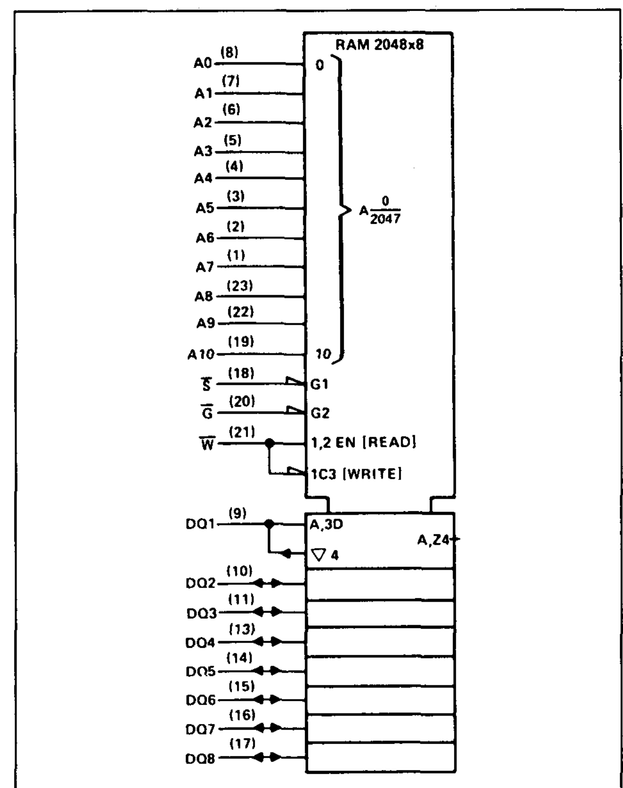


PIN NOMENCLATURE	
A0-A10	Addresses
DQ1-DQ8	Data In/Data Out
$\overline{S}$	Chip Select
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{SS}	Ground
V_{CC}	+5 V Supply

Figuur 8/2.3-77: Aansluitgegevens van de 4016.

$\overline{W}$	$\overline{S}$	$\overline{G}$	DQ1-DQ8	MODE
L	L	X	VALID DATA	WRITE
H	L	L	DATA OUTPUT	READ
X	H	X	HI-Z	DEVICE DISABLED
H	L	H	HI-Z	OUTPUT DISABLED

Tabel 8/2.3-76: Waarheidstabel (functies) van de 4016.



Figuur 8/2.3-78: Logisch symbool van de 4016.

Supply voltage, V_{CC} (see Note 1)	−0.5 to 7 V
Input voltage (any input) (see Note 1)	−1 to 7 V
Continuous power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−55°C to 150°C

Tabel 8/2.3-77: Maximaal toegelaten waarden.

2.3 Type-beschrijving NMOS SRAM's

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH}	2		5.5	V
Low-level input voltage, V_{IL} (algebraic limits)	−1		0.8	V
Operating free-air temperature, T_A	0		70	°C

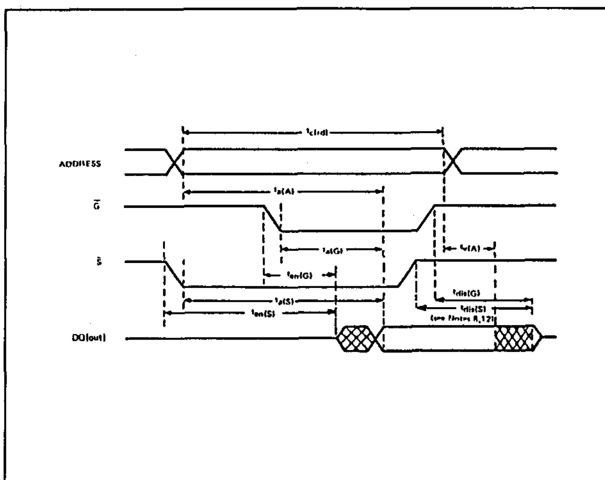
Tabel 8/2.3-78: Aanbevolen bedrijfscondities voor de 4016.

Werking

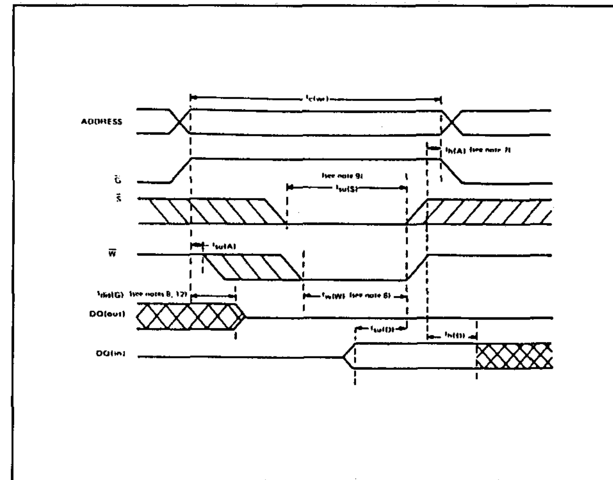
Met de 11 adres-ingangen A0 tot en met A10 kan één van de 2048 8-bit woorden in het geheugen worden gekozen. De adres-ingangen moeten tijdens een schrijf-cyclus stabiel zijn.

De Output-Enable ingang beïnvloedt alleen de data-uit aansluitingen. Als $\overline{G}$ = HOOG dan bevinden de uitgangen zich in de hoog-impedante toestand.

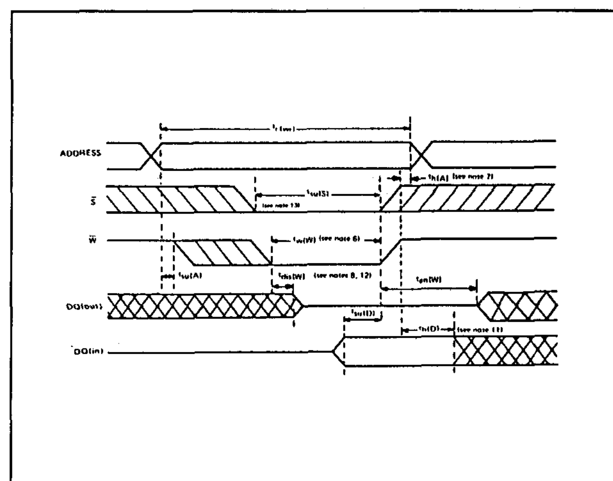
De Chip-Select ingang heeft invloed op de data in- en uitgangen. Als $\overline{S}$ en $\overline{G}$ beide LAAG zijn, zijn de D/Q-aansluitingen enabled. Met het Write-enable signaal $\overline{W}$ wordt de lees- of schrijfmode geselecteerd. Als $\overline{W}$ = HOOG wordt er gelezen; met $\overline{W}$ = LAAG bevindt de RAM zich in de schrijf-mode.



Figuur 8/2.3-79: Timing bij het uitlezen ($\overline{W}$ = HOOG.
Zie ook tabellen 8/2.3-80 en -81.



Figuur 8/2.3-80: Timing bij het schrijven (bij adresveranderingen moet $\overline{W}$ = HOOG zijn).



Figuur 8/2.3-81: Timing bij het schrijven (bij adresveranderingen moet $\overline{W}$ = HOOG zijn: $\overline{G}$ = continu LAAG).

Overige kenmerken

De overige elektrische en timing kenmerken van de Texas Instruments typen zijn te zien in de figuren 8/2.3-79 tot en met 8/2.3-81 en de tabellen 8/2.3-79 tot en met 8/2.3-81.

2.3 Type-beschrijving NMOS SRAM's

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High level voltage	I_{OH} = −1 mA,	V_{CC} = 4.5 V	2.4			V
V_{OL}	Low level voltage	I_{OL} = 2.1 mA,	V_{CC} = 4.5 V			0.4	V
I_I	Input current	V_I = 0 V to 5.5 V				10	μA
I_{OZ}	Off-state output current	$\overline{S}$ or $\overline{G}$ at 2 V or $\overline{W}$ at 0.8 V, V_O = 0 V to 5.5 V				10	μA
I_{CC}	Supply current from V_{CC}	I_O = 0 mA, T_A = 0°C (worst case)	V_{CC} = 5.5 V,		40	70	mA
C_i	Input capacitance	V_I = 0 V,	f = 1 MHz			8	pF
C_o	Output capacitance	V_O = 0 V,	f = 1 MHz			12	pF

Tabel 8/2.3-79: Gelijkspannings-karakteristieken van de 4016.

PARAMETER		TMS 4016-12		TMS 4016-15		TMS 4016-20		TMS 4016-25		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	120		150		200		250		ns
$t_{c(wr)}$	Write cycle time	120		150		200		250		ns
$t_{w(W)}$	Write pulse width	60		80		100		120		ns
$t_{su(A)}$	Address setup time	20		20		20		20		ns
$t_{su(S)}$	Chip select setup time	60		80		100		120		ns
$t_{su(D)}$	Data setup time	50		60		80		100		ns
$t_{h(A)}$	Address hold time	0		0		0		0		ns
$t_{h(D)}$	Data hold time	5		10		10		10		ns

Tabel 8/2.3-80: Minimaal benodigde schakeltijden.

PARAMETER		TMS 4016-12		TMS 4016-15		TMS 4016-20		TMS 4016-25		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address		120		150		200		250	ns
$t_{a(S)}$	Access time from chip select low		60		75		100		120	ns
$t_{a(G)}$	Access time from output enable low		50		60		80		100	ns
$t_{v(A)}$	Output data valid after address change	10		15		15		15		ns
$t_{dis(S)}$	Output disable time after chip select high		40		50		60		80	ns
$t_{dis(G)}$	Output disable time after output enable high		40		50		60		80	ns
$t_{dis(W)}$	Output disable time after write enable low		50		60		60		80	ns
$t_{en(S)}$	Output enable time after chip select low	5		5		10		10		ns
$t_{en(G)}$	Output enable time after output enable low	5		5		10		10		ns
$t_{en(W)}$	Output enable time after write enable high	5		5		10		10		ns

Tabel 8/2.3-81: Schakeltijden (type-klassering) van de 4016.

4044

4k x 1 SRAM

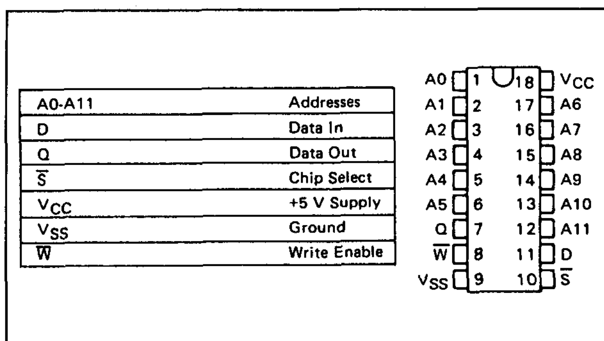
De 4044 is een 4096 bit NMOS statisch geheugen dat geen clock-, strobe- en refresh-signalen nodig heeft. In de standby-toestand kan het opgenomen vermogen drastisch worden verminderd door de voedingsspanning V_{CC} te verlagen (Texas Instruments-typen tot 2,4 V, andere merken tot 3 V).

Specificaties

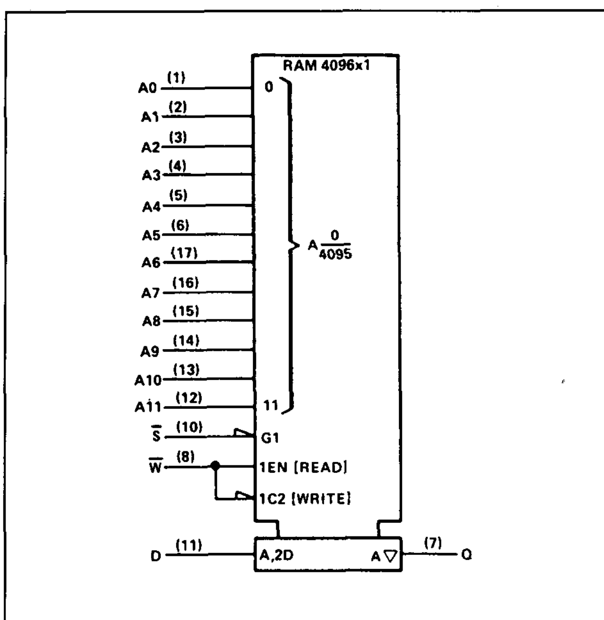
- 4096 x 1 organisatie
- enkele +5 V voeding (+/-10 %)
- dissipatie:
  TMS 4044: 303 mW (bedrijf), 84 mW (standby)
  TMS 40L44: 220 mW (bedrijf), 60 mW (standby)
  MK 4104: 150 mW (bedrijf), 28 mW (standby)

2.3 Type-beschrijving NMOS SRAM's

- volledig statisch: geen clock, refresh of strobe
- aparte data in- en uitgang
- alle in-/uitgangen TTL-compatibel
- 3-state data uitgang
- 18-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.3-82)
- leverbare typen: zie equivalentenlijst 8/2.2-1



Figuur 8/2.3-82: Aansluitingen van de 4044.



Figuur 8/2.3-83: Logisch symbool van de 4044.

Werking

Met de 12 adreslijnen A0 tot en met A11 wordt één van de 4096 1-bit woorden in het geheugen geselecteerd. De adres-ingangen moeten gedurende het schrijven stabiel zijn. Het chip-select signaal $\overline{S}$ beïnvloedt de data-in en data-uit pennen. Wanneer $\overline{S}$ = LAAG is, zijn beide aansluitingen operationeel; is $\overline{S}$ = HOOG dan wordt de data-ingang geblokkeerd en bevindt de data-uitgang zich in de hoog-impedante (of zwevende) toestand. Het signaal op de write enable ingang bepaalt of het geheugen in de lees- of de schrijf-mode staat. Is $\overline{W}$ = HOOG dan kan data worden uitgelezen; met $\overline{W}$ = LAAG wordt de schrijf-mode geselecteerd. Bij adresveranderingen moet $\overline{W}$ = HOOG zijn om de opslag van niet-bedoelde data te voorkomen. De standby mode, waarbij data wordt vastgehouden terwijl het opgenomen vermogen drastisch wordt verminderd, wordt bereikt door de voedingsspanning V_{CC} te verlagen van 5 V tot 2,4 V. Hierbij moeten zowel $\overline{S}$ als $\overline{W}$ = HOOG zijn. In de standby mode kan geen data worden gelezen of geschreven. De verandering van V_{CC} mag niet sneller gaan dan 26 mV/ms. Wanneer de bedrijfsomstandigheden weer normaal geworden zijn, moet voor alle zekerheid 5 cyclustijden worden gewacht.

INPUTS		OUTPUT	MODE
$\overline{S}$	$\overline{W}$	Q	
H	X	HI-Z	DEVICE DISABLED
L	L	HI-Z	WRITE
L	H	DATA OUT	READ

Tabel 8/2.3-82: Waarheidstabel (functies) van de 4044.

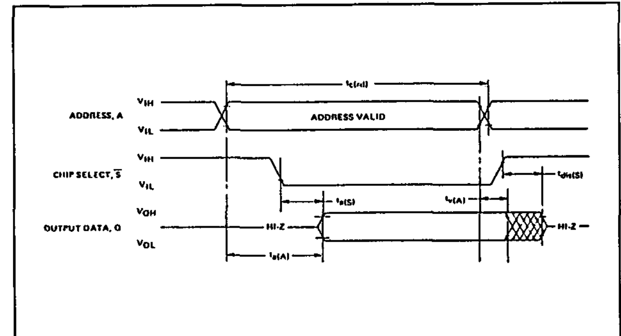
Supply voltage, V_{CC} (see Note 1)	−0.5 to 7 V
Input voltage (any input) (see Note 1)	−1 to 7 V
Continuous power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−55°C to 150°C

Tabel 8/2.3-83: Maximaal toegelaten waarden.

2.3 Type-beschrijving NMOS SRAM's

Overige kenmerken

De overige elektrische en timing kenmerken zijn opgenomen in de figuren 8/2.3-84 tot en met 8/2.3-86 en de tabellen 8/2.3-85 tot en met 8/2.3-87.



Figuur 8/2.3-84: Timing bij het uitlezen ($\overline{W}$ = HOOG, zie ook de tabellen 8/2.3-86 en -87).

PARAMETER			MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	TMS 4044-12	Operating	4.5	5	5.5	V
	TMS 40L44-12	Standby	2.4		5.5	
	TMS 4044-20	Operating	4.5		5.5	
	TMS 40L44-20	Standby	2.4		5.5	
	TMS 4044-25 TMS 40L44-25 TMS 40L44-45	Operating	4.5		5.5	
		Standby	2.4		5.5	
	TMS 4044-45	Operating	4.5		5.5	
Supply voltage, V_{SS}				0		V
High-level input voltage, V_{IH}			2		5.5	V
Low-level input voltage, V_{IL} (see Note 2)			−1		0.8	V
Operating free-air temperature, T_A			0		70	°C

Tabel 8/2.3-84: Aanbevolen bedrijfscondities voor de 4044.

PARAMETER		TEST CONDITIONS			MIN	TYP‡	MAX	UNIT
V_{OH}	High level voltage	I_{OH} = −1.0 mA	V_{CC} = 4.5 V		2.4			V
V_{OL}	Low level voltage	I_{OL} = 3.2 mA	V_{CC} = 4.5 V				0.4	V
I_I	Input current	V_I = 0 V to 5.5 V					10	μA
I_{OZ}	Off-state output current	$\overline{S}$ at 2 V or $\overline{W}$ at 0.8 V	V_O = 0 V to 5.5 V				±10	μA
I_{CC}	Supply current from V_{CC}	I_O = 0 mA T_A = 0°C (worst case)	TMS 40L44	V_{CC} = MAX		25	40	mA
				V_{CC} = 2.4 V		15	25	
			TMS 4044-12 TMS 4044-20	V_{CC} = MAX		50	55	
			TMS 4044-25	V_{CC} = 2.4 V		25	35	
			TMS 4044-45	V_{CC} = MAX		50	55	
C_i	Input capacitance	V_I = 0 V, f = 1 MHz					8	pF
C_o	Output capacitance	V_O = 0 V, f = 1 MHz					8	pF

Tabel 8/2.3-85: Gelijkspanningen en -stromen bij de 4044.

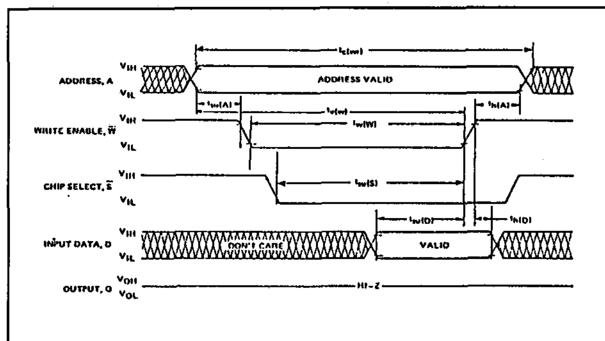
2.3 Type-beschrijving NMOS SRAM's

PARAMETER		TMS 4044-12 TMS 40L44-12		TMS 4044-20 TMS 40L44-20		TMS 4044-25 TMS 40L44-25		TMS 4044-45 TMS 40L44-45		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time	120		200		250		450		ns
$t_{c(wr)}$	Write cycle time	120		200		250		450		ns
$t_{v(w)}$	Address valid to end of write	110		180		230		230		ns
$t_{w(W)}$	Write pulse width	60		60		75		200		ns
$t_{su(A)}$	Address set up time	0		0		0		0		ns
$t_{su(S)}$	Chip select set up time	60		60		75		200		ns
$t_{su(D)}$	Data set up time	50		60		75		200		ns
$t_{h(D)}$	Data hold time	0		0		0		0		ns
$t_{h(A)}$	Address hold time	0		0		0		0		ns

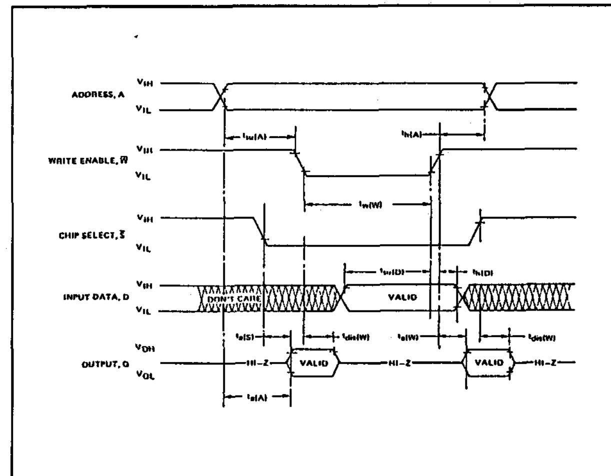
Tabel 8/2.3-86: Minimale schakeltijden.

PARAMETER		TMS 4044-12 TMS 40L44-12		TMS 4044-20 TMS 40L44-20		TMS 4044-25 TMS 40L44-25		TMS 4044-45 TMS 40L44-45		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address		120		200		250		450	ns
$t_{a(S)}$	Access time from chip select low		70		70		100		100	ns
$t_{a(W)}$	Access time from write enable high		70		70		100		100	ns
$t_{v(A)}$	Output data valid after address change	20		20		20		20		ns
$t_{dis(S)}$	Output disable time after chip select high		50		60		60		80	ns
$t_{dis(W)}$	Output disable time after write enable low		50		60		60		80	ns

Tabel 8/2.3-87: Schakeltijden (type-klassering) van de 4044.



Figuur 8/2.3-85: Timing bij "early write".



Figuur 8/2.3-86: Timing bij "read/write" (vervangen van data op zelfde adres).

8/2.4.1

Type-beschrijving 61-serie

IDT 6116

2k x 8 CMOS SRAM

De 6116 is een veel gebruikt 16384 bit statisch, vrij toegankelijk CMOS lees/schrijfgeheugen, georganiseerd in 2048 x 8 bits ("byte wide").

Dit RAM wordt door veel fabrikanten en onder allerlei namen geleverd. Behalve de "gewone" typen, zoals de Motorola MCM 65116, de RCA CDM 6116 en de Toshiba TC 5516A die toegangstijden van 120 ns tot 250 ns hebben, zijn ook "high-speed" typen verkrijgbaar.

De IDT 6116 heeft bijvoorbeeld toegangstijden van 15 ns tot 150 ns en die van de Harris HM 65162 liggen tussen 55 en 90 ns.

De 6116 werkt asynchroon en wordt (afhankelijk van het merk) geleverd in commerciële, industriële en militaire versies. Hier wordt de commerciële versie IDT 6116P van IDT behandeld, omdat die een vrij goed beeld van de eigenschappen van dit type RAM geeft.

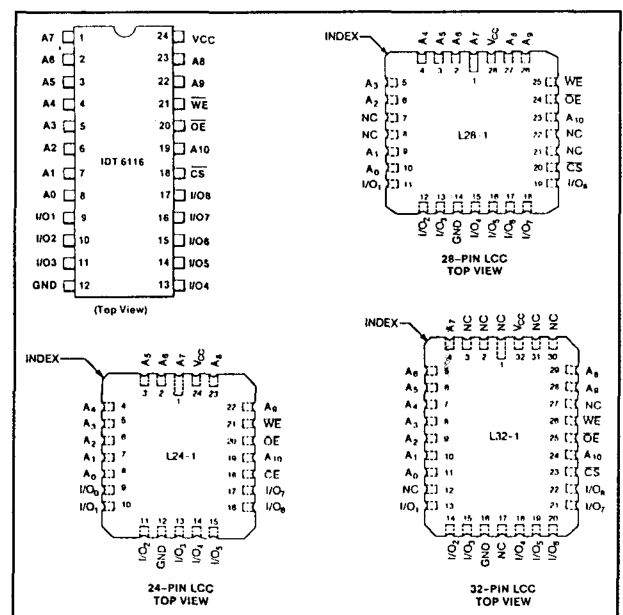
De 24-pens DIL uitvoering van de 6116 komt overeen met de JEDEC standaard en is daardoor compatibel met 16k RAM's en EPROM's.

De 6116 heeft gemeenschappelijke data in-/uitgangen die gebruik van een 8-bits databus mogelijk maken. Met het chip-select signaal kan de 6116 in een standby toestand worden gebracht.

Met het output-enable signaal kunnen de data-uitgangen onafhankelijk van de chip-enable worden bestuurd.

Specificaties

- 2048 x 8 bits organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 160 mW (aktief), 100 µW (standby)
- alle in-/uitgangen TTL-compatibel
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- JEDEC standaard aansluitingen
- 24-pens 0,6 of 0,3 inch keramische of plastic DIL-behuizing, SO-behuizing, flatpack, 24-, 28- of 32-pens LCC (leadless chip carrier, zie figuur 8/2.4.1-1)

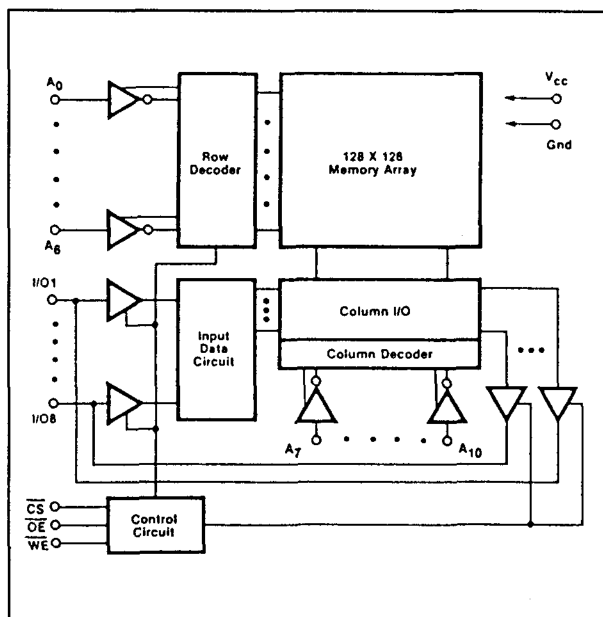


Figuur 8/2.4.1-1: Aansluitingen van de DIL- en LCC-versies van de 6116.

2.4.1 Type-beschrijving 61-serie

Werking

De 6116 heeft 11 adres-lijnen (A0 tot en met A10), waarmee 2048 8-bits woorden kunnen worden geadresseerd die in een 128 x 128 matrix worden opgeslagen (zie figuur 8/2.4.1-2).



Figuur 8/2.4.1-2: Functioneel blokschema (positieve logica).

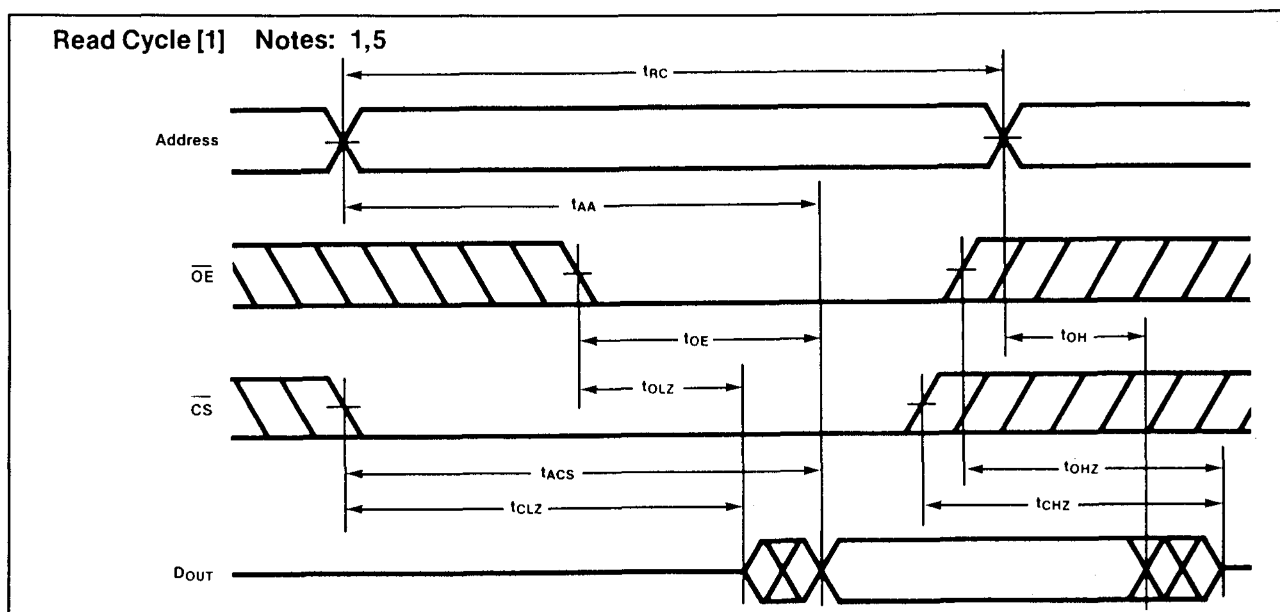
Als $\overline{CS}$ = HOOG is, staat de 6116 standby en bevinden de uitgangen zich in de hoogimpedante toestand (zie ook de waarheidstabel 8/2.4.1-1). De 6116 heeft gemeenschappelijke data-in-/uitgangen die intern door het $\overline{WE}$-signaal worden gemultiplext.

MODE	$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	I/O OPERATION
Standby	H	X	X	High Z
Read	L	L	H	D_{out}
Read	L	H	H	High Z
Write	L	X	L	D_{in}

Tabel 8/2.4.1-1: Waarheidstabel van de 6116.

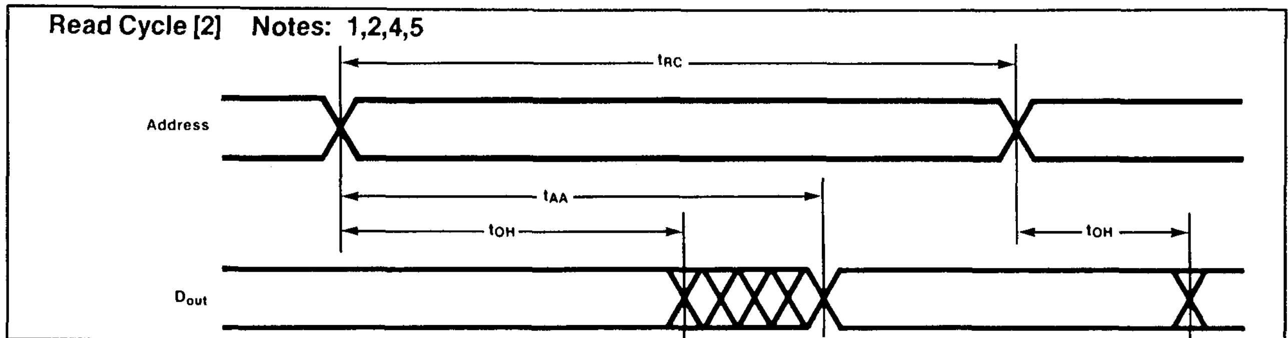
Lees-cyclus

Zoals in de figuren 8/2.4.1-3, -4 en -5 te zien is, zijn er drie verschillende leescyclussen mogelijk.

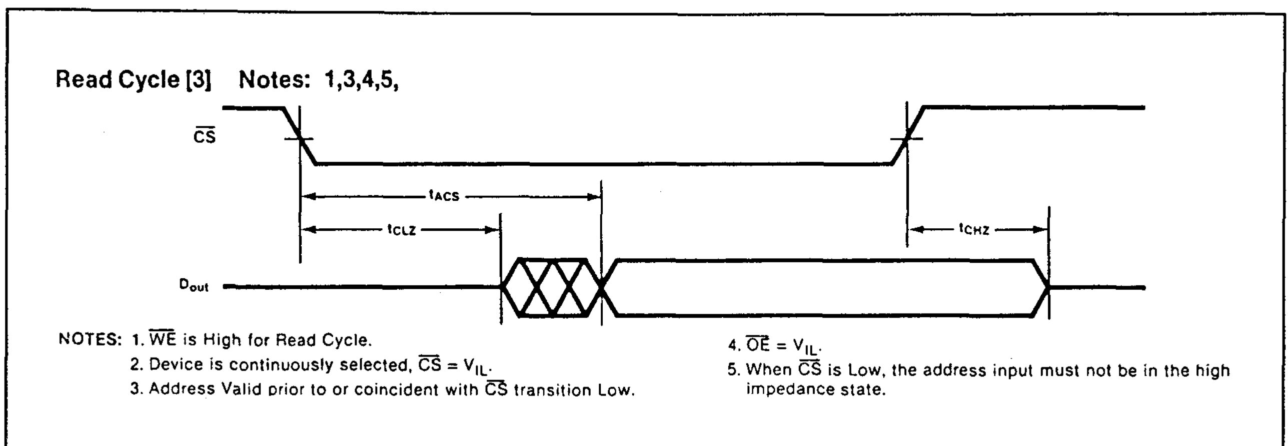


Figuur 8/2.4.1-3: Timing bij het uitlezen (leescyclus 1: $\overline{WE}$ steeds HOOG, besturing door $\overline{CS}$).

2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-4: Timing bij het uitlezen (leescyclus 2: $\overline{CS}$ steeds LAAG).



Figuur 8/2.4.1-5: Timing bij het uitlezen (leescyclus 3: $\overline{WE}$ en $\overline{OE}$ steeds LAAG).

- Leescyclus 1
  Hierbij is $\overline{WE}$ gedurende de gehele cyclus HOOG en moet het adres "waar" zijn als $\overline{CS}$ LAAG gaat.
- Leescyclus 2
  Hierbij is $\overline{CS}$ voortdurend LAAG, waardoor de RAM steeds geselecteerd is. Ook is $\overline{OE}$ steeds LAAG.
- Leescyclus 3
  Hierbij moet het adres geldig zijn voor of op de dalende flank van $\overline{CS}$.

Let op dat steeds aan de minimale setup- en houdtijden wordt voldaan.

Schrijf-cyclus

Er zijn twee schrijfcyclussen mogelijk.

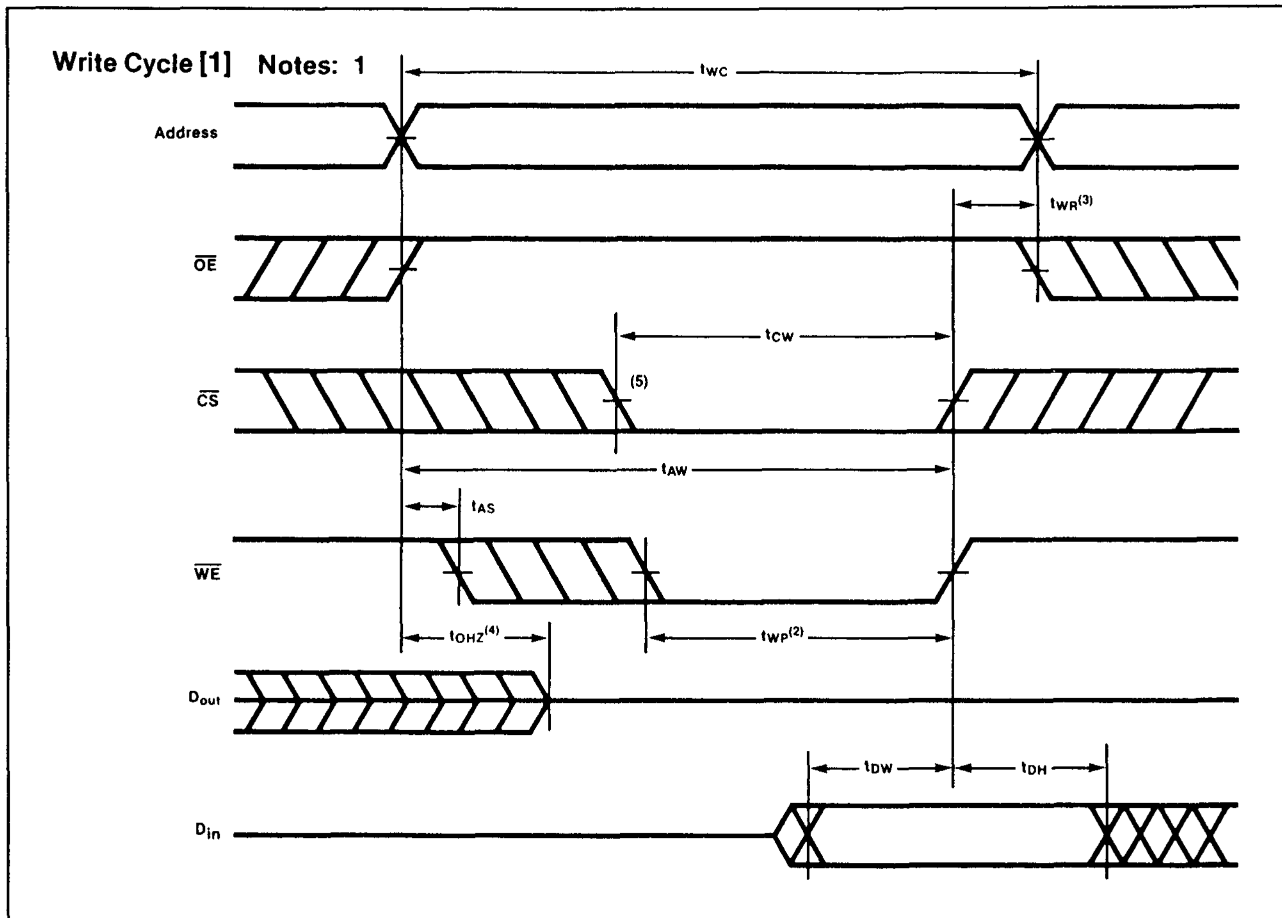
De eerste (figuur 8/2.4.1-6) is de meest gebruikelijke, waarbij de data-uitgangen telkens hoog-impedant worden door het HOOG gaan van $\overline{OE}$.

Bij de tweede (figuur 8/2.4.1-7) blijft $\overline{OE}$ voortdurend LAAG en kan bijvoorbeeld gebruikt worden voor "lees-modificeer-schrijf" handelingen.

Overige kenmerken

De overige elektrische en timing kenmerken van het type IDT 6116P zijn te zien in de tabellen 8/2.4.1-2 tot en met 8/2.4.1-6.

2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-6: Schrijfcyclus 1: $\overline{OE}$ wordt telkens HOOG.

2.4.1 Type-beschrijving 61-serie

IDT 6116P DC CHARACTERISTICS (V_{cc} = 5V ± 10%, Gnd = 0V, T_a = 0 to 70 °C)

ITEM	SYMBOL	TEST CONDITIONS	IDT6116P-70 MIN.	IDT6116P-70 TYP.*	IDT6116P-70 MAX.	IDT6116P-90/120 MIN.	IDT6116P-90/120 TYP.*	IDT6116P-90/120 MAX.	UNIT
Input Leakage Current	$\|I_{LI}\|$	V_{CC} = 5.5V, V_{IN} = Gnd to V_{CC}	—	—	10	—	—	10	μA
Output Leakage Current	$\|I_{LO}\|$	$\overline{CS}$ = V_{IH} or $\overline{OE}$ = V_{IH}, $V_{I/O}$ = Gnd to V_{CC}	—	—	10	—	—	10	μA
Operating Power Supply Current	I_{cc}	$\overline{CS}$ = V_{IL}, $I_{I/O}$ = 0mA	—	50	100	—	40	80	mA
	I_{cc1}	V_{IH} = 3.5V, V_{IL} = .6V, $I_{I/O}$ = 0mA	—	40	—	—	35	—	mA
Average Operating Current	I_{cc2}	Min. Cycle, duty = 100%	—	50	100	—	40	80	mA
Standby Power Current	I_{SB}	$\overline{CS}$ = V_{IH}	—	5	15	—	5	15	mA
	I_{SB1}	$\overline{CS} \geq V_{cc}$ − .2V, $V_{IN} \geq V_{cc}$ − .2V or $V_{IN} \leq$ .2V	—	20	2000	—	20	2000	μA
Output Voltage	V_{OL}	I_{OL} = 4mA	—	—	0.4	—	—	0.4	V
	V_{OH}	I_{OH} = − 1.0mA	2.4	—	—	2.4	—	—	V

*V_{cc} = 5V, T_a = 25 °C

Tabel 8/2.4.1-4: Gelijkspanningscondities van de commerciële versie 6116P.

IDT 6116P AC CHARACTERISTICS-READ CYCLE (V_{cc} = 5V ± 10%, T_a = 0 to 70 °C)

ITEM	SYMBOL	IDT6116P-70 MIN.	IDT6116P-70 MAX.	IDT6116P-90 MIN.	IDT6116P-90 MAX.	IDT6116P-120 MIN.	IDT6116P-120 MAX.	UNIT
Read Cycle Time	t_{RC}	70	—	90	—	120	—	ns
Address Access Time	t_{AA}	—	70	—	90	—	120	ns
Chip Select Access Time	t_{ACS}	—	70	—	90	—	120	ns
Chip Selection to Output in Low Z	t_{CLZ}	5	—	5	—	10	—	ns
Output Enable to Output Valid	t_{OE}	—	50	—	65	—	80	ns
Output Enable to Output in Low Z	t_{OLZ}	5	—	5	—	10	—	ns
Chip Selection to Output in High Z	t_{CHZ}	0	35	0	40	0	40	ns
Output Disable to Output in High Z	t_{OHZ}	0	35	0	40	0	40	ns
Output Hold from Address Change	t_{OH}	5	—	5	—	10	—	ns

Tabel 8/2.4.1-5: Schakeltijden bij het lezen.

CDM 6117

2k x 8 CMOS SRAM

De CDM 6117 is een 16384 bit statisch CMOS rondom toegankelijk geheugen (RAM), georganiseerd in 2048 woorden met een breedte van 8 bits ("byte wide").

De 6117 is verpakt in een 24-pens industrie-standaard behuizing waardoor hij "pen-compatibel" is met standaard 16k EPROM's en ROM's.

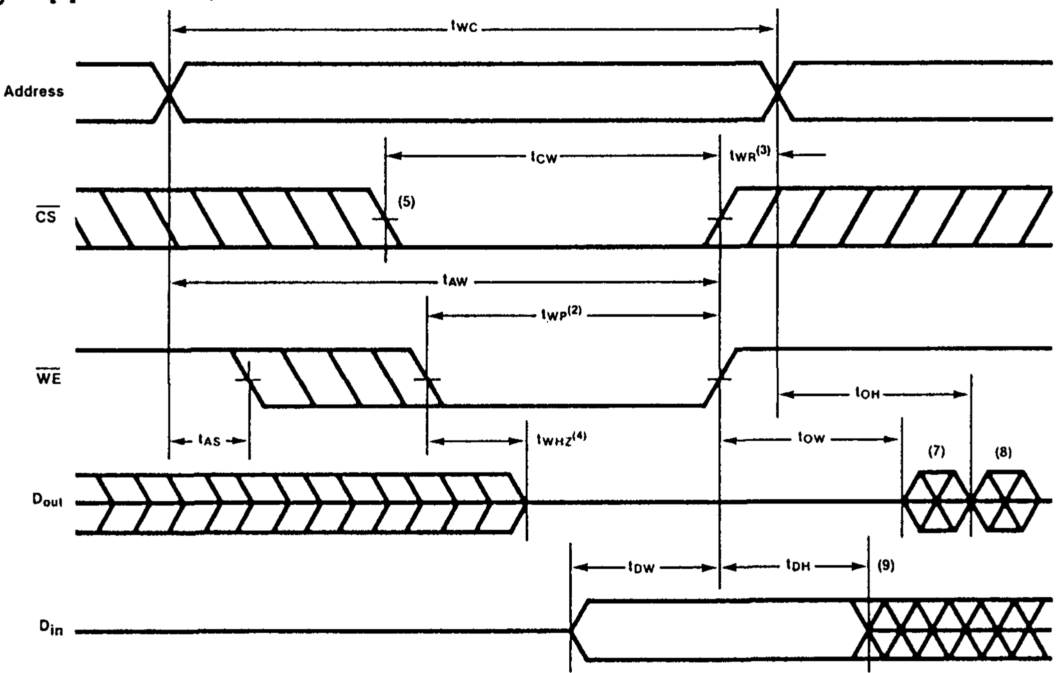
De CDM 6117 heeft gemeenschappelijke data in-/uitgangen die toepassing van dit IC op een 8-bits databus mogelijk maken. Met het chip-enable signaal $\overline{CE}$ kan de 6117 in een standby toestand worden gebracht waarbij de data-uitgangen in de hoog-impedante toestand worden gezet. Hier wordt de commerciële (0 tot +70 °C) CDM 6117A-3 van RCA behandeld.

Specificaties

- 2048 x 8 bits organisatie
- volledig statische werking (geen clock of refresh)

2.4.1 Type-beschrijving 61-serie

Write Cycle [2] Notes: 1,6



NOTES:
1. $\overline{WE}$ must be high during all address transitions.
2. A write occurs during the overlap (t_{WP}) of a low $\overline{CS}$ and a low $\overline{WE}$.
3. t_{WR} is measured from the earlier of $\overline{CS}$ or $\overline{WE}$ going high to the end of write cycle.
4. During this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.
5. If the $\overline{CS}$ low transition occurs simultaneously with the $\overline{WE}$ low transitions or after the $\overline{WE}$ transition, outputs remain in a high impedance state.
6. $\overline{OE}$ is continously low. ($\overline{OE}$ = V_{IL}.)
7. D_{OUT} is the same phase of write data of this write cycle.
8. D_{OUT} is the read data of next address.
9. If $\overline{CS}$ is Low during this period, I/O pins are in the output state. Then the data input signals of opposite phase to the outputs must not be applied to them.

Figuur 8/2.4.1-7: Schrijfcyclus 2: $\overline{OE}$ blijft LAAG.

ABSOLUTE MAXIMUM RATINGS

ITEM	SYMBOL	RATING	UNIT
Voltage on any pin with respect to Gnd	V_{in}	− 0.5 to + 7.0	V
Operating Temperature	T_a	0 to + 70	°C
Storage Tempertature	T_{stg}	− 55 to + 125	°C
Temperature under bias	T_{bias}	− 10 to + 85	°C
Power Dissipation	P_t	1.0	W

Tabel 8/2.4.1-2: Maximaal toegelaten waarden.

RECOMMENDED OPERATING CONDITIONS

ITEM	SYMBOL	MIN.	TYP.	MAX.	UNIT
Supply Voltage	V_{cc}	4.5	5.0	5.5	V
	Gnd	0	0	0	V
Input Voltage	V_{IH}	2.2	3.5	6.0	V
	V_{IL}	− 1.0*		+ 0.8	V
Output Load	C_L			100	pF
	TTL			1	

(T_a = 0 to + 70 °C) *Pulse Width: 50ns, DC: V_{IL} min = − 0.3V

Tabel 8/2.4.1-3: Aanbevolen bedrijfscondities.

2.4.1 Type-beschrijving 61-serie

- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- bedrijfsstroom 35 mA max, ruststroom 50 µA max
- alle in-/uitgangen TTL-compatibel
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- industrie-standaard aansluitingen
- bedrijfstemperatuur 0 tot +70 °C
- 24-pens 0,6 inch plastic DIL-behuizing (figuur 8/2.4.1-8)
- leverbare typen:
  RCA: CDM 6117A-3
  Toshiba: TC 5516

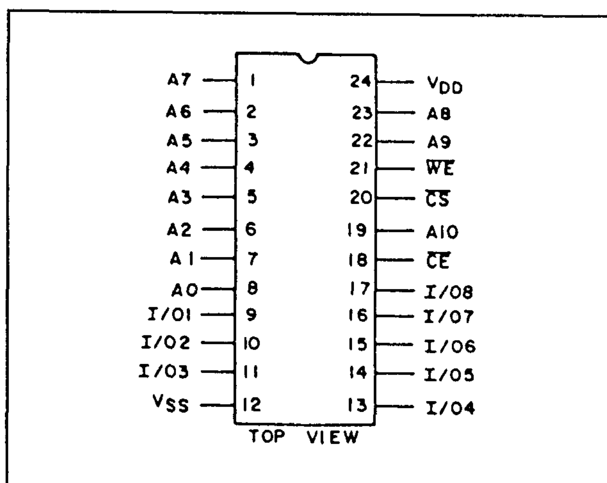
Werking

De CDM 6117A heeft 11 adres-lijnen (A0 tot en met A10), waarmee 2048 8-bits woorden kunnen worden geadresseerd die in een 128 x 128 matrix worden opgeslagen (zie figuur 8/2.4.1-9).
Als $\overline{CE}$ = HOOG is, staat de 6117 standby, zijn de in- en uitgangsbuffers afgeschakeld en bevinden de uitgangen zich in de hoog-impedante toestand.
Wanneer chip-select $\overline{CS}$ HOOG is worden alleen de lees/schrijf-functies gesperd en gaan de uitgangsbuffers naar de hoog-impedante toestand.

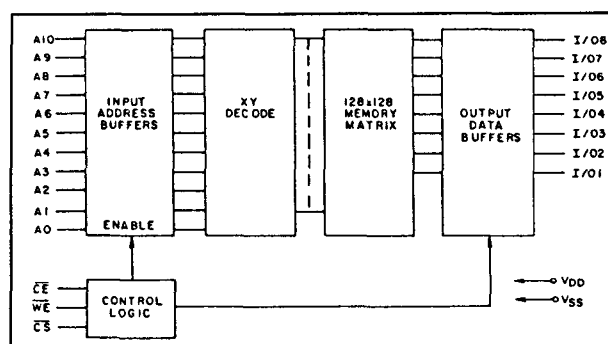
IDT 6116P AC CHARACTERISTICS-WRITE CYCLE (V_{CC} = 5V ± 10%, T_a = 0 to 70 °C)

ITEM	SYMBOL	IDT6116P-70		IDT6116P-90		IDT6116P-120		UNIT
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Write Cycle Time	t_{WC}	70	—	90	—	120	—	ns
Chip Selection to End of Write	t_{CW}	40	—	55	—	70	—	ns
Address Valid to End of Write	t_{AW}	65	—	80	—	105	—	ns
Address Set-up Time	t_{AS}	15	—	15	—	20	—	ns
Write Pulse Width	t_{WP}	40	—	55	—	70	—	ns
Write Recovery Time	t_{WR}	5	—	5	—	5	—	ns
Output Disable to Output in High Z	t_{OHZ}	0	35	0	40	0	40	ns
Write to Output in High Z	t_{WHZ}	0	40	0	50	0	50	ns
Data to Write Time Overlap	t_{DW}	30	—	30	—	35	—	ns
Data Hold from Write Time	t_{DH}	5	—	5	—	5	—	ns
Output Active from End of Write	t_{OW}	0	—	0	—	5	—	ns

Tabel 8/2.4.1-6: Schakeltijden bij het schrijven.



Figuur 8/2.4.1-8: Aansluitgegevens van de CDM 6117A-3.



Figuur 8/2.4.1-9: Blokschema van de 6117.

De adres-ingangen worden dan niet afgeschakeld en de chip gaat ook niet in de power-down toestand (zie ook de waarheidstabel 8/2.4.1-7).

2.4.1 Type-beschrijving 61-serie

TRUTH TABLE

$\overline{CS}$	$\overline{CE}$	$\overline{WE}$	A0 TO A10	MODE	DATA I/O	DEVICE CURRENT
H	L	X	X	NOT SELECTED	HIGH Z	ACTIVE
L	L	H	STABLE	READ	DATA OUT	ACTIVE
Δ	H	Δ	Δ	NOT SELECTED	HIGH Z	STANDBY
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L Δ = H, L, or HIGH Z.

Tabel 8/2.4.1-7: Waarheidstabel van de CDM 6117.

De toegangstijd van $\overline{CS}$ is dus korter dan die van $\overline{CE}$. De 6117 heeft gemeenschappelijke data-in-/uitgangen die inwendig door het $\overline{WE}$-signaal worden gemultiplext.

Lees-cyclus

Zoals in de figuren 8/2.4.1-10 en 8/2.4.1-11 te zien is, zijn twee soorten leescyclus mogelijk.

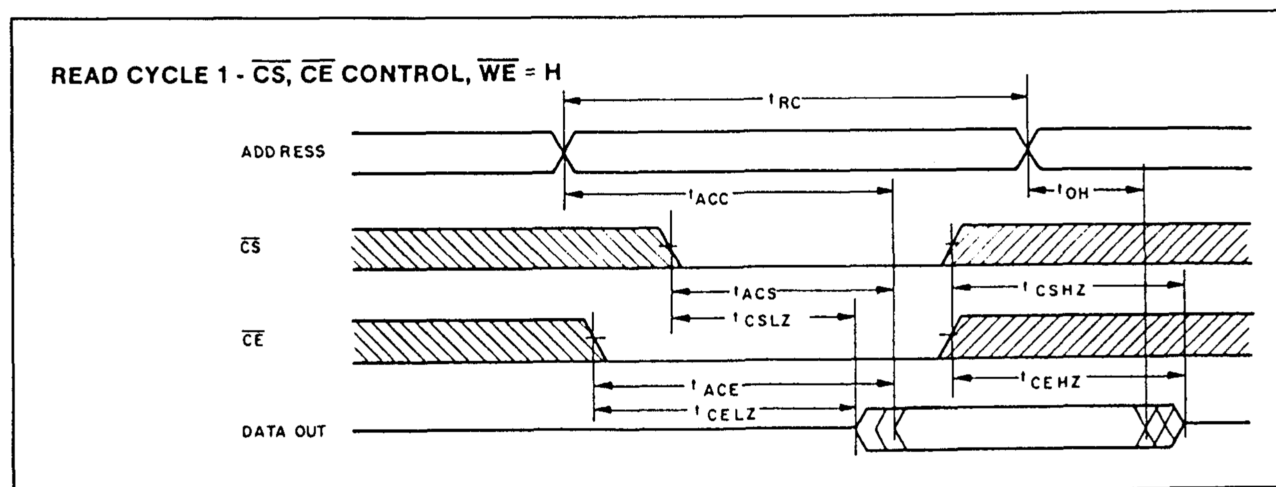
Leescyclus 1 wordt bestuurd door $\overline{CS}$ en $\overline{CE}$, terwijl $\overline{WE}$ gedurende de gehele cyclus HOOG is (figuur 8/2.4.1-10). Het adres moet "waar" zijn als $\overline{CE}$ LAAG gaat.

Bij Leescyclus 2 zijn $\overline{CS}$ en $\overline{CE}$ voortdurend LAAG, waardoor de RAM steeds aktief blijft en vindt besturing door $\overline{WE}$ plaats (zie figuur 8/2.4.1-11).

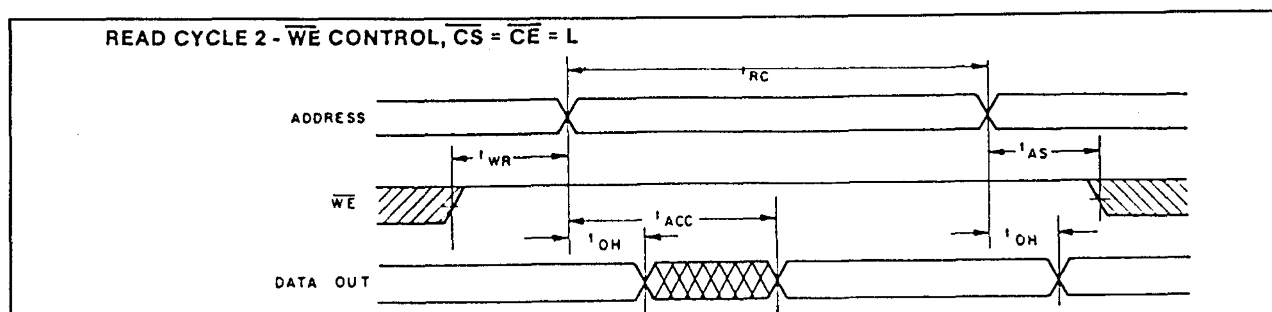
Let op dat steeds aan de minimale setup- en houdtijden wordt voldaan.

Schrijf-cyclus

Er zijn ook twee schrijfcyclussen mogelijk.



Figuur 8/2.4.1-10: Timing bij leescyclus 1: $\overline{WE}$ steeds HOOG, besturing door $\overline{CS}$ en $\overline{CE}$.



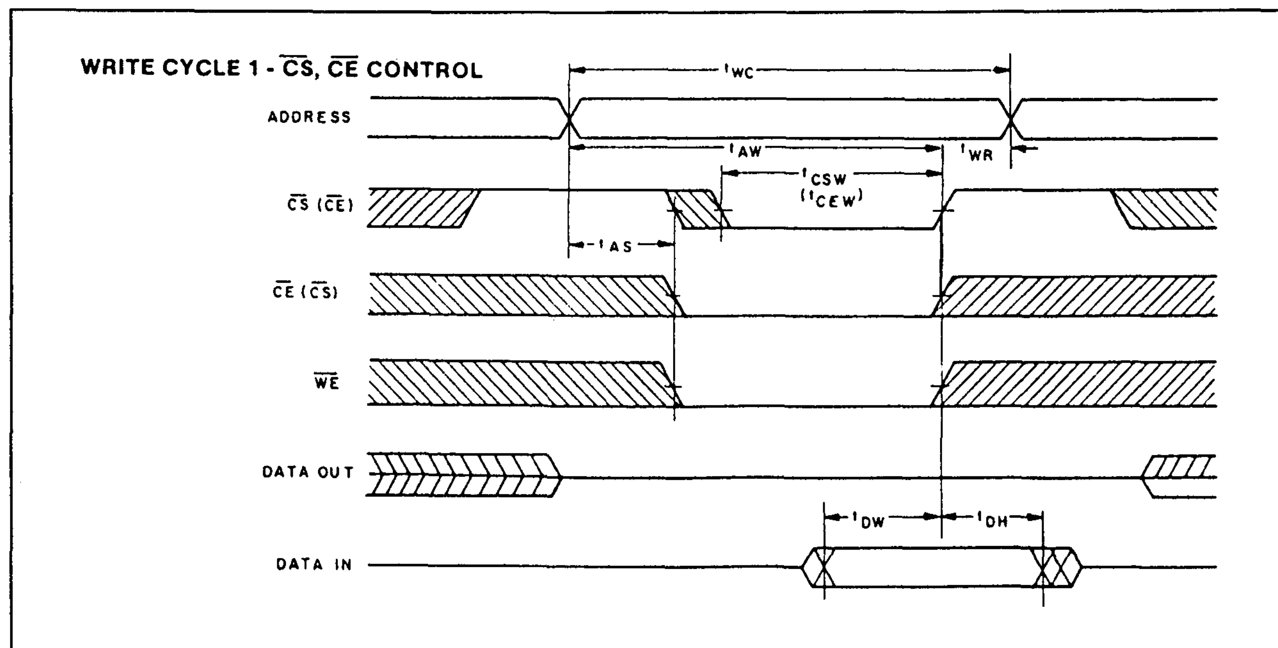
Figuur 8/2.4.1-11: Timing bij leescyclus 2: $\overline{CS}$ en $\overline{CE}$ steeds laag, besturing door $\overline{WE}$.

2.4.1 Type-beschrijving 61-serie

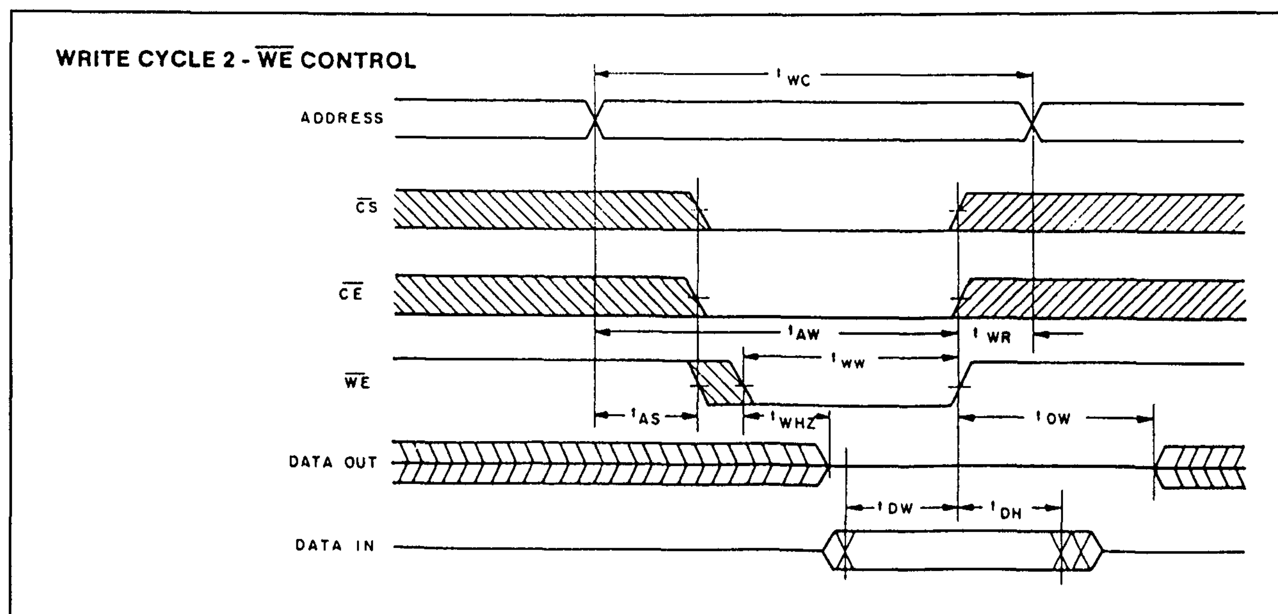
Bij de eerste (figuur 8/2.4.1-12) vindt de timing van de besturing plaats door $\overline{CS}$ en $\overline{CE}$. Bij de tweede (figuur 8/2.4.1-13) wordt geschreven onder besturing van $\overline{WE}$.

Overige kenmerken

De overige elektrische en timing kenmerken van het type CDM 6117A-3 zijn te zien in de tabellen 8/2.4.1-8 tot en met 8/2.4.1-11.



Figuur 8/2.4.1-12: Timing bij schrijfcyslus 1: besturing door $\overline{CS}$ en $\overline{CE}$.



Figuur 8/2.4.1-13: Timing bij schrijfcyclus 2: besturing door $\overline{WE}$.

2.4.1 Type-beschrijving 61-serie

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(All voltage values referenced to V_{SS} terminal) .... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS .... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60° C .... 500 mW
For T_A = +60 to +70° C .... Derate Linearly at 12 mW/°C to 380 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE .... 100 mW
OPERATING-TEMPERATURE RANGE (T_A) .... 0 to +70° C
STORAGE TEMPERATURE RANGE (T_{stg}) .... -55 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. .... +265° C

Tabel 8/2.4.1-8: Maximaal toegelaten waarden.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS	LIMITS CDM6117A-3			UNITS
			Min.	Typ.•	Max.	
Standby Device Current	I_{DDS}	$\overline{CE}$ = V_{IH}	—	0.6	2	mA
	I_{DDS1}	$\overline{CE}$ = V_{DD} -0.2 V	—	1	50	μA
Output Voltage Low-Level	V_{OL} Max.	I_{OL} = 2.1 mA	—	—	0.4	V
		I_{OL} = 1 μA	—	0.1	—	V
Output Voltage High Level	V_{OH} Min.	I_{OH} = -1 mA	2.4	—	—	V
		I_{OH} = -1 μA	—	V_{DD} -0.1	—	V
Input Leakage Current	I_{IN} Max.	V_{DD} = 5.5 V, V_{IN} = 0 V to V_{DD}	—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$\overline{CS}$ or $\overline{CE}$ = V_{IH}, $V_{I/O}$ = 0 V to V_{DD}	—	±0.5	±2	μA
Operating Device Current	I_{OPER}#	V_{IN} = V_{IL}, V_{IH}	—	20	35	mA
Input Capacitance	C_{IN}	V_{IN} = 0 V, f = 1 MHz, T_A = 25° C	—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$ = 0 V, f = 1 MHz, T_A = 25° C	—	6	8	pF

•Typical values are for T_A = 25° C and nominal V_{DD}.
#Outputs open circuited; cycle time = Min. t_{cycle}, duty = 100%.

Tabel 8/2.4.1-9: Gelijkspanningscondities van de CDM 6117A-3.

2.4.1 Type-beschrijving 61-serie

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V
Read Cycle Times See Fig. 2

CHARACTERISTIC		LIMITS CDM6117A-3		UNITS
		Min.†	Max.	
Read Cycle Time	t_{RC}	150	—	ns
Address Access Time	t_{ACC}	—	150	
Chip Select Access Time	t_{ACS}	—	60	
Chip Enable Access Time	t_{ACE}	—	150	
Chip Select to Output Active	t_{CSLZ}	15	—	
Chip Deselect to Output "High Z"	t_{CSHZ}	0	50	
Chip Enable to Output Active	t_{CELZ}	15	—	
Chip Disable to Output "High Z"	t_{CEHZ}	0	50	
Output Hold Time	t_{OH}	15	—	

†Time required by a limit device to allow for the indicated function.

Tabel 8/2.4.1-10: Schakeltijden bij het uitlezen.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V
Write Cycle Times See Fig. 3

CHARACTERISTIC		LIMITS CDM6117A-3		UNITS
		Min.†	Max.	
Write Cycle Time	t_{WC}	150	—	ns
Chip Select $(\overline{CS})$ to End of WRITE	t_{CSW}	90	—	
Chip Enable $(\overline{CE})$ to End of WRITE	t_{CEW}	90	—	
Address Width	t_{AW}	90	—	
Address Setup Time	t_{AS}	0	—	
Write Enable Width	t_{WW}	90	—	
Input Data Setup Time	t_{DW}	50	—	
Address Hold Time	t_{WR}	0	—	
Input Data Hold Time	t_{DH}	5	—	
Output Active From End of Write	t_{OW}	10	—	
Write Enable to Output "High Z"	t_{WHZ}	0	40	

†Time required by a limit device to allow for the indicated function.

Tabel 8/2.4.1-11: Schakeltijden bij het schrijven.

CDM 6118
2k x 8 CMOS SRAM

De CDM 6118 is een 16384 bit statisch CMOS vrij toegankelijk geheugen (RAM) met een 2048 x 8 bits woorden organisatie ("byte wide").

De 6118 heeft een 24-pens plastic industrie-standaard behuizing en is daardoor "pen-compatibel" met een flink aantal standaard 16k RAM's, EPROM's en ROM's.
De CDM 6118 kan door zijn gemeenschappelijke data in- en uitgangen gemakkelijk

2.4.1 Type-beschrijving 61-serie

worden toegepast in microprocessor systemen met een 8-bits databus.
De RAM heeft twee chip-enable ingangen ($\overline{CE}$1 en $\overline{CE}$2) die er beide voor kunnen zorgen dat de 6118 in een standby toestand wordt gebracht. Hier wordt de CDM 6118A-3 van RCA behandeld.

Specificaties

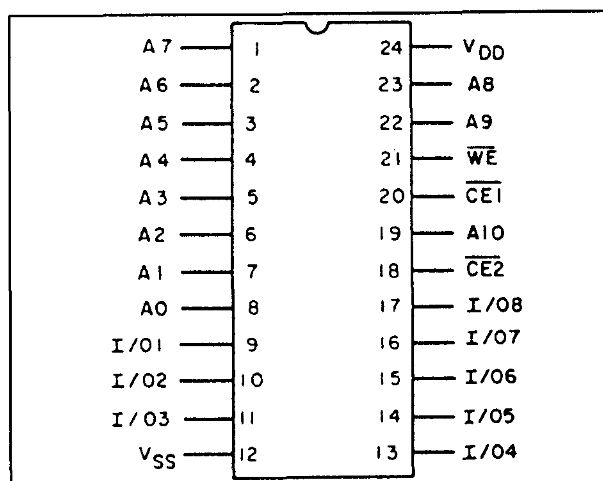
- 2048 x 8 bits organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- bedrijfsstroom 35 mA max, ruststroom 1 µA typisch
- alle in-/uitgangen TTL-compatibel
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- industrie-standaard aansluitingen
- bedrijfstemperatuur 0 tot +70 °C
- 24-pens 0,6 inch plastic DIL-behuizing (figuur 8/2.4.1-14)
- leverbare typen:
  RCA: CDM 6118A-3
  NEC: µPD 449
  Toshiba: TC 5518

Werking

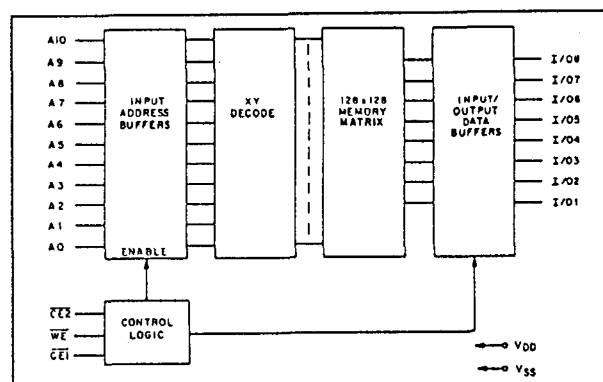
De CDM 6118A heeft 11 adres-lijnen (A0 tot en met A10) voor het adresseren van 2048 woorden van 8 bits.
De informatie wordt opgeslagen in een 128 x 128 array (zie figuur 8/2.4.1-15).
Als $\overline{CE}$1 of $\overline{CE}$2 = HOOG is, staat de 6118 standby. Dan zijn de lees- en schrijffuncties uitgeschakeld, sperren de in- en uitgangsbuffers en bevinden de uitgangen zich in de hoog-impedante toestand. De 6118 heeft gemeenschappelijke data-in-/uitgangen die inwendig door het $\overline{WE}$-signaal worden gemultiplext als zowel $\overline{CE}$1 als $\overline{CE}$2 LAAG zijn (zie waarheidstabel 8/2.4.1-12).

Lees-cyclus

De CDM 6118A-3 kan worden uitgelezen als $\overline{WE}$ HOOG is. Op het moment dat beide chip-enables LAAG gaan, moet het gekozen adres stabiel zijn tot na de stijgende flank van $\overline{CE}$1 en/of $\overline{CE}$2 (zie figuur 8/2.4.1-16).



Figuur 8/2.4.1-14: Aansluitgegevens van de CDM 6118A-3.



Figuur 8/2.4.1-15: Blokschema van de CDM 6118.

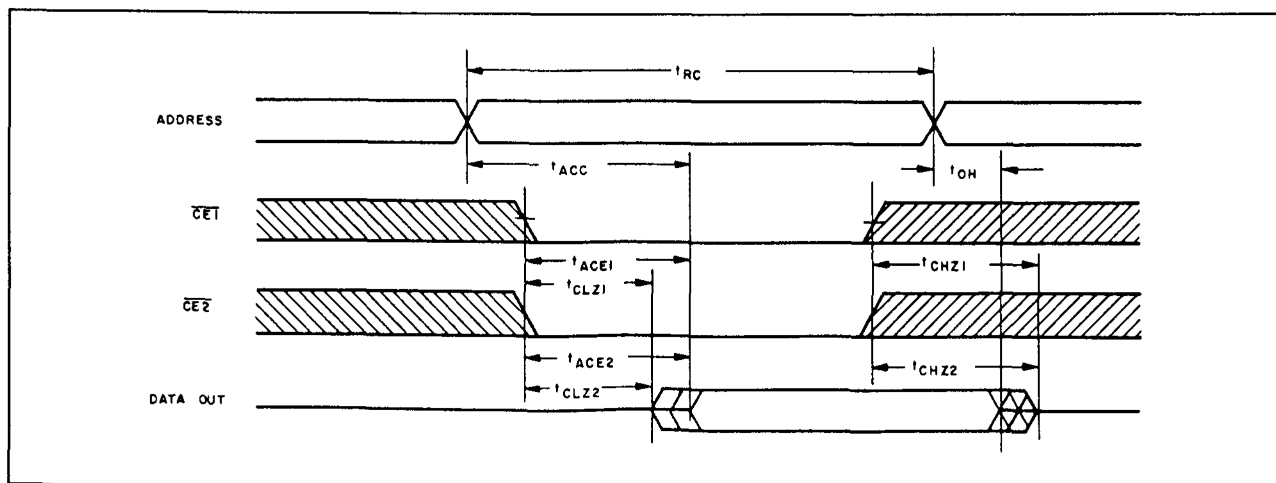
TRUTH TABLE

$\overline{CE1}$	$\overline{CE2}$	$\overline{WE}$	A0 TO A10	MODE	DATA I/O	DEVICE CURRENT
H	X	Δ	Δ	NOT SELECTED	HIGH Z	STANDBY
X	H	Δ	Δ	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

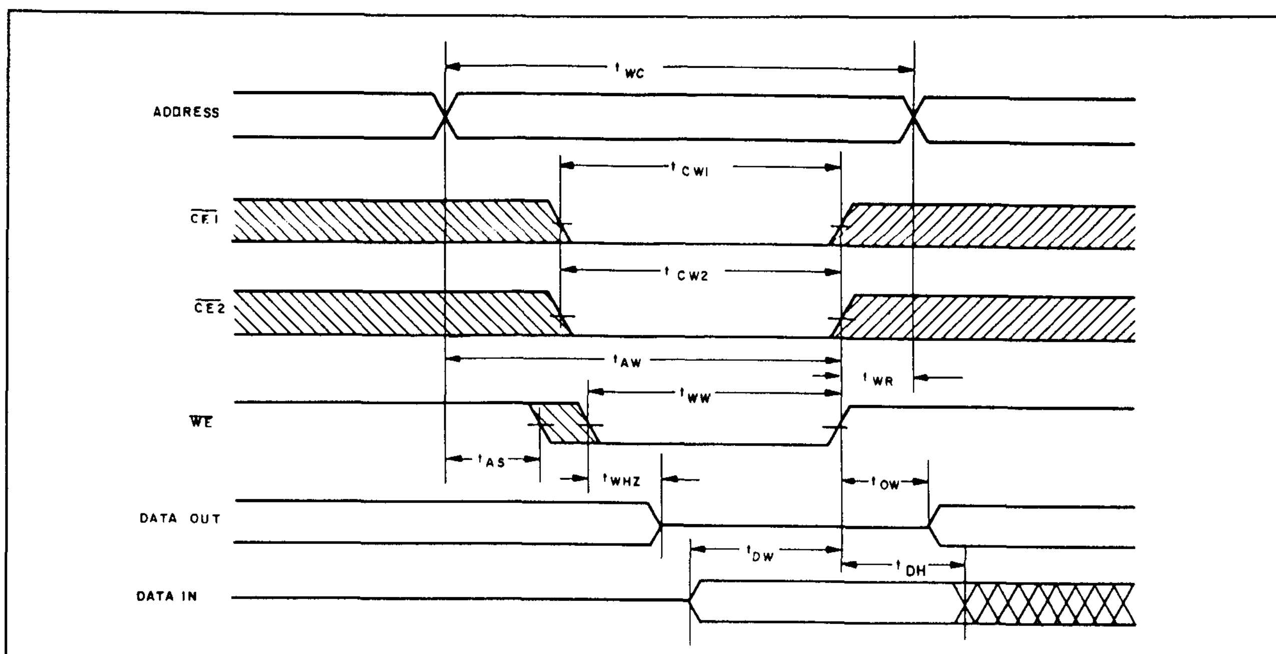
L = LOW H = HIGH X = H or L. Δ = L, H or HIGH Z.

Tabel 8/2.4.1-12: Waarheidstabel van de CDM 6118.

2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-16: Timing van de golfvormen bij het uitlezen, $\overline{WE}$ HOOG, besturing door $\overline{CE}$1 en $\overline{CE}$2.



Figuur 8/2.4.1-17: Timing en golfvormen bij het schrijven.

Let op dat aan de minimale setup- en houdtijden wordt voldaan.

Schrijf-cyclus

De schrijfcyclus start op de dalende flank van $\overline{WE}$ (waarbij zowel $\overline{CE}$1 als $\overline{CE}$2 LAAG moeten zijn om de chip aktief te maken). Na de tijd t_{WHZ} bevinden de data-uitgangen zich in de hoog-impedante toestand en kan nieuwe data in de RAM worden geschreven (figuur 8/2.4.1-17).

2.4.1 Type-beschrijving 61-serie

Overige kenmerken

De elektrische en timing kenmerken van het RCA-type CDM 6118A-3 zijn te zien in de tabellen 8/2.4.1-13 tot en met 8/2.4.1-16.

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(All voltage values referenced to V_{SS} terminal) .... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS .... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60° C .... 500 mW
For T_A = +60 to +70° C .... Derate Linearly at 12 mW/° C to 380 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE .... 100 mW
OPERATING-TEMPERATURE RANGE (T_A) .... 0 to +70° C
STORAGE TEMPERATURE RANGE (T_{stg}) .... -55 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. .... +265° C

Tabel 8/2.4.1-13: Maximaal toegelaten waarden.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS	LIMITS CDM6118A-3 MIN.	TYP.•	MAX.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE1}$ or $\overline{CE2}$= V_{IH}	—	0.6	2	mA
	I_{DDS1}	$\overline{CE1}$ or $\overline{CE2}$= V_{DD}-0.2 V■	—	1	50	μA
Output Voltage Low-Level	V_{OL} Max.	I_{OL} = 2.1 mA	—	—	0.4	V
		I_{OL} = 1 μA	—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH} = -1 mA	2.4	—	—	V
		I_{OH} = -1 μA	—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{DD} = 5.5 V V_{IN} = 0 V to V_{DD}	—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$\overline{CE1}$ or $\overline{CE2}$ = V_{IH} $V_{I/O}$ = 0 V to V_{DD}	—	±0.5	±2	
Operating Device Current	I_{OPER}#	V_{IN} = V_{IL}, V_{IH}	—	20	35	mA
Input Capacitance	C_{IN}	V_{IN} = 0 V, f = 1 MHz, T_A = 25° C	—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$ = 0 V, f = 1 MHz, T_A = 25° C	—	6	8	

•Typical values are for T_A = 25° C and nominal V_{DD}.
#Outputs open circuited; cycle time = Min. t_{cycle}, duty = 100%.
■If either pin ($\overline{CE1}$ or $\overline{CE2}$) is low, it must be ≤ 0.2 V.

Tabel 8/2.4.1-14: Gelijkspanningscondities van de CDM 6118A-3.

2.4.1 Type-beschrijving 61-serie

Read Cycle Times

CHARACTERISTIC		LIMITS		UNITS
		CDM6118A-3		
		MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	ns
Address Access Time	t_{ACC}	—	150	
Chip Enable ($\overline{CE1}$) Access Time	t_{ACE1}	—	150	
Chip Enable ($\overline{CE2}$) Access Time	t_{ACE2}	—	150	
Chip Enable ($\overline{CE1}$) to Output Active	t_{CLZ1}	15	—	
Chip Disable ($\overline{CE1}$) to Output High Z	t_{CHZ1}	0	50	
Chip Enable ($\overline{CE2}$) to Output Active	t_{CLZ2}	15	—	
Chip Disable ($\overline{CE2}$) to Output High Z	t_{CHZ2}	0	50	
Output Hold Time	t_{OH}	15	—	

†Time required by a limit device to allow for the indicated function.

Tabel 8/2.4.1-15: Schakeltijden bij het uitlezen.

Write Cycle Times

CHARACTERISTIC		LIMITS		UNITS
		CDM6118A-3		
		MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	ns
Chip Enable ($\overline{CE1}$) to End of Write	t_{CW1}	90	—	
Chip Enable ($\overline{CE2}$) to End of Write	t_{CW2}	90	—	
Address Width	t_{AW}	90	—	
Address Setup Time	t_{AS}	0	—	
Write Enable Width	t_{WW}	90	—	
Input Data Setup Time	t_{DW}	50	—	
Address Hold Time	t_{WR}	0	—	
Input Data Hold Time	t_{DH}	5	—	
Output Active From End of Write	t_{OW}	10	—	
Write Enable to Output High Z	t_{WHZ}	0	40	

†Time required by a limit device to allow for the indicated function.

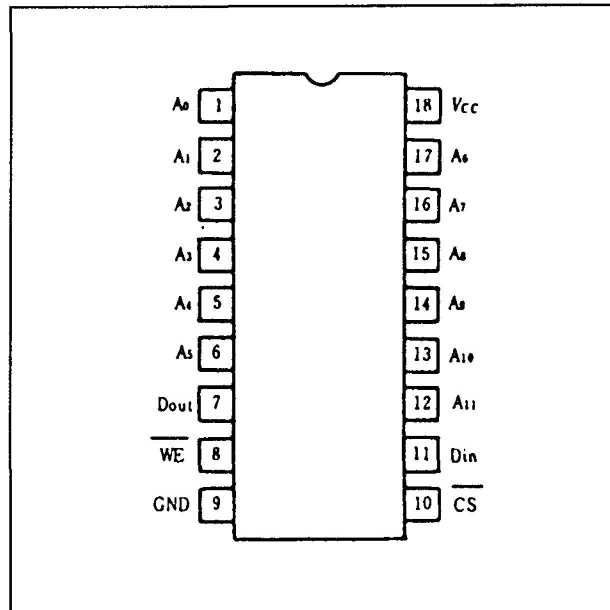
Tabel 8/2.4.1-16: Schakeltijden bij het schrijven.

2.4.1 Type-beschrijving 61-serie

HM 6147

4k x 1 CMOS SRAM

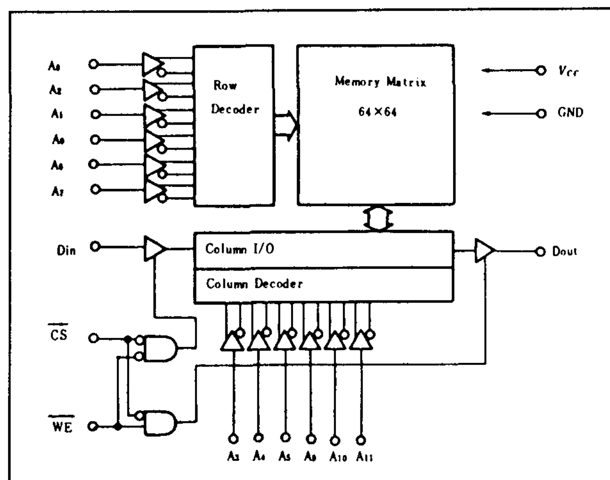
De HM 6147 is een 4096 bit statisch CMOS RAM, georganiseerd in 4096 woorden van 1 bit. De HM 6147 kan dienen als vervanger voor de NMOS statische RAM 2147. De HM 6147 heeft een aparte data in- en uitgang. Door de chip-select ingang ($\overline{CS}$) HOOG te maken wordt de RAM standby gezet, waardoor aanzienlijk minder vermogen wordt opgenomen (100 µW, bij de L-versie zelfs 5 µW). Hier wordt de snelle versie HM 6147H van Hitachi behandeld.



Figuur 8/2.4.1-18: Aansluitgegevens van de HM 6147A-3.

Specificaties

- 4096 x 1 bit organisatie
- volledig statische werking (geen clock of refresh)
- korte toegangstijd: 35 ns/45 ns
- gelijke toegangs- en cyclustijd
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 150 mW typisch, standby: 100 µW (L-versie: 5 µW)
- alle ingangen en uitgang TTL-compatibel
- aparte data-in/uitgang
- 3-state uitgang
- bedrijfstemperatuur 0 tot +70 °C
- 18-pens 0,3 inch plastic of keramische DIL-behuizing (figuur 8/2.4.1-18)
- leverbare typen:
  Hitachi: HM 6147H-35/-45 (keramisch), HM6147HP-35/-45 (plastic), HM6147LP, HM 6147HLP (low power)



Figuur 8/2.4.1-19: Intern blokschema van de HM 6147A-3.

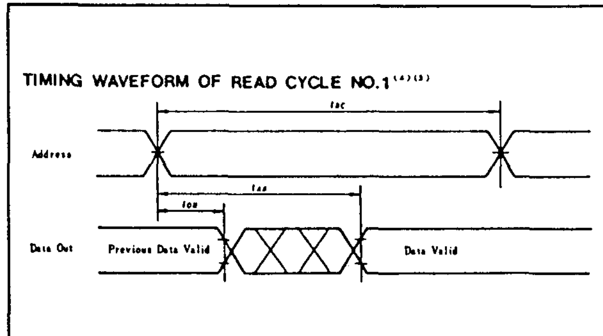
Werking

De HM 6147A heeft 12 adres-lijnen (A0 tot en met A11) voor het adresseren van 4096 woorden, elk met een breedte van 1 bit. De De informatie wordt opgeslagen in een 64 x 64 matrix (zie figuur 8/2.4.1-19).
Als de chip-select $\overline{CS}$ HOOG is, staat de 6147 standby. Er wordt dan aanzienlijk minder stroom uit de voeding opgenomen en de data-uitgang staat in de hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

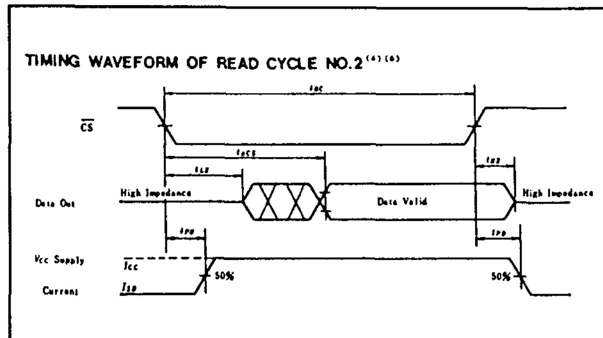
Lees-cyclus

De HM 6147 kan worden uitgelezen als $\overline{WE}$ HOOG is. Zoals in de figuren 8/2.4.1-20 en -21 te zien is, zijn twee manieren van uitlezen mogelijk.

2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-20: Timing bij leescyslus 1: $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.



Figuur 8/2.4.1-21: Timing bij leescyclus 2: besturing door $\overline{CS}$.

Bij de eerste leescyclus (figuur 8/2.4.1-20) wordt de timing bestuurd door het adres. Hierbij is $\overline{CS}$ voortdurend LAAG en $\overline{WE}$ HOOG. Na verloop van de adrestoegangstijd t_{AA} is geldige data aan de uitgang beschikbaar.
Bij de tweede leescyclus (figuur 8/2.4.1-21) wordt de timing bestuurd door $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ is steeds HOOG).

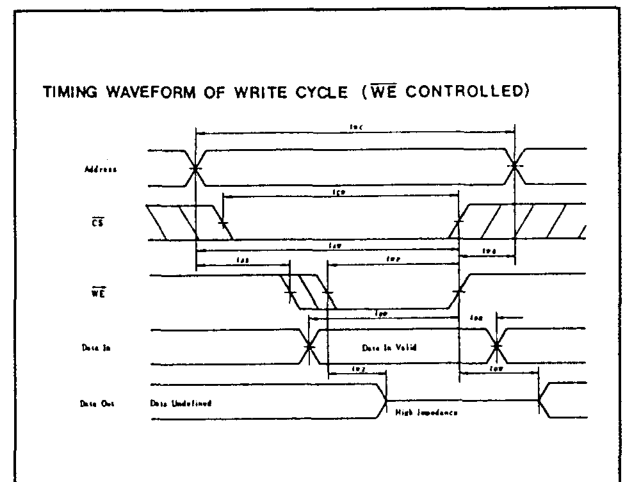
Schrijf-cyclus

Er zijn ook twee soorten schrijfcyclus mogelijk.
Bij de eerste vindt de besturing plaats door $\overline{WE}$. De schrijfcyclus start op de dalende flank van $\overline{WE}$, waarbij $\overline{CS}$ LAAG moet zijn (figuur 8/2.4.1-22). Na de tijd t_{WZ} bevindt de data-uitgang zich in de hoog-impedante toestand en kan nieuwe data in de RAM worden geschreven.

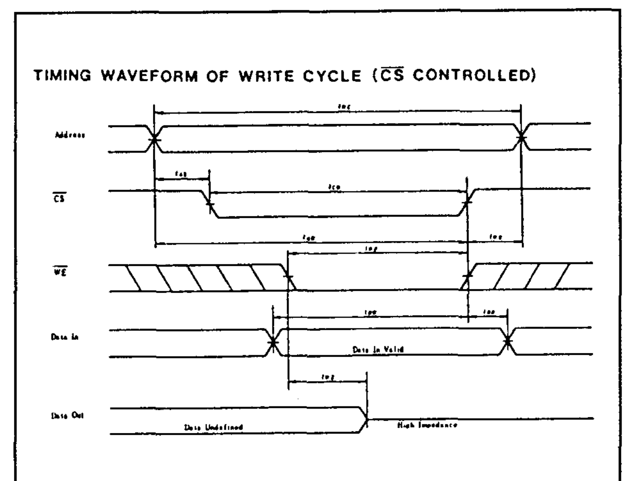
Schrijfcyclus 2 (figuur 8/2.4.1-23) wordt bestuurd door $\overline{CS}$ (alle timing wordt gerekend vanaf het moment dat $\overline{CS}$ LAAG gaat). Wanneer van adres wordt veranderd dient in elk geval $\overline{CS}$ of $\overline{WE}$ HOOG te zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het Hitachi type HM 6147H zijn te zien in de tabellen 8/2.4.1-17 tot en met -21.



Figuur 8/2.4.1-22: Timing en golfvormen bij schrijfcyclus 1: besturing door $\overline{WE}$.



Figuur 8/2.4.1-23: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

2.4.1 Type-beschrijving 61-serie

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin relative to GND	V_T	−3.5* to +7.0	V
DC Output Current	I_o	20	mA
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature (under bias)	$T_{stg(bias)}$	−10 to +85	°C
Storage Temperature (Ceramic)	T_{stg}	−65 to +150	°C
Storage Temperature (Plastic)	T_{stg}	−55 to +125	°C

* Pulse Width 20ns, DC : −0.5V

Tabel 8/2.4.1-17: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS ($0°C \leqq Ta \leqq 70°C$)

Parameter	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input High (logic 1) Voltage	V_{IH}	2.0	3.0	6.0	V
Input Low (logic 0) Voltage	V_{IL}	−3.0*	—	0.8	V

* Pulse Width 20ns, DC : −0.5V

Tabel 8/2.4.1-18: Aanbevolen bedrijfscondities.

DC AND OPERATING CHARACTERISTICS ($0°C \leqq Ta \leqq 70°C$, $V_{CC} = 5V \pm 10\%$, GND = 0V)

Parameter	Symbol	Test Condition	min	typ	max	Unit
Input Leakage Current	$\lvert I_{LI} \rvert$	$V_{CC} = 5.5V$, GND to V_{CC}	—	—	2	μA
Output Leakage Current	$\lvert I_{LO} \rvert$	$\overline{CS} = V_{IH}$, $V_{out} = 0V \sim V_{CC}$	—	—	2	μA
Operating Power Supply Current (1) DC	I_{CC}	$\overline{CS} = V_{IL}$, Output open	—	30	80	mA
Operating Power Supply Current (2) DC	I_{CC1}	$\overline{CS} = V_{IL}$, Minimum Cycle	—	40	80	mA
Standby Power Supply Current (1) DC	I_{SB}	$\overline{CS} = V_{IH}$, V_{CC} = Min to Max	—	8	20	mA
Standby Power Supply Current (2) DC	I_{SB1}	$\overline{CS} \geqq V_{CC} - 0.2V$, $V_{IN} \leqq 0.2V$ or $V_{IN} \geqq V_{CC} - 0.2V$	—	20	800	μA
Output Low Voltage	V_{OL}	$I_{OL} = 8mA$	—	—	0.40	V
Output High Voltage	V_{OH}	$I_{OH} = -4mA$	2.4	—	—	V

Tabel 8/2.4.1-19: Gelijkspanningscondities van de HM 6147H.

2.4.1 Type-beschrijving 61-serie

AC CHARACTERISTICS (Ta=0°C to 70°C, V_{CC}=5V±10%, unless otherwise noted.)

● READ CYCLE

Parameter	Symbol	HM6147H/P-35		HM6147H/P-45		Unit	Notes
		min	max	min	max		
Read Cycle Time	t_{RC}	35	—	45	—	ns	(1)
Address Access Time	t_{AA}	—	35	—	45	ns	
Chip Select Access Time	t_{ACS}	—	35	—	45	ns	
Output Hold from Address Change	t_{OH}	5	—	5	—	ns	
Chip Selection to Output in Low Z	t_{LZ}	5	—	5	—	ns	(2), (3), (7)
Chip Deselection to Output in High Z	t_{HZ}	0	30	0	30	ns	(2), (3), (7)
Chip Selection to Power Up Time	t_{PU}	0	—	0	—	ns	
Chip Deselection to Power Down Time	t_{PD}	—	20	—	20	ns	

Notes:
1. All Read Cycle timings are referenced from last valid address to the first transitioning address.
2. At any given temperature and voltage condition, t_{HZ} max. is less than t_{LZ} min. both for a given device and from device to device.
3. Transition is measured ±500mV from steady state voltage with specified loading in Load B.
4. $\overline{WE}$ is high for READ Cycle.
5. Device is continuously selected, $\overline{CS}=V_{IL}$.
6. Addresses valid prior to or coincident with $\overline{CS}$ transition low.
7. This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-20: Schakeltijden bij het uitlezen.

● WRITE CYCLE

Parameter	Symbol	HM6147H/P-35		HM6147H/P-45		Unit	Notes
		min	max	min	max		
Write Cycle Time	t_{WC}	35	—	45	—	ns	(2)
Chip Selection to End of Write	t_{CW}	35	—	45	—	ns	
Address Valid to End of Write	t_{AW}	35	—	45	—	ns	
Address Setup Time	t_{AS}	0	—	0	—	ns	
Write Pulse Width	t_{WP}	20	—	25	—	ns	
Write Recovery Time	t_{WR}	0	—	0	—	ns	
Data Valid to End of Write	t_{DW}	20	—	25	—	ns	
Data Hold Time	t_{DH}	10	—	10	—	ns	
Write Enabled to Output in High Z	t_{WZ}	0	20	0	25	ns	(3), (4)
Output Active from End of Write	t_{OW}	0	—	0	—	ns	(3), (4)

Notes:
1. If $\overline{CS}$ goes high simultaneously with $\overline{WE}$ high, the output remains in a high impedance states.
2. All Write Cycle timings are referenced from the last valid address to the first transitioning address.
3. Transition is measured ±500mV from steady state voltage with specified loading in Load B.
4. This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-21: Schakeltijden bij het schrijven.

2.4.1 Type-beschrijving 61-serie

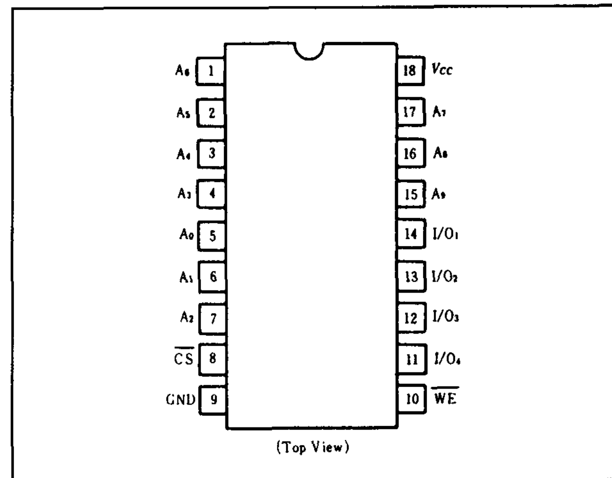
HM 6148

1k x 4 CMOS SRAM

De HM 6148 is een 4096 bit statisch CMOS RAM met een 1024 x 4-bit organisatie. De HM 6148 is compatibel met de NMOS statische RAM 2148.

De HM 6148 heeft gecombineerde data in-/uitgangen. Met een HOOG chip-select signaal ($\overline{CS}$) kan de RAM standby worden gezet.

Er wordt dan aanzienlijk minder vermogen uit de voeding opgenomen (100 µW, bij de L-versie zelfs 5 µW). Hier wordt de HM 6148H van Hitachi behandeld.



Figuur 8/2.4.1-24: Aansluitgegevens van de HM 6148.

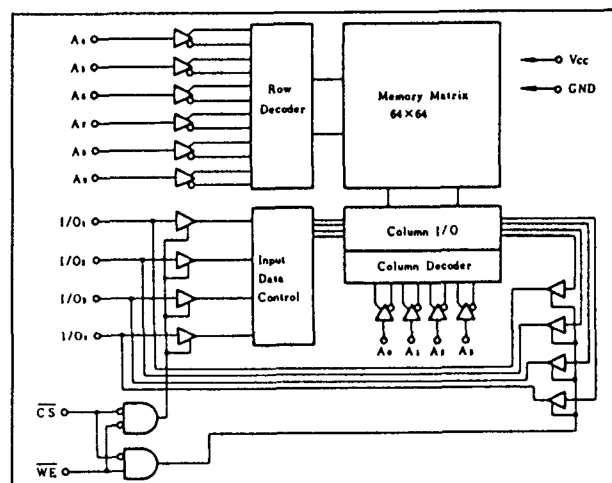
Specificaties

- 1024 x 4 bits organisatie
- volledig statische werking (geen clock of refresh)
- toegangstijd: HM 6148H-45: 45 ns, HM 6148H-55: 55 ns, HM 6148(L): 70 ns, HM 6148(L)-6: 85 ns
- gelijke toegangs- en cyclustijden
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 200 mW typisch, standby: 100 µW (L-versie: 5 µW)
- alle ingangen en uitgang TTL-compatibel
- gemeenschappelijke data-in/uitgang
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 18-pens 0,3 inch plastic of keramische DIL-behuizing (figuur 8/2.4.1-24)
- leverbare typen:
  Hitachi: HM 6148, HM 6148-6 (keramisch), HM 6148P, HM 6148P-6 (plastic), HM 6148LP, HM 6148LP (plastic low power), HM 6148HP-45/-55 (plastic, high speed), HM 6148HLP-45/-55 (low power high speed)

Werking

De HM 6148A heeft 10 adres-lijnen (A0 tot en met A9) voor de adressering van 1024 woorden van 4 bits breedte.

Zoals in figuur 8/2.4.1-25 te zien is, wordt de informatie opgeslagen in een 64 x 64 matrix.



Figuur 8/2.4.1-25: Functioneel blokschema van de HM 6148.

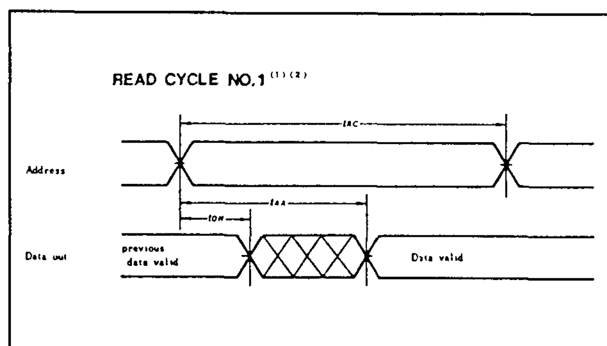
Als de chip-select $\overline{CS}$ HOOG is, staat de 6148 standby. Er wordt dan aanzienlijk minder stroom uit de voeding opgenomen en de data-uitgangen staan in de hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen of er wordt gelezen of geschreven.

Lees-cyclus

De HM 6148 staat in de lees-mode als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.

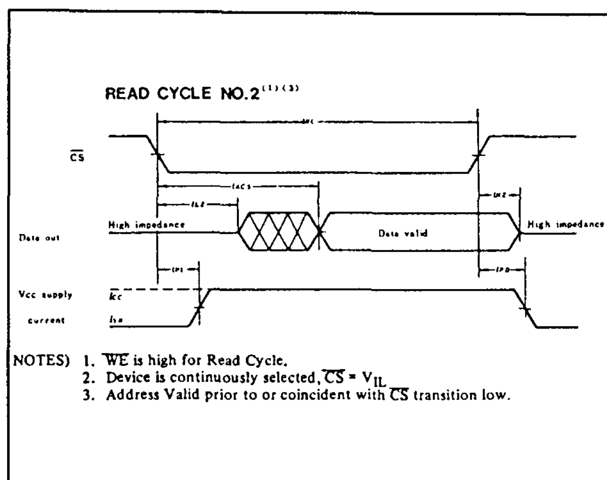
2.4.1 Type-beschrijving 61-serie

Bij leescyclus 1 (figuur 8/2.4.1-26) wordt alle timing gerefereerd aan het adres. Hierbij is $\overline{CS}$ voortdurend LAAG en $\overline{WE}$ HOOG. Na een adresverandering kan na de houdtijd t_{OH} geldige data aan de uitgang worden uitgelezen.



Figuur 8/2.4.1-26: Timing bij leescyclus 1: $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.

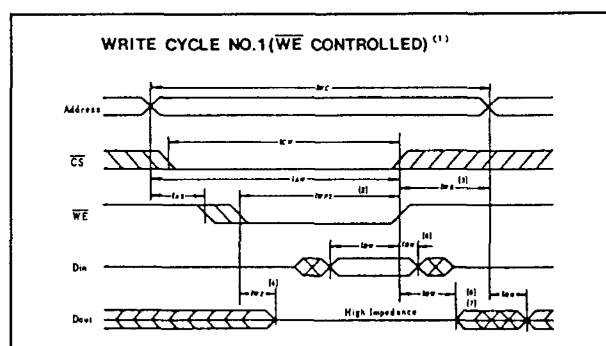
Bij leescyclus 2 (figuur 8/2.4.1-27) wordt de timing bestuurd door $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ is steeds HOOG).



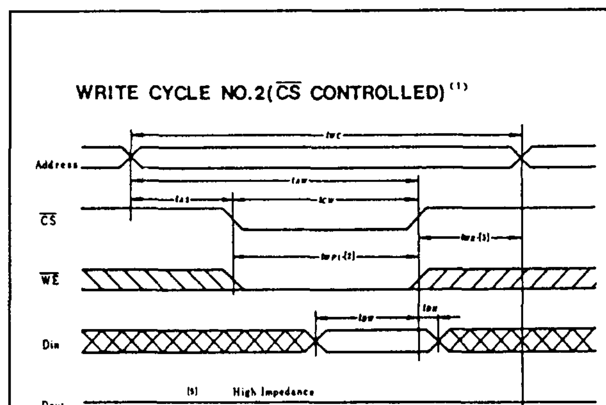
Figuur 8/2.4.1-27: Timing bij leescyclus 2: besturing door $\overline{CS}$.

Schrijf-cyclus

Ook het schrijven kan op twee manieren gebeuren.
Bij de eerste schrijfcyclus vindt de besturing plaats door $\overline{WE}$. De schrijfcyclus start op de dalende flank van $\overline{WE}$, waarbij $\overline{CS}$ dan al LAAG moet zijn (figuur 8/2.4.1-28). Na de tijd t_{WZ} worden de data-uitgangen hoog-impedant en kan nieuwe data in de RAM worden geschreven.



Figuur 8/2.4.1-28: Timing en golfvormen bij schrijfcyclus 1: besturing door $\overline{WE}$.



Figuur 8/2.4.1-29: Timing en golfvormen bij schrijfcyclus 2: besturing door $\overline{CS}$.

2.4.1 Type-beschrijving 61-serie

De tweede schrijfcyclus (figuur 8/2.4.1-29) wordt bestuurd door $\overline{CS}$ ($\overline{CS}$ en $\overline{WE}$ gaan tegelijk HOOG en LAAG). Wanneer het adres verandert moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het Hitachi type HM 6148 zijn te zien in de tabellen 8/2.4.1-22 tot en met -26.

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Value	Unit
Terminal Voltage*	V_T	−0.5△ to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature (Plastic)	T_{stg}	−55 to +125	°C
Storage Temperature (Cerdip)	T_{stg}	−65 to +150	°C
Storage Temperature**	$T_{stg(bias)}$	−10 to +85	°C

* with respect to GND. △ −1.0V (Pulse Width ≤ 50ns)
** Under Bias

Tabel 8/2.4.1-22: Aanbevolen bedrijfscondities.

RECOMMENDED DC OPERATING CONDITIONS ($Ta=0$ to $+70$°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V_{IH}	2.4	3.5	6.0	V
	V_{IL}	−0.3*	—	0.8	V

* V_{IL} min = −1.0V (Pulse width ≤ 50ns)

Tabel 8/2.4.1-23: Gelijkspanningscondities van de HM 6148.

READ CYCLE

Parameter	Symbol	HM6148/P		HM6148/P-6		Unit
		min	max	min	max	
Read Cycle Time	t_{RC}	70	—	85	—	ns
Address Access Time	t_{AA}	—	70	—	85	ns
Chip Select Access Time	t_{ACS}	—	70	—	85	ns
Output Hold from Address Change	t_{OH}	5	—	5	—	ns
Chip Selection to Output in Low Z*	t_{LZ}	10	—	10	—	ns
Chip Deselection to Output in High Z*	t_{HZ}	0	40	0	40	ns
Chip Selection to Power Up Time	t_{PU}	0	—	0	—	ns
Chip Deselection to Power Down Time	t_{PD}	—	40	—	40	ns

* Transition is measured ±500mV from high impedance voltage with Load B. This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-24: Schakeltijden bij het uitlezen.

2.4.1 Type-beschrijving 61-serie

WRITE CYCLE

Parameter	Symbol	HM6148/P		HM6148/P-6		Unit
		min	max	min	max	
Write Cycle Time	t_{WC}	70	—	85	—	ns
Chip Selection to End of Write	t_{CW}	50	—	60	—	ns
Address Valid to End of Write	t_{AW}	65	—	80	—	ns
Address Setup Time	t_{AS}	15	—	15	—	ns
Write Pulse Width*	t_{WP1}	50	—	60	—	ns
	t_{WP2}	65	—	80	—	ns
Write Recovery Time	t_{WR}	5	—	5	—	ns
Data Valid to End of Write	t_{DW}	30	—	35	—	ns
Data Hold Time	t_{DH}	5	—	5	—	ns
Write Enabled to Output in High Z**	t_{WZ}	0	35	0	45	ns
Output Active from End of Write**	t_{OW}	0	—	0	—	ns

Notes) * When the $\overline{CS}$ low transition occurs simultaneously with the $\overline{WE}$ low transition or after the $\overline{WE}$ transition, I/O pins remain in a high impedance state. In this case t_{WP1}, in the other case t_{WP2} ($= t_{WZ} + t_{OW}$).
** Transition is measured ±500mV from high impedance voltage with Load B. This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-25: Schakeltijden bij het schrijven.

DC AND OPERATING CHARACTERISTICS (V_{CC}=5V±10%, GND=0V, Ta=0 to +70°C)

Item	Symbol	Test Condition	min	typ*	max	Unit
Input Leakage Current	$\lvert I_{LI} \rvert$	V_{CC}=5.5V, V_{in}=GND to V_{CC}	—	—	2.0	μA
Output Leakage Current	$\lvert I_{LO} \rvert$	$\overline{CS}$=V_{IH}, $V_{I/O}$=GND to V_{CC}	—	—	2.0	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}$=V_{IL}, $I_{I/O}$=0mA	—	35	80	mA
	I_{CC1}	$\overline{CS}$=V_{IL}, Minimum Cycle, Duty=100%, $I_{I/O}$=0mA	—	40	80	mA
Average Operating Current	I_{CC2}**	Cycle=150ns, Duty=50%, $I_{I/O}$=0mA	—	35	—	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}$=V_{IH}	—	5	12	mA
	I_{SB1}	$\overline{CS} \geq V_{CC}-0.2V$, $V_{in} \leq 0.2V$ or $V_{in} \geq V_{CC}-0.2V$	—	20	800	μA
Output Voltage	V_{OL}	I_{OL}=8mA	—	—	0.4	V
	V_{OH}	I_{OH}=−3.2mA	2.4	—	—	V

Notes) * Typical limits are at V_{CC}=5.0V, Ta=25°C and specified loading.
** Reference only.

Tabel 8/2.4.1-26: Dynamische karakteristieken van de HM 6148.

HM 6167

16k x 1 CMOS SRAM

De HM 6167 is een 16384 bit statisch CMOS RAM met een interne organisatie van 16384 woorden van 1 bit. De HM 6167 is pen-compatibel met het NMOS geheugen 2167.

De HM 6167 heeft aparte aansluitingen voor de data-ingang en voor de data-uitgang. De RAM kan standby worden gezet met het chip-select signaal, waardoor dan aanzienlijk minder vermogen wordt gedissipeerd (100 μW, bij de L-versie zelfs 5 μW).

Afgezien van de standby-stroom die bij de -L (low-power) versie 20 maal kleiner is, zijn er geen verschillen in bedrijfscondities tussen de gewone (ook -H) en de L-uitvoering.

De gewone en de -H versie hebben eigenlijk alleen verschillende toegangstijden (access). Het is dus voldoende om hier de ge-

2.4.1 Type-beschrijving 61-serie

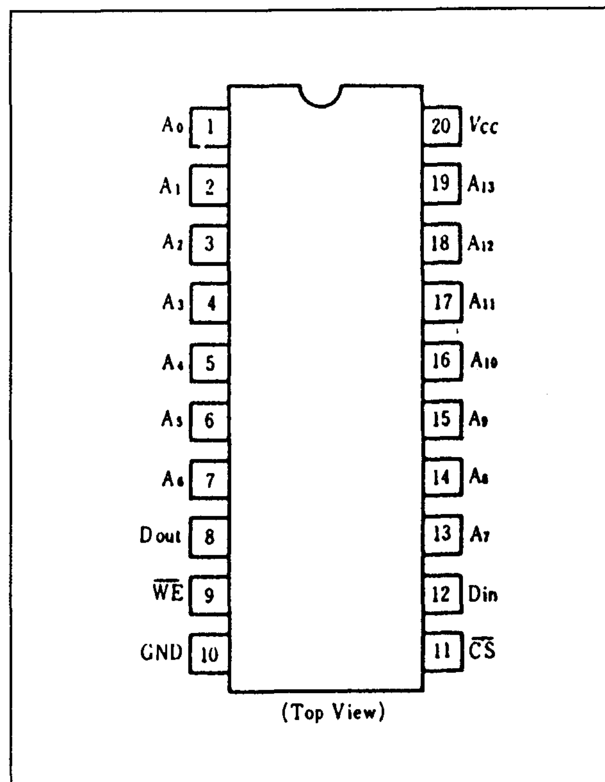
wone uitvoering HM 6167 van Hitachi te behandelen.

Specificaties

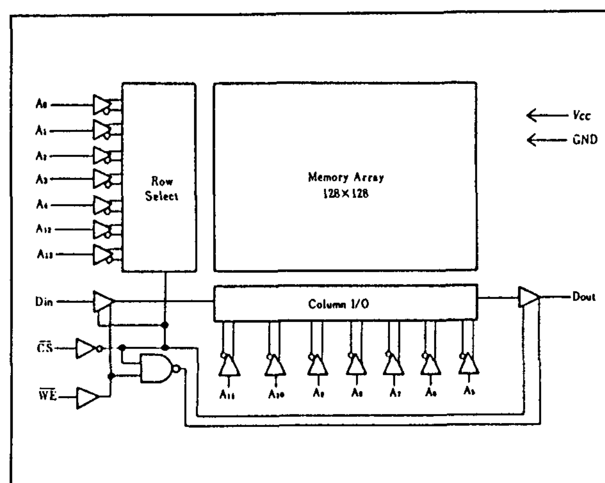
- 16384 x 1 bit organisatie
- volledig statische werking (geen clock of refresh)
- toegangstijden:
  HM 6167(L), HM 6167(L)-6, HM 6167(L)-8: 70/85/100 ns
  HM 6167H(L)-55: 55ns, HM 6167H(L)-70: 70 ns
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 150 mW typisch (H-versie 200 mW), standby: 100 µW (L-versie: 5 µW)
- alle ingangen en uitgang TTL-compatibel
- aparte data-in en -uitgang
- 3-state uitgang
- bedrijfstemperatuur 0 tot +70 °C
- 20-pens 0,3 inch plastic of keramische DIL-behuizing (figuur 8/2.4.1-30)
- leverbare typen:
  Hitachi: HM 6167, HM 6167-6/-8 (keramisch), HM 6167P, HM 6167P-6/-8 (plastic), HM 6167LP, HM 6167LP-6/-8 (low power), HM 6167HP-55/70 (plastic, high speed), HM 6167HLP-55/70 (low power high speed)
  Fujitsu: MB 81C67-55/-70
  Inmos: IMS 1400 (NMOS)

Werking

De HM 6167 heeft 14 adres-lijnen (A0 tot en met A13), waarmee 16384 woorden met een breedte van 1 bit kunnen worden bereikt. Zoals in figuur 8/2.4.1-31 te zien is, wordt alle data opgeslagen in een matrix van 128 x 128. De 6167 kan standby worden gezet door de chip-select $\overline{CS}$ HOOG te maken. De opgenomen stroom is dan veel geringer, de lees-/schrijfoperaties zijn gesperd en de data-uitgang bevindt zich in de hoogimpedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven (zie ook de waarheidstabel 8/2.4.1-27).



Figuur 8/2.4.1-30: Aansluitgegevens van de HM 6167.



Figuur 8/2.4.1-31: Blokschema van de HM 6167 (positieve logica).

Lees-cyclus

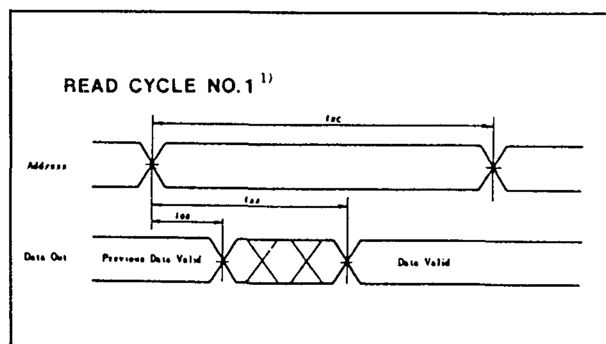
De HM 6167 wordt uitgelezen als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.

2.4.1 Type-beschrijving 61-serie

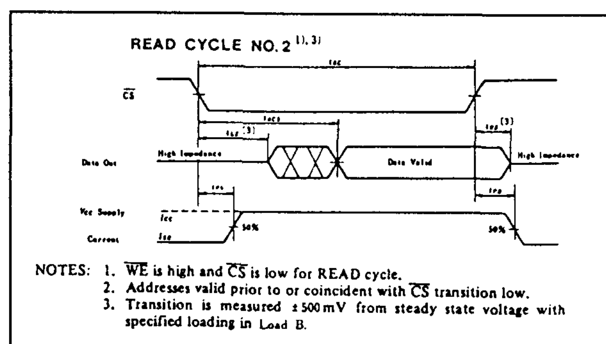
TRUTH TABLE

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	Output Pin	Reference Cycle
H	×	Not Selected	I_{SB}, I_{SB1}	High Z	
L	H	Read	I_{CC}	Dout	Read Cycle 1, 2
L	L	Write	I_{CC}	High Z	Write Cycle 1, 2

Tabel 8/2.4.1-27: Waarheidstabel van de HM 6167.

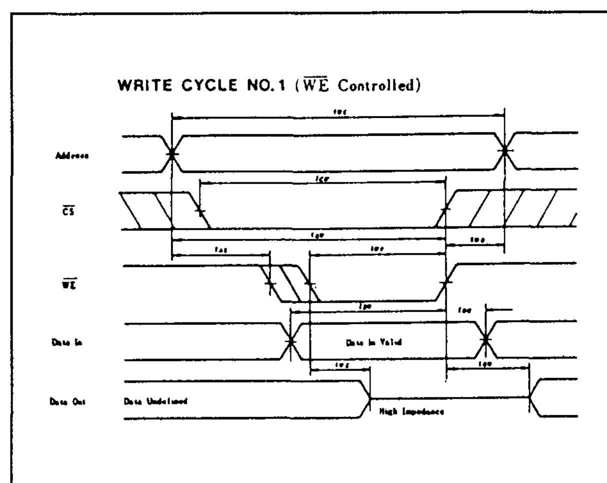


Figuur 8/2.4.1-32: Timing bij leescyclus 1: $\overline{WE}$ HOG en $\overline{CS}$ LAAG.



Figuur 8/2.4.1-33: Timing bij leescyclus 2: besturing door $\overline{WE}$.

Bij de eerste leescyclus (figuur 8/2.4.1-32) wordt alle timing gerefereerd aan het adres. Hierbij is $\overline{CS}$ voortdurend LAAG en $\overline{WE}$ HOOG. Als na een adresverandering het adres "waar" is geworden, kan na de minimale houdtijd t_{OH} geldige data aan de uitgang worden uitgelezen.



Figuur 8/2.4.1-34: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

Bij de tweede leescyclus (figuur 8/2.4.1-33) is de timing afhankelijk van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ is steeds HOOG). De chip gaat hierbij dus telkens in de standby-toestand.

Schrijf-cyclus

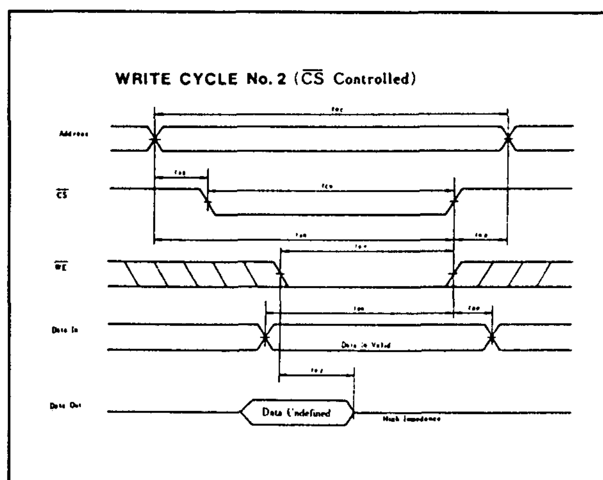
Ook het invullen van de geadresseerde lokaties (schrijven) kan op twee manieren gebeuren. ij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{WE}$. De schrijfcyclus start op de dalende flank van $\overline{WE}$, waarbij $\overline{CS}$ dan al LAAG moet zijn (figuur 8/2.4.1-34). Na de tijd t_{WZ} wordt de data-uitgang hoog-impedant en kan nieuwe data in de RAM worden geschreven.
De tweede schrijfcyclus (figuur 8/2.4.1-35) wordt bestuurd door $\overline{CS}$ (de timing is ge-

2.4.1 Type-beschrijving 61-serie

refereerd aan de stijgende flank van $\overline{CS}$). Als het adres verandert moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het Hitachi type HM 6167 zijn te zien in de tabellen 8/2.4.1-28 tot en met -32.



Figuur 8/2.4.1-35: Timing en golfvormen bij schrijfcyclus 2: besturing door $\overline{CS}$.

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Terminal Voltage with Respect to GND	V_T	−0.5 to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature (Plastic)	T_{stg}	−55 to +125	°C
Storage Temperature (Ceramic)	T_{stg}	−65 to +150	°C

Tabel 8/2.4.1-28: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS
(0°C ≤ Ta ≤ 70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input High Voltage	V_{IH}	2.2	—	6.0	V
Input Low Voltage	V_{IL}	−0.5	—	0.8	V

Tabel 8/2.4.1-29: Aanbevolen bedrijfscondities.

DC AND OPERATING CHARACTERISTICS (V_{CC}=5V±10%, Ta=0°C to +70°C)

Item	Symbol	Test Conditions	min	typ	max	Unit
Input Leakage Current	$\lvert I_{LI} \rvert$	V_{CC}=5.5V, V_{IN}=0V~V_{CC}	—	—	2	μA
Output Leakage Current	$\lvert I_{LO} \rvert$	$\overline{CS}$=V_{IH}, V_{OUT}=0V~V_{CC}	—	—	2	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}$=V_{IL}, Output Open	—	30	60	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}$=V_{IH}	—	5	20	mA
	I_{SB1}	$\overline{CS}$=V_{CC}−0.2V V_{IN}≤0.2V or ≥V_{CC}−0.2V	—	0.02	2	mA
Output Low Voltage	V_{OL}	I_{OL}=8mA	—	—	0.4	V
Output High Voltage	V_{OH}	I_{OH}=−4mA	2.4	—	—	V

Note) Typical limits are at V_{CC}=5.0V, Ta=25°C and specified loading.

Tabel 8/2.4.1-30: Gelijkspanningscondities van de HM 6167.

2.4.1 Type-beschrijving 61-serie

AC CHARACTERISTICS (V_{CC}=5V±10%, Ta=0°C to 70°C, unless otherwise noted.)

●READ CYCLE

Item	Symbol	HM6167, HM6167P		HM6167-6, HM6167P-6		HM6167-8, HM6167P-8		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{RC}	70	—	85	—	100	—	ns
Address Access Time	t_{AA}	—	70	—	85	—	100	ns
Chip Select Access Time	t_{ACS}	—	70	—	85	—	100	ns
Output Hold from Address Change	t_{OH}	5	—	5	—	5	—	ns
Chip Selection to Output in Low Z	t_{LZ}	5	—	5	—	5	—	ns
Chip Deselection to Output in High Z	t_{HZ}	0	30	0	40	0	40	ns
Chip Selection to Power Up Time	t_{PU}	0	—	0	—	0	—	ns
Chip Deselection to Power Down Time	t_{PD}	—	35	—	40	—	45	ns

Tabel 8/2.4.1-31: Schakeltijden bij het uitlezen.

●WRITE CYCLE

Item	Symbol	HM6167, HM6167P		HM6167-6, HM6167P-6		HM6167-8, HM6167P-8		Unit
		min	max	min	max	min	max	
Write Cycle Time	t_{WC}	70	—	85	—	100	—	ns
Chip Selection to End of Write	t_{CW}	55	—	65	—	80	—	ns
Address Valid to End of Write	t_{AW}	55	—	65	—	80	—	ns
Address Setup Time	t_{AS}	0	—	0	—	0	—	ns
Write Pulse Width	t_{WP}	40	—	45	—	55	—	ns
Write Recovery Time	t_{WR}	0	—	0	—	0	—	ns
Data Valid to End of Write	t_{DW}	30	—	35	—	40	—	ns
Data Hold Time	t_{DH}	0	—	0	—	0	—	ns
Write Enable to Output in High Z	t_{WZ}	0	30	0	40	0	40	ns
Output Active from End of Write	t_{OW}	0	—	0	—	0	—	ns

Tabel 8/2.4.1-32: Schakeltijden bij het schrijven.

HM 6168

4k x 4 CMOS SRAM

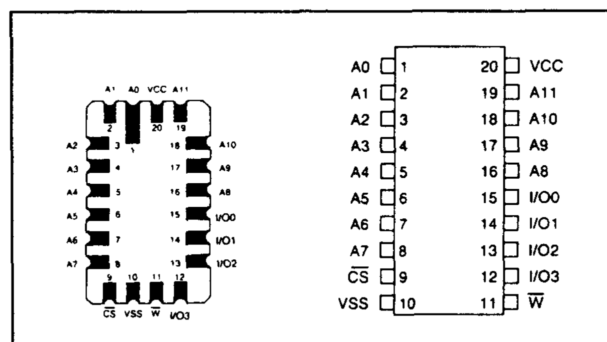
De HM 6168 is een 16384 bit statisch CMOS RAM met een 4096 x 4 bits organisatie. De HM 6168 is pen-compatibel met onder andere het NMOS geheugen TMM 2068.
De HM 6168 heeft gecombineerde data-ingangen en -uitgangen. Ook deze RAM kan standby worden gezet met het chip-select signaal, waardoor dan aanzienlijk minder vermogen wordt gedissipeerd (100 µW in plaats van 200 mW, de L-versie zelfs 5 µW!).

Op deze plaats wordt de HM 6168H van Hitachi behandeld.

2.4.1 Type-beschrijving 61-serie

Specificaties

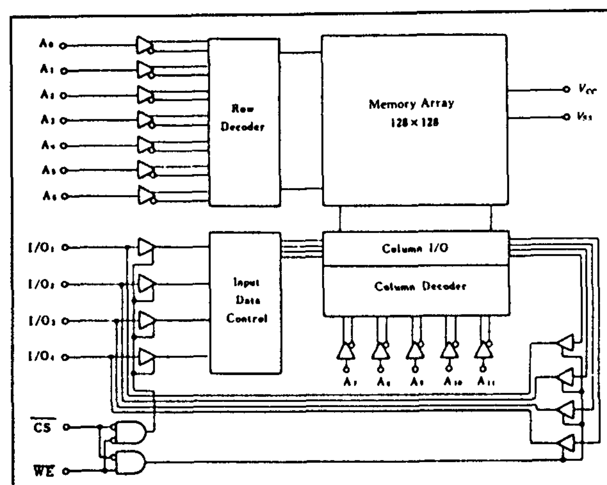
- 4096 x 4 bit organisatie
- volledig statische werking (geen clock of refresh)
- toegangstijden: 45/55/70 ns (max)
- gelijke toegangs- en cyclustijden
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 200 mW typisch, standby 100 µW typisch (L-versie 5 µW)
- alle in- en uitgangen TTL-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 20-pens 0,3 inch plastic DIL- en (sommige merken) 20-pens rechthoekige LCC-behuizing (figuur 8/2.4.1-36)
- leverbare typen:
  Hitachi: HM 6168HP-45/-55/-70, HM 6168HLP-45/-55/-70 (low power)



Figuur 8/2.4.1-36: Aansluitgegevens van de HM 6168H in de DIL- en de LCC-uitvoering.

Werking

De HM 6168H heeft 12 adres-lijnen (A0 tot en met A11), waarmee 4096 4-bit brede woorden kunnen worden geadresseerd. Zoals in figuur 8/2.4.1-37 te zien is, wordt de informatie in een 128 x 128 matrix opgeborgen. Zoals ook in de waarheidstabel 8/2.4.1-33 te zien is, kan de 6168 kan standby worden gezet door de chip-select ingang $\overline{CS}$ HOOG te maken. De opgenomen stroom is dan veel geringer, de lees-/schrijfoperaties zijn gesperd en de data-uitgangen bevinden zich in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ (W) worden gekozen uit lezen of schrijven.



Figuur 8/2.4.1-37: Functioneel blokschema van de HM 6168H (positieve logica).

TRUTH TABLE

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Reference Cycle
H	X	Not selected	I_{SB}, I_{SB1}	High Z	
L	H	Read	I_{CC}	Dout	Read Cycle 1, 2
L	L	Write	I_{CC}	Din	Write Cycle 1, 2

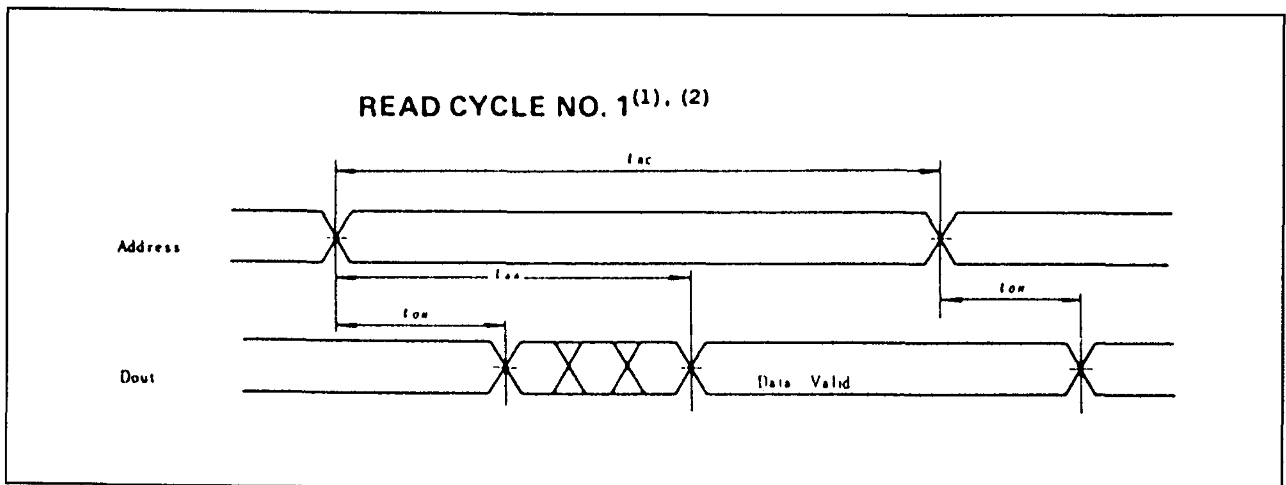
Tabel 8/2.4.1-33: Waarheidstabel van de HM 6168H.

2.4.1 Type-beschrijving 61-serie

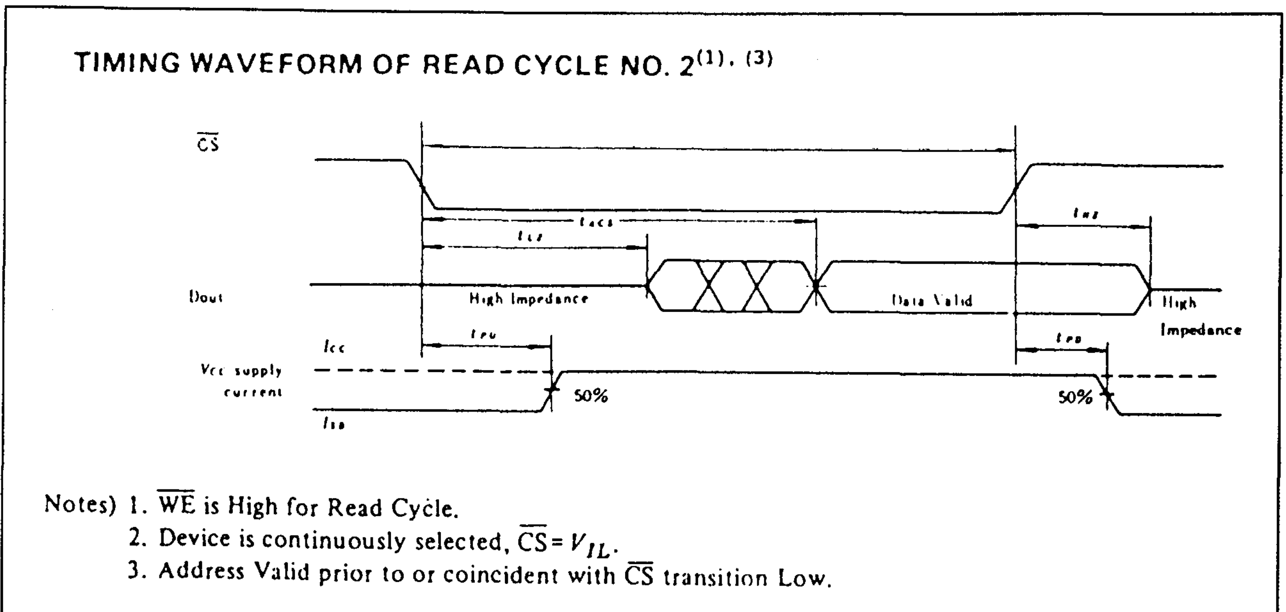
Lees-cyclus

De HM 6168H staat in de uitlees-mode als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.
Bij de eerste leescyclus (figuur 8/2.4.1-38) wordt alle timing gerefereerd aan het adres. $\overline{CS}$ is voortdurend LAAG en $\overline{WE}$ is HOOG. Nadat een nieuw adres "waar" is geworden, staat na de minimale houdtijd t_{OH} geldige data op de uitgangen.

Bij de tweede leescyclus (figuur 8/2.4.1-39) zorgt $\overline{CS}$ voor de timing. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft steeds HOOG).
De chip gaat hierbij dus telkens in de stand-by-toestand.



Figuur 8/2.4.1-38: Timing bij leescyclus 1: $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.

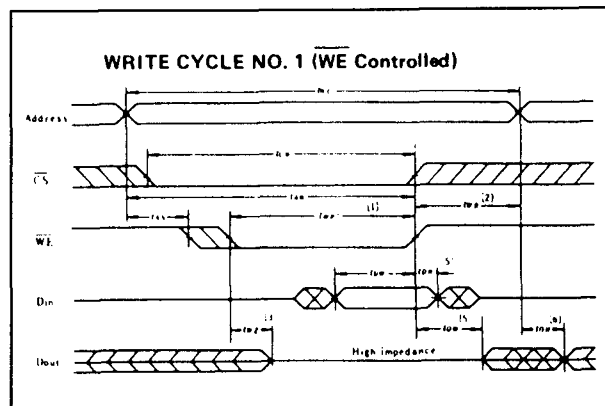


Figuur 8/2.4.1-39: Timing bij leescyclus 2: timing ten opzichte van $\overline{CS}$.

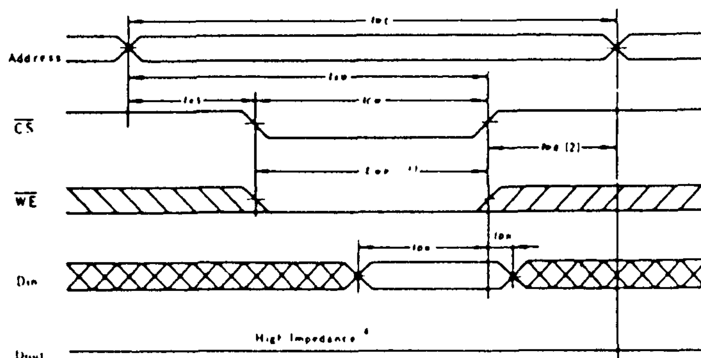
2.4.1 Type-beschrijving 61-serie

Schrijf-cyclus

Het schrijven kan op twee manieren gebeuren.
Bij de schrijfcyclus nummer 1 (figuur 8/2.4.1-40) vindt de timing plaats ten opzichte van $\overline{WE}$. Een tijd twz na het LAAG gaan van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data worden aangeleverd, die op de stijgende flank van $\overline{WE}$ worden ingelezen.
De tweede schrijfcyclus (figuur 8/2.4.1-41) wordt bestuurd door $\overline{CS}$. Nieuwe data wordt op de stijgende flank van $\overline{CS}$ in de RAM geschreven. Als de adresinformatie verandert moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.



Figuur 8/2.4.1-40: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.



Notes) 1. A write occurs during the overlap of a low $\overline{CS}$ and a low $\overline{WE}$. (t_{WP})
2. t_{WR} is measured from the earlier of $\overline{CS}$ or $\overline{WE}$ going high to the end of write cycle.
3. During this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.
4. If the $\overline{CS}$ low transition occurs simultaneously with the $\overline{WE}$ transition or after the $\overline{WE}$ transition, the output buffers remain in a high impedance state.
5. If CS is low during this period, I/O pins are in the output state. Then the data input signals of opposite phase to the outputs must not be applied to them.
6. Dout is the same phase of Write data of this write cycle, if t_{WR} is long enough.

Figuur 8/2.4.1-41: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

■ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to V_{SS}	V_T	-0.5^{*1} to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature (Plastic)	T_{stg}	−55 to +125	°C
Storage Temperature under Bias	T_{bias}	−10 to +85	°C

Tabel 8/2.4.1-34: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to + 70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input Voltage	V_{IH}	2.2	–	6.0	V
	V_{IL}	-0.5^{*1}	–	0.8	V

Note) *1. −3.0V for pulse width ≦ 20ns

Tabel 8/2.4.1-35: Aanbevolen bedrijfscondities.

2.4.1 Type-beschrijving 61-serie

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ±10%, V_{SS} = 0V, T_a = 0 to +70°C)

Item	Symbol	Test Conditions	min	typ*1	max	Unit
Input Leakage Current	$\|I_{LI}\|$	V_{CC}=5.5V, V_{in}= V_{SS} to V_{CC}	–	–	2.0	μA
Output Leakage Current	$\|I_{LO}\|$	$\overline{CS}$ = V_{IH}, $V_{I/O}$ = V_{SS} to V_{CC}	–	–	2.0	μA
Operating Power Supply Current	I_{CC}	CS = V_{IL}, $I_{I/O}$=0mA	–	40	90	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}$ = V_{IH}	–	15	25	mA
Standby Power Supply Current(1)	I_{SB1}	CS = V_{CC}−0.2V, V_{IN}≦0.2V or V_{IN}≧V_{CC}−0.2V	–	0.02	2.0	mA
			–	1*2	50*2	μA
Output Low Voltage	V_{OL}	I_{OL}=8mA	–	–	0.4	V
Output High Voltage	V_{OH}	I_{OH}=−4mA	2.4	–	–	V

Notes) *1. Typical limits are at V_{CC} = 5.0V, Ta = 25°C and specified loading.
*2. This characteristics is guaranteed only for L-version.

Tabel 8/2.4.1-36: Gelijkspanningscondities van de HM 6168H.

• READ CYCLE

Item	Symbol	HM6168H-45		HM6168H-55		HM6168H-70		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{RC}	45	–	55	–	70	–	ns
Address Access Time	t_{AA}	–	45	–	55	–	70	ns
Chip Select Access Time	t_{ACS}	–	45	–	55	–	70	ns
Output Hold from Address Change	t_{OH}	5	–	5	–	5	–	ns
Chip Selection to Output in Low Z*1	t_{LZ}	20	–	20	–	20	–	ns
Chip Deselection to Output in High Z*1	t_{HZ}	0	20	0	20	0	20	ns
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	0	–	ns
Chip Deselection to Power Down Time	t_{PD}	–	30	–	30	–	30	ns

Note) *1. Transition is measured ±500mV from steady state voltage with Load (B).
This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-37: Schakeltijden bij het uitlezen van verschillende versies van de HM 6168H.

Overige kenmerken

De overige elektrische en timing kenmerken van het Hitachi type HM 6168H zijn te zien in de tabellen 8/2.4.1-34 tot en met -38.

IDT 6198

16k x 4 CMOS SRAM

De IDT 6198 is een 65536 bit asynchroon statisch CMOS RAM, georganiseerd als 16384 x 4 bits. De IDT 6198 heeft twee besturingsfuncties, namelijk chip-select ($\overline{CS}$) en output-enable ($\overline{OE}$). Door $\overline{CS}$ HOOG te maken kan deze RAM standby worden gezet waardoor minder vermogen wordt gedissipeerd.

De RAM heeft gecombineerde data-ingangen en -uitgangen. De IDT 6198 wordt geleverd in een militaire en een commerciële uitvoering (ook low-power). Hier wordt de commerciële versie IDT 6198 van Integrated Device Technology (IDT) behandeld.

2.4.1 Type-beschrijving 61-serie

• WRITE CYCLE

Item	Symbol	HM6168H-45		HM6168H-55		HM6168H-70		Unit
		min	max	min	max	min	max	
Write Cycle Time	t_{WC}	45	–	55	–	70	–	ns
Chip Selection to End of Write	t_{CW}	40	–	50	–	60	–	ns
Address Valid to End of Write	t_{AW}	40	–	50	–	60	–	ns
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns
Write Pulse Width	t_{WP}	35	–	45	–	55	–	ns
Write Recovery Time	t_{WR}	0	–	0	–	0	–	ns
Data Valid to End of Write	t_{DW}	20	-	25	–	30	–	ns
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns
Write Enabled to Output in High Z*1	t_{WZ}	0	15	0	20	0	25	ns
Output Active from End of Write*1	t_{OW}	0	–	0	–	0	–	ns

Note) *1. Transition is measured ±500mV from steady state voltage with Load (B).
This parameter is sampled and not 100% tested.

Tabel 8/2.4.1-38: Schakeltijden bij het schrijven van verschillende versies van de HM 6168H.

Specificaties

- 16k x 4 bit organisatie
- volledig statische werking (geen clock of refresh)
- toegangstijden: 25, 30, 35, 45, 55, 70, 85 ns (max)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 350 mW typisch (standby 100 µW), low power-versie 300 mW typisch (standby 30 µW)
- alle in- en uitgangen TTL-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 24-pens 0,3 inch plastic of keramische DIL- of SO-behuizing of 28-pens rechthoekige LCC-behuizing (figuur 8/2.4.1-42)
- JEDEC compatible aansluitingen
- leverbare typen:
  IDT: IDT 6198S-25/30/35/45/55/70/85 (standaard vermogen); IDT 6198L-25/30/35/45/55/70/85 (low power)

Werking

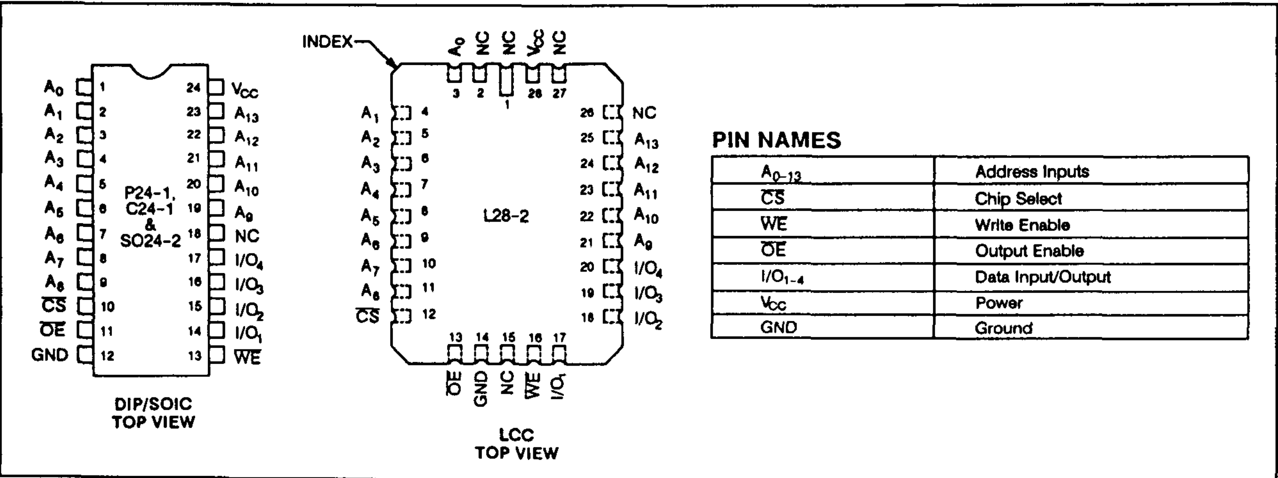
De IDT 6198 heeft 14 adres-lijnen (A0 tot en met A13), waarmee 16384 woorden, elk met een breedte van 4 bits, kunnen worden geadresseerd (zie figuur 8/2.4.1-43). Zoals in de waarheidstabel 8/2.4.1-39 te zien is, kan de IDT 6198 kan standby worden gezet door de chip-select ingang $\overline{CS}$ HOOG te maken. Er wordt dan veel minder stroom uit de voeding opgenomen, zowel lezen als schrijven wordt gesperd en de data-uitgangen bevinden zich in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

Lees-cyclus

De IDT 6198 staat in de lees-mode als $\overline{CS}$ LAAG en $\overline{WE}$ HOOG is. Er zijn drie manieren van uitlezen mogelijk.
Bij de eerste leescyclus (figuur 8/2.4.1-44) vindt de timing plaats ten opzichte van de dalende flank van $\overline{OE}$ (t_{OE} ns hierna kan geldige data aan de uitgangen worden uitgelezen). Hierbij moet $\overline{CS}$ op tijd LAAG gaan.

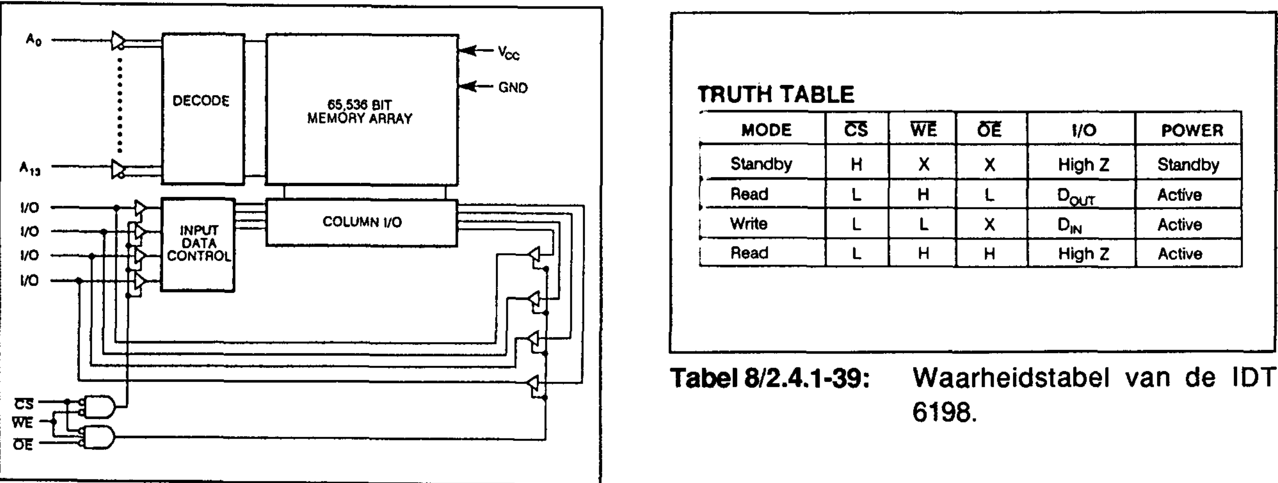
Bij de tweede leescyclus (figuur 8/2.4.1-45) wordt alle timing gerefereerd aan het adres. $\overline{CS}$ en $\overline{OE}$ zijn hierbij voortdurend LAAG en $\overline{WE}$ is HOOG. Nadat een nieuw adres geldig is geworden, staat na de minimale houdtijd t_{OH} geldige data op de uitgangen.

2.4.1 Type-beschrijving 61-serie



PIN NAMES	
A_{0-13}	Address Inputs
$\overline{CS}$	Chip Select
$\overline{WE}$	Write Enable
$\overline{OE}$	Output Enable
I/O_{1-4}	Data Input/Output
V_{CC}	Power
GND	Ground

Figuur 8/2.4.1-42: Aansluitgegevens van de DIL- en LCC-uitvoeringen van de IDT 6198.

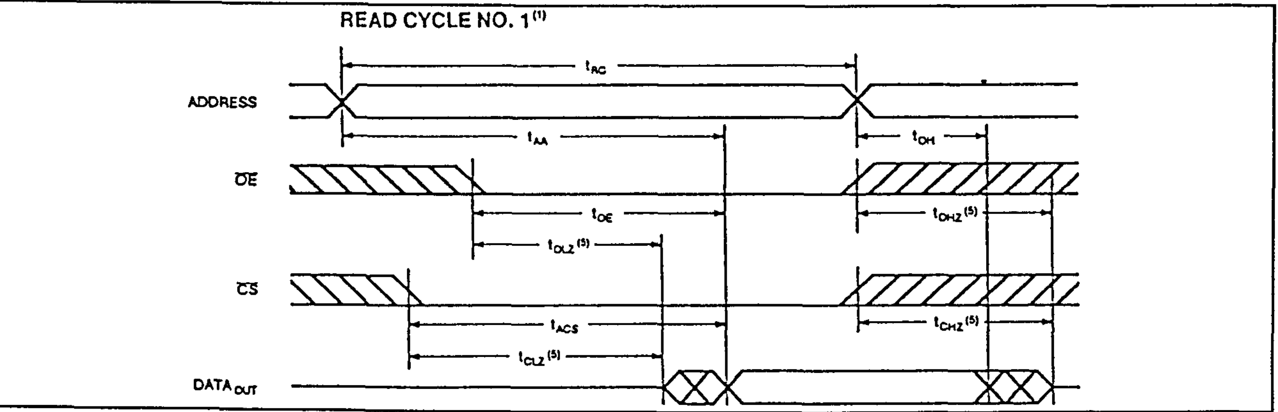


Figuur 8/2.4.1-43: Functioneel blokschema (positieve logica).

TRUTH TABLE

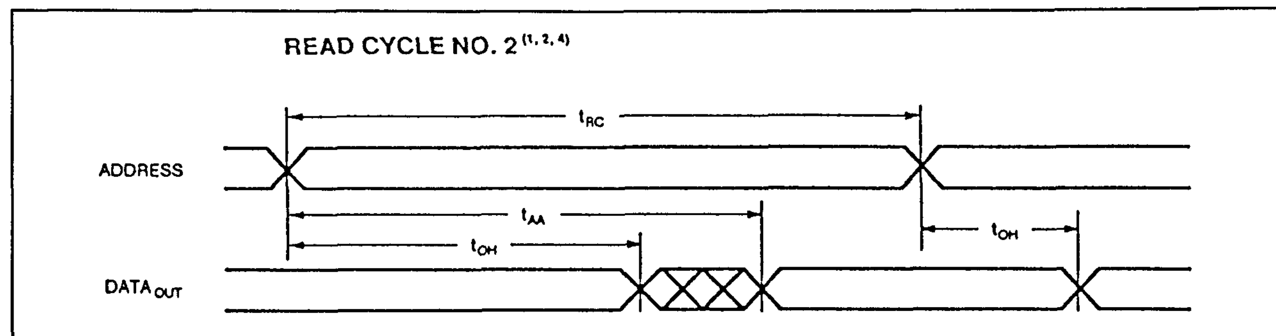
MODE	$\overline{CS}$	$\overline{WE}$	$\overline{OE}$	I/O	POWER
Standby	H	X	X	High Z	Standby
Read	L	H	L	D_{OUT}	Active
Write	L	L	X	D_{IN}	Active
Read	L	H	H	High Z	Active

Tabel 8/2.4.1-39: Waarheidstabel van de IDT 6198.

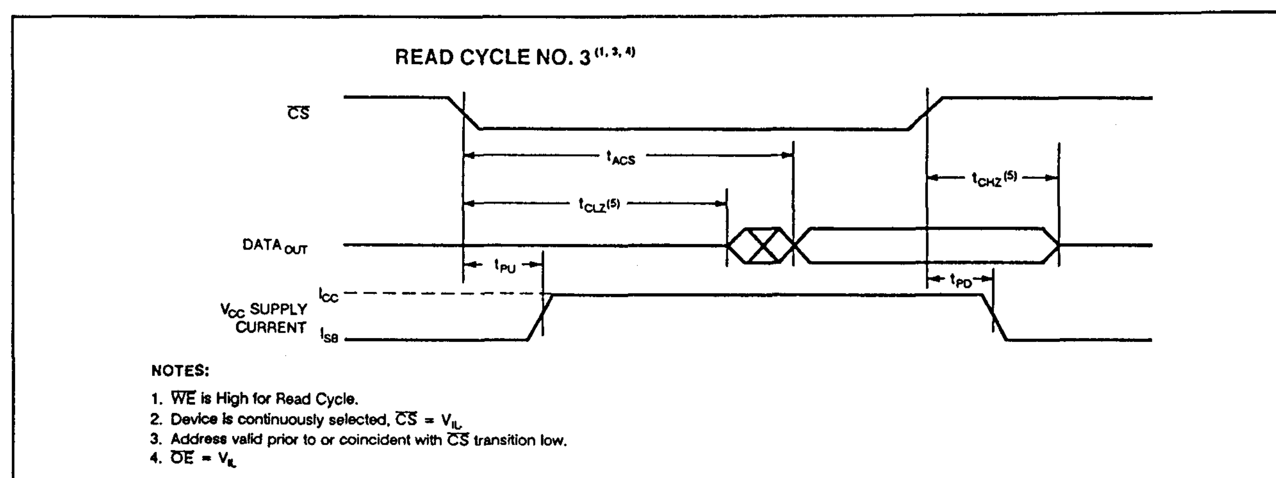


Figuur 8/2.4.1-44: Timing bij leescyclus 1: besturing door $\overline{OE}$, terwijl $\overline{WE}$ HOOG is en $\overline{CS}$ LAAG is.

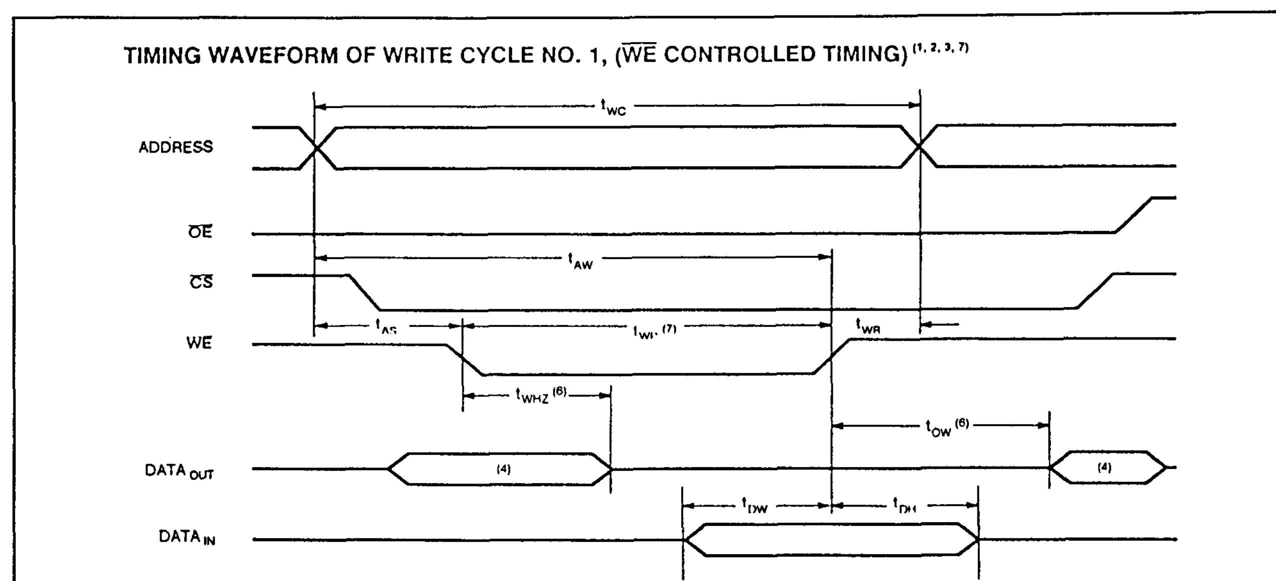
2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-45: Timing bij leescyclus 2: besturing ten opzichte van de adressen.

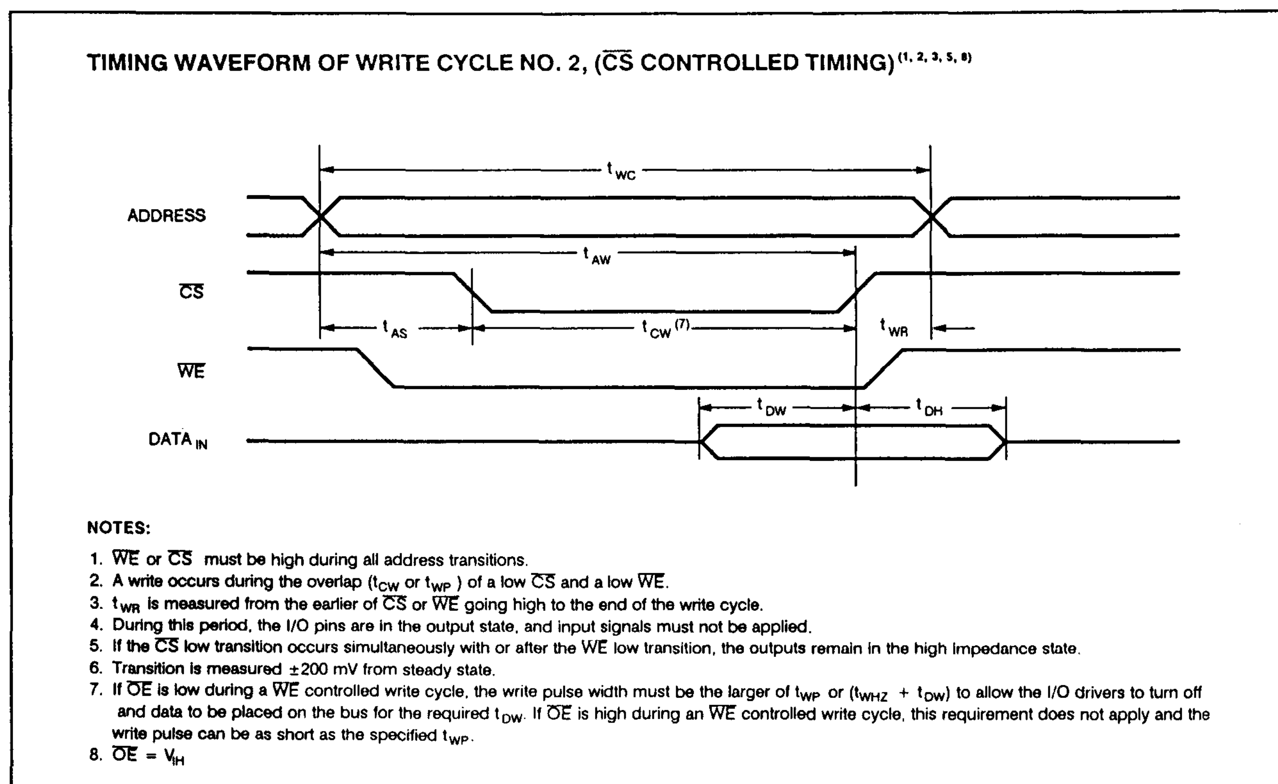


Figuur 8/2.4.1-46: Timing bij leescyclus 3: besturing ten opzichte van $\overline{CS}$.



Figuur 8/2.4.1-47: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-48: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

Bij de derde leescyclus (figuur 8/2.4.1-46) verzorgt $\overline{CS}$ de timing. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft hierbij voortdurend HOOG).

Schrijf-cyclus

Het schrijven is op twee manieren mogelijk. Bij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{WE}$ (figuur 8/2.4.1-47).

Een tijd t_{WZ} na de dalende flank van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet, die op de stijgende flank van $\overline{WE}$ wordt ingeschreven.

De tweede schrijfcyclus (figuur 8/2.4.1-48) wordt bestuurd door $\overline{CS}$. Op de stijgende flank van $\overline{CS}$ wordt de nieuwe informatie in de RAM geschreven.

Tijdens adres-veranderingen moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het type IDT 6198 zijn te zien in de tabellen 8/2.4.1-40 tot en met -45.

ABSOLUTE MAXIMUM RATINGS (1)

SYMBOL	RATING	COMMERCIAL	MILITARY	UNIT
V_{TERM}	Terminal Voltage with Respect to GND	-0.5 to +7.0	-0.5 to +7.0	V
T_A	Operating Temperature	0 to +70	-55 to +125	°C
T_{BIAS}	Temperature Under Bias	-55 to +125	-65 to +135	°C
T_{STG}	Storage Temperature	-55 to +125	-65 to +150	°C
P_T	Power Dissipation	1.0	1.0	W
I_{OUT}	DC Output Current	50	50	mA

Tabel 8/2.4.1-40: Maximaal toegelaten waarden.

2.4.1 Type-beschrijving 61-serie

RECOMMENDED DC OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CC}	Supply Voltage	4.5	5.0	5.5	V
GND	Supply Voltage	0	0	0	V
V_{IH}	Input High Voltage	2.2	–	6.0	V
V_{IL}	Input Low Voltage	-0.5[1]	–	0.8	V

NOTE:
1. V_{IL} min. = -3.0V for pulse width less than 20ns.

Tabel 8/2.4.1-41: Aanbevolen bedrijfscondities.

DC ELECTRICAL CHARACTERISTICS
V_{CC} = 5.0V ±10%

SYMBOL	PARAMETER	TEST CONDITIONS		IDT6198S MIN.	IDT6198S TYP.[1]	IDT6198S MAX.	IDT6198L MIN.	IDT6198L TYP.[1]	IDT6198L MAX.	UNIT
$\|I_{LI}\|$	Input Leakage Current	V_{CC} = Max., V_{IN} = GND to V_{CC}	MIL.	–	–	10	–	–	5	µA
			COM'L.	–	–	5	–	–	2	µA
$\|I_{LO}\|$	Output Leakage Current	V_{CC} = Max. $\overline{CS}$ = V_{IH}, V_{OUT} = GND to V_{CC}	MIL.	–	–	10	–	–	5	µA
			COM'L.	–	–	5	–	–	2	µA
V_{OL}	Output Low Voltage	I_{OL} = 10mA, V_{CC} = Min.		–	–	0.5	–	–	0.5	V
		I_{OL} = 8mA, V_{CC} = Min.		–	–	0.4	–	–	0.4	V
V_{OH}	Output High Voltage	I_{OH} = –4mA, V_{CC} = Min.		2.4	–	–	2.4	–	–	V

NOTE:
Typical limits are at V_{CC} = 5.0V, +25°C ambient.

Tabel 8/2.4.1-42: Gelijkspanningscondities van de standaard- en de low-power versies van de IDT 6198.

2.4.1 Type-beschrijving 61-serie

DC ELECTRICAL CHARACTERISTICS(1)

V_{CC} = 5.0V ±10%, V_{LC} = 0.2V, V_{HC} = V_{CC} -0.2V

SYMBOL	PARAMETER	POWER	6198S25 6198L25 COM'L.	MIL.	6198S30/35 6198L30/35 COM'L.	MIL.	6198S45/55(4) 6198L45/55(4) COM'L.	MIL.	6198S70(4)/85(4) 6198L70(4)/85(4) COM'L.	MIL.	UNIT
I_{CC1}	Operating Power Supply Current $\overline{CS}$ = V_{IL}, Outputs Open, V_{CC} = Max., f = 0(3)	S	100	125	100	110	100	110	–	110	mA
		L	85	110	85	95	85	95	–	95	
I_{CC2}	Dynamic Operating Current, $\overline{CS}$ = V_{IL}, Outputs Open, V_{CC} = Max., f = f_{MAX}(3)	S	135	155	125	140	125	140	–	140	mA
		L	125	145	115/105	125/115	100	110	–	110/105	
I_{SB}	Standby Power Supply Current (TTL Level) $\overline{CS}$ ≥ V_{IH}, V_{CC} = Max., Outputs Open f = f_{MAX}(3)	S	55	60	50/45	55/50	45	50	–	50	mA
		L	45	50	40/35	45/40	30	35	–	35	
I_{SB1}	Full Standby Power Supply Current (CMOS Level) $\overline{CS}$ ≥ V_{HC}, V_{CC} = Max., V_{IN} ≥ V_{HC} or V_{IN} ≤ V_{LC}, f = 0(3)	S	15	20	15	20	15	20	–	20	mA
		L	0.5	1.5	0.5	1.5	0.5	1.5	–	1.5	

NOTES:

1. All values are maximum guaranteed values.
2. Preliminary data for Military devices only.
3. At f = f_{MAX} address and data inputs are cycling at the maximum frequency of read cycles of $1/t_{RC}$. f = 0 means no input lines change.
4. -55°C to +125°C temperature range only.
5. 0°C to +70°C temperature range only.

Tabel 8/2.4.1-43: Overige gelijkspanningscondities.

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0V ±10%, All Temperature Ranges)

SYMBOL	PARAMETER	6198S25 6198L25 MIN.	MAX.	6198S30/35 6198L30/35 MIN.	MAX.	6198S45/55(2) 6198L45/55(2) MIN.	MAX.	6198S70(2)/85(2) 6198L70(2)/85(2) MIN.	MAX.	UNIT
READ CYCLE										
t_{RC}	Read Cycle Time	25	–	30/35	–	45/55	–	70/85	–	ns
t_{AA}	Address Access Time	–	25	–	30/35	–	45/55	–	70/85	ns
t_{ACS}	Chip Select Access Time	–	25	–	30/35	–	45/55	–	70/85	ns
t_{CLZ}	Chip Select to Output in Low Z(3)	5	–	5	–	5	–	5	–	ns
t_{OE}	Output Enable to Output Valid	–	15	–	20	–	25/35	–	45/55	ns
t_{OLZ}	Output Enable to Output in Low Z(3)	5	–	5	–	5	–	5	–	ns
t_{CHZ}	Chip Select to Output in High Z(3)	–	10	–	13/15	–	15/20	–	25/30	ns
t_{OHZ}	Output Disable to Output in High Z(3)	–	15	–	15	–	15/20	–	25/30	ns
t_{OH}	Output Hold from Address Change	5	–	5	–	5	–	5	–	ns
t_{PU}	Chip Select to Power Up Time(3)	0	–	0	–	0	–	0	–	ns
t_{PD}	Chip Deselect to Power Down Time(3)	–	25	–	30/35	–	45/55	–	70/85	ns

NOTES:

1. 0°C to +70°C temperature range only.
2. -55°C to +125°C temperature range only.
3. This parameter is guaranteed but not tested.

Tabel 8/2.4.1-44: Schakeltijden bij het uitlezen van verschillende versies van de IDT 6198.

2.4.1 Type-beschrijving 61-serie

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0V ±10%, All Temperature Ranges)

SYMBOL	PARAMETER	6198S25 6198L25 MIN.	MAX.	6198S30/35 6198L30/35 MIN.	MAX.	6198S45/55[2] 6198L45/55[2] MIN.	MAX.	6198S70[2]/85[2] 6198L70[2]/85[2] MIN.	MAX.	UNIT
WRITE CYCLE										
t_{WC}	Write Cycle Time	20	–	25/30	–	40/50	–	60/75	–	ns
t_{CW}	Chip Select to End of Write	20	–	25	–	35/50	–	60/75	–	ns
t_{AW}	Address Valid to End of Write	20	–	25	–	35/50	–	60/75	–	ns
t_{AS}	Address Set-up Time	0	–	0	–	0	–	0	–	ns
t_{WP}	Write Pulse Width	20	–	25	–	35/50	–	60/75	–	ns
t_{WR}	Write Recovery Time	0	–	0	–	0	–	0	–	ns
t_{WHZ}	Write Enable to Output in High Z[3]	–	7	–	10	–	15/25	–	30/40	ns
t_{DW}	Data Valid to End of Write	13	–	15	–	20/25	–	30/35	–	ns
t_{DH}	Data Hold Time	0	–	0	–	0	–	0	–	ns
t_{OW}	Output Active from End of Write[3]	5	–	5	–	5	–	5	–	ns

NOTES:
1. 0°C to +70°C temperature range only.
2. -55°C to +125°C temperature range only.
3. This parameter is guaranteed but not tested.
4. Preliminary data only for military devices.

Tabel 8/2.4.1-45: Schakeltijden bij het schrijven van verschillende vesies van de IDT 6198.

IDT 61298

64k x 4 CMOS SRAM

De IDT 61298 is een 262144 bit (256k) asynchroon statisch CMOS RAM, georganiseerd in 65536 woorden van 4 bits. De IDT 61298 heeft een dubbele besturingsfunctie, namelijk chip-select ($\overline{CS}$) en output-enable ($\overline{OE}$). Met $\overline{CS}$ kan deze RAM standby worden gezet voor een geringere dissipatie. De RAM heeft gecombineerde data-ingangen en -uitgangen. Zowel de militaire als de commerciële uitvoering van de IDT 61298 zijn in een low-power versie verkrijgbaar. Hier wordt de commerciële IDT 61298 van Integrated Device Technology (IDT) behandeld.

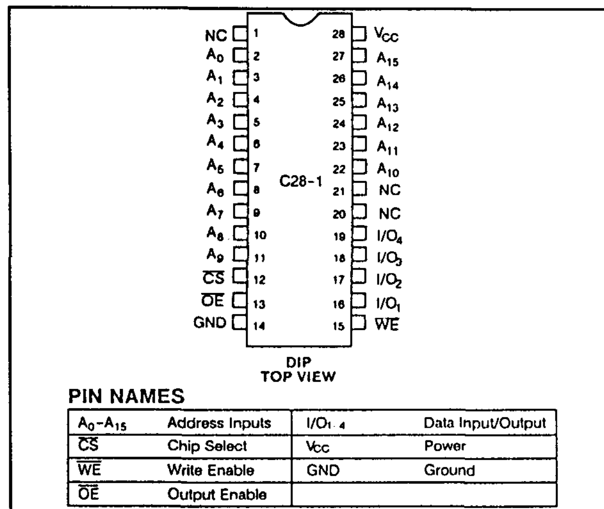
Specificaties

- 64k x 4 bit organisatie
- volledig statische werking (geen clock of refresh)
- toegangstijden: 45, 55, 70 ns (max)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 400 mW typisch (standby 400 µW), low power-versie 350 mW typisch (standby 100 µW)
- alle in- en uitgangen TTL-compatibel
- gecombineerde (bidirectionele) data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C (militair -55 tot +125 °C)
- 28-pens 0,3 inch keramische "sidebraze" DIL-behuizing (figuur 8/2.4.1-49)
- JEDEC compatible aansluitingen
- leverbare typen:
  IDT: IDT 61298S-45/55/70 (standaard vermogen), IDT 61298L-45/55/70 (low power)

Werking

De IDT 61298 heeft 16 adres-lijnen (A0 tot en met A15), waardoor 65536 4-bits woorden bereikbaar zijn (zie figuur 8/2.4.1-50).

2.4.1 Type-beschrijving 61-serie



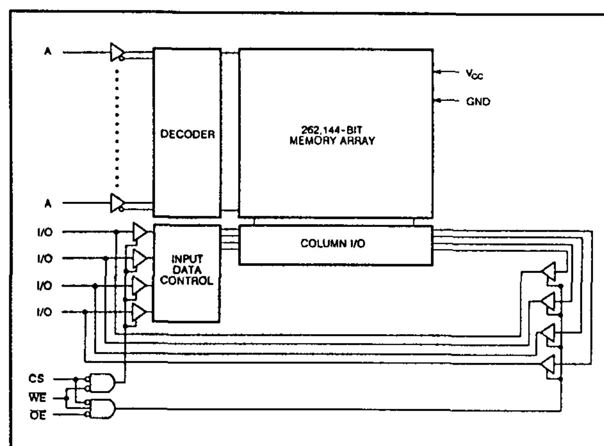
A_0-A_{15}	Address Inputs	I/O_{1-4}	Data Input/Output
$\overline{CS}$	Chip Select	V_{CC}	Power
$\overline{WE}$	Write Enable	GND	Ground
$\overline{OE}$	Output Enable		

Figuur 8/2.4.1-49: Aansluitgegevens van de IDT 61298.

TRUTH TABLE

MODE	$\overline{CS}$	$\overline{WE}$	$\overline{OE}$	I/O	POWER
Standby	H	X	X	High Z	Standby
Read	L	H	L	D_{OUT}	Active
Write	L	L	X	D_{IN}	Active
Read	L	H	H	High Z	Active

Tabel 8/2.4.1-46: Waarheidstabel van de IDT 61298.



Figuur 8/2.4.1-50: Functioneel blokschema (positieve logica).

Zoals in de waarheidstabel 8/2.4.1-46 te zien is, komt de IDT 61298 in de standby toestand door de chip-select ingang $\overline{CS}$ HOOG te maken.
Er wordt dan veel minder vermogen gedissipeerd, terwijl lezen en schrijven worden gesperd.
De data-uitgangen bevinden zich dan in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.
Wordt voor lezen gekozen dan komt de informatie pas op de uitgangen als $\overline{OE}$ LAAG is.

Lees-cyclus

De IDT 61298 kan worden uitgelezen als $\overline{CS}$ LAAG en $\overline{WE}$ HOOG zijn. Voor het lezen kan uit drie manieren worden gekozen.
Bij leescyclus 1 (figuur 8/2.4.1-51) wordt de timing bestuurd door $\overline{OE}$.
Na een adresverandering mag $\overline{CS}$ LAAG gaan en t_{OE} ns na de dalende flank van $\overline{OE}$ bevindt de geldige data zich aan de uitgangen.

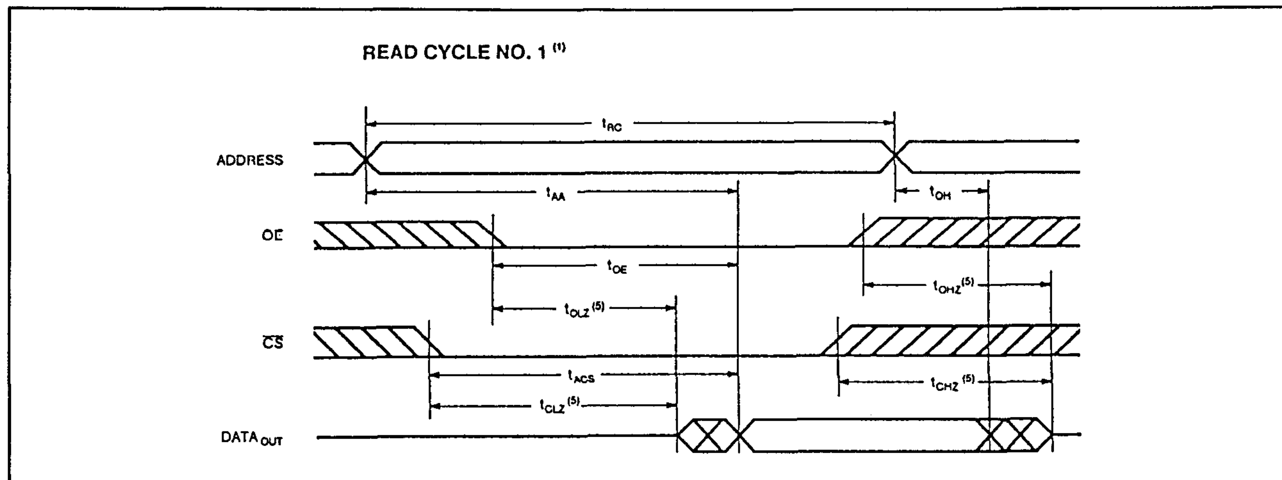
Bij leescyclus 2 (figuur 8/2.4.1-52) vindt timing plaats ten opzichte van het tijdstip dat het adres "waar" is geworden (t_{OH}). Hierbij blijven $\overline{CS}$ en $\overline{OE}$ voortdurend LAAG en $\overline{WE}$ HOOG.

Bij leescyclus 3 (figuur 8/2.4.1-53) vindt de timing plaats ten opzichte van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft hierbij voortdurend HOOG).

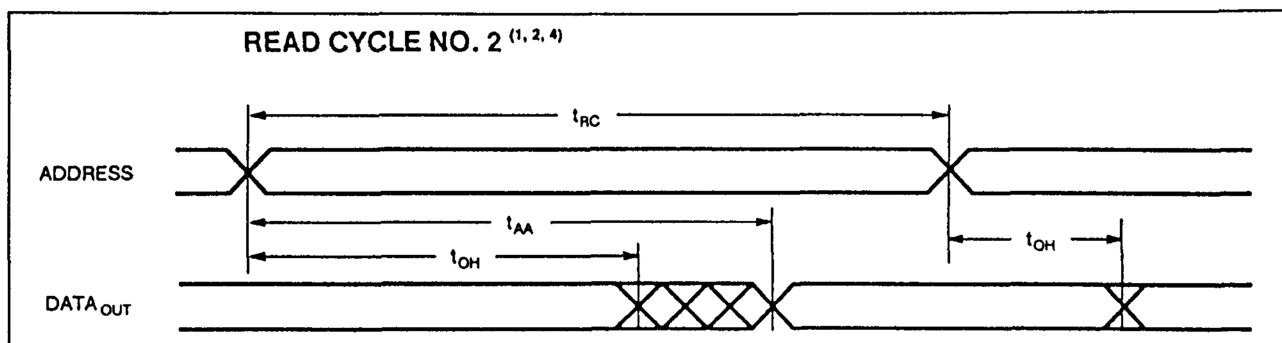
Schrijf-cyclus

Het schrijven is op twee manieren mogelijk. Bij schrijfcyclus 1 vindt de timing plaats ten opzichte van $\overline{WE}$ (figuur 8/2.4.1-54). Een tijd t_{WZ} na de dalende flank van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet, die op de stijgende flank van $\overline{WE}$ wordt ingeschreven. Wanneer van adres wordt veranderd, moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

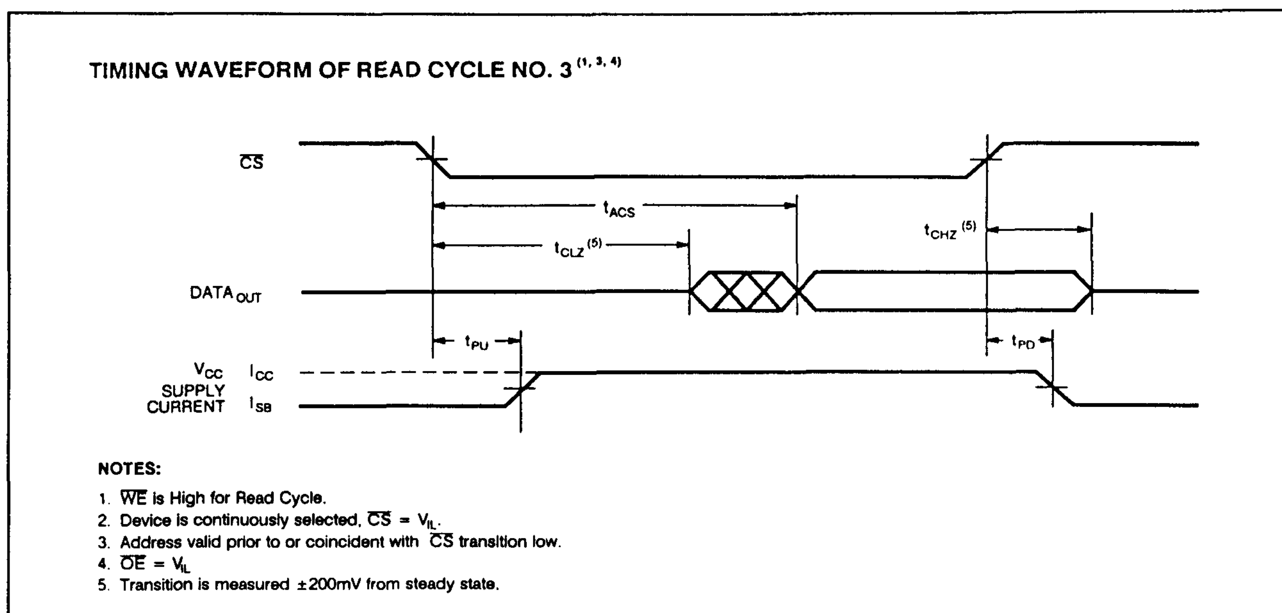
2.4.1 Type-beschrijving 61-serie



Figuur 8/2.4.1-51: Timing bij leescyclus 1: besturing door $\overline{OE}$, terwijl $\overline{WE}$ HOOG en $\overline{CS}$ LAAG is.

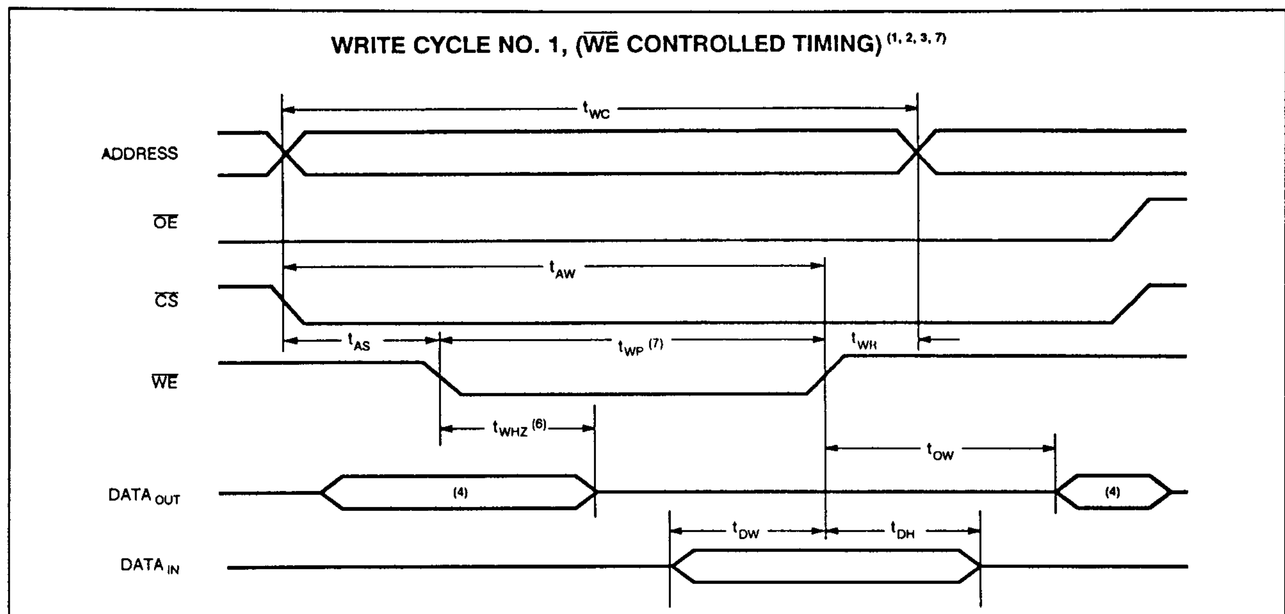


Figuur 8/2.4.1-52: Timing bij leescyclus 2: timing ten opzichte van de adressen.



Figuur 8/2.4.1-53: Timing en golfvormen bij leescyclus 3: besturing door $\overline{CS}$.

2.4.1 Type-beschrijving 61-serie

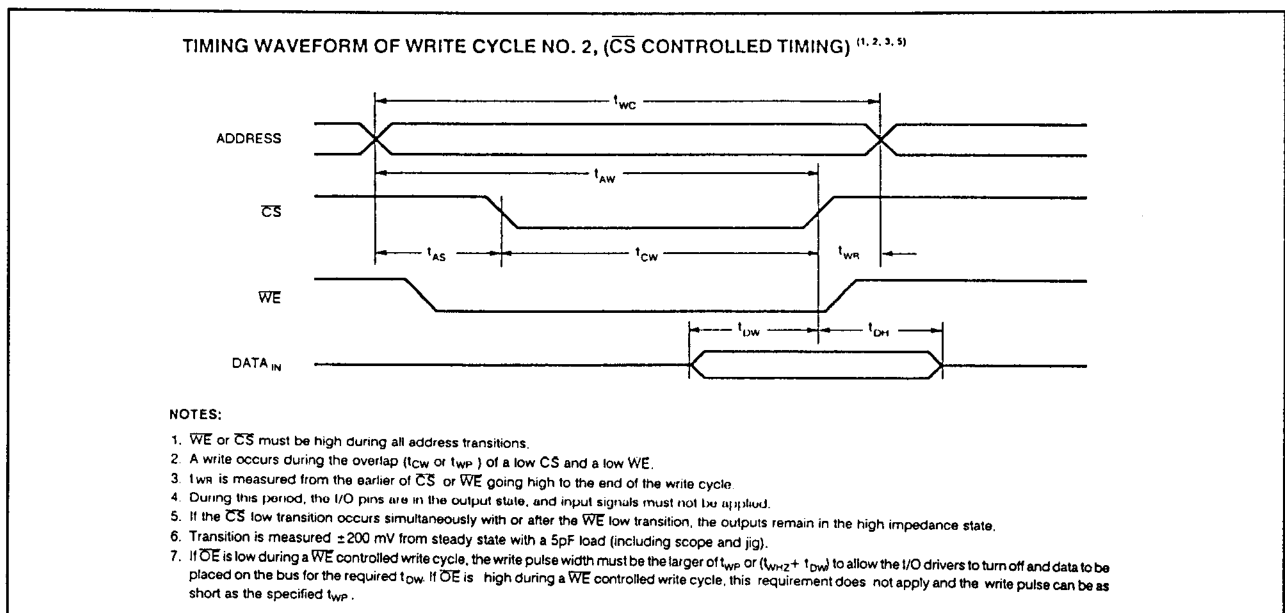


Figuur 8/2.4.1-54: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

Schrijfcyclus 2 (figuur 8/2.4.1-55) staat onder invloed van $\overline{CS}$. Op de stijgende flank van $\overline{CS}$ wordt de nieuwe informatie in de RAM geschreven. Ook hierbij geldt dat tijdens adres-veranderingen $\overline{CS}$ en/of $\overline{WE}$ HOOG moeten zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het IDT type IDT 61298 zijn te zien in de tabellen 8/2.4.1-47 tot en met -52.



Figuur 8/2.4.1-55: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

2.4.1 Type-beschrijving 61-serie

ABSOLUTE MAXIMUM RATINGS [1]

SYMBOL	RATING	COMMERCIAL	MILITARY	UNIT
V_{TERM}	Terminal Voltage with Respect to GND	-0.5 to +7.0	-0.5 to +7.0	V
T_A	Operating Temperature	0 to +70	-55 to +125	°C
T_{BIAS}	Temperature Under Bias	-55 to +125	-65 to +135	°C
T_{STG}	Storage Temperature	-55 to +125	-65 to +150	°C
P_T	Power Dissipation	1.0	1.0	W
I_{OUT}	DC Output Current	50	50	mA

Tabel 8/2.4.1-47: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CC}	Supply Voltage	4.5	5.0	5.5	V
GND	Supply Voltage	0	0	0	V
V_{IH}	Input High Voltage	2.2	–	6.0	V
V_{IL}	Input Low Voltage	-0.5[1]	–	0.8	V

NOTE:
1. V_{IL} (min.) = −3.0V for pulse width less than 20ns.

Tabel 8/2.4.1-48: Aanbevolen bedrijfscondities.

DC ELECTRICAL CHARACTERISTICS
V_{CC} = 5.0V ±10%

SYMBOL	PARAMETER	TEST CONDITIONS		IDT61298S MIN.	IDT61298S TYP.[1]	IDT61298S MAX.	IDT61298L MIN.	IDT61298L TYP.[1]	IDT61298L MAX.	UNIT
$\|I_{LI}\|$	Input Leakage Current	V_{CC} = Max., V_{IN} = GND to V_{CC}	MIL.	–	–	10	–	–	5	µA
			COM'L.	–	–	5	–	–	2	
$\|I_{LO}\|$	Output Leakage Current	V_{CC} = Max. $\overline{CS}$ = V_{IH}, V_{OUT} = GND to V_{CC}	MIL.	–	–	10	–	–	5	µA
			COM'L.	–	–	5	–	–	2	
V_{OL}	Output Low Voltage	I_{OL} = 10mA, V_{CC} = Min.		–	–	0.5	–	–	0.5	V
		I_{OL} = 8mA, V_{CC} = Min.		–	–	0.4	–	–	0.4	V
V_{OH}	Output High Voltage	I_{OL} = −4mA, V_{CC} = Min.		2.4	–	–	2.4	–	–	V

NOTE:
1. Typical limits are at V_{CC} = 5.0V, +25°C ambient.

Tabel 8/2.4.1-49: Gelijkspanningskarakteristieken van de IDT 61298 (standaard- en low-power versies)

2.4.1 Type-beschrijving 61-serie

DC ELECTRICAL CHARACTERISTICS [1] V_{CC} = 5.0V ±10%, V_{LC} = 0.2V, V_{HC} = V_{CC} -0.2V

SYMBOL	PARAMETER	POWER	FUNCTION	IDT61298S45 IDT61298L45		IDT61298S55 IDT61298L55		IDT61298S70 IDT61298L70		UNIT
				COM'L	MIL	COM'L	MIL	COM'L	MIL	
I_{CC1}	Operating Power Supply Current $\overline{CS}$ = V_{IL}, Outputs Open, V_{CC} = Max., f = 0[3]	S	READ	50	60	50	60	–	60	mA
		S	WRITE [4]	100	110	100	110	–	110	
		L	READ	30	40	30	40	–	40	
		L	WRITE [4]	90	100	90	100	–	100	
I_{CC2}	Dynamic Operating Current $\overline{CS}$ = V_{IL}, Outputs Open, V_{CC} = Max., f = f_{MAX}[3]	S	READ	150	160	150	160	–	160	mA
		S	WRITE [4]	150	160	150	160	–	160	
		L	READ	130	140	130	140	–	140	
		L	WRITE [4]	130	140	130	140	–	140	
I_{SB}	Standby Power Supply Current (TTL Level) $\overline{CS}$ ≥ V_{IH} V_{CC} = Max., f = f_{MAX}[3] Outputs Open.	S		35	35	35	35	–	35	mA
		L		20	20	20	20	–	20	
I_{SB1}	Full Standby Power Supply Current (CMOS Level) $\overline{CS}$ ≥ V_{HC} V_{CC} = Max., f = 0[3]	S		30	35	30	35	–	35	mA
		L		1.5	4.5	1.5	4.5		4.5	

NOTES:
1. All values are maximum guaranteed values.
2. Preliminary data for military devices only.
3. At f = f_{MAX} address and data inputs are cycling at the maximum frequency of read cycles of $1/t_{RC}$. f = 0 means no input lines change.
4. Write cycle current specifications are included to aid in the design of extremely sensitive applications. It should be noted that in most systems the ratio of read cycles to write cycles is extremely high. When calculating total current consumption, the designer should weight these figures by the percentage of "On" time as well as the anticipated ratio of read to write cycles (usually greater than 90%).

Tabel 8/2.4.1-50: Overige gelijkspanningscondities.

2.4.1 Type-beschrijving 61-serie

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 5V ±10%, All Temperature Ranges)

SYMBOL	PARAMETER	61298S45 61298L45 MIN.	MAX.	61298S55 61298L55 MIN.	MAX.	61298S70[2] 61298L70[2] MIN.	MAX.	UNIT
READ CYCLE								
t_{RC}	Read Cycle Time	45	–	55	–	70	–	ns
t_{AA}	Address Access Time	–	45	–	55	–	70	ns
t_{ACS}	Chip Select Access Time	–	45	–	55	–	70	ns
t_{CLZ} (3)	Chip Select to Output in Low Z	5	–	5	–	5	–	ns
t_{OE}	Output Enable to Output Valid	–	30	–	35	–	45	ns
t_{OLZ} (3)	Output Enable to Output in Low Z	5	–	5	–	5	–	ns
t_{CHZ} (3)	Chip Select to Output in High Z	–	20	–	25	–	30	ns
t_{OHZ} (3)	Output Disable to Output in High Z	–	15	–	20	–	25	ns
t_{OH}	Output Hold from Address Change	5	–	5	–	5	–	ns
t_{PU} (3)	Chip Select to Power Up Time	0	–	0	–	0	–	ns
t_{PD} (3)	Chip Deselect to Power Down Time	–	45	–	55	–	70	ns

NOTES:
1. 0°C to +70°C temperature range only.
2. -55°C to +125°C temperature range only.
3. This parameter guaranteed but not tested.

Tabel 8/2.4.1-51: Schakeltijden bij het uitlezen van verschillende versies van de IDT 61298.

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 5V ±10%, All Temperature Ranges)

SYMBOL	PARAMETER	61298S45 61298L45 MIN.	MAX.	61298S55 61298L55 MIN.	MAX.	61298S70[2] 61298L70[2] MIN.	MAX.	UNIT
WRITE CYCLE								
t_{WC}	Write Cycle Time	40	–	50	–	60	–	ns
t_{CW}	Chip Select to End of Write	40	–	50	–	60	–	ns
t_{AW}	Address Valid to End of Write	40	–	50	–	60	–	ns
t_{AS}	Address Set-up Time	0	–	0	–	0	–	ns
t_{WP}	Write Pulse Width	40	–	50	–	60	–	ns
t_{WR}	Write Recovery Time	0	–	0	–	0	–	ns
t_{WHZ} (3)	Write Enable to Output in High Z	–	20	–	25	–	30	ns
t_{DW}	Data Valid to End of Write	25	–	30	–	35	–	ns
t_{DH}	Data Hold Time	0	–	0	–	0	–	ns
t_{OW} (3)	Output Active from End of Write	5	–	5	–	5	–	ns

NOTES:
1. 0°C to +70°C temperature range only.
2. -55°C to +125°C temperature range only.
3. This parameter guaranteed but not tested.

Tabel 8/2.4.1-52: Schakeltijden bij het schrijven van verschillende versies van de IDT 61298.

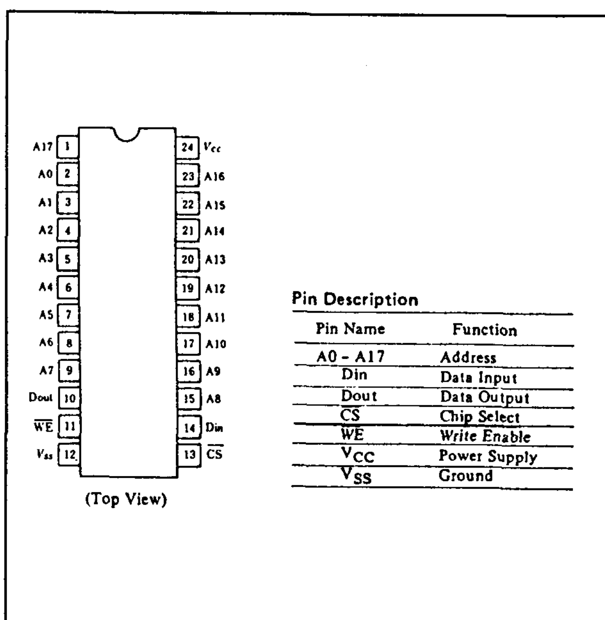
8/2.4.2

Type-beschrijving 62-serie

HM 6207

256k x 1 CMOS SRAM

De HM 6207 van Hitachi is een 256k statisch CMOS RAM met een organisatie van 262144 woorden van 1 bit.
De HM 6207 heeft aparte aansluitingen voor de data-ingang en de data-uitgang.
De RAM kan standby worden gezet met behulp van het chip-select signaal, waardoor (vooral bij de L-versie) aanzienlijk minder vermogen wordt gedissipeerd. De HM 6207 is zeer geschikt voor toepassingen als cache-geheugen in mainframes en 32-bit microprocessoren.



Pin Description

Pin Name	Function
A0 - A17	Address
Din	Data Input
Dout	Data Output
$\overline{CS}$	Chip Select
$\overline{WE}$	Write Enable
V_{CC}	Power Supply
V_{SS}	Ground

Figuur 8/2.4.2-1: Aansluitgegevens van de HM 6207.

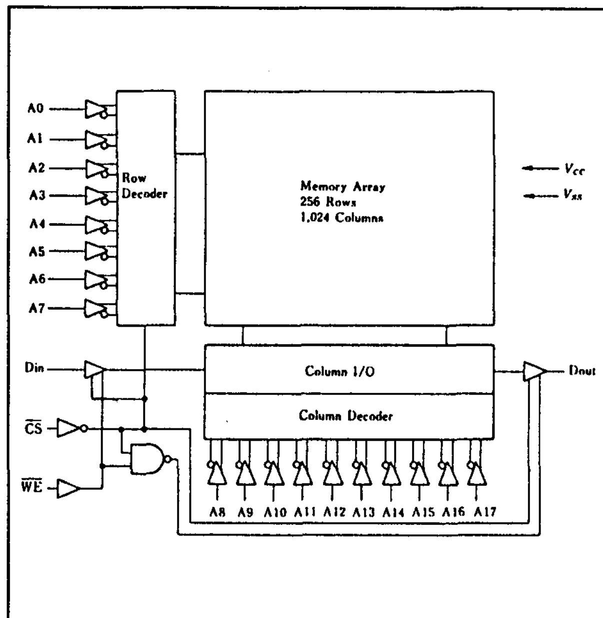
Specificaties

- 262144 x 1 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe nodig)
- toegangstijden: 35, 45 en 55 ns
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 300 mW typisch, standby: 0,1 mW, L-versie: 10 μW
- alle ingangen en uitgang TTL-compatibel
- aparte data-ingang en -uitgang
- 3-state uitgang
- bedrijfstemperatuur 0 tot +70 °C
- 24-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.4.2-1)
- leverbare typen:
  Hitachi: HM 6207P-35/-45/-55 (plastic), HM 6207LP-35/-45/-55 (low power)

Werking

De HM 6207 heeft 18 adres-lijnen (A0 tot en met A17), waarmee 262144 woorden, elk met een breedte van 1 bit, kunnen worden geadresseerd.
Zoals in figuur 8/2.4.2-2 te zien is, wordt de informatie opgeslagen in een matrix van 256 x 1024.
De 6207 kan standby worden gezet door de chip-select $\overline{CS}$ HOOG te maken (zie ook de waarheidstabel 8/2.4.2-1).
De opgenomen stroom is dan belangrijk minder, de lees-/schrijf-operaties zijn gesperd en de data-uitgang bevindt zich in de hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit de lees-mode of de schrijf-mode.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-2: Functioneel blokschema (positieve logica).

Function Table

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Ref. Cycle
H	X	NOT SELECTED	I_{SB}, I_{SB1}	HIGH Z	---
L	H	READ	I_{CC}	Dout	READ CYCLE
L	L	WRITE	I_{CC}	Din	WRITE CYCLE

Note) X means don't care.

Tabel 8/2.4.2-1: Waarheidstabel van de HM 6207.

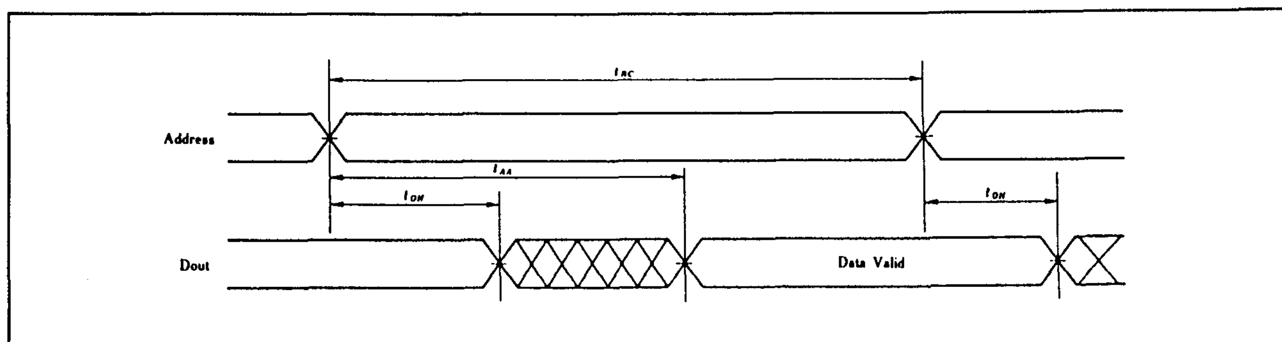
Lees-cyclus

De HM 6207 wordt uitgelezen als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.
Bij de eerste leescyclus (figuur 8/2.4.2-3) wordt de timing gerefereerd aan het adres. Hierbij blijven de besturingssignalen constant: $\overline{CS}$ LAAG (de chip blijft aktief) en $\overline{WE}$ HOOG. Als na een adresverandering het adres "waar" is geworden, kan na de minimale houdtijd t_{OH} geldige data aan de uitgang worden uitgelezen.

Bij de tweede leescyclus (figuur 8/2.4.2-4) is de timing afhankelijk van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ is steeds HOOG). Zoals te zien is gaat de chip hierbij dus telkens in de standbytoestand.

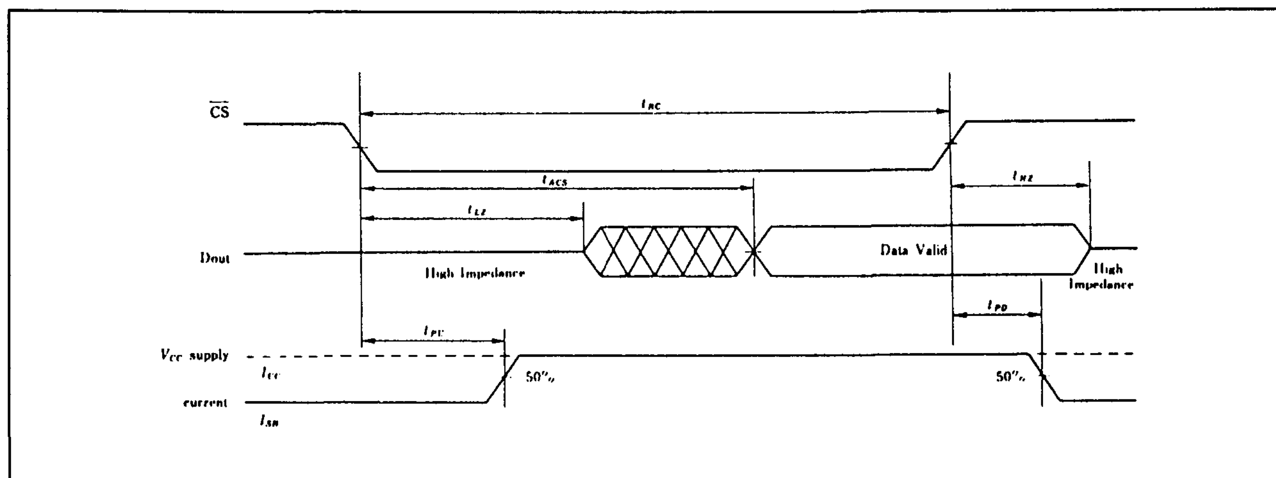
Schrijf-cyclus

Ook het schrijven naar de gekozen adressen kan op twee manieren gebeuren.
Bij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{WE}$. De schrijfcyclus start op de dalende flank van $\overline{WE}$, waarbij $\overline{CS}$ LAAG moet zijn (figuur 8/2.4.2-5). t_{WZ} ns na de dalende flank van $\overline{WE}$ wordt de data-uitgang hoog-impedant. Nieuwe data wordt op de stijgende flank van $\overline{WE}$ in de RAM geschreven.

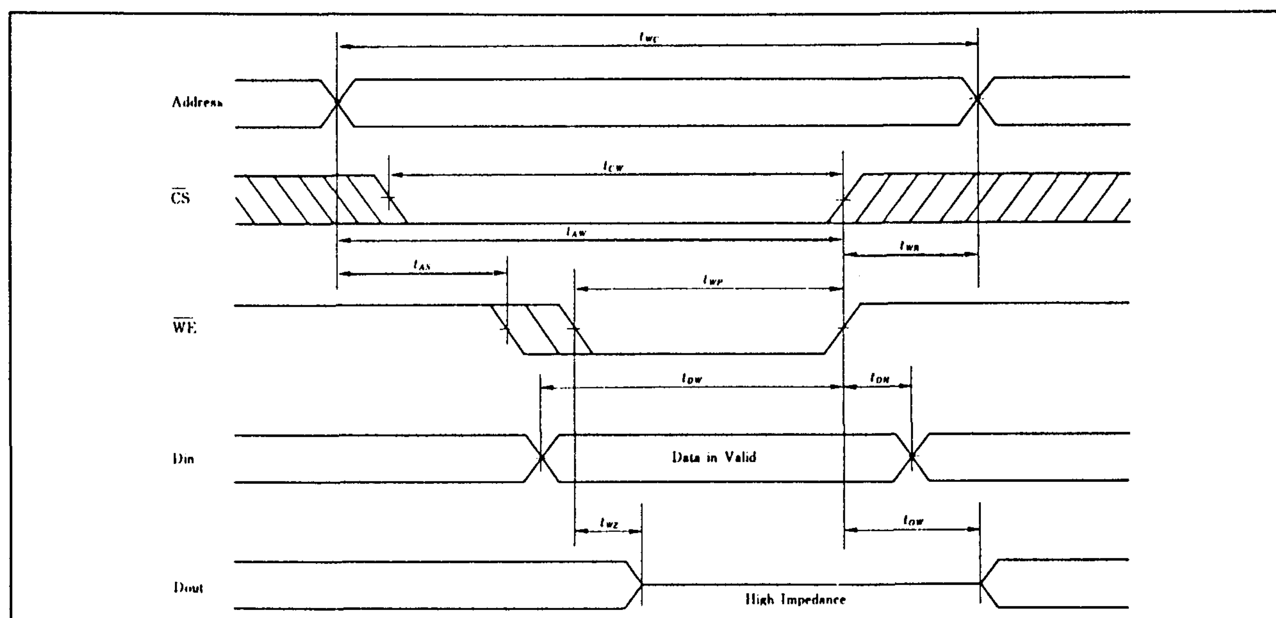


Figuur 8/2.4.2-3: Timing bij leescyclus 1 $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-4: Timing bij leescyclus 2: afhankelijk van $\overline{CS}$.

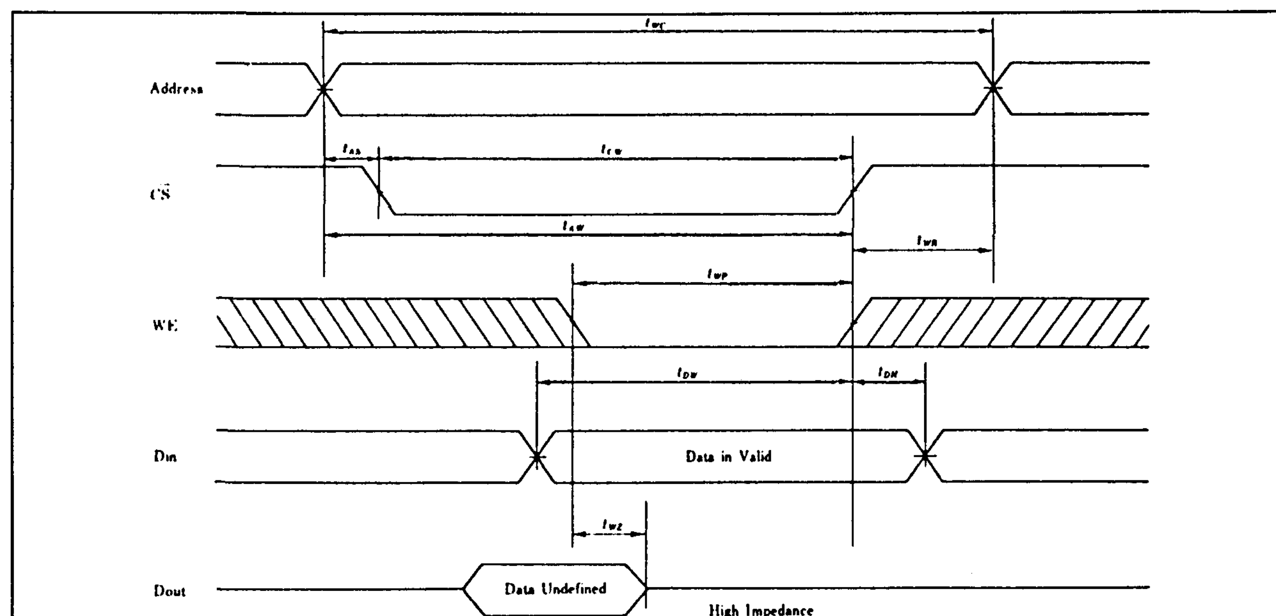


Figuur 8/2.4.2-5: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

De tweede schrijfcyclus (figuur 8/2.4.2-6) wordt bestuurd door $\overline{CS}$ (timing ten opzichte van de stijgende flank). Als het adres verandert moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Overige kenmerken
De overige elektrische en timing kenmerken van de HM 6207 zijn te zien in de tabellen 8/2.4.2-2 tot en met 8/2.4.2-6.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-6: Timing en golfvormen bij schrijfcyclus 2: besturing door $\overline{CS}$.

Absolute Maximum Ratings

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to V_{SS}	V_T	-0.5^{*1} to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	Topr	0 to +70	°C
Storage Temperature	Tstg	−55 to +125	°C
Storage Temperature under bias	Tbias	−10 to +85	°C

Tabel 8/2.4.2-2: Maximaal toegelaten waarden.

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input High (logic 1) Voltage	V_{IH}	2.2	–	6.0	V
Input Low (logic 0) Voltage	V_{IL}	-0.5^{*1}	–	0.8	V

Tabel 8/2.4.2-3: Aanbevolen bedrijfscondities.

2.4.2 Type-beschrijving 62-serie

DC and Operating Characteristics (Ta = 0 to +70°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

Parameter	Symbol	min	typ *1	max	Unit	Test Condition
Input Leakage Current	$\lvert I_{LI} \rvert$	–	–	2.0	μA	V_{CC} = MAX. $V_{IN} = V_{SS}$ to V_{CC}
Output Leakage Current	$\lvert I_{LO} \rvert$	–	–	10.0	μA	$\overline{CS} = V_{IH}$ Vout = V_{SS} to V_{CC}
Operating Power Supply Current: DC	I_{CC}	–	60	TBD	mA	$\overline{CS} = V_{IL}$ Iout = 0mA
Standby Power Supply Current: DC	I_{SB}	–	15	TBD	mA	$\overline{CS} = V_{IH}$
Standby Power Supply Current (1): DC	I_{SB1}	–	0.02	2.0	mA	$\overline{CS} \geq V_{CC}-0.2V$, $V_{IN} \leq 0.2V$ or $V_{IN} \geq V_{CC}-0.2V$
		–	0.002 *2	0.1 *2		
Output Low Voltage	V_{OL}	–	–	0.4	V	I_{OL} = 8mA
Output High Voltage	V_{OH}	2.4	–	–	V	I_{OH} = −4.0mA

Note) *1. Typical limits are at V_{CC} = 5.0V, T_a = 25°C and specified loading.
*2. This characteristics is guaranteed only for L-version.

Tabel 8/2.4.2-4: Gelijkspanningscondities van de HM 6207.

Read Cycle

Parameter	Symbol	HM6207-35		HM6207-45		HM6207-55		Unit	Notes
		min	max	min	max	min	max		
Read Cycle Time	t_{RC}	35	–	45	–	55	–	ns	*1
Address Access Time	t_{AA}	–	35	–	45	–	55	ns	
Chip Select Access Time	t_{ACS}	–	35	–	45	–	55	ns	
Output Hold from Address Change	t_{OH}	5	–	5	–	5	–	ns	
Chip Selection to Output in Low Z	t_{LZ}	5	–	5	–	5	–	ns	*2, *3, *7
Chip Deselection to Output in High Z	t_{HZ}	0	30	0	30	0	30	ns	*2, *3, *7
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	0	–	ns	*7
Chip Deselection to Power Down Time	t_{PD}	–	30	–	40	–	40	ns	*7

Tabel 8/2.4.2-5: Schakeltijden bij het uitlezen.

Write Cycle

Parameter	Symbol	HM6207-35		HM6207-45		HM6207-55		Unit	Notes
		min	max	min	max	min	max		
Write Cycle Time	t_{WC}	35	–	45	–	55	–	ns	*2
Chip Selection to End of Write	t_{CW}	30	–	40	–	50	–	ns	
Address Valid to End of Write	t_{AW}	30	–	40	–	50	–	ns	
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns	
Write Pulse Width	t_{WP}	25	–	25	–	35	–	ns	
Write Recovery Time	t_{WR}	TBD	–	TBD	–	TBD	–	ns	
Data Valid to End of Write	t_{DW}	20	–	25	–	25	–	ns	
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns	
Write Enabled to Output in High Z	t_{WZ}	0	20	0	25	0	25	ns	*3, *4
Output Active from End of Write	t_{OW}	0	–	0	–	0	–	ns	*3, *4

Notes) *1. If $\overline{CS}$ goes high simultaneously with $\overline{WE}$ high, the output remains in a high impedance states.
*2. All Write Cycle timings are referenced from the last valid address to the first transitioning address.
*3. Transition is measured ±200mV from steady state voltage with specified loading in Load B.
*4. This parameter is sampled and not 100% tested.

Tabel 8/2.4.2-6: Schakeltijden bij het schrijven.

2.4.2 Type-beschrijving 62-serie

HM 6208

64k x 4 CMOS SRAM

De HM 6208 is een 256k statisch CMOS RAM, georganiseerd in 65536 woorden van 4 bits.

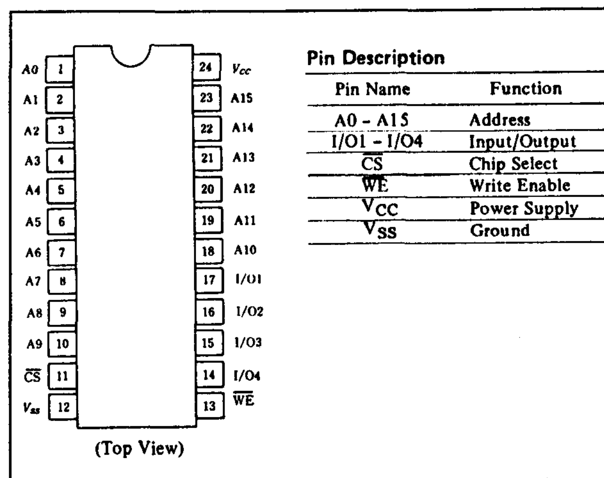
De HM 6208 heeft een chip-select ingang CS waarmee dit geheugen standby kan worden gezet voor een geringere dissipatie. De HM 6208 is ook in een low-power versie verkrijgbaar. De RAM heeft gecombineerde data-ingangen en -uitgangen. Door zijn snelheid en groot opslagvermogen is de HM 6208 zeer geschikt voor gebruik als cache-geheugen in main-frames of bij 32-bits microprocessoren.

Specificaties

- 65536 x 4 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe)
- toegangstijden: 35, 45 of 55, ns (max)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 300 mW typisch (standby 0,1 mW, low power-versie zelfs 10 µW!)
- alle in- en uitgangen TTL-compatibel
- gecombineerde (bidirectionele) data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 24-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.4.2-7)
- leverbare typen:
  Hitachi: HM 6208P-35/-45/-55 (standaard vermogen), HM 6208LP-35/-45/-55 (low power)

Werking

De HM 6208 heeft 16 adres-lijnen (A0 tot en met A15), waardoor 65536 4-bits woorden bereikbaar zijn (zie figuur 8/2.4.2-8). Zoals in de waarheidstabel 8/2.4.2-7 te zien is, komt de HM6208 in de standby toestand door de chip-select ingang CS HOOG te maken. Er wordt dan veel minder vermogen gedissipeerd, terwijl de functies lezen en schrijven worden gesperd.



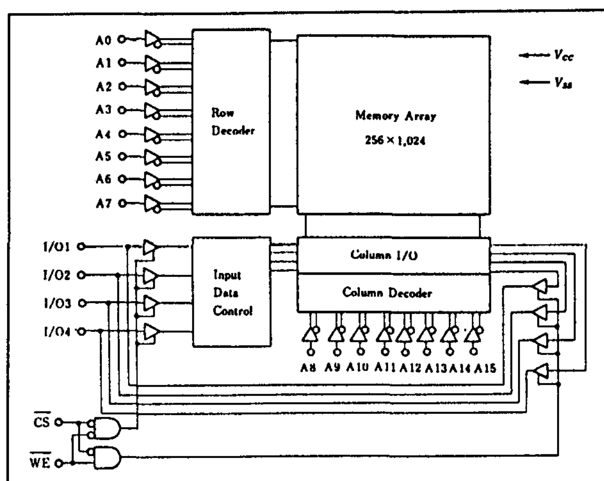
Figuur 8/2.4.2-7: Aansluitgegevens van de HM 6208.

De data-uitgangen bevinden zich hierbij in een hoog-impedante toestand. Is CS LAAG, dan is de chip aktief en kan met WE worden gekozen uit lezen of schrijven.

Lees-cyclus

De HM 6208 kan worden uitgelezen als CS LAAG en WE HOOG zijn. Er kan op twee manieren worden gelezen.

Bij leescyclus 1 (figuur 8/2.4.2-9) vindt timing plaats ten opzichte van het tijdstip dat het adres "waar" is geworden (t_{OH}). Hierbij blijven CS en OE voortdurend LAAG en WE HOOG.



Figuur 8/2.4.2-8: Functioneel blokschema (positieve logica).

2.4.2 Type-beschrijving 62-serie

Function Table

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Ref. Cycle
H	X	NOT SELECTED	I_{SB}, I_{SB1}	HIGH Z	---
L	H	READ	I_{CC}	Dout	READ CYCLE
L	L	WRITE	I_{CC}	Din	WRITE CYCLE

Note) X means don't care.

Tabel 8/2.4.2-7: Waarheidstabel van de HM 6208.

Bij leescyclus 2 (figuur 8/2.4.2-10) vindt de timing plaats ten opzichte van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft hierbij voortdurend HOOG).

Schrijf-cyclus

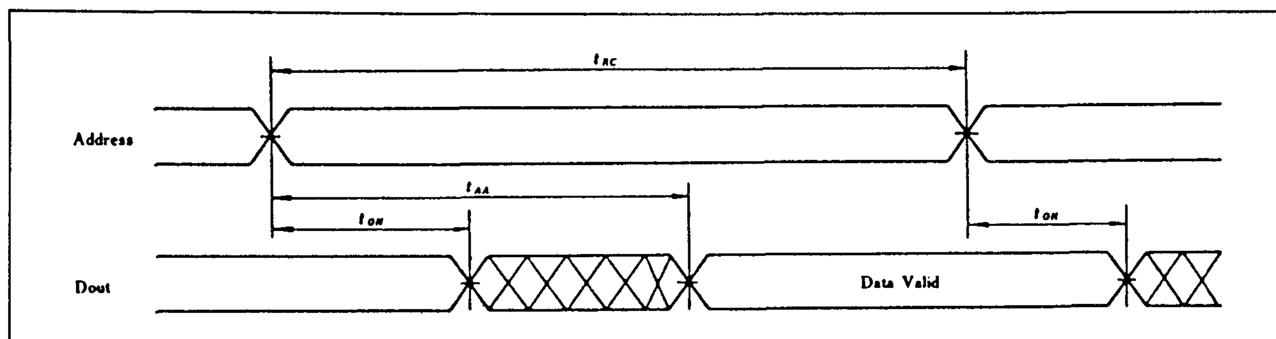
Het schrijven is ook op twee manieren mogelijk.

Bij schrijfcyclus 1 vindt de timing plaats ten opzichte van $\overline{WE}$ (figuur 8/2.4.2-11). Een tijd t_{WZ} na de dalende flank van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet, die op de stijgende flank van $\overline{WE}$ wordt ingeschreven.
Wanneer van adres wordt veranderd, moeten $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

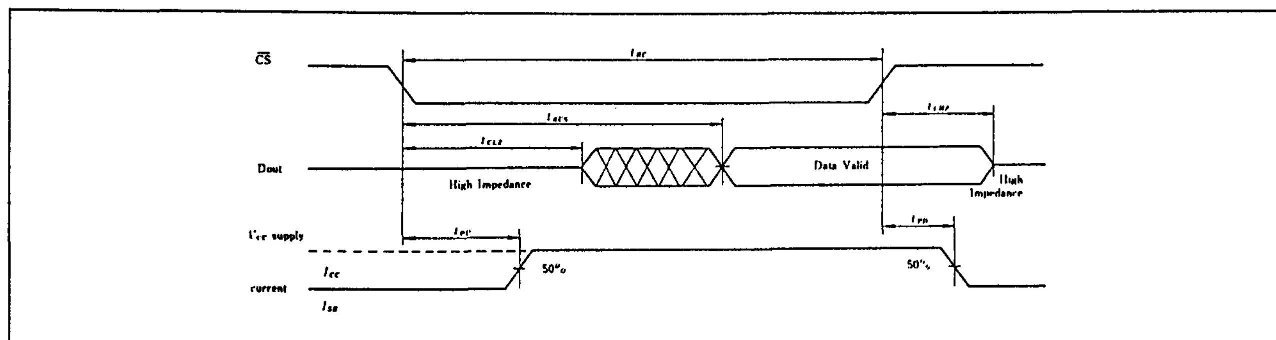
Schrijfcyclus 2 (figuur 8/2.4.2-12) wordt bestuurd ten opzichte van de dalende flank van $\overline{CS}$.
Op de stijgende flank van $\overline{CS}$ wordt de nieuwe informatie in de RAM geschreven. Ook hierbij geldt dat tijdens adres-veranderingen $\overline{CS}$ en/of $\overline{WE}$ HOOG moeten zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van de HM 6208 zijn te zien in de tabellen 8/2.4.2-8 tot en met 8/2.4.2-12.

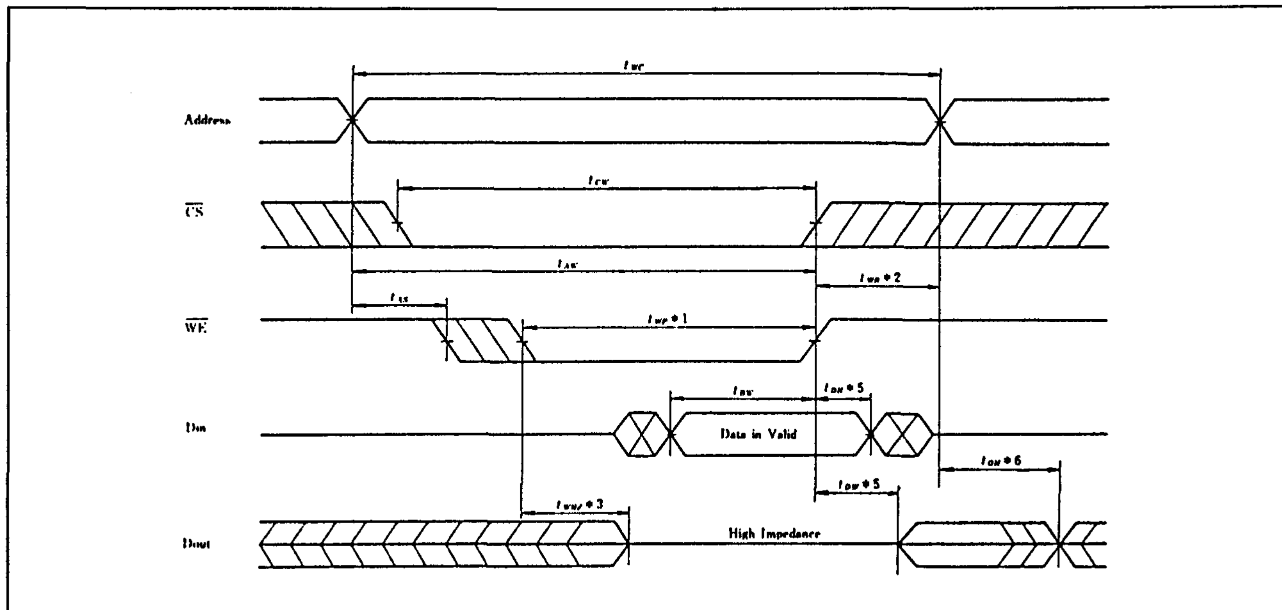


Figuur 8/2.4.2-9: Timing bij leescyclus 1: timing ten opzichte van de adressen.

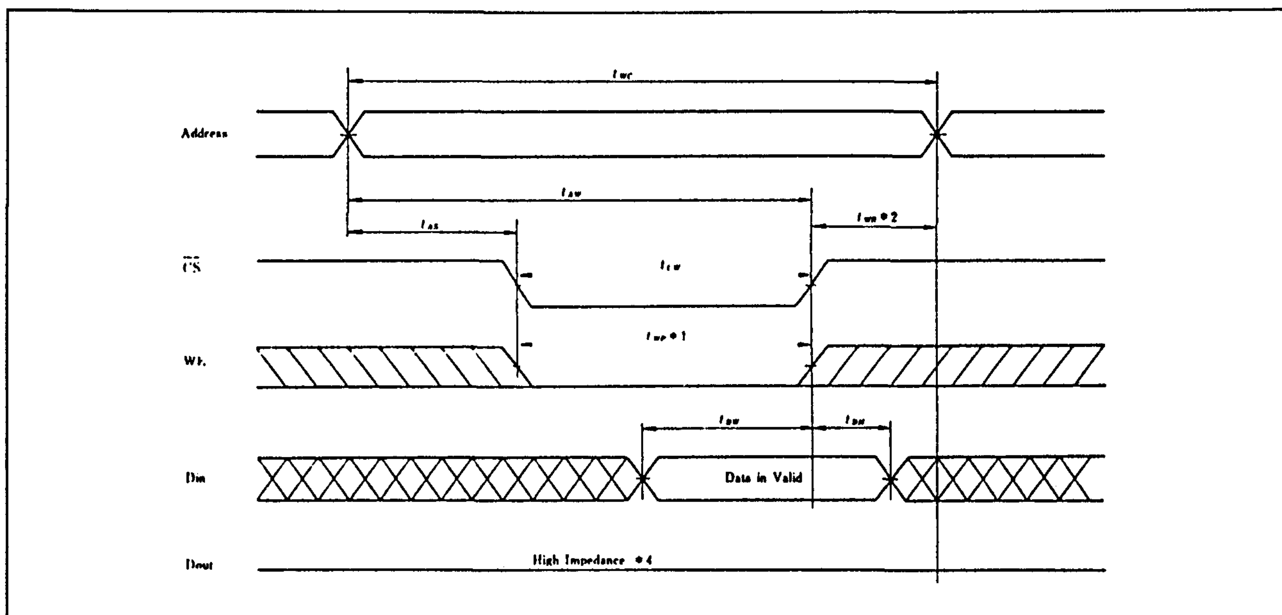


Figuur 8/2.4.2-10: Timing bij leescyclus 2: besturing door $\overline{CS}$.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-11: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.



Figuur 8/2.4.2-12: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

2.4.2 Type-beschrijving 62-serie

Absolute Maximum Ratings

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to V_{SS}	V_T	-0.5^{*1} to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	Topr	0 to +70	°C
Storage Temperature	Tstg	−55 to +125	°C
Storage Temperature under bias	Tbias	10 to +85	°C

Tabel 8/2.4.2-8: Maximaal toegelaten waarden.

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input High (logic 1) Voltage	V_{IH}	2.2	–	6.0	V
Input Low (logic 0) Voltage	V_{IL}	-0.5^{*1}	–	0.8	V

Tabel 8/2.4.2-9: Aanbevolen bedrijfscondities.

DC and Operating Characteristics (Ta = 0 to +70°C, Vcc = 5V ± 10%, Vss = 0V)

Parameter	Symbol	min	typ ^{*1}	max	Unit	Test Condition
Input Leakage Current	$\|I_{LI}\|$	–	–	2.0	µA	V_{CC} = MAX. V_{IN} = V_{SS} to V_{CC}
Output Leakage Current	$\|I_{LO}\|$	–	–	10.0	µA	$\overline{CS}$ = V_{IH} $V_{I/O}$ = V_{SS} to V_{CC}
Operating Power Supply Current	I_{CC}	–	60	100	mA	$\overline{CS}$ = V_{IL} $I_{I/O}$ = 0mA
Standby Power Supply Current	I_{SB}	–	15	30	mA	$\overline{CS}$ = V_{IH}
Standby Power Supply Current (1)	I_{SB1}	–	0.02	2.0	mA	$\overline{CS} \geq V_{CC}-0.2V$ $V_{IN} \leq 0.2V$ or $V_{IN} \geq V_{CC}-0.2V$
		–	0.002^{*2}	0.1^{*2}		
Output Low Voltage	V_{OL}	–	–	0.4	V	I_{OL} = 8mA
Output High Voltage	V_{OH}	2.4	–	–	V	I_{OH} = −4.0mA

Tabel 8/2.4.2-10: Gelijkspanningskarakteristieken van de HM 6208 (laagste Isb1 voor low-power versie).

Read Cycle

Parameter	Symbol	HM6208-35		HM6208-45		HM-6208-55		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{RC}	35	–	45	–	55	–	ns
Address Access Time	t_{AA}	–	35	–	45	–	55	ns
Chip Select Access Time	t_{ACS}	–	35	–	45	–	55	ns
Output Hold from Address Change	t_{OH}	5	–	5	–	5	–	ns
Chip Selection to Output in Low Z	$t_{CLZ}{}^{*1}$	10	–	10	–	10	–	ns
Chip Deselection to Output in High Z	$t_{CHZ}{}^{*1}$	0	20	0	20	0	20	ns
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	0	–	ns
Chip Deselection to Power Down Time	t_{PD}	–	30	–	30	–	30	ns

Tabel 8/2.4.2-11: Schakeltijden bij het uitlezen van verschillende versies van de HM 6208.

2.4.2 Type-beschrijving 62-serie

Write Cycle

Parameter	Symbol	HM6208-35		HM6208-45		HM6208-55		Unit
		min	max	min	max	min	max	
Write Cycle Time	t_{WC}	35	–	45	–	55	–	ns
Chip Selection to End of Write	t_{CW}	30	–	40	–	50	–	ns
Address Valid to End of Write	t_{AW}	30	–	40	–	50	–	ns
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns
Write Pulse Width *1	t_{WP}	30	–	35	–	45	–	ns
Write Recovery Time	t_{WR}	3	–	3	–	3	–	ns
Data Valid to End of Write	t_{DW}	20	–	20	–	25	–	ns
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns
Write Enabled to Output in High Z	t_{WHZ}*7	0	10	0	15	0	20	ns
Output Active from End of Write	t_{OW}*7	0	–	0	–	0	–	ns

Tabel 8/2.4.2-12: Schakeltijden bij het schrijven van verschillende versies van de HM 6208.

HM 6264

8k x 8 CMOS SRAM

De HM 6264 is een 64k statische CMOS RAM, georganiseerd in 8192 woorden van 8 bits ("byte wide"). Dit geheugen is compatibel met de NMOS-versie 2064 en vele andere CMOS typen. De HM 6264 wordt geleverd in een gewone versie (die nogal wat vermogen dissipeert) en een A-versie (die veel zuiniger is). De 28-pens DIL 0,6 inch behuizing van de HM 6264 is standaard en daardoor compatibel met standaard 64k-typen RAM, ROM, EEPROM en EPROM (2764).

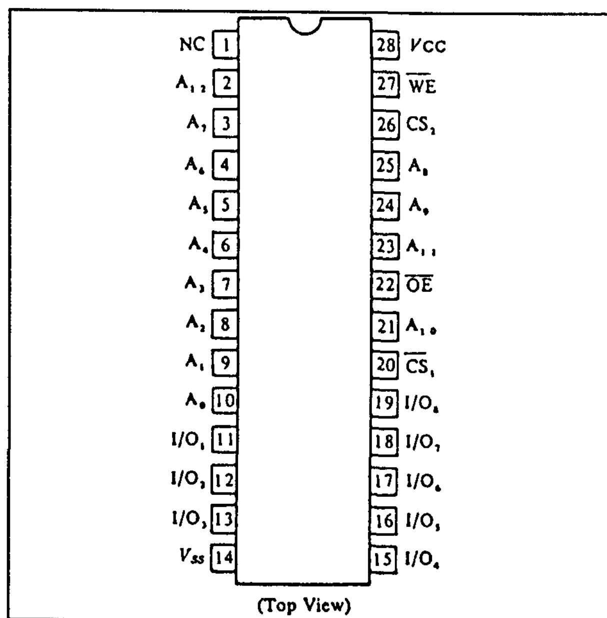
Specificaties

- 8192 x 8 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe)
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen HM 6264: 200 mW/MHz, 0,1 mW standby, HM 6264A: 15 mW/MHz, 0,1 mW standby, L- en LL-typen van beide soorten: 10 µW standby
- data-houdspanning minimaal 2 V
- toegangstijden: 100, 120 en 150 ns (respectievelijk -10/-12/-15)
- in-/uitgangen TTL en CMOS-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- dubbele chip-enable $\overline{CS}$1 en CS2 en output-enable $\overline{OE}$
- standaard aansluitingen
- 28-pens 0,6 inch en 0,3 inch (-A) plastic DIL-behuizing (figuur 8/2.4.2-13) en 28-pens plastic SOP- behuizing (-FP)
- leverbare typen (Hitachi):
  HM 6264P-10/-12/-15 (0,6")
  HM 6264LP-10/-12/-15 (0,6", low power)
  HM 6264LP-10L/-12L/-15L (0,6", extra LP)
  HM 6264 FP-10/-12/-15 (SOP)
  HM 6264 LFP-10/-12/-15 (SOP, low power)
  HM 6264 LFP-10L/-12L/-15L (SOP extra LP)
  HM 6264AP-12/-15 (0,6")
  HM 6264ALP-12/-15 (0,6", low power)
  HM 6264ALP-12L/-15L (0,6", extra LP)
  HM 6264ASP-12/-15 (0,3")
  HM 6264ALSP-12(L)/-15(L) (0,3", L/LL)
  HM 6264AFP-12/-15 (SOP)
  HM 6264ALFP-12(L)/-15(L) (SOP, L/LL)

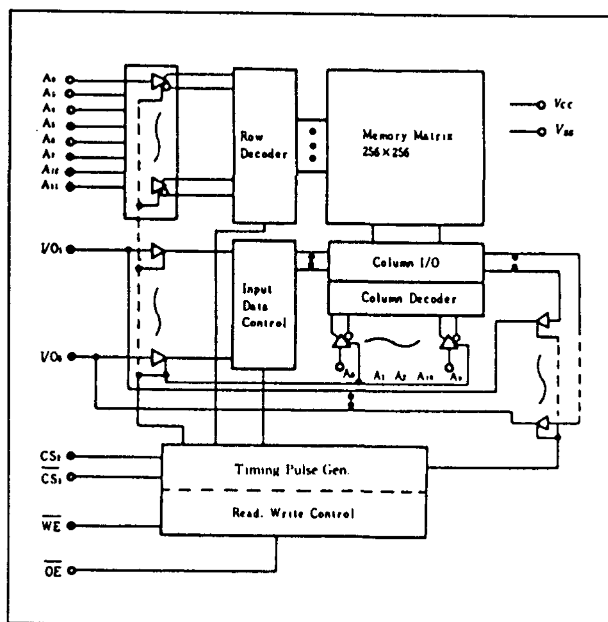
Werking

De HM 6264 heeft 13 adres-lijnen (A0 tot en met A12), waarmee 8192 woorden van 8-bits breedte kunnen worden geadresseerd. Zoals in figuur 8/2.4.2-14 te zien is, wordt de data opgeslagen in een 256 x 256 matrix. Als chip-enable $\overline{CS}$1 HOOG is of CS2 LAAG, staat de HM 6264 standby en bevinden de uitgangen zich in een hoog-impedante toestand (zie waarheidstabel 8/2.4.2-13).

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-13: Aansluitingen van de DIL-versie van de HM 6264(A).



Figuur 8/2.4.2-14: Functioneel blokschema (positieve logica).

TRUTH TABLE

$\overline{WE}$	$\overline{CS_1}$	CS_2	$\overline{OE}$	Mode	I/O Pin	V_{CC} Current	Note
X	H	X	X	Not Selected (Power Down)	High Z	I_{SB}, I_{SB1}	
X	X	L	X		High Z	I_{SB}, I_{SB1}	
H	L	H	H	Output Disabled	High Z	I_{CC}	
H	L	H	L	Read	Dout	I_{CC}	Read Cycle
L	L	H	H	Write	Din	I_{CC}	Write Cycle (1)
L	L	H	L		Din	I_{CC}	Write Cycle (2)

X: H or L

Tabel 8/2.4.2-13: Waarheidstabel van de HM 6264(A).

Lees-cyclus

De RAM kan worden uitgelezen als $\overline{WE}$ HOOG is, waarbij $\overline{CS}$1 en $\overline{OE}$ LAAG moeten zijn en CS2 HOOG (zie figuur 8/2.4.2-15). $\overline{WE}$ blijft gedurende de gehele cyclus HOOG. Het gekozen adres moet tot na de leescyclus stabiel blijven.

Schrijf-cyclussen

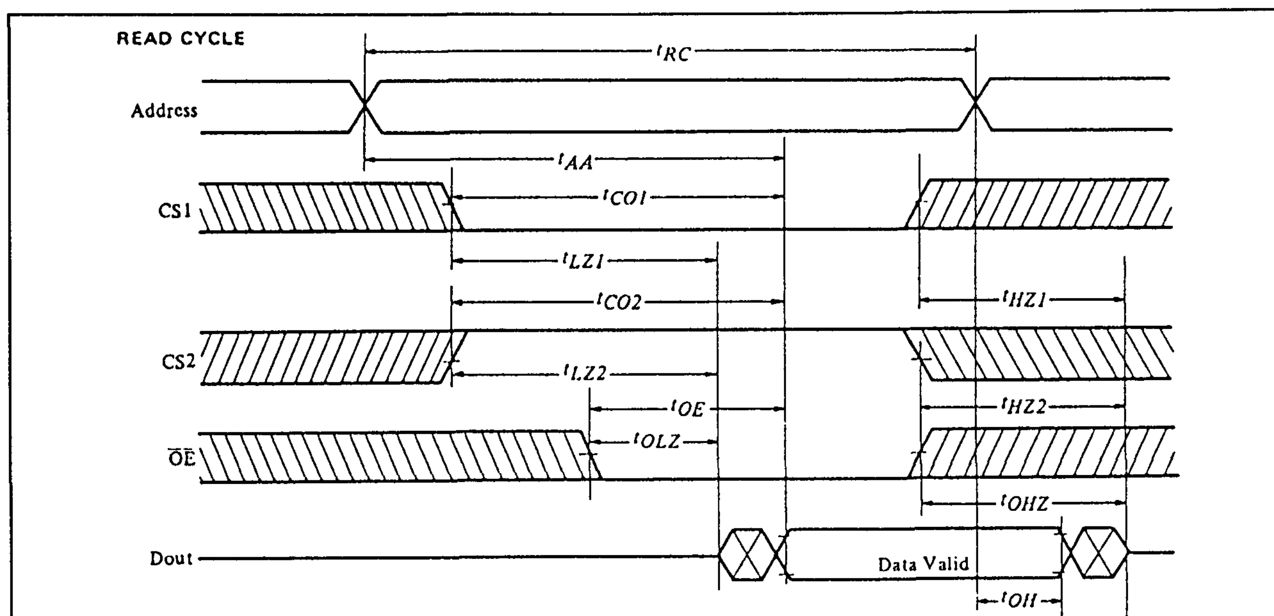
Er zijn twee soorten schrijfcyclus mogelijk. Bij de eerste wordt $\overline{OE}$ als klok gebruikt ($\overline{OE}$-timing). Het gebruik van de overige signalen is te zien in figuur 8/2.4.2-16. Het gekozen adres moet gedurende de gehele schrijfcyclus stabiel zijn.

Bij de tweede blijft $\overline{OE}$ steeds LAAG en vindt de timing plaats ten opzichte van $\overline{CS}$ (1 of 2). Ook hierbij moet het adres stabiel zijn (zie figuur 8/2.4.2-18).

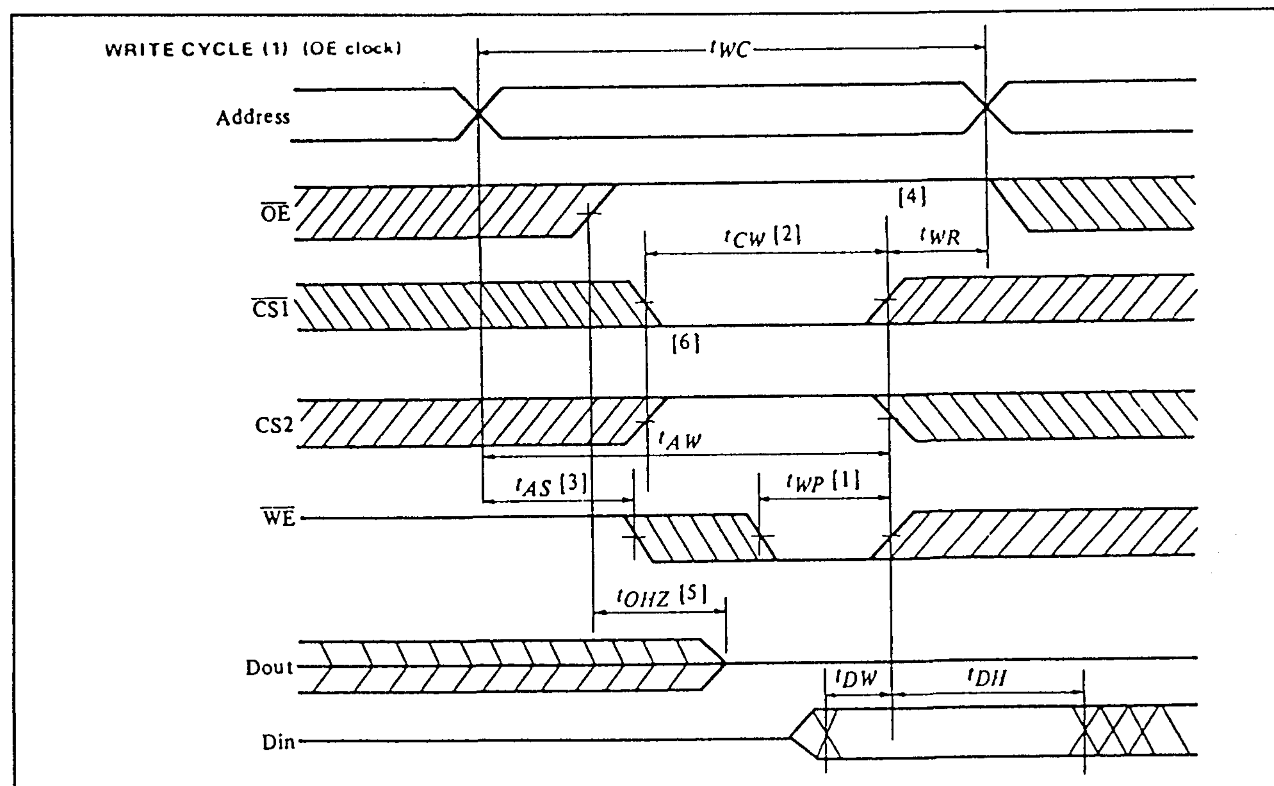
Overige kenmerken

De elektrische en timing kenmerken van de HM 6264A (de wat opgenomen vermogen betreft gunstigster versie dan de HM 6264) zijn te zien in de tabellen 8/2.4.2-14 tot en met 8/2.4.2-17.

2.4.2 Type-beschrijving 62-serie



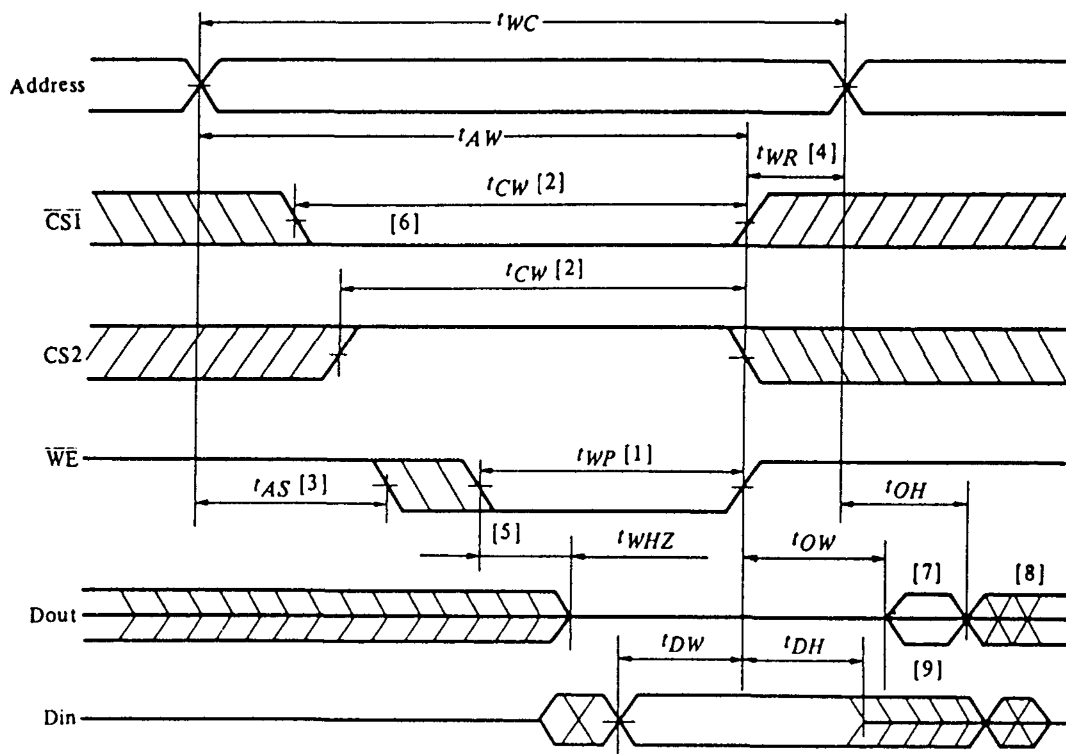
Figuur 8/2.4.2-15: Timing bij het uitlezen.



Figuur 8/2.4.2-16: Timing bij schrijfcyclus 1: $\overline{OE}$-klok.

2.4.2 Type-beschrijving 62-serie

• WRITE CYCLE (2) (OE Low Fix)



NOTES:
1) A write occurs during the overlap of a low $\overline{CS1}$, a high CS2 and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low and $\overline{WE}$ going high, t_{WP} is measured from the beginning of write to the end of write.
2) t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
3) t_{AS} is measured from the address valid to the beginning of write.
4) t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
5) During this period, I/O pins are in the output state, therefore the input signals of opposite phase to the outputs must not be applied.
6) If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in high impedance state.
7) Dout is the same phase of the latest written data in this write cycle.
8) Dout is the read data of next address.
9) If $\overline{CS1}$ is low and $\overline{CS2}$ is high during this period, I/O pins are in the output state. Therefore, the input signals of opposite phase to the outputs must not be applied to them.

Figuur 8/2.4.2-17: Timing bij schrijfcyclus 2.

2.4.2 Type-beschrijving 62-serie

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Terminal Voltage*1	V_T	-0.5*2 to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature	T_{stg}	-55 to +125	°C
Storage Temperature (Under Bias)	T_{bias}	-10 to +85	°C

Notes) *1. With respect to V_{SS}.
*2. -3.0V for pulse width ≦ 50ns

Tabel 8/2.4.2-14: Maximaal toegelaten waarden van de HM 6264 en de HM 6264(A).

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to +70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input Voltage	V_{IH}	2.2		6.0	V
	V_{IL}	-0.3*1		0.8	V

Tabel 8/2.4.2-15: Aanbevolen bedrijfscondities HM 6264(A).

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ± 10%, V_{SS} = 0V, T_a = 0 to +70°C)

Item	Symbol	Test Condition	min	typ*1	max	Unit
Input Leakage Current	$\lvert I_{LI}\rvert$	$V_{in}=V_{SS}$ to V_{CC}	–	–	2	μA
Output Leakage Current	$\lvert I_{LO}\rvert$	$\overline{CS1}=V_{IH}$ or $CS2=V_{IL}$ or $\overline{OE}=V_{IH}$ or $\overline{WE}=V_{IL}$, $V_{I/O}=V_{SS}$ to V_{CC}	–	–	2	μA
Operating Power Supply Current	I_{CCDC}	$\overline{CS1}=V_{IL}$, $CS2=V_{IH}$, $I_{I/O}$=0mA	–	7	15	mA
Average Operating Current	I_{CC1}	Min. cycle, duty=100%, $\overline{CS1}=V_{IL}$, $CS2=V_{IH}$ $I_{I/O}$=0mA	–	30	45	mA
	I_{CC2}	Cycle = 1μs, duty = 100%, $I_{I/O}$ = 0mA, $\overline{CS1}$ ≦ 0.2V, CS2 ≧ V_{CC} -0.2V V_{IH} ≧ V_{CC} -0.2V, V_{IL} ≦ 0.2V	–	3	5	mA
Standby Power Supply Current	I_{SB}	$\overline{CS1}=V_{IH}$ or $CS2=V_{IL}$	–	1	3	mA
	I_{SB1}*2	$\overline{CS1}$≧V_{CC}-0.2V, CS2≧V_{CC}-0.2V or CS2≦0.2V	–	0.02	2	mA
			–	2*3	100*3	μA
			–	2*4	50*4	μA
Output Voltage	V_{OL}	I_{OL}=2.1mA	–	–	0.4	V
	V_{OH}	I_{OH}=-1.0mA	2.4	–	–	V

Notes) *1. Typical limits are at V_{CC}=5.0V, T_a=25°C and specified loading.
*2. V_{IL} min=-0.3V
*3. This characteristics is guaranteed only for L-version.
*4. This characteristics is guaranteed only for LL-version.

Tabel 8/2.4.2-16: Gelijkspanningscondities van de HM 6264A.

2.4.2 Type-beschrijving 62-serie

READ CYCLE

Item		Symbol	HM6264A-12		HM6264A-15		Unit
			min	max	min	max	
Read Cycle Time		t_{RC}	120	–	150	–	ns
Address Access Time		t_{AA}	–	120	–	150	ns
Chip Selection to Output	$\overline{CS1}$	t_{CO1}	–	120	–	150	ns
	CS2	t_{CO2}	–	120	–	150	ns
Output Enable to Output Valid		t_{OE}	–	60	–	70	ns
Chip Selection to Output in Low Z	$\overline{CS1}$	t_{LZ1}	10	–	10	–	ns
	CS2	t_{LZ2}	10	–	10	–	ns
Output Enable to Output in Low Z		t_{OLZ}	5	–	5	–	ns
Chip Deselection to Output in High Z	$\overline{CS1}$	t_{HZ1}	0	40	0	50	ns
	CS2	t_{HZ2}	0	40	0	50	ns
Output Disable to Output in High Z		t_{OHZ}	0	40	0	50	ns
Output Hold from Address Change		t_{OH}	10	–	10	–	ns

Notes) 1. t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
2. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.

Tabel 8/2.4.2-17: Schakeltijden bij het uitlezen van de HM 6264A.

WRITE CYCLE

Item	Symbol	HM6264A-12		HM6264A-15		Unit
		min	max	min	max	
Write Cycle Time	t_{WC}	120	–	150	–	ns
Chip Selection to End of Write	t_{CW}	100	–	120	–	ns
Address Setup Time	t_{AS}	0	–	0	–	ns
Address Valid to End of Write	t_{AW}	100	–	120	–	ns
Write Pulse Width	t_{WP}	80	–	100	–	ns
Write Recovery Time	t_{WR}	0	–	0	–	ns
Write to Output in High Z	t_{WHZ}	0	40	0	50	ns
Data to Write Time Overlap	t_{DW}	40	–	50	–	ns
Data Hold from Write Time	t_{DH}	0	–	0	–	ns
Output Enable to Output in High Z	t_{OHZ}	0	40	0	50	ns
Output Active from End of Write	t_{OW}	5	–	5	–	ns

Tabel 8/2.4.2-18: Schakeltijden bij het schrijven naar de HM 6264A.

HM 6267

16k x 1 CMOS SRAM

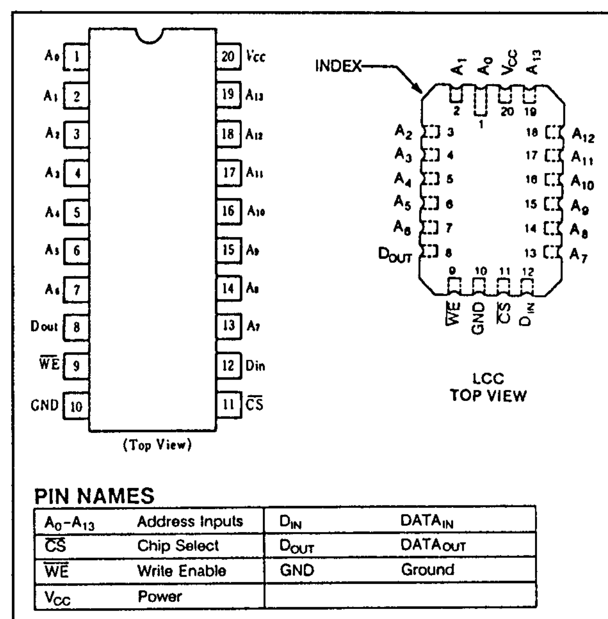
De HM 6267 van Hitachi is een 16384 bit statisch CMOS RAM met een organisatie van 16384 woorden van 1 bit. De HM 6267 is een snellere versie van de HM 6167. De DIL-uitvoering is eveneens pen-compatibel met het NMOS geheugen 2167. De HM 6267 heeft voor de data-ingang en voor de data-uitgang aparte aansluitingen. De RAM kan standby worden gezet met het chip-select signaal, waardoor aanzienlijk minder vermogen wordt gedissipeerd (0,1 mW, bij de L-versie slechts 5 µW).

Specificaties

- 16384 x 1 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe nodig)
- toegangstijden: 35, 45 en 55 ns
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 200 mW typisch, standby: 0,1 mW (L-versie: 5 µW)

2.4.2 Type-beschrijving 62-serie

- alle ingangen en uitgang TTL-compatibel
- aparte data-ingang en -uitgang
- 3-state uitgang
- bedrijfstemperatuur 0 tot +70 °C
- 20-pens 0,3 inch plastic DIL-behuizing of 20-pens rechthoekige LCC (figuur 8/2.4.2-18)
- leverbare typen:
  Hitachi: HM 6267P-35/-45/-55 (plastic), HM 6267LP-35/-45/-55 (low power), HM 6267CG-35/-45/-55 (LCC)



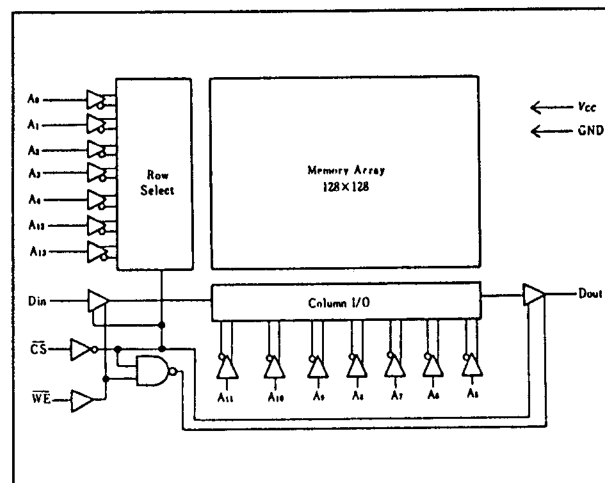
A_0–A_{13}	Address Inputs	D_{IN}	$DATA_{IN}$
$\overline{CS}$	Chip Select	D_{OUT}	$DATA_{OUT}$
$\overline{WE}$	Write Enable	GND	Ground
V_{CC}	Power		

Figuur 8/2.4.2-18: Aansluitingen van de DIL- en LC-versies van de HM 6267.

Werking

De HM 6267 heeft 14 adres-lijnen (A0 tot en met A13), waarmee 16384 woorden, elk met een breedte van 1 bit, kunnen worden bereikt.

Zoals in figuur 8/2.4.2-19 te zien is, wordt de informatie opgeslagen in een matrix van 128 x 128. De 6267 kan standby worden gezet door de chip-select $\overline{CS}$ HOOG te maken (zie ook de waarheidstabel 8/2.4.2-19). De opgenomen stroom wordt dan geringer, de lees-/schrijf-operaties zijn gesperd en de data-uitgang bevindt zich in de hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.



Figuur 8/2.4.2-19: Functioneel blokschema (positieve logica).

Lees-cyclus

De HM 6267 wordt uitgelezen als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.

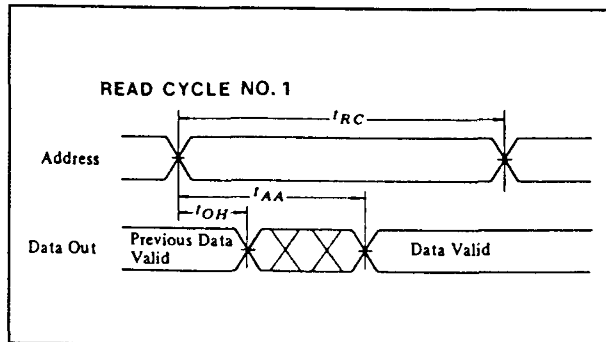
Bij de eerste leescyclus (figuur 8/2.4.2-20) wordt de timing gerefereerd aan het adres. Hierbij is $\overline{CS}$ voortdurend LAAG (de chip blijft aktief) en $\overline{WE}$ HOOG.

TRUTH TABLE

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	Dout Pin	Ref. Cycle
H	×	Not selected	I_{SB}, I_{SB1}	High-Z	
L	H	Read	I_{CC}	Dout	Read Cycle
L	L	Write	I_{CC}	High-Z	Write Cycle

Tabel 8/2.4.2-19: Waarheidstabel van de HM 6267.

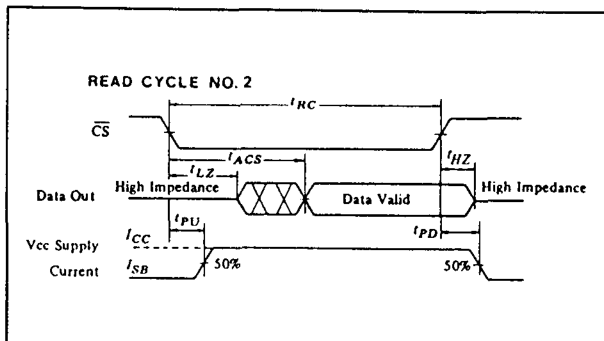
2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-20: Timing bij leescyclus 1: $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.

Als na een adresverandering het adres "waar" is geworden, kan na de minimale houdtijd t_{OH} geldige data aan de uitgang worden uitgelezen.

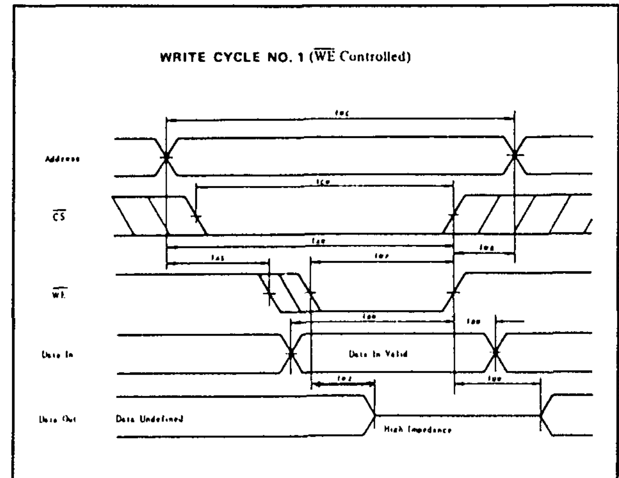
Bij de tweede leescyclus (figuur 8/2.4.2-21) is de timing afhankelijk van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ is steeds HOOG). De chip gaat hierbij dus telkens in de standby-toestand.



Figuur 8/2.4.2-21: Golfvormen bij leescyclus 2: timing afhankelijk van $\overline{CS}$.

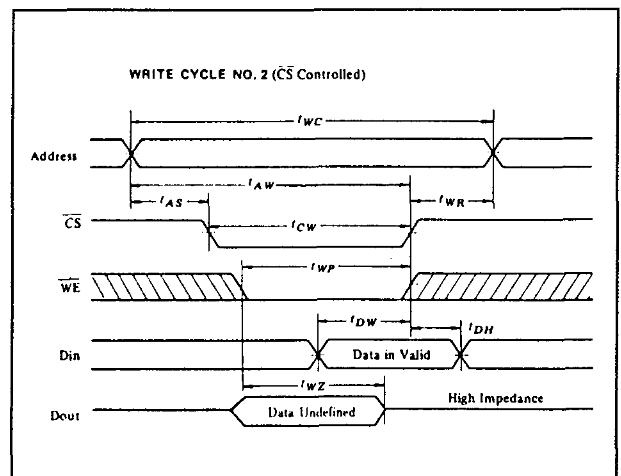
Schrijf-cyclus

Ook het beschrijven van de geadresseerde lokaties kan op twee manieren gebeuren.
Bij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{WE}$. De schrijfcyclus start op de dalende flank van $\overline{WE}$, waarbij $\overline{CS}$ dan al LAAG moet zijn (figuur 8/2.4.2-22).
Na verloop van t_{WZ} wordt de data-uitgang hoog-impedant en kan nieuwe data in de RAM worden geschreven.



Figuur 8/2.4.2-22: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

De tweede schrijfcyclus (figuur 8/2.4.2-23) wordt geregeld door $\overline{CS}$ (de timing is ten opzichte van de stijgende flank van $\overline{CS}$). Als het adres verandert moet $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.



Figuur 8/2.4.2-23: Timing en golfvormen bij schrijfcyclus 2: besturing door $\overline{CS}$.

Overige kenmerken

De overige elektrische en timing kenmerken van de HM 6267 zijn te zien in de tabellen 8/2.4.2-20 tot en met 8/2.4.2-24.

2.4.2 Type-beschrijving 62-serie

ABSOLUTE MAXIMUM RATINGS

Item		Symbol	Rating	Unit
Voltage on Any Pin*1		V_T	-0.5*2 to +7.0	V
Power Dissipation		P_T	1.0	W
Operating Temperature		T_{opr}	0 to +70	°C
Storage Temperature	HM6267P Series	T_{stg}	-55 to +125	°C
	HM6267CG Series		-65 to +150	
Storage Temperature Under Bias		T_{bias}	-10 to +85	°C

Tabel 8/2.4.2-20: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to +70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input Voltage	V_{IH}	2.2	–	6.0	V
	V_{IL}	-0.5*1	–	0.8	V

Tabel 8/2.4.2-21: Aanbevolen bedrijfscondities.

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ± 10%, V_{SS} = 0V, T_a = 0 to +70°C)

Item	Symbol	Test Conditions	HM6267-35			HM6267-45/55			Unit
			min	typ*1	max	min	typ*1	max	
Input Leakage Current	$\|I_{LI}\|$	V_{CC}=5.5V, V_{IN}=V_{SS} to V_{CC}	–	–	10	–	–	10	μA
Output Leakage Current	$\|I_{LO}\|$	$\overline{CS}$=V_{IH}, V_{OUT}=V_{SS} to V_{CC}	–	–	10	–	–	10	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}$=V_{IL}, Output Open	–	40	100	–	40	80	mA
Stand by Power Supply Current	I_{SB}	$\overline{CS}$=V_{IH}	–	10	20	–	10	20	mA
	I_{SB1}	$\overline{CS}$ ≧ V_{CC}-0.2V,	–	0.02	2	–	0.02	2	mA
		V_{IN} ≦ 0.2V or V_{IN} ≧ V_{CC} -0.2V	–	1*2	50*2	–	1*2	50*2	μA
Output Voltage	V_{OL}	I_{OL} = 8mA	–	–	0.4	–	–	0.4	V
	V_{OH}	I_{OH} = -4mA	2.4	–	–	2.4	–	–	V

Tabel 8/2.4.2-22: Gelijkspanningscondities van de HM 6267.

Read Cycle

Item	Symbol	HM6267-35		HM6267-45		HM6267-55		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{RC}	35	-	45	–	55	–	ns
Address Access Time	t_{AA}	–	35	–	45	-	55	ns
Chip Select Access Time	t_{ACS}	–	35	–	45	–	55	ns
Output Hold from Address Change	t_{OH}	5	–	5	–	5	–	ns
Chip Selection to Output in Low Z	t_{LZ}	5	–	5	–	5	–	ns
Chip Deselectio to Output in High Z	t_{HZ}	0	30	0	30	0	30	ns
Chip Selectio to Power Up Time	t_{PU}	0	–	0	–	0	–	ns
Chip Deselection to Power Down Time	t_{PD}	–	20	–	30	–	30	ns

Tabel 8/2.4.2-23: Schakeltijden bij het uitlezen.

2.4.2 Type-beschrijving 62-serie

Write Cycle

Item	Symbol	HM6267-35		HM6267-45		HM6267-55		Unit
		min	max	min	max	min	max	
Write Cycle Time	t_{WC}	35	–	45	–	55	–	ns
Chip Selection to End of Write	t_{CW}	30	–	40	–	50	–	ns
Address Valid to End of Write	t_{AW}	30	–	40	–	50	–	ns
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns
Write Pulse Width	t_{WP}	20	–	25	–	35	–	ns
Write Recovery Time	t_{WR}	0	–	0	–	0	–	ns
Data Valid to End of Write	t_{DW}	20	–	25	–	25	–	ns
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns
Write Enabled to Output in High Z	t_{WZ}	0	20	0	25	0	25	ns
Output Active from End of Write	t_{OW}	0	–	0	–	0	–	ns

Tabel 8/2.4.2-24: Schakeltijden bij het schrijven.

HM 6268

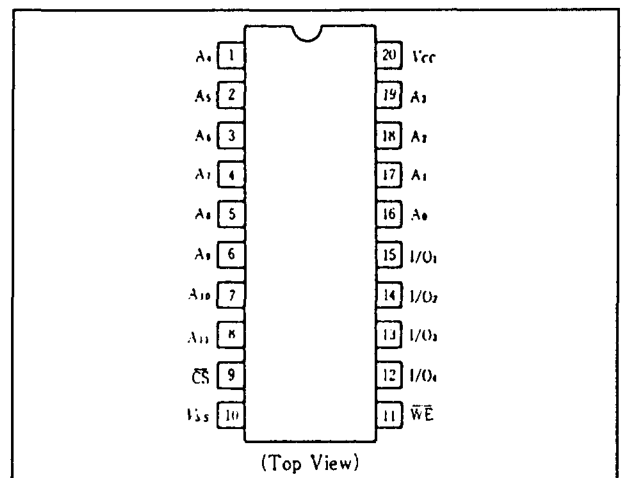
4k x 4 CMOS SRAM

De HM 6268 is een 16384 bit "high-speed" statisch CMOS RAM met een 4096 x 4 bits organisatie. De HM 6268 is net als de langzamere HM 6168 pen-compatibel met het NMOS geheugen TMM 2068.

De HM 6268 heeft vier gecombineerde in- en uitgangen voor data. Deze RAM kan standby worden gezet met het chip-select signaal, waardoor dan aanzienlijk minder vermogen wordt gedissipeerd (100 µW in plaats van 250 mW, de L-versie zelfs 5 µW).

Specificaties

- 4096 x 4 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe)
- toegangstijden: 25 en 35 ns (max)
- gelijke toegangs- en cyclustijden
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 250 mW typisch, standby 0,1 mW typisch (L-versie 5 µW)
- alle in- en uitgangen TTL-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 20-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.4.2-24)
- leverbare typen:
  Hitachi: HM 6268P-25/-35 (25 respectievelijk 35 ns), HM 6268LP-25/-35 (low power)



Figuur 8/2.4.2-24: Aansluitingen van de HM 6268.

Werking

De HM 6268 heeft 12 adres-lijnen (A0 tot en met A11), waarmee 4096 woorden, elk met een breedte van 4-bits, kunnen worden ge-

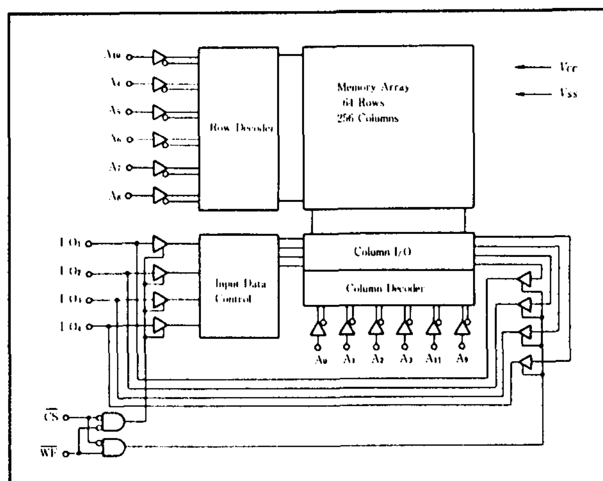
2.4.2 Type-beschrijving 62-serie

adresseerd. Zoals in figuur 8/2.4.2-25 te zien is, wordt de informatie in een 128 x 128 matrix opgeslagen. De waarheidstabel 8/2.4.2-25 toont dat de HM 6268 standby kan worden gezet door de chip-select ingang $\overline{CS}$ HOOG te maken. De opgenomen stroom is dan veel geringer, de lees-/schrijfoperaties zijn gesperd en de data-uitgangen bevinden zich in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

Lees-cyclus

De HM 6268 staat in de lees-mode als $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.
Bij de eerste leescyclus (figuur 8/2.4.2-26) vindt alle timing plaats ten opzichte van de adresveranderingen. $\overline{CS}$ is voortdurend LAAG en $\overline{WE}$ HOOG. Nadat een nieuw adres "waar" is geworden, staat na een minimale houdtijd t_{OH} geldige data op de uitgangen.

Bij de tweede leescyclus (figuur 8/2.4.2-27) is de timing afhankelijk van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft steeds HOOG). De chip gaat hierbij dus telkens in de standby-toestand.

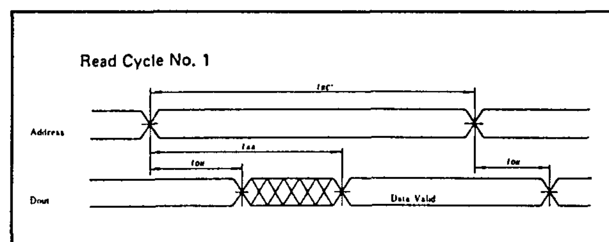


Figuur 8/2.4.2-25: Aansluitingen van de HM 6268.

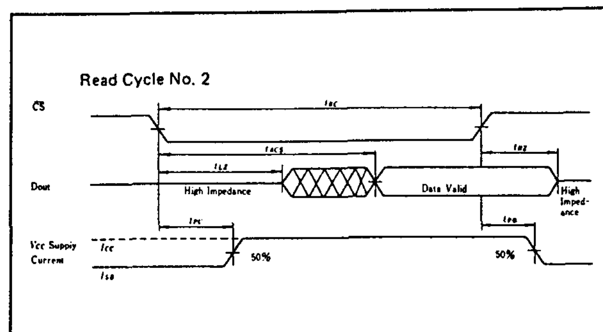
TRUTH TABLE

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Ref. Cycle
H	×	Not Selected	I_{SB}, I_{SB1}	High Z	–
L	H	Read	I_{CC}	Dout	Read Cycle
L	L	Write	I_{CC}	Din	Write Cycle

Tabel 8/2.4.2-25: Waarheidstabel van de HM 6268.



Figuur 8/2.4.2-26: Timing bij leescyclus 1: $\overline{WE}$ HOOG en $\overline{CS}$ LAAG.



Figuur 8/2.4.2-27: Timing bij leescyclus 2: timing ten opzichte van $\overline{CS}$.

2.4.2 Type-beschrijving 62-serie

Schrijf-cyclus

Het schrijven kan op twee manieren gebeuren.

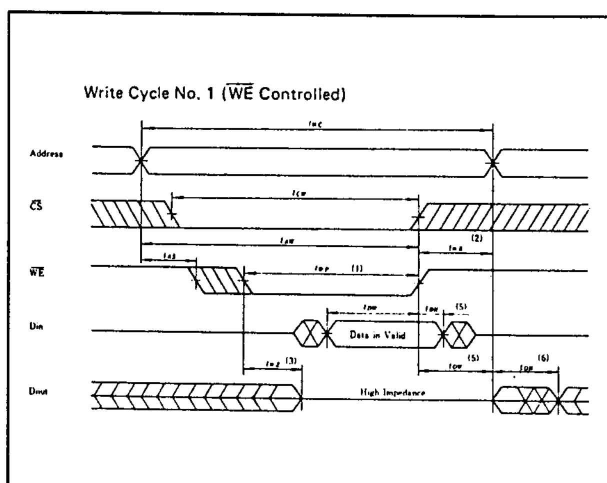
Bij de eerste schrijfcyclus (figuur 8/2.4.2-28) vindt de timing plaats ten opzichte van $\overline{WE}$. Een tijd twz na het LAAG gaan van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data worden aangeleverd, die op de opgaande flank van $\overline{WE}$ wordt ingeschreven.

De tweede schrijfcyclus (figuur 8/2.4.2-29) wordt bestuurd door $\overline{CS}$.

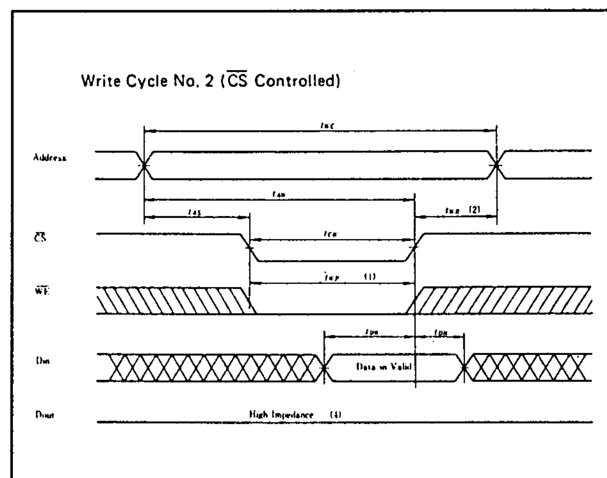
Nieuwe data wordt op de stijgende flank van $\overline{CS}$ in de RAM geschreven. Als de adresinformatie verandert moeten $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Overige kenmerken

De overige elektrische en timing kenmerken van het Hitachi type HM 6268 zijn te zien in de tabellen 8/2.4.2-26 tot en met 8/2.4.2-30.



Figuur 8/2.4.2-28: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.



Figuur 8/2.4.2-29: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to Vss	V_{in}	-0.5*1 to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature	T_{stg}	−55 to +125	°C
Temperature under Bias	T_{bias}	−10 to +85	°C

Tabel 8/2.4.2-26: Maximaal toegelaten waarden.

RECOMMENDED OPERATING CONDITIONS ($Ta = 0$ to +70°C)

Parameter	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input High (logic 1) Voltage	V_{IH}	2.2		6.0	V
Input Low (logic 0) Voltage	V_{IL}	−0.5*1	–	0.8	V

Note) * 1. −3.0V for pulse width ≤ 10ns.

Tabel 8/2.4.2-27: Aanbevolen bedrijfscondities.

2.4.2 Type-beschrijving 62-serie

DC AND OPERATING CHARACTERISTICS ($V_{CC}=5V \pm 10\%$, $V_{SS}=0V$, $Ta=0$ to $+70°C$)

Parameter	Symbol	Test Condition	min	typ*1	max	Unit
Input Leakage Current	$\lvert I_{LI} \rvert$	$V_{CC}=5.5V$, $V_{in}=V_{SS}$ to V_{CC}	–	–	2.0	μA
Output Leakage Current	$\lvert I_{LO} \rvert$	$\overline{CS}=V_{IH}$, $V_{I/O}=V_{SS}$ to V_{CC}	–	–	10	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}=V_{IL}$, $I_{I/O}=0mA$	–	50	90	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}=V_{IH}$	–	15	25	mA
Standby Power Supply Current (1)	I_{SB1}	$\overline{CS} \geq V_{CC}-0.2V$, $V_{IN} \leq 0.2V$ or $V_{IN} \geq V_{CC}-0.2V$	–	0.02	2.0	mA
			–	1*2	50*2	μA
Output Low Voltage	V_{OL}	$I_{OL}=8mA$			0.4	V
Output High Voltage	V_{OH}	$I_{OH}=-4.0mA$	2.4	–	–	V

Tabel 8/2.4.2-28: Gelijkspanningscondities van de HM 6268.

READ CYCLE

Parameter	Symbol	HM6268-25		HM6268-35		Unit
		min	max	min	max	
Read Cycle Time	t_{RC}	25	–	35	–	ns
Address Access Time	t_{AA}	–	25	–	35	ns
Chip Select Access Time	t_{ACS}	–	25	–	35	ns
Output Hold from Address Change	t_{OH}	5	–	5	–	ns
Chip Selection to Output in Low Z	t_{LZ}*1	10	–	10	–	ns
Chip Deselection to Output in High Z	t_{HZ}*1	0	15	0	20	ns
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	ns
Chip Deselection to Power Down Time	t_{PD}	–	25	–	25	ns

Tabel 8/2.4.2-29: Schakeltijden bij het uitlezen van de HM 6268 (2 snelheden).

WRITE CYCLE

Parameter	Symbol	HM6268-25		HM6268-35		Unit
		min	max	min	max	
Write Cycle Time	t_{WC}	25	–	35	–	ns
Chip Selection to End of Write	t_{CW}	20	–	30	–	ns
Address Valid to End of Write	t_{AW}	20	–	30	–	ns
Address Setup Time	t_{AS}	0	–	0	–	ns
Write Pulse Width	t_{WP}	20	–	30	–	ns
Write Recovery Time	t_{WR}	0	–	0	–	ns
Data Valid to End of Write	t_{DW}	12	–	20	–	ns
Data Hold Time	t_{DH}	0	–	0	–	ns
Write Enabled to Output in High Z	t_{WZ}*1	0	8	0	10	ns
Output Active from End of Write	t_{OW}*1	0	–	0	–	ns

Tabel 8/2.4.2-30: Schakeltijden bij het schrijven van de HM 6268 (2 snelheden).

HM 6287

64k x 1 CMOS SRAM

De HM 6287 is een 64k statisch CMOS RAM, georganiseerd in 65536 1-bit woorden. De HM 6287 heeft een chip-select ingang $\overline{CS}$ waarmee het geheugen standby kan worden gezet voor een geringere dissipatie. De HM 6287 is ook verkrijgbaar in een low-power

2.4.2 Type-beschrijving 62-serie

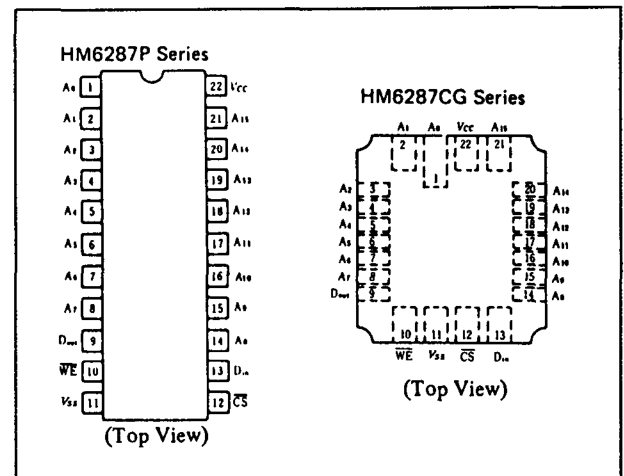
versie en in een leadless chip carrier behuizing. De data-ingang is gescheiden van de data-uitgang.

Specificaties
- 65536 x 1 bit organisatie
- volledig statische werking (geen clock, refresh of timing strobe)
- toegangstijden: 45, 55, 70 ns (max)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 300 mW typisch (standby 0,1 mW, low power-versie 10 µW!)
- alle ingangen en uitgang TTL-compatibel
- aparte data in- en uitgang
- 3-state uitgang
- bedrijfstemperatuur 0 tot +70 °C
- 22-pens 0,3 inch plastic DIL-behuizing of 22-pens keramische LCC (figuur 8/2.4.2-30)
- leverbare typen:
  Hitachi: HM 6287P-45/-55/-70 (standaard vermogen), HM 6287LP-45/-55/-70 (low power), HM 6287CG-45/-55/-70 (LCC)

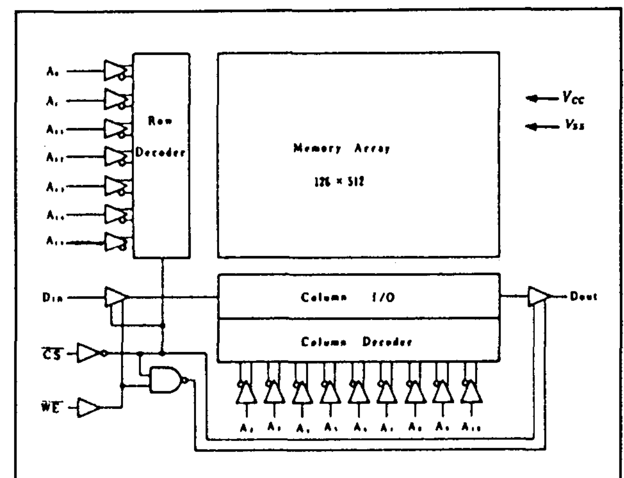
Werking
De HM 6287 heeft 16 adres-lijnen (A0 tot en met A15), waardoor 65536 woorden van 1-bit bereikbaar zijn (zie figuur 8/2.4.2-31). Zoals in de waarheidstabel 8/2.4.2-31 te zien is, komt de HM 6287 in de standby toestand door de chip-select ingang $\overline{CS}$ HOOG te maken. Er wordt dan beduidend minder vermogen gedissipeerd. De data-uitgangen bevinden zich hierbij in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

Lees-cyclus
De HM 6287 kan worden uitgelezen door een adres te kiezen en $\overline{CS}$ LAAG en $\overline{WE}$ HOOG te maken. Er kan op twee manieren worden gelezen.

Bij leescyclus 1 (figuur 8/2.4.2-32) vindt timing plaats ten opzichte van het tijdstip dat het adres "waar" is geworden.
Data is t_{OH} ns hierna beschikbaar op de uitgang. $\overline{CS}$ en $\overline{OE}$ blijven voortdurend LAAG en $\overline{WE}$ HOOG.



Figuur 8/2.4.2-30: Aansluitingen van de DIL- en LCC-versies van de HM 6287.



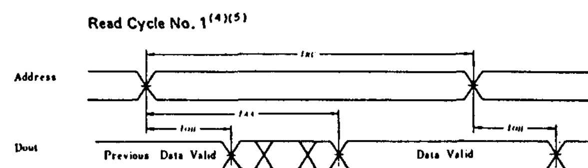
Figuur 8/2.4.2-31: Functioneel blokschema (positieve logica).

2.4.2 Type-beschrijving 62-serie

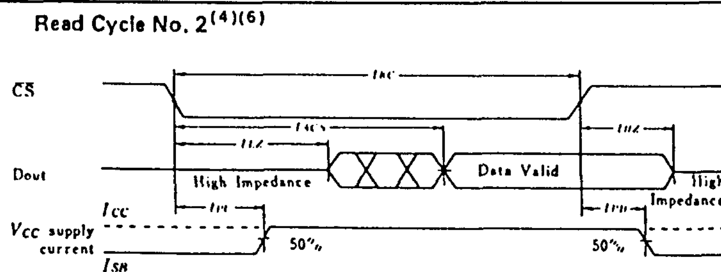
TRUTH TABLE

$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	Dout Pin	Ref. Cycle
H	X	Not Selected	I_{SB}, I_{SB1}	High Z	–
L	H	Read	I_{CC}	Dout	Read Cycle
L	L	Write	I_{CC}	High Z	Write Cycle

Tabel 8/2.4.2-31: Waarheidstabel van de HM 6287.



Figuur 8/2.4.2-32: Timing bij leescyclus 1: timing ten opzichte van de adressen.



Notes:
1. All Read Cycle timings are referenced from last valid address to the first transitioning address.
2. At any given temperature and voltage condition, t_{HZ} max. is less than t_{LZ} min. both for a given device and from device to device.
3. Transition is measured ±500 mV from steady state voltage with specified loading in Load B.
4. $\overline{WE}$ is high for READ Cycle.
5. Device is continuously selected, while $\overline{CS} = V_{IL}$.
6. Address valid prior to or coincident with $\overline{CS}$ transition low.
7. This parameter is sampled and not 100% tested.

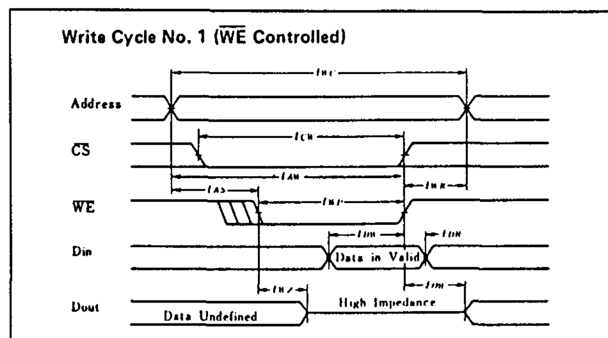
Figuur 8/2.4.2-33: Timing en golfvormen bij leescyclus 2: besturing door $\overline{CS}$.

Bij leescyclus 2 (figuur 8/2.4.2-33) vindt de timing plaats ten opzichte van $\overline{CS}$. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft hierbij voortdurend HOOG).

Schrijf-cyclus
Het schrijven is ook op twee manieren mogelijk.
Bij schrijfcyclus 1 vindt de timing plaats ten opzichte van $\overline{WE}$ (figuur 8/2.4.2-34). twz ns na de dalende flank van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet. Op de stijgende flank van $\overline{WE}$ wordt deze ingeschreven. Wanneer van adres wordt veranderd, moeten $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

Bij schrijfcyclus 2 (figuur 8/2.4.2-35) vindt de timing plaats ten opzichte van de dalende flank van $\overline{CS}$. Op de stijgende flank van $\overline{CS}$ wordt de nieuwe informatie in de RAM geschreven. Hierbij geldt dat tijdens adresveranderingen $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

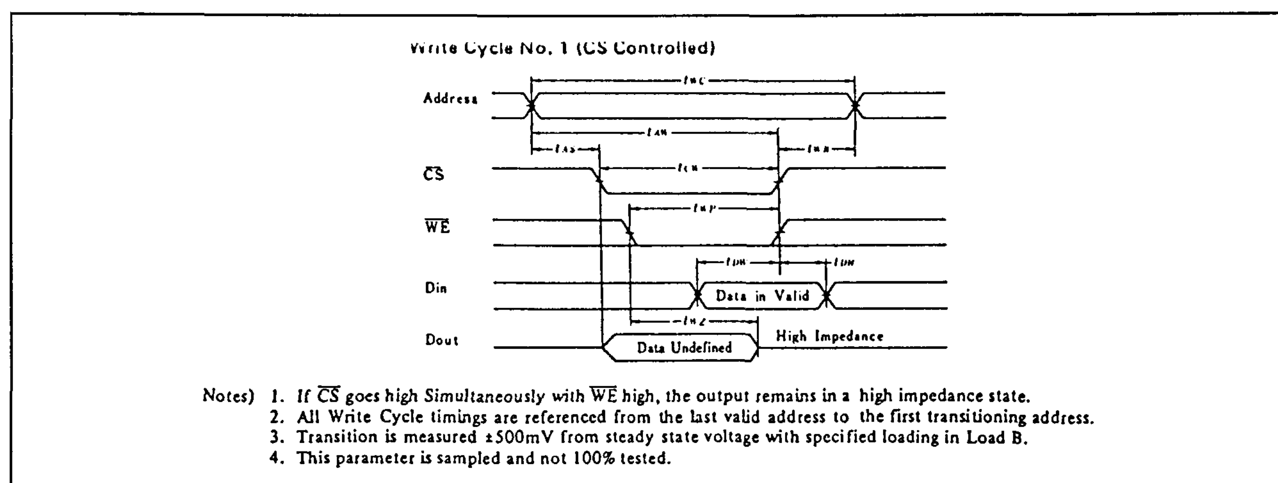
2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-34: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

Overige kenmerken

De overige elektrische en timing kenmerken van de HM 6287 zijn te zien in de tabellen 8/2.4.2-32 tot en met 8/2.4.2-36.



Figuur 8/2.4.2-35: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

ABSOLUTE MAXIMUM RATINGS

Item		Symbol	Rating	Unit
Voltage on Any Pin Relative to V_{SS}		V_T	-0.5^{*1} to +7.0	V
Power Dissipation		P_T	1.0	W
Operating Temperature		T_{opr}	0 to +70	°C
Storage Temperature	Plastic	T_{stg}	−55 to +125	°C
	Ceramic		−65 to +150	
Temperature Under Bias		T_{bias}	−10 to +85	°C

Tabel 8/2.4.2-32: Maximaal toegelaten waarden.

2.4.2 Type-beschrijving 62-serie

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to +70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input Voltage	V_{IH}	2.2	–	6.0	V
	V_{IL}	-0.5^{*1}	–	0.8	V

Tabel 8/2.4.2-33: Aanbevolen bedrijfscondities.

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ± 10%, V_{SS} = 0V, T_a = 0 to +70°C)

Item	Symbol	Test Conditions	min	typ*1	max	Unit
Input Leakage Current	$\lvert I_{LI} \rvert$	V_{CC} = 5.5V, V_{in} = V_{SS} to V_{CC}	–	–	2.0	μA
Output Leakage Current	$\lvert I_{LO} \rvert$	$\overline{CS}$ = V_{IH}, V_{out} = V_{SS} to V_{CC}	–	–	2.0	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}$ = V_{IL}, I_{out} = 0mA	–	60	100	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}$ = V_{IH}.	–	10	30	mA
	I_{SB1}	$\overline{CS} \geqq V_{CC}$–0.2V, $V_{IN} \leqq$ 0.2V or $V_{IN} \geqq V_{CC}$–0.2V	–	0.02	2.0	mA
			–	2^{*2}	100^{*2}	μA
Output Voltage	V_{OL}	I_{OL} = 8mA	–	–	0.4	V
	V_{OH}	I_{OH} = –4.0mA	2.4	–	–	V

Notes) *1. Typical limits are at V_{CC} = 5.0V, T_a = 25°C and specified loading.
*2. This characteristics is guaranteed only for L-version.

Tabel 8/2.4.2-34: Gelijkspanningskarakteristieken van de HM 6287.

READ CYCLE

Item	Symbol	HM6287-45		HM6287-55		HM6287-70		Unit	Notes
		min	max	min	max	min	max		
Read Cycle Time	t_{RC}	45	–	55	–	70	–	ns	1
Address Access Time	t_{AA}	–	45	–	55	–	70	ns	
Chip Select Access Time	t_{ACS}	–	45	–	55	–	70	ns	
Output Hold from Address Change	t_{OH}	5	–	5	–	5	–	ns	
Chip Selection to Output in Low Z	t_{LZ}	5	–	5	–	5	–	ns	2, 3, 7
Chip Deselection to Output in High Z	t_{HZ}	0	30	0	30	0	30	ns	2, 3, 7
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	0	–	ns	7
Chip Deselection to Power Down Time	t_{PD}	–	40	–	40	–	40	ns	7

Tabel 8/2.4.2-35: Schakeltijden bij het uitlezen van de verschillende versies van de HM 6287.

2.4.2 Type-beschrijving 62-serie

WRITE CYCLE

Item	Symbol	HM6287-45		HM6287-55		HM6287-70		Unit	Notes
		min	max	min	max	min	max		
Write Cycle Time	t_{WC}	45	–	55	–	70	–	ns	2
Chip Selection to End of Write	t_{CW}	40	–	50	–	55	–	ns	
Address Valid to End of Write	t_{AW}	40	–	50	–	55	–	ns	
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns	
Write Pulse Width	t_{WP}	25	–	35	–	40	–	ns	
Write Recovery Time	t_{WR}	0	–	0	–	0	–	ns	
Data Valid to End of Write	t_{DW}	25	–	25	–	30	–	ns	
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns	
Write Enabled to Output in High Z	t_{WZ}	0	25	0	25	0	30	ns	3, 4
Output Active from End of Write	t_{OW}	0	–	0	–	0	–	ns	3, 4

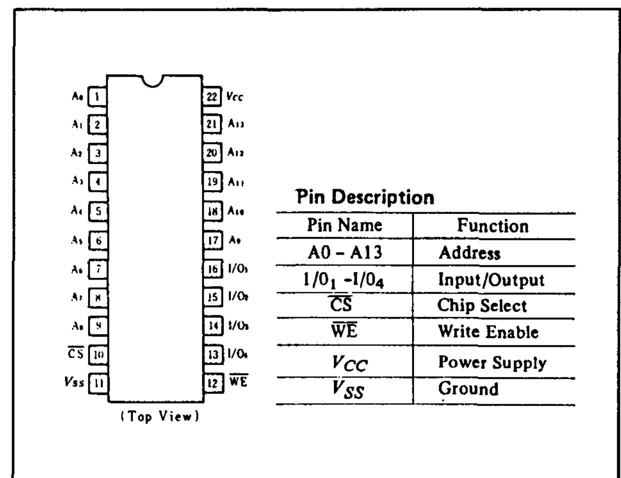
Tabel 8/2.4.2-36: Schakeltijden bij het schrijven van de verschillende versies van de HM 6287.

HM 6288

16k x 4 CMOS SRAM

De HM 6288 is een 65536 bit "high-speed" statisch CMOS RAM, georganiseerd in 16384 x 4 bits woorden.

De HM 6288 heeft een chip-select ($\overline{CS}$) waarmee de RAM standby kan worden gezet, zodat minder vermogen wordt gedissipeerd. De RAM heeft gecombineerde data in- en uitgangen. De HM 6288 wordt geleverd met verschillende toegangstijden (ook low-power).



Pin Description

Pin Name	Function
A0 - A13	Address
I/O_1 - I/O_4	Input/Output
$\overline{CS}$	Chip Select
$\overline{WE}$	Write Enable
V_{CC}	Power Supply
V_{SS}	Ground

Figuur 8/2.4.2-36: Aansluitgegevens van de HM 6288.

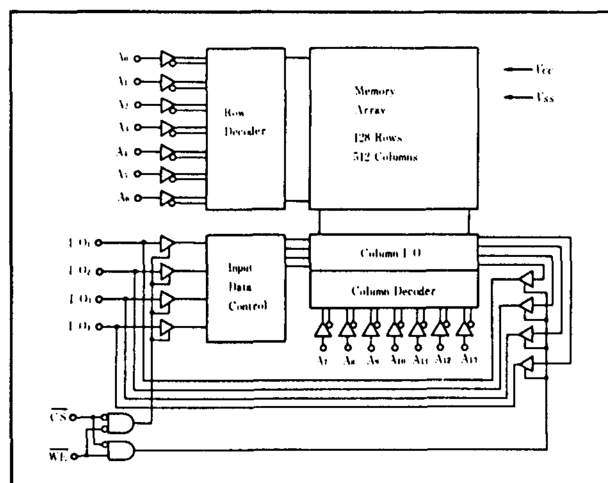
Specificaties

- 16k x 4 bit organisatie
- volledig statische werking (geen clock ,refresh of timing strobe)
- toegangstijden: 25, 35 en 45 ns (max)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 300 mW typisch (standby 0,1 mW)
- alle in- en uitgangen TTL-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 22-pens 0,3 inch plastic DIL-behuizing (figuur 8/2.4.2-36)
- leverbare typen:
  Hitachi: HM 6288P-25/-35/-45 (standaard vermogen), HM 6288LP-25/-35/-45 (low power)

Werking

De HM 6288 heeft 14 adres-lijnen (A0 tot en met A13), waarmee 16384 woorden, elk met een breedte van 4-bits, kunnen worden geadresseerd (zie figuur 8/2.4.2-37). Zoals in de waarheidstabel 8/2.4.2-37 te zien is, kan de HM 6288 standby worden gezet door de chip-select ingang $\overline{CS}$ HOOG te maken. Er wordt dan veel minder stroom uit de voeding opgenomen, de lees- en schrijffuncties worden gesperd en de data-uitgangen bevinden zich in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-37: Intern blokschema van de HM 6288 (positieve logica).

Lees-cyclus

De HM 6288 staat in de lees-mode als $\overline{CS}$ LAAG en $\overline{WE}$ HOOG is. Er zijn twee manieren van uitlezen mogelijk.

Bij de eerste leescyclus (figuur 8/2.4.2-38) wordt alle timing gerefereerd aan het adres. $\overline{CS}$ is hierbij voortdurend LAAG en $\overline{WE}$ HOOG.

Nadat een nieuw adres geldig is geworden, staat na de minimale houdtijd t_{OH} geldige data op de uitgangen.

Bij de tweede leescyclus (figuur 8/2.4.2-39) verzorgt $\overline{CS}$ de timing. Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat ($\overline{WE}$ blijft hierbij voortdurend HOOG).

Schrijf-cyclus

Ook het schrijven is op twee manieren mogelijk.

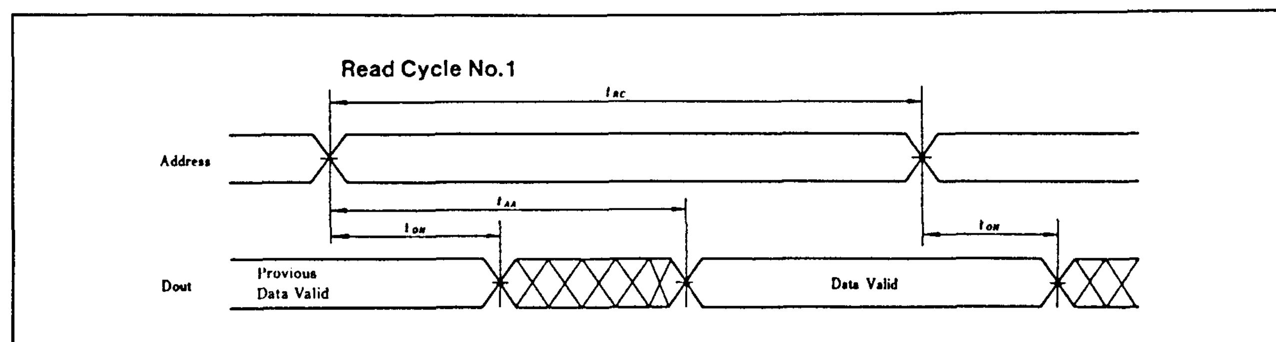
Bij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{WE}$ (figuur 8/2.4.2-40). Een tijd t_{WZ} na de dalende flank van $\overline{WE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet, die op de stijgende flank van $\overline{WE}$ wordt ingeschreven.

De tweede schrijfcyclus (figuur 8/2.4.2-41) wordt bestuurd door $\overline{CS}$. Alle timing wordt gerefereerd aan de dalende flank van $\overline{CS}$. Op de stijgende hiervan wordt de nieuwe informatie in de RAM geschreven. Tijdens adres-veranderingen moeten $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

TRUTH TABLE

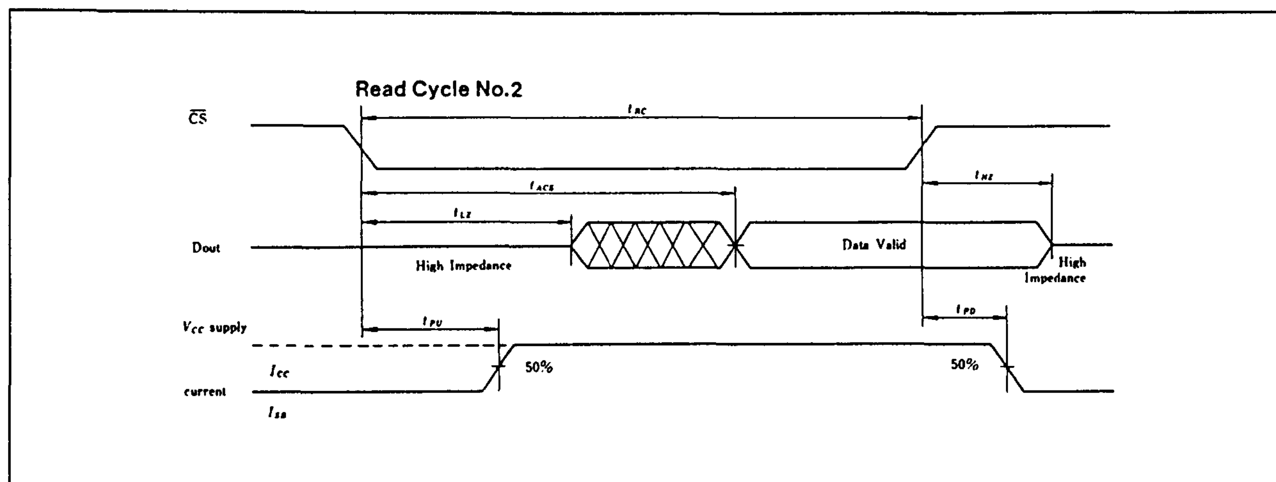
$\overline{CS}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Ref. Cycle
H	×	Standby	I_{SB}, I_{SB1}	High Z	
L	H	Read	I_{CC}	Dout	Read Cycle 1, 2
L	L	Write	I_{CC}	Din	Write Cycle 1, 2

Tabel 8/2.4.2-37: Waarheidstabel van de HM 6288.

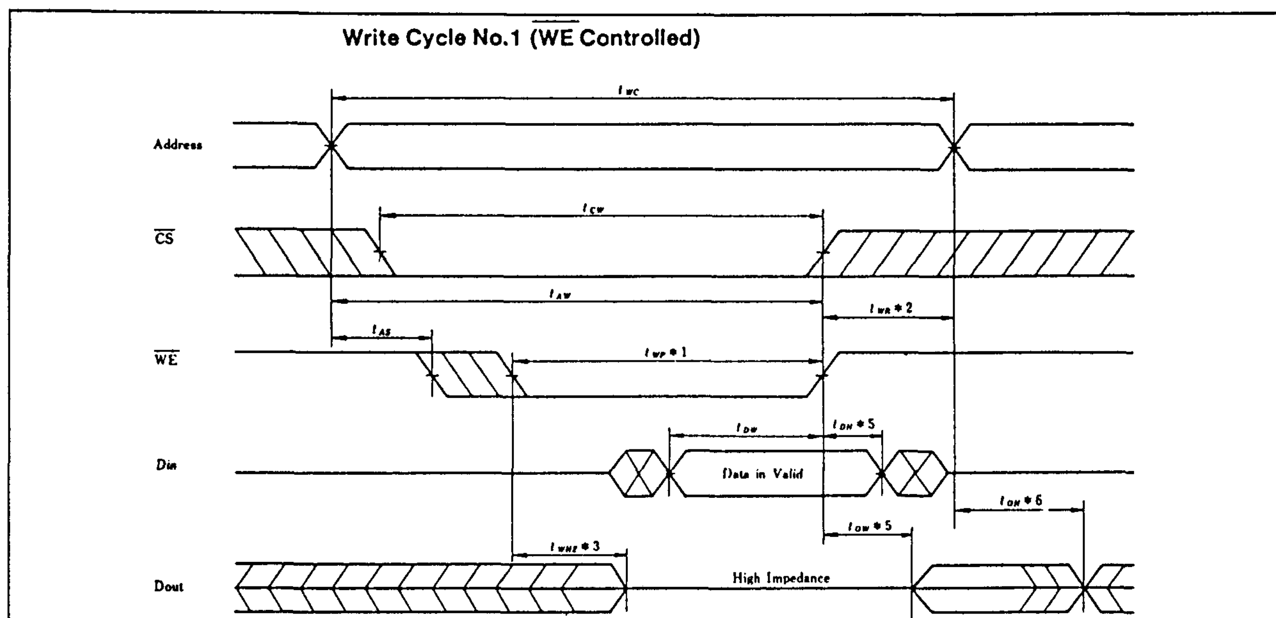


Figuur 8/2.4.2-38: Timing bij leescyclus 1: timing ten opzichte van de adressen.

2.4.2 Type-beschrijving 62-serie

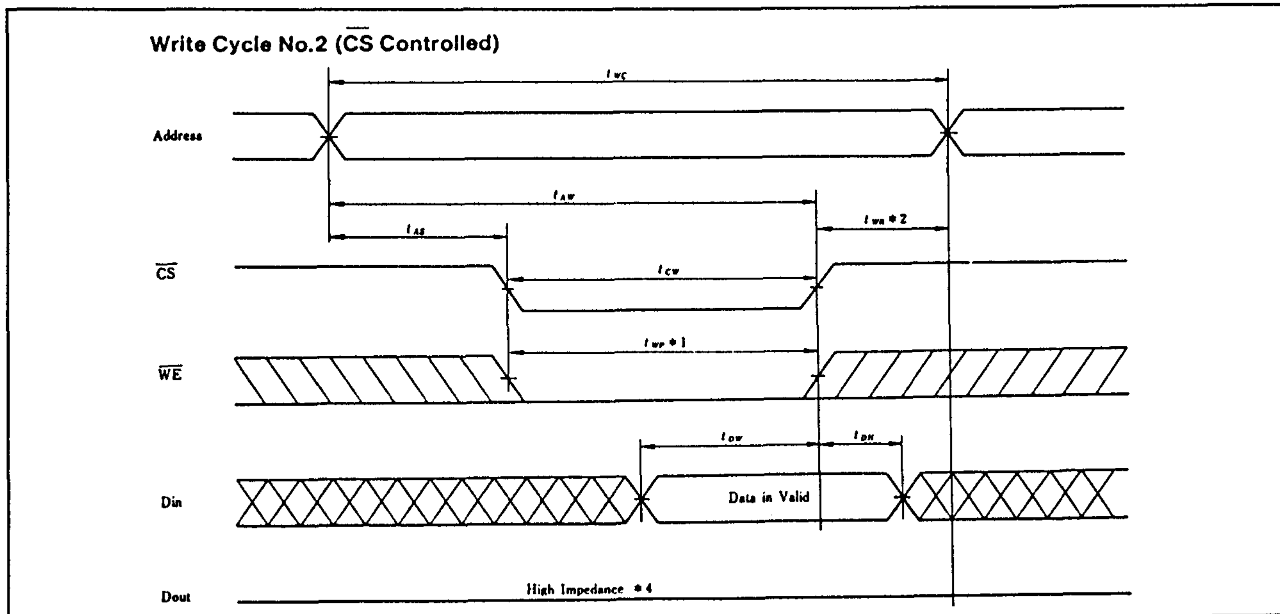


Figuur 8/2.4.2-39: Timing bij leescyclus 2: besturing ten opzichte van $\overline{CS}$.



Figuur 8/2.4.2-40: Timing bij schrijfcyclus 1: besturing door $\overline{WE}$.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-41: Timing bij schrijfcyclus 2: besturing door $\overline{CS}$.

Overige kenmerken

De overige elektrische en timing kenmerken van de HM 6288 zijn te zien in de tabellen 8/2.4.2-38 tot en met 8/2.4.2-42.

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to V_{SS}	V_T	-0.5^{*1} to $+7.0$	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature	T_{stg}	−55 to +125	°C
Temperature under Bias	T_{bias}	−10 to +85	°C

Tabel 8/2.4.2-38: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS (Ta=0 to +70°C)

Parameter	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input High (logic 1) Voltage	V_{IH}	2.2	–	6.0	V
Input Low (logic 0) Voltage	V_{IL}	-0.5^{*1}	–	0.8	V

Tabel 8/2.4.2-39: Aanbevolen bedrijfscondities.

2.4.2 Type-beschrijving 62-serie

DC AND OPERATING CHARACTERISTICS (Ta=0 to +70°C, V_{CC}=5V±10%, V_{SS}=0V)

Parameter	Symbol	Test Condition	min	typ*1	max	Unit
Input Leakage Current	$\|I_{LI}\|$	V_{CC}=MAX. V_{IN}= 0V to V_{CC}	--	–	2.0	μA
Output Leakage Current	$\|I_{LO}\|$	$\overline{CS}$= V_{IH}, $V_{I/O}$= 0V to V_{CC}	–	–	10	μA
Operating Power Supply Current	I_{CC}	$\overline{CS}$= V_{IL}, $I_{I/O}$=0mA	–	60	120	mA
Standby V_{CC} Current	I_{SB}	$\overline{CS}$= V_{IH}	–	15	30	mA
Standby V_{CC} Current 1	I_{SB1}*2	$\overline{CS}$= V_{CC} − 0.2V	–	0.02	2.0	mA
	I_{SB1}*3	V_{in} ≦ 0.2V or V_{in} ≧ V_{CC} − 0.2V	–	0.02	0.1	mA
Output Low Voltage	V_{OL}	I_{OL}=8mA	–	–	0.4	V
Output High Voltage	V_{OH}	I_{OH}= −4.0mA	2.4	–	–	V

Tabel 8/2.4.2-40: Gelijkspanningscondities van de HM 6288.

READ CYCLE (T_a=0 to +70°C, V_{CC}=5V ± 10%, unless otherwise noted.)

Parameter	Symbol	HM6288-25		HM6288-35		HM6288-45		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{RC}	25	–	35	–	45	–	ns
Address Access Time	t_{AA}	–	25	–	35	–	45	ns
Chip Select Access Time	t_{ACS}	–	25	–	35	–	45	ns
Output Hold from Address Change	t_{OH}	3	–	5	–	5	–	ns
Chip Selection to Output in Low Z	t_{LZ}*	5	–	10	–	10	–	ns
Chip Deselection to Output in High Z	t_{HZ}*	0	12	0	20	0	20	ns
Chip Selection to Power Up Time	t_{PU}	0	–	0	–	0	–	ns
Chip Seselection to Power Down Time	t_{PD}	–	25	–	30	–	30	ns

Tabel 8/2.4.2-41: Schakeltijden bij het uitlezen van verschillende versies van de HM 6288.

WRITE CYCLE

Parameter	Symbol	HM6288-25		HM6288-35		HM6288-45		Unit
		min	max	min	max	min	max	
Write Cycle Time	t_{WC}	25	–	35	–	45	–	ns
Chip Selection to End of Write	t_{CW}	20	–	30	–	40	–	ns
Address Valid to End of Write	t_{AW}	20	–	30	–	40	–	ns
Address Setup Time	t_{AS}	0	–	0	–	0	–	ns
Write Pulse Width	t_{WP}	20	–	30	–	35	–	ns
Write Recovery Time	t_{WR}	0	–	0	–	0	–	ns
Date Valid to End of Write	t_{DW}	12	–	20	–	20	–	ns
Data Hold Time	t_{DH}	0	–	0	–	0	–	ns
Write Enabled to Output in High Z	t_{WHZ}*	0	8	0	10	0	15	ns
Output Active from End of Write	t_{OW}*	5	–	5	–	5	–	ns

Tabel 8/2.4.2-42: Schakeltijden bij het schrijven naar verschillende versies van de HM 6288.

HM 62256

32k x 8 CMOS SRAM

De HM 62256 is een 256k "high-speed" statisch CMOS RAM, georganiseerd in 32768 x 8-bits woorden ("byte-wide"). De HM 62256 is uitgerust met een chip-select ($\overline{CS}$), waarmee de RAM standby kan worden gezet, waardoor het (toch al geringe) opgenomen vermogen sterk wordt verminderd. De RAM heeft gecombineerde data-ingangen en -uitgangen voor datatransport via bidirectionele databussen. De HM 62256 wordt geleverd met verschillende toegangstijden en behuizingen en is voor batterijtoepassingen ook verkrijgbaar in low-power en super low-power.

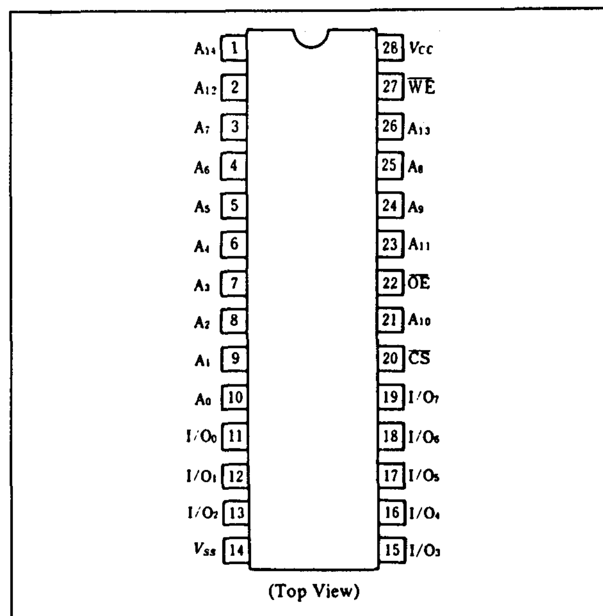
2.4.2 Type-beschrijving 62-serie

Specificaties

- 32k x 8 bit organisatie
- volledig statische werking (geen clock ,refresh of timing strobe)
- toegangstijden: 85, 100, 120 en 150 ns (max) (respectievelijk -8,-10, -12 en -15)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- opgenomen vermogen 40 mW typisch (bij 1 MHz), standby 0,2 mW, L-versie: 10 µW
- alle in- en uitgangen TTL-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- bedrijfstemperatuur 0 tot +70 °C
- 28-pens 0,6 inch plastic DIL-behuizing (figuur 8/2.4.2-42) en 28-pens plastic SOP (Small Outline Package)
- leverbare typen
  Hitachi:
  HM 62256P-8/-10/-12/-15 (0,6" DIP)
  HM 62256LP-8/-10/-12/-15 (0,6",low power)
  HM 62256LP-8SL/-10SL/-12SL/-15SL (0,6", SLP)
  HM 62256FP-8T/-10T/-12T/-15T (SOP)
  HM 62256LFP-8T/-10T/-12T/-15T (SOP, LP)
  HM 62256LFP-10SLT/-12SLT/-15SLT (SOP, SLP)
  NEC:
  µPD 43256

Werking

De HM 62256 heeft 15 adres-lijnen (A0 tot en met A14), waarmee 32768 woorden met een breedte van 8-bits kunnen worden geadresseerd (zie figuur 8/2.4.2-43). De informatie wordt opgeslagen in een 512 x 512 matrix.
Zoals in de waarheidstabel 8/2.4.2-43 te zien is, kan de HM 62256 standby worden gezet door de chip-select ingang $\overline{CS}$ HOOG te maken.



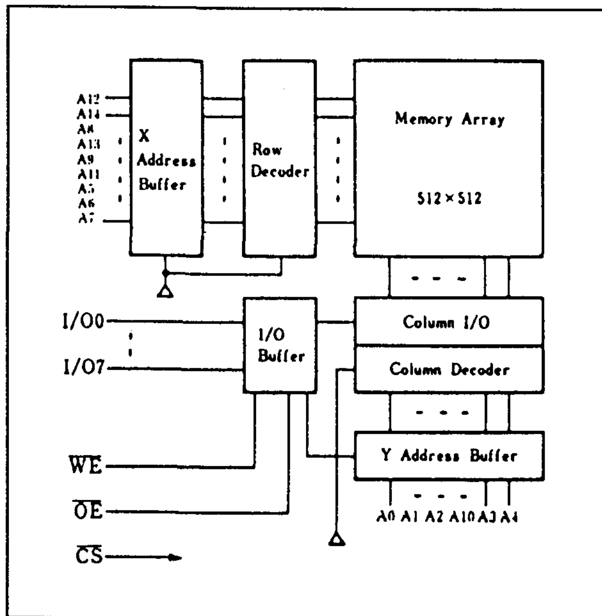
Figuur 8/2.4.2-42: Aansluitgegevens van de HM 62256.

Er wordt dan aanzienlijk minder stroom uit de voeding opgenomen, de lees- en schrijffuncties worden gesperd en de data-uitgangen bevinden zich in een hoog-impedante toestand. Is $\overline{CS}$ LAAG, dan is de chip aktief en kan met $\overline{WE}$ worden gekozen uit lezen of schrijven.

Lees-cyclussen

De HM 62256 staat in de lees-mode als $\overline{CS}$ LAAG en $\overline{WE}$ HOOG is. Bovendien moet de output-enable ingang $\overline{OE}$ LAAG zijn om data op de uitgangen te krijgen.
Er zijn drie manieren van uitlezen mogelijk. Bij de eerste leescyclus (figuur 8/2.4.2-44) bepaalt $\overline{CS}$ de timing van de andere signalen. Op de dalende flank van $\overline{CS}$ moet het gekozen adres stabiel worden. Na de chip-select tijd t_{ACS} staat geldige data op de uitgangen. Hierbij worden de uitgangen telkens hoog-impedant en de chip niet-aktief (standby).

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-43: Functioneel blokschema van de HM 62256 (positieve logica).

Bij de tweede leescyclus (figuur 8/2.4.2-45) wordt alle timing gerefereerd aan het adres. De besturingssignalen blijven hierbij constant: $\overline{CS}$ en $\overline{OE}$ LAAG en $\overline{WE}$ HOOG. Nadat een nieuw adres geldig is geworden, staat geldige data na de minimale houdtijd t_{OH} op de uitgangen.

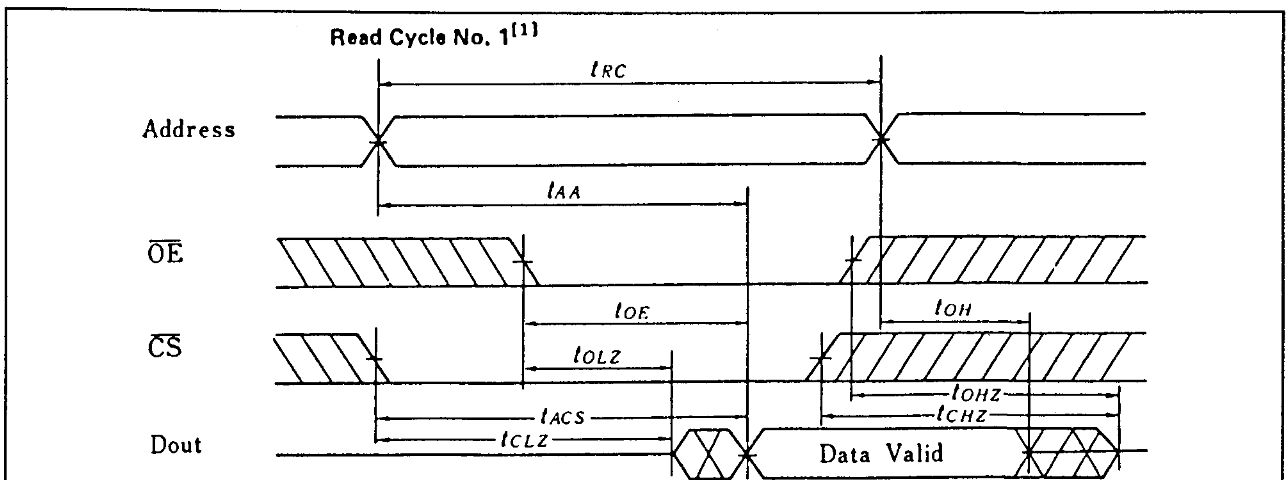
Bij de derde leescyclus (figuur 8/2.4.2-46) verandert alleen $\overline{CS}$ van niveau ($\overline{OE}$ blijft LAAG en $\overline{WE}$ blijft HOOG). Op het moment dat $\overline{CS}$ LAAG gaat, moet het gekozen adres stabiel zijn totdat $\overline{CS}$ weer HOOG gaat.

TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	Mode	V_{CC} Current	I/O Pin	Reference Cycle
H	X	X	Not Selected	I_{SB}, I_{SB1}	High Z	-
L	L	H	Read	I_{CC}	Dout	Read Cycle No. 1~3
L	H	L	Write	I_{CC}	Din	Write Cycle No. 1
L	L	L	Write	I_{CC}	Din	Write Cycle No. 2

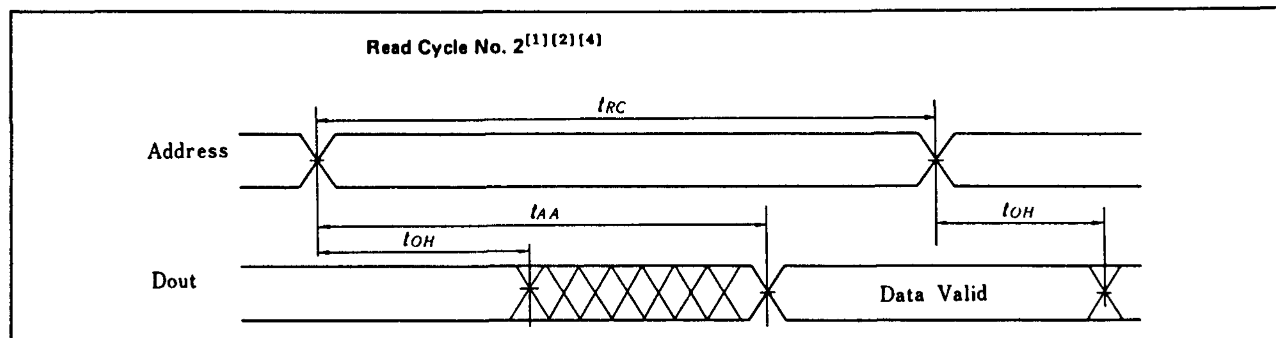
X means H or L

Tabel 8/2.4.2-43: Waarheidstabel van de HM 62256.

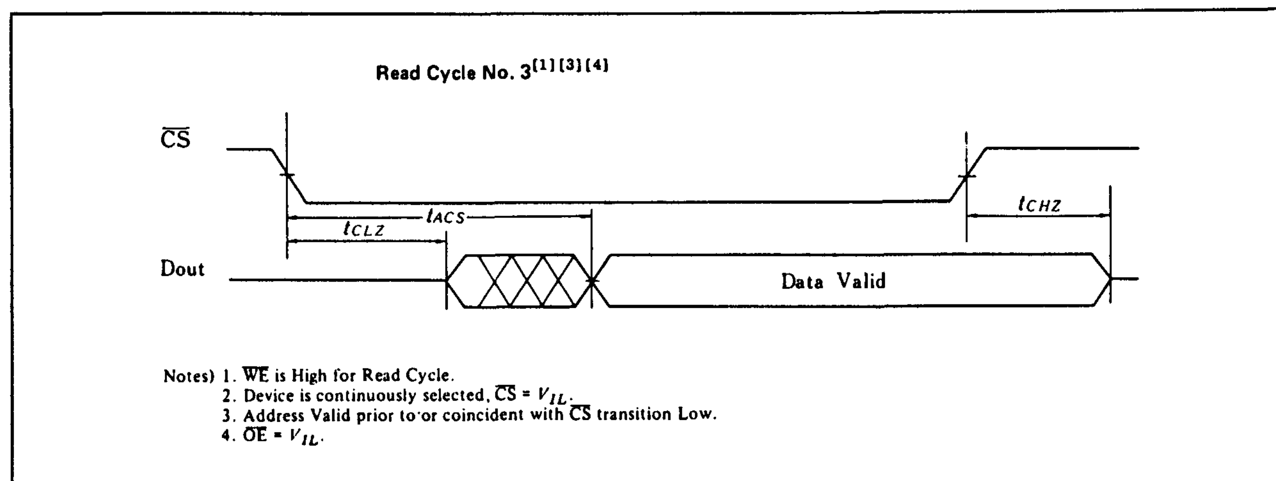


Figuur 8/2.4.2-44: Timing bij leescyclus 1: timing ten opzichte van $\overline{CS}$.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-45: Timing bij leescyclus 2: tining ten opzichte van de adressen.



Figuur 8/2.4.2-46: Timing bij leescyclus 3: besturing ten opzichte van $\overline{CS}$.

Schrijf-cyclussen

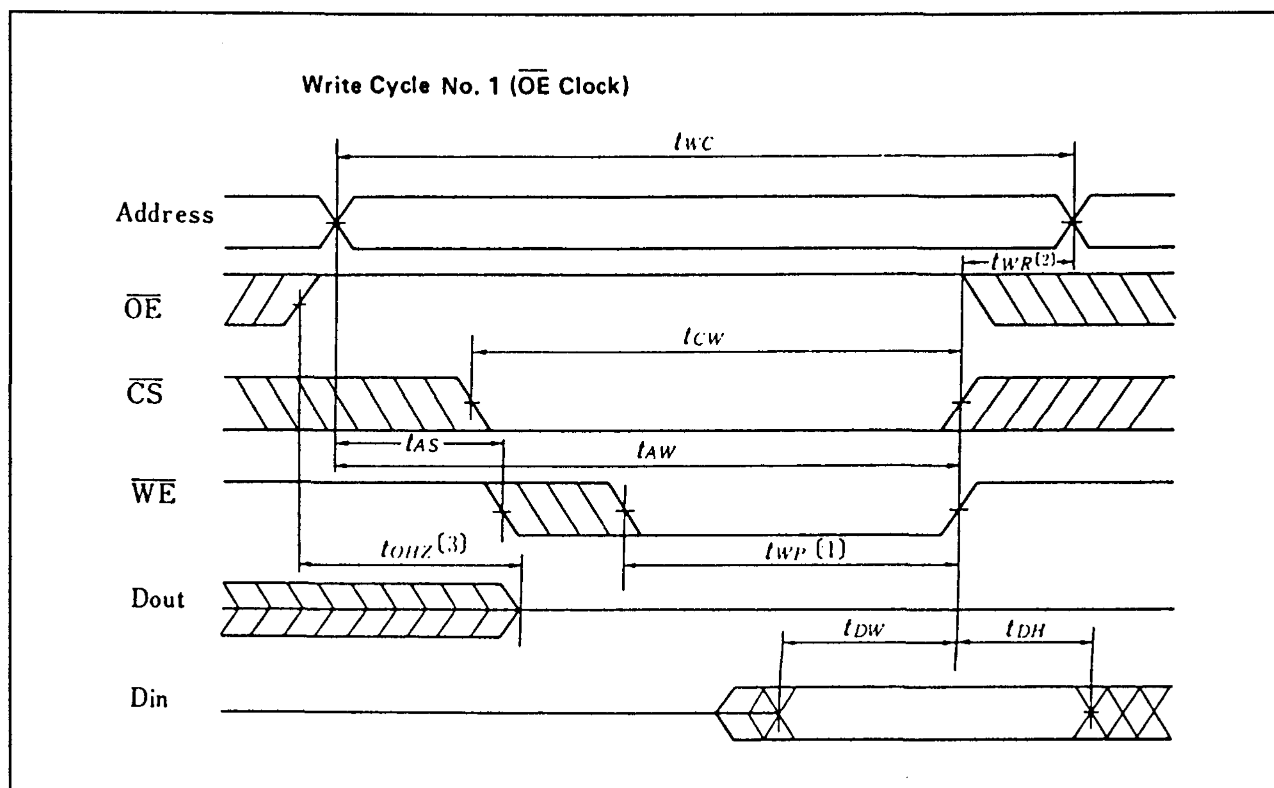
Het schrijven is op twee manieren mogelijk. Bij de eerste schrijfcyclus vindt de timing plaats ten opzichte van $\overline{OE}$ die als klok wordt gebruikt (figuur 8/2.4.2-47).
Een tijd t_{OHZ} na de stijgende flank van $\overline{OE}$ worden de data-uitgangen hoog-impedant en kan nieuwe data op de ingangen worden gezet, die op de stijgende flank van $\overline{WE}$ wordt ingeschreven.

Bij de tweede schrijfcyclus (figuur 8/2.4.2-48) blijft $\overline{OE}$ LAAG en wordt alle timing wordt gerefereerd aan de dalende flank van $\overline{WE}$. Op de stijgende hiervan wordt de nieuwe informatie in de RAM geschreven. Tijdens adres-veranderingen moeten $\overline{CS}$ en/of $\overline{WE}$ HOOG zijn.

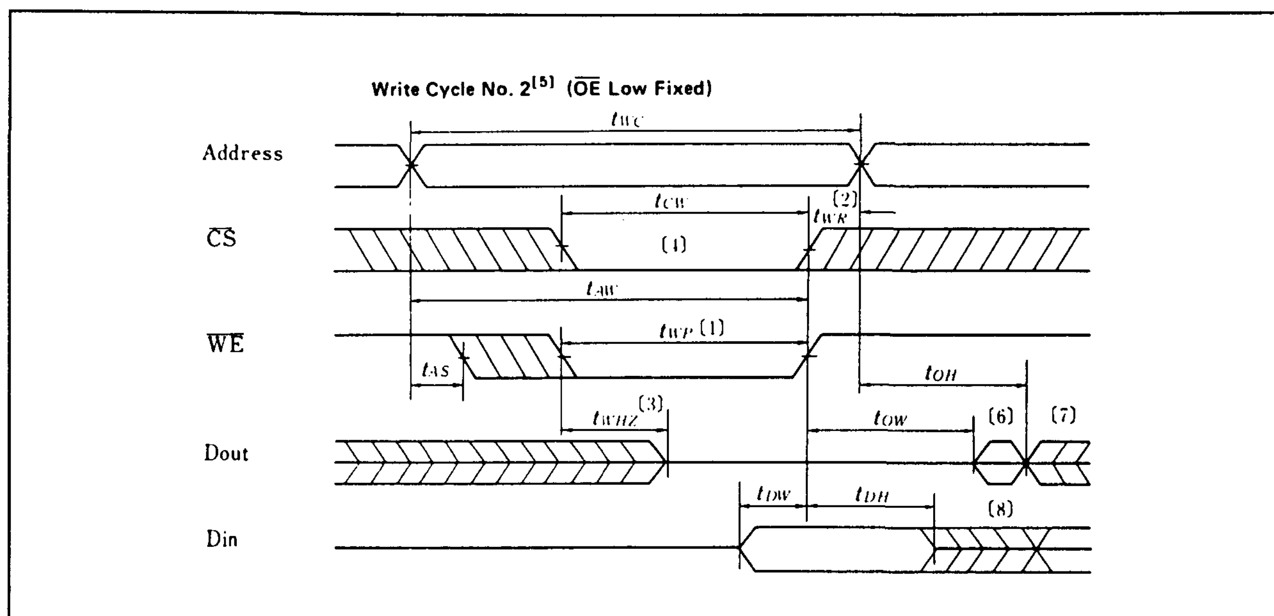
Overige kenmerken

De overige elektrische en timing kenmerken van de HM 62256 zijn te zien in de tabellen 8/2.4.2-44 tot en met 8/2.4.2-48.

2.4.2 Type-beschrijving 62-serie



Figuur 8/2.4.2-47 Timing bij schrijfcyclus 1: besturing door $\overline{OE}$.



Figuur 8/2.4.2-48: Timing bij schrijfcyclus 2: besturing ten opzichte van $\overline{WE}$.

2.4.2 Type-beschrijving 62-serie

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on any pin with relative to V_{SS}	V_T	–0.5*1 to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature	T_{stg}	–55 to +125	°C
Temperature Under Bias	T_{bias}	–10 to +85	°C

Tabel 8/2.4.2-44: Maximaal toegelaten waarden.

RECOMMENDED DC OPERATING CONDITIONS (T_a = 0 to +70°C)

Item	Symbol	min.	typ.	max.	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input Voltage	V_{IH}	2.2	–	6.0	V
	V_{IL}	–0.5*1	–	0.8	V

Tabel 8/2.4.2-45: Aanbevolen bedrijfscondities.

DC AND OPERATING CHARACTERISTICS (V_{CC} = 5V ± 10%, V_{SS} = 0V, T_a = 0 to +70°C)

Item		Symbol	Test Condition	min	typ*1	max	Unit
Input Leakage Current		$\|I_{LI}\|$	$V_{IN} = V_{SS}$ to V_{CC}	–	–	2	μA
Output Leakage Current		$\|I_{LO}\|$	$\overline{CS} = V_{IH}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$, $V_{I/O} = V_{SS}$ to V_{CC}	–	–	2	μA
Operating Power Supply Current		I_{CC}	$\overline{CS} = V_{IL}$, $I_{I/O}$ = 0mA	–	8	15	mA
Average Operating Power Supply Current	HM62256-8	I_{CC1}	Min. Cycle, duty=100%, $\overline{CS} = V_{IL}$, $I_{I/O}$ = 0mA	–	50	70	mA
	HM62256-10			–	40	70	
	HM62256-12			–	35	70	
	HM62256-15			–	33	70	
		I_{CC2}	$\overline{CS} = V_{IL}$, $V_{IH} = V_{CC}$, V_{IL} = 0V, $I_{I/O}$ = 0mA, f = 1MHZ	–	8	15	mA
Standby Power Supply Current		I_{SB}	$\overline{CS} = V_{IH}$	–	0.5	3	mA
		I_{SB1}	$\overline{CS} \geqq V_{CC}$–0.2V	–	0.04	2	mA
				–	2*2	100*2	μA
				–	2*3	50*3	
Output Voltage		V_{OL}	I_{OL} = 2.1mA	–	–	0.4	V
		V_{OH}	I_{OH} = –1.0mA	2.4	–	–	V

Notes) *1. Typical values are at V_{CC} = 5.0V, T_a = 25°C and specified loading.
*2. This characteristics is guaranteed only for L-version.
*3. This characteristics is guaranteed only for L-SL version.

Tabel 8/2.4.2-46: Gelijkspanningscondities van de HM 62256.

2.4.2 Type-beschrijving 62-serie

Read Cycle

Item	Symbol	HM62256-8		HM62256-10		HM62256-12		HM62256-15		Unit
		min.	max.	min.	max.	min.	max.	min.	max.	
Read Cycle Time	t_{RC}	85	–	100	–	120	–	150	–	ns
Address Access Time	t_{AA}	–	85	–	100	–	120	–	150	ns
Chip Select Access Time	t_{ACS}	–	85	–	100	–	120	–	150	ns
Output Enable to Output Valid	t_{OE}	–	45	–	50	–	60	–	70	ns
Output Hold from Address Change	t_{OH}	5	–	10	–	10	–	10	–	ns
Chip Selection to Output in Low Z	t_{CLZ}	10	–	10	–	10	–	10	–	ns
Output Enable to Output in Low Z	t_{OLZ}	5	–	5	–	5	–	5	–	ns
Chip Deselection to Output in High Z	t_{CHZ}	0	30	0	35	0	40	0	50	ns
Output Disable to Output in High Z	t_{OHZ}	0	30	0	35	0	40	0	50	ns

Tabel 8/2.4.2-47: Schakeltijden bij het uitlezen van verschillende versies van de HM 62256.

Write Cycle

Item	Symbol	HM62256-8		HM62256-10		HM62256-12		HM62256-15		Unit
		min.	max.	min.	max.	min.	max.	min.	max.	
Write Cycle Time	t_{WC}	85	–	100	–	120	–	150	–	ns
Chip Selection to End of Write	t_{CW}	75	–	80	–	85	–	100	–	ns
Address Valid to End of Write	t_{AW}	75	–	80	–	85	–	100	–	ns
Address Set Up Time	t_{AS}	0	–	0	–	0	–	0	–	ns
Write Pulse Width	t_{WP}	60	–	60	–	70	–	90	–	ns
Write Recovery Time	t_{WR}	10	–	0	–	0	–	0	–	ns
Write to Output in High Z	t_{WHZ}	0	30	0	35	0	40	0	50	ns
Data to Write Time Overlap	t_{DW}	40	–	40	–	50	–	60	–	ns
Data Hold from Write Time	t_{DH}	0	–	0	–	0	–	0	–	ns
Output Disable to Output in High Z	t_{OHZ}	0	30	0	35	0	40	0	50	ns
Output Active from End of Write	t_{OW}	5	–	5	–	5	–	5	–	ns

Tabel 8/2.4.2-48: Schakeltijden bij het schrijven naar verschillende versies van de HM 62256.

2.4.2 Type-beschrijving 62-serie

8/2.4.3

Type-beschrijving 65-serie

HM 6504

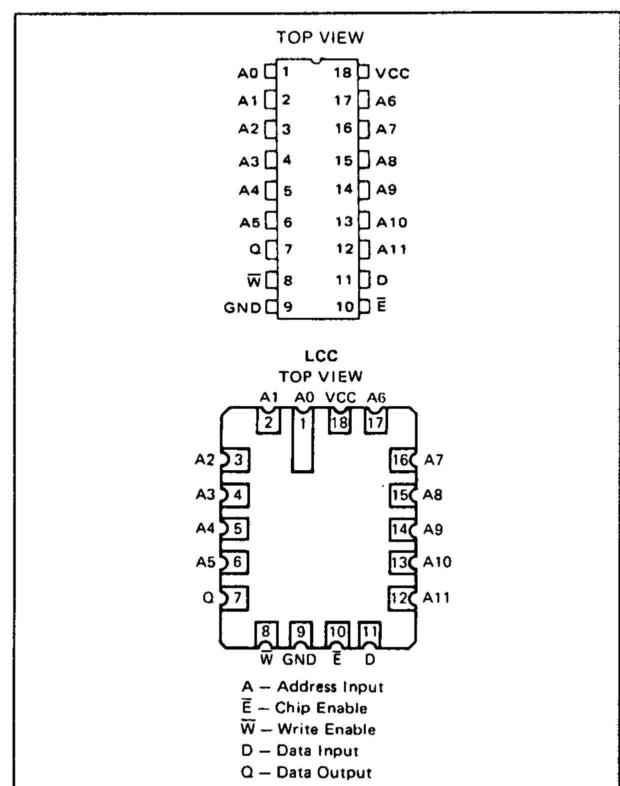
4k x 1 CMOS SRAM

De 6504 is een 4096 bit vrij toegankelijk statisch CMOS lees/schrijfgeheugen met een 4096 x 1 bit organisatie.
De 6504 heeft een synchrone werking en wordt geleverd in een commerciële, een industriële en een militaire versie, waarvan de laatste twee ook nog in een B, C of S uitvoering (respectievelijk "high speed", "relaxed specifications" en "very high speed"). Hier wordt alleen het commerciële type van Harris besproken.

De chip heeft adreslatches, latches aan de data in- en uitgang en latches aan de W-ingang, zodat efficiënte aansluiting op microprocessorsystemen mogelijk is. De data-uitgangsbuffer kan in een hoogimpedante toestand worden gezet, waardoor de 6504 in grotere geheugenarrays kan worden gebruikt.

Specificaties

- 4096 x 1 bit organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 35 mW/MHz max., 125 µW tot 1,75 mW (afhankelijk van type) standby
- alle in-/uitgangen TTL-compatibel
- gated ingangen, geen op- of neertrek-weerstanden nodig
- 3-state uitgang
- adresregister aanwezig
- standaard JEDEC aansluitingen
- 18-pens 0,3 inch ceramische of plastic DIL-behuizing of 18-pens rechthoekige CLCC (ceramische leadless chip carrier, zie figuur 8/2.4.3-1)
- leverbare typen:
  Harris: HM 6504-5 (350 ns, 0 tot +70 °C), HM 6504-9 (300 ns, -40 tot +85 °C), HM 6504-2/-8 (300 ns, -55 tot +125 °C), HM 6504B-2/-8/-9 (200 ns), HM 6504C-9 (300 ns), HM 6504S-2/-8-/-9 (120 ns)



Figuur 8/2.4.3-1: Aansluitingen van de DIL- en LCC-uitvoeringen van de 6504.

2.4.3 Type-beschrijving 65-serie

Werking

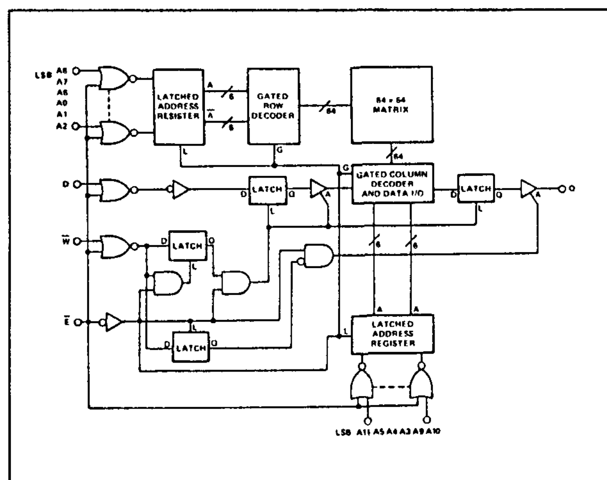
Zoals in het functionele blokschema (figuur 8/2.4.3-2) is te zien heeft de 6504 RAM 12 adreslijnen A0 tot en met A11, waarmee 4096 woorden van 1 bit kunnen worden bereikt die in een 64 x 64 matrix worden opgeslagen. Op de dalende flank van $\overline{E}$ wordt het adres in de adresregisters geklokt en verlaat de 6504 de standby-toestand. Bovendien wordt de toestand van $\overline{W}$ en afhankelijk hiervan data de in de in- of uitgangslatch geklokt.

Lees-cyclus

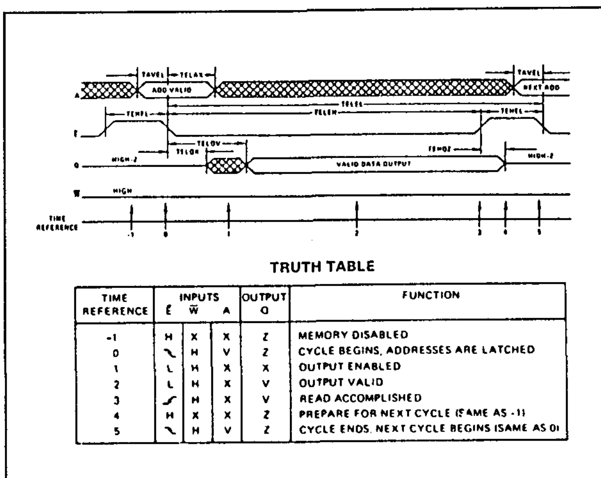
Op de dalende flank van $\overline{E}$ wordt de adresinformatie in de adresregisters geklokt (zie figuur 8/2.4.3-3). Hierbij moet aan de minimale setup- en houdtijden worden voldaan. Na verloop van de vereiste houdtijd mogen de adreslijnen van toestand veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed.

Op het tijdstip (T = 1) wordt de uitgang vrijgegeven, maar de informatie wordt pas geldig gedurende de tijd (T = 2). $\overline{W}$ moet tot na (T = 2) HOOG blijven.

Nadat de uitgangsdata gelezen is mag $\overline{E}$ weer HOOG worden (T = 3). Hierdoor worden de uitgangsbuffer en alle ingangen gesperd en kan de RAM aan een nieuwe leescyclus beginnen (T = 4).



Figuur 8/2.4.3-2: Functioneel blokschema (positieve logica).



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	OUTPUT Q	FUNCTION
-1	H	X	X	Z	MEMORY DISABLED
0	↘	H	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	H	X	X	OUTPUT ENABLED
2	L	H	X	V	OUTPUT VALID
3	↗	H	X	V	READ ACCOMPLISHED
4	H	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	H	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-3: Timing bij het uitlezen.

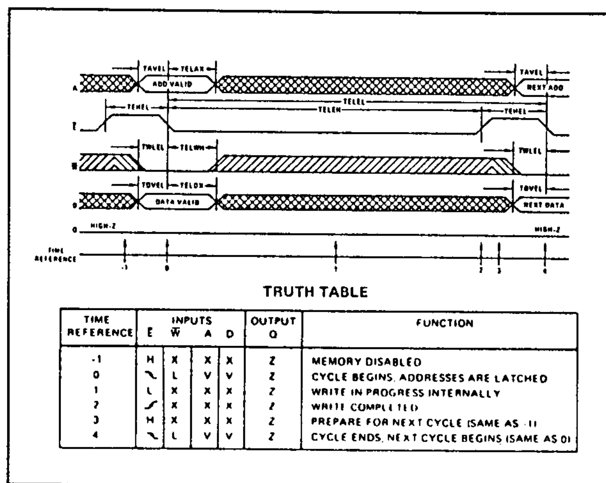
Schrijf-cyclus

Er zijn twee schrijf-cyclussen mogelijk: "early write" en "late write".

De vroege schrijf-cyclus (early write) is de enige cyclus waarbij de uitgang gegarandeerd niet aktief wordt (zie figuur 8/2.4.3-4). Op de dalende flank van $\overline{E}$ (T = 0) worden het adres, het writesignaal $\overline{W}$ en de informatie op de data-ingang in de betreffende registers geklokt. De logische waarde van $\overline{W}$ op het tijdstip dat $\overline{E}$ LAAG gaat bepaalt de toestand van de uitgangsbuffer voor die cyclus. Aangezien $\overline{W}$ LAAG is op de dalende flank van E, wordt de uitgangsbuffer in de hoogimpedante toestand gelatcht, hetgeen zo blijft totdat $\overline{E}$ weer HOOG wordt (T = 2). Bij deze cyclus wordt de ingangsdata gelatcht door het LAAG gaan van $\overline{E}$. De data setup- en houdtijden moeten daarom worden gerefereerd aan $\overline{E}$. Wanneer $\overline{E}$ op (T = 2) weer terugkomt in de HOOG toestand, worden de uitgangsbuffer en alle ingangen gesperd (disabled) en vervalt de waarde van alle gelatchte signalen. De RAM kan dan weer voor de volgende cyclus worden gebruikt.

De late schrijf-cyclus (late write) is een kruising van de vroege schrijf-cyclus en de leesmodificeer-schrijf cyclus (figuur 8/2.4.3-5).

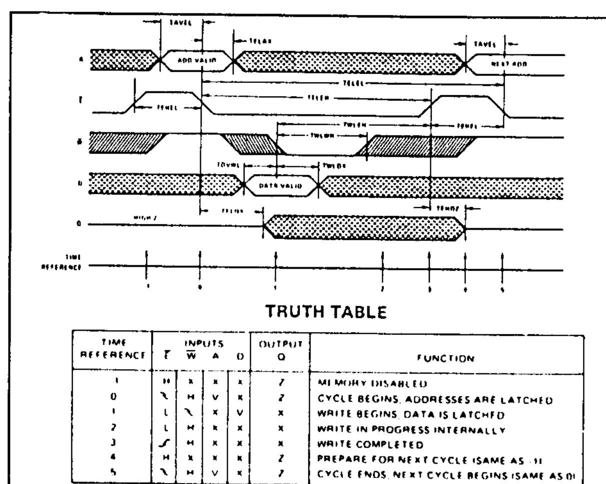
2.4.3 Type-beschrijving 65-serie



TIME REFERENCE	INPUTS E	$\overline{W}$	A	D	OUTPUT Q	FUNCTION
-1	H	X	X	X	Z	MEMORY DISABLED
0	↘	L	V	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	X	X	X	Z	WRITE IN PROGRESS INTERNALLY
2	↗	X	X	X	Z	WRITE COMPLETED
3	H	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
4	↘	L	V	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-4: De vroege schrijf-cyclus (early write).

Zoals hiervoor werd gezegd blijft de uitgang bij de vroege schrijf-cyclus gegarandeerd in de hoogimpedante toestand. Bij de lees-smodificeer-schrijf cyclus is de uitgang gegarandeerd geldig op de toegangstijd. De late schrijf-cyclus bevindt zich tussen deze twee gevallen in.
Hierbij kan de uitgang aktief worden of geldige data worden of aktief, maar ongedefinieerd worden. Geldige data wordt in de RAM geschreven als de juiste data-setup, data-houd, schrijf-setup en schrijf-pulsbreedten in acht worden genomen.



TIME REFERENCE	INPUTS E	$\overline{W}$	A	D	OUTPUT Q	FUNCTION
-1	H	X	X	X	Z	MEMORY DISABLED
0	↘	H	V	X	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	↘	X	V	X	WRITE BEGINS, DATA IS LATCHED
2	L	H	X	X	X	WRITE IN PROGRESS INTERNALLY
3	↗	H	X	X	X	WRITE COMPLETED
4	H	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	H	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-5: De late schrijf-cyclus (late write).

Overige kenmerken

De overige elektrische en timing kenmerken van het Harris-type HM 6504-5 zijn te zien in de tabel 8/2.4.3-1 en -2.

HM 6508

1k x 1 CMOS SRAM

De 6508 is een 1024 bit vrij toegankelijk statisch CMOS geheugen met een 1024 x 1 bit organisatie.

De 6508 werkt synchroon en is verkrijgbaar in een commerciële, een industriële en een militaire versie.
Hier wordt alleen de commerciële uitvoering besproken.

De chip is voorzien van adreslatches om efficiënte aansluiting op microprocessorsystemen mogelijk te maken. Voor toepassing in uitgebreide geheugenarrays kunnen de data-uitgangsbuffers in een hoogimpedante toestand worden gezet.

Specificaties

- 1k x 1 organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (+/-10 %)
- dissipatie 20 mW/MHz max., 500 µW max. (standby)
- data-houdspanning minimaal 2 V
- alle in-/uitgangen TTL-compatibel
- 3-state uitgang geschikt voor 2 TTL belastingen
- adresregister aanwezig
- 16-pens 0,3 inch ceramische of plastic DIL-behuizing (zie figuur 8/2.4.3-6)
- leverbare typen:
  Harris: HM 6508-5 (300 ns, 0 tot +70 °C), HM 6508-9 (250 ns, -40 tot +85 °C), HM 6508-2/-8 (250 ns, -55 tot +125 °C), HM 6508B-2/-8/-9 (180 ns)

2.4.3 Type-beschrijving 65-serie

Absolute Maximum Ratings*		Operating Range	
Supply Voltage - (VCC - GND)	-0.3V to +8.0V	Operating Supply Voltage	
Input or Output Voltage Applied	(GND -0.3V) to (VCC +0.3V)	HM-6504-5	4.5V to 5.5V
Storage Temperature	-65°C to +150°C	Operating Temperature	
		HM-6504-5	0°C to +70°C

Tabel 8/2.4.3-1: Maximaal toegelaten waarden.

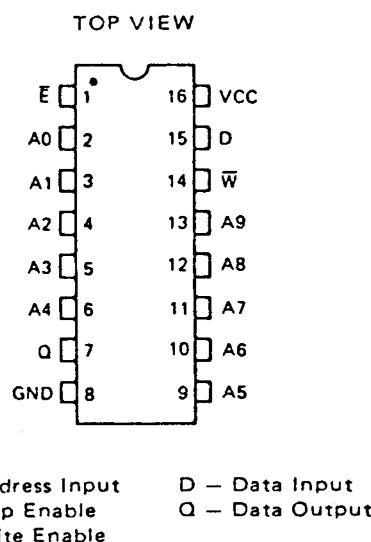
De 6508 werkt synchroon en is verkrijgbaar in een commerciële, een industriële en een militaire versie. Hier wordt alleen de commerciële uitvoering besproken.

Werking

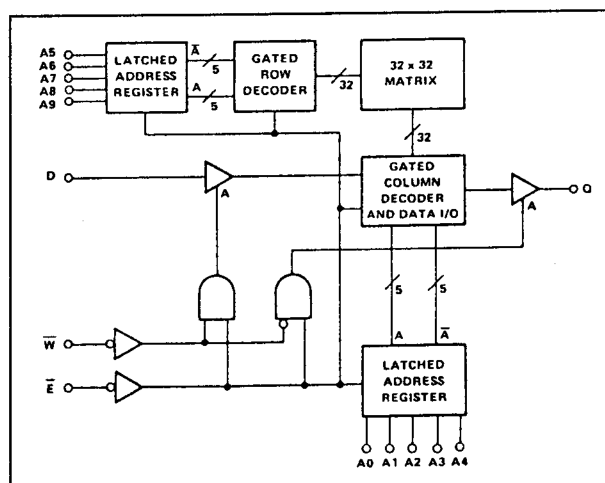
Met de 10 adresingangen A0 tot en met A9 kan een van de 1024 adresplaatsen in de 32 x 32 matrix worden gekozen (zie blokschema figuur 8/2.4.3-7). Het adres wordt op de dalende flank van Ē in de adresregisters geklokt.

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB	Standby Supply Current		350	µA	IO = 0, Ē VCC-0.3V
	ICCOP	Operating Supply Current (2)		7	mA	Ē = 1MHz, IO = 0 VI GND
	ICCDR	Data Retention Supply Current		200	µA	VCC = 2.0V, IO = 0 Ē VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	II	Input Leakage Current	-10.0	+10.0	µA	VI = VCC or GND
	IOZ	Output Leakage Current	-10.0	+10.0	µA	VO = VCC or GND
	VIL	Input Low Voltage	-0.3	0.8	V	
	VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
	VOL	Output Low Voltage		0.4	V	IO = 2.0mA
	VOH	Output High Voltage	2.4		V	IO = -1.0mA
	CI	Input Capacitance (3)		8.0	pF	f = 1MHz VI = VCC or GND
	CO	Output Capacitance (3)		10.0	pF	f = 1MHz VO = VCC or GND
A.C.	TELQV	Chip Enable Access Time		350	ns	(4)
	TAVQV	Address Access Time		370	ns	(4)
	TELQX	Chip Enable Output Enable Time	20		ns	(3) (4)
	TEHQZ	Chip Enable Output Disable Time		100	ns	(3) (4)
	TELEH	Chip Enable Pulse Negative Width	350		ns	(4)
	TEHEL	Chip Enable Pulse Positive Width	150		ns	(4)
	TAVEL	Address Setup Time	20		ns	(4)
	TELAX	Address Hold Time	50		ns	(4)
	TWLWH	Write Enable Pulse Width	100		ns	(4)
	TWLEH	Write Enable Pulse Setup Time	250		ns	(4)
	TWLEL	Early Write Pulse Setup Time	0		ns	(4)
	TWHEL	Write Enable Read Mode Setup Time	0		ns	(3) (4)
	TELWH	Early Write Pulse Hold Time	100		ns	(4)
	TDVWL	Data Setup Time	30		ns	(4)
	TDVEL	Early Write Data Setup Time	30		ns	(4)
	TWLDX	Data Hold Time	100		ns	(4)
	TELDX	Early Write Data Hold Time	100		ns	(4)
	TELEL	Read or Write Cycle Time	500		ns	(4)

Tabel 8/2.4.3-2: Elektrische specificaties en schakeltijden van de commerciële uitvoering 6504-5.



Figuur 8/2.4.3-6: Aansluitingen van de 6508.



Figuur 8/2.4.3-7: Functioneel blokschema (positieve logica).

2.4.3 Type-beschrijving 65-serie

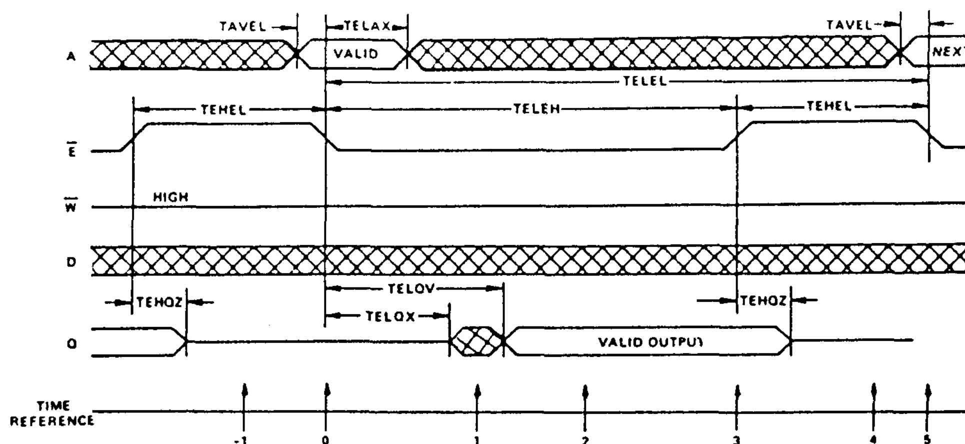
De 6508 komt in de standby-toestand als $\overline{E}$ HOOG is.

Lees-cyclus

Zoals in figuur 8/2.4.3-8 te zien is wordt de adresinformatie op de dalende flank van $\overline{E}$ (T = 0) in de adresregisters geklokt. Hierbij moet aan de vereiste minimale setup- en houdtijden worden voldaan. Na de vereiste houdtijd mag het adres veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed. Gedurende de tijd (T = 1) wordt de uitgang vrijgegeven. De data is echter pas geldig vanaf het moment (T = 2). $\overline{W}$ moet tijdens de gehele leescyclus HOOG blijven. Nadat de data is uitgelezen mag $\overline{E}$ weer HOOG worden (T = 3). Hierdoor zal de chip worden ge-disabled en komt de uitgangsbuffer in de hoogimpedante toestand. Nadat $\overline{E}$ lang genoeg HOOG is geweest (T_{EHEL}) is de RAM klaar voor de volgende geheugencyclus (T = 4).

Schrijf-cyclus

Ook de schrijf-cyclus (zie figuur 8/2.4.3-9) wordt ingeleid door de dalende flank van $\overline{E}$, waardoor de adresinformatie in de adresregisters wordt geklokt. Het schrijfgedeelte van de cyclus wordt gedefinieerd als zowel $\overline{E}$ als $\overline{W}$ gelijktijdig LAAG zijn. $\overline{W}$ mag op een willekeurig moment in de cyclus LAAG gaan, als tenminste aan de minimale setup-tijd (T_{WLEH}) wordt voldaan. Het schrijven eindigt wanneer $\overline{E}$ of $\overline{W}$ HOOG gaat.
Als een hele serie opeenvolgende schrijfcycli moet worden uitgevoerd, mag de $\overline{W}$-lijn LAAG blijven totdat alle gewenste lokaties zijn gevuld.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	D	OUTPUTS Q	FUNCTION
-1	H	X	X	X	Z	MEMORY DISABLED
0	↓	H	V	X	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	H	X	X	X	OUTPUT ENABLED
2	L	H	X	X	V	OUTPUT VALID
3	↑	H	X	X	V	READ ACCOMPLISHED
4	H	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↓	H	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

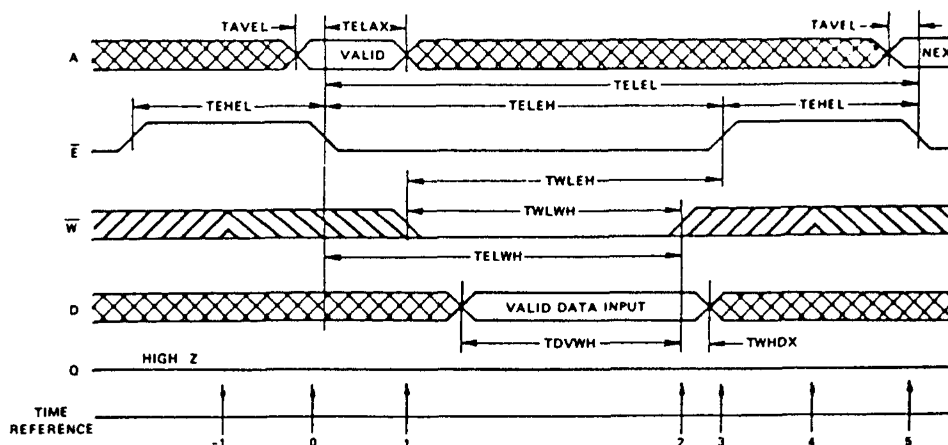
Figuur 8/2.4.3-8: Timing bij het uitlezen.

2.4.3 Type-beschrijving 65-serie

Wordt deze methode gebruikt, dan geldt de stijgende flank van $\overline{E}$ als referentie voor data setup- en houdtijden. Door de W-puls op verschillende tijden binnen de tijd dat $\overline{E}$ LAAG is (T_{ELEH}) te positioneren, kunnen verschillende soorten schrijf-cycli worden uitgevoerd.
Wanneer de LAAG-tijd van $\overline{E}$ (T_{ELEH}) groter is dan de W-puls (T_{WLWH}) plus een uitgang-enable tijd (T_{ELQX}) wordt een gecombineerde lees/schrijf-cyclus uitgevoerd.
De data in- en uitgangspennen mogen met elkaar worden doorverbonden voor gebruik in een I/O databus structuur. Hierbij dient na het LAAG gaan van $\overline{W}$ tenminste een uitgang-disable tijd (T_{WLQZ}) in acht te worden genomen voordat weer ingangsdata op de bus wordt gezet.

Overige kenmerken
De overige elektrische en timing kenmerken van het Harris-type HM 6508-5 zijn te zien in de tabellen 8/2.4.3-3 en -4.

HM 6514
1k x 4 CMOS SRAM
De 6514 is een 4096 bit statisch, vrij toegankelijk CMOS lees/schrijf-geheugen, georganiseerd als 1024 x 4 bits. De 6514 heeft een synchrone werking en wordt geleverd in een commerciële, een industriële en een militaire versie, waarvan de laatste twee tevens in een B, C of S uitvoering (respectievelijk "high speed", "relaxed specifications" en "very high speed"). Hier wordt alleen het commerciële HM 6514-5 type van Harris besproken.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	D	OUTPUTS Q	FUNCTION
-1	H	X	X	X	Z	MEMORY DISABLED
0	↓	X	V	X	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	↓	X	X	Z	WRITE PERIOD BEGINS
2	L	↑	X	V	Z	DATA IS WRITTEN
3	↑	H	X	X	Z	WRITE COMPLETED
4	H	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↓	X	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-9: Timing bij het schrijven.

2.4.3 Type-beschrijving 65-serie

Supply Voltage - (VCC - GND)	-0.3V to +8.0V	Operating Supply Voltage - VCC	
Input or Output Voltage Applied	(GND -0.3V) to (VCC +0.3V)	HM-6508-5	4.5V to 5.5V
		Operating Temperature	
Storage Temperature	-65°C to +150°C	HM-6508-5	0°C to +70°C

Tabel 8/2.4.3-3: Maximaal toegelaten waarden.

De chip heeft adreslatches aan boord voor efficiënte aansluiting op microprocessorsystemen.
De 6514 heeft gemeenschappelijke in-/uitgangen die toepassing op een databus mogelijk maken. Alle ingangen worden door het E-signaal ingeklokt (gated inputs). De data-uitgangsbuffers kunnen in een hoogimpedante toestand worden gezet, zodat de 6514 in grotere geheugenarrays kan worden gebruikt.

Specificaties

- 1024 x 4 bits organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 35 mW/MHz max., 125 µW tot 1,75 mW (afhankelijk van type) standby
- alle in-/uitgangen TTL-compatibel
- gated ingangen, geen op- of neertrekweerstanden nodig
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- adresregister aanwezig
- standaard JEDEC aansluitingen
- compatibel met NMOS 2114-typen
- 18-pens 0,3 inch ceramische of plastic DIL-behuizing of 18-pens rechthoekige CLCC (ceramische leadless chip carrier, zie figuur 8/2.4.3-10)
- leverbare typen:
  Harris: HM 6514-5 (350 ns, 0 tot +70 °C), HM 6514-9 (300 ns, -40 tot +85 °C), HM 6514-2/-8 (300 ns, -55 tot +125 °C), HM 6514B-2/-8/-9 (200 ns), HM 6514C-9 (300 ns), HM 6514S-2/-8-/-9 (120 ns)

Werking

De 6514 heeft 10 adres-lijnen A0 tot en met A9, waarmee 1024 woorden met een 4 bits breedte kunnen worden bereikt die in een 64 x 64 matrix worden opgeslagen (zie figuur 8/2.4.3-11)). Als $\overline{E}$ HOOG is, bevindt de 6514 zich in de standby toestand en zijn alle ingangen gesperd en bevinden de uitgangen zich in de hoogimpedante toestand. Op de dalende flank van $\overline{E}$ wordt het adres in de adresregisters geklokt en verlaat de 6514 de standby-toestand. De 6514 heeft gemeenschappelijke data-in/uitgangen die inwendig door het $\overline{W}$-signaal worden gemultiplext.

De 6514 is compatibel met de NMOS RAM 2114. In figuur 8/2.4.3-12 wordt het enige verschil getoond. Bij de 2114 moet het adres gedurende de gehele cyclus gehandhaafd blijven.

Lees-cyclus

Op de dalende flank van $\overline{E}$ (T = 0) wordt de adres-informatie in de adresregisters geklokt (zie figuur 8/2.4.3-13). Hierbij moet aan de minimale setup- en houdtijden worden voldaan. Na verloop van de vereiste houdtijd mag het adres veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed. Op het tijdstip (T = 1) wordt de uitgang vrijgegeven, maar de informatie wordt pas geldig bij de tijd (T = 2). $\overline{W}$ moet gedurende de gehele leescyclus HOOG blijven. Nadat de data gelezen is mag $\overline{E}$ weer HOOG worden (T = 3). Hierdoor worden de uitgangsbuffers en alle ingangen op het tijdstip (T = 4) gesperd en kan de RAM aan een nieuwe leescyclus beginnen.

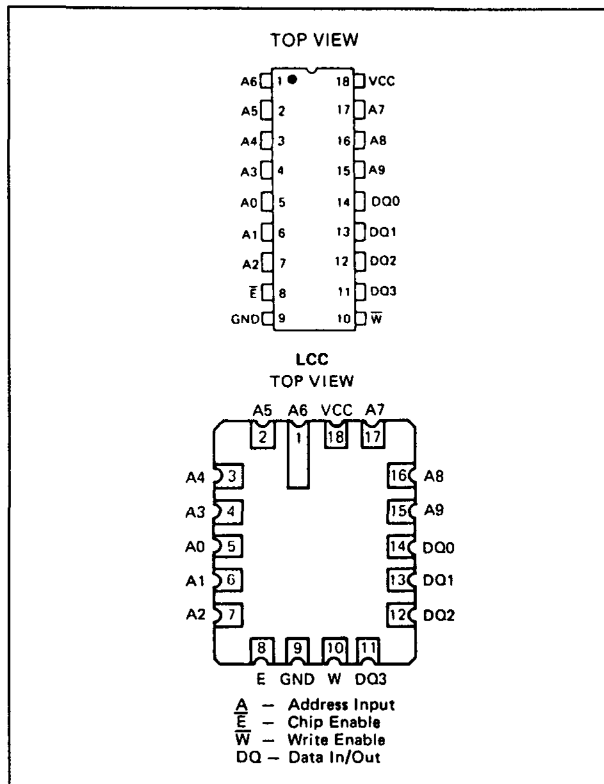
2.4.3 Type-beschrijving 65-serie

SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE		UNITS	TEST CONDITIONS
		MIN	MAX		
ICCSB	Standby Supply Current		100	μA	IO = 0 VI = VCC or GND
ICCOP	Operating Supply Current ②		4	mA	$\overline{E}$ = 1MHz, IO = 0 VI = VCC or GND
ICCDR	Data Retention Supply Current		100	μA	VCC = 2.0, IO = 0 VI = VCC or GND $\overline{E}$ = VCC
VCCDR	Data Retention Supply Voltage	2.0		V	
II	Input Leakage Current	-1.0	+1.0	μA	VI = VCC or GND
IOZ	Output Leakage Current	-1.0	+1.0	μA	VO = VCC or GND
VIL	Input Low Voltage	-0.3	0.8	V	
VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
VOL	Output Low Voltage		0.4	V	IO = 1.6mA
VOH	Output High Voltage	2.4		V	IO = -0.2mA
CI	Input Capacitance ③		6	pF	VI = VCC or GND f = 1MHz
CO	Output Capacitance ③		10	pF	VO = VCC or GND f = 1MHz
TELQV	Chip Enable Access Time		300	ns	④
TAVQV	Address Access Time		310	ns	④
TELQX	Chip Enable Output Enable Time	20	200	ns	③④
TWLQZ	Write Enable Output Disable Time		200	ns	③④
TEHQZ	Chip Enable Output Disable Time		200	ns	③④
TELEH	Chip Enable Pulse Negative Width	300		ns	④
TEHEL	Chip Enable Pulse Positive Width	150		ns	④
TAVEL	Address Setup Time	10		ns	④
TELAX	Address Hold Time	70		ns	④
TDVWH	Data Setup Time	130		ns	④
TWHDX	Data Hold Time	0		ns	④
TWLEH	Chip Enable Write Pulse Setup Time	160		ns	④
TELWH	Chip Enable Write Pulse Hold Time	160		ns	④
TWLWH	Write Enable Pulse Width	160		ns	④
TELEL	Read or Write Cycle Time	450		ns	④

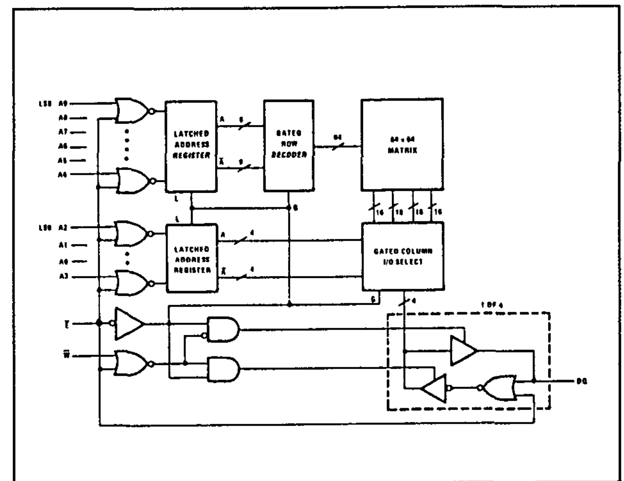
NOTES:
① All devices tested at worst case temperature and V_{CC}.
② Operating supply current (ICCOP) is proportional to operating frequency. Example: typical ICCOP = 1.5mA/MHz.
③ Tested at initial design and after major design changes.
④ Input rise and fall times: 20ns max. Input and output timing reference level: 1.5V. Output load: 1 TTL gate equivalent and C_L = 50 to 300pF. For C_L greater than 50pF, access time is derated 0.15ns/pF.

Tabel 8/2.4.3-4: Elektrische specificaties en schakeltijden van de 6508-5.

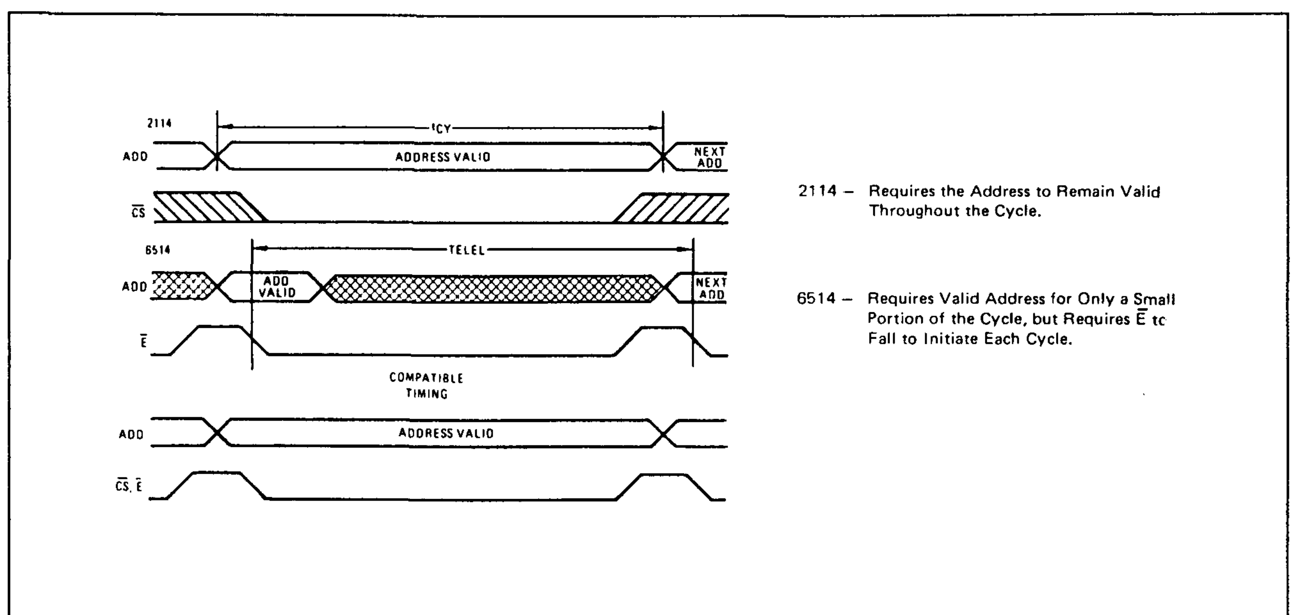
2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-10: Aansluitgegevens van de DIL- en LCC-versies van de 6514.

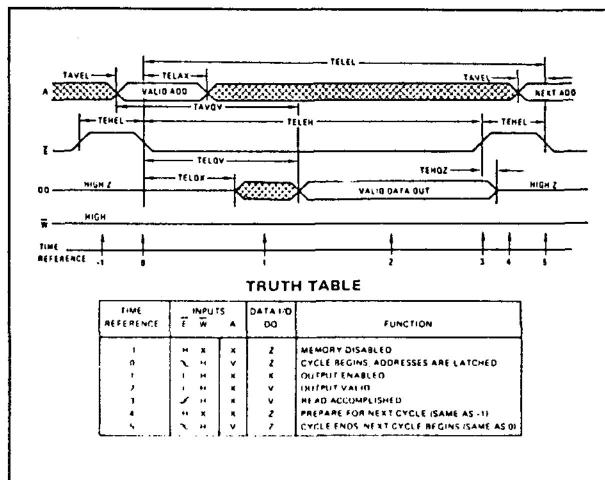


Figuur 8/2.4.3-11: Functioneel blokschema (positieve logica).



Figuur 8/2.4.3-12: Verschillen tussen de 6514 en de 2114.

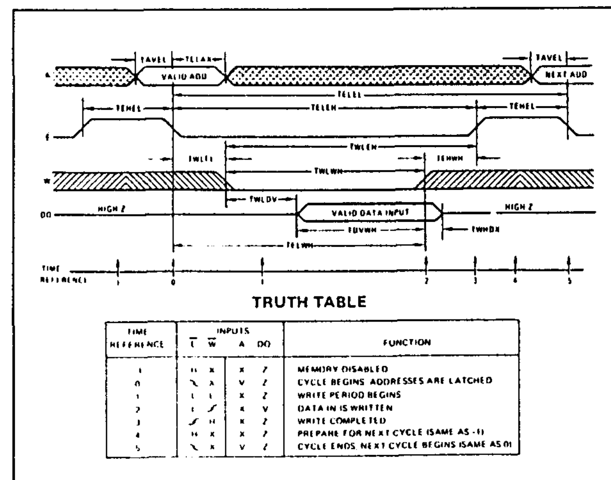
2.4.3 Type-beschrijving 65-serie



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	DATA I/O DO	FUNCTION
1	H	X	X	Z	MEMORY DISABLED
0	↘	H	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	H	X	X	OUTPUT ENABLED
2	L	H	X	V	OUTPUT VALID
3	↗	H	X	V	READ ACCOMPLISHED
4	H	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	H	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-13: Timing bij het uitlezen.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	DO	FUNCTION
1	H	X	X	Z	MEMORY DISABLED
0	↘	X	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	X	Z	WRITE PERIOD BEGINS
2	L	↗	X	V	DATA IN IS WRITTEN
3	↗	H	X	Z	WRITE COMPLETED
4	H	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	X	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-14: Timing bij het schrijven.

Schrijf-cyclus (figuur 8/2.4.3-14)

De schrijf-cyclus wordt ingeleid op de dalende flank van $\overline{E}$ (T = 0), wanneer de adresinformatie in de registers wordt gelatcht. Er zijn twee principiële soorten schrijf-cycli met verschillende besturing van de gemeenschappelijke data-in/uitgangsbus.

- Geval 1: $\overline{E}$ daalt voordat $\overline{W}$ daalt
  Het kan zijn dat de uitgangsbuffers worden vrijgegeven (lezen) als $\overline{E}$ LAAG wordt voordat $\overline{W}$ dit doet.
  $\overline{W}$ wordt gebruikt om de 3-state uitgangen te sperren zodat data op de ingangen kan worden gezet. Er moet worden voldaan aan TWLDV om het $\overline{W}$-signaal de tijd te geven de uitgangen te sperren. Aan het einde van de cyclus kan het ook gebeuren dat de uitgangen aktief worden als $\overline{W}$ HOOG wordt voor $\overline{E}$. Nadat $\overline{E}$ weer HOOG is geworden (TEHQZ) sperren alle in- en uitgangen van de RAM. Bij deze soort schrijf-cyclus kunnen TWLEL en TEHWH worden genegeerd.
- Geval 2: $\overline{E}$ daalt gelijk met of nadat $\overline{W}$ daalt en $\overline{E}$ stijgt voordat of tegelijk als $\overline{W}$ stijgt
  Deze timing van $\overline{E}$ en $\overline{W}$ garandeert dat de data-uitgangen gedurende de gehele cyclus gesperd blijven, waardoor de timing van de ingangsdata wordt vereenvoudigd.

Er moet worden voldaan aan TWLEL en TEHWH, maar TWLDV heeft geen betekenis meer en kan worden genegeerd.
Bij deze cyclus komen TDVWH en TWHDX in de plaats van TDVEH en TEHDX. Met andere woorden, data setup en houdtijden moeten worden gerefereerd aan de stijgende flank van $\overline{E}$ (zie ook tabel 8/2.4.3-5).
Als een aangesloten reeks schrijf-cyclussen moet worden uitgevoerd mag $\overline{W}$ LAAG worden gehouden totdat in alle lokaties is geschreven (een uitbreiding van geval 2).

Overige kenmerken

De overige elektrische en timing kenmerken van het Harris-type HM 6514-5 zijn te zien in de tabellen 8/2.4.3-6 en -7.

	IF	OBSERVE	IGNORE
Case 1	$\overline{E}$ falls before $\overline{W}$	TWLDV	TWLEL
Case 2	$\overline{E}$ falls after $\overline{W}$ & $\overline{E}$ rises before $\overline{W}$	TWLEL TEHWH	TWLDV TWHDX

Tabel 8/2.4.3-5: Verschillen tussen de schrijf-cyclussen.

2.4.3 Type-beschrijving 65-serie

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage
HM-6514-5 .... 4.5V to 5.5V
Operating Temperature
HM-6514-5 .... 0°C to +70°C

Tabel 8/2.4.3-6: Maximaal toegelaten waarden.

HM 6516

2k x 8 CMOS SRAM

De 6516 is een 16384 bit statisch, vrij toegankelijk CMOS lees/schrijf-geheugen, georganiseerd in 2048 x 8 bits ("byte wide"). De 6516 werkt synchroon en wordt geleverd in een commerciële, een industriële en een militaire versie. Hier wordt alleen het commerciële HM 6516-5 type besproken.

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB	Standby Supply Current		350	μA	Ē = VCC −0.3V IO = 0
	ICCOP	Operating Supply Current (2)		7	mA	Ē = 1MHz, IO = 0 VI = GND
	ICCDR	Data Retention Supply Current		200	μA	VCC = 2.0V IO = 0 Ē=VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	II	Input Leakage Current	-10.0	+10.0	μA	VI = VCC or GND
	IIOZ	Input/Output Leakage Current	-10.0	+10.0	μA	VIO = VCC or GND
	VIL	Input Low Voltage	-0.3	0.8	V	
	VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
	VOL	Output Low Voltage		0.4	V	IO = 1.6mA
	VOH	Output High Voltage	2.4		V	IO = -0.4mA
	CI	Input Capacitance (3)		8.0	pF	VI = VCC or GND f = 1MHz
	CIO	Input/Output Capacitance (3)		10.0	pF	VI = VCC or GND f = 1MHz
A.C.	TELQV	Chip Enable Access Time		350	ns	(4)
	TAVQV	Address Access Time		370	ns	(4)
	TELQX	Chip Enable Output Enable Time	20		ns	(3) (4)
	TEHQZ	Chip Enable Output Disable Time		100	ns	(3) (4)
	TELEH	Chip Enable Pulse Negative Width	350		ns	(4)
	TEHEL	Chip Enable Pulse Positive Width	150		ns	(4)
	TAVEL	Address Setup Time	20		ns	(4)
	TELAX	Address Hold Time	50		ns	(4)
	TWLWH	Write Enable Pulse Width	350		ns	(4)
	TWLEH	Write Enable Pulse Setup Time	350		ns	(4)
	TELWH	Write Enable Pulse Hold Time	350		ns	(4)
	TDVWH	Data Setup Time	250		ns	(4)
	TWHDX	Data Hold Time	0		ns	(4)
	TWLDV	Write Data Delay Time	100		ns	(4)
	TWLEL	Early Output High-Z Time	0		ns	(4)
	TEHWH	Late Output High-Z Time	0		ns	(4)
	TELEL	Read or Write Cycle Time	500		ns	(4)

Tabel 8/2.4.3-7: Elektrische specificaties en schakeltijden van de commerciële uitvoering 6514-5.

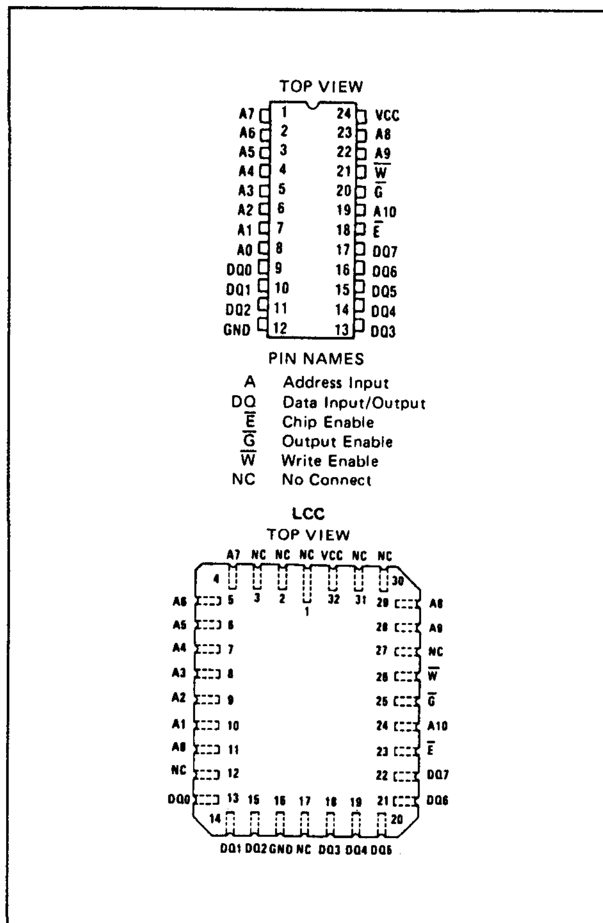
De 24-pens DIL uitvoering van de 6516 komt overeen met de populaire industriestandaard en is daardoor compatibel met verschillende PROM's, RAM's, EPROM's en ROM's.

De 6516 heeft adreslatches en gemeenschappelijke data in- en uitgangen die gebruik van een gemultiplexte 8-bits data- en adresbus mogelijk maken. Met het output-enable signaal kunnen de data-uitgangen onafhankelijk van de chipenable worden bestuurd.

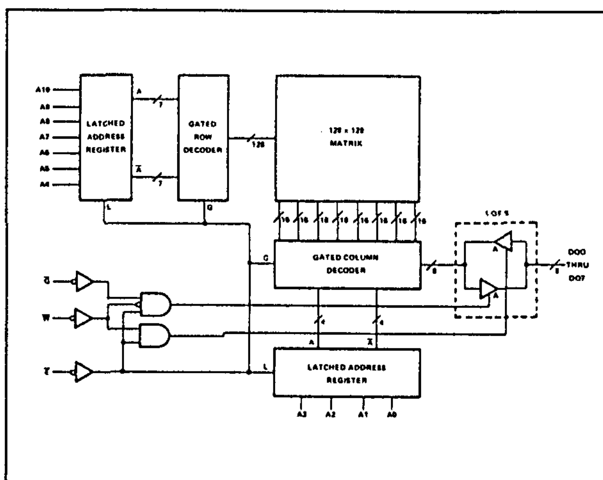
Specificaties

- 2048 x 8 bits organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 55 mW/MHz max., 2,5 mW (standby)
- alle in-/uitgangen TTL-compatibel
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- adresregister aanwezig
- industriestandaard aansluitingen
- 24-pens 0,6 inch ceramische of plastic DIL-behuizing of 32-pens rechthoekige CLCC (ceramische leadless chip carrier, zie figuur 8/2.4.3-15)
- leverbare typen:
  Harris: HM 6516-5 (200 ns, 0 tot +70 °C), HM 6516-8 (200 ns, -55 tot +125 °C), HM 6516-9 (200 ns, -40 tot +85 °C), HM 6516B-8/-9 (120 ns)
  Natsemi: NMC 6516

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-15: Aansluitgegevens van de DIL- en LCC-versies van de 6516.



Figuur 8/2.4.3-16: Functioneel blokschema (positieve logica).

Werking

De 6516 heeft 11 adres-lijnen (A0 tot en met A10), waarmee 2048 8-bits woorden kunnen worden bereikt die in een 128 x 128 matrix worden opgeslagen (zie figuur 8/2.4.3-16). Als $\overline{E}$ HOOG is, bevindt de 6516 zich in de standby toestand en zijn alle ingangen gesperd en bevinden de uitgangen zich in de hoogimpedante toestand. Op de dalende flank van $\overline{E}$ wordt het adres in de adresregisters geklokt en wordt de 6516 aktief. De 6516 heeft gemeenschappelijke data in- en uitgangen die intern door het W-signaal worden gemultiplext.

Lees-cyclus

Op de dalende flank van $\overline{E}$ (T = 0) wordt het adres in de adresregisters geklokt (zie figuur 8/2.4.3-17).

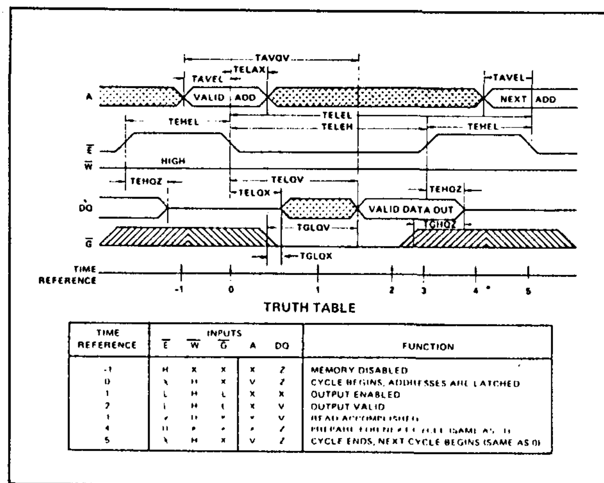
Hierbij moet aan de minimale setup- en houdtijden worden voldaan. Na verloop van de vereiste houdtijd mag het adres veranderen zonder dat de werking van de RAM wordt beïnvloed. Gedurende de tijd (T = 1) worden de uitgangen vrijgegeven, maar de data wordt pas geldig bij de tijd (T = 2). $\overline{W}$ moet gedurende de gehele leescyclus HOOG blijven. Nadat de data gelezen is mag $\overline{E}$ weer HOOG worden (T = 3). Hierdoor worden de uitgangsbuffers op het tijdstip (T = 4) gesperd. Door de output-enable $\overline{G}$ = HOOG te maken worden de uitgangsbuffers gesperd (T = -1, 0, 3, 4, 5). Na het punt (T = 4) kan de RAM aan een nieuwe leescyclus beginnen.

Schrijf-cyclus

De schrijfcyclus begint op de dalende flank van $\overline{E}$ (T = 0), waarmee de adres-informatie in de registers wordt gelatcht (zie figuur 8/2.4.3-18).

Wanneer een schrijfcyclus moet worden uitgevoerd zonder de uitgangen aktief te maken, kan $\overline{G}$ HOOG worden gehouden. Onafhankelijk van $\overline{G}$ moet aan de tijden T_{DVWH} en T_{WHDX} worden voldaan. Als $\overline{E}$ en $\overline{G}$ dalen voordat $\overline{W}$ dat doet (leesmode), kan een busconflict ontstaan.

2.4.3 Type-beschrijving 65-serie



TIME REFERENCE	Ē	W̄	Ḡ	A	DQ	FUNCTION
-1	H	X	X	X	Z	MEMORY DISABLED
0	↘	H	X	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	H	L	X	X	OUTPUT ENABLED
2	L	H	L	X	V	OUTPUT VALID
3	↗	H	[illegible]	[illegible]	V	READ ACCOMPLISHED
4	H	[illegible]	[illegible]	[illegible]	Z	[illegible]
5	↘	H	X	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-17: Timing bij het uitlezen.

Als Ē voor W̄ stijgt, worden de data setup- en houdtijden aan de stijgende flank van Ē gerefereerd.
Het schrijven eindigt op de eerst optredende stijgende flank van W̄ (T = 2) of Ē (T = 3). Na verstrijken van de minimale Ē = HOOG tijd (TEHEL) mag de volgende cyclus beginnen.

Als een aangesloten reeks schrijfcyclussen moet worden uitgevoerd mag W̄ LAAG worden gehouden totdat alle lokaties zijn beschreven. In dat geval moeten de data setup- en houdtijden aan de stijgende flank van Ē worden gerefereerd.

Overige kenmerken

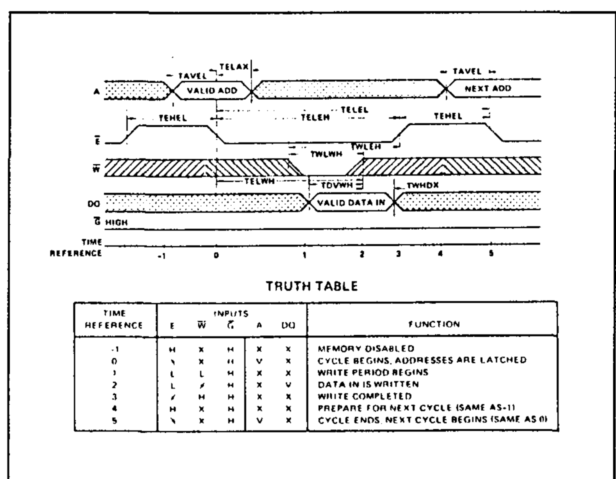
De overige elektrische en timing kenmerken van het Harris-type HM 6516-5 zijn te zien in de tabellen 8/2.4.3-8 en -9.

HM 6518

1k x 1 CMOS SRAM

De 6518 is een 1024 bit rondom toegankelijk statisch CMOS geheugen met een 1024 x 1 bit organisatie.
De 6518 is ontworpen voor synchrone werking en is leverbaar in een commerciële, een industriële en een militaire uitvoering. Hier wordt alleen de commerciële versie van Harris besproken.

De chip is voorzien van adreslatches en een latch aan de data-uitgang voor een efficiënte aansluiting op microprocessor-systemen. Voor toepassing in uitgebreide geheugen-arrays kunnen de data-uitgangsbuffers in de hoog-impedante toestand worden gezet, terwijl de beide chip-selectlijnen voor gemakkelijke expansie van de arrays zorgen.



TIME REFERENCE	E	W̄	Ḡ	A	DQ	FUNCTION
-1	H	X	H	X	X	MEMORY DISABLED
0	↘	X	H	V	X	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	H	X	X	WRITE PERIOD BEGINS
2	L	↗	H	X	V	DATA IN IS WRITTEN
3	↗	H	H	X	X	WRITE COMPLETED
4	H	X	H	X	X	PREPARE FOR NEXT CYCLE (SAME AS-1)
5	↘	X	H	V	X	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-18: Timing bij het schrijven.

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage
HM-6516-5 .... 4.5V to 5.5V
Operating Temperature
HM-6516-5 .... 0°C to +70°C

Tabel 8/2.4.3-8: Maximaal toegelaten waarden.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE ① MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB	Standby Supply Current		500	µA	IO = 0 VI = VCC or GND
	ICCOP	Operating Supply Current ②		10	mA	f=1MHz,IO=0,G̅=VCC VI = VCC or GND
	ICCDR	Data Retention Supply Current		250	µA	IO = 0, VCC = 2.0, VI = VCC or GND, Ē = VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	II	Input Leakage Current	−5.0	+5.0	µA	VI = VCC or GND
	IIOZ	Input/Output Leakage Current	−5.0	+5.0	µA	VIO = VCC or GND
	VIL	Input Low Voltage	−0.3	0.8	V	
	VIH	Input High Voltage	2.4	VCC +0.3	V	
	VOL	Output Low Voltage		0.4	V	IO = 3.2mA
	VOH	Output High Voltage	2.4		V	IO = −1.0mA
	CI	Input Capacitance ③		8.0	pF	VI = VCC or GND, f = 1MHz
	CIO	Input/Output Capacitance ③		10.0	pF	VIO = VCC or GND, f = 1MHz
A.C. ⑤	TELQV	Chip Enable Access Time		200	ns	④
	TAVQV	Address Access Time		200	ns	④
	TELQX	Chip Enable Output Enable Time	10		ns	③
	TWLQZ	Write Enable Output Disable Time		80	ns	③
	TEHQZ	Chip Enable Output Disable Time		80	ns	③
	TGLQV	Output Enable Output Valid Time		80	ns	④
	TGLQX	Output Enable Output Enable Time	10		ns	③
	TGHQZ	Output Enable Output Disable Time		80	ns	③
	TELEH	Chip Enable Pulse Negative Width	200		ns	④
	TEHEL	Chip Enable Pulse Positive Width	80		ns	④
	TAVEL	Address Setup Time	0		ns	④
	TELAX	Address Hold Time	50		ns	④
	TWLWH	Write Enable Pulse Width	200		ns	④
	TWLEH	Write Enable Pulse Setup Time	200		ns	④
	TELWH	Write Enable Pulse Hold Time	200		ns	④
	TDVWH	Data Setup Time	80		ns	④
	TWHDX	Data Hold Time	10		ns	④
	TWLDV	Write Data Delay Time	80		ns	④
	TELEL	Read or Write Cycle Time	280		ns	④

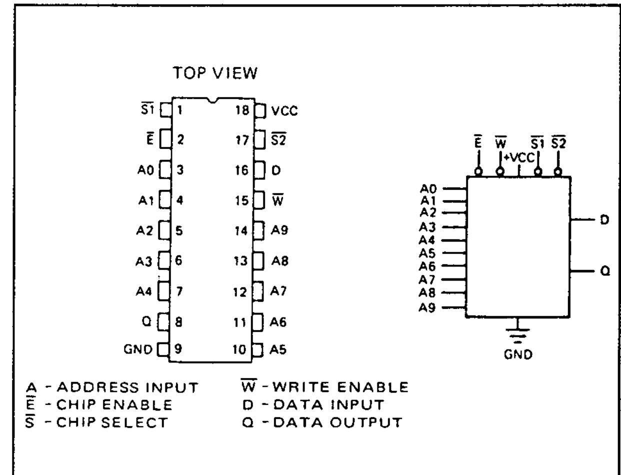
NOTES:
① All devices tested at worst case temperature and V_{CC}.
② Typical derating: 5mA/MHz increase in ICCOP.
③ Tested at initial design and after major design changes.
④ Input pulse levels: 0V to 3V. Input rise and fall times: 5ns max. Input and output timing reference levels: 1.5V. Output load: 1 TTL gate equivalent and C_L = 50 to 300pF. For C_L greater than 50pF, access time is derated 0.15ns/pF.
⑤ Tested at V_{CC} = 4.5V and 5.5V.

Tabel 8/2.4.3-9: Elektrische specificaties en schakeltijden van de commerciële versie 6516-5.

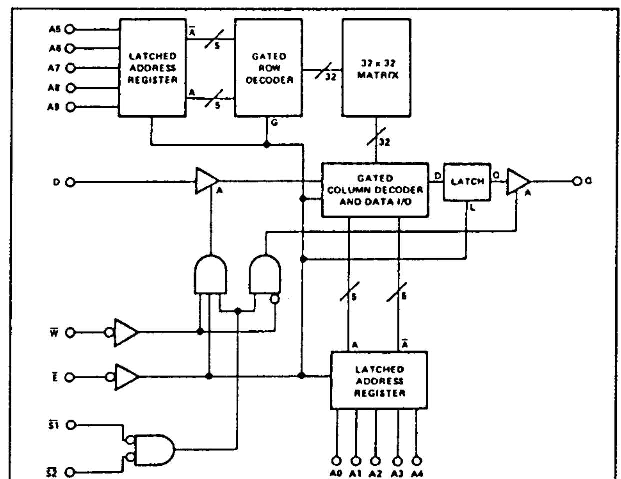
2.4.3 Type-beschrijving 65-serie

Specificaties

- 1k x 1 organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 20 mW/MHz max., 500 µW max. (standby)
- alle in-/uitgangen TTL-compatibel
- 3-state uitgang geschikt voor 2 TTL belastingen
- 2 chip-select ingangen
- adreslatches aanwezig
- 18-pens 0,3 inch ceramische of plastic DIL-behuizing (zie figuur 8/2.4.3-19) en 18-pens CLCC (ceramische leadless chip carrier)
- leverbare typen:
  Harris: HM 6518-5 (300 ns, 0 tot +70 °C), HM 6518-9 (250 ns, -40 tot +85 °C), HM 6518-2/-8 (250 ns, -55 tot +125 °C), HM 6518B-2/-8/-9 (180 ns)
  Motorola: MCM 6518
  Natsemi: NMC 6518, MM 74C930



Figuur 8/2.4.3-19: Aansluitgegevens en logisch symbool van de 6518.



Figuur 8/2.4.3-20: Functioneel blokschema (positieve logica).

Werking

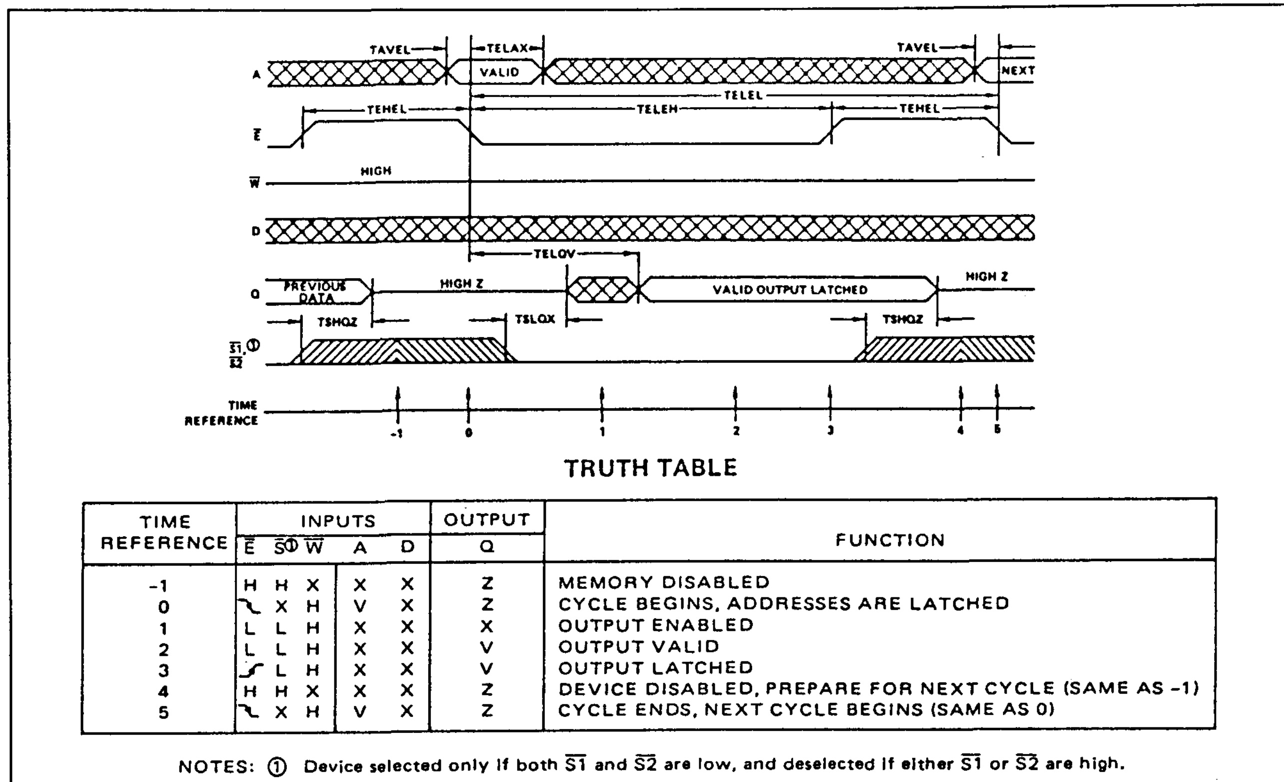
De 6518 is alleen geselecteerd als zowel $\overline{S1}$ als $\overline{S2}$ LAAG zijn.
Met de 10 adres-ingangen A0 tot en met A9 kan een van de 1024 adresplaatsen in de 32 x 32 matrix worden gekozen (zie blokschema figuur 8/2.4.3-20).
Het adres wordt op de dalende flank van $\overline{E}$ in de adresregisters geklokt. De 6518 staat in de standby-toestand als $\overline{E}$ HOOG is.

Lees-cyclus

Zoals in figuur 8/2.4.3-21 te zien is wordt het adres op de dalende flank van $\overline{E}$ (T = 0) in de adresregisters geklokt.
Hierbij moet aan de vereiste minimale setup- en houdtijden worden voldaan. Nadat de juiste houdtijd is verstreken mag het adres veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed.
Om de uitgang te kunnen uitlezen moeten $\overline{S1}$, $\overline{S2}$ en $\overline{E}$ LAAG zijn, terwijl $\overline{W}$ HOOG is.

Wanneer $\overline{E}$ HOOG gaat, wordt de uitgangsdata in een op de chip aanwezige latch geklokt.
Door $\overline{S1}$ of $\overline{S2}$ HOOG te maken wordt de uitgangsbuffer in een hoog-impedante toestand gebracht.
De uitgang kan daarna op elk wilekeurig tijdstip weer worden vrijgegeven door $\overline{S1}$ en $\overline{S2}$ LAAG te maken. Op de dalende flank van $\overline{E}$ verliest de data in de latch zijn waarde (wordt "unlatched").

2.4.3 Type-beschrijving 65-serie



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{S}$①	$\overline{W}$	A	D	OUTPUT Q	FUNCTION
-1	H	H	X	X	X	Z	MEMORY DISABLED
0	⤵	X	H	V	X	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	H	X	X	X	OUTPUT ENABLED
2	L	L	H	X	X	V	OUTPUT VALID
3	⤴	L	H	X	X	V	OUTPUT LATCHED
4	H	H	X	X	X	Z	DEVICE DISABLED, PREPARE FOR NEXT CYCLE (SAME AS -1)
5	⤵	X	H	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

NOTES: ① Device selected only if both $\overline{S1}$ and $\overline{S2}$ are low, and deselected if either $\overline{S1}$ or $\overline{S2}$ are high.

Figuur 8/2.4.3-21: Timing bij het uitlezen.

Schrijf-cyclus

De schrijf-cyclus (zie figuur 8/2.4.3-22) wordt ook ingeleid door de dalende flank van $\overline{E}$, waardoor de adres-informatie in de adresregisters wordt geklokt. Het schrijf-gedeelte van de cyclus wordt gedefinieerd als $\overline{E}$, $\overline{W}$, $\overline{S1}$ en $\overline{S2}$ gelijktijdig LAAG zijn. $\overline{W}$ mag op een willekeurig moment in de cyclus LAAG gaan, als tenminste aan de minimale setup-tijd van de write-enable puls (T_{WLEH}) wordt voldaan. Het schrijven eindigt zodra $\overline{E}$, $\overline{W}$, $\overline{S1}$ of $\overline{S2}$ HOOG gaat. De data setup- en houdtijden worden gerefereerd aan het signaal dat het schrijven beeindigt.

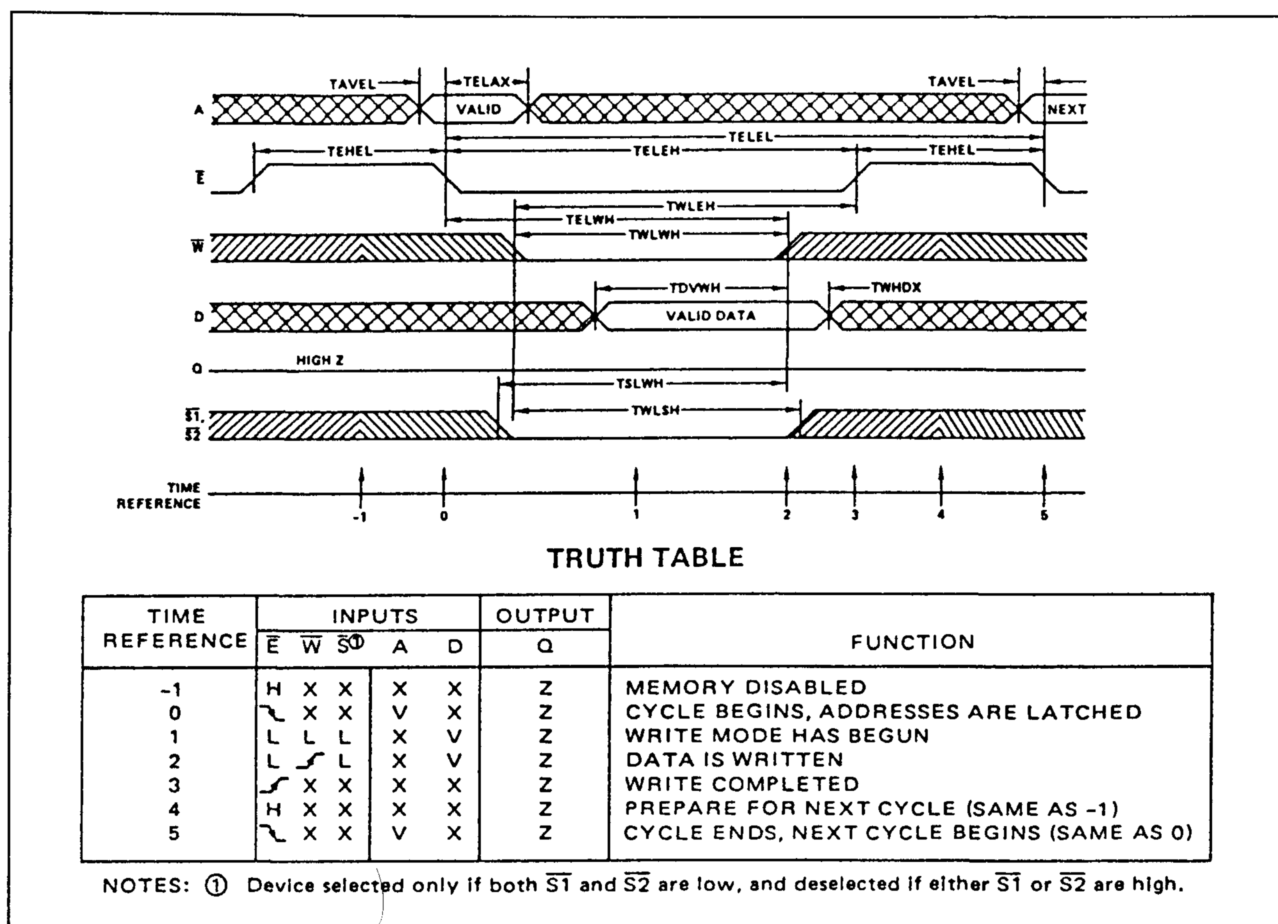
Als een reeks opeenvolgende schrijfcyclussen moet worden uitgevoerd, mag de $\overline{W}$-lijn LAAG blijven totdat alle gewenste lokaties zijn beschreven. Wordt deze methode gebruikt, dan geldt de stijgende flank van $\overline{E}$ als referentie voor data setup- en houdtijden.
Door de $\overline{W}$-puls op verschillende tijdstippen binnen de tijd dat $\overline{E}$ LAAG is (T_{ELEH}) te positioneren kunnen verschillende soorten schrijfcycli worden uitgevoerd. Wanneer de LAAG-tijd van $\overline{E}$ (T_{ELEH}) groter is dan de $\overline{W}$-puls (T_{WLWH}) plus een uitgang-enable tijd (T_{ELQX}) wordt een gecombineerde lees/schrijfcyclus uitgevoerd.

De data in- en uitgangspennen mogen met elkaar worden verbonden als een I/O databus structuur wordt gebruikt. Hierbij dient na het LAAG gaan van $\overline{W}$ tenminste een uitgang-disable tijd (T_{WLQZ}) in acht te worden genomen voordat nieuwe ingangsdata op de bus wordt gezet.

Overige kenmerken

De overige elektrische en timing kenmerken van het Harris-type HM 6518-5 zijn te zien in de tabellen 8/2.4.3-10 en -11.
Er kan nog worden vermeld dat de industriële en militaire typen sneller zijn (250 ns) en een 10 maal kleinere standby-stroom opnemen (10 µA).

2.4.3 Type-beschrijving 65-serie



TRUTH TABLE

TIME REFERENCE	INPUTS					OUTPUT	FUNCTION
	E	W	S①	A	D	Q	
-1	H	X	X	X	X	Z	MEMORY DISABLED
0	⌐_	X	X	V	X	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	L	X	V	Z	WRITE MODE HAS BEGUN
2	L	_/	L	X	V	Z	DATA IS WRITTEN
3	_/	X	X	X	X	Z	WRITE COMPLETED
4	H	X	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	⌐_	X	X	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

NOTES: ① Device selected only if both $\overline{S1}$ and $\overline{S2}$ are low, and deselected if either $\overline{S1}$ or $\overline{S2}$ are high.

Figuur 8/2.4.3-22: Timing bij het schrijven.

HM 6551

256 x 4 CMOS SRAM

De 6551 is een 1024 bit vrij toegankelijk statisch CMOS geheugen met een 256 x 4 bit organisatie. De 6551 is synchroon en wordt geleverd in een commerciële, een industriële en een militaire uitvoering. Hier wordt alleen de commerciële versie van Harris besproken.

De chip is voorzien van adres-latches en latches aan de data-uitgangen voor een efficiënte aansluiting op microprocessorsystemen.
De data-uitgangsbuffers kunnen in een hoog-impedante toestand worden gezet, terwijl twee chip-selectlijnen een gemakkelijke expansie van de geheugen-arrays mogelijk maken.

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage - VCC
HM-6518-5 .... 4.5V to 5.5V
Operating Temperature
HM-6518-5 .... 0°C to +70°C

Tabel 8/2.4.3-10: Maximaal toegelaten waarden.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB	Standby Supply Current		100	μA	IO = 0 VI = VCC or GND
	ICCOP	Operating Supply Current ②		4	mA	$\bar{E}$ = 1MHz, IO = 0 VI = VCC or GND
	ICCDR	Data Retention Supply Current		100	μA	VCC = 2.0, IO = 0 VI = VCC or GND $\bar{E}$ = VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	II	Input Leakage Current	-1.0	+1.0	μA	VI = VCC or GND
	IOZ	Output Leakage Current	-1.0	+1.0	μA	VO = VCC or GND
	VIL	Input Low Voltage	-0.3	0.8	V	
	VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
	VOL	Output Low Voltage		0.4	V	IO = 1.6mA
	VOH	Output High Voltage	2.4		V	IO = -0.2mA
	CI	Input Capacitance ③		6	pF	VI = VCC or GND f = 1MHz
	CO	Output Capacitance ③		10	pF	VO = VCC or GND f = 1MHz
A.C.	TELQV	Chip Enable Access Time		300	ns	④
	TAVQV	Address Access Time		310	ns	④
	TSLQX	Chip Select Output Enable Time	20	200	ns	③④
	TWLQZ	Write Enable Output Disable Time		200	ns	③④
	TSHQZ	Chip Select Output Disable Time		200	ns	③④
	TELEH	Chip Enable Pulse Negative Width	300		ns	④
	TEHEL	Chip Enable Pulse Positive Width	150		ns	④
	TAVEL	Address Setup Time	10		ns	④
	TELAX	Address Hold Time	50		ns	④
	TDVWH	Data Setup Time	130		ns	④
	TWHDX	Data Hold Time	0		ns	④
	TWLSH	Chip Select Write Pulse Setup Time	160		ns	④
	TWLEH	Chip Enable Write Pulse Setup Time	160		ns	④
	TSLWH	Chip Select Write Pulse Hold Time	160		ns	④
	TELWH	Chip Enable Write Pulse Hold Time	160		ns	④
	TWLWH	Write Enable Pulse Width	160		ns	④
	TELEL	Read or Write Cycle Time	450		ns	④

NOTES:
① All devices tested at worst case temperature and V_{CC}.

② Operating supply current (ICCOP) is proportional to operating frequency.
Example: typical ICCOP = 1.5mA/MHz.

③ Tested at initial design and after major design changes.

④ Input rise and fall times: 20ns max. Input and output timing reference level: 1.5V.
Output load: 1 TTL gate equivalent and C_L = 50 to 300pF. For C_L greater than 50pF, access time is derated 0.15ns/pF.

Tabel 8/2.4.3-11: Elektrische specificaties en schakeltijden van de 6518-5.

2.4.3 Type-beschrijving 65-serie

Specificaties

- 256 x 4 bit organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 20 mW/MHz max., 500 µW max. (standby)
- alle in-/uitgangen TTL-compatibel
- 3-state uitgangen geschikt voor 1 TTL belasting
- 2 chip-select ingangen
- chip-select latch aanwezig
- adresregister aanwezig
- 22-pens 0,3 inch ceramische of plastic DIL-behuizing (zie figuur 8/2.4.3-23)
- leverbare typen:
  Harris: HM 6551-5 (350 ns, 0 tot +70 °C), HM 6551-9 (300 ns, -40 tot +85 °C), HM 6551-2/-8 (300 ns, -55 tot +125 °C), HM 6551B-2/-8/-9 (220 ns)
  Natsemi: NMC 6551, MM 74C920
  RCA: CDP 1822, MWS 5101
  Toshiba: TC 5501

Werking

Zoals in het functionele blokschema van figuur 8/2.4.3-24 te zien is, heeft de 6551 twee select-ingangen, waarvan $\overline{S2}$ gelatched kan worden. Met de 8 adres-lijnen A0 tot en met A7 kan uit 256 woorden van 4 bit worden gekozen die in een 32 x 32 matrix worden opgeslagen. Op de dalende flank van $\overline{E}$ wordt het adres in de adresregisters geklokt en $\overline{S2}$ in de select-latch. De 6551 staat met $\overline{E}$ HOOG in de standby-toestand.

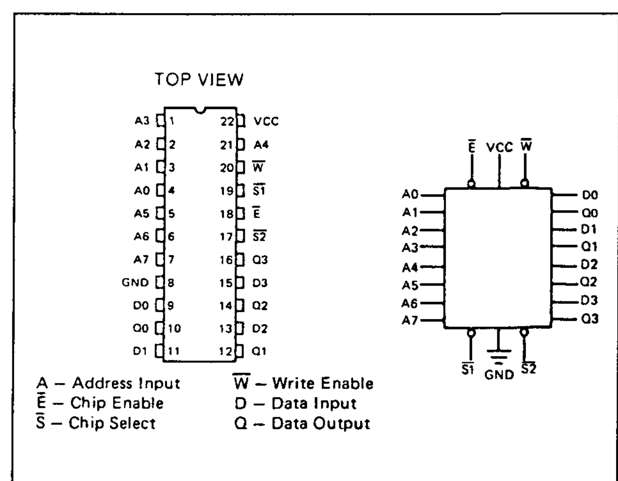
Lees-cyclus

Zoals in figuur 8/2.4.3-25 te zien is wordt het adres op de dalende flank van $\overline{E}$ in de adres-latches geklokt. Tevens wordt hierdoor het select-signaal $\overline{S2}$ in de select-latch geklokt. Hierbij moet aan de vereiste minimale setup- en houdtijden worden voldaan.

Na verloop van de juiste houdtijd mag het adres veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed. $\overline{S2}$ werkt hierbij als een hoge orde adres dat eenvoudige decodering mogelijk maakt. De uitgang komt beschikbaar voor uitlezen door $\overline{E}$ en $\overline{S1}$ LAAG te maken, waarbij $\overline{W}$ HOOG is. $\overline{S2}$ moet dan al LAAG zijn ingeklokt op de dalende flank van $\overline{E}$. De informatie komt na de toegangstijd (T_{ELQV}) beschikbaar op de uitgang. De 6551 heeft uitgangslatches die bestuurd worden door $\overline{E}$. Op de stijgende flank van $\overline{E}$ wordt de dan aanwezige data in een latch opgeslagen en blijft daar totdat $\overline{E}$ weer LAAG gaat. Op de stijgende flank van $\overline{E}$ wordt ook $\overline{S2}$ weer vrijgegeven om samen met $\overline{S1}$ de uitgangen te besturen. $\overline{S1}$ en/of $\overline{S2}$ kunnen worden gebruikt om de uitgangsbuffers in een hoog-impedante toestand te brengen.

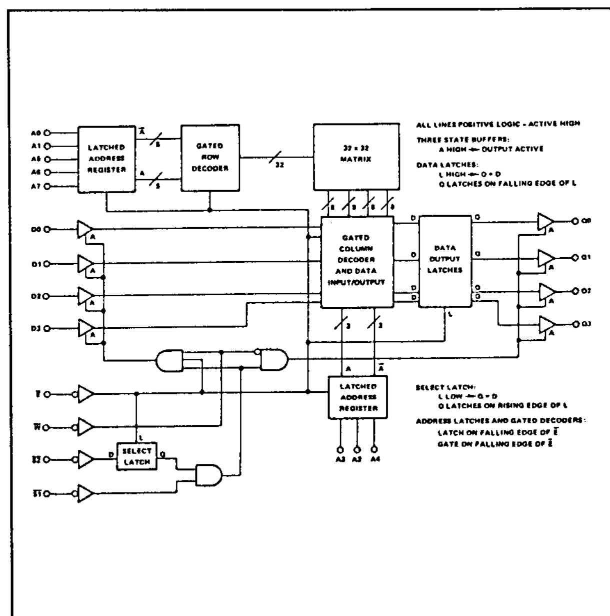
Schrijf-cyclus

In de schrijf-cyclus (zie figuur 8.2.4.3-26) worden op de dalende flank van $\overline{E}$ het adres en $\overline{S2}$ in de betreffende registers geklokt. $\overline{S2}$ moet dan LAAG zijn om de 6551 aktief te maken. Het schrijf-gedeelte van de cyclus wordt gedefinieerd als $\overline{E}$, $\overline{W}$ en $\overline{S1}$ LAAG zijn, terwijl ook $\overline{S2}$ gelijktijdig LAAG is wordt ingeklokt. De $\overline{W}$-lijn mag op elk willekeurige moment in de cyclus LAAG gaan, als aan de setup-tijden (T_{WLEH} en T_{WLS1H}) van de write-enable puls wordt voldaan. Het schrijven eindigt zodra $\overline{E}$, $\overline{W}$ of $\overline{S1}$ HOOG gaat.

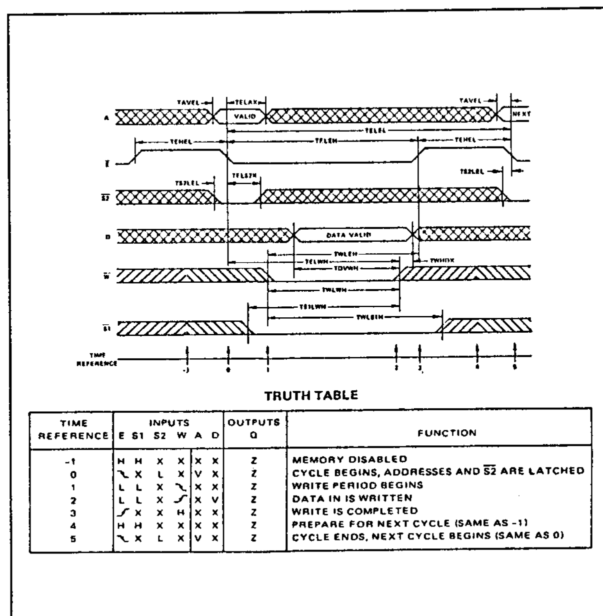


Figuur 8/2.4.3-23: Aansluitgegevens en logisch symbool van de 6551.

2.4.3 Type-beschrijving 65-serie



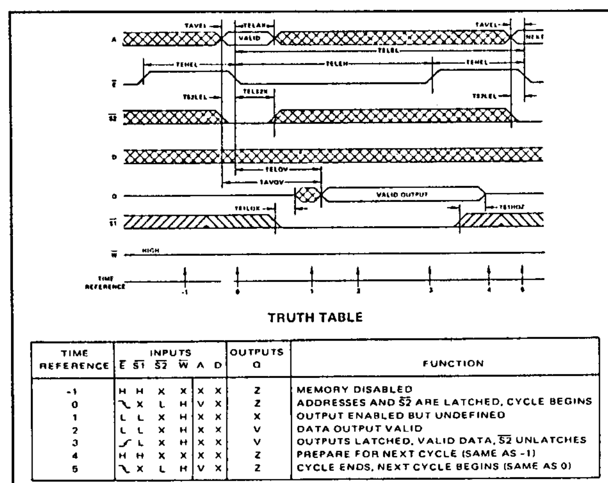
Figuur 8/2.4.3-24: Functioneel blokschema (positieve logica).



TRUTH TABLE

TIME REFERENCE	INPUTS E	S1	S2	W	A	D	OUTPUTS Q	FUNCTION
-1	H	H	X	X	X	X	Z	MEMORY DISABLED
0	↘	X	L	X	V	X	Z	CYCLE BEGINS, ADDRESSES AND $\overline{S2}$ ARE LATCHED
1	L	L	X	↘	X	X	Z	WRITE PERIOD BEGINS
2	L	L	X	↗	X	V	Z	DATA IN IS WRITTEN
3	↗	X	X	H	X	X	Z	WRITE IS COMPLETED
4	H	H	X	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	X	L	X	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-26: Timing bij het schrijven.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{S1}$	$\overline{S2}$	$\overline{W}$	A	D	OUTPUTS Q	FUNCTION
-1	H	H	X	X	X	X	Z	MEMORY DISABLED
0	↘	X	L	H	V	X	Z	ADDRESSES AND $\overline{S2}$ ARE LATCHED, CYCLE BEGINS
1	L	L	X	H	X	X	X	OUTPUT ENABLED BUT UNDEFINED
2	L	L	X	H	X	X	V	DATA OUTPUT VALID
3	↗	L	X	H	X	X	V	OUTPUTS LATCHED, VALID DATA, $\overline{S2}$ UNLATCHES
4	H	H	X	X	X	X	Z	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	↘	X	L	H	V	X	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

Figuur 8/2.4.3-25: Timing bij het uitlezen.

Als een reeks opeenvolgende schrijfcyclussen moet worden uitgevoerd, mag de $\overline{W}$-lijn LAAG blijven totdat alle gewenste lokaties zijn beschreven. Wordt deze methode gebruikt, dan geldt de eerste stijgende flank van $\overline{E}$ of $\overline{S1}$ als referentie voor data setup- en houdtijden.

Door de schrijfpuls op verschillende tijdstippen binnen de tijd dat $\overline{E}$ en $\overline{S1}$ LAAG zijn (T_{ELEH}) te positioneren kunnen verschillende soorten schrijfcycli worden uitgevoerd. Wanneer de LAAG-tijd van $\overline{S1}$ (T_{S1LS1H}) groter is dan de $\overline{W}$-puls plus een uitgang-enable tijd (T_{S1LQX}) wordt een gecombineerde lees/schrijfcyclus uitgevoerd.

De 6551 kan in een I/O databus structuur worden gebruikt waarbij de data in- en uitgangspennen aan elkaar worden gelegd. Het multiplexen gebeurt dan inwendig door middel van het $\overline{W}$-signaal.

In de schrijfcyclus, als $\overline{W}$ LAAG is, worden de uitgangsbuffers dan in een hoog-impedante toestand gebracht. Voordat nieuwe data op de bus wordt gezet, dient een uitgangs disable-tijd (T_{WLQZ}) te worden gewacht.

Overige kenmerken

De overige elektrische en timing kenmerken van het Harris-type HM 6551-5 zijn te zien in de tabellen 8/2.4.3-12 en -13.

2.4.3 Type-beschrijving 65-serie

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage - VCC
HM-6551-5 .... 4.5V to 5.5V
Operating Temperature
HM-6551-5 .... 0°C to +70°C

Tabel 8/2.4.3-12: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDITIONS
ICCSB	Standby Supply Current		100	μA	IO = 0 VI = VCC or GND
ICCOP	Operating Supply Current ②		4	mA	$\overline{E}$ = 1MHz, IO = 0 $\overline{VI}$ = VCC or GND $\overline{W}$ = GND
ICCDR	Data Retention Supply Current		100	μA	VCC = 2.0, IO = 0 $\overline{VI}$ = VCC or GND
VCCDR	Data Retention Supply Voltage	2.0		V	$\overline{E}$ = VCC
II	Input Leakage Current	-1.0	+1.0	μA	VI = VCC or GND
IOZ	Output Leakage Current	-1.0	+1.0	μA	VO = VCC or GND
VIL	Input Low Voltage	-0.3	0.8	V	
VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
VOL	Output Low Voltage		0.4	V	IO = 1.6mA
VOH	Output High Voltage	2.4		V	IO = -0.2mA
CI	Input Capacitance ③		6	pF	VI = VCC or GND f = 1MHz
CO	Output Capacitance ③		10	pF	VO = VCC or GND f = 1MHz
TELQV	Chip Enable Access Time		350	ns	④
TAVQV	Address Access Time		360	ns	④
TS1LQX	Chip Select 1 Output Enable Time	20	180	ns	③④
TWLQZ	Write Enable Output Disable Time		180	ns	③④
TS1HQZ	Chip Select 1 Output Disable Time		180	ns	③④
TELEH	Chip Enable Pulse Negative Width	350		ns	④
TEHEL	Chip Enable Pulse Positive Width	150		ns	④
TAVEL	Address Setup Time	10		ns	④
TS2LEL	Chip Select 2 Setup Time	10		ns	④
TELAX	Address Hold Time	70		ns	④
TELS2X	Chip Select 2 Hold Time	70		ns	④
TDVWH	Data Setup Time	170		ns	④
TWHDX	Data Hold Time	0		ns	④
TWLS1H	Chip Select 1 Write Pulse Setup Time	210		ns	④
TWLEH	Chip Enable Write Pulse Setup Time	210		ns	④
TS1LWH	Chip Select 1 Write Pulse Hold Time	210		ns	④
TELWH	Chip Enable Write Pulse Hold Time	210		ns	④
TWLWH	Write Enable Pulse Width	210		ns	④
TELEL	Read or Write Cycle Time	500		ns	④

NOTES:
① All devices tested at worst case temperature and V_{CC}.
② Operating supply current (ICCOP) is proportional to operating frequency. Example: typical ICCOP = 1.5mA/MHz.
③ Tested at initial design and after major design changes.
④ Input rise and fall times: 20ns max. Input and output timing reference level: 1.5V. Output load: 1 TTL gate equivalent and C_L = 50 to 300pF. For C_L greater than 50pF access time is derated 0.15ns/pF.

Tabel 8/2.4.3-13: Elektrische specificaties en schakeltijden van de 6551-5.

2.4.3 Type-beschrijving 65-serie

HM 6561

256 x 4 CMOS SRAM

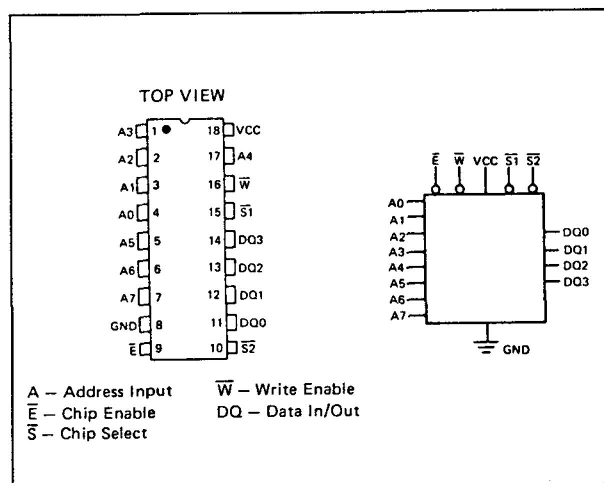
De 6561 is een 1024 bit statisch CMOS RAM (vrij toegankelijk) lees/schrijf-geheugen met een 256 x 4 bit organisatie.
De 6561 is synchroon en wordt geleverd in een commerciële, een industriële en een militaire versie.
Hier wordt alleen de commerciële versie besproken.

De chip heeft adres-latches en latches aan de data-uitgangen om een efficiënte aansluiting op microprocessor-systemen mogelijk te maken.

De data-uitgangsbuffers kunnen in een hoog-impedante toestand worden gezet voor gebruik in grotere geheugen-arrays.
De gemeenschappelijke data in- en uitgangen worden intern gemultiplexed, zodat de 6561 op een I/O bus kan worden aangesloten.
Er zijn twee chip-selectlijnen.

Specificaties

- 256 x 4 bit organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- dissipatie 20 mW/MHz max., 500 µW max. (standby)
- gemeenschappelijke data in-/uitgangen
- alle in-/uitgangen TTL-compatibel
- 3-state uitgangen geschikt voor 1 TTL belasting
- 2 chip-select lijnen
- adresregister aanwezig
- 18-pens 0,3 inch ceramische of plastic DIL-behuizing (zie figuur 8/2.4.3-27) en 18-pens CLCC (ceramische leadless chip carrier)
- leverbare typen:
  Harris: HM 6561-5 (350 ns, 0 tot +70 °C), HM 6561-9 (300 ns, -40 tot +85 °C), HM 6561-2/-8 (300 ns, -55 tot +125 °C), HM 6561B-2/-8/-9 (220 ns)



Figuur 8/2.4.3-27: Aansluitingen en logisch symbool van de 6561.

Werking

In het functionele blokschema (figuur 8/2.4.3-28) is te zien dat de 6561 gemeenschappelijke in- en uitgangen heeft die door middel van het $\overline{W}$-signaal worden gemultiplexed. Voor de 3-state uitgangsbuffers zijn data-latches opgenomen. De 6561 heeft twee select-ingangen voor een gemakkelijke expansie van het geheugen-array. Met de 8 adres-lijnen A0 tot en met A7 zijn 256 woorden van 4 bit bereikbaar die in een 32 x 32 matrix worden opgeslagen. Op de dalende flank van $\overline{E}$ wordt het adres in de adresregisters geklokt en verlaat de 6561 de standby-toestand.

Lees-cyclus

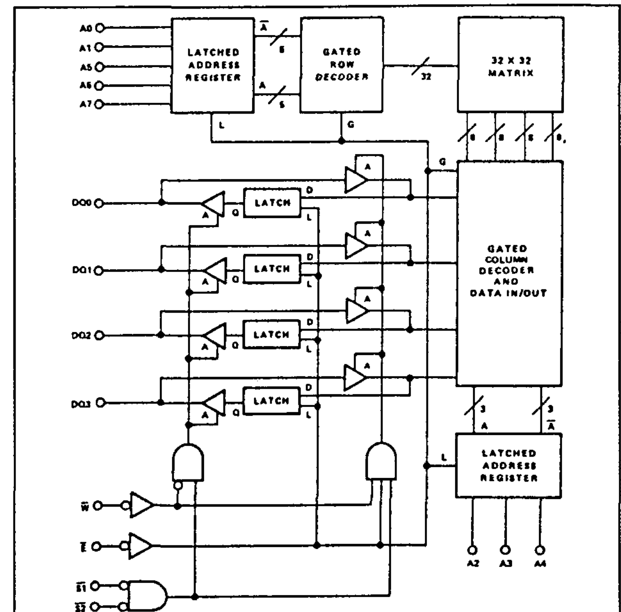
De leescyclus van de 6561 wordt ingeleid door het LAAG gaan van $\overline{E}$. In figuur 8/2.4.3-29 is te zien dat het adres op de dalende flank van $\overline{E}$ in de adres-latches wordt geklokt. Hierbij moet aan de vereiste minimale setup- en houdtijden worden voldaan. Na verloop van de juiste houdtijd mogen de adreslijnen van toestand veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed. Data kan aan de uitgangen worden uitgelezen als $\overline{E}$, $\overline{S1}$ en $\overline{S2}$ LAAG zijn en $\overline{W}$ HOOG is. De informatie wordt na de toegangstijd (T_{ELQV}) "waar". De uitgangslatches van de 6561 worden bestuurd door $\overline{E}$.

2.4.3 Type-beschrijving 65-serie

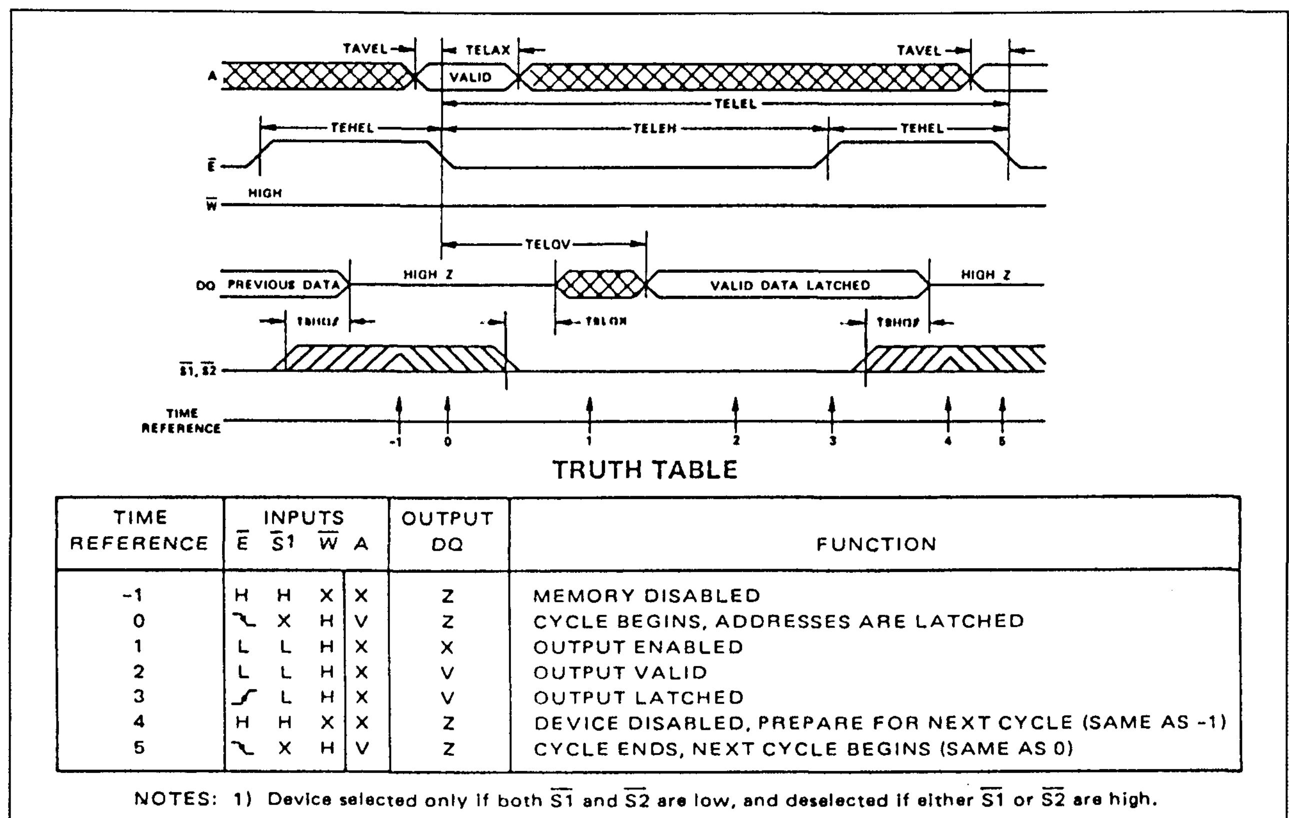
Op de stijgende flank van $\overline{E}$ wordt de op dat moment aanwezige data in de latches opgeslagen totdat $\overline{E}$ weer LAAG gaat. $\overline{S1}$ en/of $\overline{S2}$ kunnen worden gebruikt om de uitgangsbuffers in de hoog-impedante toestand te brengen.

Schrijf-cyclus

De schrijf-cyclus begint op de dalende flank van $\overline{E}$, wanneer het adres in de adresregisters wordt geklokt (figuur 8/2.4.3-30). Het schrijf-gedeelte van de cyclus wordt bereikt als $\overline{E}$, $\overline{S1}$, $\overline{S2}$ en $\overline{W}$ gelijktijdig LAAG zijn. Het schrijven eindigt op de opgaande flank van $\overline{E}$, $\overline{S1}$, $\overline{S2}$ of $\overline{W}$. De data setup- en houdtijden (TDVWH en TWHDX) worden gerefereerd aan het signaal dat het schrijven laat stoppen. Als $\overline{S2}$ bijvoorbeeld het eerst HOOG wordt, worden de data setup- en houdtijden TDVS2H en TS2HDX, die numeriek gelijk zijn aan TDVWH en TWHDX.



Figuur 8/2.4.3-28: Functioneel blokschema (positieve logica).



TRUTH TABLE

TIME REFERENCE	$\overline{E}$	$\overline{S1}$	$\overline{W}$	A	OUTPUT DQ	FUNCTION
-1	H	H	X	X	Z	MEMORY DISABLED
0	⌄	X	H	V	Z	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	H	X	X	OUTPUT ENABLED
2	L	L	H	X	V	OUTPUT VALID
3	⌃	L	H	X	V	OUTPUT LATCHED
4	H	H	X	X	Z	DEVICE DISABLED, PREPARE FOR NEXT CYCLE (SAME AS -1)
5	⌄	X	H	V	Z	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

NOTES: 1) Device selected only if both $\overline{S1}$ and $\overline{S2}$ are low, and deselected if either $\overline{S1}$ or $\overline{S2}$ are high.

Figuur 8/2.4.3-29: Timing bij het uitlezen.

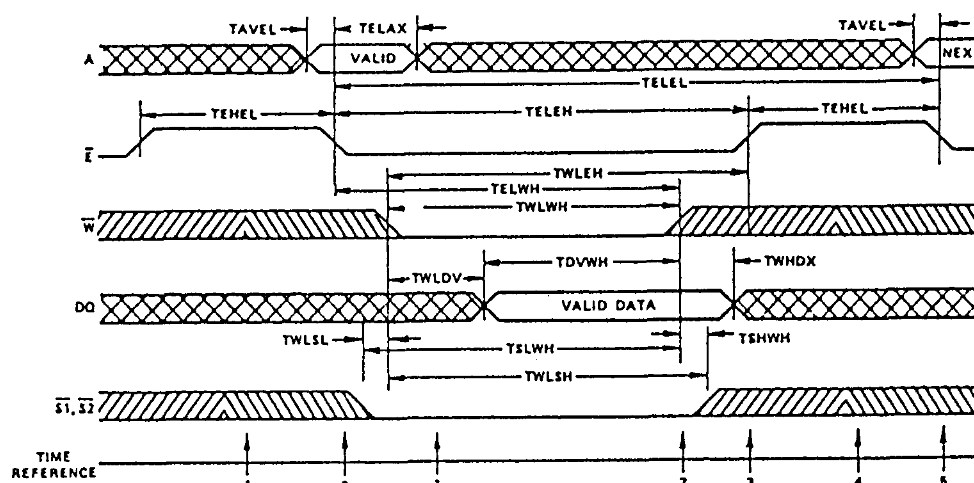
2.4.3 Type-beschrijving 65-serie

Het multiplexen van de data in-/uitgangen wordt geregeld door $\overline{W}$. Hierbij moet worden opgelet dat er geen databus conflicten ontstaan, waarbij de uitgangen van de RAM worden vrijgegeven terwijl een andere schakeling bezig is data op de ingangen te zetten. Dit is bijvoorbeeld het geval als zowel $\overline{S1}$ als $\overline{S2}$ LAAG gaan voordat $\overline{W}$ LAAG gaat of wanneer $\overline{W}$ LAAG gaat voordat $\overline{S1}$ en $\overline{S2}$ beide LAAG gaan.

Als een opeenvolgende reeks schrijfcyclussen moet worden uitgevoerd, mag $\overline{W}$ LAAG blijven totdat alle gewenste adressen zijn beschreven.

Overige kenmerken

De overige elektrische en timing kenmerken van het Harris-type HM 6561-5 zijn te zien in de tabellen 8/2.4.3-14 en -15.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{S1}$	$\overline{W}$	A	DQ	FUNCTION
-1	H	H	X	X	X	MEMORY DISABLED
0	⤥	X	X	V	X	CYCLE BEGINS, ADDRESSES ARE LATCHED
1	L	L	L	X	X	WRITE PERIOD BEGINS
2	L	L	⤤	X	V	DATA IN IS WRITTEN
3	⤤	X	H	X	X	WRITE IS COMPLETED
4	H	H	X	X	X	PREPARE FOR NEXT CYCLE (SAME AS -1)
5	⤥	X	X	V	X	CYCLE ENDS, NEXT CYCLE BEGINS (SAME AS 0)

NOTES: 1) Device selected only if both $\overline{S1}$ and $\overline{S2}$ are low, and deselected if either $\overline{S1}$ or $\overline{S2}$ are high.

Figuur 8/2.4.3-30: Timing bij het schrijven.

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage - VCC
HM-6561-5 .... 4.5V to 5.5V
Operating Temperature
HM-6561-5 .... 0°C to +70°C

Tabel 8/2.4.3-14: Maximaal toegelaten waarden.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB	Standby Supply Current		100	μA	IO = 0 VI = VCC or GND
	ICCOP	Operating Supply Current ②		4	mA	$\overline{E}$ = 1MHz, IO = 0 VI = VCC or GND $\overline{W}$ = GND
	ICCDR	Data Retention Supply Current		100	μA	VCC = 2.0, IO = 0 VI = VCC or GND $\overline{E}$ = VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	II	Input Leakage Current	-1.0	+1.0	μA	VI = VCC or GND
	IIOZ	Input/Output Leakage Current	-1.0	+1.0	μA	VIO = VCC or GND
	VIL	Input Low Voltage	-0.3	0.8	V	
	VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
	VOL	Output Low Voltage		0.4	V	IO = 1.6mA
	VOH	Output High Voltage	2.4		V	IO = -0.2mA
	CI	Input Capacitance ③		6	pF	VI = VCC or GND f = 1MHz
	CIO	Input/Output Capacitance ③		10	pF	VIO = VCC or GND f = 1MHz
A.C.	TELQV	Chip Enable Access Time		350	ns	④
	TAVQV	Address Access Time		360	ns	④
	TSLQX	Chip Select Output Enable Time	20	180	ns	③④
	TSHQZ	Chip Select Output Disable Time		180	ns	③④
	TELEH	Chip Enable Pulse Negative Width	350		ns	④
	TEHEL	Chip Enable Pulse Positive Width	150		ns	④
	TAVEL	Address Setup Time	10		ns	④
	TELAX	Address Hold Time	70		ns	④
	TDVWH	Data Setup Time	170		ns	④
	TWHDX	Data Hold Time	0		ns	④
	TWLDV	Write Data Delay Time	40		ns	④
	TWLSH	Chip Select Write Pulse Setup Time	210		ns	④
	TWLEH	Chip Enable Write Pulse Setup Time	210		ns	④
	TSLWH	Chip Select Write Pulse Hold Time	210		ns	④
	TELWH	Chip Enable Write Pulse Hold Time	210		ns	④
	TWLWH	Write Enable Pulse Width	210		ns	④
	TWLSL	Early Output High Z Time	0		ns	④
	TSHWH	Late Output High Z Time	0		ns	④
	TELEL	Read or Write Cycle Time	500		ns	④

NOTES: ① All devices tested at worst case temperature and V_{CC}.

② Operating supply current (ICCOP) is proportional to operating frequency. Example: typical ICCOP = 1.5mA/MHz.

③ Tested at initial design and after major design changes.

④ Input rise and fall times: 20ns max. Input and output timing reference level: 1.5V. Output load: 1 TTL gate equivalent and C_L = 50 to 300pF. For C_L greater than 50pF, access time is derated 0.15ns/pF.

Tabel 8/2.4.3-15: Elektrische specificaties en schakeltijden van de 6561-5.

2.4.3 Type-beschrijving 65-serie

HM 6564

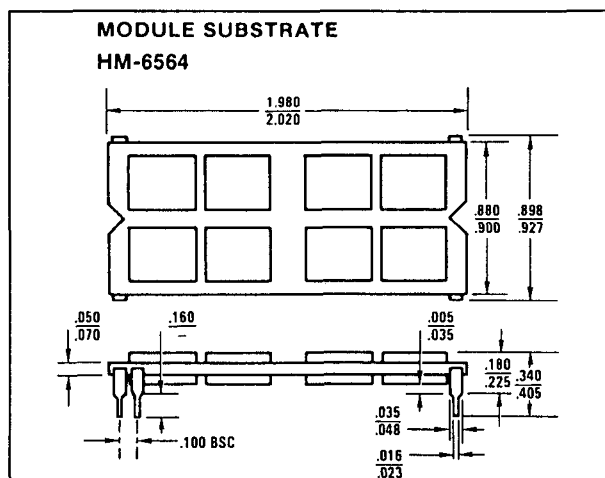
8k x 8 of 16k x 4 CMOS SRAM

De HM 6564 is opgebouwd uit 16 stuks HM-6504 (4k x 1 bit) statische CMOS RAM's in leadless carriers die op een ceramische substraat zijn gemonteerd. De behuizing van de HM 6564 is een extra brede (0,9 inch) 40-pens DIP (zie figuur 8/2.4.3-31). De array is georganiseerd als twee 8k x 4 blokken die alleen de adresbus gemeenschappelijk hebben. Hierdoor kan de gebruiker zelf kiezen of de HM 6564 als 8k x 8 of als 16k x 4 RAM werkt. De HM 6564 koppelt een gering stroomverbruik aan een groot beschikbaar geheugen. Doordat de informatie ook bij zeer lage voedingsspanning nog behouden blijft is deze RAM zeer geschikt voor batterij gevoede apparatuur in vliegtuigen, data-acquisitie op afstand en draagbare communicatie-apparatuur.

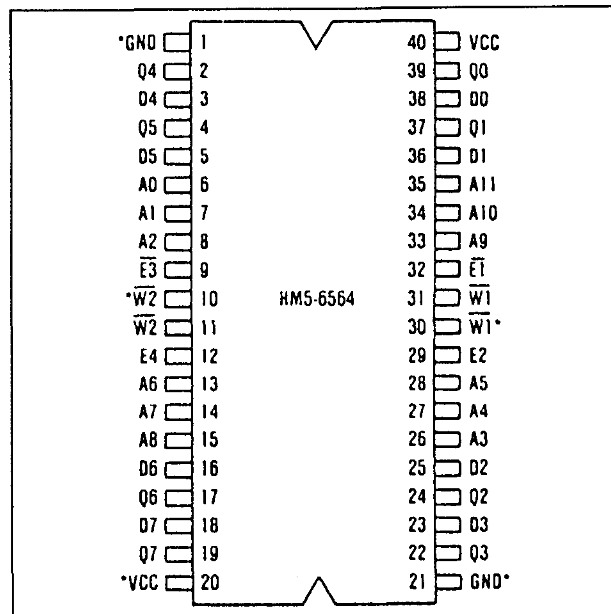
De HM 6564 wordt geleverd in een commerciële (-5), industriële (-9) en militaire (-2 en -8) versie. Wij beperken ons hier tot de commerciële versie.

Specificaties

- 8192 x 8 bits of 16384 x 4 bits organisatie naar keuze
- volledig statische werking (geen clock of refresh)



Figuur 8/2.4.3-31: Afmetingen van de HM 6564 module.



Figuur 8/2.4.3-32: Aansluitingen van de HM 6564.

- enkele +5 V voeding (+/-10 %)
- 280 mW/MHz max., 4 mW max. (standby)
- data-houdspanning minimaal 2 V
- in-/uitgangen TTL-compatibel
- aparte data in- en uitgangen
- 3-state uitgangen
- 40-pens 0,9 x 2 inch ceramische DIL-behuizing (zie figuur 8/2.4.3-32)
- leverbare typen:
  Harris: HM 6564-5 (500 ns, 0 tot +70 °C), HM 6564-9 (400 ns, -40 tot +85 °C), HM 6564B-2/-8 (400 ns, -55 tot +125 °C)

Opmerking

De V_{CC}-pennen 20 en 40 zijn intern doorverbonden, evenals de GND-pennen 1 en 21. Toch wordt aanbevolen ale vier de pennen op de voeding aan te sluiten. Pen 10 is inwendig verbonden met pen 11, pen 30 met 31.

Werking

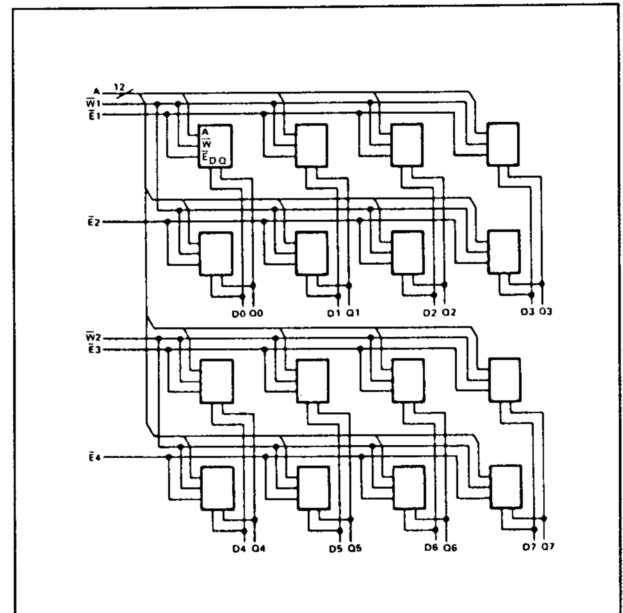
De HM 6564 heeft 12 adres-lijnen (A0 tot en met A11), 4 chip-enable lijnen ($\overline{E1}$ tot en met $\overline{E4}$) en 2 write-enable lijnen ($\overline{W1}$ en $\overline{W2}$) waarmee alle lokaties kunnen worden bereikt (zie blokschema figuur 8/2.4.3-33). De

2.4.3 Type-beschrijving 65-serie

$\overline{W1}$-pennen van beide arrays zijn inwendig doorverbonden, evenals de $\overline{W2}$-pennen.
De gebruiker kan op de volgende manier zelf kiezen of de 6564 als 8k x 8 of als 16k x 4 RAM werkt:

- 8k x 8:
  $\overline{E1}$ met $\overline{E3}$ (pen 9 aan pen 32)
  E2 met $\overline{E4}$ (pen 12 aan pen 29)
  $\overline{W1}$ met $\overline{W2}$ (pen 11 aan pen 31)
- 16k x 4:
  Q0 met Q4 (pen 2 aan pen 39)
  D0 met D4 (pen 3 aan pen 38)
  Q1 met Q5 (pen 4 aan pen 37)
  D1 met D5 (pen 5 aan pen 36)
  Q2 met Q6 (pen 17 aan pen 24)
  D2 met D6 (pen 16 aan pen 25)
  Q3 met Q7 (pen 19 aan pen 22)
  D3 met D7 (pen 18 aan pen 23)

Eventueel kan $\overline{W1}$ met $\overline{W2}$ worden doorverbonden (pen 11 aan pen 31).



Figuur 8/2.4.3-33: Intern blokschema, de scheiding in de twee blokken van 8k x 4 bits is duidelijk te onderscheiden.

Chip-enables

Omdat er twee verschillende RAM configuraties mogelijk zijn, moet voor een goede werking van de chip-enables het volgende in acht worden genomen. Wanneer de HM 6564 als 8k x 8 RAM werkt, moeten de chip-enables worden gebruikt alsof het er maar twee zijn, $\overline{E1}$ en $\overline{E2}$. In de 16k x 4 mode moeten alle chip-enables apart worden behandeld. De timing van de chip-enable signalen moet zorgvuldig gebeuren. Alle chip-enables moeten tenminste gedurende een chip-enable HOOG-tijd (T_{EHEL}) HOOG zijn, voordat een ervan LAAG mag worden.
Voor RAM's met in- of uitwendig doorverbonden uitgangen is het verboden om meer dan een chip-enable ingang tegelijk LAAG te hebben.
Deze conditie moet dan ook vermeden worden.

Montage op printkaarten

De leadless chip-carriers die in de HM 6564 worden gebruikt, hebben geleidende dekseltjes. Deze zijn elektrisch zwevend, dus niet verbonden met V_{CC} of GND. De ontwerper dient rekening te houden met de mogelijkheid dat de carriers aan de onderzijde van de substraat kortsluiting kunnen veroorzaken met de geleiders op de print als zij daar tegenaan gedrukt worden.
Door de "standoff" voorziening bij aansluitpennen van de module wordt dit in principe voorkomen.

In tabel 8/2.4.3-16 is te zien welke ruimtebesparing de HM 6564 oplevert ten opzichte van 16 standaard 4k RAM's.

Lees-cyclus

Op de dalende flank van $\overline{E}$ (T = 0) wordt de adres-informatie in de adresregisters geklokt (zie figuur 8/2.4.3-34).
Hierbij moet aan de minimale adres setup- en houd-tijden worden voldaan. Na verloop van de vereiste houdtijd mogen de adreslijnen van toestand veranderen zonder dat daarbij de werking van de RAM wordt beïnvloed.

2.4.3 Type-beschrijving 65-serie

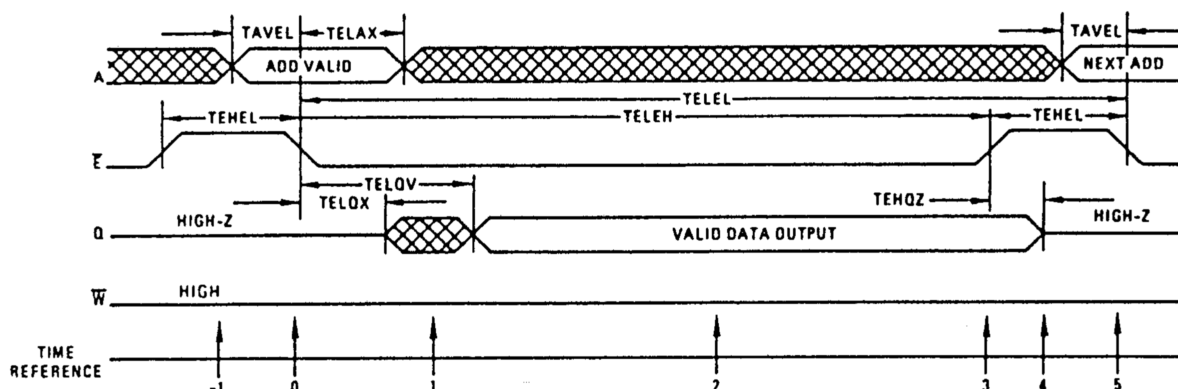
PACKAGE	CIRCUIT SUBSTRATE	SIZE
18 Pin DIP	Standard Two Sided PCB	12 to 15 square inch
18 Pin DIP	Fine Line or Multilayer PCB	9 to 11 square inch
18 Pin Leadless Carrier	Multilayer Alumina Substrate	3 to 5 square inch
HM-6564	Two Sided Mounting Multilayer Alumina Substrate	2 square inch

Tabel 8/2.4.3-16: Door de HM 6564 te gebruiken in plaats van 16 standaard 4 k RAM's is er voor een 64k groot RAM-geheugen veel minder plaats nodig op de print.

Op het tijdstip (T = 1) wordt de uitgang vrijgegeven, maar de informatie wordt pas geldig gedurende de tijd (T = 2). $\overline{W}$ moet tot na (T = 2) HOOG blijven. Nadat de uitgangsdata gelezen is mag $\overline{E}$ weer HOOG worden (T = 3). Hierdoor worden de uitgangsbuffer en alle ingangen gesperd en kan de RAM aan een nieuwe leescyclus beginnen (T = 4).

Schrijf-cyclus

Er zijn twee schrijfcycli mogelijk, "early write" en "late write".
De vroege schrijfcyclus (early write) is de enige cyclus waarbij de uitgang gegarandeerd niet aktief wordt (zie figuur 8/2.4.3-35).
Op de dalende flank van $\overline{E}$ (T = 0) worden het adres, het wite-signaal $\overline{W}$ en de informatie op de data-ingang in de betreffende registers geklokt. De logische waarde van $\overline{W}$ op het tijdstip dat $\overline{E}$ LAAG gaat bepaalt de toestand van de uitgangsbuffer voor die cyclus.
Aangezien $\overline{W}$ LAAG is op de dalende flank van E, wordt de uitgangsbuffer in de hoogimpedante toestand gelatcht, hetgeen zo blijft totdat $\overline{E}$ weer HOOG wordt (T = 2). Bij deze cyclus wordt de ingangsdata gelatcht door het LAAG gaan van $\overline{E}$.



TRUTH TABLE

TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	OUTPUT Q	FUNCTION
-1	H	X	X	Z	Memory Disabled
0	↓	H	V	Z	Cycle Begins, Addresses are Latched
1	L	H	X	X	Output Enabled
2	L	H	X	V	Output Valid
3	↑	H	X	V	Read Accomplished
4	H	X	X	Z	Prepare for Next Cycle (Same as -1)
5	↓	H	V	Z	Cycle Ends, Next Cycle Begins (Same as 0)

Figuur 8/2.4.3-34: Timing bij het uitlezen.

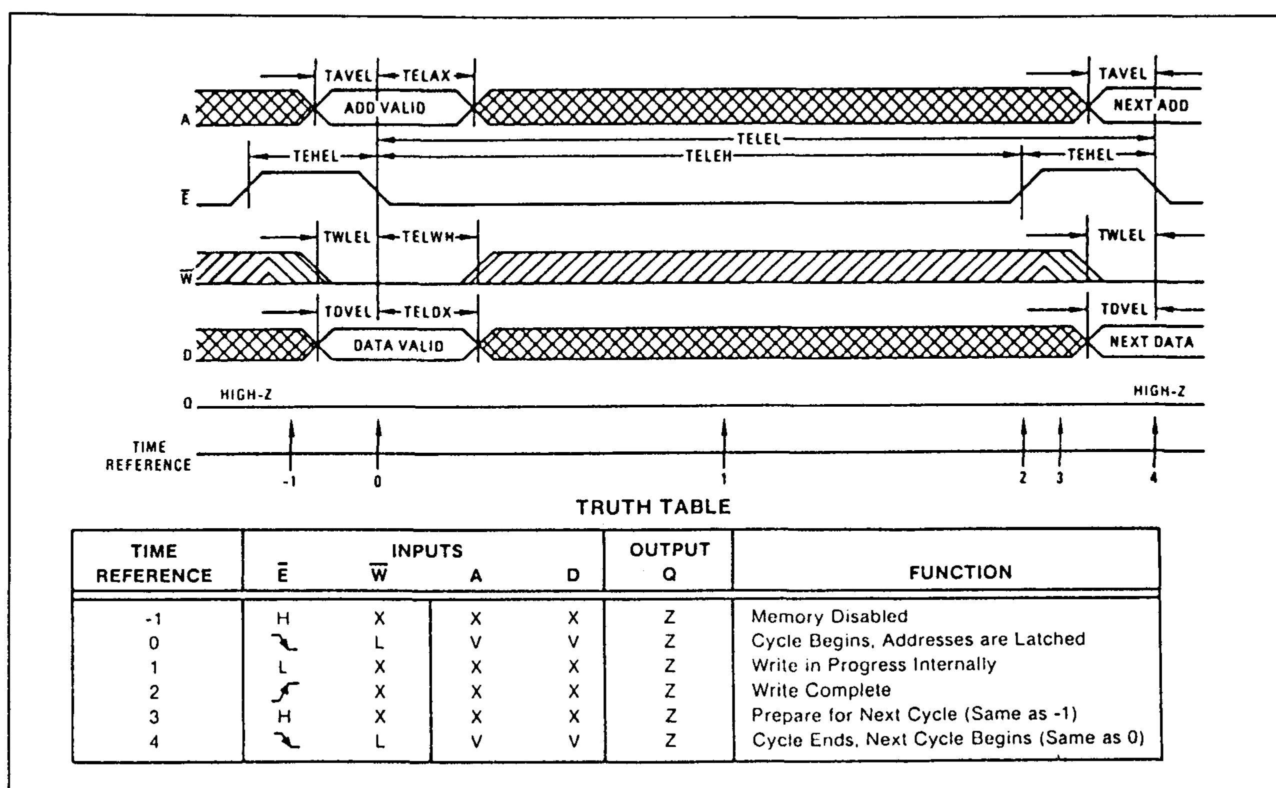
2.4.3 Type-beschrijving 65-serie

De data setup- en houdtijden moeten daarom worden gerefereerd aan $\overline{E}$. Wanneer $\overline{E}$ op (T = 2) weer terugkomt in de HOOG toestand, worden de uitgangs-buffer en alle ingangen gesperd (disabled) en vervalt de waarde van alle gelatchte signalen. De RAM kan dan weer voor de volgende cyclus worden gebruikt.

De late schrijfcyclus (late write) is een kruising van de vroege schrijfcyclus en de lees-modificeer-schrijf cyclus (figuur 8/2.4.3-36). Zoals al werd gezegd blijft de uitgang bij de vroege schrijfcyclus gegarandeerd in de hoog-impedante toestand. Bij de lees-modificeer-schrijf cyclus is de uitgang gegarandeerd geldig op de toegangstijd.
De late schrijfcyclus is iets tussen deze twee gevallen in. Hierbij kan de uitgang aktief worden of geldige data worden of aktief, maar ongedefinieerd worden. Geldige data wordt in de RAM geschreven als de juiste data-setup, data-houd, schrijf-setup en schrijf-pulsbreedten in acht worden genomen.

Overige kenmerken

De elektrische en timing kenmerken van de HM 6564 zijn te zien in de tabellen 8/2.4.3-17, -18 en -19.



TIME REFERENCE	INPUTS $\overline{E}$	$\overline{W}$	A	D	OUTPUT Q	FUNCTION
-1	H	X	X	X	Z	Memory Disabled
0	⌄ (falling)	L	V	V	Z	Cycle Begins, Addresses are Latched
1	L	X	X	X	Z	Write in Progress Internally
2	⌃ (rising)	X	X	X	Z	Write Complete
3	H	X	X	X	Z	Prepare for Next Cycle (Same as -1)
4	⌄ (falling)	L	V	V	Z	Cycle Ends, Next Cycle Begins (Same as 0)

Figuur 8/2.4.3-35: Timing bij "vroeg" schrijven.

2.4.3 Type-beschrijving 65-serie

TRUTH TABLE

TIME REFERENCE	INPUTS Ē	W̄	A	D	OUTPUT Q	FUNCTION
-1	H	X	X	X	Z	Memory Disabled
0	↓	H	V	X	Z	Cycle Begins, Addresses are Latched
1	L	↓	X	V	X	Write Begins, Data is Latched
2	L	H	X	X	X	Write in Progress Internally
3	↑	H	X	X	X	Write Completed
4	H	X	X	X	Z	Prepare for Next Cycle (Same as -1)
5	↓	H	V	X	Z	Cycle Ends, Next Cycle Begins (Same as 0)

Figuur 8/2.4.3-36: Timing bij "laat" schrijven.

Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) ....-0.3V to +8.0V
Input or Output Voltage Applied.................. (GND -0.3V) to (VCC +0.3V)
Storage Temperature...............................-65°C to +150°C

Operating Range

Operating Supply Voltage
HM-6564-5 ....4.5V to 5.5V
Operating Temperature
HM-6564-5 ....0°C to +70°C

Tabel 8/2.4.3-17: Maximaal toegelaten waarden en aanbevolen bedrijfscondities.

2.4.3 Type-beschrijving 65-serie

D.C.

SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE		UNITS	TEST CONDITIONS
		MIN	MAX		
ICCSB	Standby Supply Current		5.6	mA	IO = 0, VI = VCC or GND
ICCOP1	Operating Supply Current (8K x 8) (2)		60	mA	$\overline{E}$ =1MHz, IO = 0 VI = VCC or GND
ICCOP2	Operating Supply Current (16K x 4) (2)(3)		30	mA	$\overline{E}$ =1MHz, IO = 0 VI = VCC or GND
ICCDR	Data Retention Supply Curr.		3.2	mA	VCC = 2.0, IO = 0 VI = VCC or GND
VCCDR	Data Retention Supply V.	2.0		V	
IIA	Address Input Leakage	-20	+20	μA	VI = VCC or GND
IID1	Data Input Leakage (8K x 8)	-3	+3	μA	VI = VCC or GND
IID2	Data Input Leakage (3) (16K x 4)	-5	+5	μA	VI = VCC or GND
IIE1	Enable Input Leakage (8K x 8)	-10	+10	μA	VI = VCC or GND
IIE2	Enable Input Leakage (3) (16K x 4)	-5	+5	μA	VI = VCC or GND
IIW	Write Enable Input Leakage (Each)	-10	+10	μA	VI = VCC or GND
IOZ1	Output Leakage (8K x 8)	-5	+5	μA	VO = VCC or GND
IOZ2	Output Leakage (16Kx4) (3)	-10	+10	μA	VO = VCC or GND
VIL	Input Low Voltage	-0.3	0.8	V	
VIH	Input High Voltage	VCC -2.0	VCC +0.3	V	
VOL	Output Low Voltage		0.4	V	IO = 1.6mA
VOH	Output High Voltage	2.4		V	IO = -0.4mA
CIA	Address Input Capacitance (3)		200	pF	f = 1MHz, VI = VCC or GND
CID1	Data Input Capacitance (8K x 8) (3)		50	pF	f = 1MHz, VI = VCC or GND
CID2	Data Input Capacitance (16K x 4) (3)		100	pF	f = 1MHz, VI = VCC or GND
CIE1	Enable Input Capacitance (8K x 8) (3)		160	pF	f = 1MHz, VI = VCC or GND
CIE2	Enable Input Capacitance (16K x 4) (3)		80	pF	f = 1MHz, VI = VCC or GND
CIW	Write Input Capacitance (Each) (3)		100	pF	f = 1MHz, VI = VCC or GND
CO1	Output Capacitance (8K x 8) (3)		50	pF	f = 1MHz, VO = VCC or GND
CO2	Output Capacitance (16K x 4) (3)		100	pF	f = 1MHz, VO = VCC or GND

Tabel 8/2.4.3-18: Gelijkspanningscondities van de HM 6564-5.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE MIN	MAX	UNITS	TEST CONDTIONS
A.C.	TELQV	Chip Enable Access		450	ns	④
	TAVQV	Address Access (TAVQV=TELQV+TAVEL)		500	ns	④
	TELQX	Output Enable	20		ns	③ ④
	TEHQZ	Output Disable		150	ns	③ ④
	TELEL	Read or Write Cycle	600		ns	④
	TELEH	Chip Enable Low	450		ns	④
	TEHEL	Chip Enable High	150		ns	④
	TAVEL	Address Setup	50		ns	④
	TELAX	Address Hold	50		ns	④
	TWLWH	Write Enable Low	150		ns	④
	TWLEH	Write Enable Setup	250		ns	④
	TWLEL	Early Write Setup (Write Mode)	10		ns	④
	TELWH	Early Write Hold (Write Mode)	100		ns	④
	TDVWL	Data Setup	10		ns	④
	TDVEL	Early Write Data Setup	10		ns	④
	TWLDX	Data Hold	100		ns	④
	TELDX	Early Write Data Hold	100		ns	④

NOTES:
① All devices tested at worst case temperature and V_{CC}.
② Operating supply current (ICCOP) is proportional to operating frequency. ICCOP is specified at an operating frequency of 1MHz, indicating repetitive accessing at a 1μs rate. Operation at slower rates will decrease ICCOP proportionally.
③ Tested at initial design and after major design changes.
④ Input rise and fall times: 20ns max. Input and output timing reference level: 1.5V. Output load: C_L = 50 to 300pF. For C_L greater than 50pF, access time is derated 0.15ns/pF.

Tabel 8/2.4.3-19: Schakeltijden bij uitlezen en schrijven van de HM 6564.

HM 65162

2k x 8 CMOS SRAM

De HM 65162 behoort tot de veelgebruikte 6116-serie 16k statische CMOS RAM's die ook apart worden behandeld. De HM 65162 is een asynchrone RAM, georganiseerd als 2048 x 8 bits woorden ("byte wide"). De 65162 is alleen leverbaar in een industriële en een militaire versie. We zullen hier de gewone, "relaxte" (C), high speed (B) en very high speed (S) uitvoering van het industriële type (met toevoeging -9) behandelen.

De 24-pens DIL uitvoering van de HM 65162 voldoet aan de JEDEC standaard en is daardoor compatibel met 16k PROM's, RAM's, ROM's en EPROM's (2716, 6116).

De 65162 heeft gemeenschappelijke data in-/uitgangen die toepassing in microproces-

2.4.3 Type-beschrijving 65-serie

sorsystemen met een 8-bits databus mogelijk maken.
Door het output-enable signaal kunnen de data-uitgangen onafhankelijk van de chip-enable worden bestuurd. De gated inputs beperken het stroomverbruik en maken op- of neertrekweerstanden overbodig.

Specificaties

- 2048 x 8 bits organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- bedrijfsstroom 70 mA max., standby-stroom 50 µA max.
- alle in-/uitgangen TTL-compatibel
- gemeenschappelijke data-in/uitgangen
- 3-state uitgangen
- JEDEC standaard aansluitingen
- 24-pens 0,6 inch ceramische of plastic DIL-behuizing of 32-pens rechthoekige LCC (leadless chip carrier, zie figuur 8/2.4.3-37)
- leverbare typen:
  Harris: HM 65162-8/-9 (90 ns), HM 65162B-8/-9 (70 ns), HM 65162C-8/-9 (90 ns), HM 65162S-9 (55 ns, -40 tot +85 °C)

Werking

De 65162 heeft 11 adres-lijnen (A0 tot en met A10) voor het adresseren van 2048 8-bits woorden die in een 128 x 128 matrix worden opgeslagen (zie figuur 8/2.4.3-38). Als de chip enable $\overline{E}$ HOOG is, bevindt de 65162 zich in de standby toestand. De gemeenschappelijke data in-/uitgangen worden intern door het $\overline{W}$-signaal gemultiplext.

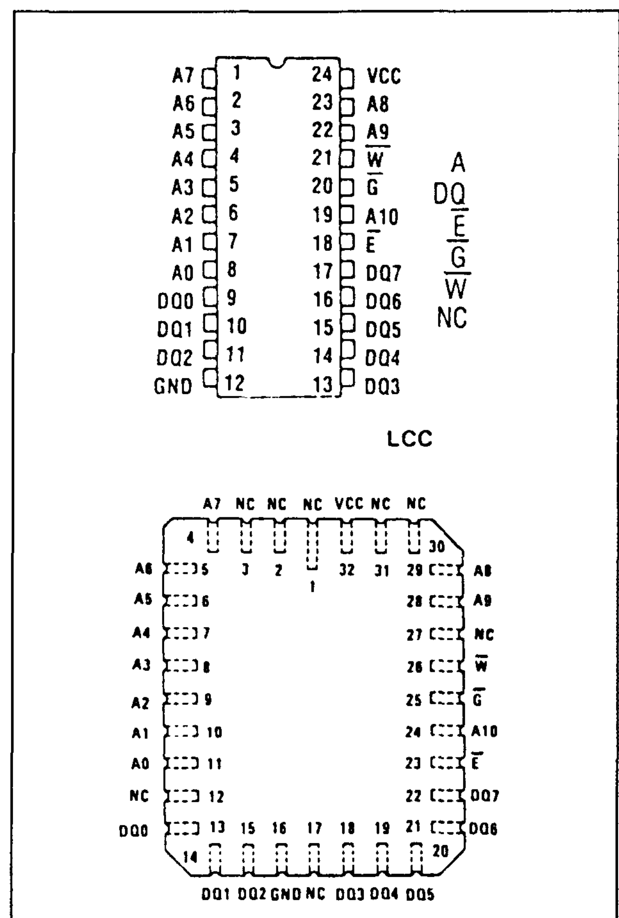
Lees-cyclus

Tijdens de gehele leescyclus moet het gekozen adres stabiel blijven. Om te kunnen lezen moeten $\overline{G}$ en $\overline{E}$ LAAG zijn en $\overline{W}$ = HOOG (zie figuur 8/2.4.3-39).
De uitgangsbuffers kunnen apart door $\overline{G}$ worden bestuurd terwijl $\overline{E}$ LAAG is. Voor het uitvoeren van opeenvolgende leescyclussen mag $\overline{E}$ LAAG worden gehouden totdat alle gewenste lokaties zijn afgewerkt. Als $\overline{E}$ LAAG is moeten de adreslijnen stabiele logische niveaus hebben (hoog-impedante toestanden zijn verboden).

Schrijf-cyclus

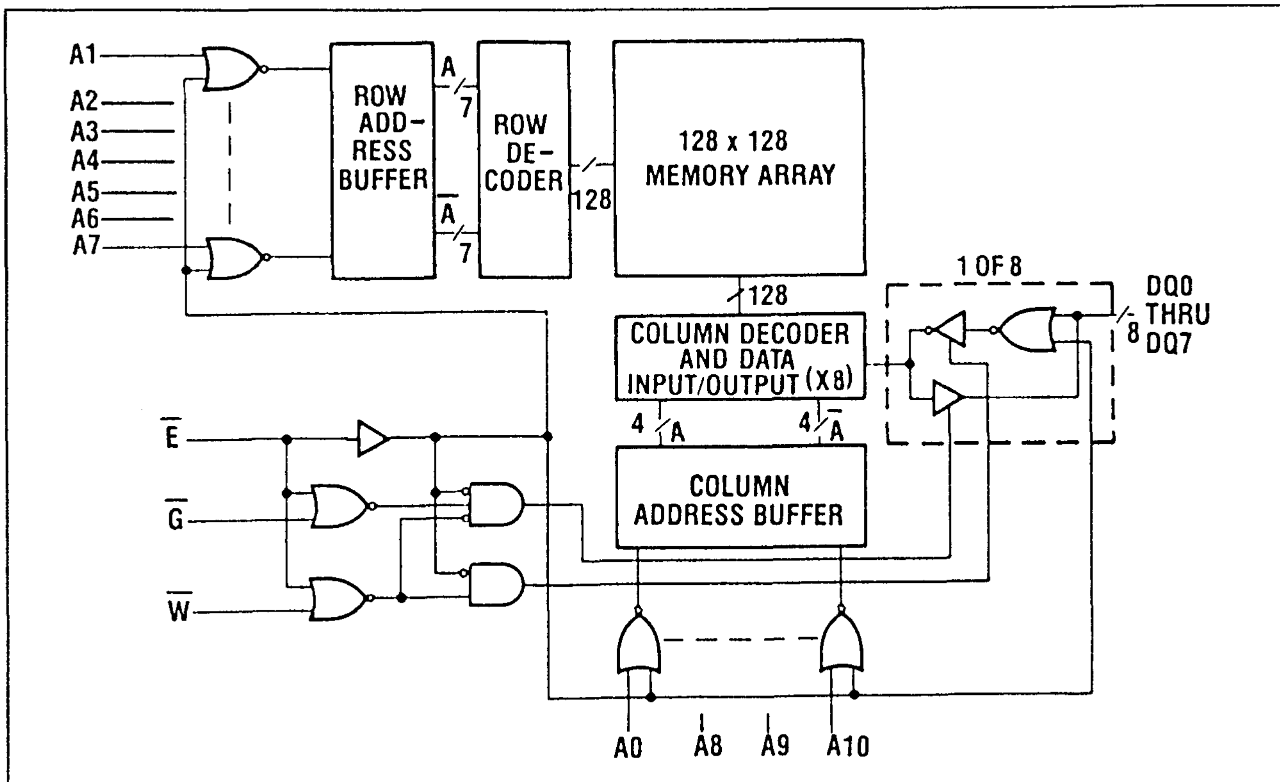
Er zijn twee soorten schrijfcycli mogelijk.

- Schrijfcyclus 1
  Om naar de 65162 te kunnen schrijven moeten de adressen stabiel zijn, terwijl $\overline{E}$ LAAG is en $\overline{W}$ gedurende een periode die langer is dan TWLWH LAAG gaat. De timing van data-in (TDVWH en TWHDX) wordt gerefereerd aan de stijgende flank van $\overline{W}$.
  Tijdens de adresveranderingen moet $\overline{W}$ HOOG zijn.



Figuur 8/2.4.3-37: Aansluitingen van de DIL- en de LCC-versies van de 65162.

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-38: Functioneel blokschema (positieve logica).

Als W LAAG gaat bevinden de I/O-pennen zich gedurende een periode TWLQZ nog steeds in de uitgangstoestand en moet het aanbrengen van ingangsdata met een tegengestelde fase worden vermeden (buscontentie!).

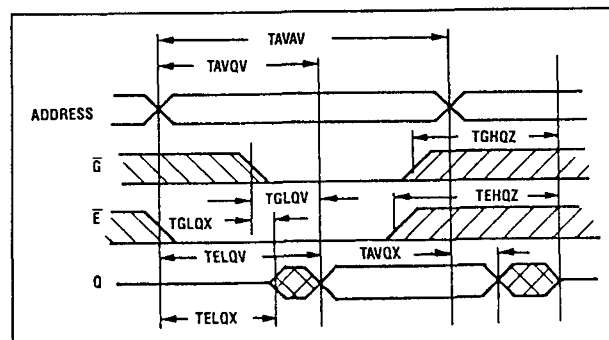
Als E tegelijk met W of iets later LAAG gaat, blijft de uitgang in een hoogimpedante toestand. G wordt voortdurend LAAG gehouden (figuur 8/2.4.3-40).

- Schrijfcyclus 2
  In deze schrijfcyclus (figuur 8/2.4.3-41) bedient G na een periode TGHQZ de uitgang.

  Doordat G de uitgang in een hoogimpedante toestand schakelt, kan data-in na TGHQZ worden aangelegd zonder dat rivaliteit op de bus optreedt.

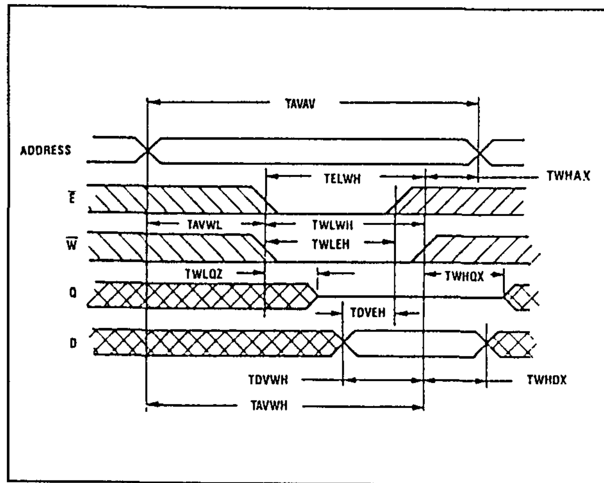
Als W HOOG gaat, kan de data-in na TWHDX veranderen en is de schrijfcyclus beëindigd.

Overige kenmerken
De elektrische en timing kenmerken van de vier industriële typen HM 65162 zijn te zien in de tabellen 8/2.4.3-20 tot en met -24.



Figuur 8/2.4.3-39: Timing en golfvormen bij het uitlezen (W is HOOG).

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-40: Timing bij schrijfcyclus 1 (G is LAAG).

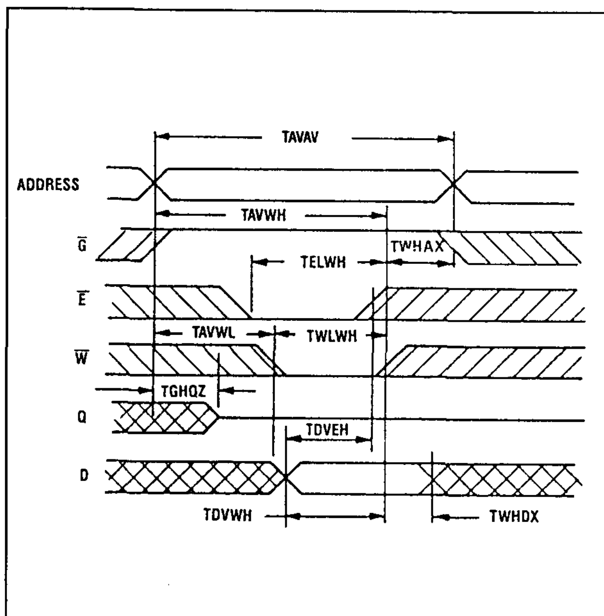
Absolute Maximum Ratings*

Supply Voltage - (VCC - GND) .... -0.3V to +8.0V
Input or Output Voltage Applied .... (GND -0.3V) to (VCC +0.3V)
Storage Temperature .... -65°C to +150°C

Operating Range

Operating Supply Voltage
HM-65162S-9 .... 4.5V to 5.5V
Operating Temperature
HM-65162S-9 .... -40°C to +85°C

Tabel 8/2.4.3-20: Maximaal toegelaten waarden en aanbevolen bedrijfscondities.



Figuur 8/2.4.3-41: Timing bij schrijfcyclus 2.

SYMBOL	PARAMETER	TEMP. & VCC OPERATING RANGE (1) MIN	MAX	UNITS	TEST CONDITIONS
ICCSB1	Standby Supply Current		100	µA	IO = 0, E = VCC 0.3V (6)
ICCSB	Standby Supply Current		8	mA	E = 2.2V, IO = 0 (6)
ICC	Enabled Supply Current		70	mA	E = 0.8V, IO = 0 (6)
ICCOP	Operating Supply Current (2)		70	mA	E = 0.8V, IO = 0 (6) f = 1 MHz
ICCDR	Data Retention Supply Current		40	µA	IO = 0, VCC = 2.0 E = VCC - 0.3V
VCCDR	Data Retention Supply Voltage	2.0		V	
II	Input Leakage Current	-1.0	+1.0	µA	VI = VCC or GND (6)
IIOZ	Input/Output Leakage Current	-1.0	+1.0	µA	VIO = VCC or GND (6)
VIL	Input Low Voltage	0.3	0.8	V	
VIH	Input High Voltage	2.2	VCC +0.3V	V	
VOL	Output Low Voltage		0.4	V	IO = 4.0mA (5)
VOH	Output High Voltage	2.4		V	IO = -1.0mA (6)
CI	Input Capacitance (3)		8	pF	VI = VCC = GND, f = 1 MHz
CIO	Input/Output Capacitance (3)		10	pF	VIO = VCC = GND, f = 1 MHz

Tabel 8/2.4.3-21: Gelijkspanningscondities van de gewone en S-versie van de HM 65162. Afwijkingen andere typen: I_{CCSB1} van C = 900 µA, van B = 50 µA; I_{CCOP} van C = 300 µA, van B = 20 µA.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE ① MIN	MAX	UNITS	TEST CONDITIONS
	TAVAV	Read Cycle Time	90		ns	④ ⑤ ⑥
	TAVQV	Address Access Time		90	ns	④ ⑤ ⑥
	TELQV	Chip Enable Access Time		90	ns	④ ⑤ ⑥
	TELQX	Chip Enable Output Enable Time	5		ns	③ ④ ⑤ ⑥
READ CYCLE	TGLQV	Output Enable Access Time		65	ns	④ ⑤ ⑥
	TGLQX	Output Enable Output Enable Time	5		ns	③ ④ ⑤ ⑥
	TEHQZ	Chip Enable Output Disable Time		50	ns	③ ④ ⑤ ⑥
	TGHQZ	Output Enable Output Disable Time		40	ns	③ ④ ⑤ ⑥
	TAVQX	Output Hold from Address Change	5		ns	④ ⑤ ⑥
	TAVAV	Write Cycle Time	90		ns	④ ⑤ ⑥
A.C.	TELWH	Chip Selection to End of Write	55		ns	④ ⑤ ⑥
	TAVWL	Address Setup Time	10		ns	④ ⑤ ⑥
WRITE CYCLE	TWLWH	Write Enable Pulse Width	55		ns	④ ⑤ ⑥
	TWHAX	Write Enable Read Setup Time	10		ns	④ ⑤ ⑥
	TGHQZ	Output Enable Output Disable Time		40	ns	③ ④ ⑤ ⑥
	TWLQZ	Write Enable Output Disable Time		50	ns	③ ④ ⑤ ⑥
	TDVWH	Data Setup Time	30		ns	④ ⑤ ⑥
	TWHDX	Data Hold Time	15		ns	④ ⑤ ⑥
	TWHQX	Write Enable Output Enable Time	0		ns	③ ④ ⑤ ⑥
	TWLEH	Write Enable Pulse Setup Time	55		ns	④ ⑤ ⑥
	TDVEH	Chip Enable Data Setup Time	30		ns	④ ⑤ ⑥
	TAVWH	Address Valid to End of Write	65		ns	④ ⑤ ⑥

Tabel 8/2.4.3-22: Schakeltijden van de gewone en C-versie.

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE ① MIN	MAX	UNITS	TEST CONDITIONS
	TAVAV	Read Cycle Time	55		ns	④ ⑤ ⑥
	TAVQV	Address Access Time		55	ns	④ ⑤ ⑥
	TELQV	Chip Enable Access Time		55	ns	④ ⑤ ⑥
	TELQX	Chip Enable Output Enable Time	5		ns	③ ④ ⑤ ⑥
READ CYCLE	TGLQV	Output Enable Access Time		35	ns	④ ⑤ ⑥
	TGLQX	Output Enable Output Enable Time	5		ns	③ ④ ⑤ ⑥
	TEHQZ	Chip Enable Output Disable Time		35	ns	③ ④ ⑤ ⑥
	TGHQZ	Output Enable Output Disable Time		30	ns	③ ④ ⑤ ⑥
	TAVQX	Output Hold from Address Change	5		ns	④ ⑤ ⑥
	TAVAV	Write Cycle Time	55		ns	④ ⑤ ⑥
A.C.	TELWH	Chip Selection to End of Write	45		ns	④ ⑤ ⑥
	TAVWL	Address Setup Time	5		ns	④ ⑤ ⑥
WRITE CYCLE	TWLWH	Write Enable Pulse Width	40		ns	④ ⑤ ⑥
	TWHAX	Write Enable Read Setup Time	10		ns	④ ⑤ ⑥
	TGHQZ	Output Enable Output Disable Time		30	ns	③ ④ ⑤ ⑥
	TWLQZ	Write Enable Output Disable Time		30	ns	③ ④ ⑤ ⑥
	TDVWH	Data Setup Time	25		ns	④ ⑤ ⑥
	TWHDX	Data Hold Time	10		ns	④ ⑤ ⑥
	TWHQX	Write Enable Output Enable Time	0		ns	④ ⑤ ⑥
	TWLEH	Write Enable Pulse Setup Time	45		ns	④ ⑤ ⑥
	TDVEH	Chip Enable Data Setup Time	25		ns	④ ⑤ ⑥
	TAVWH	Address Valid to End of Write	45		ns	④ ⑤ ⑥

Tabel 8/2.4.3-23: Schakeltijden van de S-versie.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	TEMP. & VCC = OPERATING RANGE (1) MIN	MAX	UNITS	TEST CONDITIONS
A.C. READ CYCLE	TAVAV	Read Cycle Time	70		ns	(4) (5) (6)
	TAVQV	Address Access Time		70	ns	(4) (5) (6)
	TELQV	Chip Enable Access Time		70	ns	(4) (5) (6)
	TELQX	Chip Enable Output Enable Time	5		ns	(3) (4) (5) (6)
	TGLQV	Output Enable Access Time		50	ns	(4) (5) (6)
	TGLQX	Output Enable Output Enable Time	5		ns	(3) (4) (5) (6)
	TEHQZ	Chip Enable Output Disable Time		35	ns	(3) (4) (5) (6)
	TGHQZ	Output Enable Output Disable Time		35	ns	(3) (4) (5) (6)
	TAVQX	Output Hold from Address Change	5		ns	(4) (5) (6)
A.C. WRITE CYCLE	TAVAV	Write Cycle Time	70		ns	(4) (5) (6)
	TELWH	Chip Selection to End of Write	45		ns	(4) (5) (6)
	TAVWL	Address Setup Time	10		ns	(4) (5) (6)
	TWLWH	Write Enable Pulse Width	40		ns	(4) (5) (6)
	TWHAX	Write Enable Read Setup Time	10		ns	(4) (5) (6)
	TGHQZ	Output Enable Output Disable Time		35	ns	(3) (4) (5) (6)
	TWLQZ	Write Enable Output Disable Time		40	ns	(3) (4) (5) (6)
	TDVWH	Data Setup Time	30		ns	(4) (5) (6)
	TWHDX	Data Hold Time	10		ns	(4) (5) (6)
	TWHQX	Write Enable Output Enable Time	0		ns	(3) (4) (5) (6)
	TWLEH	Write Enable Pulse Setup Time	40		ns	(4) (5) (6)
	TDVEH	Chip Enable Data Setup Time	30		ns	(4) (5) (6)
	TAVWH	Address Valid to End of Write	50		ns	(4) (5) (6)

NOTES
(1) All devices tested at worst case temperature and supply voltage limits.
(2) Typical derating 5mA/MHz increase in ICCOP. VI - VCC or GND.
(3) Tested at initial design and after major process/design changes.
(4) Input pulse levels 0V to 3V. Input rise and fall times 5ns max. Input and output timing reference levels 1.5V. Output load: 1 TTL gate equivalent and CL = 50 to 300pV. For CL greater than 50pF, access time is derated 0.15ns/pF.
(5) Tested at VCC 4.5V.
(6) Tested at VCC - 5.5V.

Tabel 8/2.4.3-24: Schakeltijden van de B-versie.

HM 65262

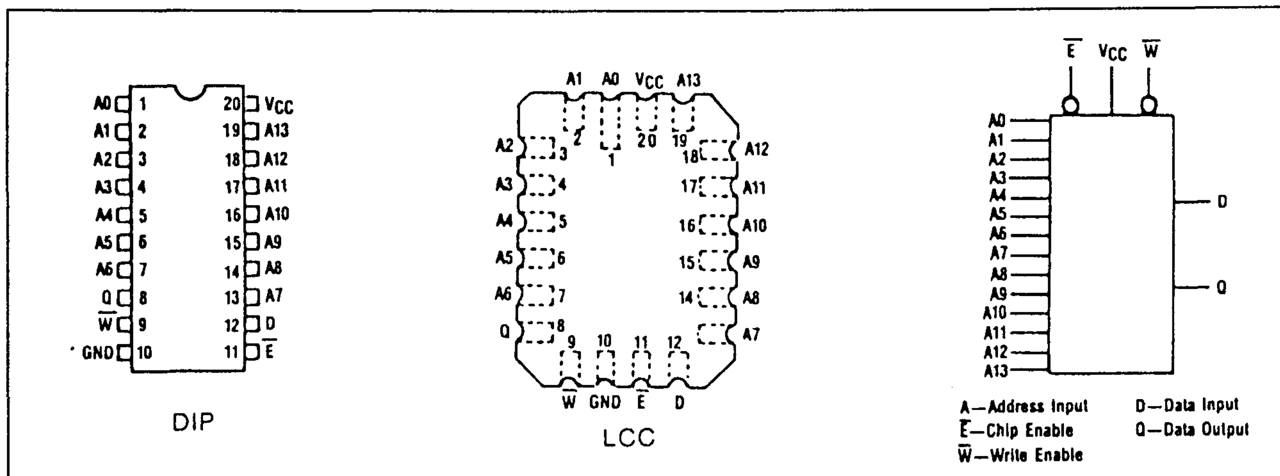
16k x 1 CMOS SRAM

De HM 65262 behoort tot de 6167-groep 16k statische CMOS RAM's, georganiseerd in 16384 woorden van 1 bit, die ook apart worden behandeld. De HM 65262 is alleen leverbaar in industriële (-9) en militaire uitvoering (-8). Hier wordt alleen de industriële uitvoering beschreven.

Net als de HM 65162 wordt deze RAM vervaardigd in een gewone, een "relaxte" (C), een high speed (B) en een very high speed (S) versie.

De 20-pens DIL 0,3 inch brede uitvoering van de HM 65262 voldoet aan de JEDEC standaard. De "gated inputs" verminderen de bedrijfsstroom en maken op- en neertrekweerstanden overbodig. In de asynchrone HM 65262 worden geheugencellen gebruikt die uit 6 transistoren bestaan (6T cellen) waardoor een zeer geringe standby-stroom en een zeer stabiele werking mogelijk worden.

2.4.3 Type-beschrijving 65-serie



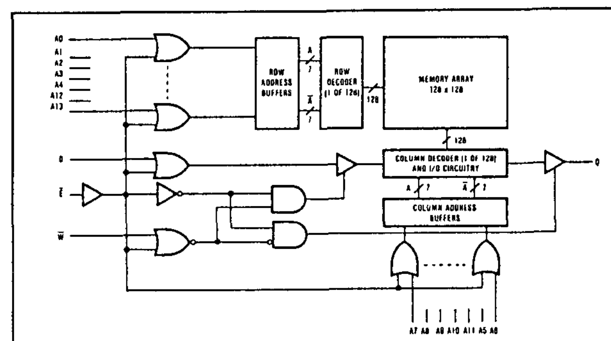
Figuur 8/2.4.3-42: Aansluitingen van de DIL- en LCC-versies van de HM 65262 en logisch symbool.

Specificaties

- 16384 x 1 bit organisatie
- volledig statische werking (geen clock of refresh)
- data-houdspanning minimaal 2 V
- enkele +5 V voeding (+/-10 %)
- bedrijfsstroom 50 mA, standby-stroom 50/100 µA
- alle in-/uitgangen TTL en CMOS-compatibel
- aparte data in- en uitgang
- 3-state uitgang
- JEDEC standaard aansluitingen (2167, 6167)
- 20-pens 0,3 inch ceramische of plastic DIL-behuizing of 20-pens rechthoekige LCC (leadless chip carrier, zie figuur 8/2.4.3-42)
- leverbare typen:
  Harris: HM 65262-8/-9 (85 ns), HM 65262B-8/-9 (70 ns), HM 65262C-9 (85 ns), HM 65262S-9 (55 ns)

Werking

De HM 65262 heeft 14 adres-lijnen (A0 tot en met A13) om 16384 woorden van 1 bit aan te wijzen die in een 128 x 128 matrix worden opgeslagen (zie figuur 8/2.4.3-43). Als de chip enable $\overline{E}$ HOOG is, staat de HM 65262 standby en bevindt de uitgang zich in een hoog-impedante toestand.



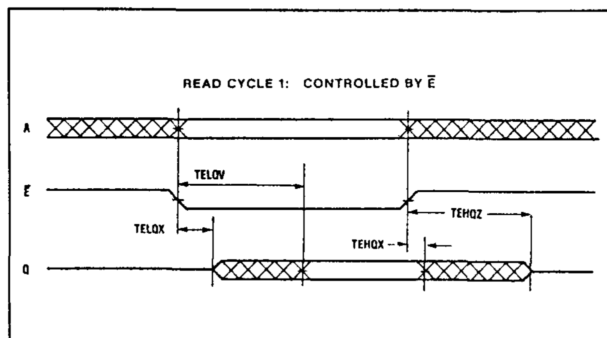
Figuur 8/2.4.3-43 Functioneel blokschema (positieve logica).

Lees-cyclus

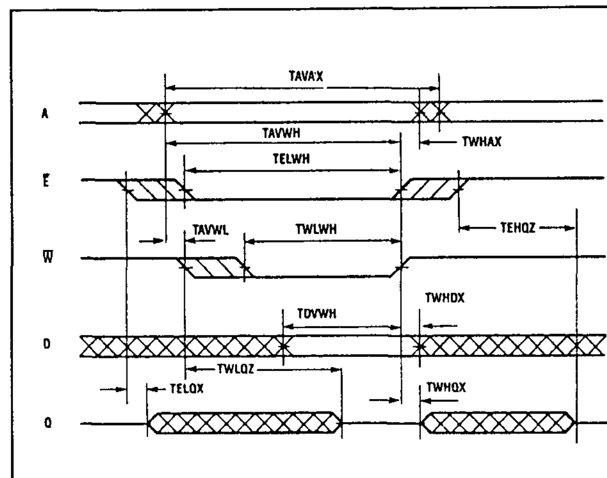
Zoals in de figuren 8/2.4.3-44 en -45 te zien is, zijn twee soorten leescyclus mogelijk.
Bij de eerste wordt het uitlezen bestuurd door $\overline{E}$ (figuur 8/2.4.3-44). $\overline{W}$ blijft gedurende de gehele cyclus HOOG en D wordt genegeerd. Tegen de tijd dat $\overline{E}$ LAAG gaat, moet het gekozen adres stabiel zijn en blijven totdat $\overline{E}$ weer HOOG gaat.

Bij de tweede wordt het uitlezen geregeld door de adressering (figuur 8/2.4.3-45). $\overline{W}$ blijft gedurende de gehele cyclus HOOG en D wordt genegeerd.
Gedurende de tijd dat het adres geldig is moet $\overline{E}$ stabiel LAAG zijn.

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-44: Timing bij leescyslus 1.



Figur 8/2.4.3-46: Timing bij schrijfcyclus 1 ("vroeg")

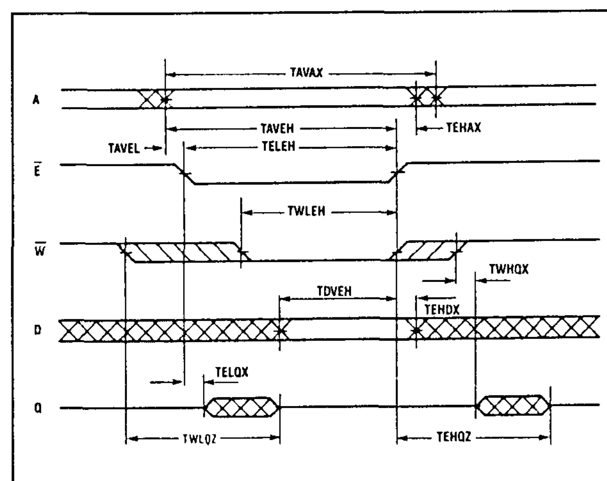
Schrijf-cyclus

Er zijn twee soorten schrijfcyclus mogelijk, de "late" (figuur 8/2.4.3-47) en de "vroege" (figuur 8/2.4.3-47).

Bij de eerste (late) wordt het schrijven bestuurd door $\overline{W}$. Hierbij wordt $\overline{E}$ later HOOG dan $\overline{W}$. Het gekozen adres moet stabiel zijn als $\overline{E}$ en/of $\overline{W}$ LAAG is.

Bij de tweede (vroege) wordt het schrijven bestuurd door $\overline{E}$. Hierbij wordt $\overline{W}$ later HOOG dan $\overline{E}$. Als $\overline{W}$ in een tijd langer dan T_{WLQZ} (max) - T_{ELQX} (min) LAAG gaat voor E, of in een tijd langer dan T_{EHQZ} (max) - T_{WHQZ} (min) HOOG wordt na $\overline{E}$, dan blijft Q in de hoog-impedante toestand.

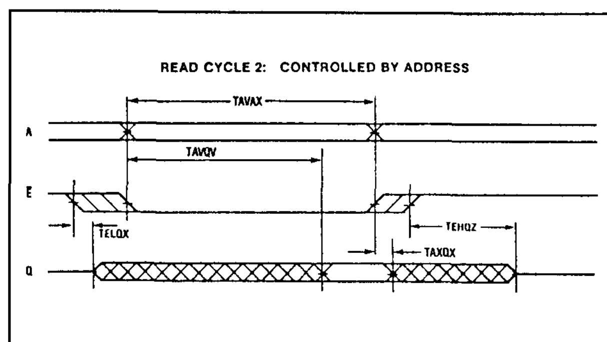
Hierbij moet het adres stabiel zijn als $\overline{E}$ en $\overline{W}$ beide LAAG zijn.



Figuur 8/2.4.3-47: Timing bij schrijfcyclus 2 ("laat").

Overige kenmerken

De elektrische en timing kenmerken van de industriële versie van de HM 65262 (-9) zijn te zien in de tabellen 8/2.4.3-25 en -26.



Figuur 8/2.4.3-45: Timing bij leescyclus 2.

Absolute Maximum Ratings*

Supply Voltage (VCC-GND) .... -0.3 to 8.0V
Input or Output Voltage Applied ..GND -0.3V to VCC +0.3V
Storage Temperature .... -65°C to+150°C

Recommended Operating Conditions

Operating Supply Voltage .... 4.5V to 5.5V
Operating Temperature .... -40°C to+85°C

Tabel 8/2.4.3-25: Maximaal toegelaten waarden en aanbevolen bedrijfscondities.

2.4.3 Type-beschrijving 65-serie

	SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
D.C.	ICCSB1	Standby Supply Current (CMOS)	--	50	μA	IO=0, Ē=VCC-0.3V
	ICCSB	Standby Supply Current (TTL)	--	5	mA	IO=0, Ē= 2.2V
	ICC	Enabled Supply Current	--	50	mA	IO=0, Ē=0.8V
	ICCOP	Operating Supply Current (Note 2)	--	50	mA	IO=0, Ē=0.8V,f=1MHz
	ICCDR	Data Retention Supply Current	--	20	μA	VCC=2.0V, Ē=VCC
	ICCDR1	Data Retention Supply Current	--	30	μA	VCC=3.0V, Ē=VCC
	II	Input Leakage Current	-1.0	+1.0	μA	VI=GND or VCC
	IOZ	Output Leakage Current	-1.0	+1.0	μA	VIO=GND or VCC
	VCCDR	Data Retention Supply Voltage	2.0		V	
	VOL	Output Low Voltage	--	0.4	V	IO=8.0mA
	VOH	Output High Voltage	2.4	--	V	IO=-4.0mA
	VIL	Input Low Voltage	-0.3	0.8	V	
	VIH	Input High Voltage	2.2	VCC+0.3	V	
	CI	Input Capacitance (Note 3)	--	8	pF	VI=VCC or GND, f=1MHz
	CO	Output Capacitance (Note 3)	--	10	pF	VIO=VCC or GND, f=1MHz
READ CYCLE	TAVAX	Read Cycle Time	85	--	ns	(Note 4)
	TAVQV	Address Access Time	--	85	ns	(Note 4)
	TELQV	Chip Enable Access Time	--	85	ns	(Note 4)
	TELQX	Chip Enable Output Enable Time	5	--	ns	(Note 3)
	TEHQX	Chip Disable Output Hold Time	5	--	ns	(Note 3)
	TAXQX	Address Invalid Output Hold Time	5	--	ns	(Note 3)
A.C.	TEHQZ	Chip Disable Output Disable Time	--	30	ns	(Note 3)
WRITE CYCLE	TAVAX	Write Cycle Time	85	--	ns	(Note 4)
	TELWH	Chip Enable to End of Write	65	--	ns	
	TWLWH	Write Enable Pulse Width	45	--	ns	
	TAVWL	Address Setup Time	0	--	ns	
	TWHAX	Address Hold Time	0	--	ns	
	TDVWH	Data Setup Time	35	--	ns	
	TWHDX	Data Hold Time	0	--	ns	
	TWLQZ	Write Enable Output Disable Time	--	30	ns	(Note 3)
	TWHQX	Write Disable Output Enable Time	0	--	ns	(Note 3)
	TAVWH	Address Valid to End of Write	65	--	ns	(Note 4)
	TAVEL	Address Setup Time	0	--	ns	
	TEHAX	Address Hold Time	0	--	ns	
	TAVEH	Address Valid to End of Write	65	--	ns	
	TELEH	Enable Pulse Width	65	--	ns	
	TWLEH	Write to End of Write	45	ns		
	TDVEH	Data Setup Time	35	--	ns	
	TEHDX	Data Hold Time	0	--	ns	

NOTES:
1. All devices tested at worst case temperature and supply voltage limits.
2. Typical derating 5mA/MHz increase in ICCOP, VI VCC or GND.
3. Tested at initial design and major design changes.
4. Input pulse levels: 0V to 3.V.Input rise and fall times: 5ns max. Input and output timing reference levels: 1.5V. Output load: 1 TTL gate equivalent and CL - 50 to 300pF. For CL greater than 50pF, access time is derated 0.15ns/pF.
5. Tested at VCC - 4.5V and 5.5V.

Tabel 8/2.4.3-26: Gelijkspanningscondities en schakeltijden van de industriële (-9 versie) van de HM 65262.

HM 65642

8k x 8 CMOS SRAM

De HM 65642 behoort tot de veelgebruikte groep 64k statische CMOS RAM's, georganiseerd in 8192 woorden van 8 bits ("byte wide"), die compatibel zijn met de NMOS-versie 2064 (onder andere 5564, 6164, 6264). Omdat de HM 65642 alleen wordt

2.4.3 Type-beschrijving 65-serie

geleverd in industriële (-9) en militaire (-8) uitvoering wordt de 6264 apart behandeld. Hier wordt alleen de industriële uitvoering van de HM65642 beschreven.

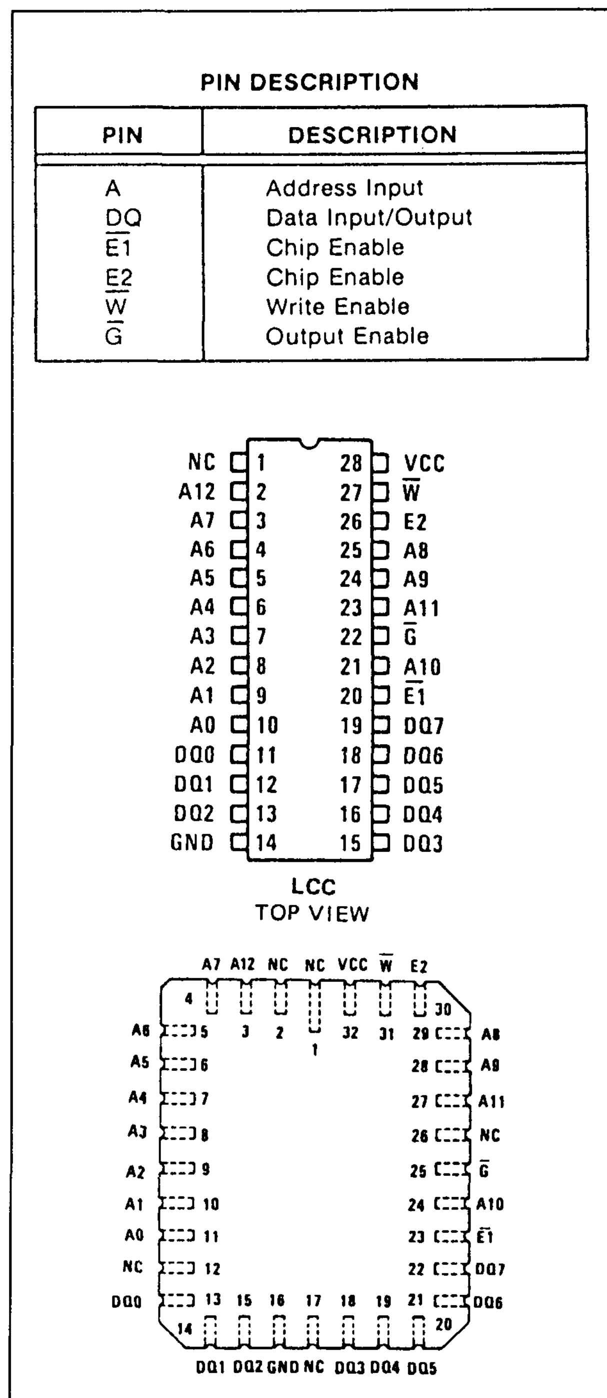
De 28-pens DIL 0,6 inch uitvoering van de HM 65642 is een JEDEC standaard en is compatibel met 64K-typen RAM, ROM, EEPROM en EPROM (2764), zodat geheugenkaarten met eenvoudige layout kunnen worden gebruikt. Door de handige output enable-ingang (G) is de HM 65642 zeer geschikt voor gebruik met de microprocessoren 80C86 en 80C88. In de asynchrone HM 65642 worden uit 6 transistoren bestaande geheugencellen gebruikt (6T cellen) die een zeer geringe standby-stroom en een zeer stabiele werking tot gevolg hebben.

Specificaties

- 8192 x 8 bit organisatie
- volledig statische werking (geen clock of refresh)
- enkele +5 V voeding (+/-10 %)
- bedrijfsstroom 80 mA, standby-stroom 250 µA
- data-houdspanning minimaal 2 V
- alle in-/uitgangen TTL en CMOS-compatibel
- gecombineerde data in-/uitgangen
- 3-state uitgangen
- dubbele chip-enable
- JEDEC standaard aansluitingen (2064, 6264, 2764)
- 28-pens 0,6 inch ceramische DIL-behuizing of 32-pens rechthoekige LCC (leadless chip carrier, zie figuur 8/2.4.3-48)
- leverbare typen:
  Harris: HM 65642-8 (150 ns, -55 tot +125 °C), HM 65642B-9 (150 ns, -40 tot +85 °C)

Werking

De HM 65642 heeft 13 adres-lijnen (A0 tot en met A12), waarmee 8192 woorden met een breedte van 8-bits kunnen worden geadresseerd (figuur 8/2.4.3-49). Als chip-enable $\overline{E1}$ HOOG is en E2 LAAG is, staat de HM 65642 standby en bevindt de uitgang zich in een hoog-impedante toestand. De overige functies blijken uit de waarheidstabel 8/2.4.3-27.

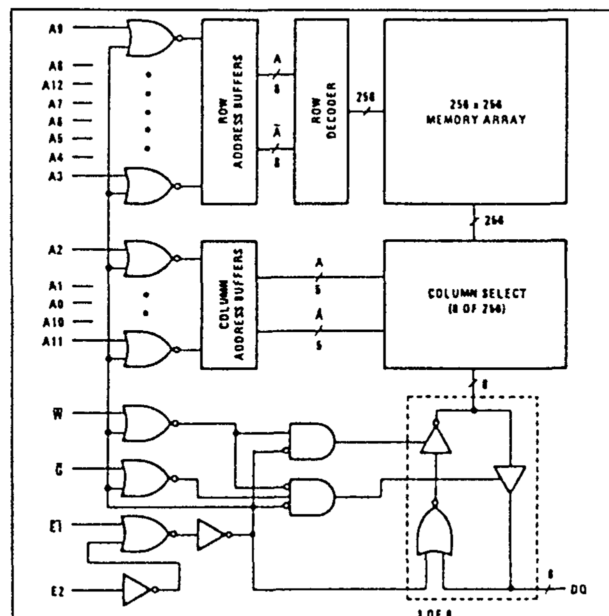


PIN DESCRIPTION

PIN	DESCRIPTION
A	Address Input
DQ	Data Input/Output
$\overline{E1}$	Chip Enable
E2	Chip Enable
$\overline{W}$	Write Enable
$\overline{G}$	Output Enable

Figuur 8/2.4.3-48: Aansluitingen van de DIL- en LCC-versies van de HM 65642.

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-49: Functioneel blokschema (positieve logica).

Wanneer $\overline{E1}$ LAAG gaat en E2 HOOG, moet het gekozen adres stabiel zijn en blijven tot na de leescyclus.

Schrijf-cycli

Er zijn twee soorten schrijfcyclus mogelijk, de "late" (figuur 8/2.4.3-52) en de "vroege" (figuur 8/2.4.3-53).
Bij de eerste (late) wordt het schrijven bestuurd door $\overline{W}$. Hierbij wordt $\overline{E1}$ later HOOG (en E2 LAAG) dan $\overline{W}$ HOOG wordt. Het gekozen adres moet dan stabiel zijn.
Bij de tweede (vroege) wordt het schrijven bestuurd door $\overline{E}$.
Hier zijn weer twee gevallen te onderscheiden, namelijk bestuurd door $\overline{E1}$ (figuur 8/2.4.3-54) of door E2.
Nemen we figuur 8/2.4.3-54 als voorbeeld dan zien we dat $\overline{W}$ vroeger LAAG en later HOOG gaat dan $\overline{E1}$.

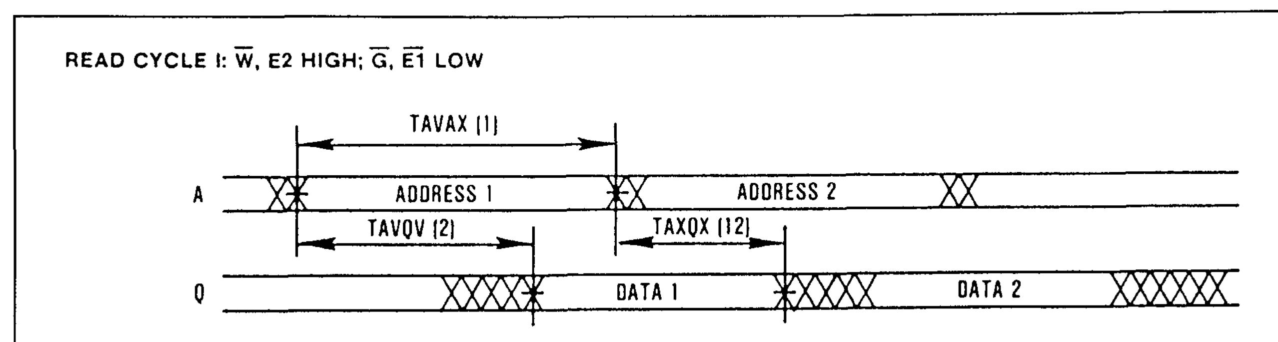
Lees-cycli

Zoals de figuren 8/2.4.3-50 en -51 laten zien, zijn twee soorten leescycli mogelijk.
Bij de eerste wordt het uitlezen geregeld door de adressering (figuur 8/2.4.3-50). $\overline{W}$ en E2 blijven gedurende de gehele cyclus HOOG en $\overline{E1}$ LAAG.
Bij de tweede wordt het uitlezen bestuurd door $\overline{E}$ (figuur 8/2.4.3-51). $\overline{W}$ blijft gedurende de gehele cyclus HOOG en D wordt genegeerd.

TRUTH TABLE

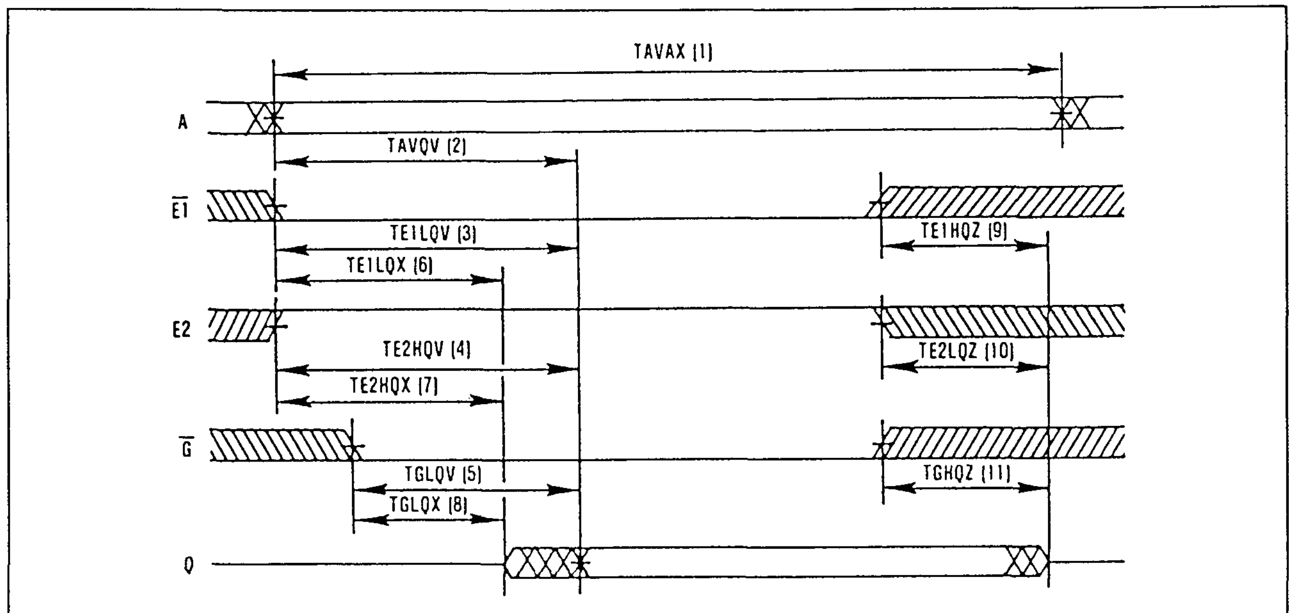
MODE	$\overline{E1}$	E2	$\overline{W}$	$\overline{G}$
Standby (CMOS)	X	GND	X	X
Standby (TTL)	VIH	X	X	X
	X	VIL	X	X
Enable (High Z)	VIL	VIH	VIH	VIH
Write	VIL	VIH	VIL	X
Read	VIL	VIH	VIH	VIL

Tabel 8/2.4.3-27: Waarheidstabel van de HM 65642.



Figuur 8/2.4.3-50: Timing bij leescyclus 1.

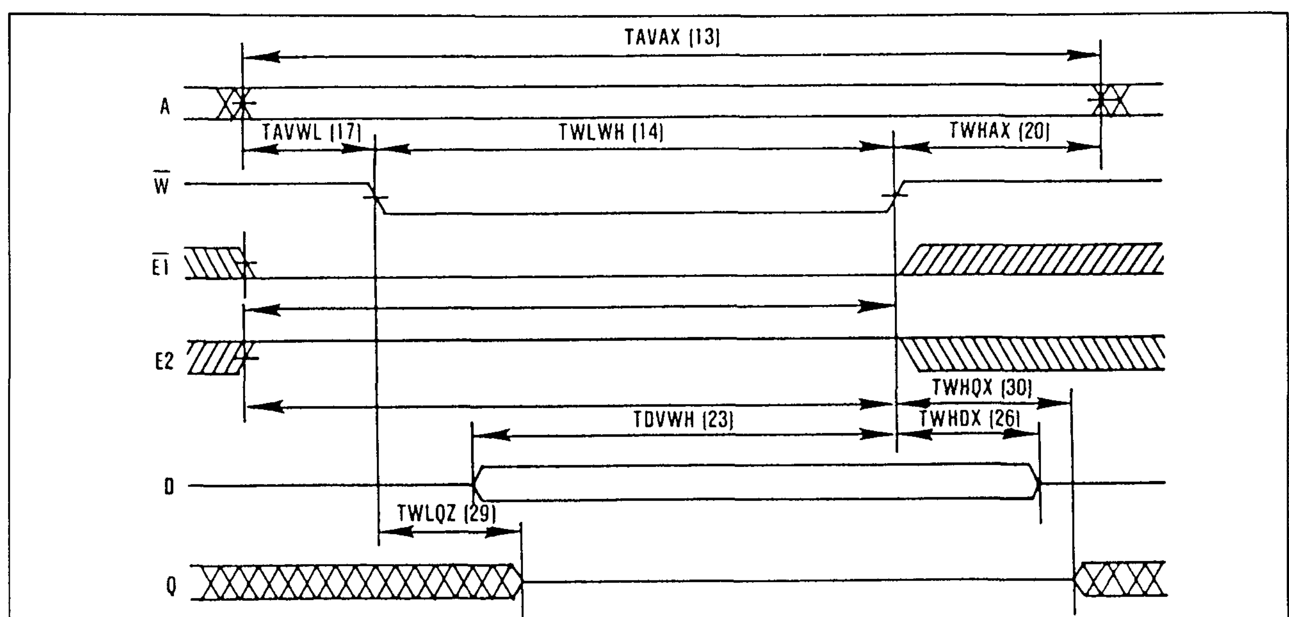
2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-51: Timing bij leescyclus 2.

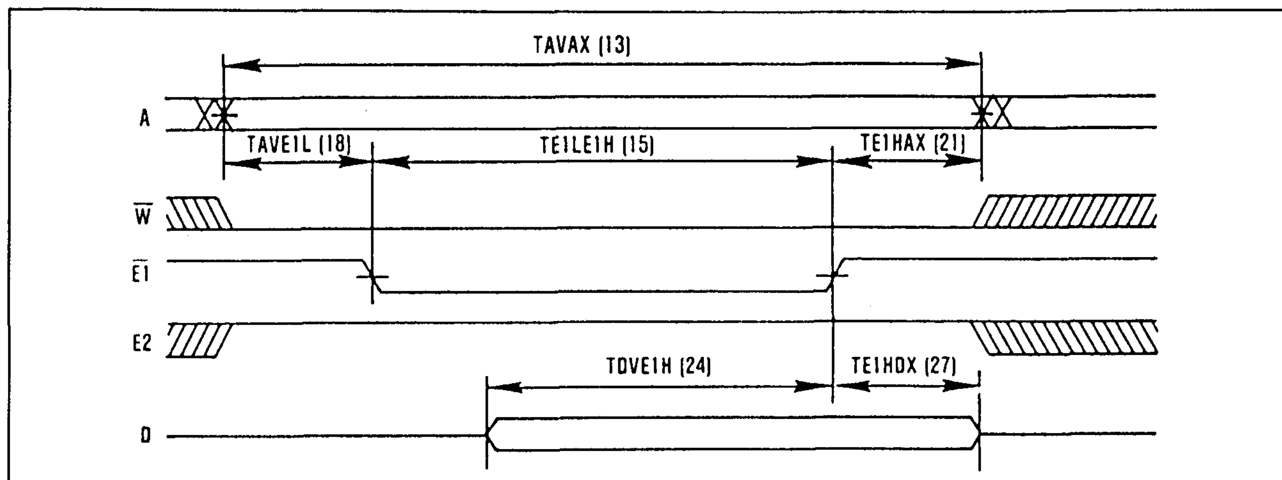
In beide gevallen moet het adres stabiel zijn als $\overline{E1}$ en $\overline{W}$ beide LAAG zijn en E2 HOOG.

Overige kenmerken
De elektrische en timing kenmerken van de HM 65642 zijn te zien in de tabel 8/2.4.3-28 tot en met -31.

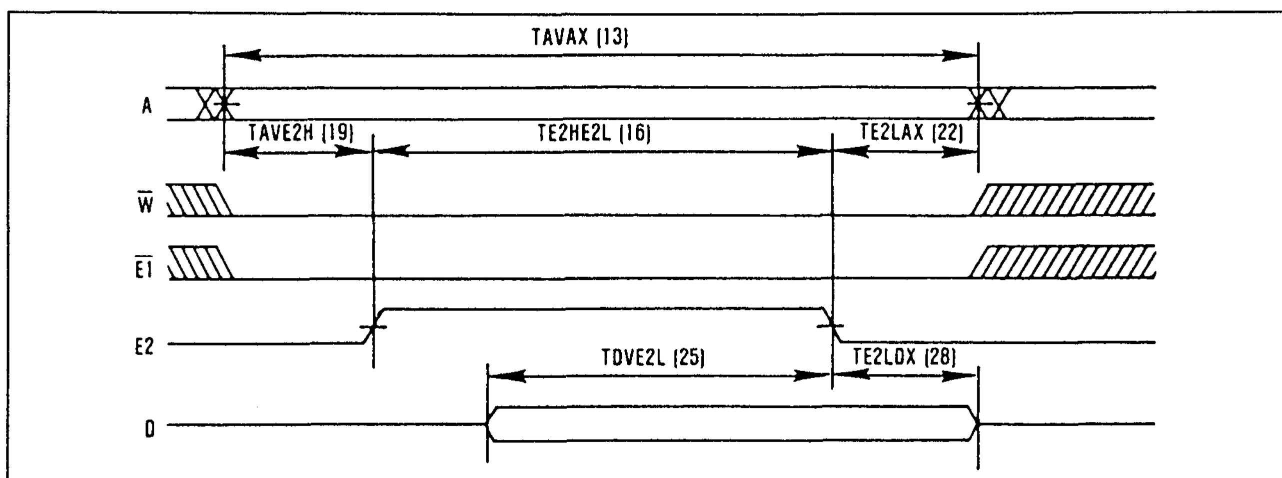


Figuur 8/2.4.3-52: Timing bij schrijfcyclus 1 ("laat").

2.4.3 Type-beschrijving 65-serie



Figuur 8/2.4.3-53: Timing bij schrijfcyclus 2 ("vroeg", besturing door E1).



Figuur 8/2.4.3-54: Timing bij schrijfcyclus 3 ("vroeg", besturing door E2).

Absolute Maximum Ratings*

Supply Voltage (VCC-GND) .... -0.3 to 7.0V
Input or Output Voltage Applied .... -0.3 to VCC +0.3V
Storage Temperature .... -65°C to +150°C

Recommended Operating Conditions

Supply Voltage (VCC) .... 4.5V to 5.5V
Input Voltage High (VIH) .... 2.2 to VCC +0.3V
Input Voltage Low (VIL) .... -0.3V to +0.8V
Ambient Temperature HM-65642-8 .... -55°C to +125°C
HM-65642-9 .... -40°C to +85°C

Tabel 8/2.4.3-28: Maximal toegelaten waarden en aanbevolen bedrijfscondities.

2.4.3 Type-beschrijving 65-serie

D.C. Electrical Specifications

PARAMETER	DESCRIPTION	MIN	MAX	UNITS	TEST CONDITIONS
ICCSB1	Standby Supply Current (CMOS)		250	µA	E2 = GND, VCC = 5.5V
ICCSB2	Standby Supply Current (TTL)		10	mA	E2 = 0.8V or $\overline{E1}$ = 2.2V, VCC = 5.5V
ICCDR	Data Retention Supply Current		150	µA	E2 = GND, VCC = 2.0V
ICCEN	Enabled Supply Current		10	mA	E2 = 2.2V, $\overline{E1}$ = 0.8V, VCC = 5.5V, IIO = 0
ICCOP	Operating Supply Current (2)		20	mA	f = 1MHz, $\overline{E1}$ = 0.8V, E2 = 2.2V, VCC = 5.5V, IIO = 0
II	Input Leakage Current	-1	+1	µA	VIN = VCC or GND, VCC = 5.5V
IIOZ	Input/Output Leakage Current	-1	+1	µA	E2 = GND, VIO = VCC or GND, VCC = 5.5V
VCCDR	Data Retention Supply Voltage	2.0		V	E2 = GND
VOH	Output Voltage High	2.4		V	IOH = -1.0mA, VCC = 4.5V
VOL	Output Voltage Low		0.4	V	IOL = 4.0mA, VCC = 4.5V

Tabel 8/2.4.3-29: Gelijkspanningscondities.

SYMBOL	PARAMETER	MAX	UNITS	TEST CONDITIONS
CI	Input Capacitance	10	pF	f = 1MHz, VIN = VCC or GND
CIO	Input/Output Capacitance	12	pF	f = 1MHz, VIN = VCC or GND

Tabel 8/2.4.3-30: Capaciteiten bij 1 MHz.

2.4.3 Type-beschrijving 65-serie

PARAMETER		DESCRIPTION		MIN	MAX	UNITS	TEST CONDITIONS
READ CYCLE							
1 TAVAX	tRC	Read Cycle Time		150		ns	(Note 1, 4)
2 TAVQV	tAA	Address Access Time			150	ns	(Note 1, 4)
3 TE1LQV	tCE1	Chip Enable Access Time	$\overline{E1}$		150	ns	(Note 1, 4)
4 TE2HQV	tCE2		E2		150	ns	(Note 1, 4)
5 TGLQV	tOE	Output Enable Access Time			70	ns	(Note 1, 4)
6 TE1LQX	tLZ1	Chip Enable Valid to Output On	$\overline{E1}$	10		ns	(Note 2, 4)
7 TE2HQX	tLZ2		E2	10		ns	(Note 2, 4)
8 TGLQX	tOLZ	Output Enable Valid to Output On		5		ns	(Note 2, 4)
9 TE1HQZ	tHZ1	Chip Enable Not Valid to Output Off	$\overline{E1}$		50	ns	(Note 2, 4)
10 TE2LQZ	tHZ2		E2		60	ns	(Note 2, 4)
11 TGHQZ	tOHZ	Output Enable Not Valid to Output Off			50	ns	(Note 2, 4)
12 TAXQX	tOH	Output Hold From Address Change		10		ns	(Note 2, 4)
WRITE CYCLE							
13 TAVAX	tWC	Write Cycle Time		150		ns	(Note 1, 4)
14 TWLWH	tWP	Write Pulse Width		90		ns	(Note 1, 4)
15TE1LE1H	tCW	Chip Enable to End of Write	$\overline{E1}$	90		ns	(Note 1, 4)
16TE2HE2L	tCW		E2	90		ns	(Note 1, 4)
17 TAVWL	tAS	Address Setup Time	Late Write	0		ns	(Note 1, 4)
18 TAVE1L	tAS		Early Write, $\overline{E1}$	0		ns	(Note 1, 4)
19 TAVE2H	tAS		Early Write, E2	0		ns	(Note 1, 4)
20 TWHAX	tWR	Write Recovery Time	Late Write	10		ns	(Note 1, 4)
21 TE1HAX	tWR		Early Write, $\overline{E1}$	10		ns	(Note 1, 4)
22 TE2LAX	tWR		Early Write, E2	10		ns	(Note 1, 4)
23 TDVWH	tDW	Data Setup Time	Late Write	60		ns	(Note 1, 4)
24 TDVE1H	tDW		Early Write, $\overline{E1}$	60		ns	(Note 1, 4)
25 TDVE2L	tDW		Early Write, E2	60		ns	(Note 1, 4)
26 TWHDX	tDH	Data Hold Time	Late Write	5		ns	(Note 1, 4)
27 TE1HDX	tDH		Early Write, $\overline{E1}$	10		ns	(Note 1, 4)
28 TE2LDX	tDH		Early Write, E2	10		ns	(Note 1, 4)
29 TWLQZ	tWHZ	Write Enable Low to Output Off			50	ns	(Note 2, 4)
30 TWHQX	tOW	Write Enable High to Output On		5		ns	(Note 2, 4)

NOTES:

1. Input pulse levels: 0 to 3.0V; Input rise and fall times: 5ns max; Input and output timing reference level: 1.5V; Output load: 1 TTL gate equivalent and CL 50pF (min) — for CL greater than 50pF, access time is derated by 0.15ns per pF.
2. Tested at initial design and after major design changes — not 100% tested.
3. Typical derating: 5mA/MHz increase in ICCOP.
4. VCC = 4.5V and 5.5V.

Tabel 8/2.4.3-31: Schakeltijden bij uitlezen en schrijven van de HM 65642.

8/2.5.1

Type-beschrijving 74xx-serie TTL

7481A

16-bit RAM, 16 x 1

De 7481A is een array van 16 flip-flop's en twee schrijf-versterkers die onderling zodanig zijn verbonden dat een "scratch-pad" geheugen met directe adressering en niet-destructieve uitlezing ontstaat (figuur 8/2.5.1-3). De ingangen zijn met diode-clamp uitgevoerd. De flip-flop's zijn in een 4 x 4 matrix geplaatst waarvan met 4 X-adreslijnen en 4 Y-adreslijnen telkens één adres geselecteerd kan worden.

Om na te gaan of een logische 1 of een 0 is opgeslagen is het nodig om te weten welke transistor van een flip-flop geleidt.

Alle 16 "logic 1-sensing" uitgangen zijn verbonden met de S1-versterker en alle "logic 0-sensing" uitgangen met de S0-versterker.

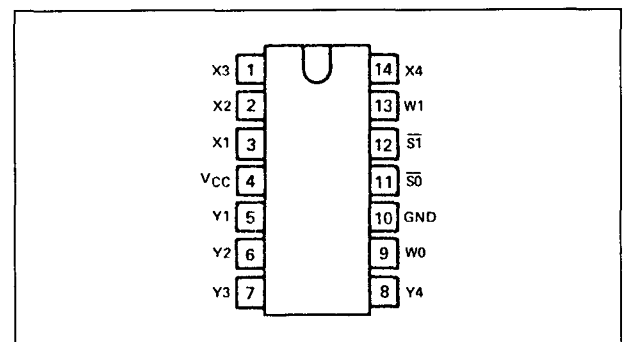
Een flip-flop wordt geselecteerd door zowel de X- als de Y-adreslijn HOOG te maken. Door het matrix-karakter van de schakeling blijft van de overige flip-flop's tenminste één adreslijn LAAG en zal in die flip-flop's geen verandering optreden.

In de geselecteerde flip-flop zal de stroom door de geleidende transistor echter op één van de sense-versterkers terecht komen, waardoor de uitgang van die versterker (S1 of S0) LAAG wordt.

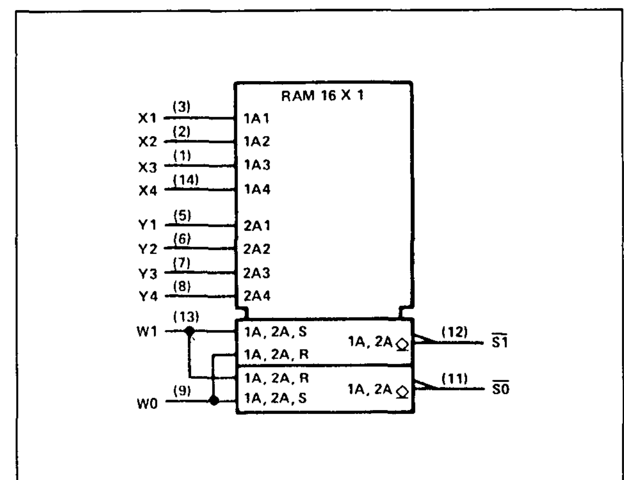
Om nieuwe data in de flip-flop's op te slaan moet telkens een adres worden gekozen, waarbij een logisch HOOG op de juiste schrijf-versterker wordt gezet.

Specificaties

- 16 x 1 bit organisatie
- aparte W1 en W0 ingangen
- open collector S1 en S0 uitgangen
- adressering met 4 X- en 4 Y-ingangen
- diode-geclampte ingangen TTL en DTL compatibel

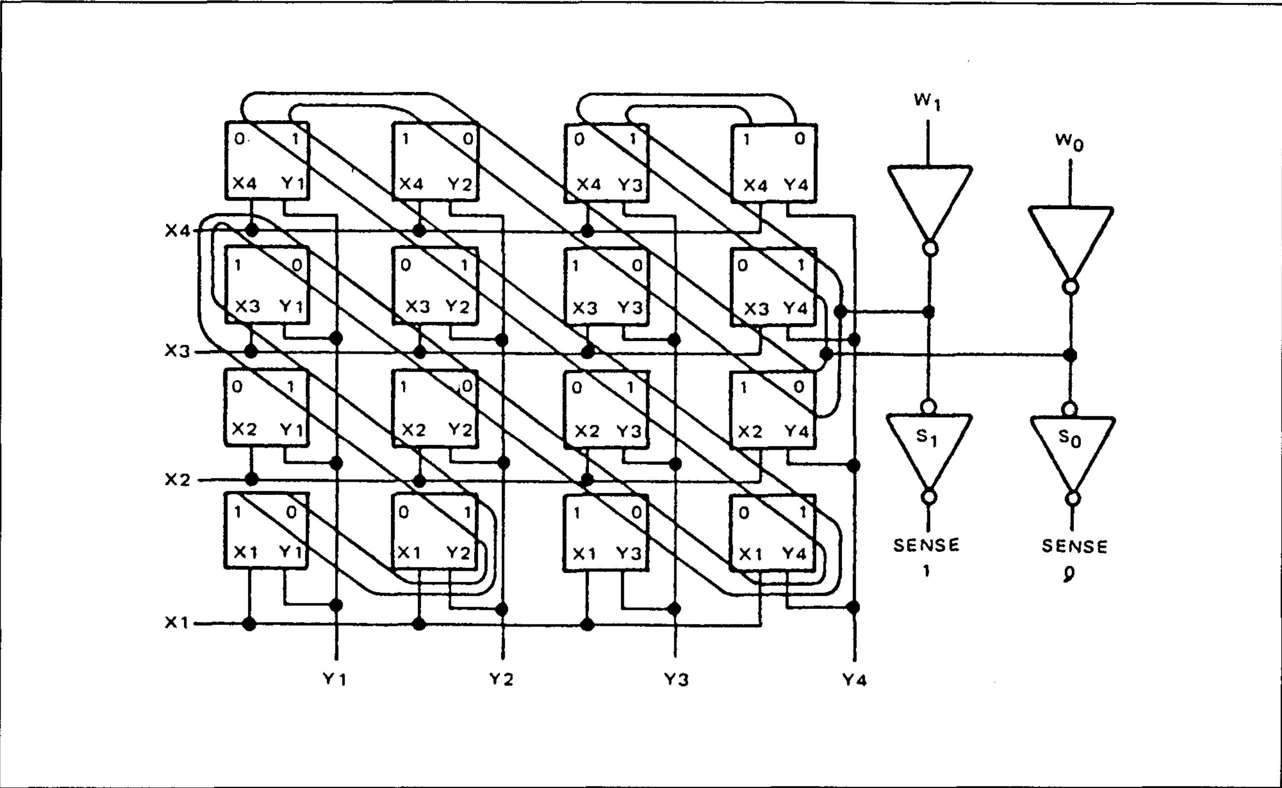


Figuur 8/2.5.1-1: Aansluitingen van de 7481A.



Figuur 8/2.5.1-2: Logisch symbool van de 7481A.

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.1-3: Logisch schema van de 7481A.

Supply voltage, V_{CC}	7 V
Input voltage	5.5 V
Interemitter voltage	5.5 V
High-level output voltage	5.5 V
Operating free-air temperature range:	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.5.1-1: Maximaal toegelaten waarden.

	SN7481A			UNIT
	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level output voltage, V_{OH}			5.5	V
Low-level output current, I_{OL}			40	mA
Width of write pulse, $t_{w(write)}$ (see Figure 1)	20			ns
Address input setup time, t_{su} (see Figure 1)	0			ns
Operating free-air temperature, T_A	0		70	°C

Tabel 8/2.5.1-2: Aanbevolen bedrijfscondities van de 7481A.

2.5 Type-beschrijving bipolaire RAM's

PARAMETER			TEST CONDITIONS†	SN7481A MIN	SN7481A TYP‡	SN7481A MAX	UNIT
V_{IH}	High-level voltage at any input			2			V
V_{IL}	Low-level voltage at address inputs	to prevent writing				0.8	V
		to prevent sensing				1	
V_{IL}	Low-level voltage at write inputs					1	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA			−1.5	V
I_{OH}	High-level output current		V_{CC} = MIN, V_{OH} = 5.5 V			250	μA
V_{OL}	Low-level output voltage		V_{CC} = MIN, I_{OL} = MAX			0.4	V
I_I	Input current at maximum input voltage	Write	V_{CC} = MAX, V_I = 5.5 V			1	mA
		Address				3	
I_{IH}	High-level input current	Write	V_{CC} = MAX, V_I = 2.4 V			40	μA
		Address	V_{CC} = MAX, V_I = 4.5 V			400	
I_{IL}	Low-level input current	Write	V_{CC} MAX, V_I = 0.4 V			−1.6	mA
		Address				−11	
I_{CC}	Supply current		V_{CC} = MAX, All inputs at 0 V			65	mA
			V_{CC} = 5 V, All inputs at 0 V		45	60	

Tabel 8/2.5.1-3: Elektrische kenmerken van de 7481A.

PARAMETER§	LOCATION ADDRESSED	TEST CONDITIONS	SN7481A, MIN	SN7481A, TYP	SN7481A, MAX	UNIT
t_{SR}	X1 − Y1	C_L = 30 pF		13		ns
		C_L = 200 pF		18	30	
t_{PHL}	X1 − Y1	C_L = 30 pF		12	20	ns
		C_L = 200 pF		18	27	
t_{PLH}		C_L = 30 pF		12	19	
		C_L = 200 pF		18	27	
t_{PHL}	X1 thru X4 and Y1	C_L = 30 pF		11	19	ns
		C_L = 200 pF		17	26	
t_{PLH}		C_L = 30 pF		13	20	
		C_L = 200 pF		19	28	

Tabel 8/2.5.1-4: Schakeltijden van de 7481A.

7484A

16-bit RAM, 16 x 1

De 7484A heeft 16 flip-flop's en twee schrijfversterkers die met elkaar een "scratch-pad" geheugen vormen dat direkt geadresseerd en niet-destructief uitgelezen kan worden (zie figuur 8/2.5.1-6). De ingangen hebben diode-clamp's. De flip-flop's zijn in een 4 x 4 matrix geplaatst zodat met 4 X-adreslijnen en 4 Y-adreslijnen telkens één flip-flop kan worden geadresseerd.

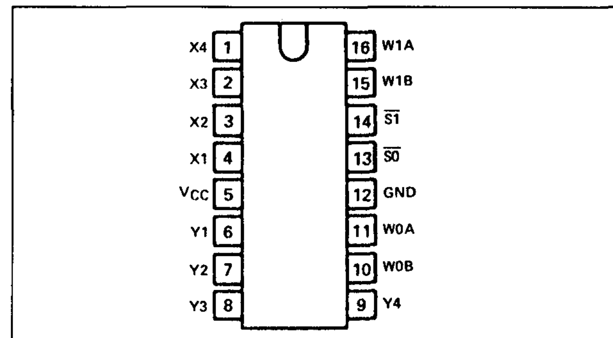
Of een logische 1 of 0 is opgeslagen kan worden gedetecteerd door uitlezing van de transistoren in de flip-flop's. Alle 16 "logic 1-sensing" uitgangen zijn verbonden met de S1-versterker en alle "logic 0-sensing" uitgangen met de S0-versterker. Een flip-flop wordt geselecteerd door de X- en de Y-adreslijn HOOG te maken. Van de overige flip-flop's zal door het matrix-karakter van de schakeling tenminste één adreslijn LAAG blijven waardoor geen veranderingen kun-

2.5 Type-beschrijving bipolaire RAM's

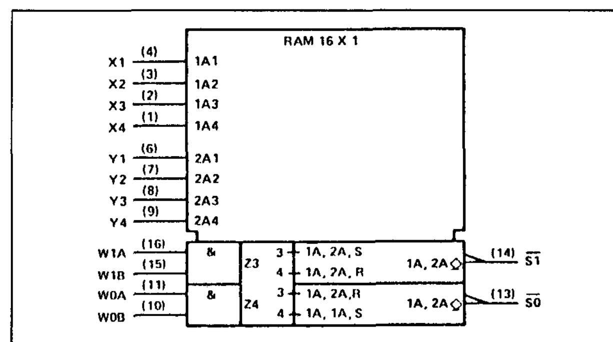
nen optreden. In de geadresseerde flip-flop zal de stroom van de geleidende transistor op één van de sense-versterkers terecht komen, waardoor de uitgang van die versterker (S1 of S0) LAAG wordt.
Om nieuwe data in de flip-flop's te schrijven moet een adres worden gekozen, terwijl een logisch HOOG op de juiste schrijf-versterker (0 of 1) wordt gezet.

Specificaties

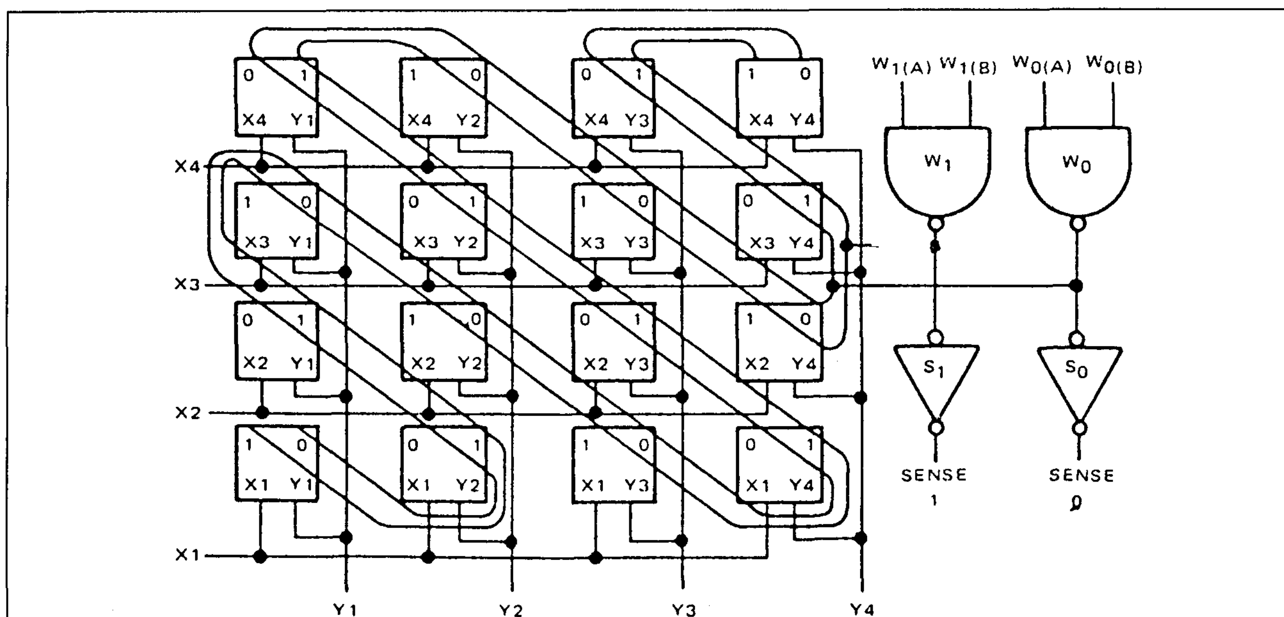
- 16 x 1 bit organisatie
- aparte 2-input W1 en W0 ingangen
- open collector S1 en S0 uitgangen
- adressering met 4 X- en 4 Y-ingangen
- diode-geclampte ingangen TTL en DTL compatibel



Figuur 8/2.5.1-4: Aansluitingen van de 7484A.



Figuur 8/2.5.1-5: Logisch symbool van de 7484A.



Figuur 8/2.5.1-6: Logisch schema (positieve logika) van de 7484A.

2.5 Type-beschrijving bipolaire RAM's

Supply voltage, V_{CC}	7 V
Input voltage	5.5 V
Interemitter voltage	5.5 V
High-level output voltage	5.5 V
Operating free-air temperature range:	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.5.1-5: Maximaal toegelaten waarden.

	SN7484A			UNIT
	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level output voltage, V_{OH}			5.5	V
Low-level output current, I_{OL}			40	mA
Width of write pulse, $t_{w(write)}$ (see Figure 1)	20			ns
Address input setup time, t_{su} (see Figure 1)	0			ns
Operating free-air temperature, T_A	0		70	°C

Tabel 8/2.5.1-6: Aanbevolen bedrijfscondities van de 7484A.

PARAMETER			TEST CONDITIONS†	SN7484A			UNIT
				MIN	TYP‡	MAX	
V_{IH}	High-level voltage at any input			2			V
V_{IL}	Low-level voltage at address inputs	to prevent writing				0.8	V
		to prevent sensing				1	
V_{IL}	Low-level voltage at write inputs					1	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA			−1.5	V
I_{OH}	High-level output current		V_{CC} = MIN, V_{OH} = 5.5 V			250	µA
V_{OL}	Low-level output voltage		V_{CC} = MIN, I_{OL} = MAX			0.4	V
I_I	Input current at maximum input voltage	Write	V_{CC} = MAX, V_I = 5.5 V			1	mA
		Address				3	
I_{IH}	High-level input current	Write	V_{CC} = MAX, V_I = 2.4 V			40	µA
		Address	V_{CC} = MAX, V_I = 4.5 V			400	
I_{IL}	Low-level input current	Write	V_{CC} MAX, V_I = 0.4 V			−1.6	mA
		Address				−11	
I_{CC}	Supply current		V_{CC} = MAX, All inputs at 0 V			65	mA
			V_{CC} = 5 V, All inputs at 0 V		45	60	

Tabel 8/2.5.1-7: Elektrische kenmerken van de 7484A.

2.5 Type-beschrijving bipolaire RAM's

PARAMETER §	LOCATION ADDRESSED	TEST CONDITIONS	SN7484A MIN	SN7484A TYP	SN7484A MAX	UNIT
t_{SR}	X1 – Y1	C_L = 30 pF		13		ns
		C_L = 200 pF		18	30	
t_{PHL}	X1 – Y1	C_L = 30 pF		12	20	ns
		C_L = 200 pF		18	27	
t_{PLH}		C_L = 30 pF		12	19	
		C_L = 200 pF		18	27	
t_{PHL}	X1 thru X4 and Y1	C_L = 30 pF		11	19	ns
		C_L = 200 pF		17	26	
t_{PLH}		C_L = 30 pF		13	20	
		C_L = 200 pF		19	28	

Tabel 8/2.5.1-8: Bij de 7484A optredende schakeltijden.

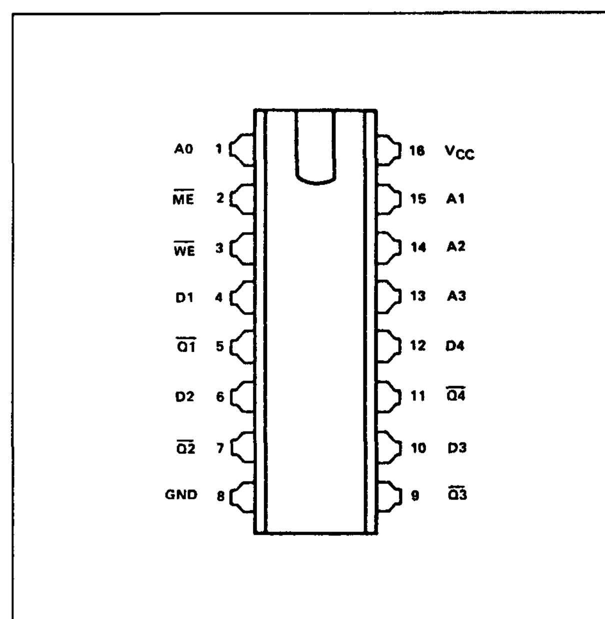
7489

64-bit RAM, 16 x 4

De 7489 is opgebouwd uit een array van 64 flip-flop's die in een matrix van 16 woorden x 4 bit zijn georganiseerd. Elk woord kan binair worden geadresseerd met behulp van de op de chip aanwezige decodering. Het geheugen heeft open-collector uitgangen waardoor "wired-AND" uitbreiding tot 4704 woorden zonder extra buffering mogelijk is (zie figuur 8/2.5.1-9).
Informatie die op de data-ingangen aanwezig is wordt in het geheugen geschreven door het gewenste woord te adresseren en zowel $\overline{ME}$ als $\overline{WE}$ LAAG te houden. Aangezien de uitgang van de inwendige data-input poort verbonden is met de ingang van de sense-versterker zal de data aan de uitgang hiervan geïnverteerd zijn als $\overline{WE}$ LAAG is.
Bij het uitlezen van de inhoud van het geheugen zal op de uitgang de geïnverteerde informatie staan. Hierbij moet het adres geselecteerd zijn met $\overline{ME}$ LAAG en $\overline{WE}$ HOOG.

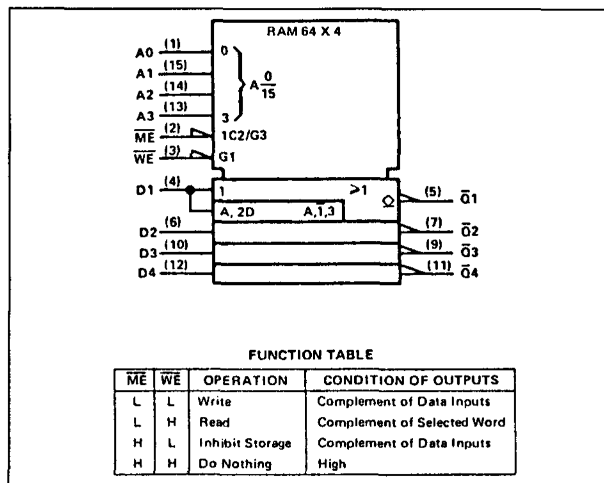
Specificaties

- 16 x 4-bit organisatie
- open collector uitgangen (wired-AND mogelijk)
- volledig gedecodeerde adressering
- diode-geclampte, gebufferde ingangen TTL en DTL compatibel
- toepasbaar als "scratch-pad" geheugen met niet-destructieve uitlezing
- korte toegangstijd: 33 ns typ.
- fabrikanten: Texas Instruments, AMD, Philips/Signetics (74S89), Fairchild, NatSemi



Figuur 8/2.5.1-7: Aansluitgegevens van de 7489.

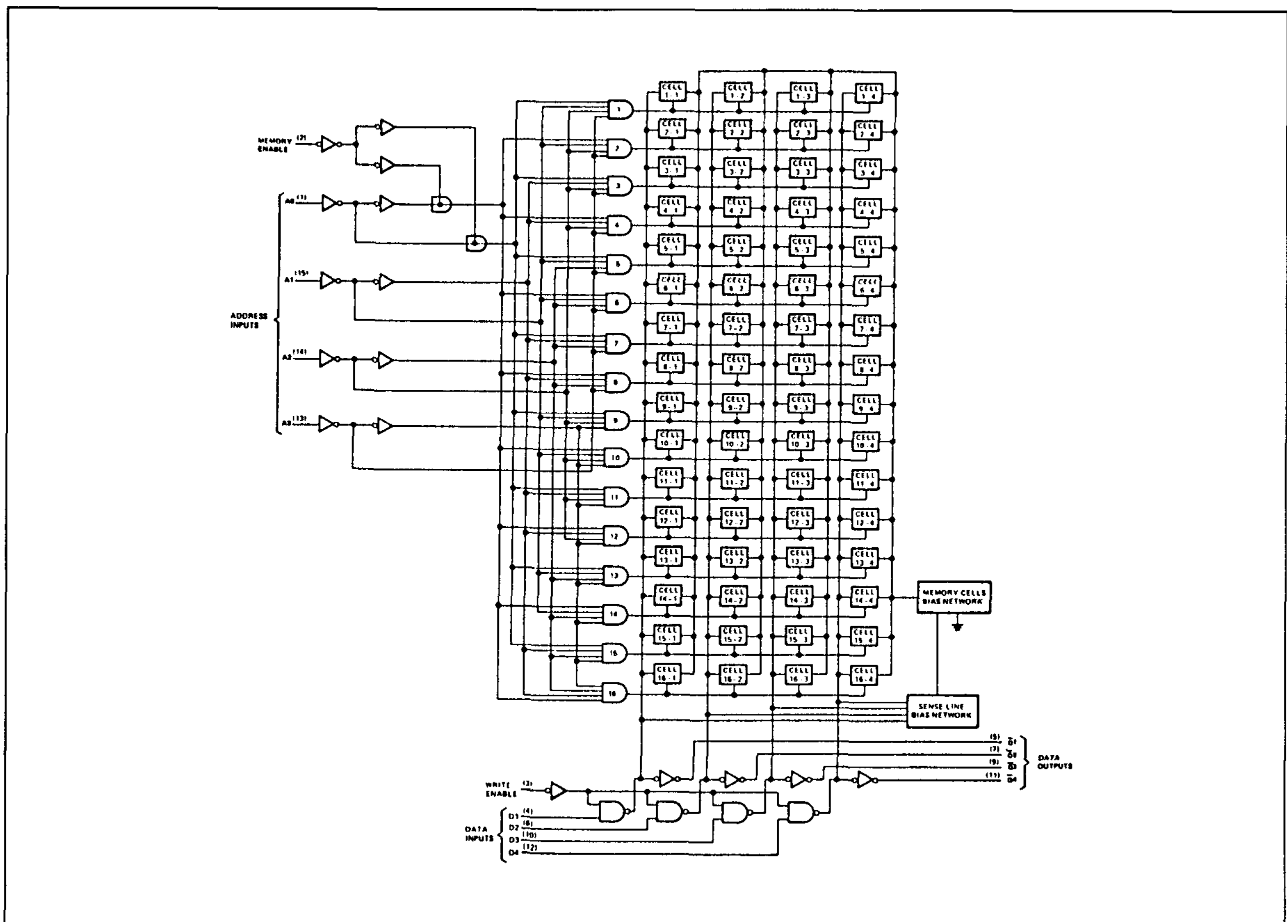
2.5 Type-beschrijving bipolaire RAM's



FUNCTION TABLE

$\overline{ME}$	$\overline{WE}$	OPERATION	CONDITION OF OUTPUTS
L	L	Write	Complement of Data Inputs
L	H	Read	Complement of Selected Word
H	L	Inhibit Storage	Complement of Data Inputs
H	H	Do Nothing	High

Figuur 8/2.5.1-8: Logisch symbool en waarheidstabel van de 7489.

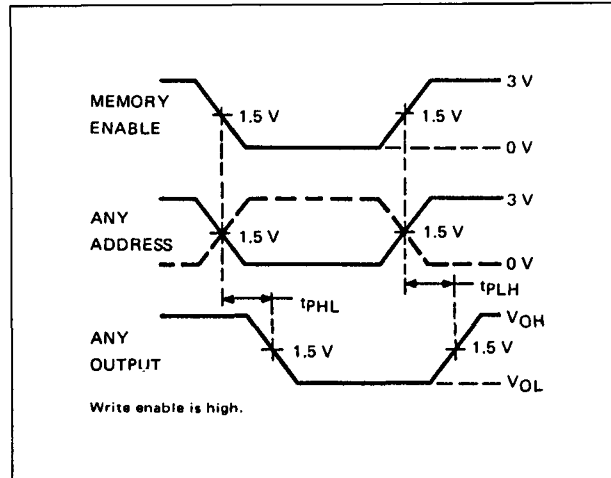


Figuur 8/2.5.1-9: Logisch schema (positieve logika) van de 7489.

2.5 Type-beschrijving bipolaire RAM's

Supply voltage, V_{CC}	7 V
Input voltage	5.5 V
High-level output voltage, V_{OH}	5.5 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/2.5.1-9: Maximaal toegelaten waarden.

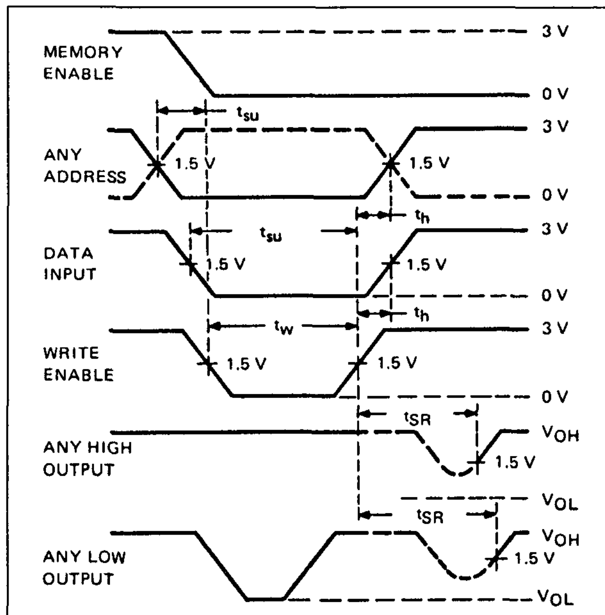


Figuur 8/2.5.1-10: Golfvormen bij het uitlezen van de 7489.

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, V_{OH} = 5.5 V			20	µA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 12 mA			0.4	V
		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA			0.45	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			40	µA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−1.6	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 3		75	105	mA
C_o	Off-state output capacitance	V_{CC} = 5 V, V_O = 2.4 V, f = 1 MHz		6.5		pF
t_{PLH}	Propagation delay time, low-to-high-level output from memory enable	C_L = 30 pF, R_{L1} = 300 Ω, R_{L2} = 600 Ω, See Figure 1		26	50	ns
t_{PHL}	Propagation delay time, high-to-low-level output from memory enable			33	50	ns
t_{PLH}	Propagation delay time, low-to-high-level output from any address input			30	60	ns
t_{PHL}	Propagation delay time, high-to-low-level output from any address input			35	60	ns
t_{SR}	Sense recovery time after writing, output initially high			39	70	ns
	Sense recovery time after writing, output initially low			48	70	ns

Tabel 8/2.5.1-10: Elektrische kenmerken en schakeltijden van de 7489.

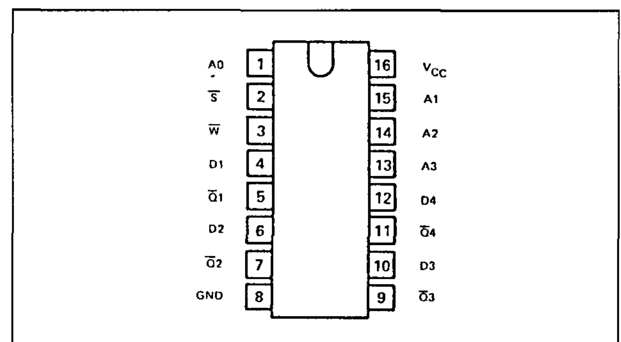
2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.1-11: Golfvormen bij het schrijven in de 7489 (zie ook tabel 8/2.5.1-10).

Specificaties

- 16 x 4-bit organisatie
- inverterende tri-state uitgangen
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- korte toegangstijd: LS: 50 ns, S: 25 ns, F: 12 ns typ.
- fabrikanten:
  Texas Instruments: 74LS189A en 74S189A
  AMD: 74S189
  Philips: 74S189 en 74F189A
  Fairchild: 74F189
  NatSemi: 74S189 en 74LS189A



Figuur 8/2.5.1-12: Aansluitgegevens van de 74189.

74189

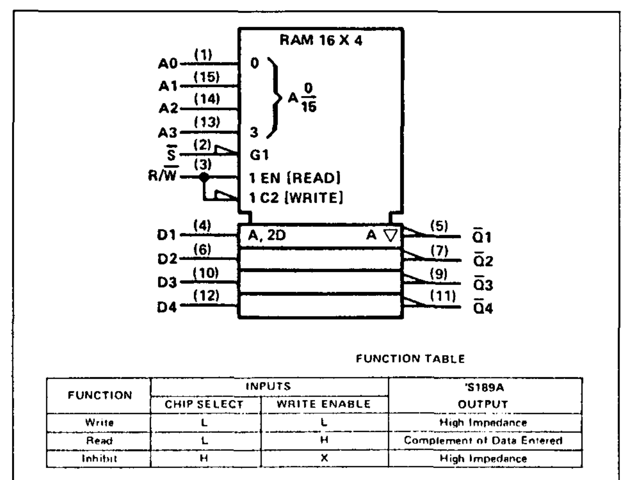
64-bit RAM, 16 x 4

De 74189 is een 64-bit rondom-toegankelijk lees/schrijf geheugen, georganiseerd als 16 woorden van 4 bit. De tri-state uitgangen zijn inverterend. Door de op de chip aanwezige 1-uit-16 decodering kan de adressering binair zijn. De 74189A is leverbaar in LS- en S-uitvoering en bij sommige merken zelfs als F-versie. De 74S189A en 74F189 nemen bij een voedingsspanning van 5 V ongeveer 75 mA typ. op, tegen slechts 35 mA van de 74LS189A. De S-versie is echter twee maal zo snel en de F-versie zelfs vijf maal. De hier opgenomen gegevens hebben verder betrekking op de LS-uitvoering.

De op de data-ingangen aanwezige informatie wordt op de gekozen lokatie geschreven door zowel $\overline{S}$ als R/$\overline{W}$ LAAG te maken.

Bovendien worden de uitgangen hoogimpedant als R/$\overline{W}$ LAAG is.

De (geïnverteerde) inhoud van het geheugen kan worden uitgelezen door $\overline{S}$ LAAG en R/$\overline{W}$ HOOG te maken.



FUNCTION	INPUTS		'S189A
	CHIP SELECT	WRITE ENABLE	OUTPUT
Write	L	L	High Impedance
Read	L	H	Complement of Data Entered
Inhibit	H	X	High Impedance

Figuur 8/2.5.1-13: Logisch symbool en waarheidstabel van de 74189.

2.5 Type-beschrijving bipolaire RAM's

		SN74LS189A, MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output current, I_{OH}				−2.6	mA
Low-level output current, I_{OL}				24	mA
Width of write pulse (write enable low), $t_{w(wr)}$		70			ns
Setup time	Address before write pulse, $t_{su(ad)}$	0↓			ns
	Data before end of write pulse, $t_{su(da)}$	60↑			ns
	Chip-select before end of write pulse, $t_{su(S)}$	60↑			ns
Hold time	Address after write pulse, $t_{h(ad)}$	0↑			ns
	Data after write pulse, $t_{h(da)}$	0↑			ns
	Chip-select after write pulse, $t_{h(S)}$	0↑			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-11: Aanbevolen bedrijfscondities voor de 74LS189A.

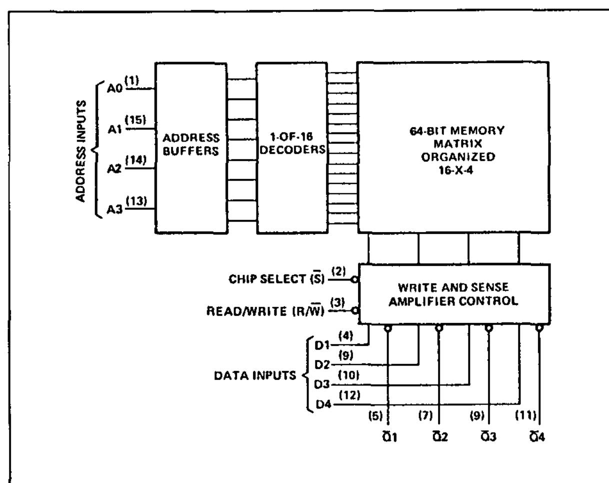
PARAMETER		TEST CONDITIONS†		SN74LS189A MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max, I_{OH} = MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max, V_O = 2.7 V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max, V_O = 0.4 V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			35	60	mA

Tabel 8/2.5.1-12: Elektrische kenmerken van de 74LS189A.

PARAMETER			TEST CONDITIONS	SN74LS189A, TYP‡	MAX	UNIT
$t_{a(ad)}$	Access time from address		C_L = 45 pF, See Note 3	50	80	ns
$t_{a(S)}$	Access time from chip select (enable time)		(see above)	35	60	ns
t_{SR}	Sense recovery time		(see above)	55	90	ns
t_{PXZ}	Disable time from high or low level	from $\overline{S}$	C_L = 5 pF, See Note 3	30	50	ns
		from R/$\overline{W}$	(see above)	40	60	ns

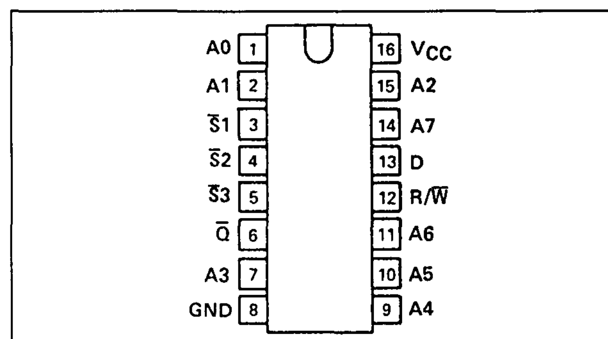
Tabel 8/2.5.1-13: Schakeltijden van de 74LS189A.

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.1-14: Logisch schema van de 74189.

– fabrikanten: Texas Instruments en Philips: 74S201



Figuur 8/2.5.1-15: Aansluitgegevens van de 74S201.

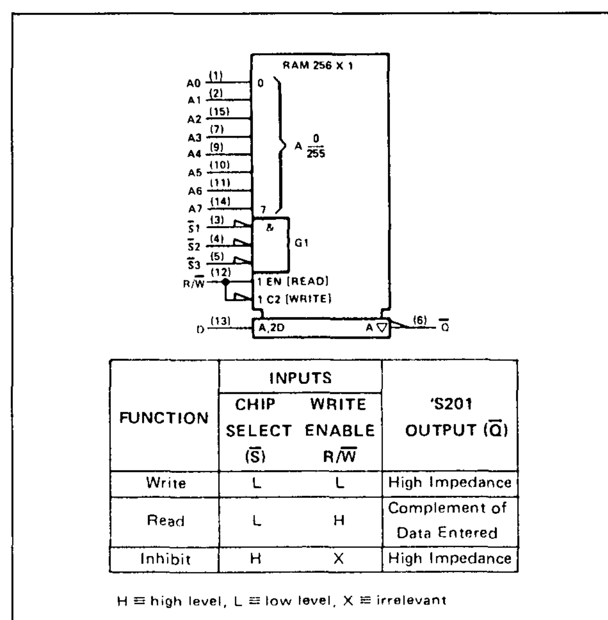
74201

256-bit RAM, 256 x 1

De 74201 is een 256-bit vrij toegankelijk lees/beschrijfbaar geheugen met een organisatie van 256 woorden van 1 bit. De RAM is leverbaar in S-uitvoering: de 74S201 heeft een inverterende tri-state data-uitgang. Alle adressen zijn volledig gedecodeerd en hebben een drievoudige chip-select, waardoor toepassing in uitgebreide omgevingen eenvoudiger is.

De aanwezige informatie wordt op de gekozen lokatie geschreven door alle chip-selects S̄1, S̄2, S̄3 en de write-enable R/W̄ LAAG te maken. De uitgang wordt hoog-impedant als R/W̄ LAAG is.

De (geïnverteerde) inhoud van het geheugen kan worden uitgelezen door de drie chip-selects LAAG en R/W̄ HOOG te maken. Is één (of meer) van de chip-selects HOOG dan is de data-uitgang hoog-impedant.



FUNCTION	INPUTS		'S201 OUTPUT (Q̄)
	CHIP SELECT (S̄)	WRITE ENABLE R/W̄	
Write	L	L	High Impedance
Read	L	H	Complement of Data Entered
Inhibit	H	X	High Impedance

H ≡ high level, L ≡ low level, X ≡ irrelevant

Figuur 8/2.5.1-16: Logisch symbool en waarheidstabel van de 74S201.

Specificaties

- 256 x 1-bit organisatie
- inverterende tri-state uitgang
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- korte toegangstijd: 42 ns
- ingangen compatibel met TTL en I^2L
- uitgebreide chip-select

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Off-State output voltage	5.5 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	–65°C to 150°C

Tabel 8/2.5.1-14: Maximaal toegelaten waarden.

2.5 Type-beschrijving bipolaire RAM's

		SN74S201 MIN	SN74S201 NOM	SN74S201 MAX	UNIT
Supply Voltage, V_{CC} (see Note 1)		4.75	5	5.25	V
High-level output voltage, V_{OH}					V
High-level output current, I_{OH}				−10.3	mA
Low-level output current, I_{OL}				16	mA
Width of write pulse (write enable low), $t_{w(wr)}$		65			ns
Setup time	Address before write pulse, $t_{su(ad)}$	0↓			ns
	Data before end of write pulse, $t_{su(da)}$	65↑			
	Chip-select before end of write pulse, $t_{su(\overline{S})}$	65↑			
Hold time	Address after write pulse, $t_{h(ad)}$	0↑			ns
	Data after write pulse, $t_{h(da)}$	0↑			
	Chip-select after write pulse, $t_{h(\overline{S})}$	0↑			
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-15: Aanbevolen bedrijfscondities voor de 74S201.

PARAMETER		TEST CONDITIONS†	'S201 MIN	'S201 TYP	'S201 MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.2	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = MAX	2.4			V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V,			0.45	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V; V_O = 2.4 V				μA
		V_O = 5.5 V				
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = 0.8 V, V_{OH} = 2.4 V			40	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = 0.8 V, V_{OL} = 0.5 V			−40	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V			25	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.5 V			−250	μA
I_{OS}	Short-circuit output current §	V_{CC} = MAX	−30		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2		100	140	mA
$t_{a(ad)}$	Access time from address			42	65	ns
$t_{a(S)}$	Access time from chip select (select time)			13	30	ns
t_{SR}	Sense recovery time			20	40	ns
t_{PXZ}	Disable time from high or low level	From $\overline{S}$; From R/$\overline{W}$		9	20	ns

Tabel 8/2.5.1-16: Elektrische kenmerken en schakeltijden bij 25 °C van de 74S201.

74211

144-bit RAM, 16 x 9

De 74211 is een 144-bit rondom toegankelijk lees/schrijf geheugen, georganiseerd in 16 woorden van elk 9 bit. De RAM is alleen leverbaar in FAST-uitvoering: de 74F211.

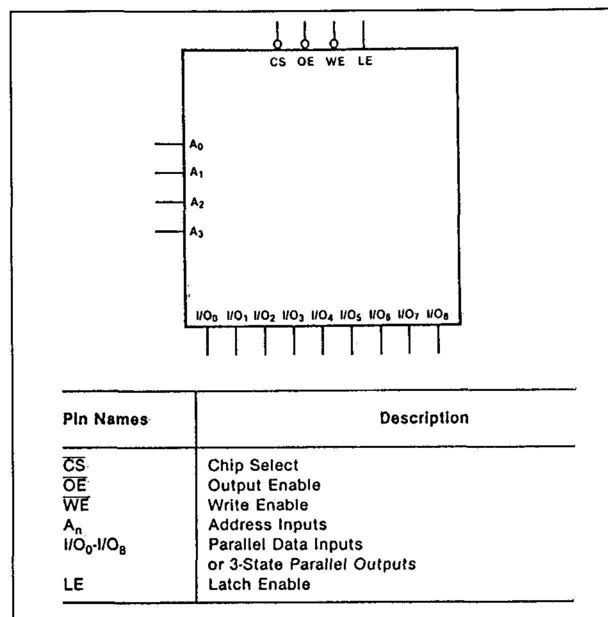
De 74F211 bevat uitgangslatches die met het Latch Enable signaal transparant kunnen worden (LE = HOOG).

De ingangen zijn gebufferd om de belasting klein te houden en de tri-state uitgangen zijn alleen in de leesmode aktief als Chip Select

2.5 Type-beschrijving bipolaire RAM's

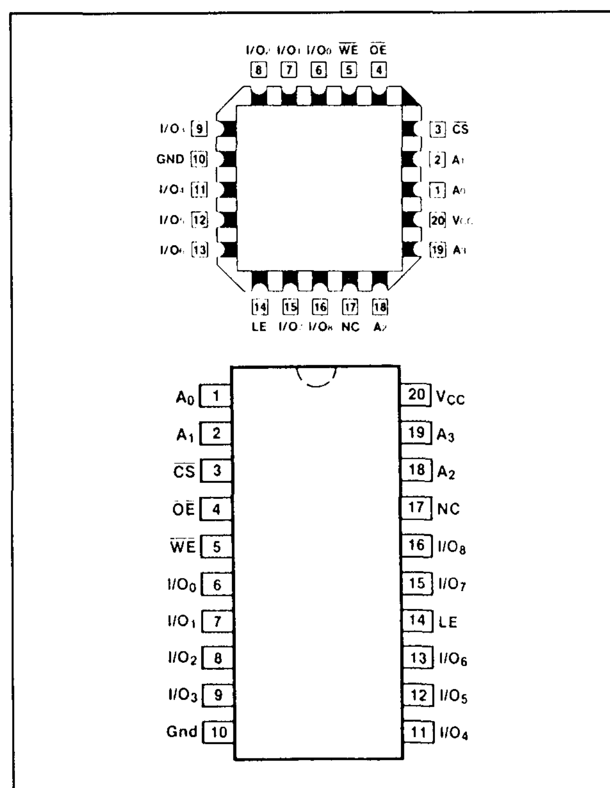
$\overline{CS}$ en Output Enable $\overline{OE}$ beide LAAG zijn en Write Enable $\overline{WE}$ HOOG.
Anders zijn de uitgangen zwevend (hoog-impedant).

Specificaties
- 16 x 9-bit organisatie
- gecombineerde in/uitgangen
- gebufferde ingangen
- tri-state uitgangen voor bus-toepassingen
- volledig gedecodeerde adressering
- toegangstijd: 15 ns typ.
- chip select toegangstijd: 8 ns typ.
- behuizingen: 20-pens DIP, SOIC, LCC of PCC
- fabrikant: Fairchild (NatSemi)

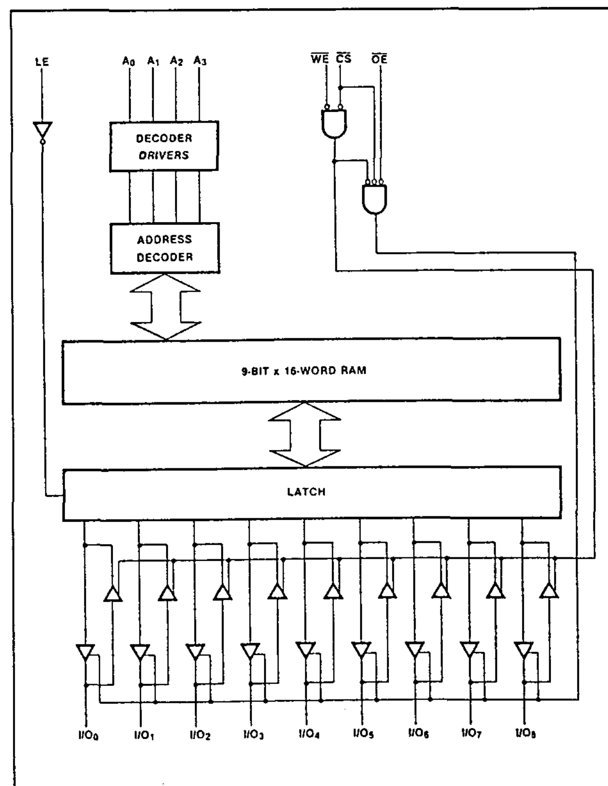


Pin Names	Description
$\overline{CS}$	Chip Select
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
A_n	Address Inputs
I/O_0-I/O_8	Parallel Data Inputs or 3-State Parallel Outputs
LE	Latch Enable

Figuur 8/2.5.1-18: Logisch symbool en penbenamingen van de 74F211.



Figuur 8/2.5.1-17: Aansluitgegevens van DIL en SOIC, LCC en PCC uitvoering van de 74F211.



Figuur 8/2.5.1-19: Blokschema (positieve logika) van de 74F211.

2.5 Type-beschrijving bipolaire RAM's

Inputs				Operation	Output
$\overline{CS}$	$\overline{WE}$	$\overline{OE}$	LE		
H	X	X	X	Inhibit	High Impedance
L	L	X	X	Write	High Impedance
L	H	H	X	Read	High Impedance
L	H	L	L	Read	Contents of Latch Buffers
L	H	L	H	Read	Contents of Memory Location Addressed

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Tabel 8/2.5.1-17: Waarheidstabel van de 74F211.

Symbol	Parameter	54F/74F $T_A = +25°C$ $V_{CC} = +5.0$ V $C_L = 50$ pF Min	Typ	Max	Units
t_{PLH} t_{PHL}	Propagation Delay A_n to O_n			21.0 28.0	ns
t_{PLH} t_{PHL}	Propagation Delay LE to O_n			16.0 12.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{CS}$ to O_n			13.0 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{CS}$ to O_n			11.0 11.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{OE}$ to O_n			13.0 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{OE}$ to O_n			11.0 11.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{WE}$ to O_n			16.0 16.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{WE}$ to O_n			13.0 13.0	ns

Tabel 8/2.5.1-18: Schakeltijden in de 74F211.

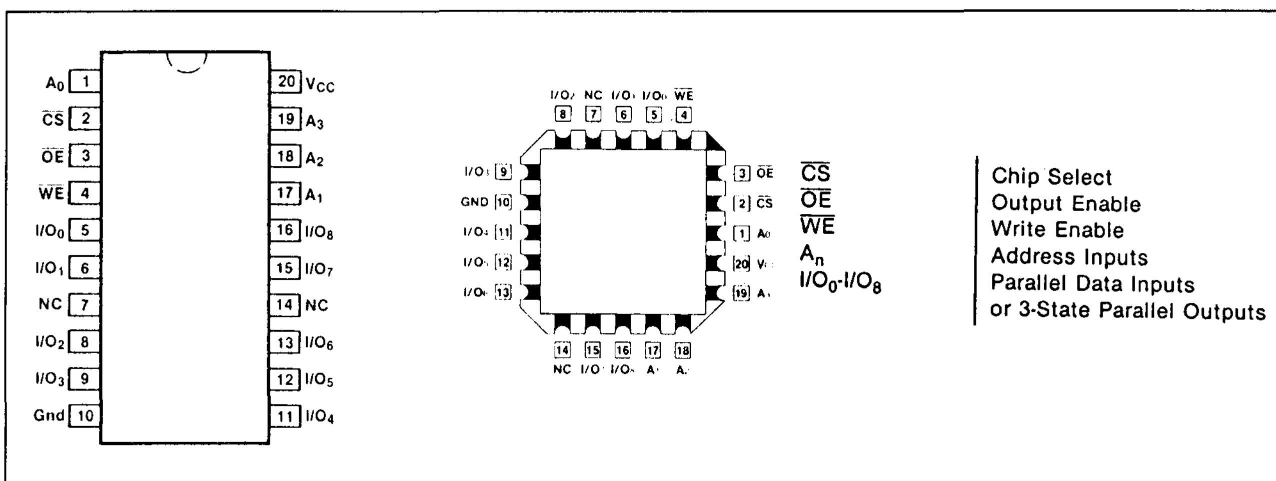
74212

144-bit RAM, 16 x 9

De 74212 is een 144-bit rondom toegankelijk lees/schrijf geheugen met een 16 x 9 bit organisatie. Ook dit RAM is alleen leverbaar in FAST-uitvoering: 74F212. De adres-ingangen zijn gebufferd voor een minimale belasting. De 3-state uitgangsbuffers zijn alleen aktief in de leesmode: als Chip Select ($\overline{CS}$) en Output Enable ($\overline{OE}$) LAAG zijn en Write Enable ($\overline{WE}$) HOOG is. In alle andere gevallen zijn ze hoog-impedant.

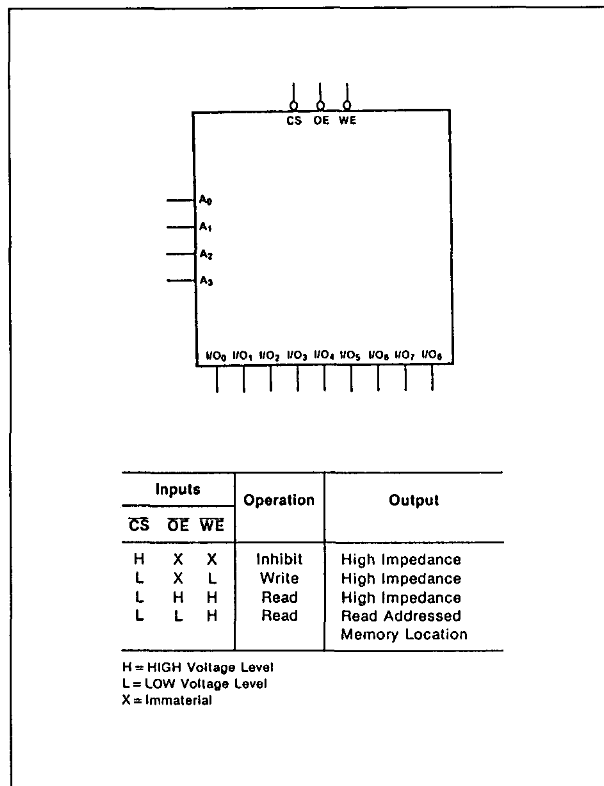
Specificaties

- 16 x 9-bit organisatie
- gecombineerde data-in/uitgangen
- gebufferde ingangen
- tri-state uitgangen voor bus-toepassingen
- volledig gedecodeerde adressering
- toegangstijd: 15 ns typ.
- chip select toegangstijd: 8 ns typ.
- behuizingen: 20-pens DIP, SOIC, LCC en PCC
- fabrikant: Fairchild (NatSemi)



Figuur 8/2.5.1-20: Aansluitgegevens van DIL, SOIC, LCC en PCC uitvoering van de 74F212.

2.5 Type-beschrijving bipolaire RAM's



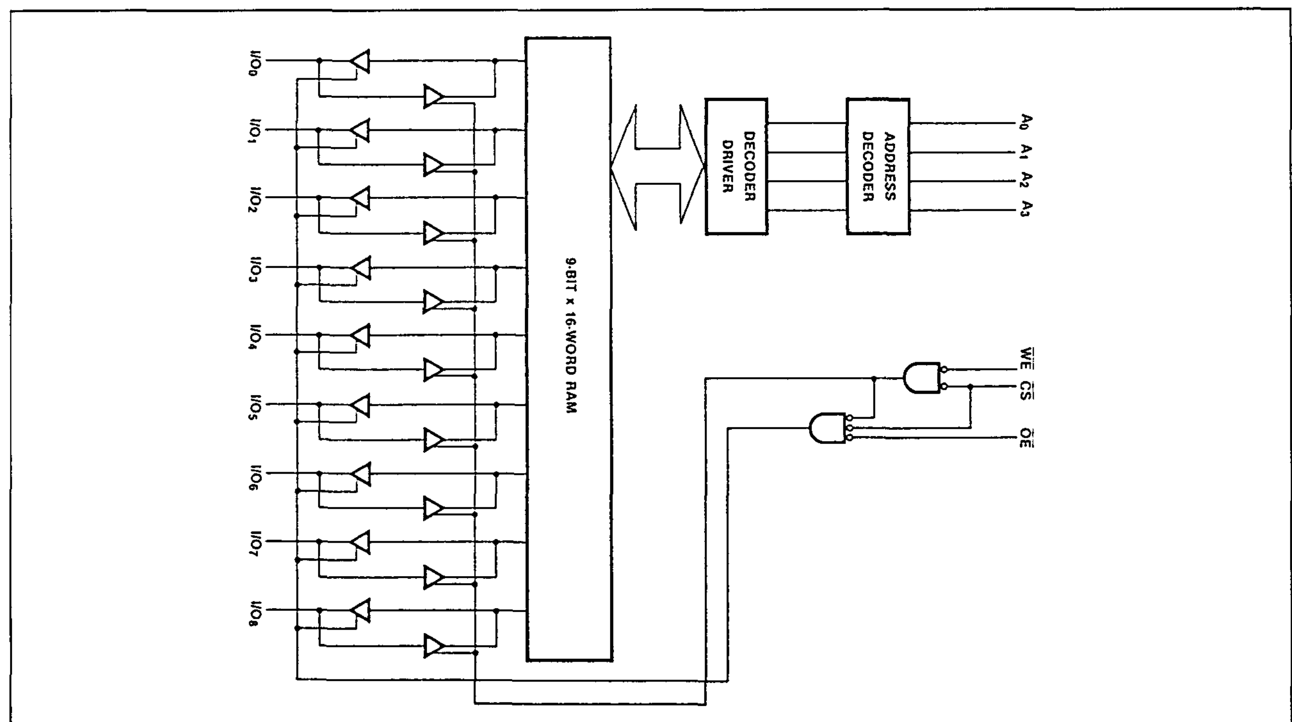
Inputs			Operation	Output
$\overline{CS}$	$\overline{OE}$	$\overline{WE}$		
H	X	X	Inhibit	High Impedance
L	X	L	Write	High Impedance
L	H	H	Read	High Impedance
L	L	H	Read	Read Addressed Memory Location

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Figuur 8/2.5.1-21: Logisch symbool en waarheidstabel van de 74F212.

Symbol	Parameter	54F/74F T_A = +25°C V_{CC} = +5.0 V C_L = 50 pF Min	Typ	Max	Units
t_{PLH} t_{PHL}	Propagation Delay A_n to O_n			21.0 28.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{CS}$ to O_n			13.0 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{CS}$ to O_n			11.0 11.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{OE}$ to O_n			13.0 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{OE}$ to O_n			11.0 11.0	ns
PZH PZL	Enable Time $\overline{WE}$ to O_n			16.0 16.0	ns
·PHZ t_{PLZ}	Disable Time $\overline{WE}$ to O_n			13.0 13.0	ns

Tabel 8/2.5.1-19: Schakeltijden van de 74F212.



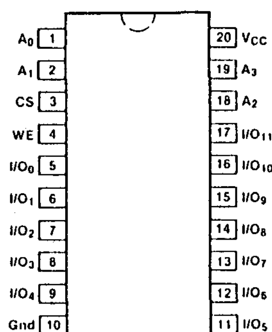
Figuur 8/2.5.1-22: Blokschema (positieve logika) van de 74F212.

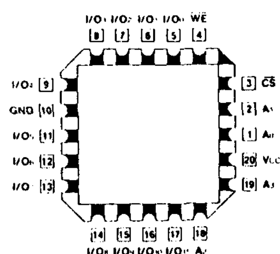
2.5 Type-beschrijving bipolaire RAM's

74213

192-bit RAM, 16 x 12

De 74213 is een 192-bit rondom toegankelijk geheugen met een 16 woorden x 12 bit organisatie. Deze RAM is ook alleen leverbaar in FAST-uitvoering: de 74F213. De adresingangen zijn gebufferd voor minimale belasting en bovendien volledig gedecodeerd. De uitgangsbuffers zijn alleen aktief bij uitlezen: wanneer de Chip Select ($\overline{CS}$) LAAG is en Write Enable ($\overline{WE}$) HOOG zijn. In alle andere gevallen zijn ze in de hoog-impedante toestand.



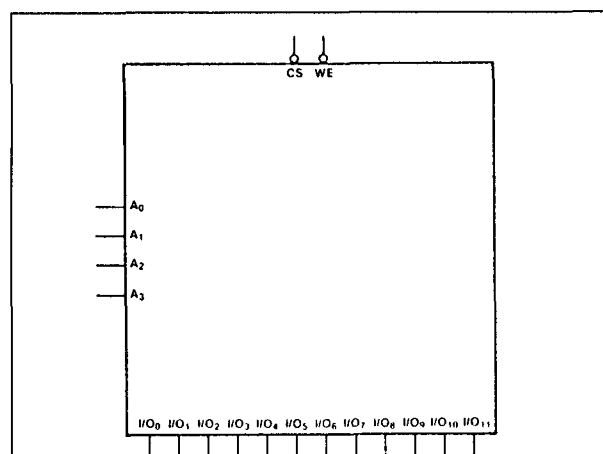


Pin Names	Description
$\overline{CS}$	Chip Select
$\overline{WE}$	Write Enable
A_n	Address Inputs
I/O_0-I/O_8	Parallel Data Inputs or 3-State Parallel Outputs

Figuur 8/2.5.1-23: Aansluitgegevens van DIL, SOIC, LCC en PCC uitvoering van de 74F213.

Specificaties

- 16 x 12-bit organisatie
- gecombineerde data-in/uitgangen
- gebufferde ingangen voor minimale belasting
- tri-state uitgangen voor bus-toepassingen
- volledig gedecodeerde adressering
- toegangstijd: 15 ns typ.
- chip select toegangstijd: 8 ns typ.
- behuizingen: 20-pens DIP, SOIC, LCC en PCC
- fabrikant: Fairchild (NatSemi)

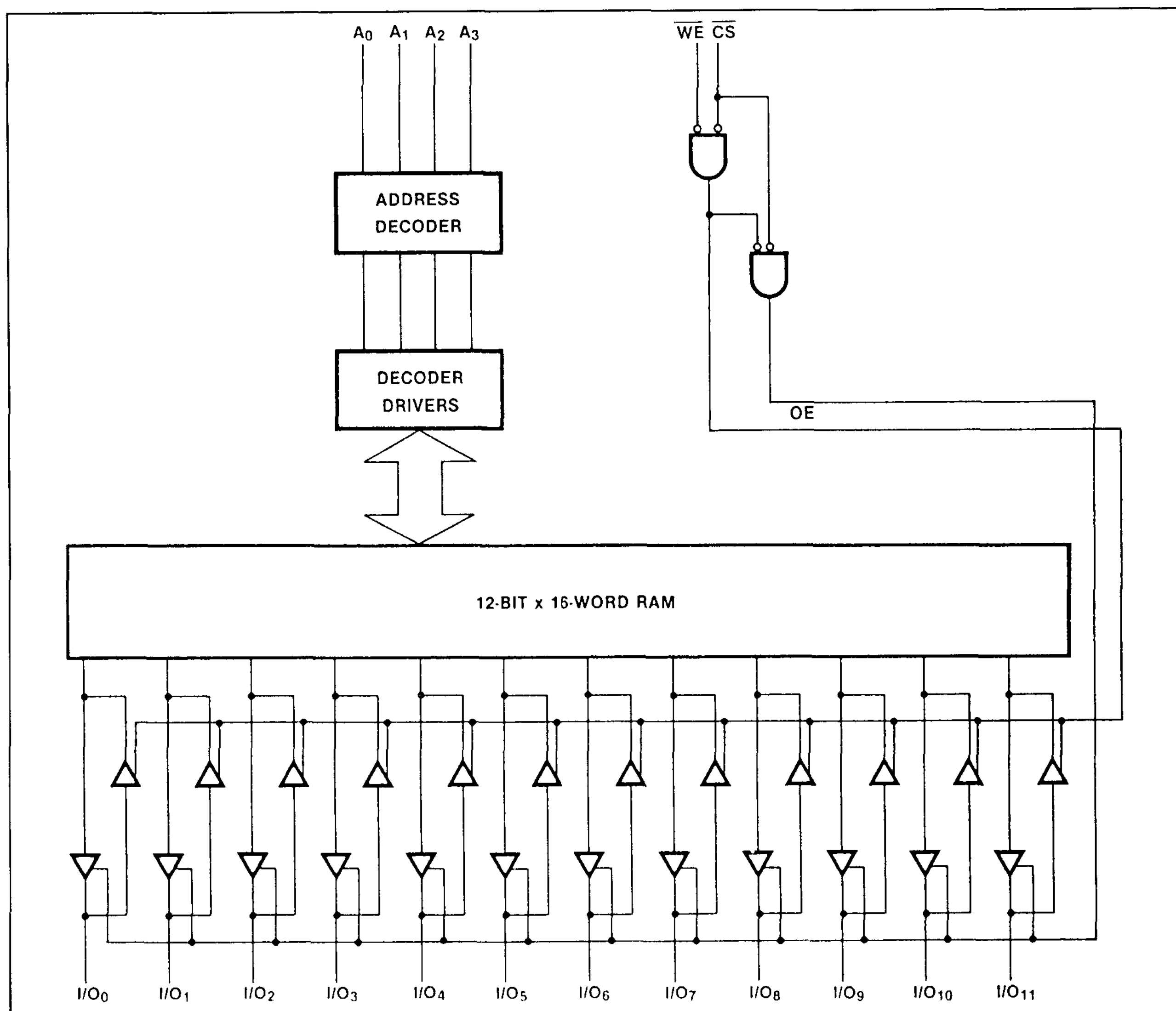


Function Table

Inputs		Operation	Output
$\overline{CS}$	$\overline{WE}$		
H	X	Inhibit	High Impedance
L	L	Write	High Impedance
L	H	Read	Read Addressed Memory Location

Figuur 8/2.5.1-24: Logisch symbool en waarheidstabel van de 74F213.

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.1-25: Blokschema (positieve logika) van de 74F213.

2.5 Type-beschrijving bipolaire RAM's

Symbol	Parameter	54F/74F $T_A = +25°C$ $V_{CC} = +5.0$ V $C_L = 50$ pF Min Typ Max	Units
t_{PLH} t_{PHL}	Propagation Delay A_n to O_n	21.0 28.0	ns
t_{PZH} t_{PZL}	Enable Time $\overline{CS}$ to O_n	13.0 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{CS}$ to O_n	11.0 11.0	
t_{PZH} t_{PZL}	Enable Time $\overline{WE}$ to O_n	16.0 16.0	ns
t_{PHZ} t_{PLZ}	Disable Time $\overline{WE}$ to O_n	13.0 13.0	

Tabel 8/2.5.1-20: Schakeltijden van de 74F213.

74219

64-bit RAM, 16 x 4

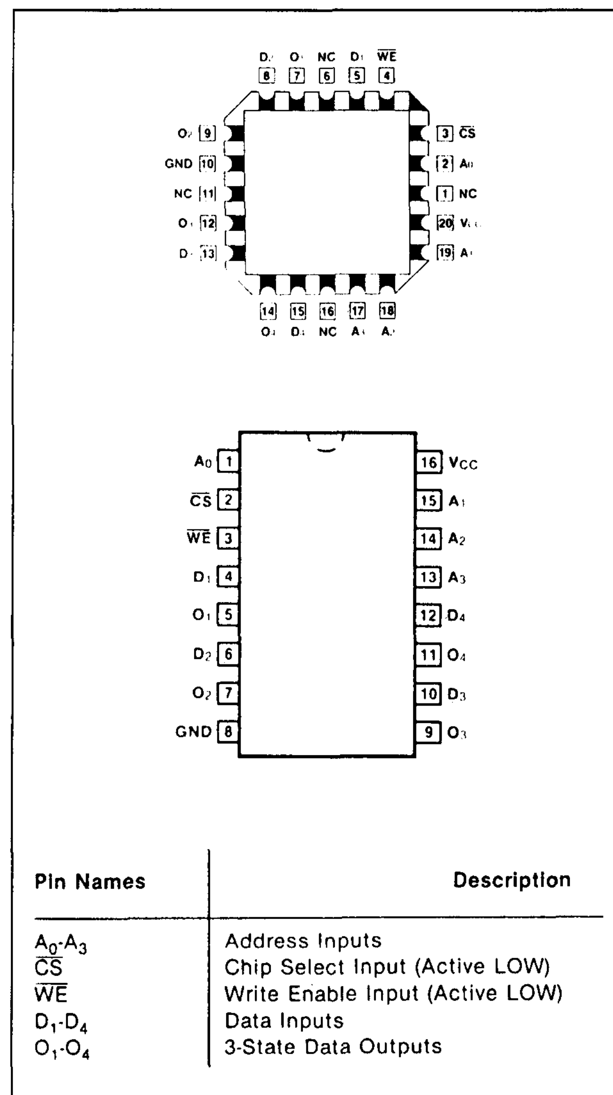
De 74219 is een 64-bit rondom-toegankelijk lees/schrijf geheugen, georganiseerd in 16 woorden van elk 4 bit. De tri-state uitgangen zijn, in tegenstelling tot de 74189, niet inverterend. Verder zijn de kenmerken hetzelfde. De op de chip aanwezige 1-uit-16 decodering maakt binaire adressering mogelijk. De 74219 is leverbaar in LS- en F-uitvoering. Het stroomverbruik van beide versies is ongeveer gelijk, maar de 74F219 is circa vijf maal zo snel als de 74LS219A.

De op de ingangen aanwezige data wordt op de gekozen lokatie geschreven door $\overline{S}$ en R/$\overline{W}$ beide LAAG te maken. Bovendien worden de uitgangen hoog-impedant als R/$\overline{W}$ LAAG is.

De inhoud van het geheugen kan worden uitgelezen door $\overline{S}$ LAAG en R/$\overline{W}$ HOOG te maken.

Specificaties

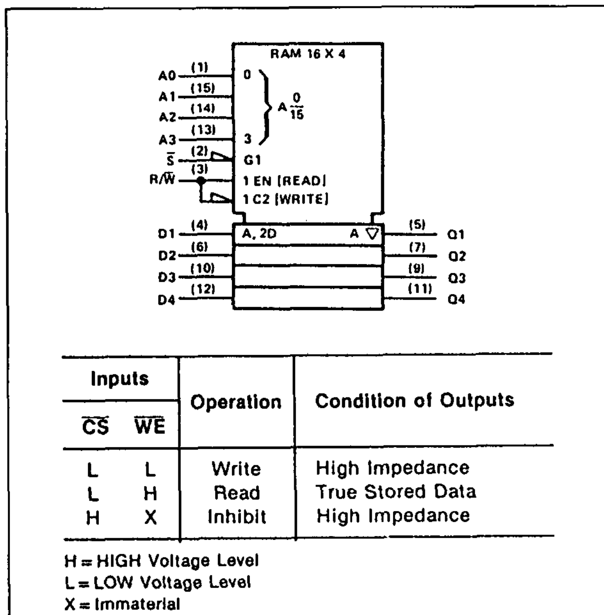
- 16 x 4-bit organisatie
- inverterende tri-state uitgangen
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- toegangstijd: LS: 50 ns, F: 18,5 ns typ.
- fabrikanten:
  Texas Instruments: 74LS219A
  Fairchild (NatSemi): 74F219



Pin Names	Description
A_0-A_3	Address Inputs
$\overline{CS}$	Chip Select Input (Active LOW)
$\overline{WE}$	Write Enable Input (Active LOW)
D_1-D_4	Data Inputs
O_1-O_4	3-State Data Outputs

Figuur 8/2.5.1-26: Aansluitgegevens van DIL, SOIC, LCC en PCC uitvoering van de 74219 (74LS219A alleen DIL).

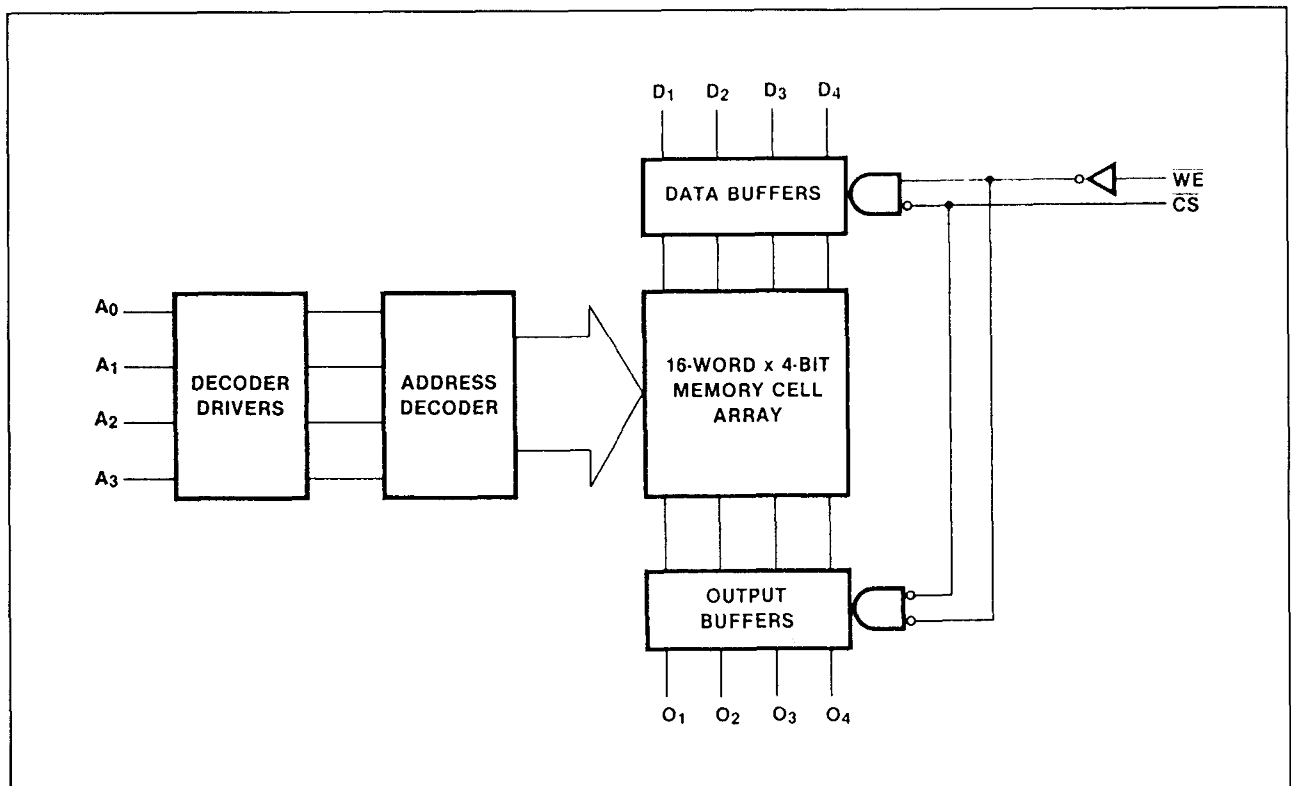
2.5 Type-beschrijving bipolaire RAM's



Inputs		Operation	Condition of Outputs
$\overline{CS}$	$\overline{WE}$		
L	L	Write	High Impedance
L	H	Read	True Stored Data
H	X	Inhibit	High Impedance

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Figuur 8/2.5.1-27: Logisch symbool en waarheidstabel van de 74219.



Figuur 8/2.5.1-28: Logisch schema van de 74219.

2.5 Type-beschrijving bipolaire RAM's

		SN74LS219A			UNIT
		MIN	NOM	MAX	
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output current, I_{OH}				−2.6	mA
Low-level output current, I_{OL}				24	mA
Width of write pulse (write enable low), $t_{w(wr)}$		70			
Setup time	Address before write pulse, $t_{su(ad)}$	0†			ns
	Data before end of write pulse, $t_{su(da)}$	60†			
	Chip-select before end of write pulse, $t_{su(S)}$	60†			
Hold time	Address after write pulse, $t_{h(ad)}$	0†			ns
	Data after write pulse, $t_{h(da)}$	0†			
	Chip-select after write pulse, $t_{h(S)}$	0†			
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-21: Aanbevolen bedrijfscondities voor de 74LS219A.

PARAMETER		TEST CONDITIONS†		SN74LS219A			UNIT
				MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max, I_{OH} = MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max, V_O = 2.7 V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max, V_O = 0.4 V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			35	60	mA

Tabel 8/2.5.1-22: Elektrische kenmerken van de 74LS219A.

PARAMETER			SN74LS219A		UNIT
			TYP‡	MAX	
$t_{a(ad)}$	Access time from address		50	80	ns
$t_{a(S)}$	Access time from chip select (enable time)		35	60	ns
t_{SR}	Sense recovery time		55	90	ns
t_{PXZ}	Disable time from high or low level	from $\bar{S}$	30	50	ns
		from R/$\overline{W}$	40	60	

Tabel 8/2.5.1-23: Schakeltijden van de 74LS219A.

2.5 Type-beschrijving bipolaire RAM's

Symbol	Parameter	54F/74F $T_A = +25°C$ $V_{CC} = +5.0\,V$ $C_L = 50\,pF$ Min	Typ	Max	Units
t_{PLH} t_{PHL}	Access Time, HIGH or LOW A_n to O_n	11.0 8.0	18.5 13.5	26.0 19.0	ns
t_{PZH} t_{PZL}	Access Time, HIGH or LOW $\overline{CS}$ to O_n	3.5 5.0	6.0 9.0	8.5 13.0	ns
t_{PHZ} t_{PLZ}	Disable Time, HIGH or LOW $\overline{CS}$ to O_n	2.0 3.0	4.0 5.5	6.0 8.0	
t_{PZH} t_{PZL}	Write Recovery Time HIGH or LOW, $\overline{WE}$ to O_n	6.5 6.5	20.0 11.0	28.0 15.5	ns
t_{PHZ} t_{PLZ}	Disable time, HIGH or LOW $\overline{WE}$ to O_n	4.0 5.0	7.0 9.0	10.0 13.0	

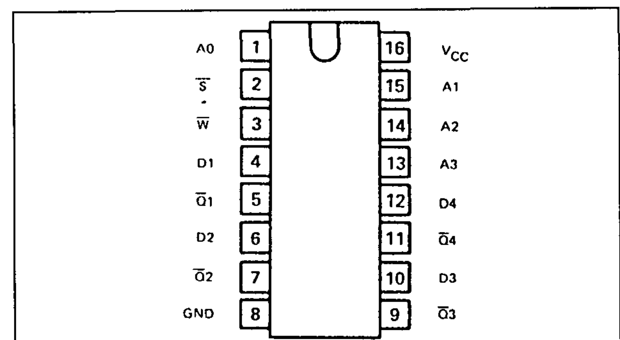
Tabel 8/2.5.1-24: Schakeltijden van de 74F219.

74289

64-bit RAM, 16 x 4

De 74289 is een 64-bit vrij toegankelijk lees/schrijf geheugen met een organisatie in 16 woorden van 4 bit. De RAM heeft inverterende open-collector uitgangen en beschikt over een 1-uit-16 adresdecodering voor direkte binaire adressering. De 74289 is leverbaar in een LS- en S-uitvoering. De 74S289A verbruikt bij 5 V voedingsspanning 75 mA typ. en de 74LS289A circa 35 mA. De S-versie is echter tweemaal zo snel. De hier vermelde gegevens hebben betrekking op de LS-uitvoering.

Informatie die op de data-ingangen aanwezig is wordt in het gekozen adres opgeslagen door zowel $\overline{S}$ als R/$\overline{W}$ LAAG te maken. De uitgangen worden afgeschakeld (= HOOG) als R/$\overline{W}$ LAAG is. De (geïnverteerde) inhoud van het geheugen verschijnt op de uitgangen door $\overline{S}$ LAAG en R/$\overline{W}$ HOOG te maken. Wanneer $\overline{S}$ HOOG is, zijn de uitgangen afgeschakeld (= HOOG).



Figuur 8/2.5.1-29: Aansluitgegevens van de 74289.

Specificaties

- 16 x 4-bit organisatie
- inverterende open-collector uitgangen
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- korte toegangstijd: LS: 50 ns, S: 25 ns typ.
- fabrikanten: Texas Instruments, AMD, NatSemi, Signetics

2.5 Type-beschrijving bipolaire RAM's

		SN74LS289A,			UNIT
		MIN	NOM	MAX	
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5	V
Low-level output current, I_{OL}				24	mA
Width of write pulse (write enable low), $t_{w(wr)}$		70			ns
Setup time	Address before write pulse, $t_{su(ad)}$	0↑			ns
	Data before end of write pulse, $t_{su(da)}$	60↑			ns
	Chip-select before end of write pulse, $t_{su(S)}$	60↑			ns
Hold time	Address after write pulse, $t_{h(ad)}$	0↑			ns
	Data after write pulse, $t_{h(da)}$	0↑			ns
	Chip-select after write pulse, $t_{h(S)}$	0↑			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-25: Aanbevolen bedrijfscondities van de 74LS289A.

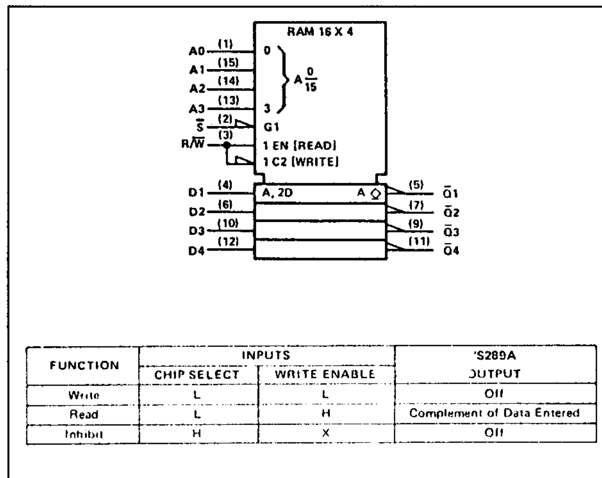
PARAMETER		TEST CONDITIONS†		SN74LS289A,			UNIT
				MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max,	V_O = 2.4 V			20	μA
			V_O = 5.5 V			100	μA
V_{OL}	*Low-level output voltage*	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			35	60	mA

Tabel 8/2.5.1-26: Elektrische kenmerken (bij 25 °C) van de 74LS289A.

PARAMETER			TEST CONDITIONS	SN74LS289A,		UNIT
				TYP‡	MAX	
$t_{a(ad)}$	Access time from address		C_L = 45 pF, R_L = 667 Ω, See Note 3	50	80	ns
$t_{a(S)}$	Access time from chip select (enable time)			35	60	ns
t_{SR}	Sense recovery time			55	90	ns
t_{PLH}	Propagation delay time, low-to-high-level output (disable time)	from $\overline{S}$		30	50	ns
		from R/$\overline{W}$		40	60	ns

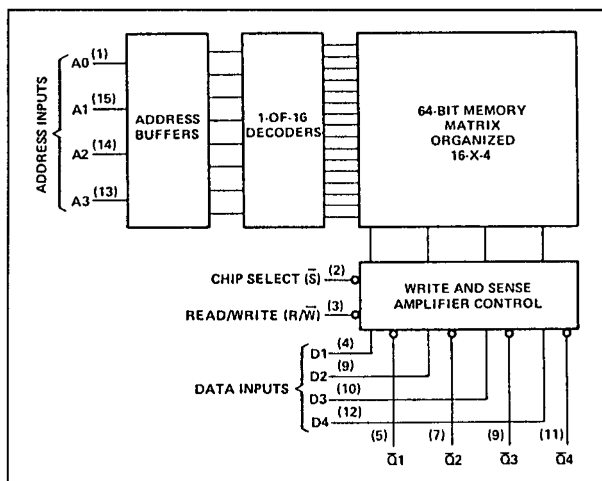
Tabel 8/2.5.1-27: Schakeltijden van de 74LS289A.

2.5 Type-beschrijving bipolaire RAM's



FUNCTION	INPUTS		'S289A OUTPUT
	CHIP SELECT	WRITE ENABLE	
Write	L	L	Off
Read	L	H	Complement of Data Entered
Inhibit	H	X	Off

Figuur 8/2.5.1-30: Logisch symbool en waarheidstabel van de 74289.



Figuur 8/2.5.1-31: Logisch schema van de 74289.

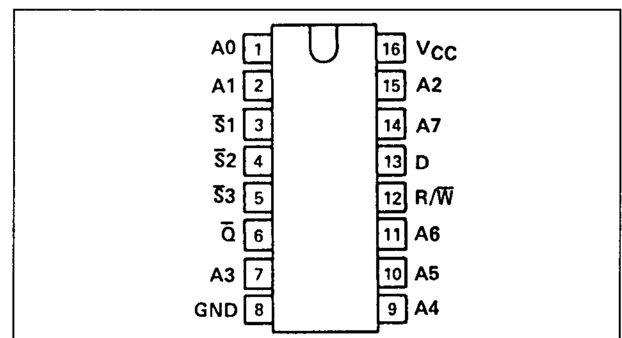
74301

256-bit RAM, 256 x 1

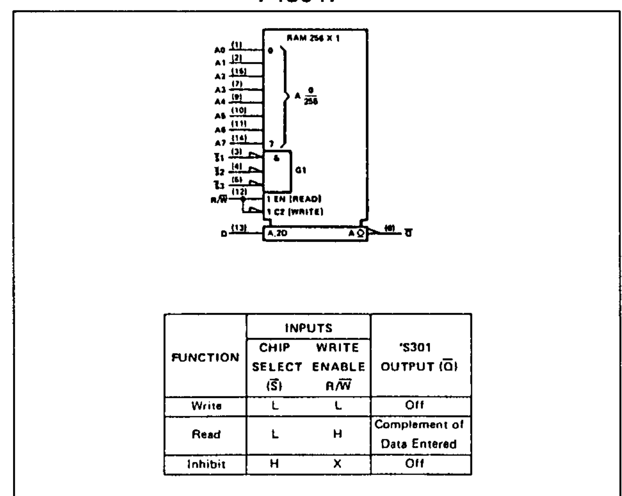
De 74301 is een 256-bit vrij toegankelijk lees/schrijf geheugen met een 256 woorden x 1 bit organisatie. Deze RAM is verkrijgbaar in LS- en S-uitvoering en heeft een inverterende open-collector uitgang. Alle adressen zijn volledig binair gedecodeerd. Door de drievoudige chip-select is toepassing in uitgebreide omgevingen eenvoudig.
De aanwezige informatie wordt op het gekozen adres geschreven door alle drie chip-selects S̄1, S̄2, S̄3 en de write-enable R/W̄ LAAG te maken. De uitgang wordt afgeschakeld (= HOOG) als R/W̄ LAAG is.
De (geïnverteerde) inhoud van het geheugen kan worden uitgelezen door de drie chip-selects LAAG en R/W̄ HOOG te maken. Als één (of meer) van de chip-selects HOOG is, is de data-uitgang afgeschakeld (= HOOG).

Specificaties

- 256 x 1-bit organisatie
- inverterende open-collector uitgang
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- korte toegangstijd: 42 ns
- ingangen compatibel met TTL en I^2L
- uitgebreide chip-select
- fabrikanten: Texas Instruments en Philips



Figuur 8/2.5.1-32: Aansluitgegevens van de 74301.



FUNCTION	INPUTS		'S301 OUTPUT (Q̄)
	CHIP SELECT (S̄)	WRITE ENABLE R/W̄	
Write	L	L	Off
Read	L	H	Complement of Data Entered
Inhibit	H	X	Off

Figuur 8/2.5.1-33: Logisch symbool en waarheidstabel van de 74301.

2.5 Type-beschrijving bipolaire RAM's

		SN74S301 MIN	SN74S301 NOM	SN74S301 MAX	UNIT
Supply Voltage, V_{CC} (see Note 1)		4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5	V
High-level output current, I_{OH}					mA
Low-level output current, I_{OL}				16	mA
Width of write pulse (write enable low), $t_{w(wr)}$		65			ns
Setup time	Address before write pulse, $t_{su(ad)}$	0↓			ns
	Data before end of write pulse, $t_{su(da)}$	65↑			
	Chip-select before end of write pulse, $t_{su(\overline{S})}$	65↑			
Hold time	Address after write pulse, $t_{h(ad)}$	0↑			ns
	Data after write pulse, $t_{h(da)}$	0↑			
	Chip-select after write pulse, $t_{h(\overline{S})}$	0↑			
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-28: Aanbevolen bedrijfscondities voor de 74S301.

PARAMETER		TEST CONDITIONS†			'S301 MIN	'S301 TYP	'S301 MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA				−1.2	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = 08 V,	V_{IH} = 2 V, I_{OH} = MAX					V
V_{OL}	Low-level output voltage	V_{CC} = MIN,	V_{IH} = 2 V,				0.45	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IL} = 0.8 V	V_{IH} = 2 V,	V_O = 2.4 V			40	μA
				V_O = 5.5 V			100	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IL} = 0.8 V,	V_{IH} = 2 V, V_{OH} = 2.4 V					μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IL} = 0.8 V,	V_{IH} = 2 V, V_{OL} = 0.5 V					μA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V				25	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.5 V				−250	μA
I_{OS}	Short-circuit output current §	V_{CC} = MAX						mA
I_{CC}	Supply current	V_{CC} = MAX,	See Note 2			100	140	mA
$t_{a(ad)}$	Access time from address					42	65	ns
$t_{a(S)}$	Access time from chip enable (enable time)					13	30	ns
t_{SR}	Sense recovery time					20	40	ns
t_{PLH}	Propagation delay time, low-to-high-level output (disable time)	From $\overline{S}$				8	20	ns
		From R/$\overline{W}$				15	35	

Tabel 8/2.5.1-29: Elektrische kenmerken en schakeltijden bij 25 °C van de 74S301.

74319

64-bit RAM, 16 x 4

De 74319 is een 64-bit rondom toegankelijk lees/schrijf geheugen, georganiseerd in 16 woorden van elk 4 bit. De open-collector uitgangen zijn niet inverterend (zoals bij de 74289). Binaire adressering is mogelijk door de op de chip aanwezige 1-uit-16 decodering. De 74319 is alleen leverbaar in LS-uitvoering: 74LS319A.

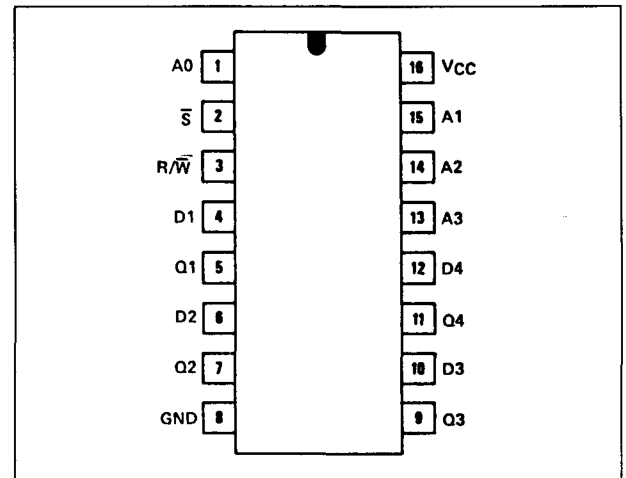
De op de data-ingangen aanwezige informatie wordt in de gekozen lokatie geschreven

2.5 Type-beschrijving bipolaire RAM's

door $\overline{S}$ en R/$\overline{W}$ beide LAAG te maken. Bovendien worden de uitgangen afgeschakeld (= HOOG) als R/$\overline{W}$ LAAG is.
De inhoud van het geheugen kan worden uitgelezen door $\overline{S}$ LAAG en R/$\overline{W}$ HOOG te maken.

Specificaties

- 16 x 4-bit organisatie
- open-collector uitgangen
- volledig gedecodeerde adressering
- diode-geclampte ingangen voor hoge snelheid
- toegangstijd: 50 ns
- fabrikant: Texas Instruments



Figuur 8/2.5.1-34: Aansluitgegevens van de 74LS319A.

		SN74LS319A MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5	V
Low-level output current, I_{OL}				24	mA
Width of write pulse (write enable low), $t_{w(wr)}$		70			ns
Setup time	Address before write pulse, $t_{su(ad)}$	0†			ns
	Data before end of write pulse, $t_{su(da)}$	60†			ns
	Chip-select before end of write pulse, $t_{su(S)}$	60†			ns
Hold time	Address after write pulse, $t_{h(ad)}$	0†			ns
	Data after write pulse, $t_{h(da)}$	0†			ns
	Chip-select after write pulse, $t_{h(S)}$	0†			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/2.5.1-30: Aanbevolen bedrijfscondities voor de 74LS319A.

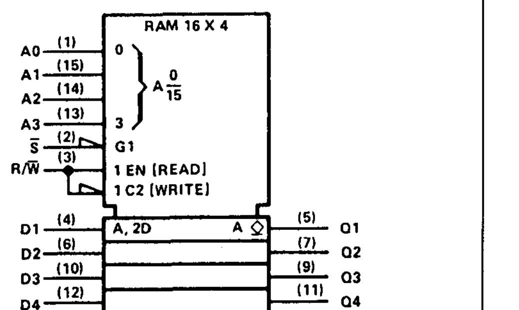
PARAMETER		TEST CONDITIONS†		SN74LS319A MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max,	V_O = 2.4 V			20	μA
			V_O = 5.5 V			100	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			35	60	mA

Tabel 8/2.5.1-31: Elektrische kenmerken van de 74LS319A.

2.5 Type-beschrijving bipolaire RAM's

PARAMETER			TEST CONDITIONS	SN74LS289A, SN74LS319A		UNIT
				TYP‡	MAX	
$t_{a(ad)}$	Access time from address		C_L = 45 pF, R_L = 667 Ω, See Note 3	50	80	ns
$t_{a(S)}$	Access time from chip select (enable time)			35	60	ns
t_{SR}	Sense recovery time			55	90	ns
t_{PLH}	Propagation delay time, low-to-high-level output (disable time)	from $\overline{S}$		30	50	ns
		from R/$\overline{W}$		40	60	

Tabel 8/2.5.1-32: Schakeltijden van de 74LS319A.



FUNCTION	INPUTS		OUTPUTS
	CHIP SELECT	WRITE ENABLE	'LS319A
Write	L	L	Off
Read	L	H	Data Entered
Inhibit	H	X	Off

Figuur 8/2.5.1-35: Logisch symbool en waarheidstabel van de 74LS319A.

8/2.5.2

Type-beschrijving 82xx-serie TTL

82S09, 82S09A

576-bit RAM

De 82S09(A) is een 576-bit rondom toegankelijk lees/schrijf geheugen, georganiseerd in 64 woorden van elk 9 bit. De RAM is dus geschikt voor opslag van een complete byte, inclusief pariteit. In plaats van pariteit kan de 9e bit ook de status of een ander merkteken voor het opgeslagen woord bevatten.
De 82S09(A) is alleen verkrijgbaar in S-versie en is voorzien van inverterende open-collector uitgangen en een Chip Enable ingang. Door de PNP ingangsstructuur wordt zeer weinig stroom opgenomen.

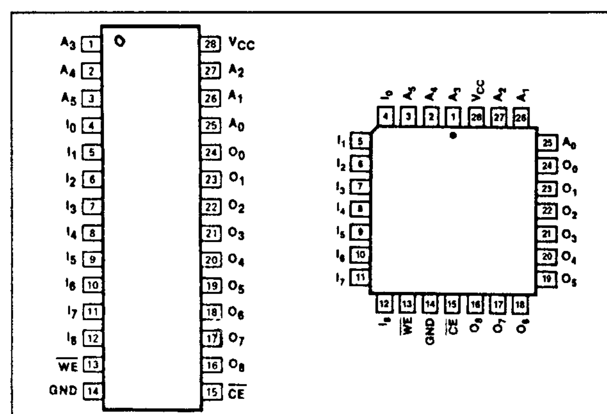
MODE	$\overline{CE}$	$\overline{WE}$	I_N	O_N
Read	0	1	X	Stored $\overline{Data}$
Write "0"	0	0	0	1
Write "1"	0	0	1	0
Disabled	1	X	X	1

X = Don't care

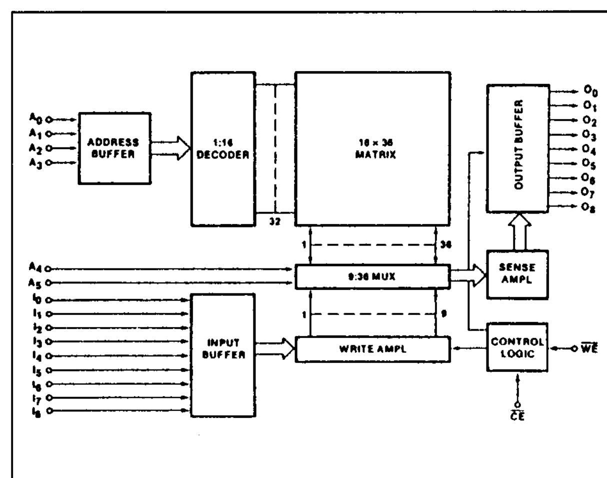
Tabel 8/2.5.2-1: Waarheidstabel van de 82S09(A).

Specificaties

- 64 x 9-bit organisatie
- gescheiden, gebufferde data-in/uitgangen
- inverterende open-collector uitgangen (wired-AND mogelijk)
- volledig TTL-compatibel
- volledig gedecodeerde adressering
- Chip Enable ingang
- Schottky geclampte ingangsstroom: 100 μA
- toegangstijd:
  82S09: 45 ns max.
  82S09A: 35 ns max.
- behuizingen: 28-pens plastic DIP of PCC
- fabrikant: Signetics (Philips): N82S09(A)



Figuur 8/2.5.2-1: Aansluitgegevens van de DIL- en PCC-uitvoering van de 82S09(A).

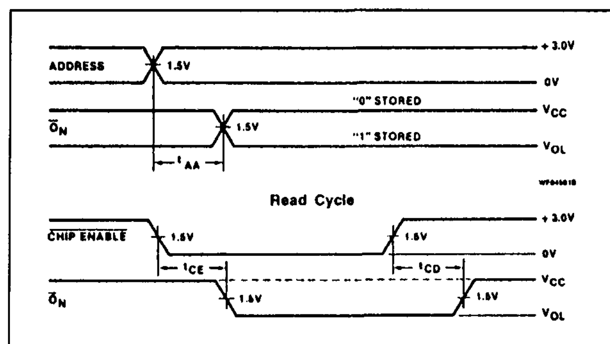


Figuur 8/2.5.2-2: Functioneel blokschema van de 82S09(A).

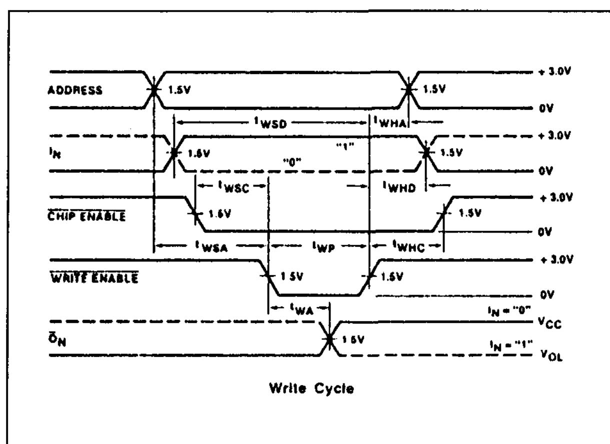
2.5 Type-beschrijving bipolaire RAM's

SYMBOL	PARAMETER	TO	FROM	N82S09 Min	N82S09 Typ	N82S09 Max	N82S09A Min	N82S09A Typ	N82S09A Max	UNIT
Access time										
t_{AA}	Address					45			35	ns
t_{CE}	Chip enable					30			25	ns
Disable time[8]										
t_{CD}		Output	Chip enable			30			25	ns
t_{WA}	Valid time	Output	Write enable			30			25	ns
Setup and hold time										
t_{WSA}[9]	Setup time	Write enable	Address	5			5			ns
t_{WHA}	Hold time	Write enable	Address	5			5			ns
t_{WSD}	Setup time	Write enable	Data in	35			30			ns
t_{WHD}	Hold time	Write enable	Data in	5			5			ns
t_{WSC}	Setup time	Write enable	$\overline{CE}$	5			5			ns
t_{WHC}	Hold time	Write enable	$\overline{CE}$	5			5			ns
Pulse width[6]										
t_{WP}[10]	Write enable			35			35			ns

Tabel 8/2.5.2-2: Schakeltijden van de 82S09 en 82S09A (zie ook de figuren 8/2.5.2-3 en -4).



Figuur 8/2.5.2-3: Timing bij uitlezen en chip-enable/disable van de 82S09(A).



Figuur 8/2.5.2-4: Timing bij schrijven in de 82S09(A).

82S10, 82S110, 82S11, 82S111

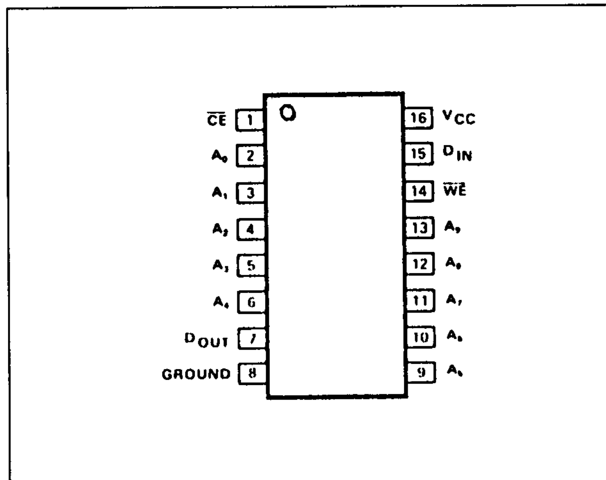
1024-bit RAM

De 82S10/110 en 82S11/111 zijn 1024-bit bipolaire RAM's met een 1024 x 1-bit organisatie.
De RAM's hebben Schottky geclampte, gebufferde adresingangen en buffers aan dataingang en data-uitgang. De niet-inverterende data-uitgang van de 82S10 en 82S110 heeft een open-collector en die van de 82S11 en 82S111 is 3-state.
Als behuizing is een 16-pens ceramische of plastic DIL gekozen.

Specificaties

- 1024 x 1 bit organisatie
- aparte data-ingang en -uitgang
- niet-inverterende uitgang
- 82S10 en 82S110: open-collector
  82S11 en 82S111: 3-state
- Schottky diode-geclampte ingangen TTL compatibel
- 16-pens ceramische of plastic DIL-behuizing
- 82S10/11: 45 ns max.
  82S110/111: 35 ns max.
- fabrikant: Signetics (Philips): N82S10/N82S110 en N82S11/N82S111

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.2-5: Aansluitingen van de 82S10/110 en 82S11/111.

MODE	CE	WE	D	DOUT 82S10/110	DOUT 82S11/111
Read	0	1	X	Stored data	Stored data
Write "0"	0	0	0	1	High-Z
Write "1"	0	0	1	1	High-Z
Disabled	1	X	X	1	High-Z

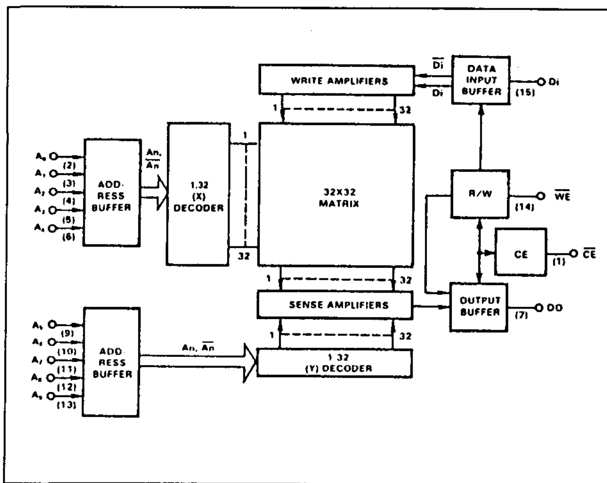
X = Don't care.

Tabel 8/2.5.2-3: Waarheidstabel van de 82S10/82S110 en 82S11/82S111.

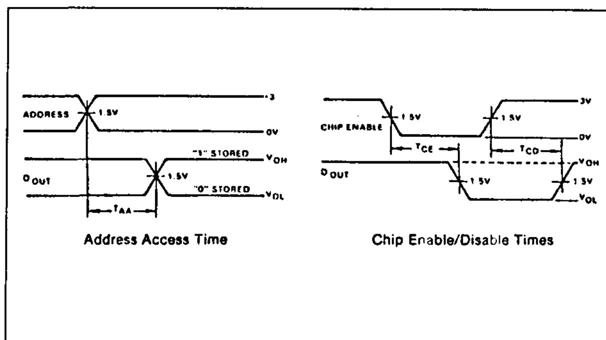
PARAMETER	TO	FROM	N82S10/11			N82S110/111			UNIT
			Min	Typ[3]	Max	Min	Typ	Max	
Access time									ns
T_{AA} Address				30	45			35	
T_{CE} Chip enable				15	30			25	
Disable time									ns
T_{CD}	Output	Chip enable		15	30			25	
T_{WD}	Output	Write enable		20	30			25	
T_{WR} Write recovery time				20	30			25	ns
Setup and hold time									ns
T_{WSA} Setup time	Write enable	Address	5	0		5			
T_{WHA} Hold time			5	0		10			
T_{WSD} Setup time	Write enable	Data in	40	30		30			
T_{WHD} Hold time			5	0		5			
T_{WSC} Setup time / T_{WHC} Hold time	Write enable	$\overline{CE}$	5	0		5			
Pulse width									ns
T_{WP} Write enable[10]			35	25		25			

Tabel 8/2.5.2-4: Schakeltijden van de 82S10/11 en 82S110/111 (zie ook de figuren 8/2.5.2-7 en -8).

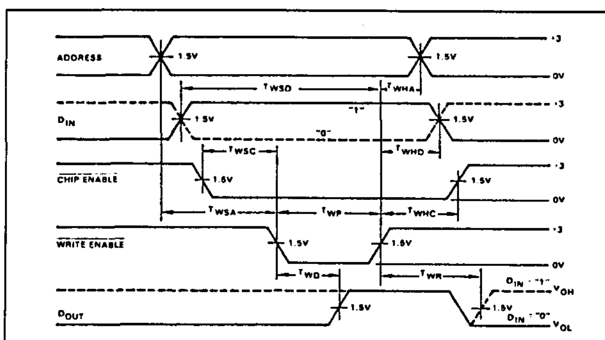
2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.2-6: Functioneel blokschema van de 82S10/82S110 en 82S11/ 82S111.



Figuur 8/2.5.2-7: Timing bij uitlezen van de 82S10/11/110/111.



Figuur 8/2.5.2-8: Timing bij schrijven in de 82S10/11/110/111.

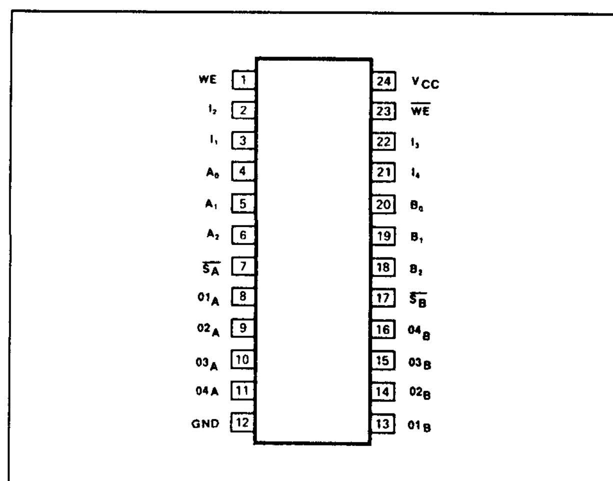
82S12, 82S112

32-bit multiport RAM

De 82S12/82S112 is een 32-bit multiport RAM, georganiseerd in 8 woorden van 4 bit per stuk. Data wordt opgeslagen in een enkele matrix, die met behulp van twee stellen onafhankelijk werkende adres-ingangen kunnen worden bereikt: de poorten A en B. Data kan alleen in het geheugen worden geschreven op adressen die door poort A worden gespecificeerd (onafhankelijk van poort B). De data wordt daarbij gelatcht op de voorflank van Write Enable. Data kan wel via poort A of poort B worden uitgelezen. Beide poort-adressen mogen gelijk of verschillend zijn, waarbij de Select-lijnen SA en/of SB voor het uitlezen zorgen.

Specificaties

- 8 x 4 bit multiport organisatie
- 4 data-ingangen en tweemaal 4 data-uitgangen
- uitgangen niet-inverterend
- 82S12: open-collector
  82S112: 3-state
- Schottky diode-geclampte ingangen TTL compatibel
- 24-pens plastic of ceramische DIL-behuizing
- fabrikant: Signetics (Philips): N82S12, N82S112



Figuur 8/2.5.2-9: Aansluitingen van de 82S12/ 82S112.

2.5 Type-beschrijving bipolaire RAM's

MODE	WE	$\overline{WE}$	I_N	$\overline{S_A}$	$\overline{S_B}$	PORT ADDRESS	82S12 $(O_N)A$	82S12 $(O_N)B$	82S112 $(O_N)A$	82S112 $(O_N)B$
Disabled				1	1	X	1	1	Hi-Z	Hi-Z
Read	0	X	X	0	1	A = B	Stored Data	1	Stored Data	Hi-Z
	or			1	0		1	Stored Data	Hi-Z	Stored Data
				0	0		Stored Data	Stored Data	Stored Data	Stored Data
	X	1		0	1	A ≠ B	[A_N]	1	[A_N]	Hi-Z
				1	0		1	[B_N]	Hi-Z	[B_N]
				0	0		[A_N]	[B_N]	[A_N]	[B_N]
Write	1	0	1/0	1	1	A = B	1	1	Hi-Z	Hi-Z
				0	1		I_N	1	I_N	Hi-Z
				1	0		1	I_N	Hi-Z	I_N
				0	0		I_N	I_N	I_N	I_N
				1	1	A ≠ B	1	1	Hi-Z	Hi-Z
				0	1		I_N	1	I_N	Hi-Z
				1	0		1	[B_N]	Hi-Z	[B_N]
				0	0		I_N	[B_N]	I_N	[B_N]

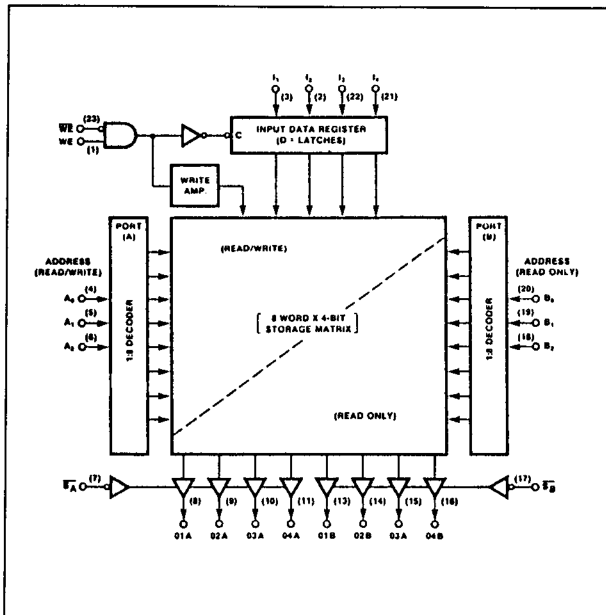
X = Don't care
[ ] = Contents of

Tabel 8/2.5.2-5: Waarheidstabel van de 82S12/82S112.

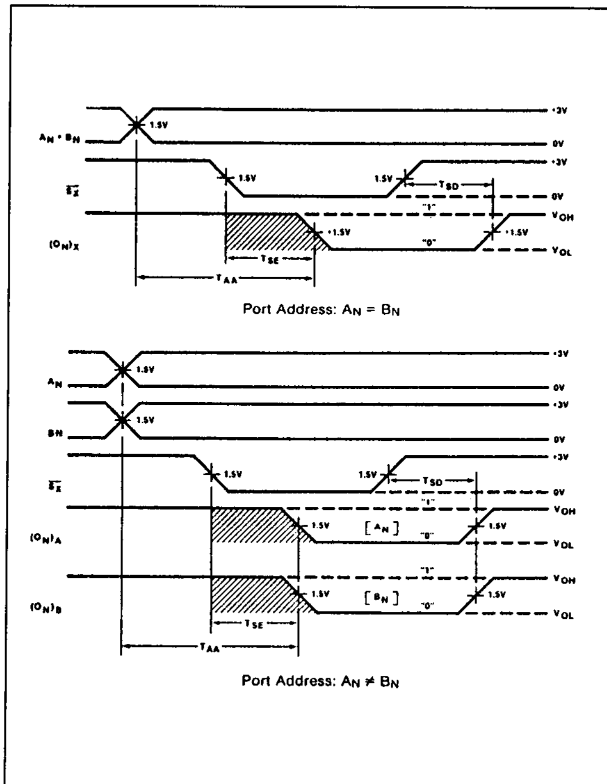
PARAMETER		TO	FROM	LIMITS Min	Typ[2]	Max	UNIT
	Access time						ns
T_{AA}	Address	Output	Address			40	
T_{SE}	Port select	Output	Output enable			30	
	Disable time						ns
T_{SD}	Port deselect	Output	Output enable			30	
T_{WD}	Valid time	Output	Write enable			40	ns
	Setup and hold time						ns
T_{WSA}	Setup time	Write enable	Address	15	10		
T_{WHA}	Hold time			5	0		
T_{WSD}	Setup time	Write enable	Data in	15			
T_{WHD}	Hold time			10			
	Pulse width						ns
T_{WP}	Write enable			45			

Tabel 8/2.5.2-6: Schakeltijden van de 82S12/112.

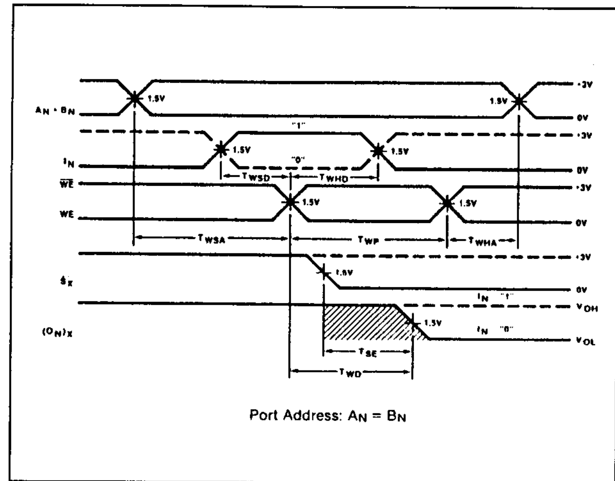
2.5 Type-beschrijving bipolaire RAM's



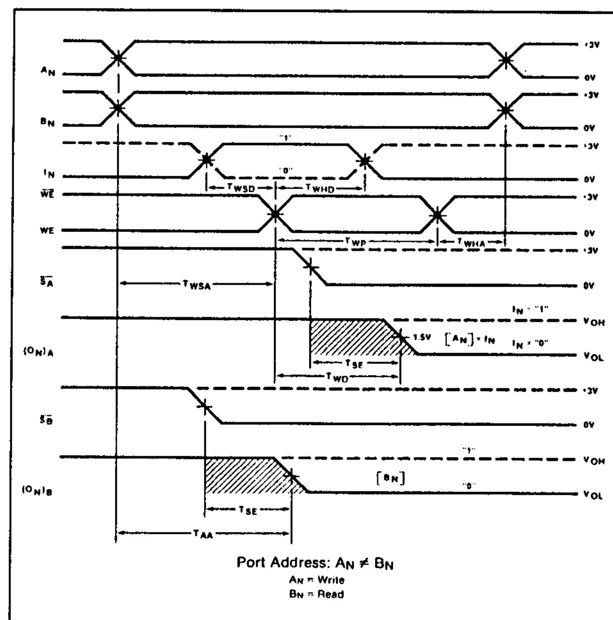
Figuur 8/2.5.2-10: Functioneel blokschema van de 82S12 en 82S112.



Figuur 8/2.5.2-11: Timing bij het uitlezen (boven: adres A = adres B, onder: adressen ongelijk).



Figuur 8/2.5.2-12: Golfvormen bij data-opname (alleen A-poort).



Figuur 8/2.5.2-13: Timing bij gelijktijdig lezen en schrijven (poort A: schrijven, poort B: lezen).

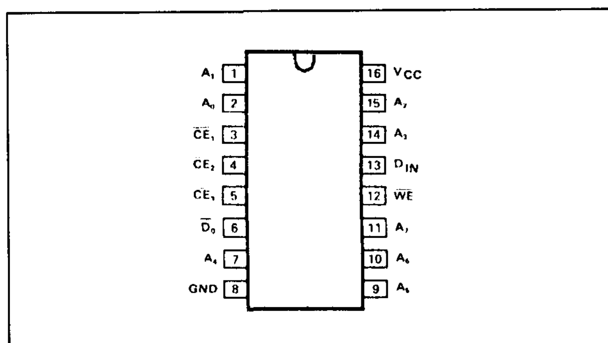
82(L)S16, 82S116, 82S17, 82S117

256-bit RAM

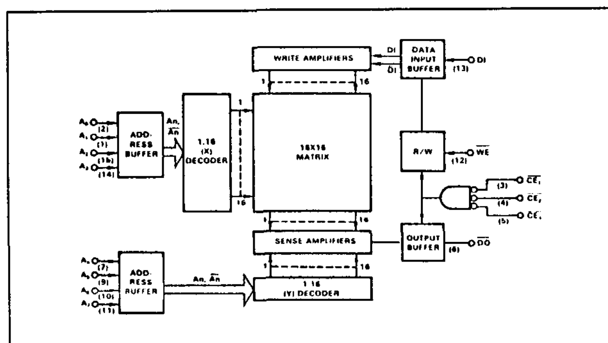
De 82(L)S16/82S116 en 82S17/82S117 zijn 256-bit lees/schrijf geheugens met een 256 woorden van 1 bit organisatie. De RAM's

2.5 Type-beschrijving bipolaire RAM's

hebben Schottky geclampte, gebufferde adres- en data-ingangen. Van de 8216 is nu ook een Low Power-versie verkrijgbaar: de 82LS16. De 82S16 en 82S116 hebben een inverterende 3-state data-uitgang; de 82S17 en 82S117 hebben een open-collector. Geheugen-uitbreidingen worden verder nog vergemakkelijkt door on-chip adres-decodering. Alle vier hebben een 16-pens ceramische of plastic DIL-behuizing.



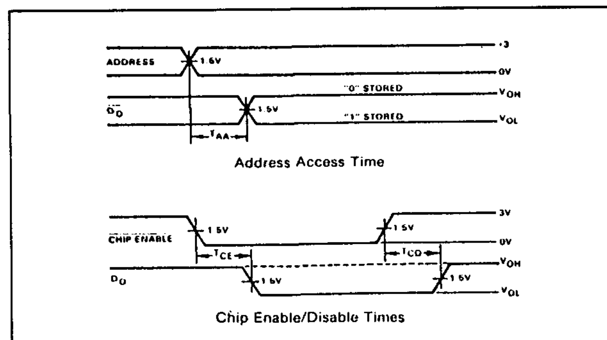
Figuur 8/2.5.2-14: Aansluitingen van de 82(L)S16, 82S116, 82S17 en 82S117.



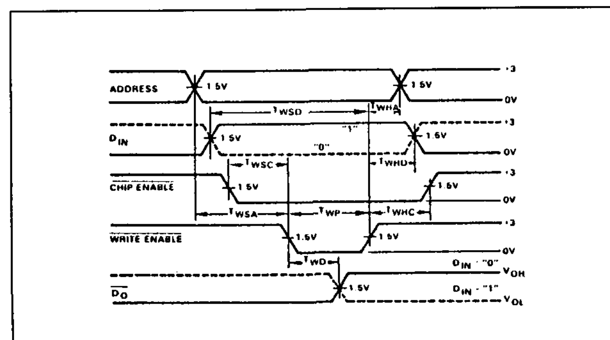
Figuur 8/2.5.2-15: Functioneel blokschema van de 82(L)S16/82S116 en 82S17/82S117.

Specificaties

- 256 x 1 bit organisatie
- aparte data-ingang en -uitgang
- inverterende data-uitgang
- 82(L)S16 en 82S116: 3-state
  82S17 en 82S117: open-collector uitgang
- TTL compatibele Schottky diode-geclampte ingangen
- 16-pens ceramische of plastic DIL-behuizing
- 82(L)S16/17: 50 ns max.
  82S116/117: 40 ns max.
- fabrikant: Signetics (Philips): N82(L)S16, N82S116, N82S17 en N82S117



Figuur 8/2.5.2-16: Golfvormen en timing bij het uitlezen van de 82S16/17/116/117.



Figuur 8/2.5.2-17: Timing bij schrijven in de 82S16/17/116/117.

MODE	$\overline{CE}$*	$\overline{WE}$	D_{IN}	$\overline{D}_{OUT}$ 82S16/116	$\overline{D}_{OUT}$ 82S17/117
Read	0	1	X	Stored data (inverted)	Stored data (inverted)
Write "0"	0	0	0	1	1
Write "1"	0	0	1	0	0
Disabled	1	X	X	High-Z	1

*"0" = All $\overline{CE}$ inputs low; "1" = one or more $\overline{CE}$ inputs high.
X = Don't care.

Tabel 8/2.5.2-7: Waarheidstabel van de 82(L)S16/82S116 en 82S17/82S117.

2.5 Type-beschrijving bipolaire RAM's

PARAMETER		TO	FROM	N82S16/17			N82S116/117			UNIT
				Min	Typ[1]	Max	Min	Typ[1]	Max	
	Access time									ns
T_{AA}	Address				40	50		30	40	
T_{CE}	Chip enable				30	40		15	25	
T_{CD}	Disable time	Output	Chip enable		30	40		15	25	ns
T_{WD}	Valid time	Output	Write enable		30	40		30	40	ns
	Setup and hold time									ns
T_{WSA}	Setup time	Write enable	Address	20	5		0	-5		
T_{WHA}	Hold time			5	0		0	-5		
T_{WSD}	Setup time	Write enable	Data in	40	30		25	15		
T_{WHD}	Hold time			5	0		0	-5		
T_{WSC}	Setup time	Write enable	$\overline{CE}$	10	0		0	-5		
T_{WHC}	Hold time			5	0		0	-5		
	Pulse width									ns
T_{WP}	Write enable[8]			30	15		25	15		

Tabel 8/2.5.2-8: Schakeltijden van de 82(L)S16/17 en 82S116/117 (zie ook de figuren 8/2.5.2-16 en -17).

82S19

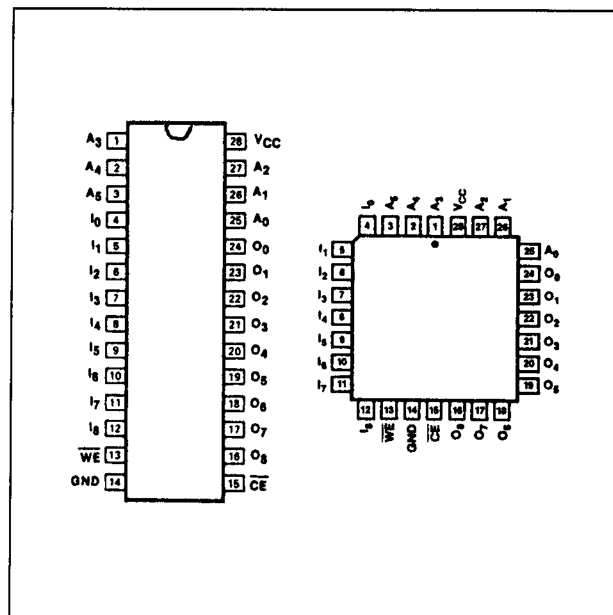
576-bit RAM

De 82S19 is een 576-bit vrij toegankelijk lees/schrijf-geheugen, georganiseerd in 64 woorden van 9 bits. De RAM kan zodoende een complete byte, inclusief pariteit opslaan. De 9e bit kan in plaats voor pariteit ook voor status of een ander merkteken worden gebruikt.

De 82S19 is voorzien van niet-inverterende open-collector uitgangen en een Chip Enable ingang. De ingangsstroom is zeer gering.

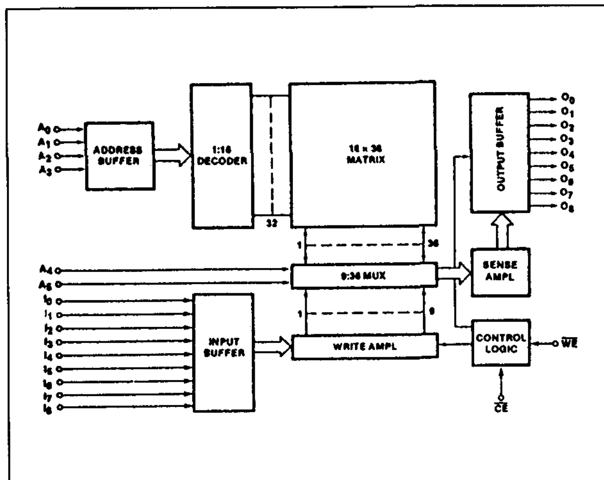
Specificaties

- 64 x 9-bit organisatie
- gescheiden, gebufferde data-in/uitgangen
- niet-inverterende open-collector uitgangen
- volledig TTL-compatibel
- volledig gedecodeerde adressering
- Chip Enable ingang
- Schottky geclampte ingangsstroom: 100 µA
- toegangstijd: 35 ns max.
- 28-pens plastic DIP of PCC behuizing
- fabrikant: Signetics (Philips): N82S19

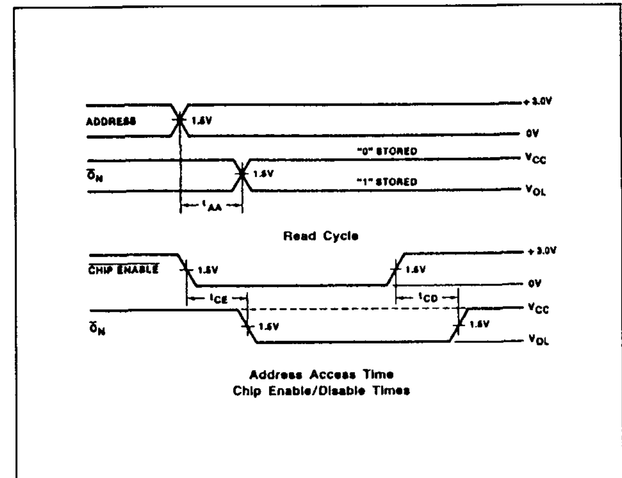


Figuur 8/2.5.2-18: Aansluitgegevens van de DIL en PCC versie van de 82S19.

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.2-19: Functioneel blokschema van de 82S19.



Figuur 8/2.5.2-20: Timing bij uitlezen en chip-enable/disable van de 82S19.

MODE	$\overline{CE}$	$\overline{WE}$	I_N	$\overline{O}_N$
Read	0	1	X	Stored $\overline{Data}$
Write "0"	0	0	0	1
Write "1"	0	0	1	1
Disabled	1	X	X	1

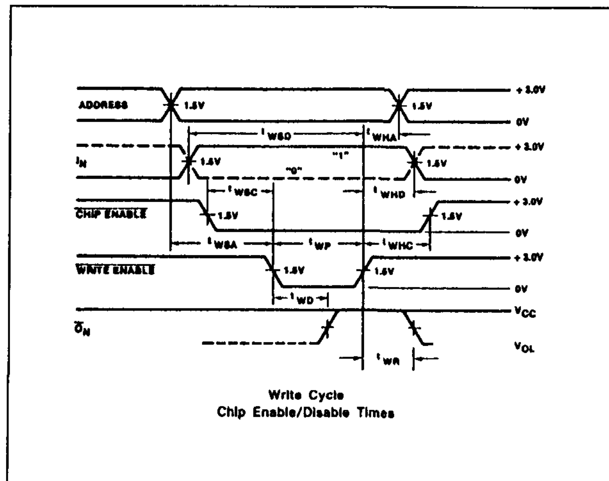
X = Don't care

Tabel 8/2.5.2-9: Waarheidstabel van de 82S19.

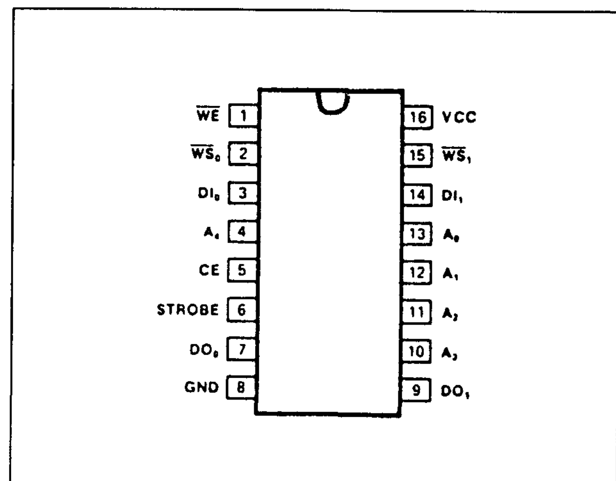
SYMBOL	PARAMETER	TO	FROM	LIMITS Min	Typ	Max	UNIT
Access time							
t_{AA}	Address					35	ns
t_{CE}	Chip enable					25	
t_{CD}	Disable time	Output	Chip enable			25	ns
t_{WD}	Valid time	Output	Write enable			25	
t_{WR}	Write recovery time	Output	Write enable			25	
Setup and hold time							
t_{WSA}[8]	Setup time	Write enable	Address	5			ns
t_{WHA}	Hold time			5			
t_{WSD}	Setup time	Write enable	Data in	30			
t_{WHD}	Hold time			5			
t_{WSC}	Setup time	Write enable	$\overline{CE}$	5			
t_{WHC}	Hold time			5			
Pulse width[6]							
t_{WP}[9]	Write enable			35			ns

Tabel 8/2.5.2-10: Schakeltijden van de 82S19 (zie ook de figuren 8/2.5.2-20 en -21).

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.2-21: Timing bij schrijven in de 82S19.



Figuur 8/2.5.2-22: Aansluitgegevens van de 82S21.

Figuur 8/2.5.2-23: Functioneel blokschema (positieve logika) van de 82S21.

2.5 Type-beschrijving bipolaire RAM's

CE	$\overline{WE}$	$\overline{WS}_0$	$\overline{WS}_1$	STROBE	MODE	OUTPUTS
X	X	X	X	0	Output hold	DO_N = (A_M) at last CE = high
0	X	X	X	0	Disabled	DO_N = high
1	1	X	X	1 or ↓	Read (transparent/latched)	DO_N = (A_M)
1	0	1	1	1 or ↓	Read (transparent/latched)	
1	0	0	0	0	Write data	DO_N = (A_M) at last strobe = ↓
1	0	0	0	1	Write data	DO_N = DI_N
1	0	0	1	X	Write data into bit 0 only	If strobe = low: DO_N = (A_M) at last strobe = ↓
1	0	1	0	X	Write data into bit 1 only	If strobe = high: DO_N = DI_N or (A_M) as per $\overline{WS}_N$

( ) = Contents of
↓ = High → low transition

Tabel 8/2.5.2-11: Waarheidstabel van de 82S21.

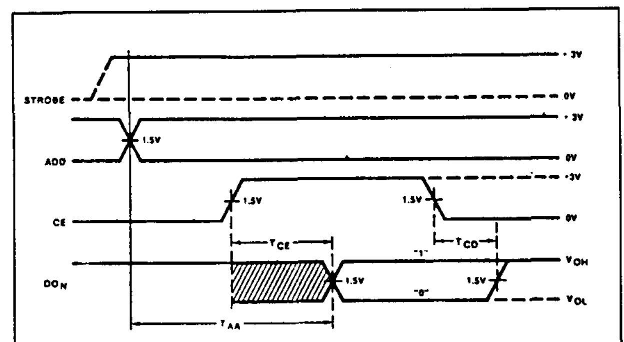
82S21

64-bit Write-While-Read RAM

De 82S21 is een TTL 64-bit RAM, georganiseerd in 32 woorden van 2 bit, die tegelijk met het uitlezen beschreven kan worden (Write-While-Read). De RAM is daardoor zeer geschikt als high-speed buffer en als geheugen-element in snelle accumulatoren. Als Chip Enable (CE) HOOG is, kunnen de 2-bit woorden worden geselecteerd met behulp van een 5-bit decoder. $\overline{WS0}$ en $\overline{WS1}$ zijn de schrijf-select ingangen voor bit 0 en bit 1 van het gekozen woord en $\overline{WE}$ is de schrijf-besturingsingang. Wanneer $\overline{WSN}$ en $\overline{WE}$ beide LAAG zijn, wordt data op de DI0 en DI1 data-lijnen in de geselecteerde lokatie geschreven. Er kan worden uitgelezen als $\overline{WSN}$ of $\overline{WE}$ HOOG is. Een interne latch zorgt voor de "schrijf-bij-lezen" mogelijkheid. Wanneer de latch-besturingslijn (Strobe) HOOG is en data wordt uitgelezen, wordt in feite om de latch heen gegaan.
De op de (open-collector) uitgang aanwezige data is die van het geadresseerde woord. Als de Strobe dan weer LAAG gaat, worden de uitgangen gelatcht.
Ze blijven verder gelatcht, ongeacht de toestand van andere adres- of besturingslijnen. Gaat de Strobe van LAAG naar HOOG dan vervalt het latchen van de uitgangen en komt de inhoud van het geadresseerde woord beschikbaar.

Specificaties

- 32 x 2-bit organisatie
- gescheiden data-in/uitgangen
- open-collector uitgangen
- volledig TTL-compatibel
- 5-bit adressering
- toegangstijd:
  45 ns max. (transparante mode)
  60 ns max. (gelatchte mode)
- 16-pens plastic of ceramische DIL-behuizing
- fabrikant: Signetics (Philips): N82S21

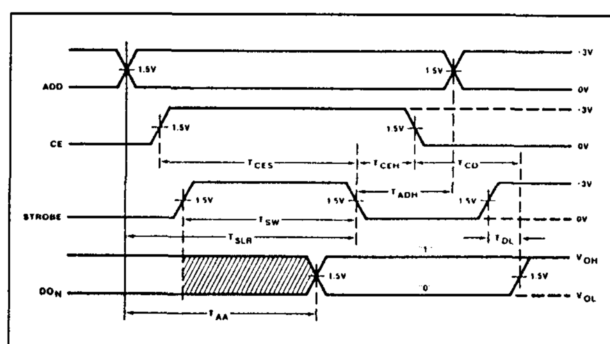


Figuur 8/2.5.2-24: Timing bij transparant uitlezen van de 82S21 (uitgangslatches niet gebruikt).

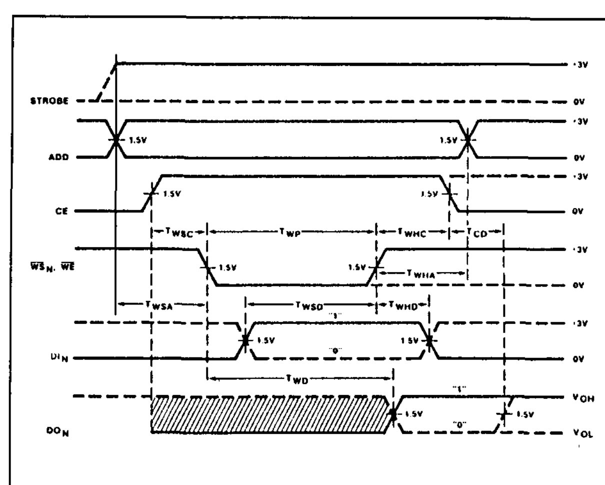
2.5 Type-beschrijving bipolaire RAM's

PARAMETER	TO	FROM	TEST CONDITIONS	LIMITS Min	Typ[2]	Max	UNIT
Access time							ns
T_{AA} Address	Output	Address	Latched or transparent read		40	50	
T_{CE} Chip enable	Output	Chip enable			40	50	
Disable time							ns
T_{CD} Chip enable	Output	Chip enable	Latched or transparent read		40	50	
Setup and hold time							ns
T_{WSA} Setup time	Write	Address	Latched or transparent write	15	10		
T_{WHA} Hold time				5	0		
T_{WSD} Setup time	Write	Data in	Latched or transparent write	25			
T_{WHD} Hold time				5	0		
T_{WSC} Setup time	Write	CE	Latched or transparent write	15	10		
T_{WHC} Hold time				5	0		
T_{CES} Setup time	Strobe	Chip enable	Latched read	50	40		
T_{CEH} Hold time				5	0		
T_{ADH} Hold time	Output	Address	Latched read	5	0		
Pulse width							ns
T_{SW} Strobe			Latched read	30			
T_{WP} Write inputs			Latched or transparent write	25			
Latch time							ns
T_{SLR} Read strobe	Strobe	Address	Latched read	50	40		
T_{SLW} Write strobe	Strobe	Write	Latched write	40	30		
T_{LRW} WWR strobe	Write	Strobe	Write while read	10	5		
Delatch time							ns
T_{DL} Strobe	Output	Strobe	Latched read		20	25	
T_{WD} Valid time	Output	Write	Latched or transparent write		30	40	ns

Tabel 8/2.5.2-12: Schakeltijden van de 82S21 (zie ook de figuren 8/2.5.2-24 tot en met -28).

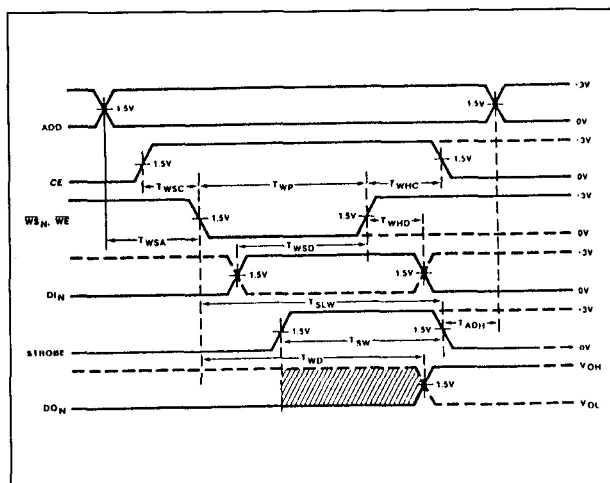


Figuur 8/2.5.2-25: Timing bij gelatcht uitlezen van de 82S21.

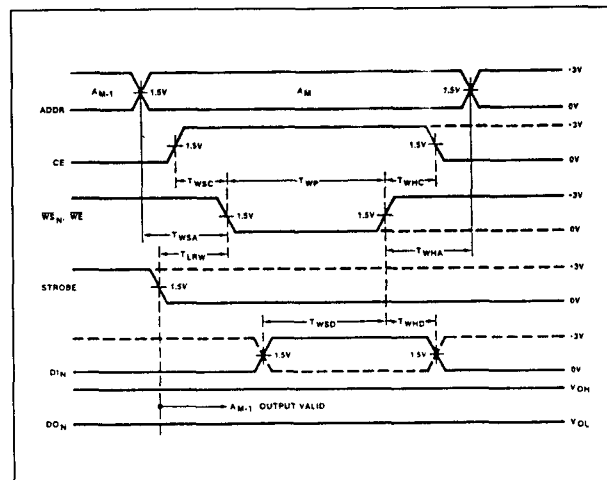


Figuur 8/2.5.2-26: Timing bij transparant schrijven in de 82S21(uitgangslatches niet gebruikt).

2.5 Type-beschrijving bipolaire RAM's



Figuur 8/2.5.2-27: Timing bij gelatcht schrijven in de 82S21.



Figuur 8/2.5.2-28: Timing bij gelijktijdig lezen en schrijven in de 82S21 (Write-While-Read).

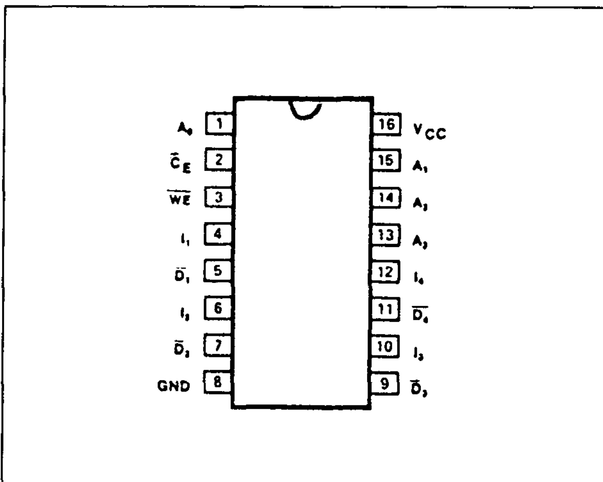
Figuur 8/2.5.2-29: Toepassingsvoorbeeld van een 8-bit volledig gebufferde accumulator met 82S21's.

2.5 Type-beschrijving bipolaire RAM's

82S25

64-bit RAM

De 82S25 is een 64-bit rondom toegankelijk lees/schrijf geheugen, georganiseerd in 16 woorden van 4 bit. Deze RAM is zeer geschikt voor "scratch pad" en high-speed geheugens. De 82S25 is voorzien van inverterende open-collector uitgangen en een Chip Enable ingang en bevindt zich in een 16-pens plastic of ceramische DIL-behuizing. Door de PNP ingangsstructuur wordt zeer weinig stroom opgenomen.



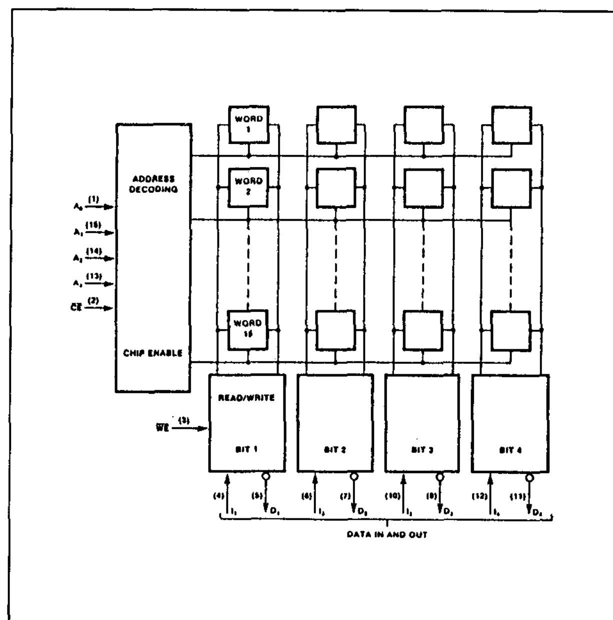
Figuur 8/2.5.2-30: Aansluitgegevens van de 82S25.

	CE	WE	D_{IN}	82S25
Read	0	1	X	Stored data
Write "0"	0	0	0	1
Write "1"	0	0	1	1
Disable	1	X	X	1

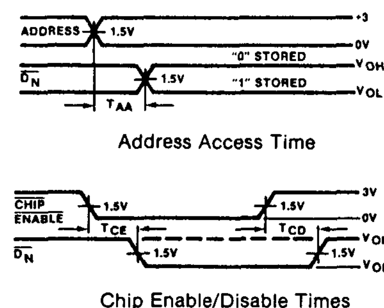
Tabel 8/2.5.2-13: Waarheidstabel van de 82S25.

Specificaties

- 16 x 4-bit organisatie
- gescheiden data-in/uitgangen
- inverterende open-collector uitgangen
- volledig TTL-compatibel
- Schottky geclampte ingangsstroom: 100 μA
- volledig gedecodeerde adressering
- Chip Enable ingang
- toegangstijd: 50 ns max.
- 16-pens plastic of ceramische DIL-behuizing
- fabrikant: Signetics (Philips): N82S25



Figuur 8/2.5.2-31: Functioneel blokschema van de 82S25.

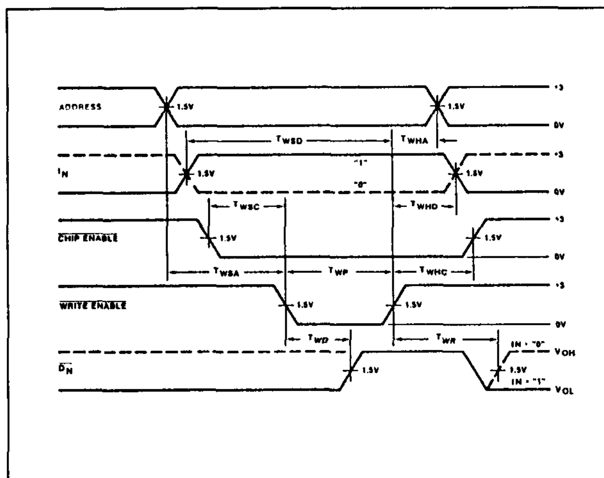


Figuur 8/2.5.2-32: Timing van uitlezen en chip-enable/disable van de 82S25.

2.5 Type-beschrijving bipolaire RAM's

PARAMETER		TO	FROM	N82S25, Min	Typ[2]	Max	UNIT
	Access time						ns
T_{AA}	Address				35	50	
T_{CE}	Chip enable				20	35	
T_{CD}	Disable time	Output	Chip enable		20	35	ns
T_{WD}	Response time	Output	Write enable		20	25	ns
T_{WR}	Write recovery time				35	50	ns
	Setup and hold time						ns
T_{WSA}	Setup time	Write enable	Address	5	-8		
T_{WHA}	Hold time			5	0		
T_{WSD}	Setup time	Write enable	Data in	30	15		
T_{WHD}	Hold time			5	-3		
T_{WSC}	Setup time	Write enable	$\overline{CE}$	0	-5		
T_{WHC}	Hold time			5	0		
	Pulse width						ns
T_{WP}	Write enable[5]			30	18		

Tabel 8/2.5.2-14: Schakeltijden van de 82S25 (zie ook de figuren 8/2.5.2-32 en -33).



Figuur 8/2.5.2-33: Timing bij schrijven in de 82S25.

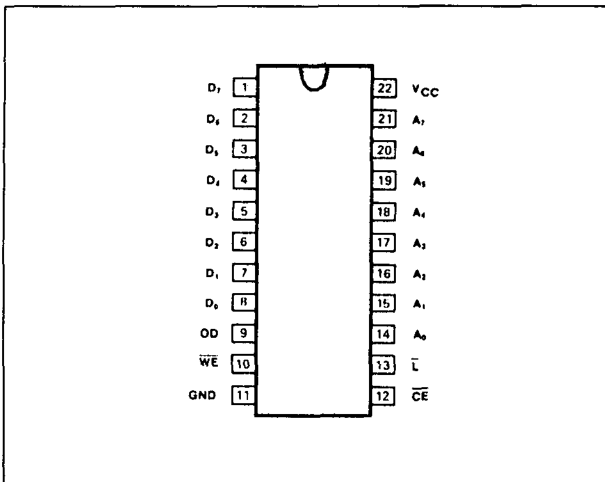
82S208

2048-bit RAM

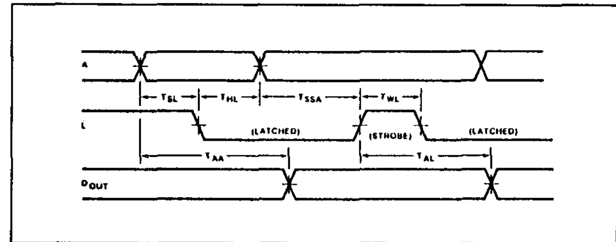
De 82S208 is een 2048-bit vrij toegankelijk lees/schrijf geheugen, georganiseerd in 256 woorden van 8 bit (byte wide). De 82S208 heeft gemeenschappelijke data in- en uitgangen en een aparte Output Disable (OD) ingang. De adres-ingangen zijn voorzien van latches, bestuurd door de $\overline{L}$-pen. In de transparante mode wordt $\overline{L}$ HOOG gehouden en wordt de gekozen lokatie bepaald door de adres-ingangen. In de gelatchte mode wordt het huidige adres op de dalende flank van $\overline{L}$ in de latches opgeslagen. Met een positieve puls op de $\overline{L}$-lijn wordt een nieuw adres opgenomen.

Specificaties
- 256 x 8-bit organisatie
- gemeenschappelijke data-in/uitgangen
- niet-inverterende 3-state uitgangen
- volledig TTL-compatibel
- volledig gedecodeerde adressering
- Chip Enable en Output Disable ingangen
- 22-pens ceramische DIL-behuizing
- fabrikant: Signetics (Philips): N82S208

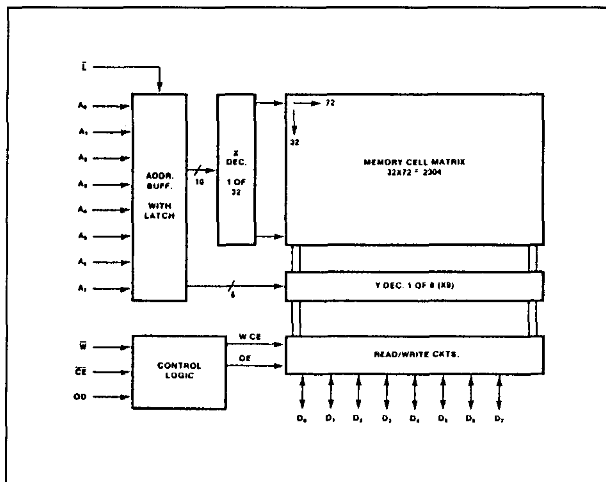
2.5 Type-beschrijving bipolaire RAM's



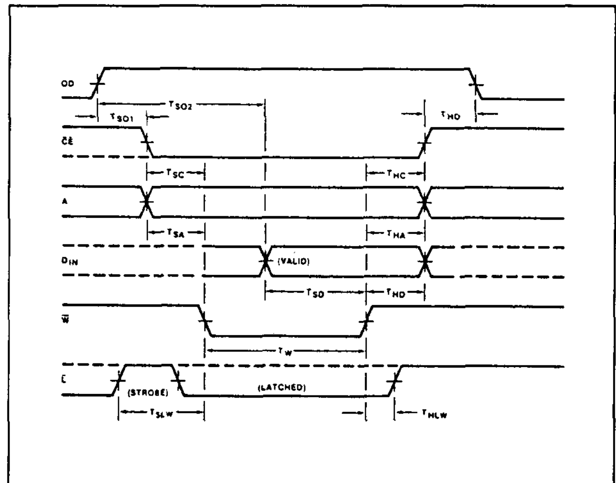
Figuur 8/2.5.2-34: Aansluitgegevens van de 82S208.



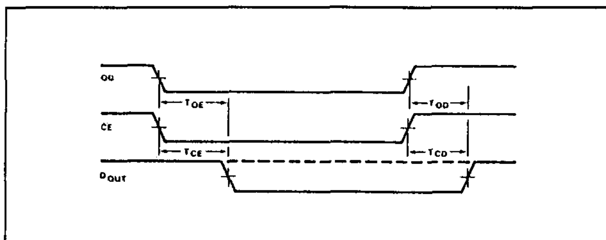
Figuur 8/2.5.2-37: Timing bij uitlezen van de 82S208.



Figuur 8/2.5.2-35: Functioneel blokschema van de 82S208.



Figuur 8/2.5.2-38: Timing bij schrijven in de 82S208.



Figuur 8/2.5.2-36: Timing van chip-enable/disable van de 82S208.

MODE	WE	CE	OD	L	DN IN/OUT
Disable output	X	X	1	X	High Z
Disable R/W	X	1	X	X	High Z
Write	0	0	1	X	Data in
Read	1	0	0	X	Data out
Transparent address	X	X	X	1	—
Hold address	X	X	X	0	—

X = Don't care

Tabel 8/2.5.2-15: Waarheidstabel van de 82S208.

2.5 Type-beschrijving bipolaire RAM's

	PARAMETER	TO	FROM	LIMITS Min	Typ	Max	UNIT
	Access time						ns
T_{AA}	Address	Output	Address			60	
T_{AL}	Strobe	Output	Latch			70	
	Enable time						ns
T_{OE}	Output	Output	OD			35	
T_{CE}	Output	Output	Chip enable			35	
	Disable time						ns
T_{OD}	Output	Output	OD			35	
T_{CD}	Output	Output	Chip enable				
	Pulse width						ns
T_{WL}	Strobe			20			
T_{W}	Write			40			
	Setup and hold time						ns
T_{SL}	Setup time	Latch	Address	5			
T_{HL}	Hold time	Address	Latch	10			
T_{SSA}	Setup time (strobe)	Latch	Address	0			
T_{SC}	Setup time	Write	Chip enable	5			
T_{HC}	Hold time	Chip enable	Write				
T_{SD}	Setup time	Write	Data	35			
T_{HD}	Hold time	Data	Write	10			
T_{SA}	Setup time	Write	Address	10			
T_{HA}	Hold time	Address	Write				
T_{SLW}	Setup time	Write	Latch	15			
T_{HLW}	Hold time	Latch	Write	10			
T_{S01}	Setup time (from disabled state)	Chip enable	OD	5			
T_{S02}	Setup time (from enabled state)	Data in	OD	35			
T_{HO}	Hold time	OD	Chip enable	5			

Tabel 8/2.5.2-16: Schakeltijden van de 82S208 (zie ook de figuren 8/2.5.2-36 tot en met -38).

82S210

2304-bit RAM

De 82S210 is een 2304-bit RAM, georganiseerd in 256 woorden van 9 bit (byte wide + pariteit). De 82S210 heeft, net als de 82S208, gemeenschappelijke data in- en uitgangen (I/O), een Chip Enable ($\overline{CE}$) en een Output Disable (OD) ingang. De adresingangen zijn voorzien van latches, die bestuurd worden door de $\overline{L}$-pen. In de transparante mode blijft $\overline{L}$ HOOG en wordt de gekozen lokatie bepaald door de adres-ingangen. In de gelatchte mode wordt het adres van dat moment opgeslagen op de dalende flank van $\overline{L}$. Met een positieve puls op de $\overline{L}$-lijn wordt een nieuw adres opgenomen.

Specificaties

- 256 x 9-bit organisatie
- gemeenschappelijke data-in/uitgangen
- niet-inverterende 3-state uitgangen
- volledig TTL-compatibel
- volledig gedecodeerde adressering
- Chip Enable en Output Disable ingangen
- 24-pens plastic of ceramische DIL-behuizing
- fabrikant: Signetics (Philips): N82S210

MODE	$\overline{WE}$	$\overline{CE}$	OD	$\overline{L}$	D_N IN/OUT
Disable output	X	X	1	X	High Z
Disable R/W	X	1	X	X	High Z
Write	0	0	1	X	Data In
Read	1	0	0	X	Data out
Transparent address	X	X	X	1	—
Hold address	X	X	X	0	—

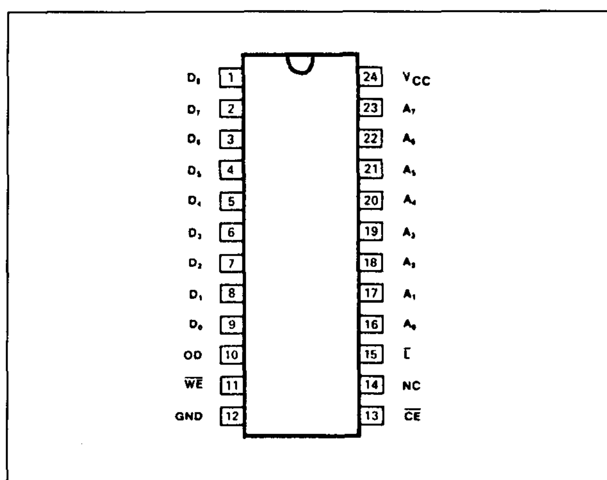
X = Don't care

Tabel 8/2.5.2-17: Waarheidstabel van de 82S210.

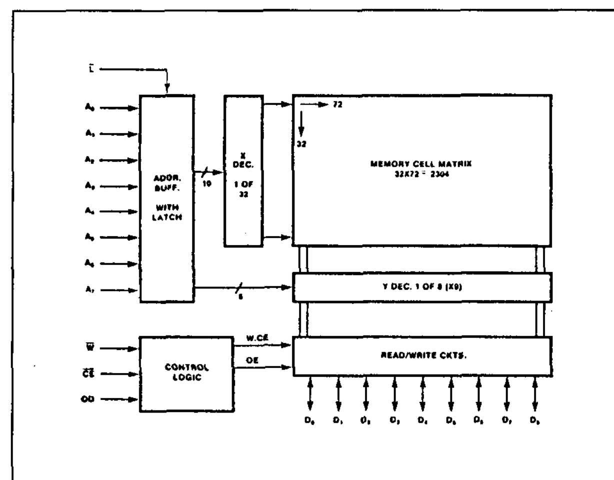
2.5 Type-beschrijving bipolaire RAM's

	PARAMETER	TO	FROM	LIMITS Min	Typ	Max	UNIT
	Access time						ns
T_{AA}	Address	Output	Address			60	
T_{AL}	Strobe	Output	Latch			70	
	Enable time						ns
T_{OE}	Output	Output	OD			35	
T_{CE}	Output	Output	Chip enable			35	
	Disable time						ns
T_{OD}	Output	Output	OD			35	
T_{CD}	Output	Output	Chip enable				
	Pulse width						ns
T_{WL}	Strobe			20			
T_{W}	Write			40			
	Setup and hold time						ns
T_{SL}	Setup time	Latch	Address	5			
T_{HL}	Hold time	Address	Latch	10			
T_{SSA}	Setup time (strobe)	Latch	Address	0			
T_{SC}	Setup time	Write	Chip enable	5			
T_{HC}	Hold time	Chip enable	Write				
T_{SD}	Setup time	Write	Data	35			
T_{HD}	Hold time	Data	Write	10			
T_{SA}	Setup time	Write	Address	10			
T_{HA}	Hold time	Address	Write				
T_{SLW}	Setup time	Write	Latch	15			
T_{HLW}	Hold time	Latch	Write	10			
T_{S01}	Setup time (from disabled state)	Chip enable	OD	5			
T_{S02}	Setup time (from enabled state)	Data in	OD	35			
T_{HO}	Hold time	OD	Chip enable	5			

Tabel 8/2.5.2-18: Schakeltijden van de 82S210 (zie ook de figuren 8/2.5.2-41 en -42).

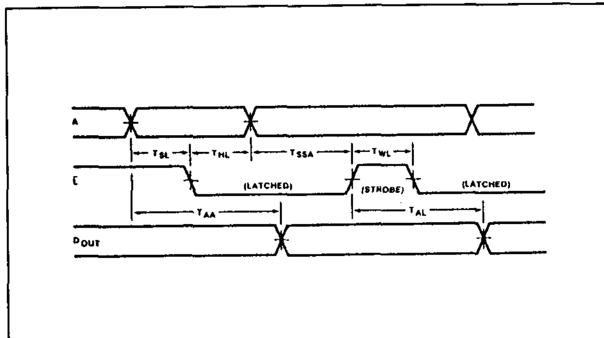


Figuur 8/2.5.2-39: Aansluitgegevens van de 82S210.

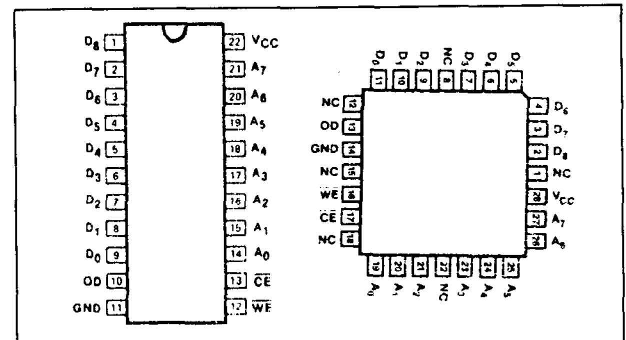


Figuur 8/2.5.2-40: Functioneel blokschema van de 82S210.

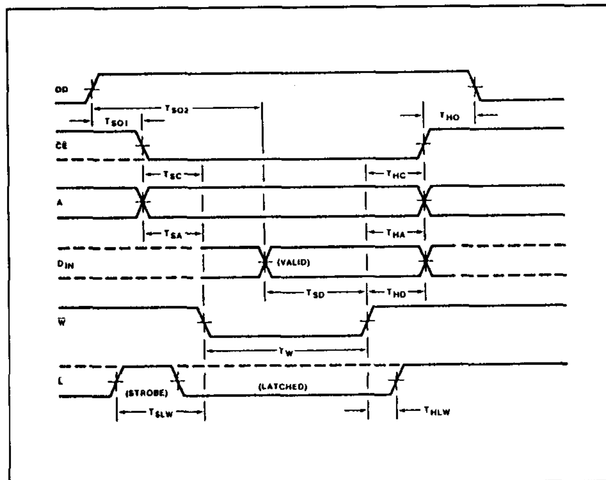
2.5 Type-beschrijving bipolaire RAM's



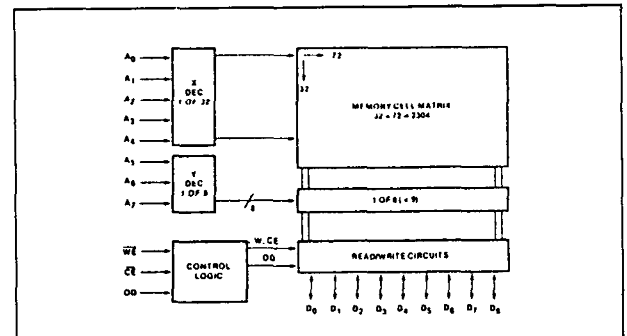
Figuur 8/2.5.2-41: Timing bij uitlezen van de 82S210.



Figuur 8/2.5.2-43: Aansluitgegevens van de 82S212(A).



Figuur 8/2.5.2-42: Timing bij schrijven in de 82S210.



Figuur 8/2.5.2-44: Functioneel blokschema van de 82S212(A).

MODE	$\overline{WE}$	$\overline{CE}$	OD	D_N IN/OUT
Disable output	X	X	1	Hi-Z
Disable R/W	X	1	X	Hi-Z
Write	0	0	1	Data in
Read	1	0	0	Data out

X = Don't care

Tabel 8/2.5.2-19: Waarheidstabel van de 82S212(A).

82S212(A)
2304-bit RAM

De 82S212(A) is een 2304-bit vrij uitlees- en beschrijfbaar geheugen, georganiseerd in 256 woorden van 9 bit (byte wide + pariteit). De 82S212(A) heeft gemeenschappelijke data in- en uitgangen (common I/O). Verder is er een Chip Enable ($\overline{CE}$) en een Output Disable (OD) ingang. De A-versie is iets sneller dan de gewone uitvoering.

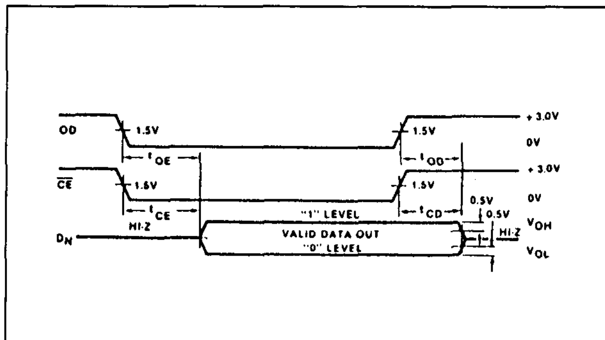
Specificaties

- 256 x 9-bit organisatie
- gemeenschappelijke data-in/uitgangen
- niet-inverterende 3-state uitgangen
- volledig TTL-compatibel
- toegangstijd: 82S212: 45 ns max. 82S212A: 35 ns max.
- volledig gedecodeerde adressering
- Chip Enable en Output Disable ingangen
- 22-pens plastic DIL of 28-pens PLCC-behuizing
- fabrikant: Signetics (Philips): N82S212(A)

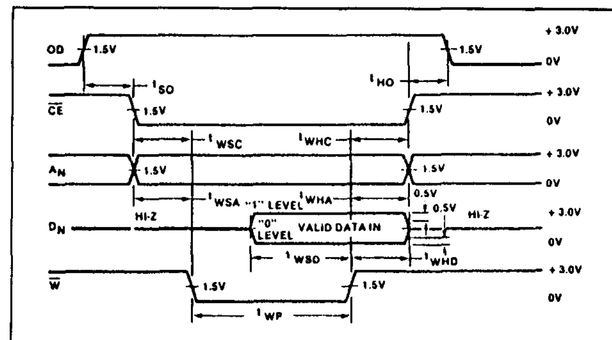
2.5 Type-beschrijving bipolaire RAM's

SYMBOL	PARAMETER[1]	TO	FROM	N82S212 Min	N82S212 Typ[3]	N82S212 Max	N82S212A Min	N82S212A Typ[3]	N82S212A Max	UNIT
Access time										
t_{AA}	Address	Output	Address			45			35	ns
Enable time										
t_{OE}	Output	Output	OD	5		25			25	ns
t_{CE}	Output	Output	Chip enable			25			25	ns
Disable time[6]										
t_{OD}	Output	Output	OD			25			25	ns
t_{CD}	Output	Output	Chip enable			25			25	ns
Pulse width										
t_{WP}[8]	Write			25			25			ns
Setup and hold time										
t_{WSC}	Setup time	Write	Chip enable	5			5			ns
t_{WHD}	Hold time	Chip enable	Write	5			5			ns
t_{WSD}	Setup time	Write	Data	25			25			ns
t_{WHD}	Hold time	Data	Write	5			5			ns
t_{WSA}[9]	Setup time	Write	Address	5			5			ns
t_{WHA}	Hold time	Address	Write	5			5			ns
t_{SO}	Setup time (from disabled state)	Chip enable	OD	5			5			ns
t_{HO}	Hold time	OD	Chip enable	5			5			ns

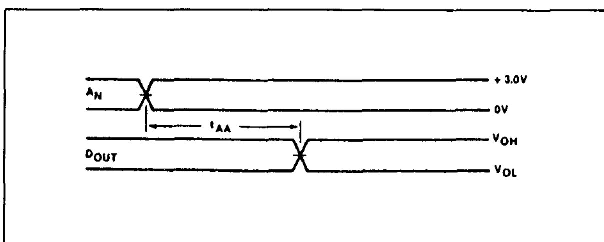
Tabel 8/2.5.2-20: Schakeltijden van de 82S212 en 82S212A (zie ook de figuren 8/2.5.2-45 tot en met -47).



Figuur 8/2.5.2-45: Timing van Enable en Disable bij de 82S212(A).



Figuur 8/2.5.2-47: Timing bij schrijven in de 82S212(A).



Figuur 8/2.5.2-46: Timing bij uitlezen van de 82S212(A).

82S400, 82S400A, 82S401, 82S401A

4096-bit RAM

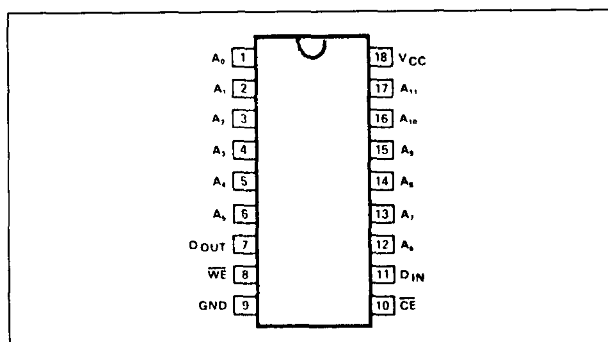
De 82S400/400A en 82S401/82S401A zijn 4096-bit rondom toegankelijke lees/schrijf-geheugens (RAM's), georganiseerd in 4096 woorden van 1 bit. De RAM's hebben Schottky geclampte, gebufferde data- en adres-ingangen en zijn voorzien van volledige adres-decodering. De niet-inverterende datauitgang van de 82S400(A) heeft een open-collector en die van de 82S401(A) is 3-state. De A-versies zijn het snelst. De

2.5 Type-beschrijving bipolaire RAM's

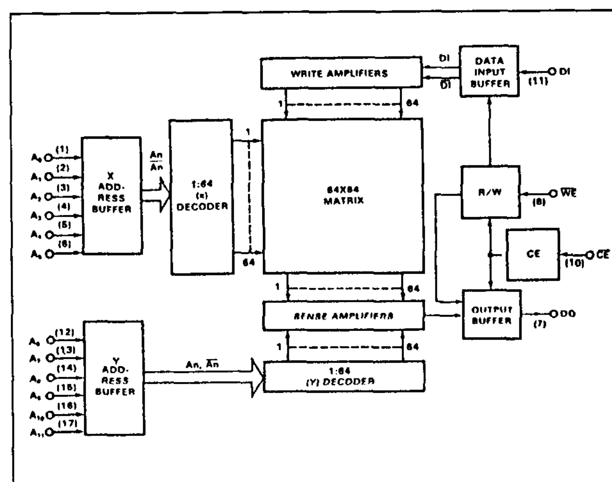
RAM's hebben een 18-pens gelamineerde ceramische DIL-behuizing.

Specificaties

- 4096 x 1 bit organisatie
- aparte data-ingang en -uitgang
- niet-inverterende data-uitgang
- uitgang geblankt tijdens schrijven
- 82S400 en 82S400A: open-collector
  82S401 en 82S401A: 3-state uitgang
- TTL compatibele Schottky diode-geclampte ingangen
- 18-pens gelamineerde ceramische DIL-behuizing
- 82S400/401: 70 ns max.
  82S400A/401A: 45 ns max.
- fabrikant: Signetics (Philips): N82S400(A) en N82S401(A)



Figuur 8/2.5.2-48: Aansluitingen van de 82S400(A)/82S401(A).

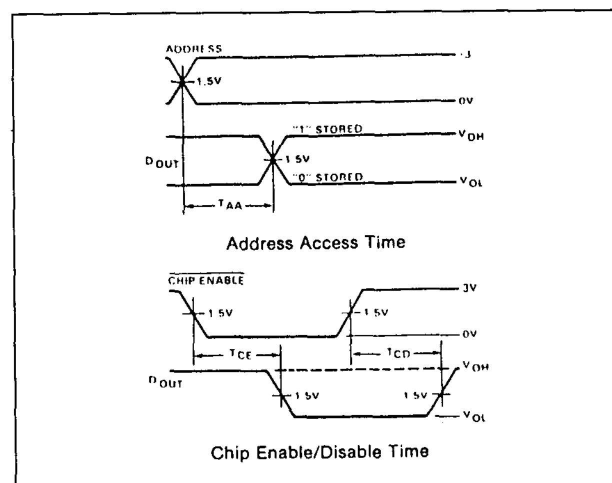


Figuur 8/2.5.2-49: Functioneel blokschema van de 82S400(A) en 82S401(A).

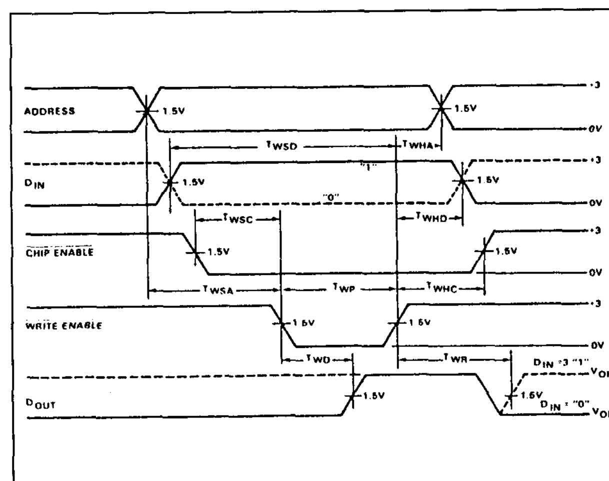
MODE	$\overline{CE}$	$\overline{WE}$	D_{IN}	D_{OUT} 82S400	D_{OUT} 82S401
Read	0	1	X	Stored data	Stored data
Write "0"	0	0	0	1	High-Z
Write "1"	0	0	1	1	High-Z
Disabled	1	X	X	1	High-Z

X = Don't care

Tabel 8/2.5.2-21: Waarheidstabel van de 82S400(A) en 82S401(A).



Figuur 8/2.5.2-50: Timing bij uitlezen van de 82S400(A)/401(A).



Figuur 8/2.5.2-51: Timing bij schrijven in de 82S400(A)/401(A).

2.5 Type-beschrijving bipolaire RAM's

PARAMETER	TO	FROM	N82S400A/401A Min	N82S400A/401A Typ²	N82S400A/401A Max	N82S400/401 Min	N82S400/401 Typ²	N82S400/401 Max	UNIT
Access time									ns
T_{AA}	Output	Address			45		45	70	
T_{CE}	Output	Chip enable			30		30	45	
Disable time									ns
T_{CD}	Output	Chip enable			30		30	45	
T_{WD}	Output	Write enable			30		30	45	
T_{WR} Recovery time	Output	Write enable			30		30	45	ns
Setup and hold time									ns
T_{WSA} Setup time T_{WHA} Hold time	Write enable	Address	5			10	5		
T_{WSD} Setup time	Write enable	Data in	35			50	35		
T_{WHD} Hold time			5			10	5		
T_{WSC} Setup time T_{WHC} Hold time	Write enable	CE	5			10	5		
Pulse width[9]									ns
T_{WP} Write enable			35			50	35		

Tabel 8/2.5.2-22: Schakeltijden van de 82S400A/401A en 82S400/401 (zie ook de figuren 8/2.5.2-50 en -51).

8/2.6.1

Type-beschrijving M4xZxx-typen

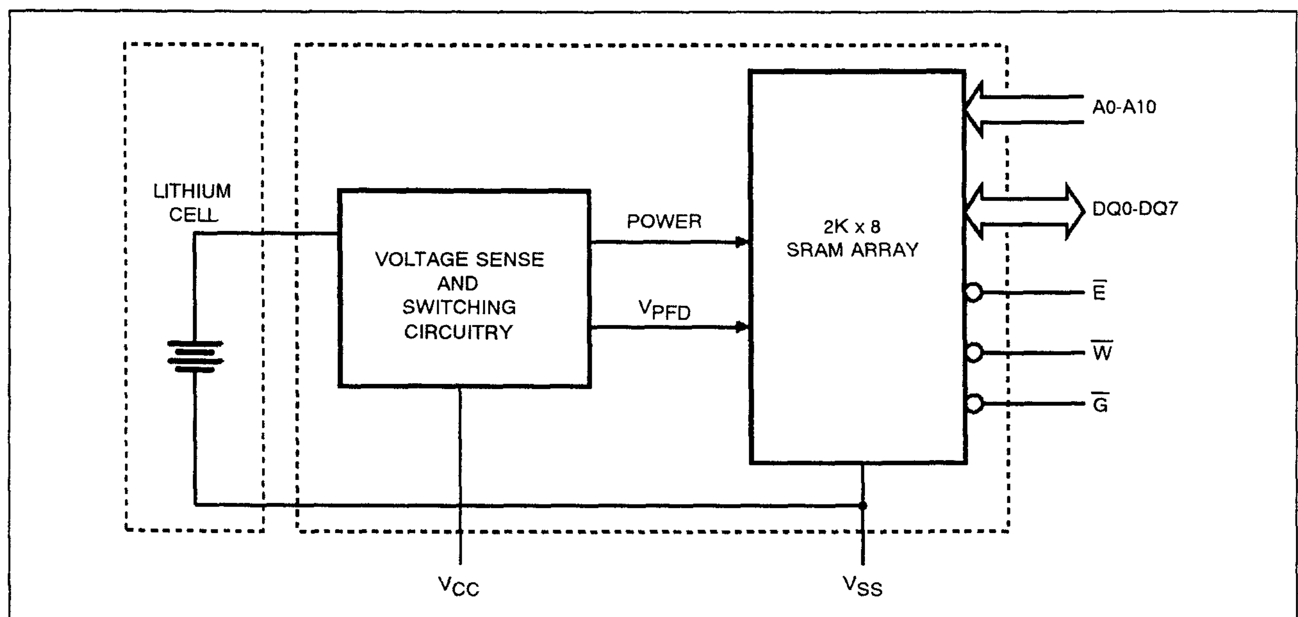
M48Z02, M48Z12

CMOS 2 k x 8 Zero-Power SRAM

De M48Z02 en M48Z12 zijn 2 k x 8 bit niet-vluchtige statische RAM's met een ingebouwde lithium batterij. Deze batterij heeft voldoende capaciteit om data- en clockfuncties gedurende minstens elf jaar te kunnen uitvoeren bij afwezigheid van de voedingsspanning. De M48Z02/M48Z12 is een niet-vluchtige vervanger van elke willekeurige JEDEC-standaard 2 k x 8 SRAM, terwijl hij ook in vele ROM-, EPROM- en EEPROM-sockets geplaatst kan worden. Net als bij een PROM wordt dan de data vastgehouden, zonder dat het aantal schrijfoperaties beperkt is of dat er speciale eisen aan de timing hiervan worden gesteld.

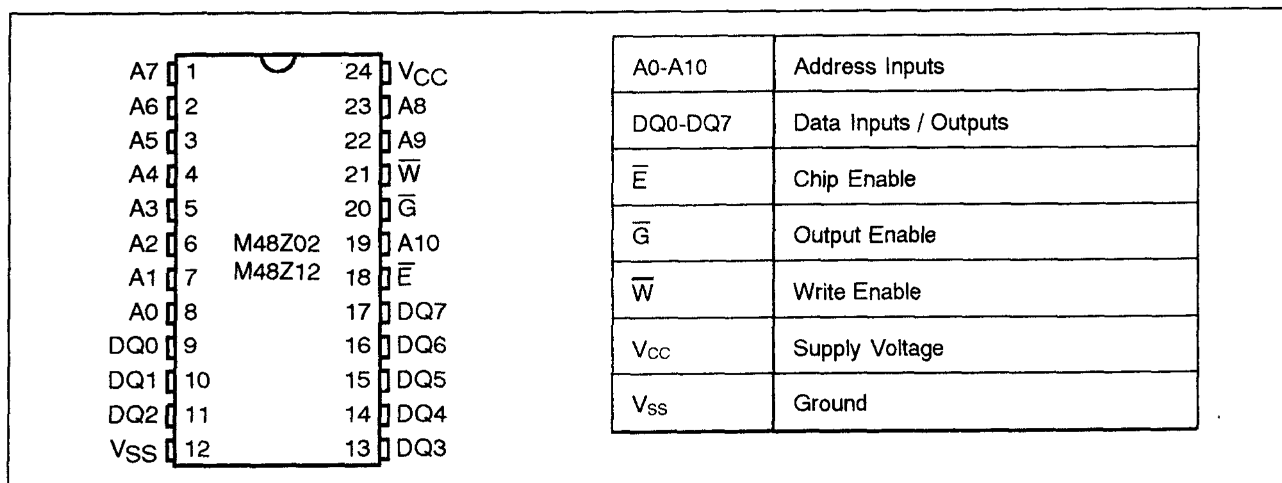
De M48Z02/M48Z12 heeft zijn eigen Power-Fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt.

Zodra V_{CC} buiten zijn specificaties gaat, wordt de schrijf-beveiliging ingeschakeld zodat het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan ongeveer 3 V, wordt de batterij ingeschakeld waardoor de data en de werking van de clock gehandhaafd blijven totdat de voedingsspanning terugkeert.



Figuur 8/2.6.1-1: Blokschema van de M48Z02/M48Z12.

2.6 Type-beschrijving Zero-Power statische RAM's



A0-A10	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-2: Aansluitingen van de M48Z02/M48Z12.

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-1: Bedrijfsmodes van de M48Z02/M48Z12.

Specificaties

- 2 k x 8 organisatie
- geïntegreerde SRAM + Power Fail circuit + batterij
- aantal schrijfcycli onbeperkt
- lees- en schrijfcyclustijden gelijk
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z02: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48Z12: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing: 24-pens CAPHAT DIL (PCDIP24) incl. batterij
- 11 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 2 k x 8 SRAM's
- verbeterde uitvoering van MK48Z02 en MK48Z12
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature grade 1 grade 6	0 to 70 -40 to 85	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-2: Maximaal toegelaten waarden van de M48Z02/M48Z12.

(T_A = 0 to 70°C or −40 to 85°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		80	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = −1mA	2.4		V

Note: 1. Outputs Deselected.

Tabel 8/2.6.1-3: Gelijkspanningen en -stromen.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C or –40 to 85°C)

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z02)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z12)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR}	Expected Data Retention Time	10			YEARS

Note: 1. All voltages referenced to V_{SS}.

Tabel 8/2.6.1-4: Gelijkspannings-kenmerken van de Power Up/Down trip-points.

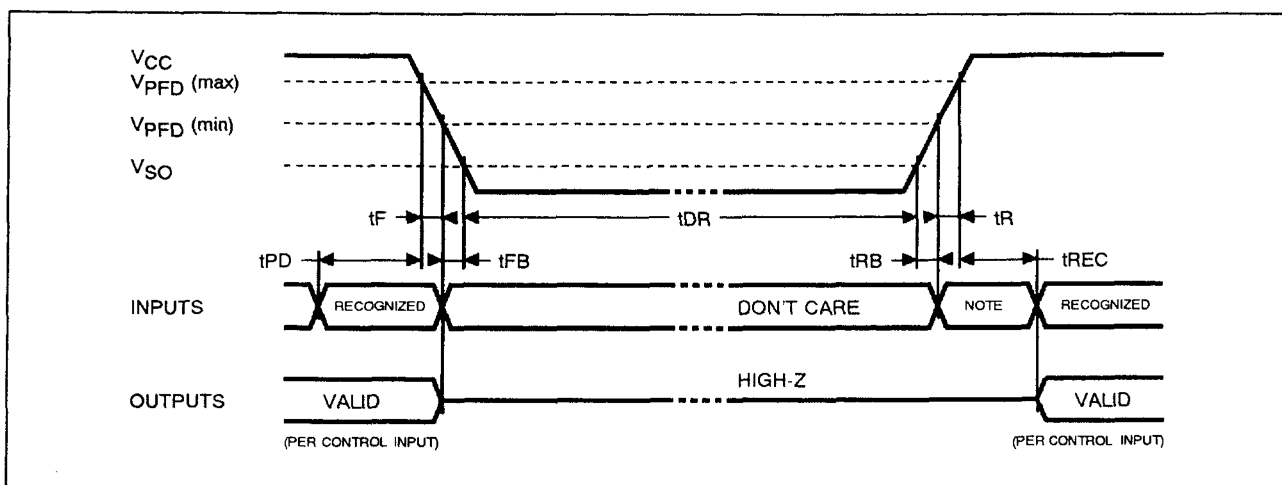
(T_A = 0 to 70°C or –40 to 85°C)

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	$\overline{E}$ or $\overline{W}$ at V_{IH} after Power Up	2		ms

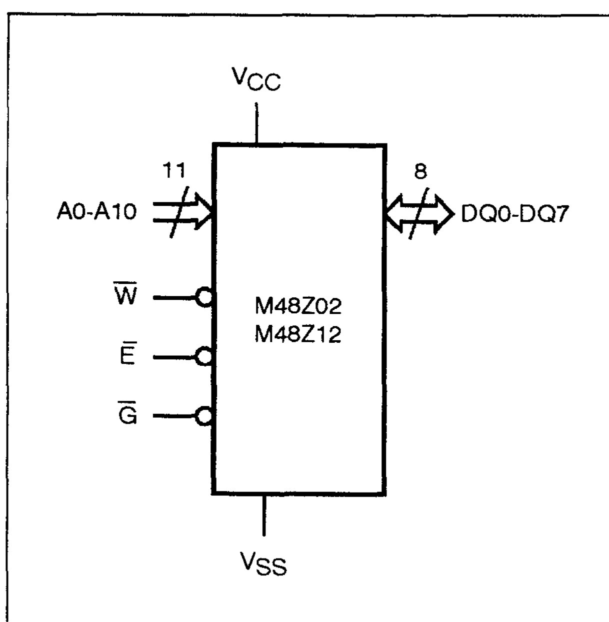
Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 50 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-5: Power Up/Down timing (zie ook figuur 8/2.6.1-4).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-4: Golfvormen en timing tijdens Power Up/Down.



Figuur 8/2.6.1-3: Logisch schema en PCDIP24-behuizing van de M48Z02 en M48Z12.

Lees-mode

De 16.384 bit grote M48Z02/M48Z12 staat in de leesmode, telkens als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ LAAG. Met behulp van 11 adreslijnen zijn 2.048 bytes data bereikbaar. Binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden is geldige data op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (zie figuur 8/2.6.1.5). Wordt niet aan de timing van $\overline{E}$ en $\overline{G}$ voldaan, dan is de data pas geldig na t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time) - welke van de twee het laatst komt.

De toestand van de acht 3-state data I/O-signalen wordt geregeld door $\overline{E}$ en $\overline{G}$. Worden de uitgangen geactiveerd vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

Schrijf-mode

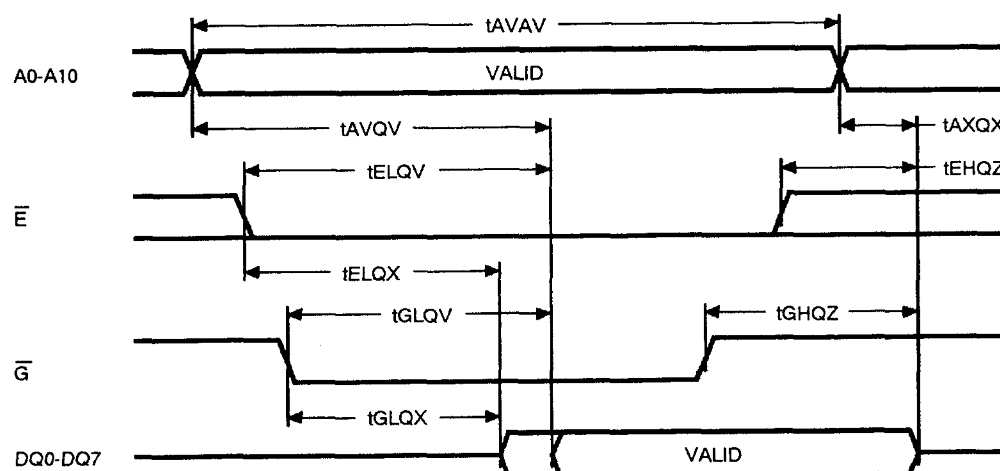
Telkens als $\overline{W}$ en $\overline{E}$ actief zijn staat de M48Z02/M48Z12 in de schrijfmode (figuur 8/2.6.1-6 en -7). De schrijfcyclus wordt gestart op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$, terwijl het schrijven wordt beëindigd op de eerst optredende stijgende flank. Het adres moet gedurende de gehele cyclus geldig gehouden worden. Voorafgaande aan de initialisatie van een nieuwe schrijfcyclus moet $\overline{E}$ of $\overline{W}$ minimaal gedurende t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C or −40 to 85°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

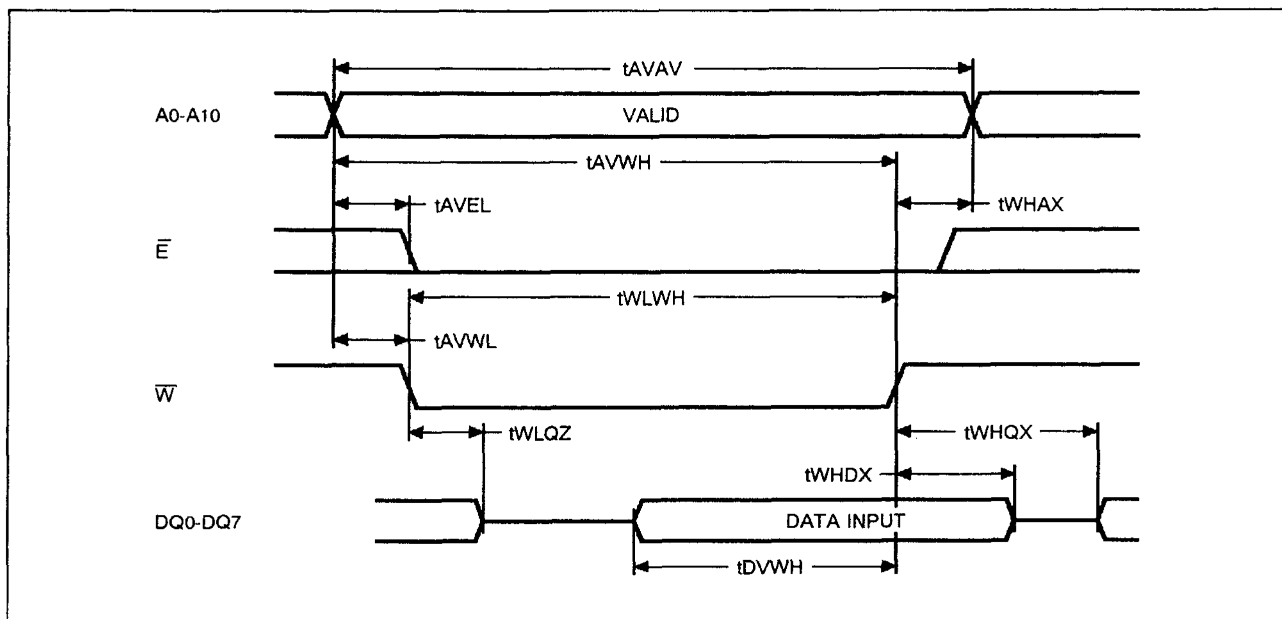
Symbol	Parameter	M48Z02 / 12						Unit
		-120		-150		-200		
		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	120		150		200		ns
t_{AVQV}	Address Valid to Output Valid		120		150		200	ns
t_{ELQV}	Chip Enable Low to Output Valid		120		150		200	ns
t_{GLQV}	Output Enable Low to Output Valid		75		75		80	ns
t_{ELQX}	Chip Enable Low to Output Transition	10		10		10		ns
t_{GLQX}	Output Enable Low to Output Transition	5		5		5		ns
t_{EHQZ}	Chip Enable High to Output Hi-Z		30		35		40	ns
t_{GHQZ}	Output Enable High to Output Hi-Z		30		35		40	ns
t_{AXQX}	Address Transition to Output Transition	5		5		5		ns

Tabel 8/2.6.1-6: Timing van het uitlezen van de M48Z02/M48Z12.

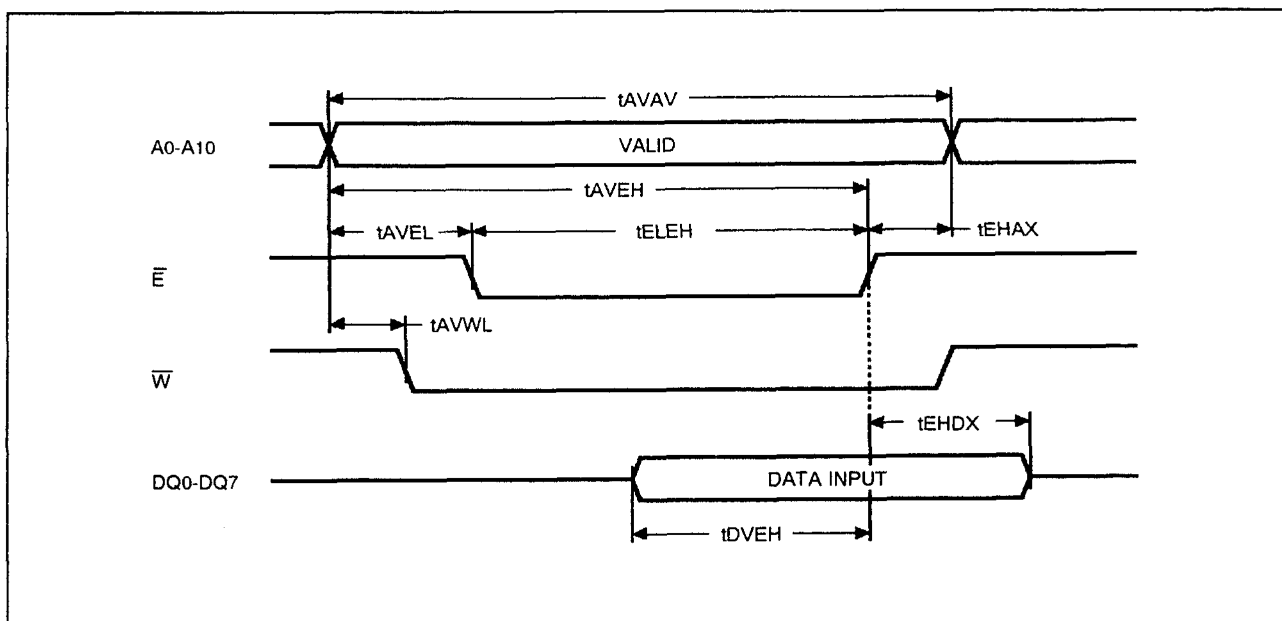


Figuur 8/2.6.1-5: Golfvormen bij de M48Z02/M48Z12 in de leesmode.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-6: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z02/M48Z12.



Figuur 8/2.6.1-7: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z02/M48Z12.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C or −40 to 85°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

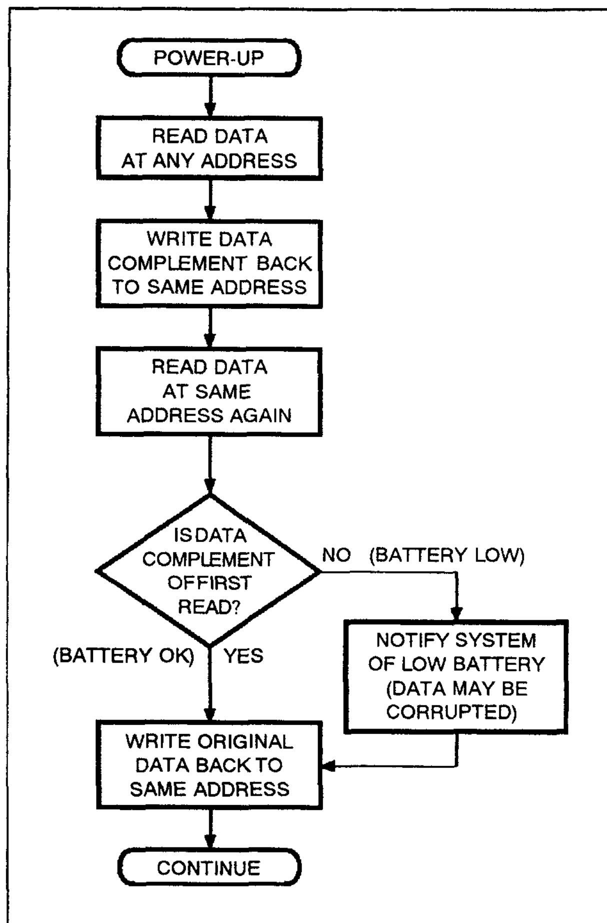
Symbol	Parameter	M48Z02 / 12						Unit
		-120		-150		-200		
		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	120		150		200		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		0		ns
t_{WLWH}	Write Enable Pulse Width	75		90		120		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		90		120		ns
t_{WHAX}	Write Enable High to Address Transition	10		10		10		ns
t_{EHAX}	Chip Enable High to Address Transition	10		10		10		ns
t_{DVWH}	Input Valid to Write Enable High	35		40		60		ns
t_{DVEH}	Input Valid to Chip Enable High	35		40		60		ns
t_{WHDX}	Write Enable High to Input Transition	5		5		5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		5		5		ns
t_{WLQZ}	Write Enable Low to Output Hi-Z		40		50		60	ns
t_{AVWH}	Address Valid to Write Enable High	90		120		140		ns
t_{AVEH}	Address Valid to Chip Enable High	90		120		140		ns
t_{WHQX}	Write Enable High to Output Transition	10		10		10		ns

Tabel 8/2.6.1-7: Timing van het schrijven in de M48Z02/M48Z12 (zie figuren 8/2.6.1-6 en -7).

Vasthouden van de data

Wanneer een geschikte V_{CC} is aangelegd, werkt de M48Z02/ M48Z12 als een conventionele "byte-wide" statische RAM. Bij verlaging van de voedingsspanning komt automatisch de "power-fail deselect" in aktie, waarbij de schrijf-beveiliging inschakelt in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$. Alle uitgangen worden hoog-impedant en alle ingangen worden "don't care".
Wanneer de power-fail tijdens een schrijfcyclus optreedt kan wel de data op het dan geldende adres beschadigd raken, maar niet de overige data in het geheugen. Het wordt aanbevolen V_{CC} te ontkoppelen.
Wanneer V_{CC} boven V_{SO} uitkomt wordt V_{CC} op de RAM aangesloten, terwijl de batterij wordt losgekoppeld. Bij het stijgen van V_{CC} wordt de batterijspanning gecontroleerd. Is de spanning daarvan te laag dan wordt de interne Battery Not OK ($\overline{BOK}$) vlag gezet. De $\overline{BOK}$-vlag kan na power-up worden gecheckt: als hij gezet is, wordt de eerste schrijfpoging geblokkeerd. Hierna wordt de vlag automatisch gecleared, zodat verder normale RAM-operaties mogelijk zijn. In fi-

guur 8/2.6.1-8 is een mogelijke $\overline{BOK}$ check-routine te zien.



Figuur 8/2.6.1-8: Het controleren van de $\overline{BOK}$-vlag status.

M48Z08, M48Z18

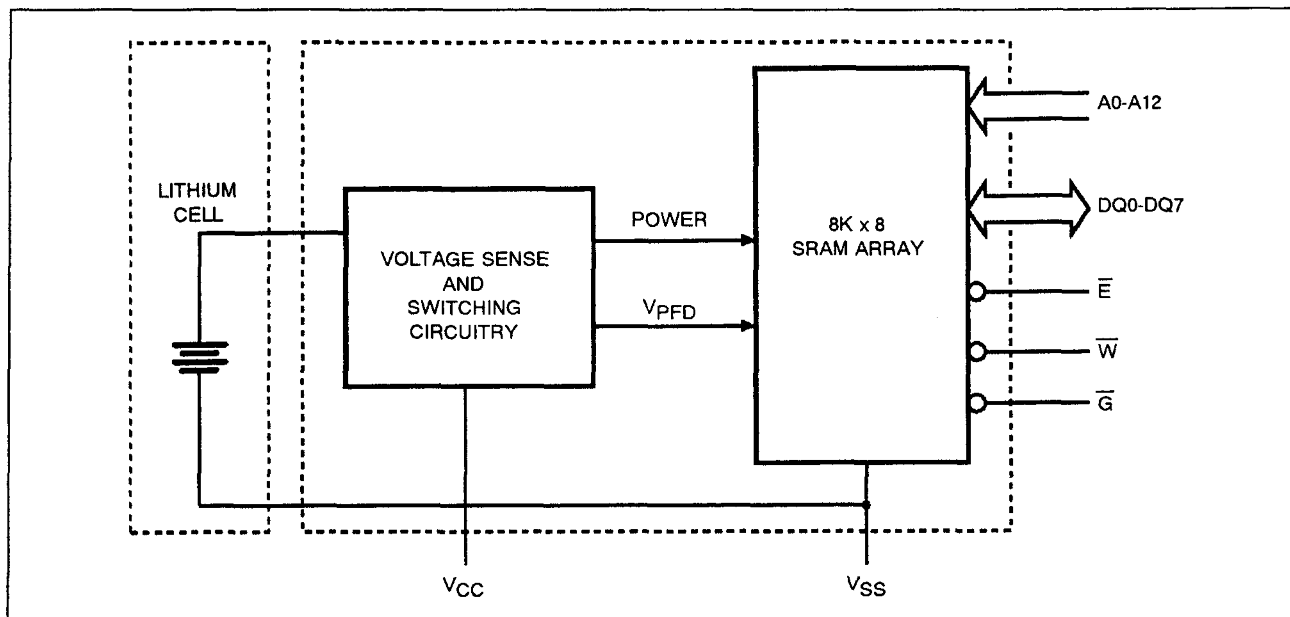
CMOS 8 k x 8 Zero-Power SRAM

De M48Z08 of M48Z18 is een 8 k x 8 bit niet-vluchtige statische RAM die pen- en functie-compatibel is met de MK48Z08/MK48Z18. De monolithische chip is leverbaar in twee speciale behuizingen voor integratie met een lithium batterij om data gedurende tenminste elf jaar te kunnen vasthouden. De M48Z08/M48Z18 is een niet-vluchtige vervanger van elke willekeurige JEDEC-standaard 8 k x 8 SRAM en kan ook in vele ROM-, EPROM- en EEPROM-sockets geplaatst worden. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen. In de 28-pens 600-mil DIP CAPHAT behuizing is de M48Z08/M48Z18 samen met een lithium batterij opgenomen. De 28-pens 330-mil SO-behuizing heeft vergulde contacten om er een aparte SNAPHAT-behuizing die de batterij bevat op te plaatsen. Dit ontwerp maakt het mogelijk om de SNAPHAT batterij nà de oppervlakte-montage aan te brengen. Hierdoor wordt beschadiging van de batterij door te hoge temperaturen vermeden. De SNAPHAT kan maar op één manier worden gemonteerd. SO-behuizing en SNAPHAT worden apart geleverd.

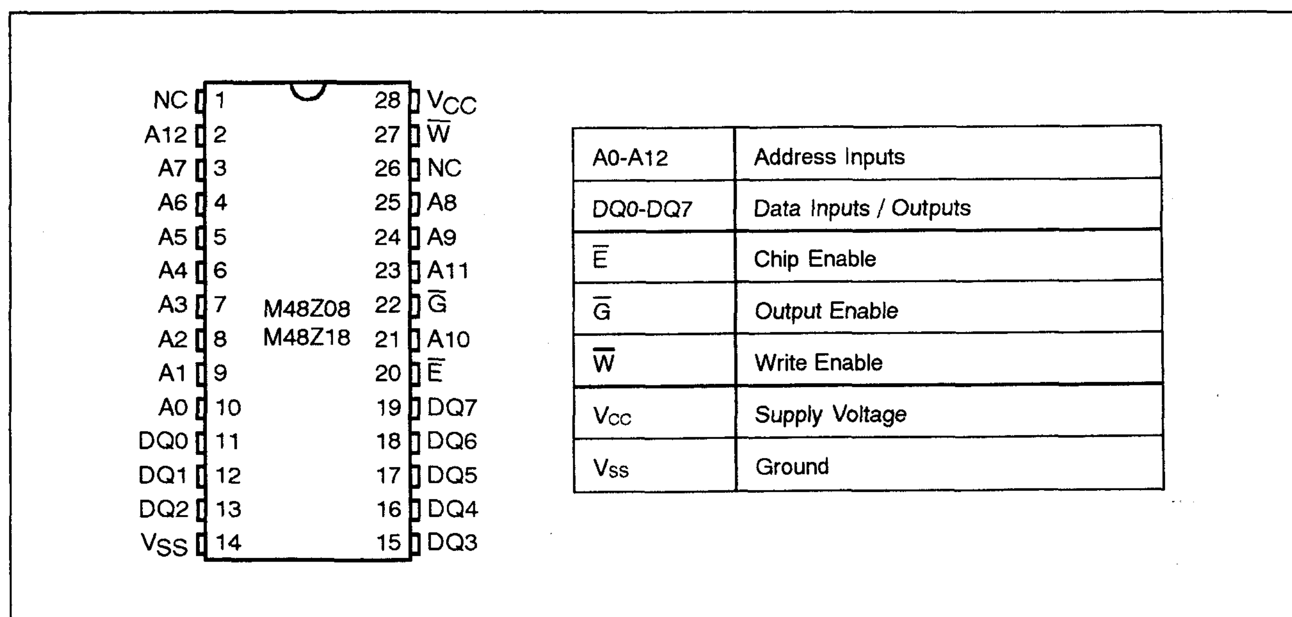
De M48Z08/M48Z18 is voorzien van een Power-Fail detectie-schakeling die constant de 5 V voeding in de gaten houdt. Zodra V_{CC} buiten de specificaties gaat, wordt de schrijfbeveiliging ingeschakeld waardoor het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan 3 V, wordt de batterij ingeschakeld om de data te behouden tot de voedingsspanning terugkomt.

Specificaties
- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Power Fail circuit + batterij
- onbeperkt aantal schrijfcycli
- gelijke lees- en schrijfcyclustijden
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z08: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48Z18: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing:
  28-pens DIL CAPHAT (PCDIP28) incl. batterij
  Small Outline behuizing met aparte, afneembare SNAPHAT batterij-houder
- 11 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- verbeterde uitvoering van MK48Z08 en MK48Z18
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-9: Blokschema van de M48Z08/M48Z18.



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

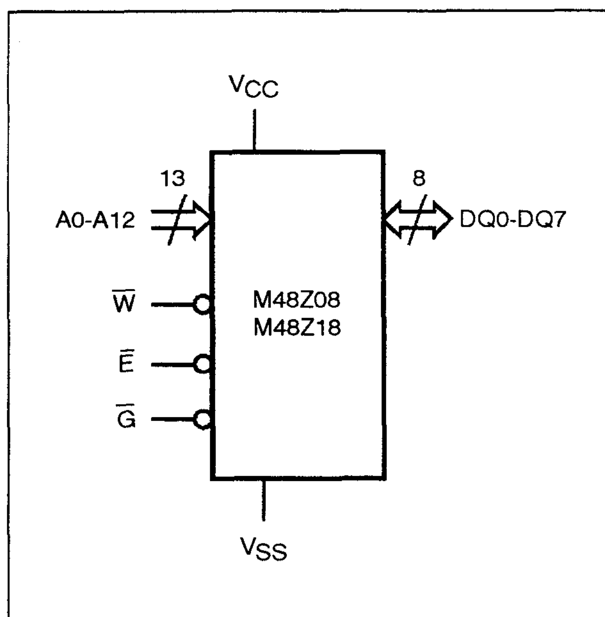
Figuur 8/2.6.1-10: Aansluitingen van de 28-pens SO- en DIL-versie van de M48Z08/M48Z18.

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	V_{CC}	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-8: Bedrijfsmodes van de M48Z08/M48Z18.



Figuur 8/2.6.1-11: Logisch schema, PCDIP28- en SOH28-behuizing (plus batterij SNAPHAT) van de M48Z08 en M48Z18.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature grade 1 grade 6	0 to 70 -40 to 85	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-9: Maximaal toegelaten waarden van de M48Z08/M48Z18.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO}	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		80	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Tabel 8/2.6.1-10: Gelijkspanningen en -stromen van de M48Z08/M48Z18.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C)

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z08)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z18)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR}	Expected Data Retention Time	11			YEARS

Note: 1. All voltages referenced to V_{SS}.

Tabel 8/2.6.1-11: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z08/M48Z18.

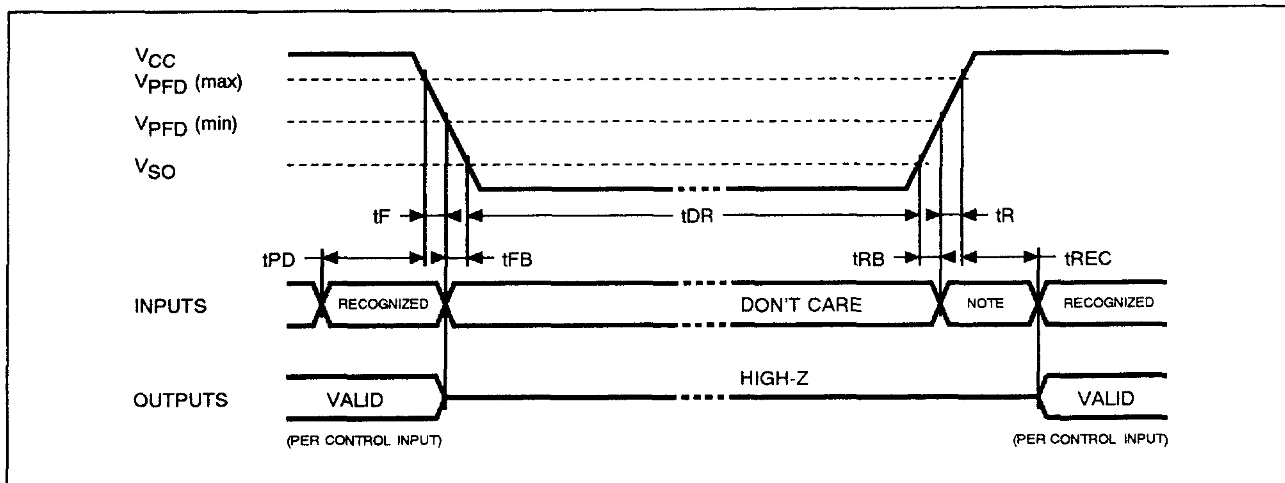
(T_A = 0 to 70°C)

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	$\overline{E}$ or $\overline{W}$ at V_{IH} after Power Up	1		ms

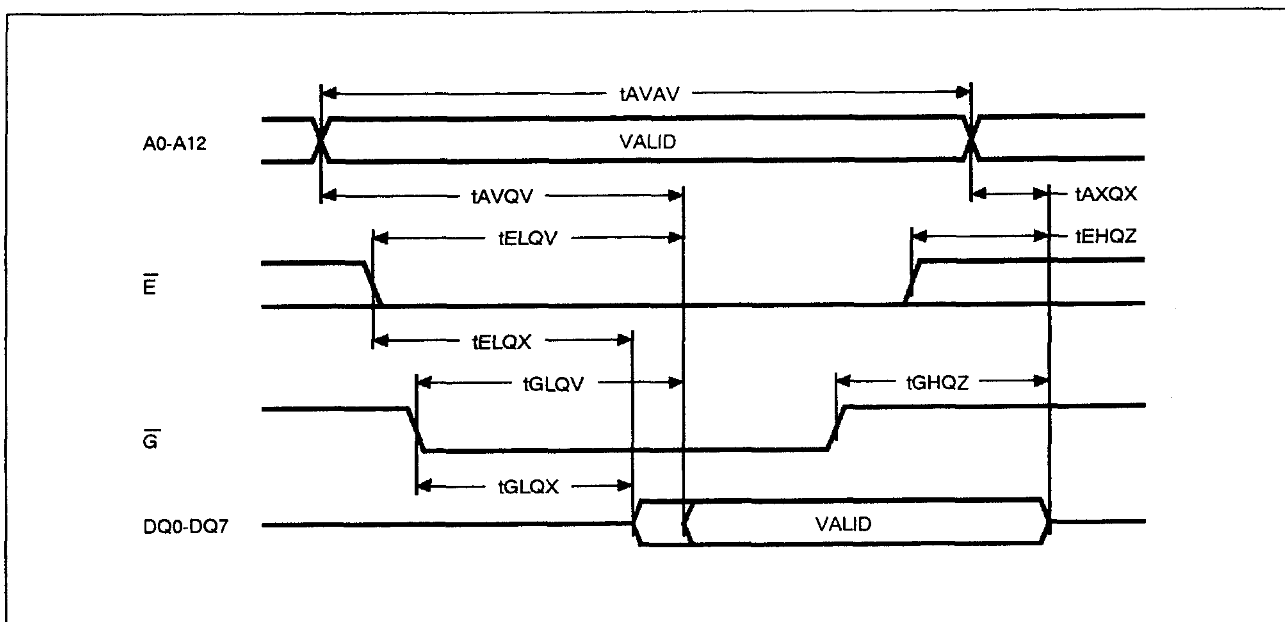
Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-12: Power Up/Down timing (zie ook figuur 8/2.6.1-12).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-12: Golfvormen en timing tijdens Power Up/Down.



Figuur 8/2.6.1-13: Golfvormen bij het uitlezen van de M48Z08/M48Z18.

Lees-mode

De M48Z08/M48Z18 staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ LAAG. Met behulp van 13 adreslijnen zijn 8.192 bytes data direct bereikbaar. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van het laatste adressignaal op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.13). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is er pas geldige data na t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time) - welke van de twee het laatst komt. De toestand van de acht 3-state data I/O-signalen wordt bepaald door $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

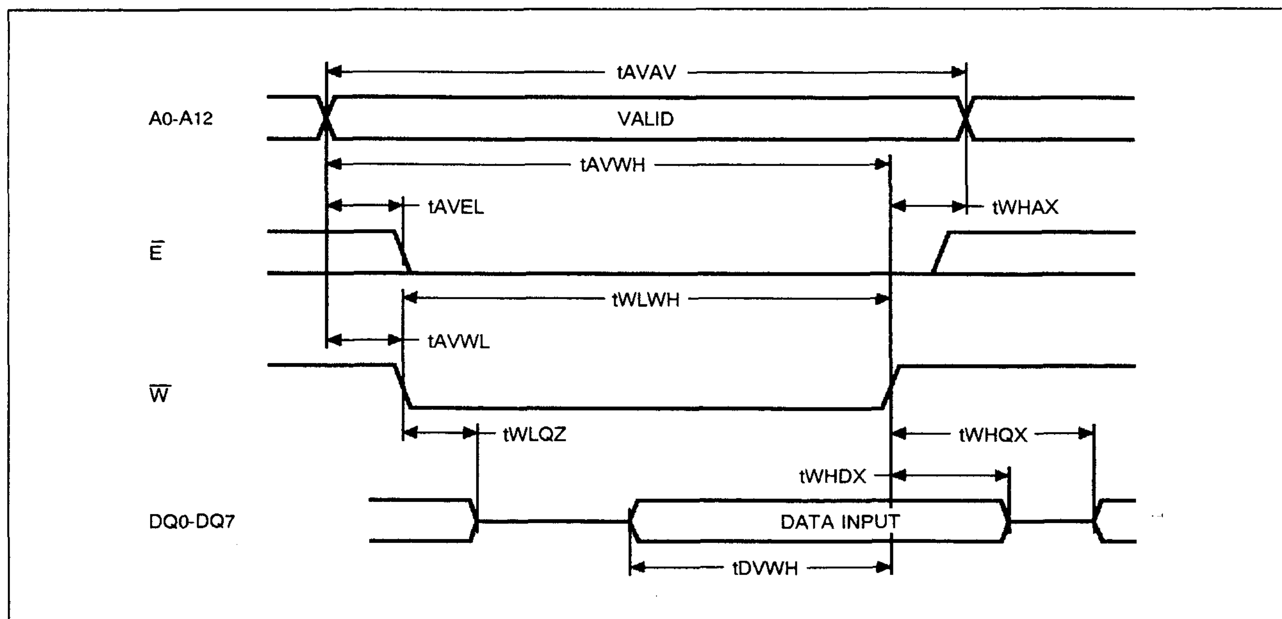
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z08 / 18 -100 Min	M48Z08 / 18 -100 Max	Unit
t_{AVAV}	Read Cycle Time	100		ns
t_{AVQV} (1)	Address Valid to Output Valid		100	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		100	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		50	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	10		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		50	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		40	ns
t_{AXQX} (1)	Address Transition to Output Transition	5		ns

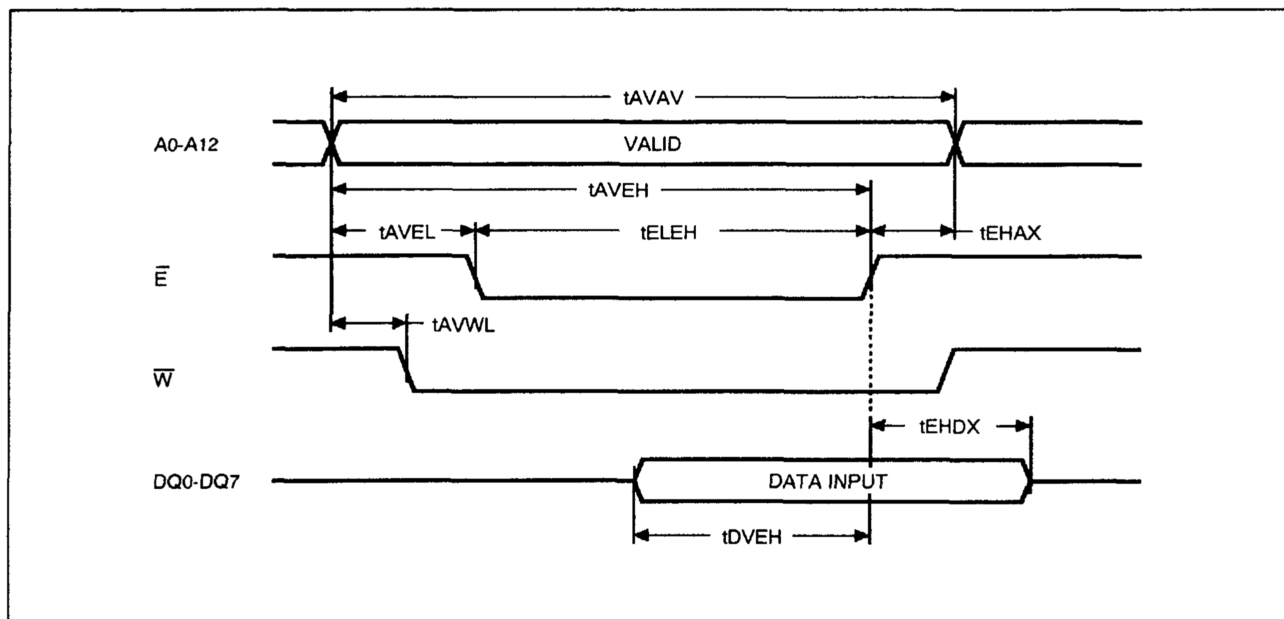
Notes: 1. C_L = 100pF (see Figure 4).
2. C_L = 30pF (see Figure 4).

Tabel 8/2.6.1-13: Timing van het uitlezen van de M48Z08/M48Z18.



Figuur 8/2.6.1-14: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z08/M48Z18.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-15: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z08/M48Z18.

Schrijf-mode

Als $\overline{W}$ en $\overline{E}$ actief zijn bevindt de M48Z08/M48Z18 zich in de schrijfmode (figuur 8/2.6.1-14 en -15). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$, terwijl het schrijven stopt op de eerst optredende stijgende flank. Het adres moet gedurende de gehele cyclus geldig zijn. Voorafgaande aan het begin van een nieuwe schrijfcyclus moet $\overline{E}$ of $\overline{W}$ minimaal gedurende t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

Vasthouden van de data

Wanneer een bruikbare V_{CC} is aangelegd, werkt de M48Z08/M48Z18 als een conventionele "byte-wide" statische RAM. Als de voedingsspanning daalt komt de "power-fail deselect" automatisch in aktie, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data te behouden en de clock te bekrachtigen.

Als de power-fail tijdens een schrijfcyclus optreedt, kan wel de data op het dan geldende adres beschadigd raken, maar niet de overige data in het geheugen. Het wordt aanbevolen V_{CC} te ontkoppelen.

Wanneer V_{CC} weer boven V_{SO} uitkomt wordt V_{CC} op de RAM aangesloten, terwijl de batterij wordt losgekoppeld.

De schrijf-beveiliging blijft ingeschakeld totdat V_{CC} hoger is dan VPFD(min). Gedurende deze tijd moet $\overline{E}$ HOOG blijven om onbedoeld schrijven te voorkomen.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z08 / 18 -100 Min	M48Z08 / 18 -100 Max	Unit
t_{AVAV}	Write Cycle Time	100		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	80		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	80		ns
t_{WHAX}	Write Enable High to Address Transition	10		ns
t_{EHAX}	Chip Enable High to Address Transition	10		ns
t_{DVWH}	Input Valid to Write Enable High	50		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{E1HDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		50	ns
t_{AVWH}	Address Valid to Write Enable High	80		ns
t_{AVEH}	Address Valid to Chip Enable High	80		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	10		ns

Notes: 1. C_L = 30pF (see Figure 4).
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.1-14: Timing bij het schrijven in de M48Z08/M48Z18 (zie de figuren 8/2.6.1-14 en -15).

M48Z09, M48Z19

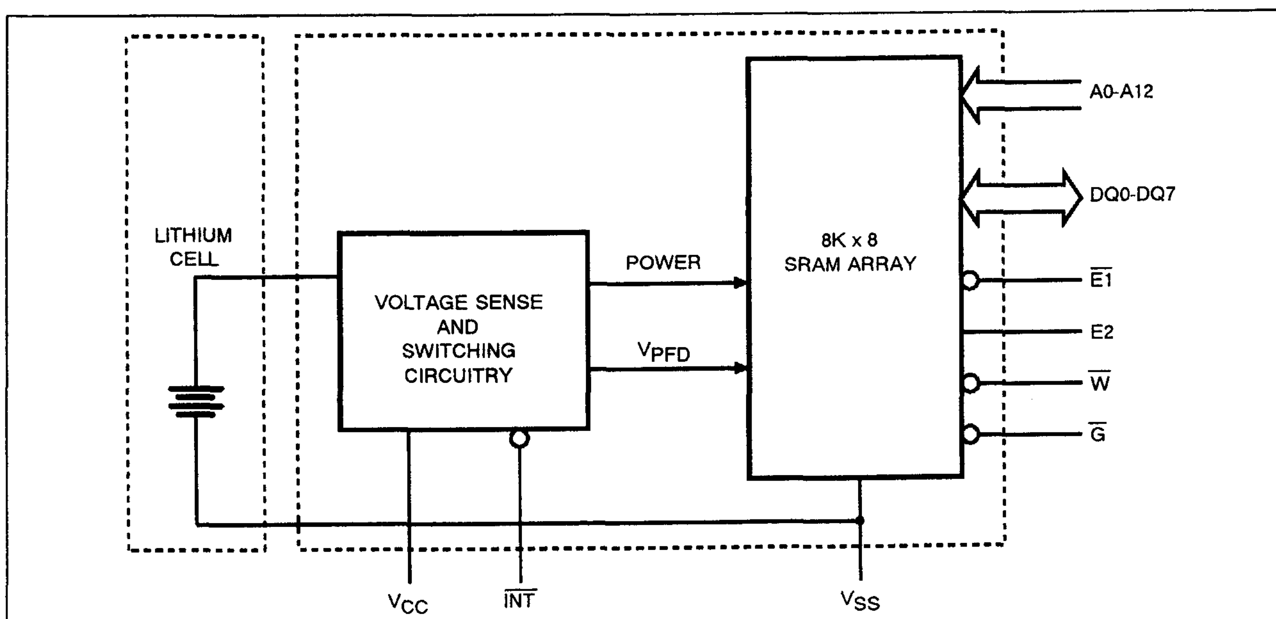
CMOS 8 k x 8 Zero-Power SRAM met Power-Fail Interrupt

De M48Z09/M48Z19 zijn 8 k x 8 bit niet-vluchtige statische RAM's (pen- en functie-compatibel met de MK48Z09/ MK48Z19), die in tegenstelling tot de M48Z08/M48Z18 een interrupt-signaal genereren zodra V_{CC} beneden het trip-punt komt. De M48Z09/M48Z19 is samen met een lithium batterij opgenomen in een 28-pens 600-mil DIP CAPHAT behuizing. Deze lithium batterij heeft voldoende capaciteit om data gedurende tenminste elf jaar te kunnen vasthouden. De M48Z09/ M48Z19 is een niet-vluchtige vervanger van elke willekeurige JEDEC-standaard 8 k x 8 SRAM, ROM, EPROM en EEPROM. Evenals bij een PROM wordt data vastgehouden bij een ongelimiteerd aantal schrijfcycli of speciale timing-eisen. De M48Z09/M48Z19 is voorzien van een Power-Fail detectie-schakeling die voortdurend de 5 V voeding controleert. Wanneer V_{CC} niet meer aan de specificaties voldoet, wordt het schrijven van data gesperd. Bij V_{CC} lager dan 3 V wordt de batterij ingeschakeld om de data te behouden tot de voedingsspanning terugkomt, terwijl bij P_{VFD} een interrupt-signaal verschijnt.

2.6 Type-beschrijving Zero-Power statische RAM's

Specificaties

- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Power Fail circuit + batterij
- onbeperkt aantal schrijfcycli
- gelijke lees- en schrijfcyclustijden
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Power-fail interrupt
- 2 Chip-Enable ingangen
- Write Protect spanning:
  M48Z09: 4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48Z19: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 28-pens DIL CAPHAT (PCDIP28) incl. batterij
- 11 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- verbeterde uitvoering van MK48Z09 en MK48Z19
- fabrikant: SGS Thomson



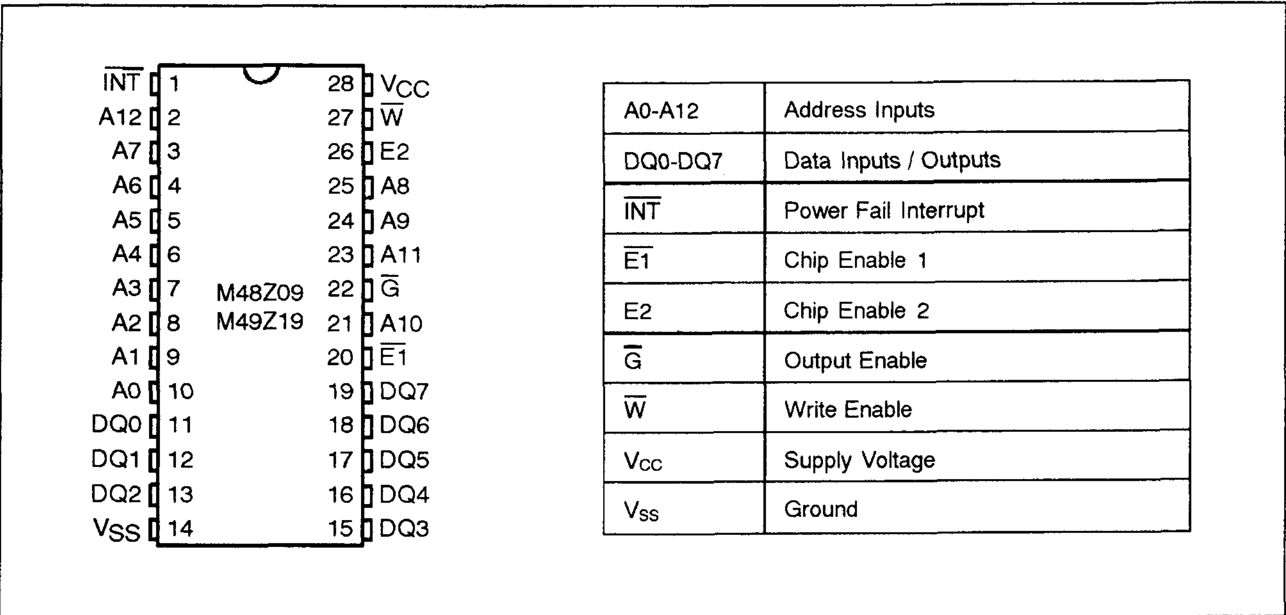
Figuur 8/2.6.1-16: Blokschema van de M48Z09/M48Z19.

Mode	Vcc	$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	X	High Z	Standby
Deselect		X	V_{IL}	X	X	High Z	Standby
Write		V_{IL}	V_{IH}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IH}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

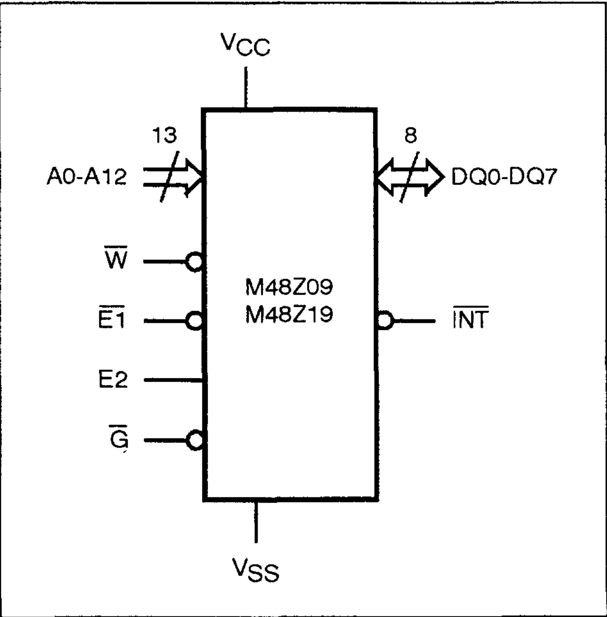
Tabel 8/2.6.1-15: Bedrijfsmodes van de M48Z09/M48Z19.

2.6 Type-beschrijving Zero-Power statische RAM's



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
INT	Power Fail Interrupt
E1	Chip Enable 1
E2	Chip Enable 2
G	Output Enable
W	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-17: Aansluitingen van de 28-pens DIL-behuizing van de M48Z09/M48Z19.



Figuur 8/2.6.1-18: Logisch schema en PCDIP28-behuizing van de M48Z09 of M48Z19.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-16: Maximaal toegelaten waarden van de M48Z09/M48Z19.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO}	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		80	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E1} = V_{IH}$, $E2 = V_{IL}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E1} = V_{CC} - 0.2V$, $E2 = V_{SS} + 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	$V_{CC} + 0.3$	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{INT}$) (1)	I_{OL} = 0.5mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. The $\overline{INT}$ pin is Open Drain.

Tabel 8/2.6.1-17: Gelijkspanningskenmerken van de M48Z09/M48Z19.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C)

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z09)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z19)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR}	Expected Data Retention Time	11			YEARS

Note: 1. All voltages referenced to V_{SS}.

Tabel 8/2.6.1-18: DC Power Up/Down trip-point karakteristieken van de M48Z09/M48Z19.

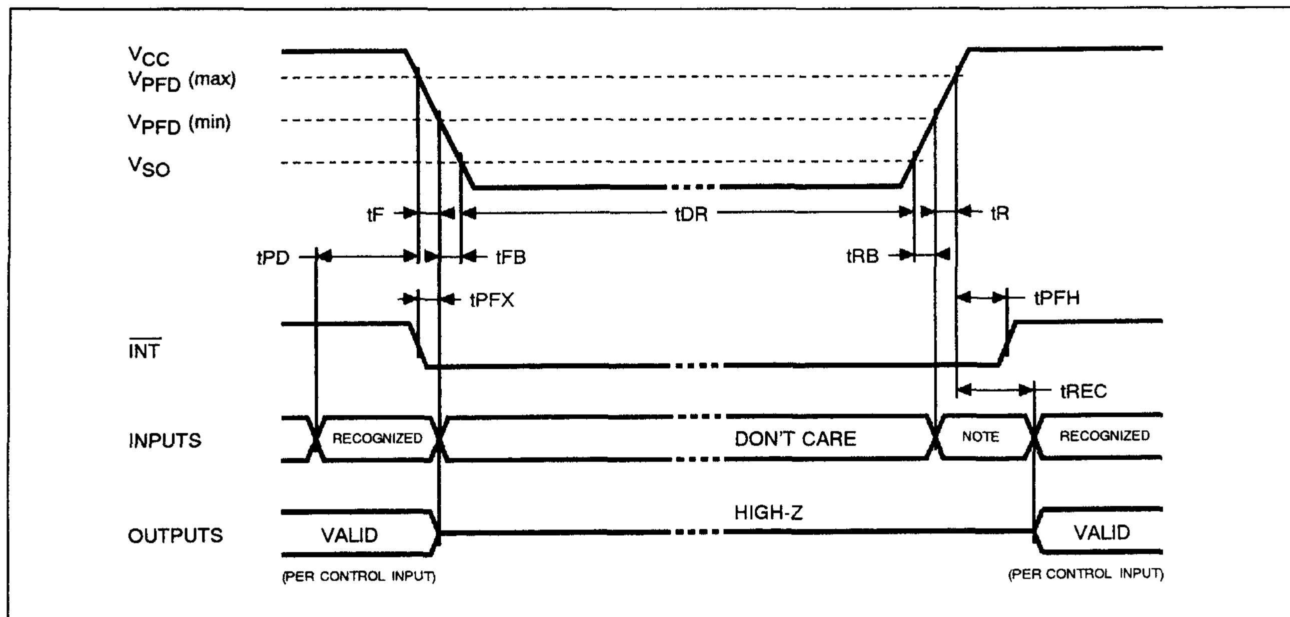
(T_A = 0 to 70°C)

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} after Power Up	1		ms
t_{PFX}	$\overline{INT}$ Low to Auto Deselect	10	40	µs
t_{PFH} (3)	V_{PFD} (max) to $\overline{INT}$ High		120	µs

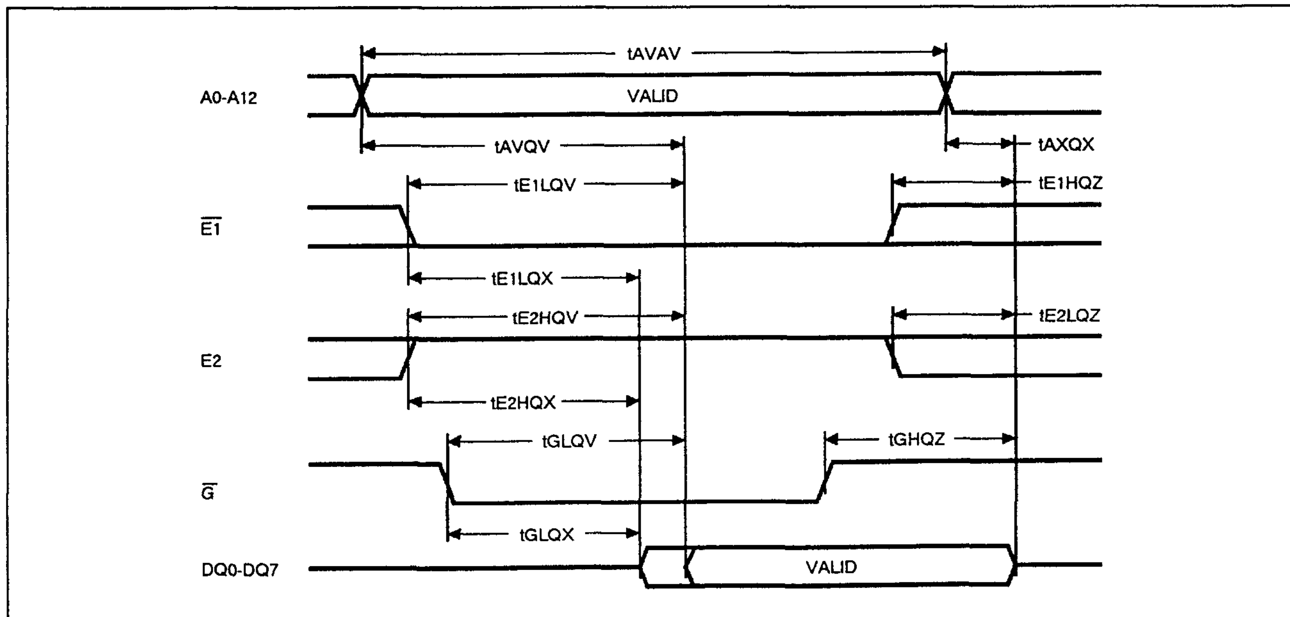
Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.
3. $\overline{INT}$ may go high anytime after V_{CC} exceeds V_{PFD} (min) and is guaranteed to go high t_{PFH} after V_{CC} exceeds V_{PFD} (max).

Tabel 8/2.6.1-19: Power Up/Down timing (zie ook figuur 8/2.6.1-19).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-19: Golfvormen en timing tijdens Power Up/Down.



Figuur 8/2.6.1-20: Golfvormen bij het uitlezen van de M48Z09/M48Z19.

Lees-mode

De M48Z09/M48Z19 kan worden uitgelezen als W̄ (Write Enable) HOOG is, Ē1 (Chip Enable 1) LAAG en E2 (Chip Enable 2) HOOG.

Met de 13 adreslijnen zijn 8.192 bytes data direct bereikbaar. Data op de data I/O-pennen is geldig binnen t_{AVQV} (Address Access Time) na het stabiel worden van het laatste adressignaal, mits aan de toegangstijden van Ē1, E2 en Ḡ wordt voldaan (figuur 8/2.6.1.20). Als niet aan de timing van de laatste drie signalen wordt voldaan, is de data pas geldig na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time). De

2.6 Type-beschrijving Zero-Power statische RAM's

toestand van de acht 3-state data I/O-signalen is afhankelijk van $\overline{E1}$, E2 en $\overline{G}$. Worden de uitgangen actief vóór t_{AVQV} dan zijn ze onbepaald; veranderen de adressignalen terwijl $\overline{E1}$, E2 en $\overline{G}$ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

Schrijf-mode

Er kan in de M48Z09/M48Z19 geschreven worden als $\overline{W}$, $\overline{E1}$ en E2 actief zijn (figuur 8/2.6.1-21 en -22). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E1}$ of de stijgende flank van E2, terwijl het schrijven stopt op de eerst optredende stijgende flank van $\overline{W}$ of $\overline{E1}$ of de dalende flank van E2. Het adres moet gedurende de gehele cyclus geldig blijven. Voorafgaande aan de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E1}$ of $\overline{W}$ HOOG of E2 LAAG gaan gedurende t_{E1HAX} of t_{E2LAX} na Chip-Enable of t_{WHAX} na Schrijf-Enable. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z09 / 19 -100 Min	M48Z09 / 19 -100 Max	Unit
t_{AVAV}	Read Cycle Time	100		ns
t_{AVQV} (1)	Address Valid to Output Valid		100	ns
t_{E1LQV} (1)	Chip Enable 1 Low to Output Valid		100	ns
t_{E2HQV} (1)	Chip Enable 2 High to Output Valid		100	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		50	ns
t_{E1LQX} (2)	Chip Enable 1 Low to Output Transition	10		ns
t_{E2HQX} (2)	Chip Enable 2 High to Output Transition	10		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{E1HQZ} (2)	Chip Enable 1 High to Output Hi-Z		50	ns
t_{E2LQZ} (2)	Chip Enable 2 Low to Output Hi-Z		50	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		40	ns
t_{AXQX} (1)	Address Transition to Output Transition	5		ns

Notes: 1. C_L= 100pF
2. C_L= 30pF

Tabel 8/2.6.1-20: Timing van de leesmode van de M48Z09/M48Z19.

2.6 Type-beschrijving Zero-Power statische RAM's

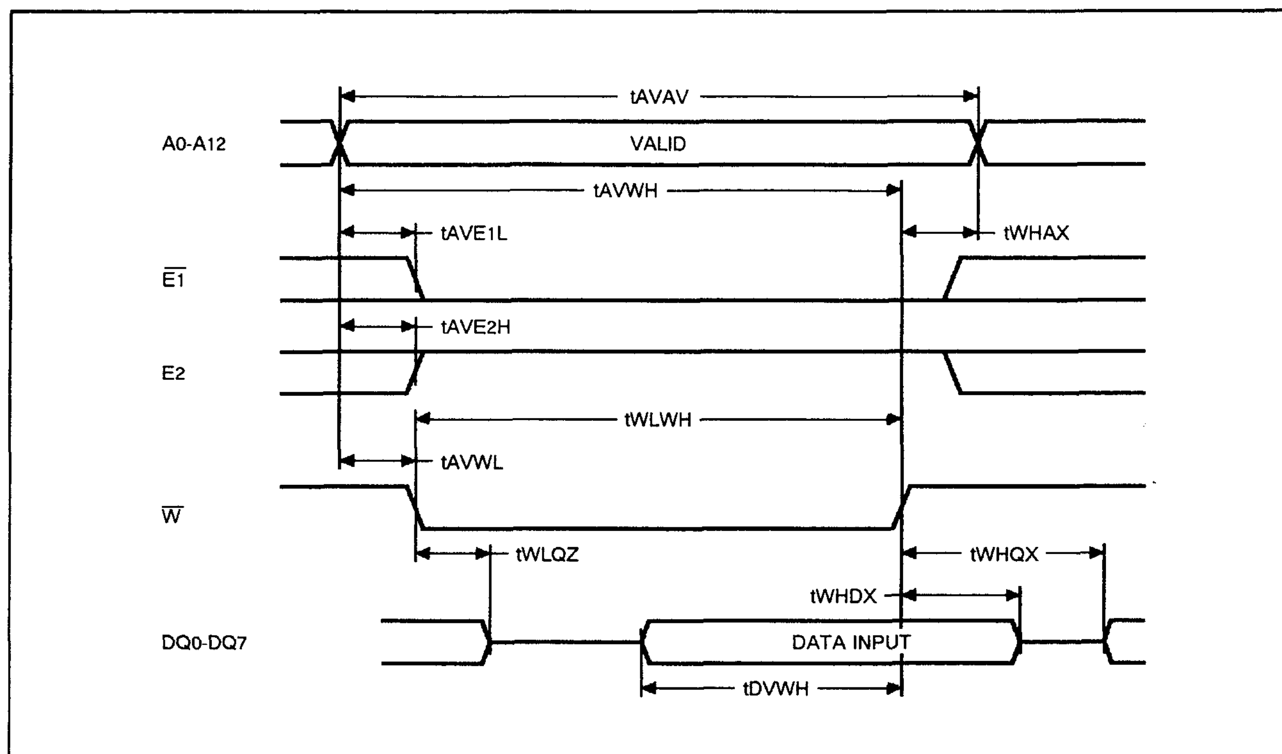
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z09 / 19		Unit
		-100		
		Min	Max	
t_{AVAV}	Write Cycle Time	100		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVE1L}	Address Valid to Chip Enable 1 Low	0		ns
t_{AVE2H}	Address Valid to Chip Enable 2 High	0		ns
t_{WLWH}	Write Enable Pulse Width	80		ns
t_{E1LE1H}	Chip Enable 1 Low to Chip Enable 1 High	80		ns
t_{E2HE2L}	Chip Enable 2 High to Chip Enable 2 Low	80		ns
t_{WHAX}	Write Enable High to Address Transition	10		ns
t_{E1HAX}	Chip Enable 1 High to Address Transition	10		ns
t_{E2LAX}	Chip Enable 2 Low to Address Transition	10		ns
t_{DVWH}	Input Valid to Write Enable High	50		ns
t_{DVE1H}	Input Valid to Chip Enable 1 High	50		ns
t_{DVE2L}	Input Valid to Chip Enable 2 Low	50		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{E1HDX}	Chip Enable 1 High to Input Transition	5		ns
t_{E2LDX}	Chip Enable 2 Low to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		50	ns
t_{AVWH}	Address Valid to Write Enable High	80		ns
t_{AVE1H}	Address Valid to Chip Enable 1 High	80		ns
t_{AVE2L}	Address Valid to Chip Enable 2 Low	80		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	10		ns

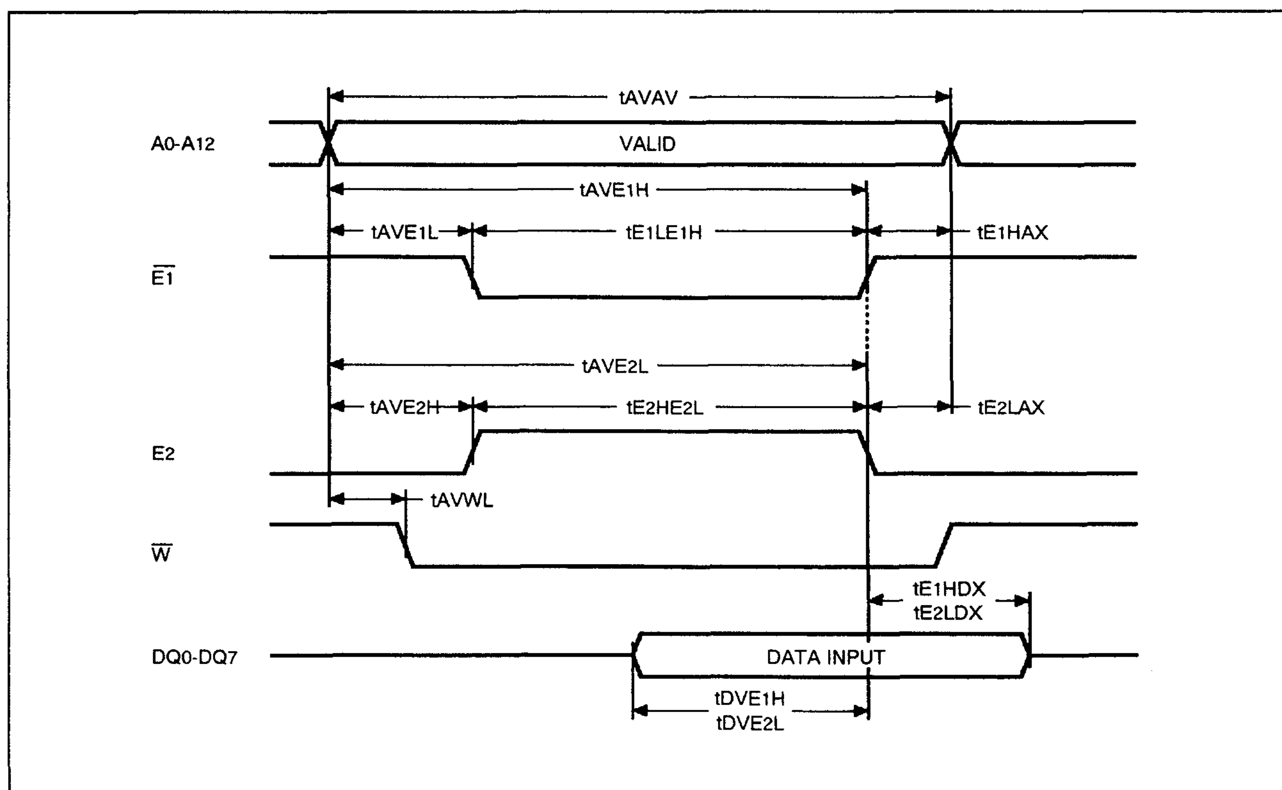
Notes: 1. C_L = 30pF
2. If $\overline{E1}$ goes low or E2 high simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.1-21: De timing van schrijfcycli bij de M48Z09/M48Z19 (zie de figuren 8/2.6.1-21 en -22).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-21: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z09/M48Z19.



Figuur 8/2.6.1-22: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48Z09/M48Z19.

2.6 Type-beschrijving Zero-Power statische RAM's

Vasthouden van de data
Wanneer een geschikte V_{CC} is aangelegd, werkt de M48Z09/M48Z19 als een conventionele "byte-wide" statische RAM. Als de voedingsspanning daalt treedt automatisch de "power-fail deselect" in werking, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden na een vertraging van 10 µs tot 40 µs hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden $V_{PFD(min)}$, dan wordt een interrupt-signaal gegenereerd dat op de $\overline{INT}$-pen verschijnt (open-drain uitgang waarvoor een optrekweerstand nodig is). Gaat V_{CC} lager dan V_{SO}, dan wordt de interne batterij ingeschakeld om de data te behouden en de clock te bekrachtigen. Wanneer V_{CC} weer boven V_{SO} uitkomt, wordt overgeschakeld van batterij op V_{CC}. De schrijf-beveiliging blijft ingeschakeld totdat V_{CC} hoger is dan $V_{PFD(min)}$. Gedurende deze tijd moet $\overline{E1}$ HOOG of E2 LAAG blijven om onbedoeld schrijven te voorkomen.

M48Z30, M48Z30Y, M48Z32, M48Z32Y

CMOS 32 k x 8 Zero-Power SRAM
De M48Z30 en M48Z30Y (en ook de M48Z32 en M48Z32Y) zijn 32 k x 8 bit niet-vluchtige statische RAM's die samen met een lithium batterij zijn opgenomen in een 28-pens 600-mil DIP CAPHAT behuizing. Deze Zero-Power geheugens zijn niet vluchtige vervangers van industrie-standaard 32 k x 8 SRAM's en kunnen ook in vele EPROM- en EEPROM-sockets geplaatst worden. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen. De M48Z32/M48Z32Y gebruikt iets minder vermogen dan de M48Z30/M48Z30Y, maar werkt op dezelfde manier. De M48Z30/M48Z30Y (en M48Z32/M48Z32Y) heeft een eigen Power-Fail detectie-schakeling die de 5 V voeding voortdurend in de gaten houdt. Zodra V_{CC} niet meer aan de specificaties voldoet, wordt de schrijf-beveiliging ingeschakeld zodat het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan ongeveer 3 V, wordt de batterij ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	High Z	Battery Back-up Mode

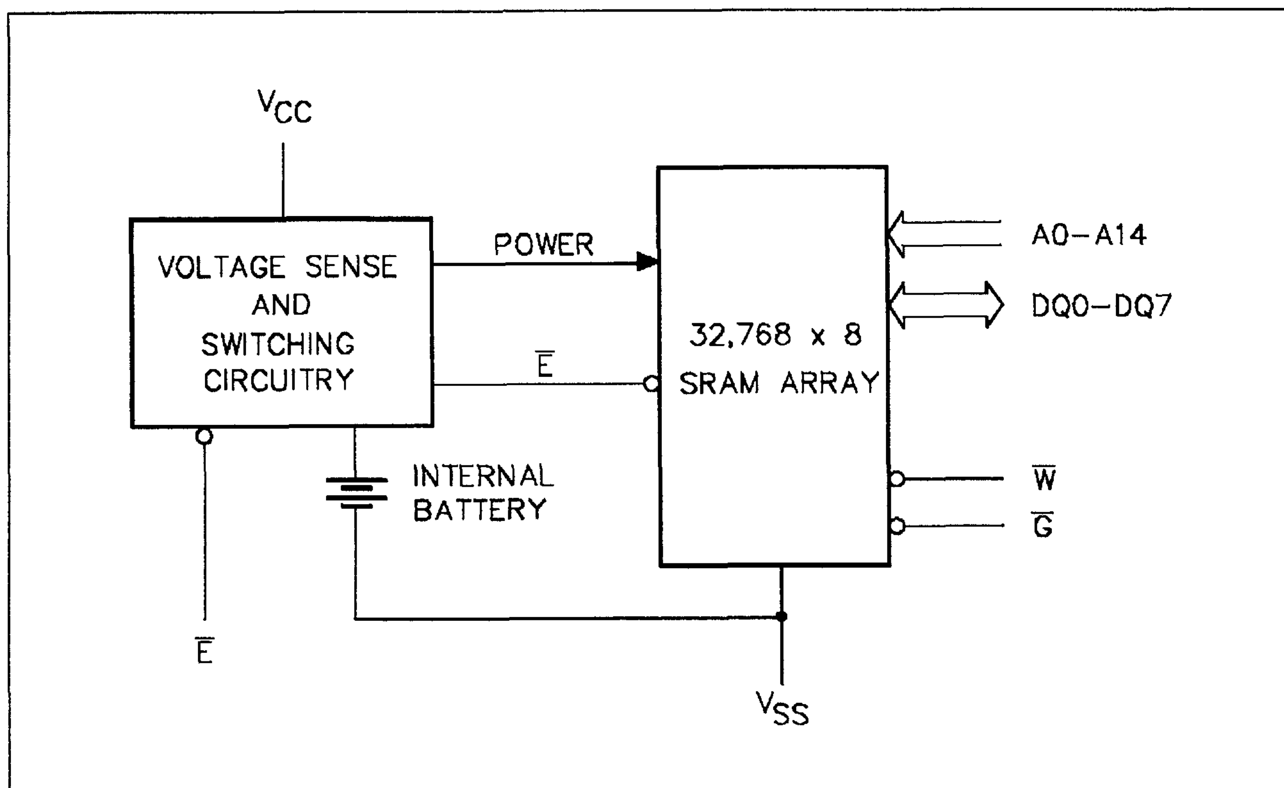
Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-22: Bedrijfsmodes van de M48Z30/M48Z30Y (M48Z32/M48Z32Y).

2.6 Type-beschrijving Zero-Power statische RAM's

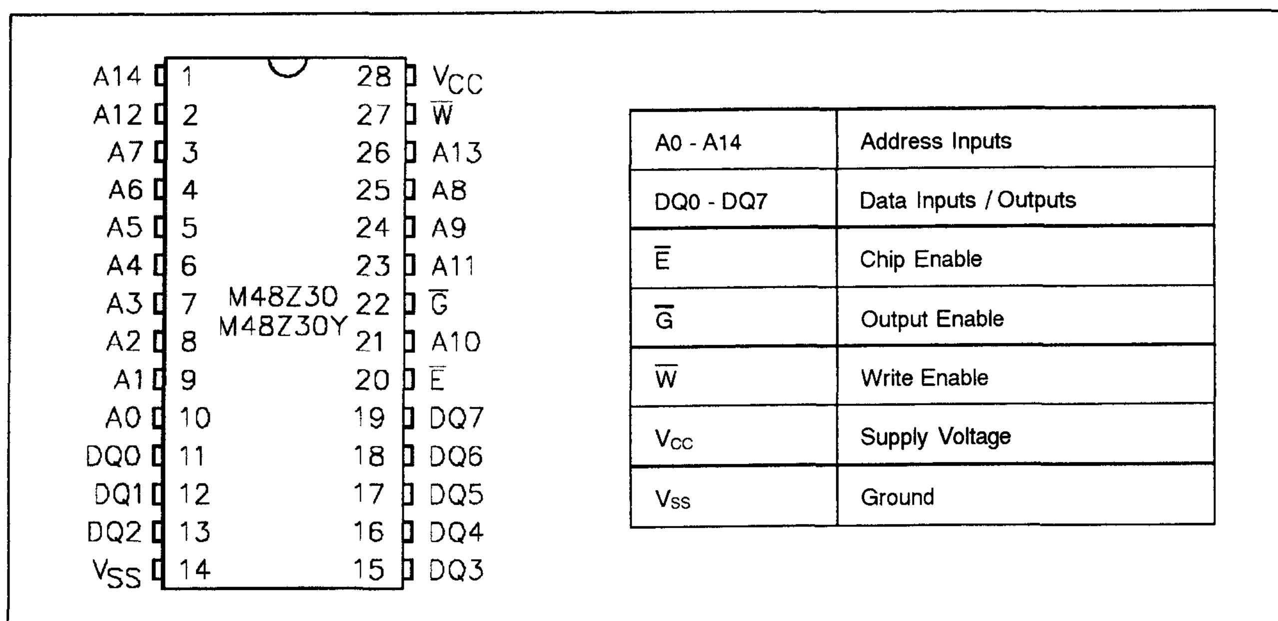
Specificaties

- 32 k x 8 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + batterij
- conventionele SRAM werking
- onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z30 (M48Z32):
  4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48Z30Y (M48Z30Y):
  4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 28-pens DIL CAPHAT (PCDIP28) incl. batterij
- 10 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson



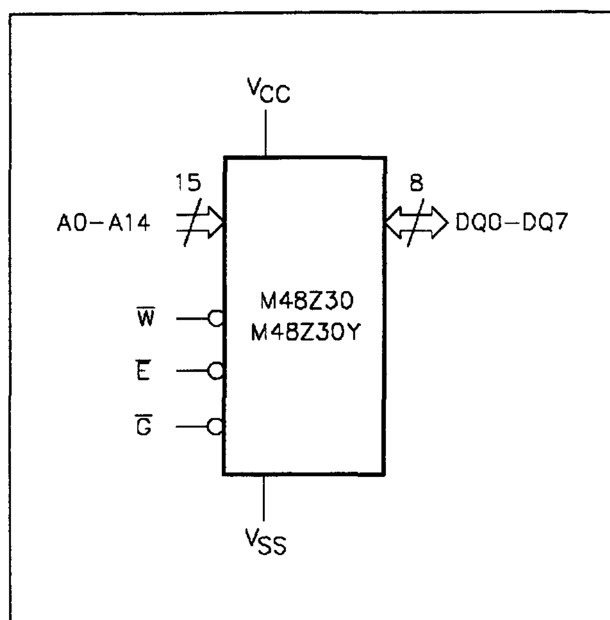
Figuur 8/2.6.1-23: Blokschema van de M48Z30/M48Z30Y (M48Z32/M48Z32Y).

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A14	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-24: Aansluitingen van de 28-pens DIL-behuizing van de M48Z30/M48Z30Y (M48Z32/M48Z32Y).



Figuur 8/2.6.1-25: Logisch schema en PCDIP28-behuizing van de M48Z30 en M48Z30Y (ook M48Z32 en M48Z32Y).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-23: Maximaal toegelaten waarden van de M48Z30/M48Z30Y (M48Z32/M48Z32Y).

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±1	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		85	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		7	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \ge V_{CC} - 0.2V$		4	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-24: Gelijkspanningen en -stromen van de M48Z30/M48Z30Y (bij de M48Z32/M48Z32Y zijn I_{cc1} en I_{cc2} beide maximaal 3 mA).

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z30)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z30Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR} (2)	Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.1-25: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z30/M48Z30Y (M48Z32/M48Z32Y).

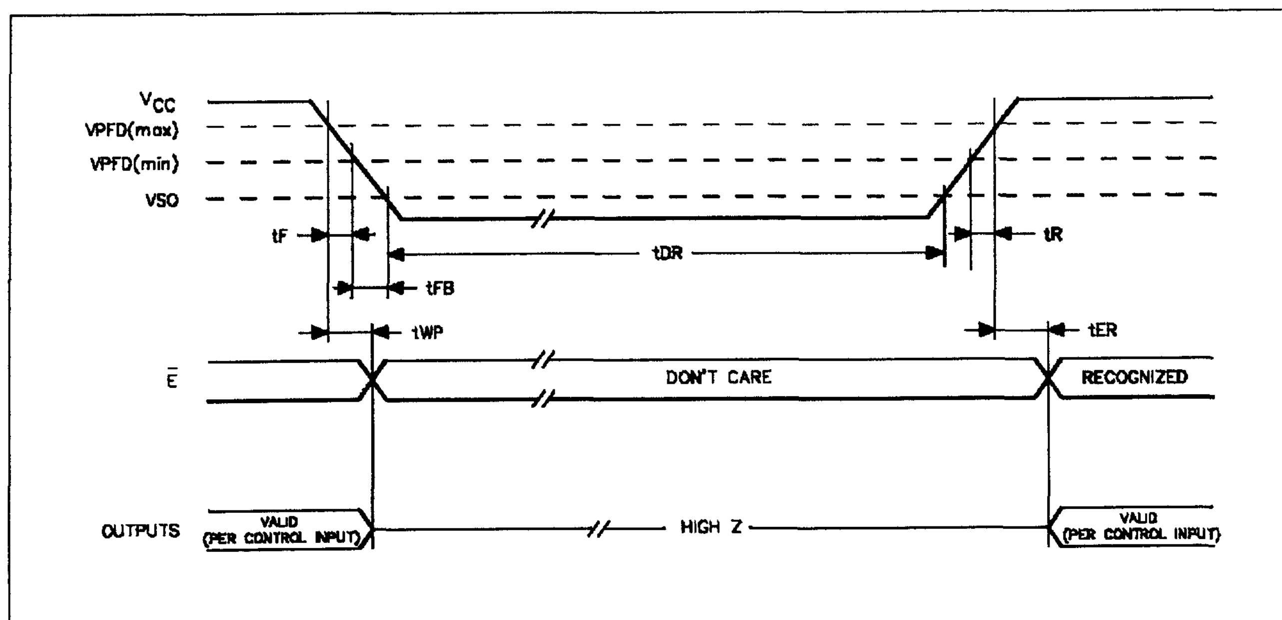
2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from V_{CC} = V_{PFD}	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).

2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-26: Power Up/Down timing (zie ook figuur 8/2.6.1-26).



Figuur 8/2.6.1-26: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

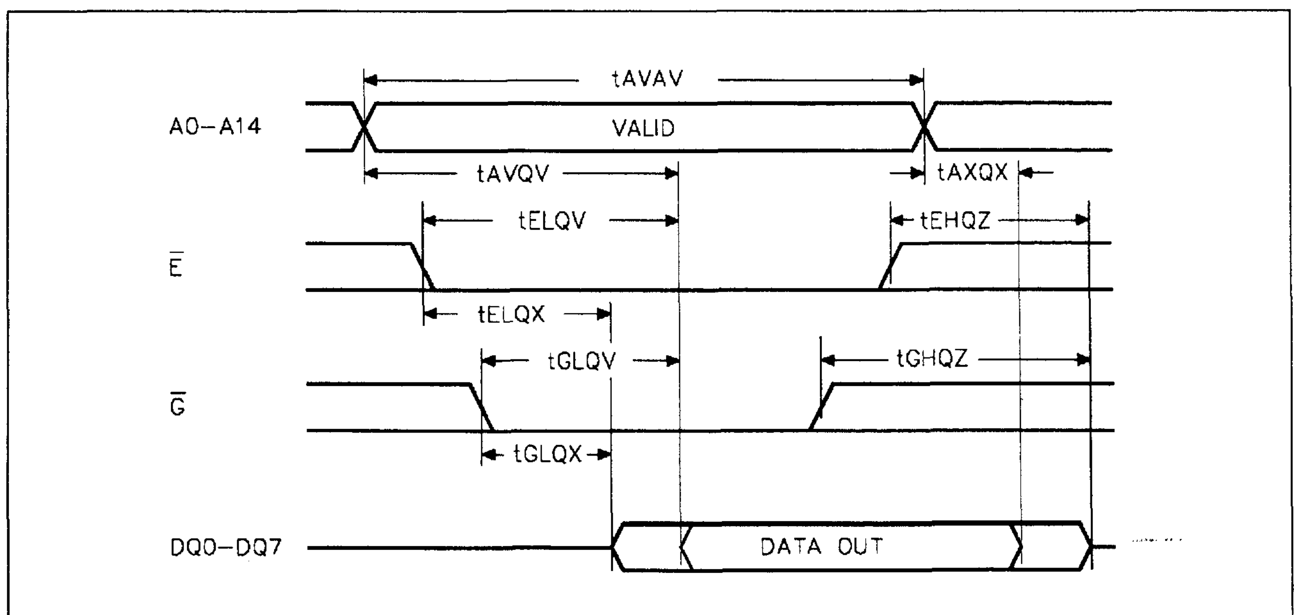
De M48Z30/M48Z30Y (M48Z32/M48Z32Y) staat (net als de M48Z08/M48Z18) in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 15 adreslijnen zijn 32.768 bytes data direct bereikbaar. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.27). Wordt niet aan de timing van $\overline{E}$ en $\overline{G}$ voldaan dan is er pas geldige data na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time). De toestand van de acht 3-state data I/O-signalen wordt bepaald door $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adressignalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adressignalen (figuur 8/2.6.1.28).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	M48Z30 / 30Y				Unit
		-85		-100		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		100		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		100	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		100	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		50	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		40		40	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		35		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

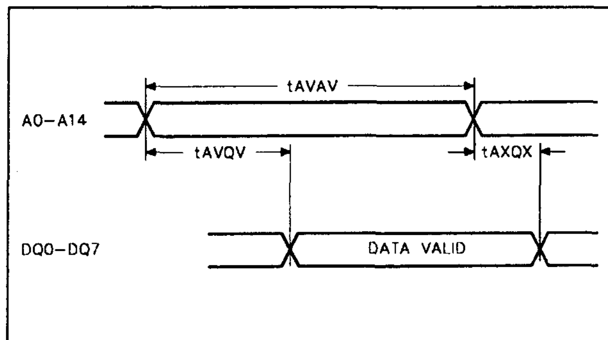
Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-27: Schakeltijden van de M48Z30/M48Z30Y in de leesmode. Bij de M48Z32/M48Z32Y is t_{EHQZ} iets korter: 30 ns (-85) en 35 ns (-100).



Figuur 8/2.6.1-27: Golfvormen bij het uitlezen van de M48Z30/M48Z30Y onder besturing van $\overline{E}$ of $\overline{G}$ ($\overline{W}$ = HOOG).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-28: Golfvormen en timing door middel van de adreslijnen bij het uitlezen van de M48Z30/M48Z30Y ($\overline{E}$ en $\overline{G}$ = LAAG, $\overline{W}$ = HOOG).

Schrijf-mode

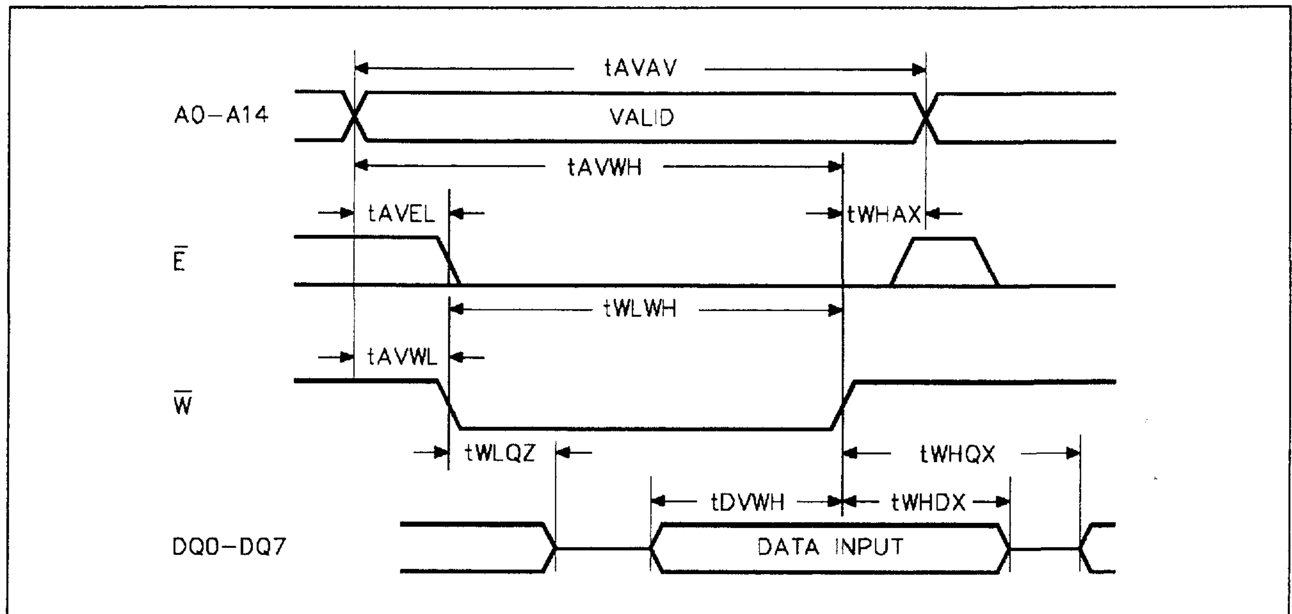
De M48Z30/M48Z30Y bevindt zich in de schrijfmode als $\overline{W}$ en $\overline{E}$ actief zijn (figuur 8/2.6.1-29 en -30). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank hiervan. Het adres moet gedurende de gehele cyclus geldig zijn. Voorafgaande aan het begin van een nieuwe schrijfcyclus moet $\overline{E}$ minimaal gedurende t_{EHAX} na Chip Enable HOOG gaan of $\overline{W}$ gedurende t_{WHAX} na Schrijf Enable. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

Symbol	Parameter	M48Z30 / 30Y				Unit
		-85		-100		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		100		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		75		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		90		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		40		ns
t_{DVEH}	Input Valid to Chip Enable High	35		40		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	15		15		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		35		35	ns
t_{AVWH}	Address Valid to Write Enable High	75		80		ns
t_{AVEH}	Address Valid to Chip Enable High	75		80		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	5		5		ns

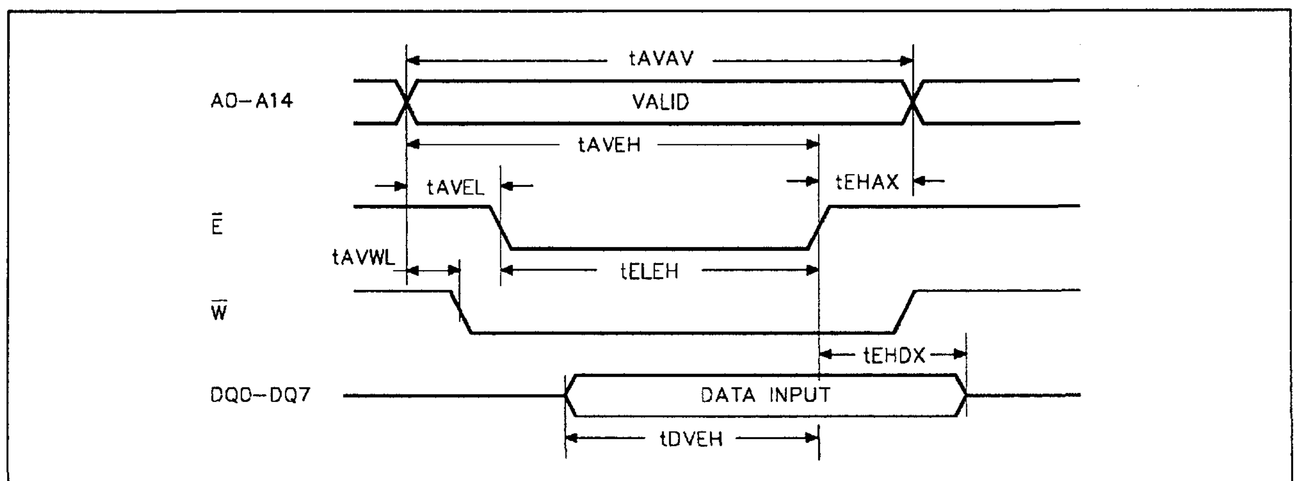
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low after $\overline{W}$ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-28: Timing bij de M48Z30/M48Z30Y (M48Z32/M48Z32Y) in de schrijfmode (zie ook de figuren 8/2.6.1-29 en -30).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-29: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z30/M48Z30Y ($\overline{G}$ = HOOG).



Figuur 8/2.6.1-30: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z30/M48Z30Y (M48Z32/M48Z32Y).

Vasthouden van de data

Wanneer de juiste V_{CC} aanwezig is, werkt de M48Z30/M48Z30Y (M48Z32/M48Z32Y) als een conventionele "byte-wide" statische RAM. Daalt de voedingsspanning dan komt de "power-fail deselect" automatisch in aktie, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data vast te houden.

M48Z35, M48Z35Y

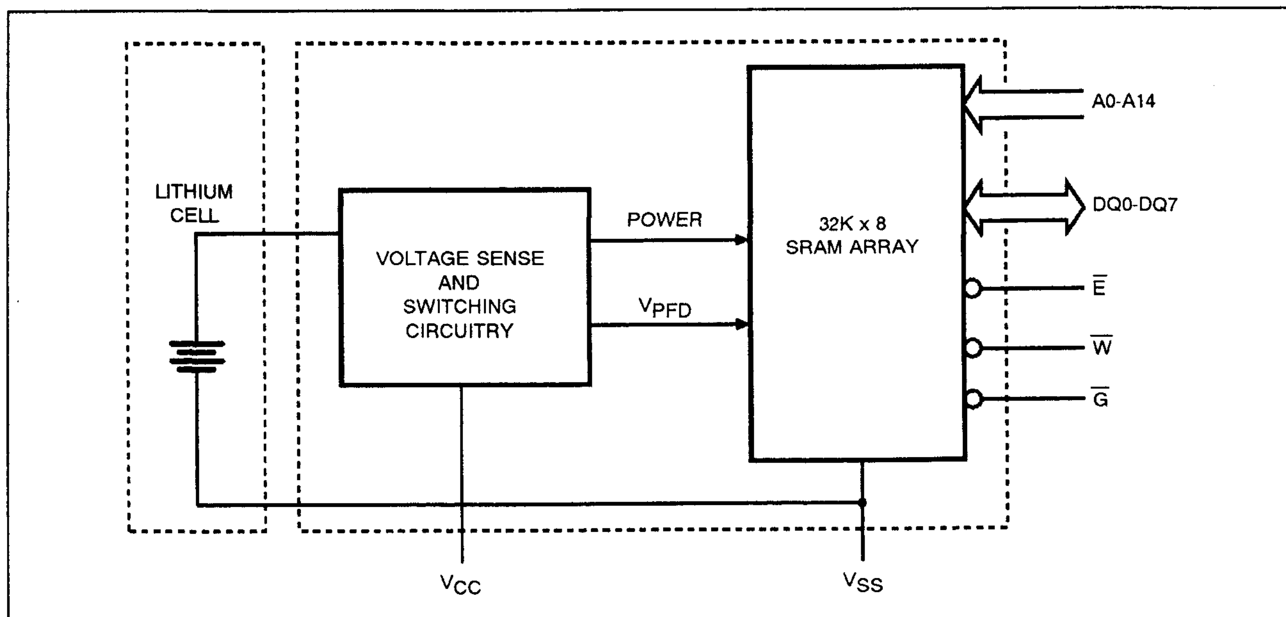
CMOS 32 k x 8 Zero-Power SRAM

De M48Z35/M48Z35Y is een snelle 32 k x 8 bit niet-vluchtige statische RAM met geïntegreerde lithium batterij voor het vasthouden van data gedurende tenminste tien jaar.

2.6 Type-beschrijving Zero-Power statische RAM's

De M48Z35 is verkrijgbaar in twee speciale behuizingen: in de 28-pens 600-mil DIP CAPHAT behuizing is het geheugen samen met een lithium batterij opgenomen. De 28-pens 330-mil SO-behuizing heeft vergulde contacten waar een aparte SNAPHAT-behuizing met batterij op geplaatst kan worden.
Dit laatste ontwerp maakt het mogelijk om de SNAPHAT batterij nà de oppervlaktemontage te plaatsen. Hierdoor wordt beschadiging van de batterij door te hoge temperaturen vermeden. De SNAPHAT kan maar op één manier worden gemonteerd. SO-behuizing en SNAPHAT worden apart geleverd. De M48Z35/M48Z35Y is een niet-vluchtige vervanger van willekeurige JEDEC-standaard 32 k x 8 SRAM's en kan ook in vele ROM-, EPROM- en EEPROM-sockets geplaatst worden. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen.
De M48Z35/M48Z35Y is voorzien van een Power-Fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Zodra V_{CC} buiten de specificaties gaat, wordt de schrijf-beveiliging ingeschakeld waardoor het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan 3 V, wordt de batterij ingeschakeld om de data te behouden tot de voedingsspanning terugkomt.

Specificaties
- 32 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Power Fail circuit + batterij
- gelijke lees- en schrijfcyclustijden
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z35: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48Z35Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing:
  28-pens DIL CAPHAT (PCDIP28) incl. batterij
  Small Outline behuizing met aparte, afneembare SNAPHAT batterij-houder
- 10 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 32 k x 8 SRAM's
- fabrikant: SGS Thomson



Figuur 8/2.6.1-31: Blokschema van de M48Z35/M48Z35Y.

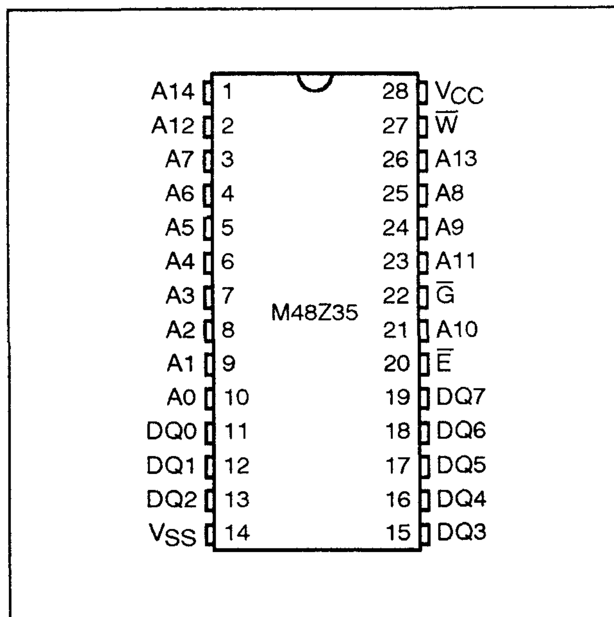
(wordt vervolgd)

2.6 Type-beschrijving Zero-Power statische RAM's

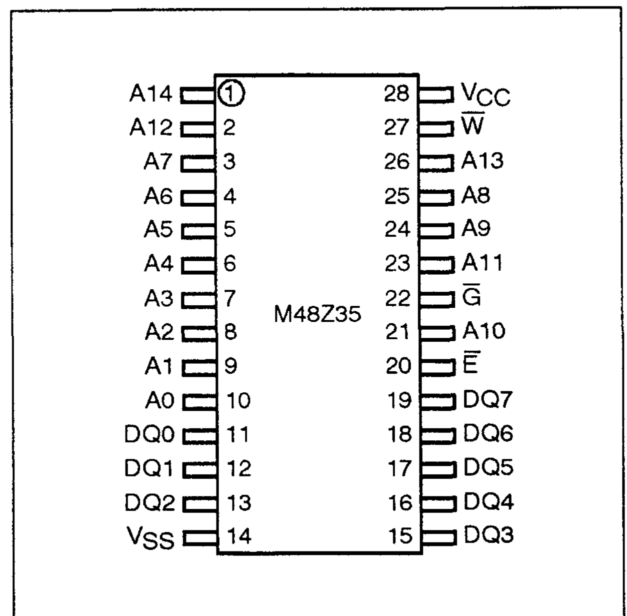
Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.1-29: Bedrijfsmodes van de M48Z35/M48Z35Y.

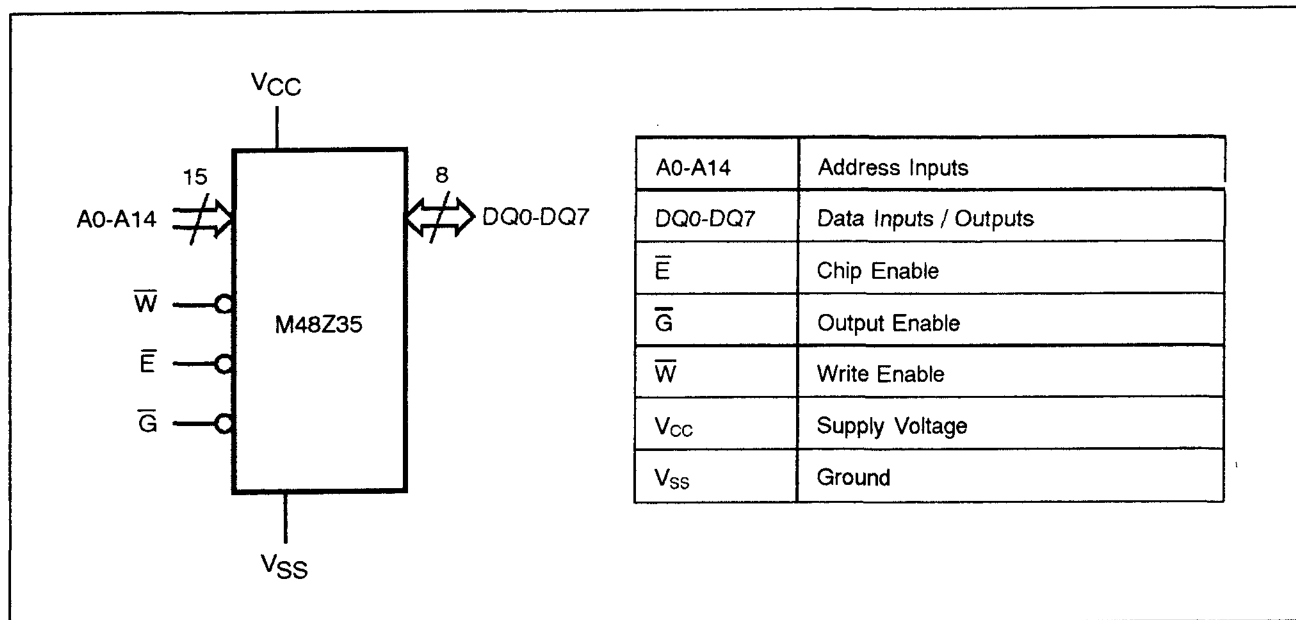


Figuur 8/2.6.1-32: Aansluitingen van de 28-pens DIL-behuizing van de M48Z35/M48Z35Y.



Figuur 8/2.6.1-33: Aansluitingen van de 28-pens SO-behuizing van de M48Z35/M48Z35Y.

2.6 Type-beschrijving Zero-Power statische RAM's

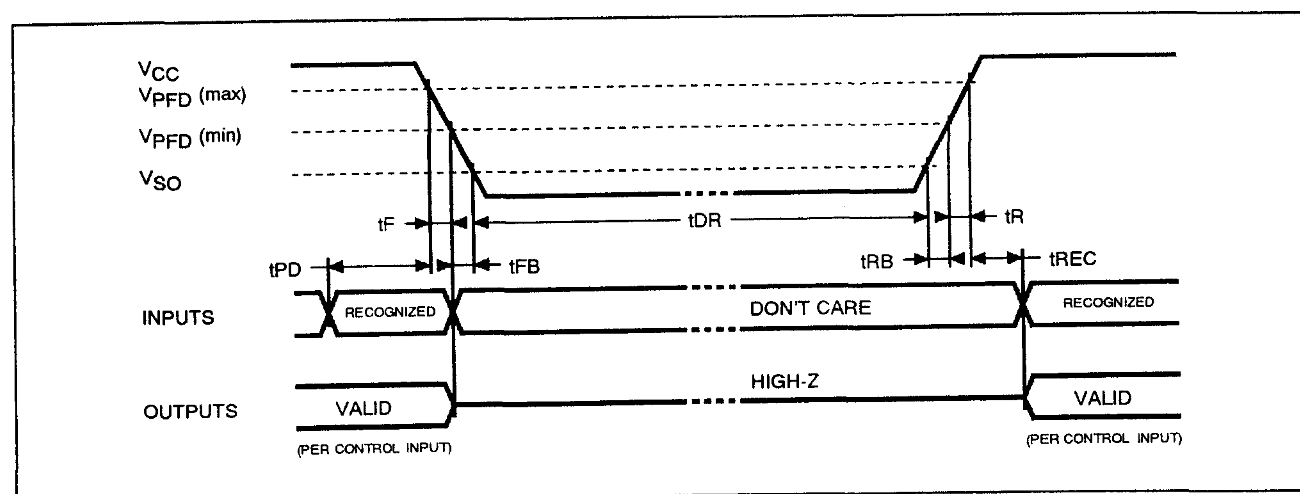


A0-A14	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-34: Logisch schema en signaalfuncties van de M48Z35/M48Z35Y.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-30: Maximaal toegelaten waarden van de M48Z35/M48Z35Y.



Figuur 8/2.6.1-35: Golfvormen en timing tijdens Power Up/Down.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO}	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Tabel 8/2.6.1-31: Gelijkspanningen en -stromen van de M48Z35/M48Z35Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z35)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z35Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25 °C

Tabel 8/2.6.1-32: Gelijkspannings Power Up/Down trippoint-kenmerken van de M48Z35/M48Z35Y.

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to Inputs Recognized	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-33: Power Up/Down timing (zie ook figuur 8/2.6.1-35).

2.6 Type-beschrijving Zero-Power statische RAM's

Lees-mode

De M48Z35(Y) staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ LAAG. Met behulp van 15 adreslijnen kunnen 32.768 data-bytes direct worden geadresseerd. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van het laatste adressignaal op de Data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.36). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is er pas geldige data na t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time) - welke van de twee het laatst komt.

De toestand van de acht 3-state data I/O-signalen is afhankelijk van $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, zijn de signalen onbepaald; veranderen de adressignalen terwijl $\overline{E}$ en $\overline{G}$ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

Schrijf-mode

De M48Z35/M48Z35Y bevindt zich in de schrijfmode als $\overline{W}$ en $\overline{E}$ actief zijn (figuur 8/2.6.1-37 en -38). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank. Het adres moet gedurende de gehele cyclus stabiel en geldig zijn. Voorafgaande aan het begin van een nieuwe schrijfcyclus moet $\overline{E}$ of $\overline{W}$ minimaal gedurende t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

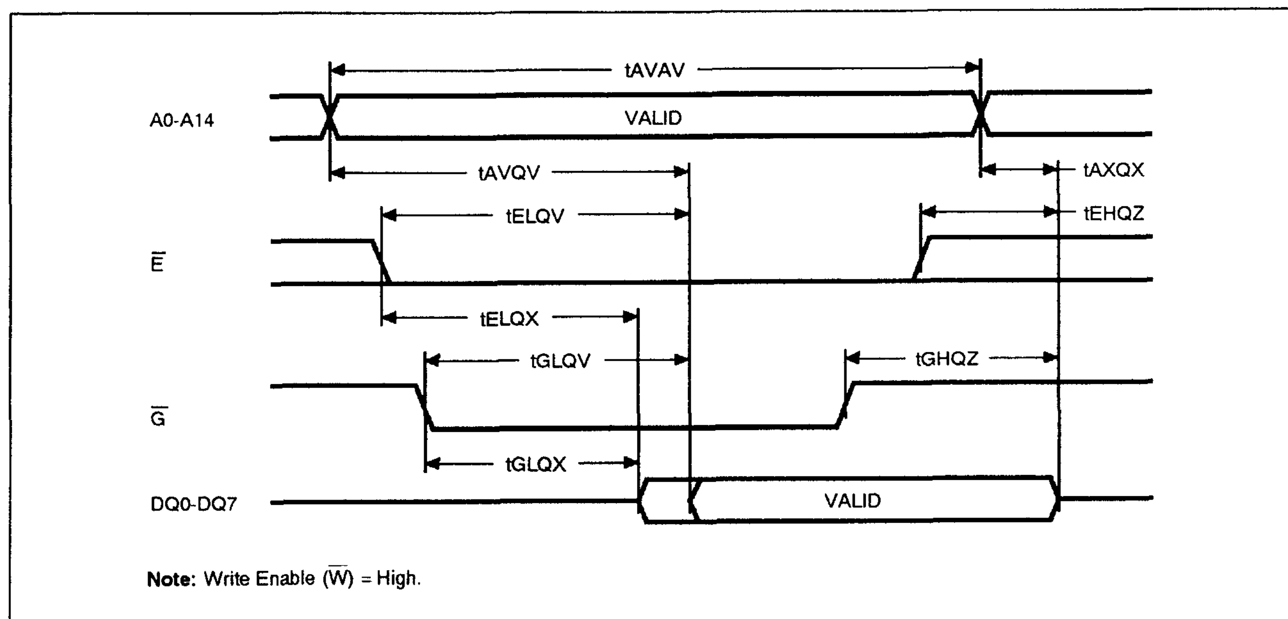
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z35 / 35Y		Unit
		-70		
		Min	Max	
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

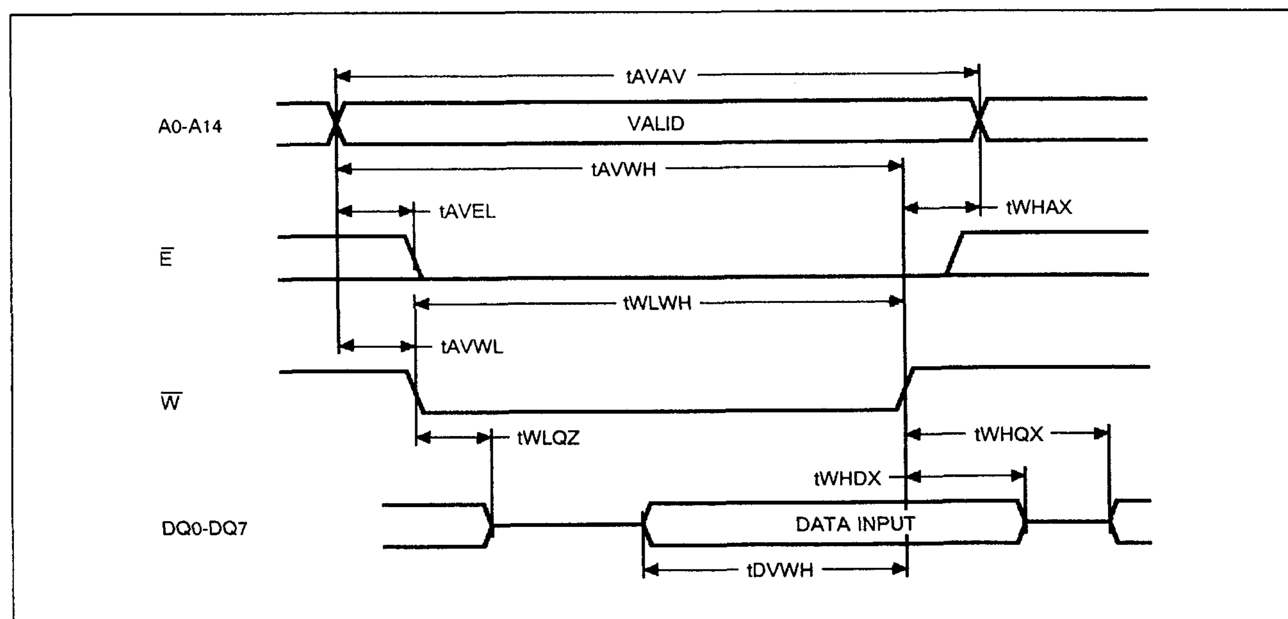
Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-34: Timing van het uitlezen van de M48Z35/M48Z35Y.

2.6 Type-beschrijving Zero-Power statische RAM's

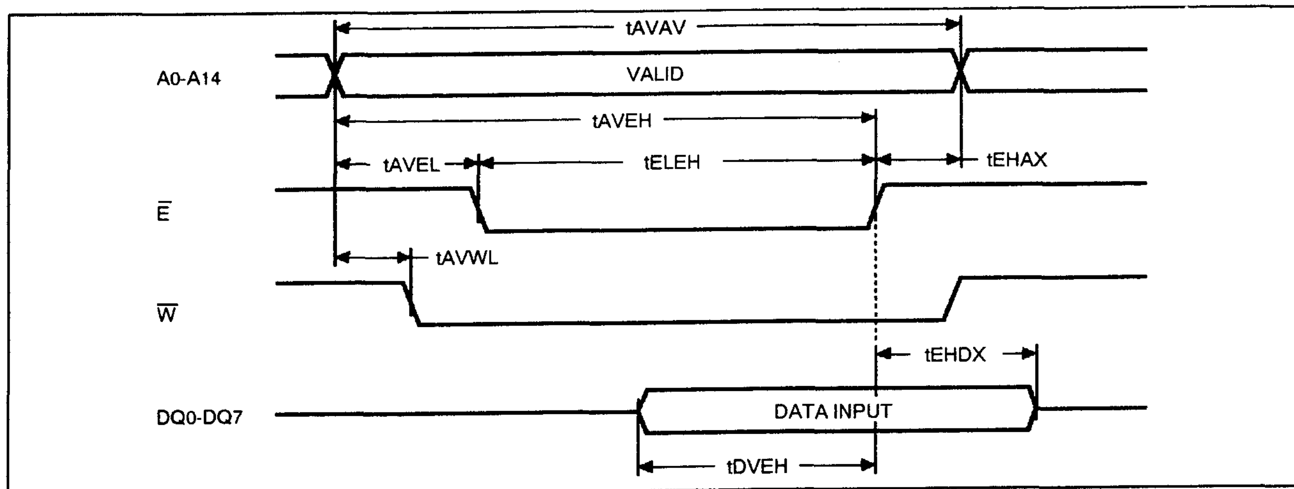


Figuur 8/2.6.1-36: Golfvormen bij het uitlezen van de M48Z35/M48Z35Y.



Figuur 8/2.6.1-37: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z35/M48Z35Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-38: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48Z35/M48Z35Y.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z35 / 35Y -70 Min	M48Z35 / 35Y -70 Max	Unit
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{EHAX}	Chip Enable High to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVEH}	Address Valid to Chip Enable High	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.1-35: Timing bij het schrijven in de M48Z35/M48Z35Y (zie ook de figuren 8/2.6.1-37 en -38).

2.6 Type-beschrijving Zero-Power statische RAM's

Vasthouden van de data

Wanneer een normale V_{CC} is aangelegd, werkt de M48Z35/M48Z35Y als een conventionele "byte-wide" statische RAM. Als de voedingsspanning daalt wordt de "power-fail deselect" automatisch geactiveerd, waarbij de schrijfbeveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data te behouden en de clock te bekrachtigen. Als de power-fail tijdens een schrijfcyclus optreedt, kan wel de data op het dan geldende adres beschadigd raken, maar niet de overige data in het geheugen. Het wordt sterk aanbevolen V_{CC} te ontkoppelen. Wanneer V_{CC} weer boven V_{SO} uitkomt wordt V_{CC} op de RAM aangesloten, terwijl de batterij wordt losgekoppeld.
De schrijf-beveiliging blijft ingeschakeld totdat V_{CC} hoger is dan $V_{PFD(min)}$. Gedurende deze tijd moet $\overline{E}$ HOOG blijven om onbedoeld schrijven te voorkomen.

M48Z58, M48Z58Y

CMOS 8 k x 8 Zero-Power SRAM

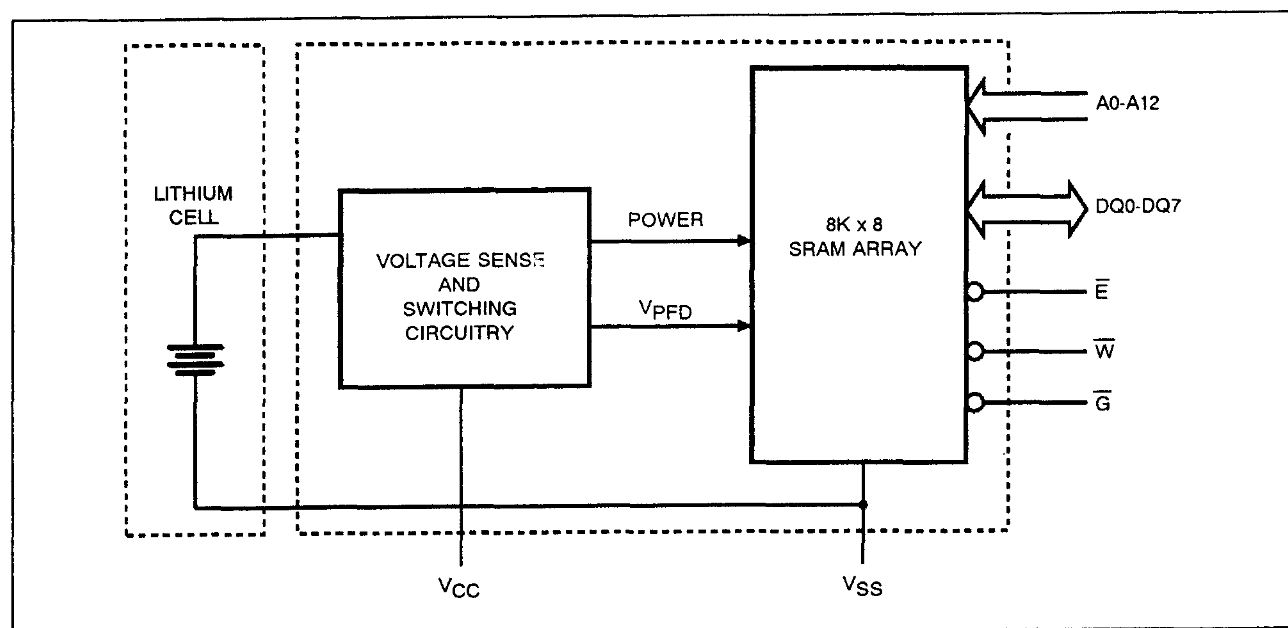
De M48Z58 of M48Z58Y is een 8 k x 8 bit niet-vluchtige statische RAM die is voorzien van een "power-fail" schakeling en een lithium batterij om data gedurende tenminste tien jaar te kunnen vasthouden. Het geheel is leverbaar in twee speciale behuizingen. De M48Z58/M48Z58Y die in de 28-pens 600-mil DIP CAPHAT behuizing is opgenomen, bevat de batterij en is pen- en functie-compatibel met JEDEC-standaard 8 k x 8 SRAM's en kan ook in vele ROM-, EPROM- en EEPROM-sockets geplaatst worden. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen.

De 28-pens 330-mil SO-behuizing heeft vergulde contacten om er een aparte SNAPHAT-behuizing die de batterij bevat op te plaatsen. Dit ontwerp maakt het mogelijk om de SNAPHAT batterij nà de oppervlaktemontage aan te brengen waardoor beschadiging van de batterij door te hoge temperaturen wordt vermeden. De SNAPHAT kan maar op één manier worden gemonteerd. SO-behuizing en SNAPHAT worden apart geleverd.
De M48Z58/M48Z58Y is voorzien van een Power-Fail detectie-schakeling die constant de 5 V voeding in de gaten houdt. Zodra V_{CC} buiten de specificaties gaat, wordt de schrijfbeveiliging ingeschakeld waardoor het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan 3 V, wordt de batterij ingeschakeld om de data te behouden tot de voedingsspanning terugkomt.

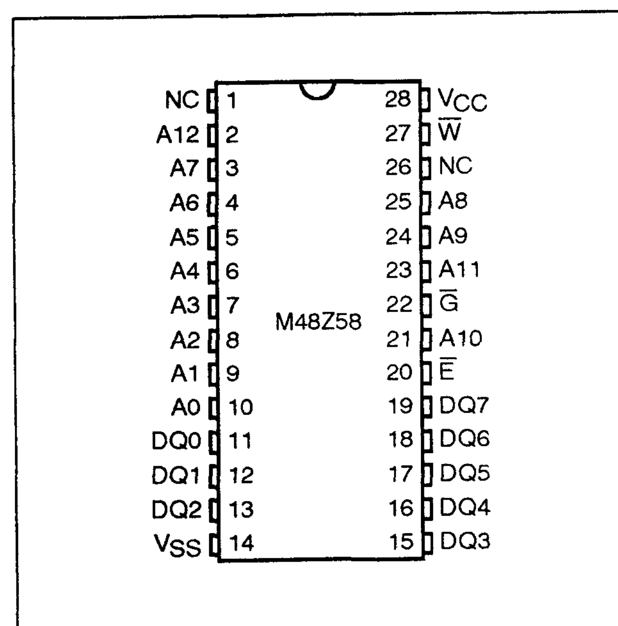
Specificaties

- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Power Fail circuit + batterij
- onbeperkt aantal schrijfcycli
- gelijke lees- en schrijfcyclustijden
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z58: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48Z58Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing:
  28-pens DIL CAPHAT (PCDIP28) incl. batterij
  Small Outline behuizing met aparte, afneembare SNAPHAT batterij-houder
- 10 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- fabrikant: SGS Thomson

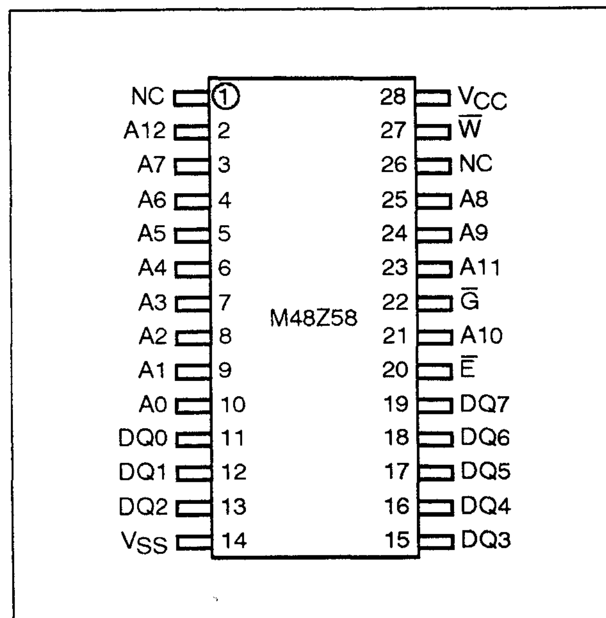
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-39: Blokschema van de M48Z58/M48Z58Y.



Figuur 8/2.6.1-40: Aansluitingen van de 28-pens DIL-versie (met vaste batterij) van de M48Z58/M48Z58Y.



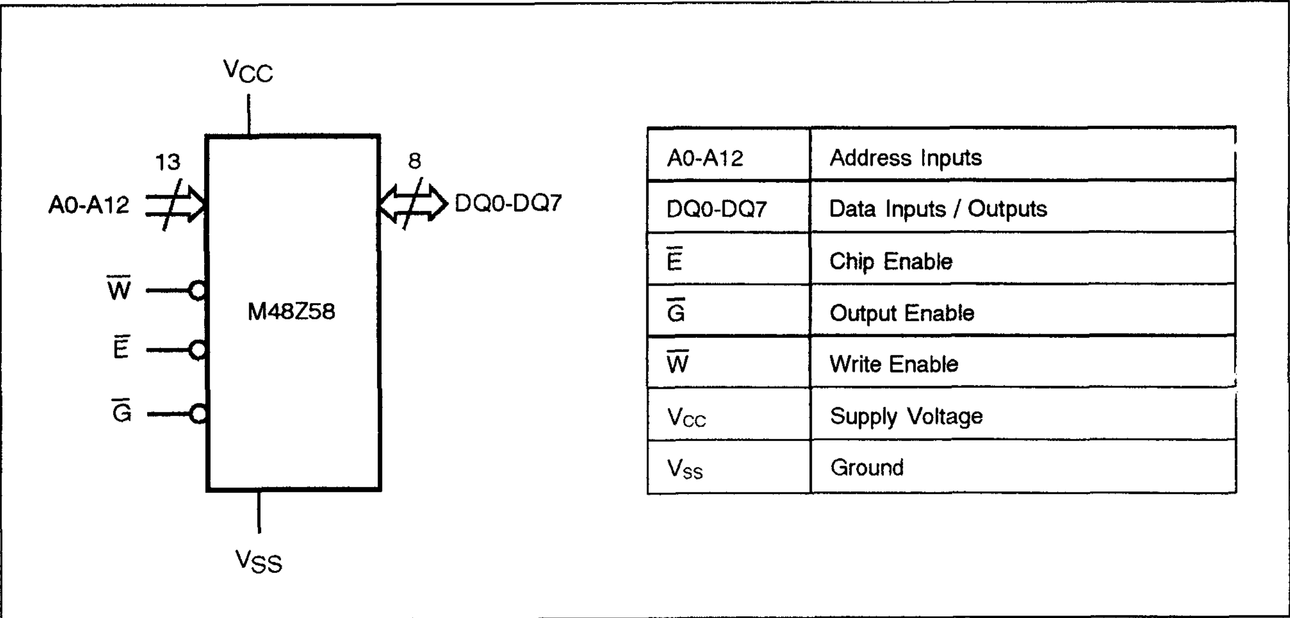
Figuur 8/2.6.1-41: Aansluitingen van de 28-pens SO-versie (plus afneembare batterij SNAPHAT) van de M48Z58/M48Z58Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.1-36: Bedrijfsmodes van de M48Z58/M48Z58Y.



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-42: Logisch schema en signaal-functies van de M48Z58(Y).

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-37: Maximaal toegelaten waarden van de M48Z58/M48Z58Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO}	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Tabel 8/2.6.1-38: Gelijkspanningen en -stromen van de M48Z58/M48Z58Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z58)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z58Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25 °C

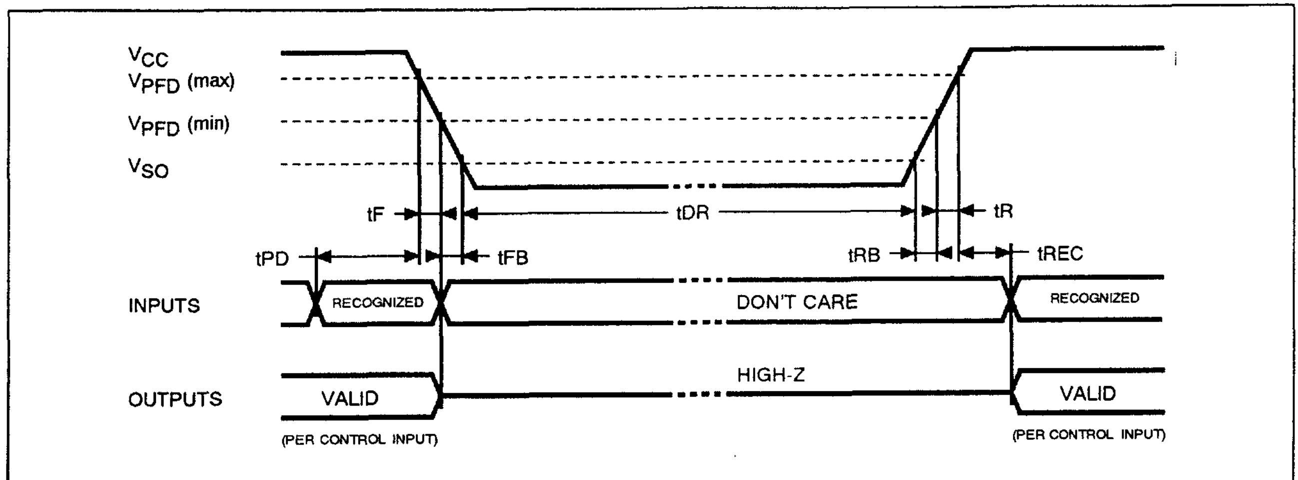
Tabel 8/2.6.1-39: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z58/M48Z58Y.

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to Inputs Recognized	40	200	ms

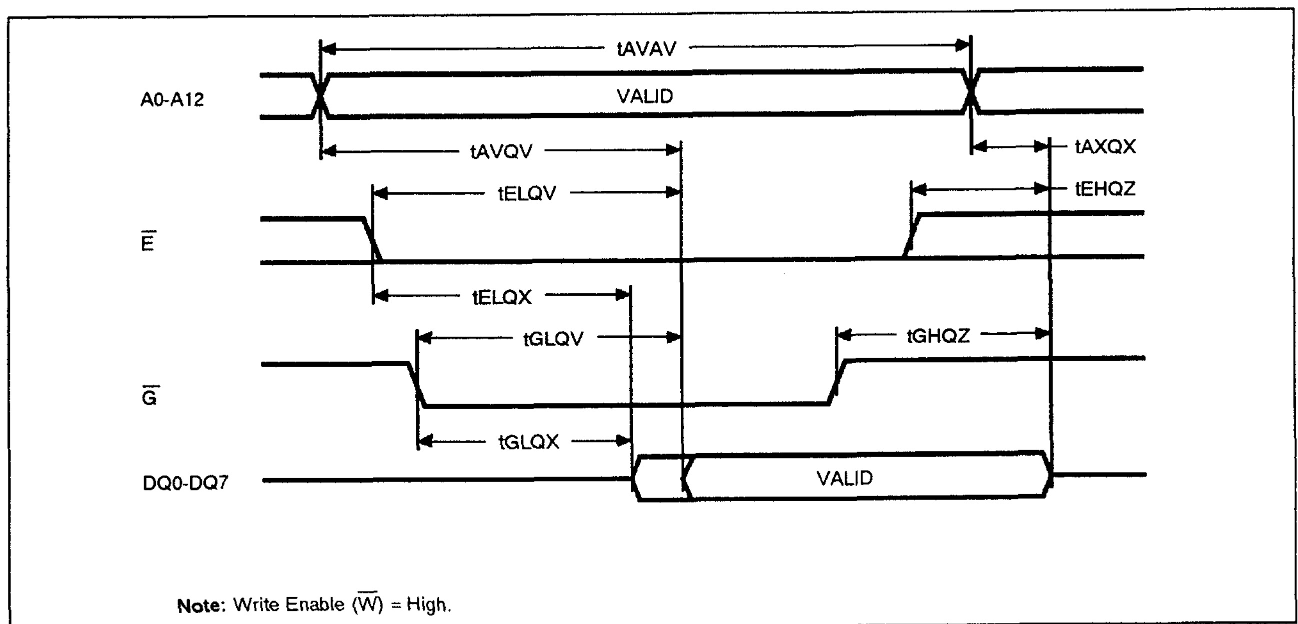
Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-40: Power Up/Down timing (zie ook figuur 8/2.6.1-43).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-43: Golfvormen en timing tijdens Power Up/Down.



Figuur 8/2.6.1-44: Golfvormen bij het uitlezen van de M48Z58/M48Z58Y.

Lees-mode

De M48Z58/M48Z58Y kan worden uitgelezen als W̄ (Write Enable) HOOG is en Ē LAAG. Met behulp van 13 adreslijnen zijn 8.192 bytes data direct bereikbaar. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van het laatste adressignaal op de data I/O-pennen aanwezig, mits aan de toegangstijden van Ē en Ḡ wordt voldaan (figuur 8/2.6.1.44). Als niet aan de timing van Ē en Ḡ wordt voldaan, is er pas geldige data na t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time) - welke van de twee het laatst komt.

De toestand van de acht 3-state data I/O-signalen wordt bepaald door Ē en Ḡ. Als de uitgangen actief worden vóór t_{AVQV}, zijn de signalen onbepaald; veranderen de adressignalen terwijl Ē en Ḡ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z58 / 58Y -70 Min	M48Z58 / 58Y -70 Max	Unit
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-41: Timing bij het uitlezen van de M48Z58/M48Z58Y.

Schrijf-mode

Als $\overline{W}$ en $\overline{E}$ actief zijn, kan in de M48Z58/M48Z58Y worden geschreven (figuur 8/2.6.1-45 en -46). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank ervan. Het adres moet gedurende de gehele cyclus geldig zijn. Voorafgaande aan het begin van een nieuwe schrijfcyclus moet $\overline{E}$ of $\overline{W}$ minimaal gedurende t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

2.6 Type-beschrijving Zero-Power statische RAM's

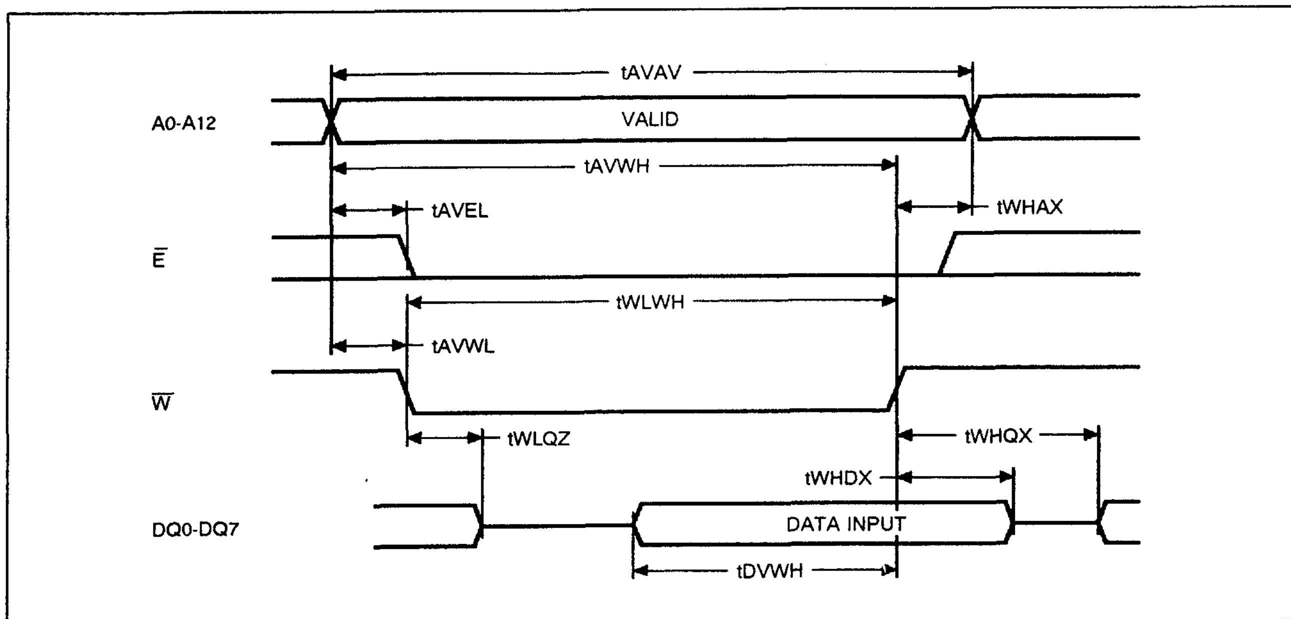
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z58 / 58Y -70 Min	M48Z58 / 58Y -70 Max	Unit
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{EHAX}	Chip Enable High to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVEH}	Address Valid to Chip Enable High	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

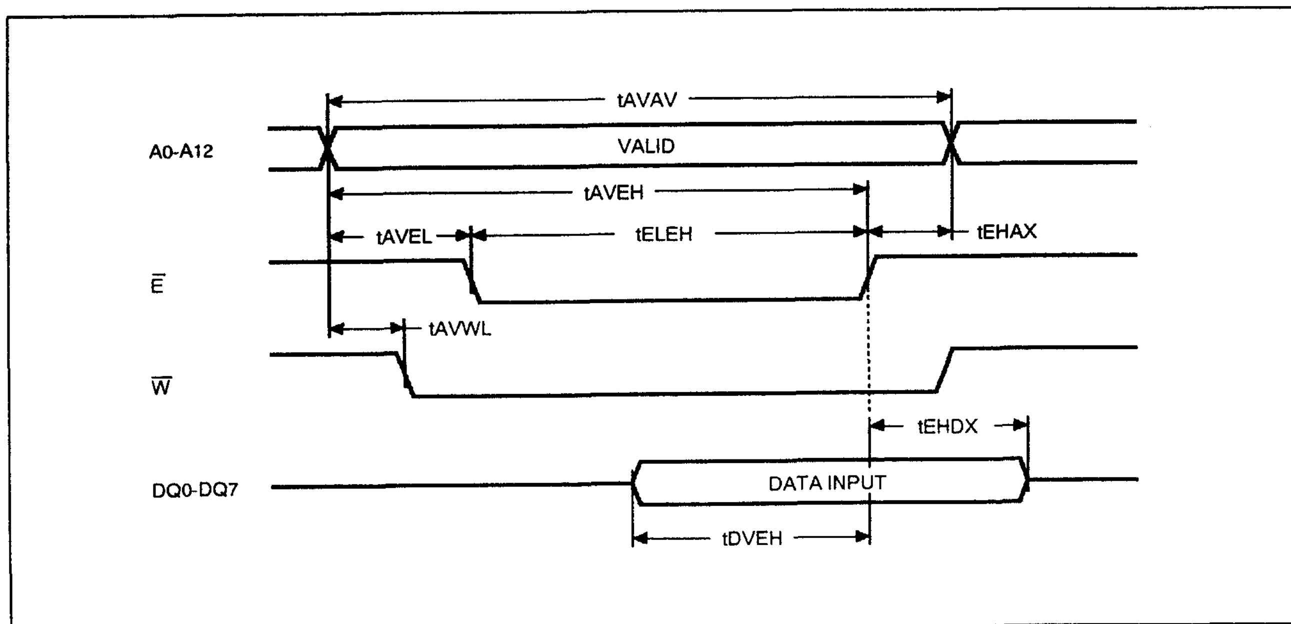
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.1-42: Timing bij het schrijven van de M48Z58/M48Z58Y (zie de figuren 8/2.6.1-45 en -46).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-45: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z58/M48Z58Y.



Figuur 8/2.6.1-46: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z58/M48Z58Y.

Vasthouden van de data

Bij een juiste V_{CC} werkt de M48Z58/M48Z58Y als een gewone "byte-wide" statische RAM. Als de voedingsspanning daalt gaat de "power-fail deselect" automatisch werken, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data te behouden en de clock te bekrachtigen.

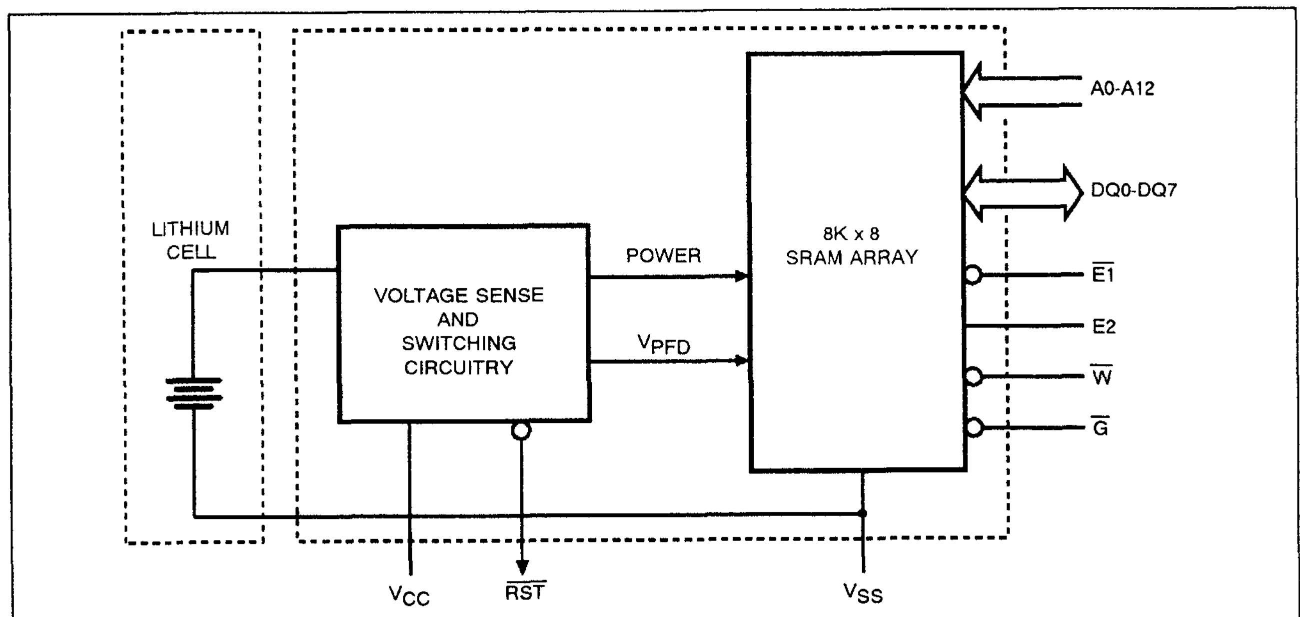
Als de power-fail tijdens een schrijfcyclus optreedt, kan wel de data op het dan gelden-

de adres beschadigd raken, maar niet de overige data in het geheugen. Het wordt aanbevolen V_{CC} te ontkoppelen.
Wanneer V_{CC} weer boven V_{SO} uitkomt wordt V_{CC} op de RAM aangesloten, terwijl de batterij wordt losgekoppeld.
De schrijf-beveiliging blijft ingeschakeld totdat V_{CC} hoger is dan $V_{PFD(min)}$. Gedurende deze tijd moet $\overline{E}$ HOOG blijven om onbedoeld schrijven te voorkomen.

M48Z59, M48Z59Y

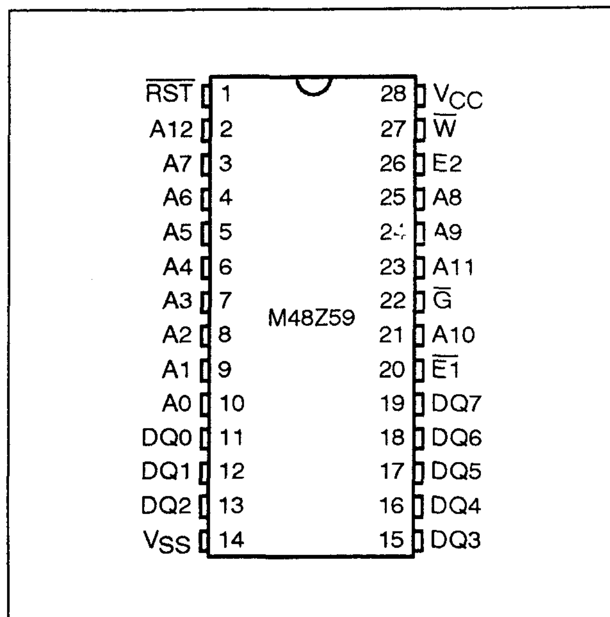
CMOS 8 k x 8 Zero-Power SRAM

De M48Z59 en M48Z59Y zijn 8 k x 8 bit niet-vluchtige statische RAM's, voorzien van een "power-fail" schakeling en een lithium batterij voor het minstens tien jaar vasthouden van data. De monolithische chip is leverbaar in twee speciale behuizingen: de M48Z59/M48Z59Y in de 28-pens 600-mil DIP CAPHAT behuizing, bevat de batterij en is pen- en functie-compatibel met JEDEC-standaard 8 k x 8 SRAM's, ROM's, EPROM's en EEPROM's. Net als bij een PROM wordt data vastgehouden, ongeacht het aantal schrijfcycli of timing-eisen. De 28-pens 330-mil SO-behuizing heeft vergulde contacten waar een aparte SNAPHAT-behuizing die de batterij bevat op geplaatst kan worden. Dit ontwerp maakt het mogelijk om de SNAPHAT batterij nà de oppervlakte-montage aan te brengen waardoor beschadiging van de batterij door te hoge temperaturen wordt voorkomen. De SNAPHAT kan maar op één manier worden geplaatst. SO-behuizing en SNAPHAT worden apart geleverd.
De M48Z59/M48Z59Y is voorzien van een Power-Fail detectie-schakeling die constant de 5 V voeding in de gaten houdt. Zodra V_{CC} buiten de specificaties gaat, wordt de schrijfbeveiliging ingeschakeld waardoor het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan 3 V, wordt de batterij ingeschakeld om de data te behouden tot de voedingsspanning terugkomt.

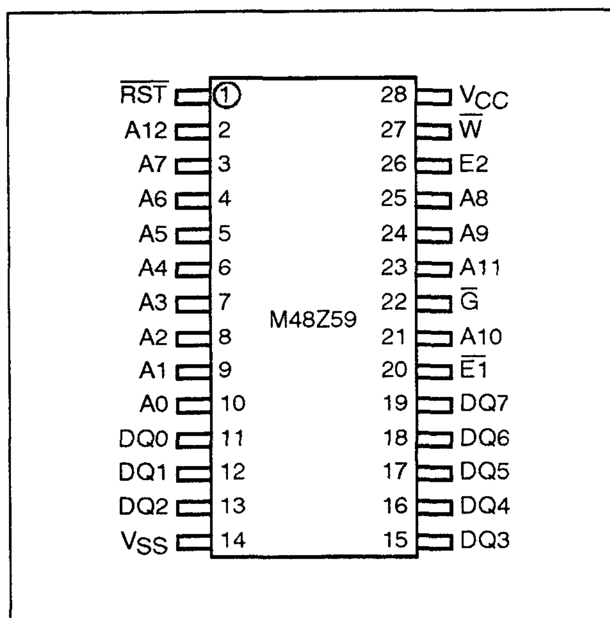


Figuur 8/2.6.1-47: Blokschema van de M48Z59/M48Z59Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-48: Aansluitingen van de 28-pens DIL-versie (met vaste batterij) van de M48Z59/M48Z59Y.



Figuur 8/2.6.1-49: Aansluitingen van de 28-pens SO-versie (met verwisselbare SNAPHAT batterij) van de M48Z59/M48Z59Y.

Specificaties

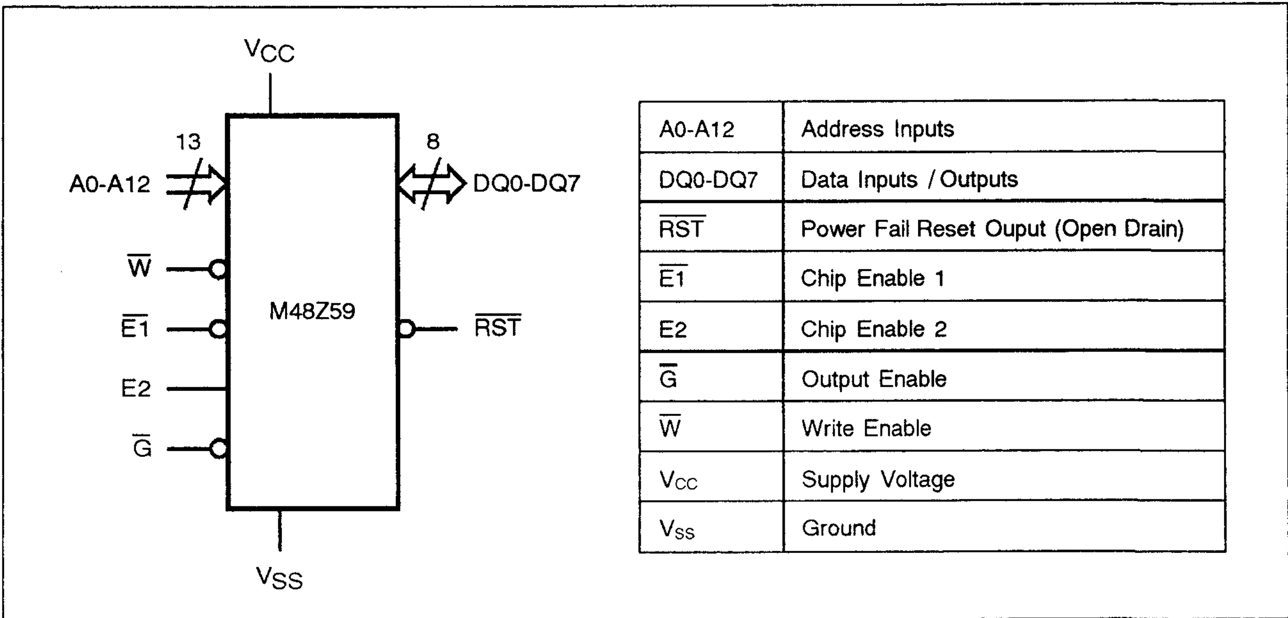
- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Power Fail circuit + batterij
- microprocessor Power-On Reset (geldig in het hele traject tussen V_{CC} en V_{SS})
- dubbele Chip-Enable ingangen
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z59: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48Z59Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing:
  28-pens DIL CAPHAT (PCDIP28) incl. batterij
  Small Outline behuizing met aparte, afneembare SNAPHAT batterij-houder
- 10 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	V_{CC}	$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	X	High Z	Standby
Deselect		X	V_{IL}	X	X	High Z	Standby
Write		V_{IL}	V_{IH}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IH}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) [2]	X	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	X	High Z	Battery Back-up Mode

Note: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.1-43: Bedrijfsmodes van de M48Z59/M48Z59Y.



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{RST}$	Power Fail Reset Ouput (Open Drain)
$\overline{E1}$	Chip Enable 1
E2	Chip Enable 2
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-50: Logisch schema en signaal-functies van de M48Z59(Y).

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.1-44: Maximaal toegelaten waarden van de M48Z58/M48Z58Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E1} = V_{IH}$, $E2 = V_{IL}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E1} = V_{CC} - 0.2V$, $E2 = V_{SS} + 0.2V$		3	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{RST}$) (2)	I_{OL} = 10mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. The $\overline{RST}$ pin is Open Drain.

Tabel 8/2.6.1-45: Gelijkspanningen en -stromen van de M48Z59/M48Z59Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z59)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z59Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25 °C.

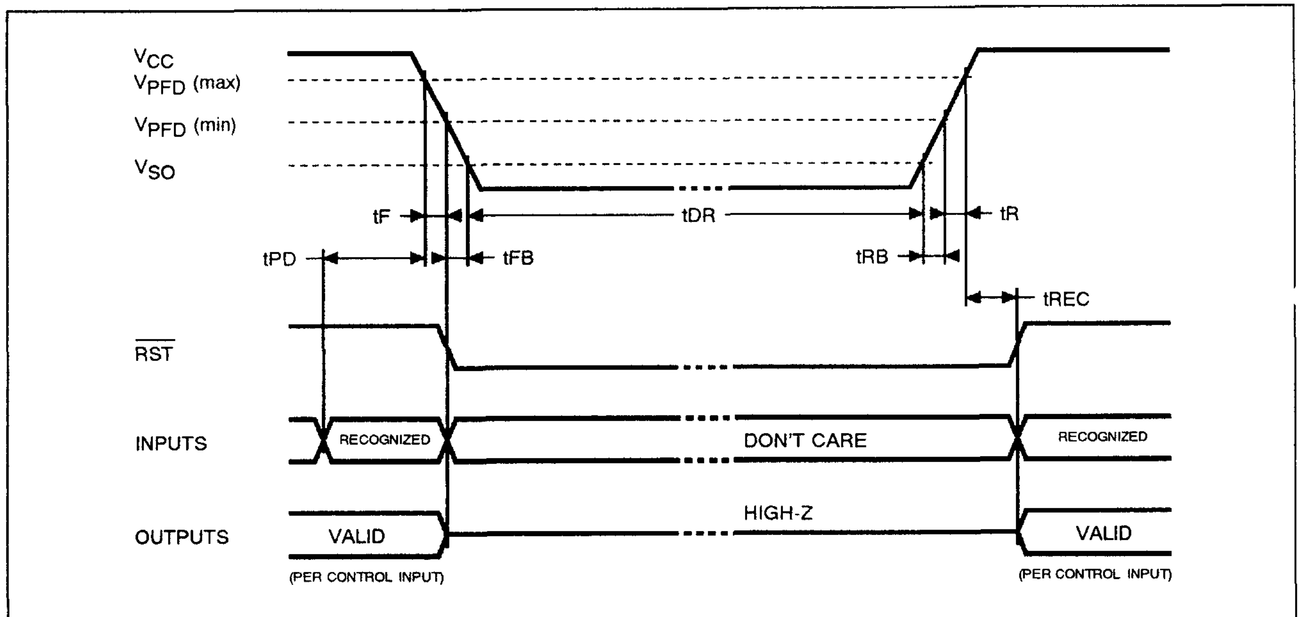
Tabel 8/2.6.1-46: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z59/M48Z59Y.

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD}(max) to $\overline{RST}$ High	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-47: Power Up/Down timing (zie ook figuur 8/2.6.1-51).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-51: Golfvormen en timing tijdens Power Up/Down.

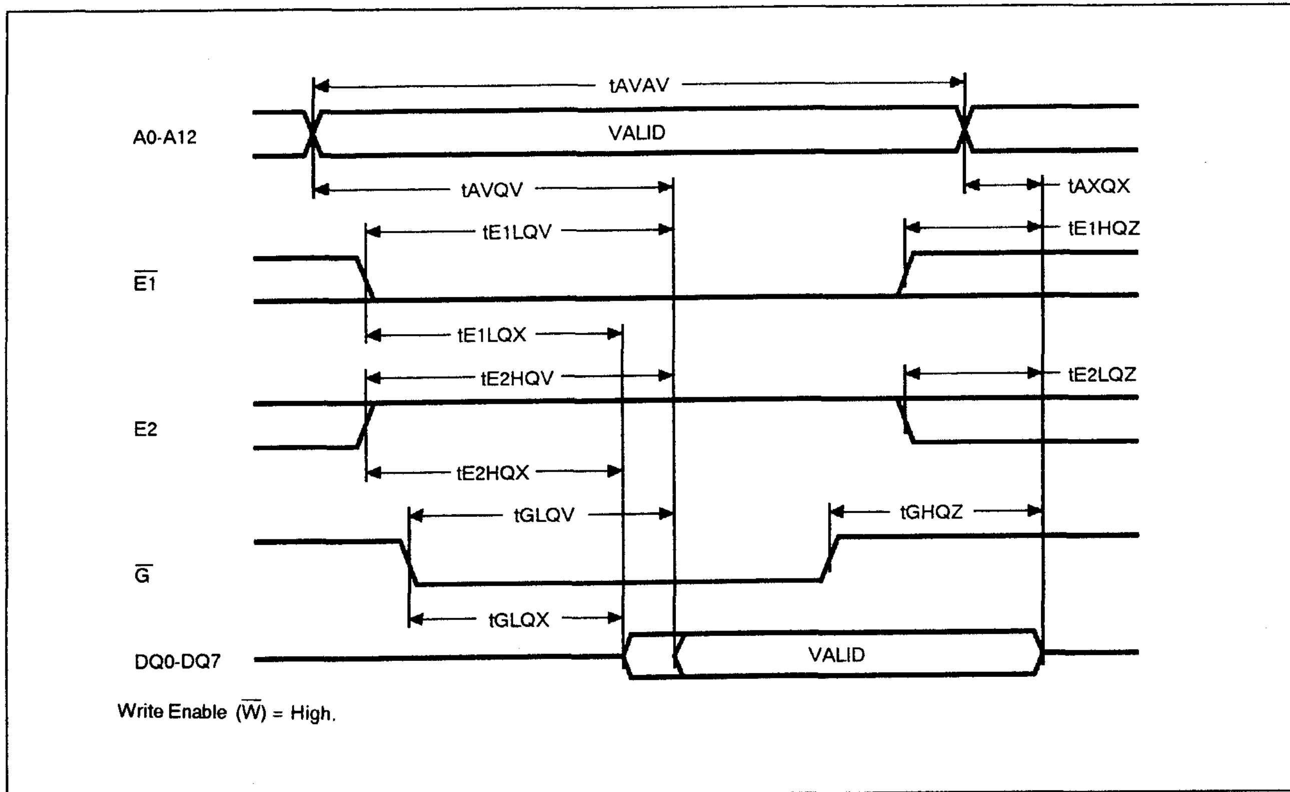
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z59 / 59Y		Unit
		-70		
		Min	Max	
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{E1LQV} (1)	Chip Enable 1 Low to Output Valid		70	ns
t_{E2HQV} (1)	Chip Enable 2 High to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{E1LQX} (2)	Chip Enable 1 Low to Output Transition	5		ns
t_{E2HQX} (2)	Chip Enable 2 High to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{E1HQZ} (2)	Chip Enable 1 High to Output Hi-Z		25	ns
t_{E2LQZ} (2)	Chip Enable 2 Low to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-48: Timing van de leesmode van de M48Z59/M48Z59Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-52: Golfvormen bij het uitlezen van de M48Z59/M48Z59Y.

Lees-mode

De M48Z59/M48Z59Y kan worden uitgelezen als $\overline{W}$ (Write Enable) HOOG is, $\overline{E1}$ (Chip Enable 1) LAAG en E2 (Chip Enable 2) HOOG. Data op de data I/O-pennen is geldig binnen t_{AVQV} (Address Access Time) na het stabiel worden van het laatste adressignaal, mits aan de toegangstijden van $\overline{E1}$, E2 en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.52). Als niet aan de timing van de laatste drie signalen wordt voldaan, is de data pas geldig na de laatst komende t_{E1LQV} of t_{E2HQV} (Chip Enable Access Time 1 of 2) of t_{GLQV} (Output Enable Access Time). De toestand van de acht 3-state data I/O-signalen is afhankelijk van $\overline{E1}$, E2 en $\overline{G}$. Worden de uitgangen actief vóór t_{AVQV} dan zijn ze onbepaald; veranderen de adres-signalen terwijl $\overline{E1}$, E2 en $\overline{G}$ nog actief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

Schrijf-mode

Er kan in de M48Z59/M48Z59Y geschreven worden als $\overline{W}$, $\overline{E1}$ en E2 actief zijn (figuur 8/2.6.1-53 en -54). De schrijfcyclus begint op de laatst optredende dalende achterflank van $\overline{W}$ of $\overline{E1}$ of de stijgende flank van E2, terwijl het schrijven stopt op de eerst optredende stijgende flank van $\overline{W}$ of $\overline{E1}$ of de dalende flank van E2. Het adres moet gedurende de gehele cyclus geldig blijven. Voorafgaande aan de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E1}$ of $\overline{W}$ HOOG of E2 LAAG gaan gedurende t_{E1HAX} of t_{E2LAX} na Chip-Enable of t_{WHAX} na Schrijf-Enable. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli dient $\overline{G}$ HOOG te blijven om busconflicten te vermijden.

2.6 Type-beschrijving Zero-Power statische RAM's

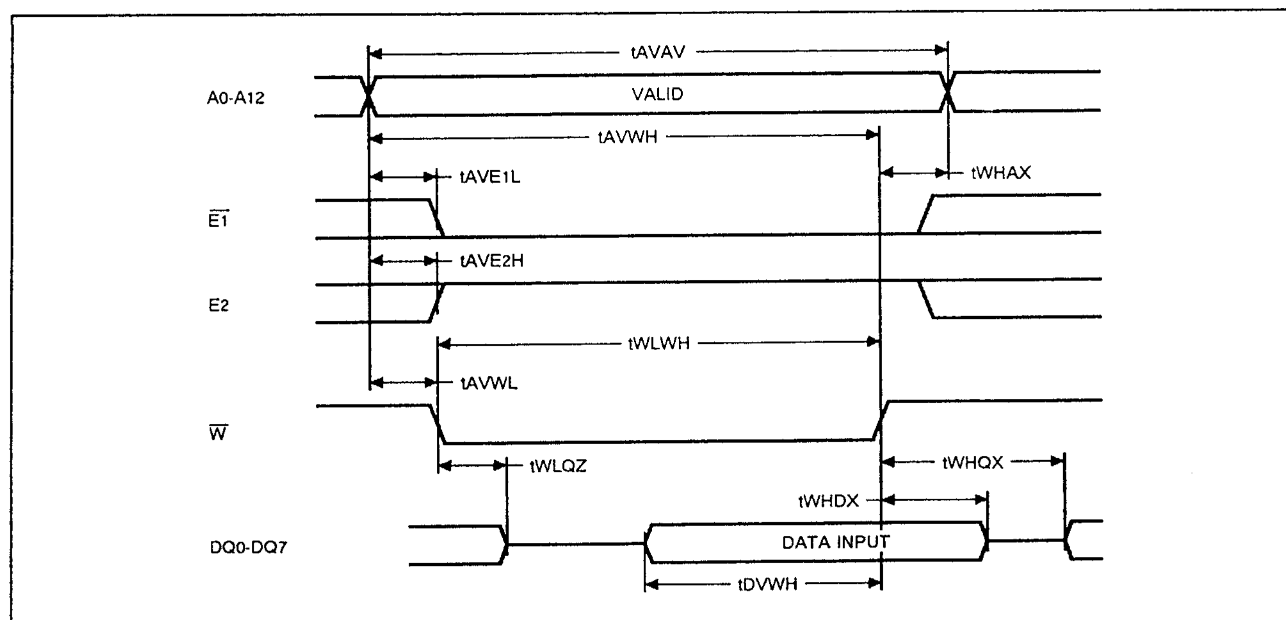
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z59 / 59Y		Unit
		-70		
		Min	Max	
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVE1L}	Address Valid to Chip Enable 1 Low	0		ns
t_{AVE2H}	Address Valid to Chip Enable 2 High	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{E1LE1H}	Chip Enable 1 Low to Chip Enable 1 High	55		ns
t_{E2HE2L}	Chip Enable 2 High to Chip Enable 2 Low	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{E1HAX}	Chip Enable 1 High to Address Transition	0		ns
t_{E2LAX}	Chip Enable 2 Low to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVE1H}	Input Valid to Chip Enable 1 High	30		ns
t_{DVE2L}	Input Valid to Chip Enable 2 Low	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{E1HDX}	Chip Enable 1 High to Input Transition	5		ns
t_{E2LDX}	Chip Enable 2 Low to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVE1H}	Address Valid to Chip Enable 1 High	60		ns
t_{AVE2L}	Address Valid to Chip Enable 2 Low	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

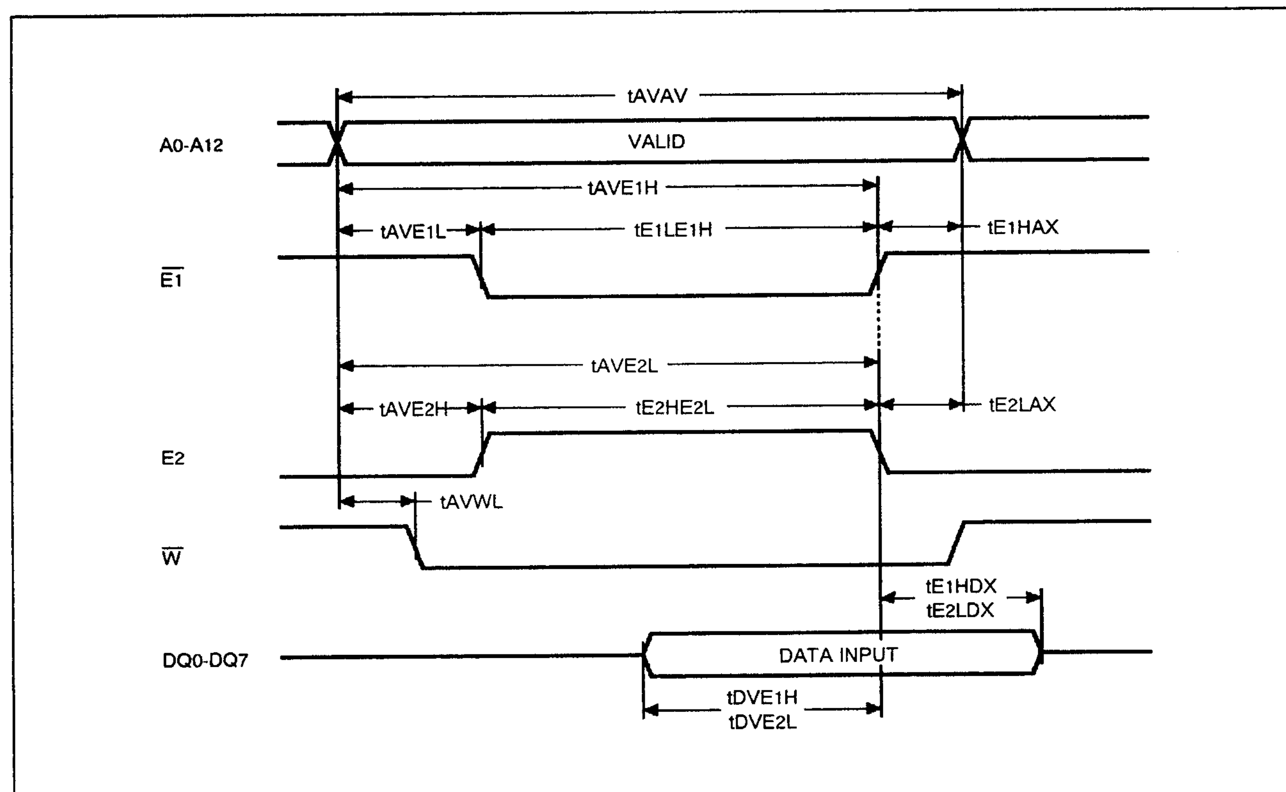
Notes: 1. C_L = 5pF
2. If $\overline{E1}$ goes low or E2 high simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.1-49: De timing van schrijfcycli bij de M48Z59/M48Z59Y (zie de figuren 8/2.6.1-53 en -54).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-53: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z59/M48Z59Y.



Figuur 8/2.6.1-54: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48Z59/M48Z59Y.

Vasthouden van de data

Wanneer een geschikte V_{CC} is aangelegd, werkt de M48Z59/M48Z59Y als een conventionele "byte-wide" statische RAM. Als de voedingsspanning daalt treedt automatisch de "power-fail deselect" in werking, waarbij

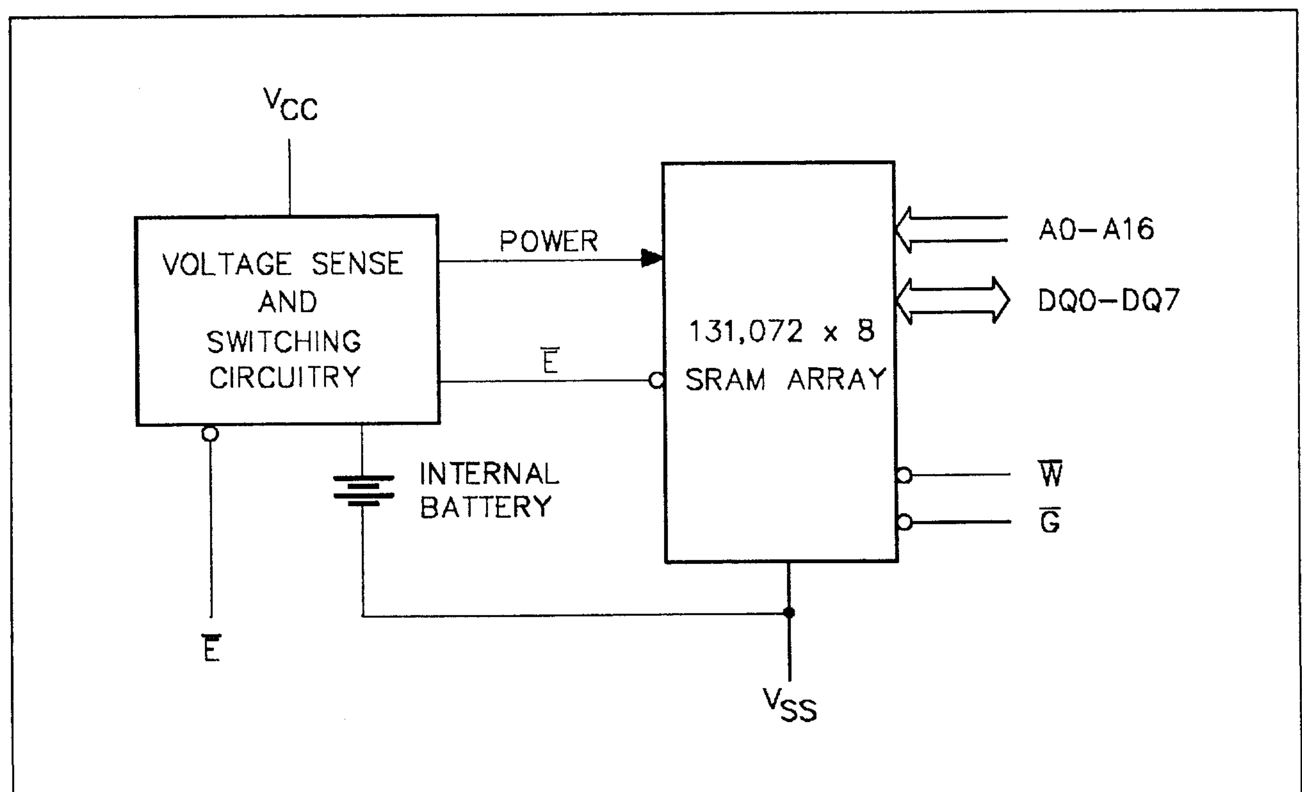
2.6 Type-beschrijving Zero-Power statische RAM's

de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden $V_{PFD(min)}$, dan gaat de open-drain $\overline{RST}$-uitgang LAAG. Gaat V_{CC} lager dan V_{SO}, dan wordt de interne batterij ingeschakeld om de data te behouden en de clock te bekrachtigen. Wanneer V_{CC} weer boven V_{SO} uitkomt, wordt overgeschakeld van batterij op V_{CC}. De schrijf-beveiliging blijft ingeschakeld totdat V_{CC} hoger is dan $V_{PFD(min)}$. Gedurende deze tijd moet $\overline{E1}$ HOOG of E2 LAAG blijven om onbedoeld schrijven te voorkomen.

M48Z128, M48Z128Y

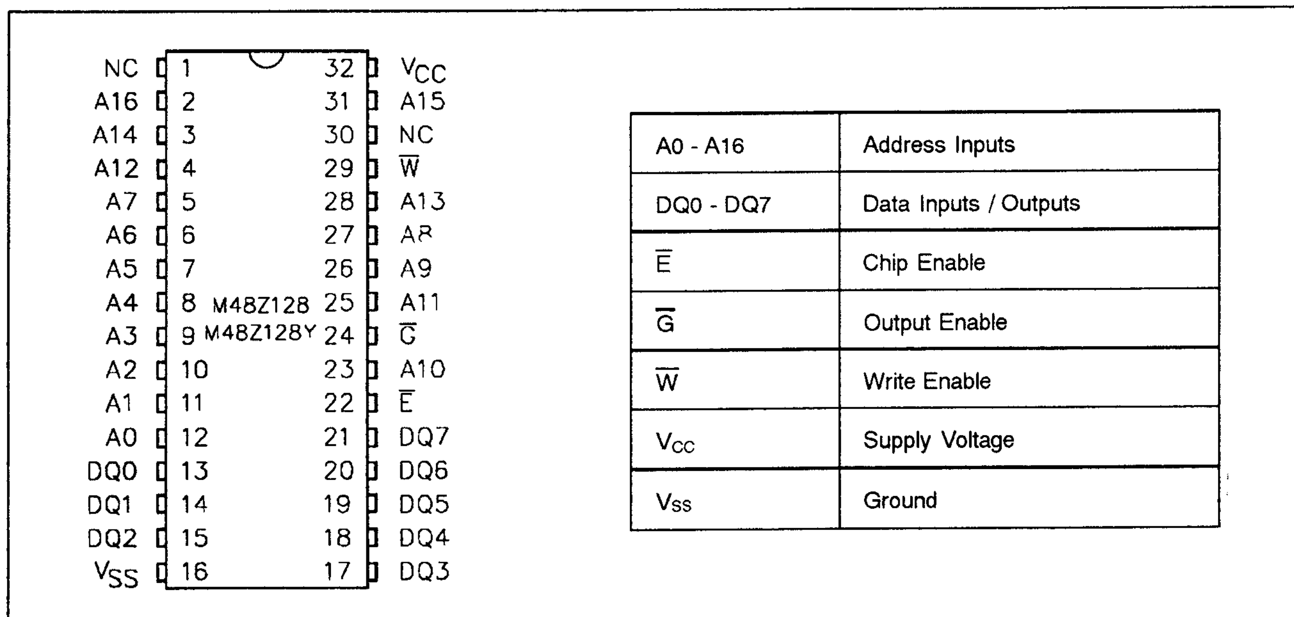
CMOS 128 k x 8 Zero-Power SRAM

De M48Z128/M48Z128Y is een 1 M (128 k x 8 bit) niet-vluchtige statische RAM die samen met een lithium batterij is opgenomen in een 32-pens plastic DIL-behuizing. Dit Zero-Power geheugen is een directe vervanger van industrie-standaard 128 k x 8 SRAM's en kan ook in plaats van vele EPROM's en EEPROM's worden gebruikt. Data wordt hierbij (net als bij een PROM) vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen. De M48Z128/M48Z128Y heeft een eigen Power-Fail detectie-schakeling die voortdurend let op de 5 V voeding. Zodra V_{CC} niet meer aan de specificaties voldoet, wordt de schrijf-beveiliging ingeschakeld en kan het geheugen geen data meer opnemen. Gaat V_{CC} lager dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.



Figuur 8/2.6.1-55: Blokschema van de M48Z128/M48Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A16	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-56: Aansluitingen van de M48Z128/M48Z128Y (32-pens plastic DIL-behuizing).

Mode	V_{CC}	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-50: Bedrijfsmodes van de M48Z128/M48Z128Y.

Specificaties

- 128 k x 8 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + batterij
- conventionele SRAM werking: onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z128: 4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48Z128Y: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 32-pens DIL (PMDIP32) incl. batterij
- 10 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-51: Maximaal toegelaten waarden van de M48Z128/M48Z128Y.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±1	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		105	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		7	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \geq V_{CC} - 0.2V$		4	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-52: Gelijkspanningen en -stromen van de M48Z128/M48Z128Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z128)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z128Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR} (2)	Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.1-53: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z128/M48Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from $V_{CC} = V_{PFD}$	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

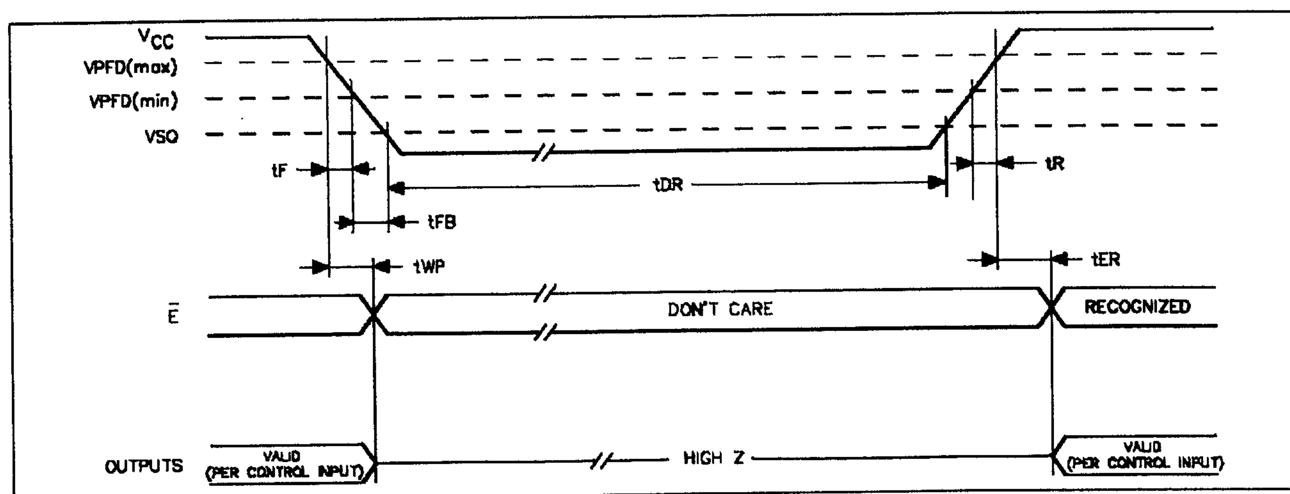
Tabel 8/2.6.1-54: Power Up/Down timing (zie ook figuur 8/2.6.1-58).

Lees-mode

De M48Z128/M48Z128Y staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 17 adreslijnen zijn 131.072 bytes (= 128 kB) data direct bereikbaar. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.59). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is er pas geldige data na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time).

De toestand van de acht 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$.

Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adres-signalen (figuur 8/2.6.1.60).



Figuur 8/2.6.1-58: Golfvormen en timing tijdens Power Up/Down.

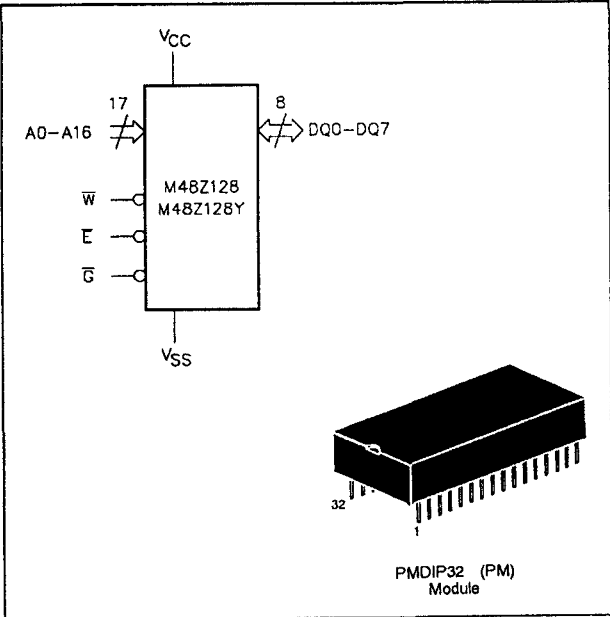
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z128 / 128Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		120		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		120	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		120	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		60	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	0		0		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		35		45	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

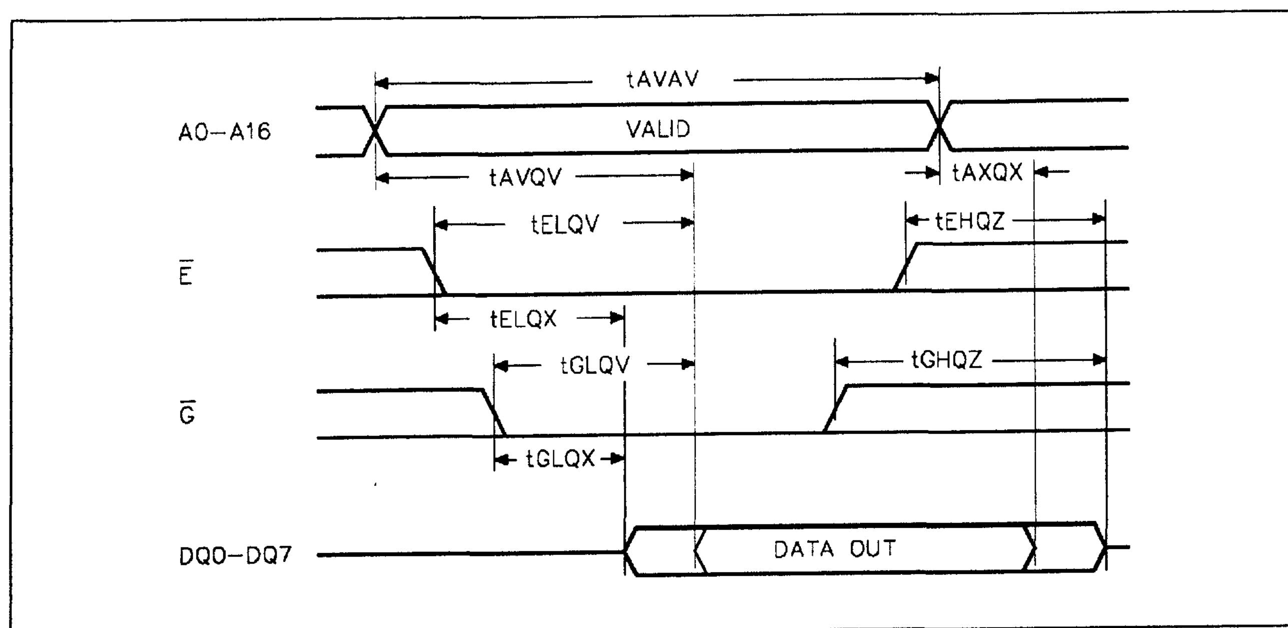
Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-55: Schakeltijden van de M48Z128/M48Z128Y in de leesmode.

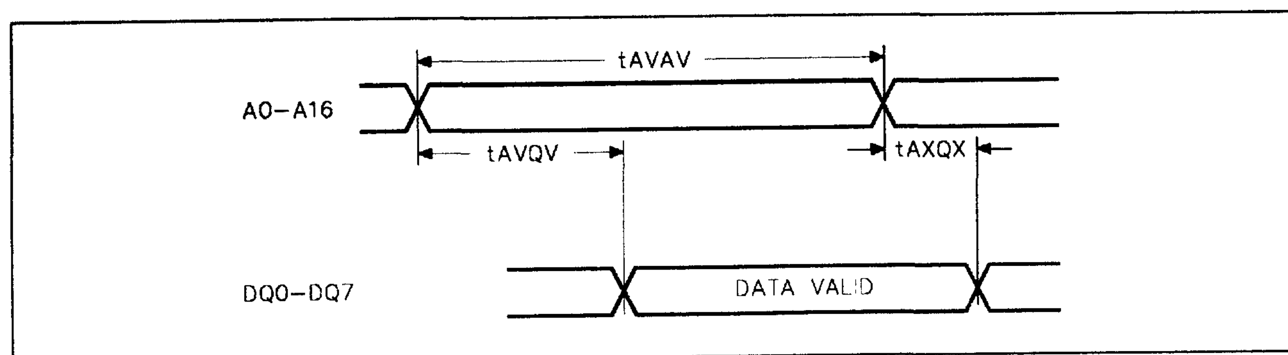


Figuur 8/2.6.1-57: Logisch schema en PMDIP32-behuizing van de M48Z128 en M48Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-59: Golfvormen bij het uitlezen van de M48Z128/M48Z128Y onder besturing van $\overline{E}$ of $\overline{G}$.



Figuur 8/2.6.1-60: Golfvormen en timing door middel van de adreslijnen bij het uitlezen van de M48Z128/M48Z128Y ($\overline{E}$ en $\overline{G}$ = LAAG, $\overline{W}$ = HOOG).

Schrijf-mode

De M48Z128/M48Z128Y bevindt zich in de schrijfmode als $\overline{W}$ en $\overline{E}$ actief (LAAG) zijn (figuur 8/2.6.1-61 en -62). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank hiervan. Het adres mag gedurende de gehele cyclus niet veranderen.

Vóór het begin van een nieuwe schrijfcyclus moet $\overline{E}$ minimaal gedurende t_{EHAX} na Chip Enable of $\overline{W}$ gedurende t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli moet $\overline{G}$ HOOG blijven om busconflicten te voorkomen.

2.6 Type-beschrijving Zero-Power statische RAM's

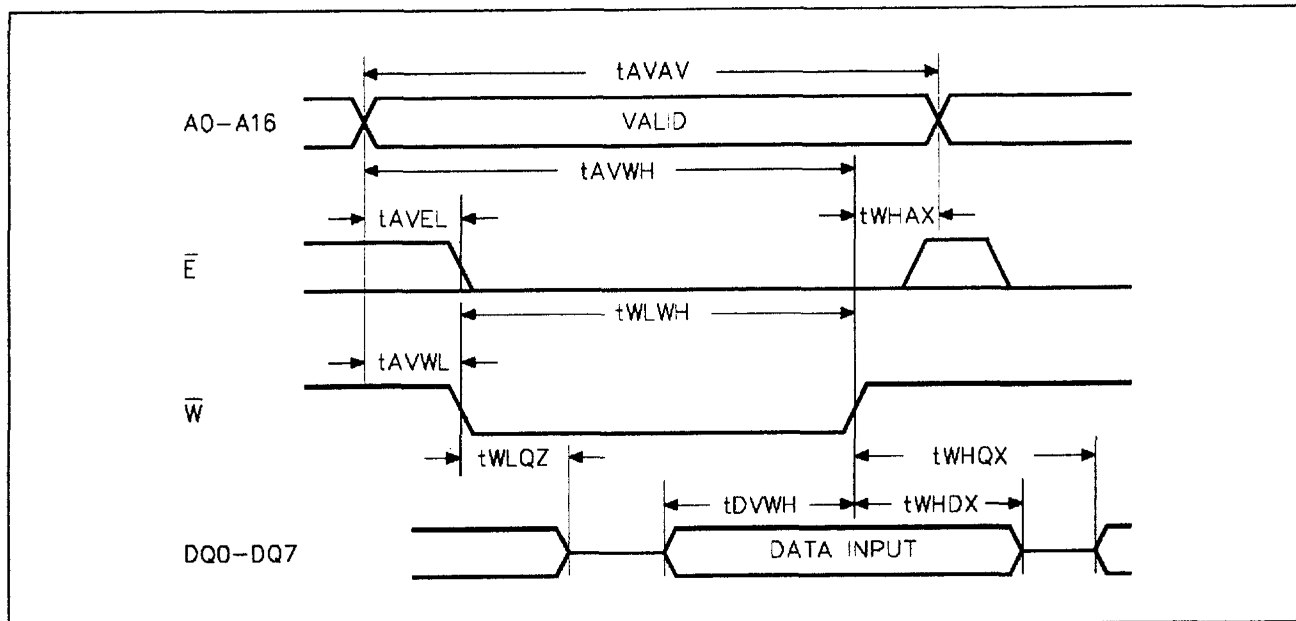
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z128 / 128Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		120		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		85		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		100		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		45		ns
t_{DVEH}	Input Valid to Chip Enable High	35		45		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	10		10		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		30		40	ns
t_{AVWH}	Address Valid to Write Enable High	75		100		ns
t_{AVEH}	Address Valid to Chip Enable High	75		100		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	0		0		ns

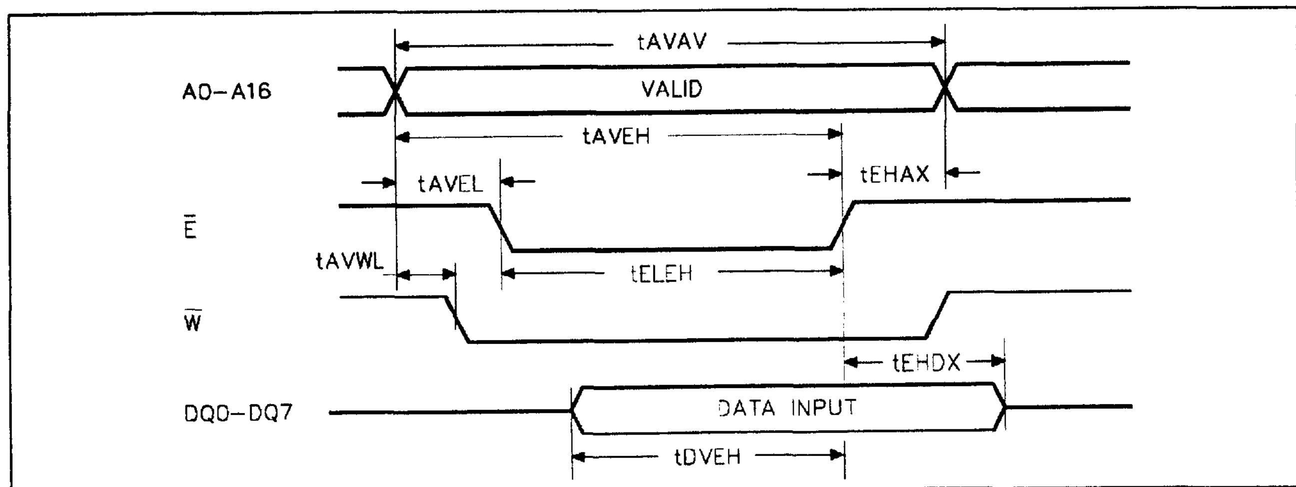
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low after $\overline{W}$ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-56: Timing bij de M48Z128/M48Z128Y in de schrijfmode (zie ook de figuren 8/2.6.1-61 en -62).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-61: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z128/M48Z128Y ($\overline{G}$ = HOOG).



Figuur 8/2.6.1-62: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z128/M48Z128Y ($\overline{G}$ = HOOG).

Vasthouden van de data

Wanneer de juiste V_{CC} aanwezig is, werkt de M48Z128/M48Z128Y als een gewone "byte-wide" statische RAM. Daalt de voedingsspanning dan treedt de "power-fail deselect" automatisch in werking, waarbij de schrijfbeveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data vast te houden.

M48Z256, M48Z256Y

CMOS 256 k x 8 Zero-Power SRAM

De M48Z256/M48Z256Y is een 2 M (256 k x 8 bit) niet-vluchtige statische RAM die met een lithium batterij in één 32-pens plastic DIL-behuizing is geplaatst. Dit "Zero-Power"

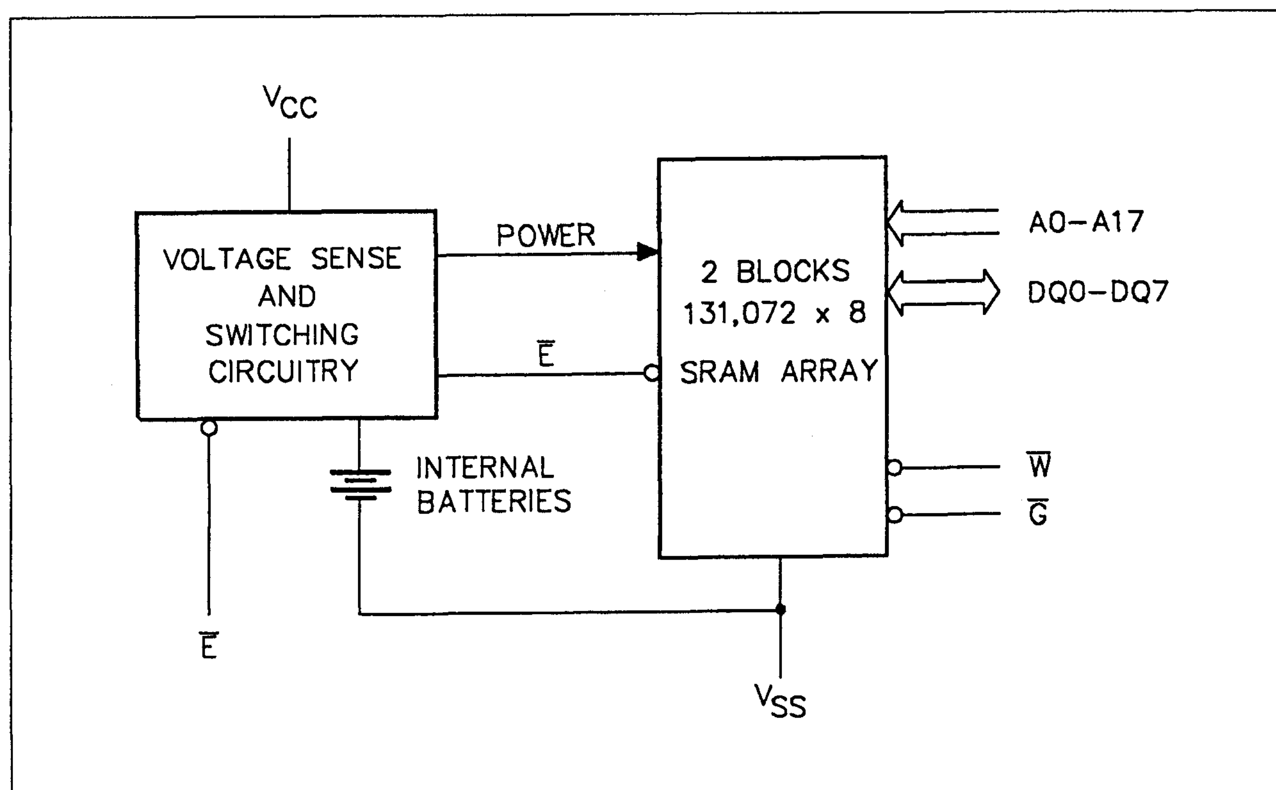
(wordt vervolgd)

2.6 Type-beschrijving Zero-Power statische RAM's

geheugen kan in de plaats van industriestandaard 256 k x 8 SRAM's en vele EPROM's en EEPROM's worden gebruikt. Data wordt hierbij vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen. De M48Z256/M48Z256Y beschikt over een eigen Power-Fail detectieschakeling die voortdurend de 5 V voeding in de gaten houdt. Zodra V_{CC} niet meer aan de specificaties voldoet, wordt de schrijfbeveiliging ingeschakeld en kan het geheugen geen data meer opnemen. Daalt V_{CC} onder ongeveer 3 V, dan wordt de batterij ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.

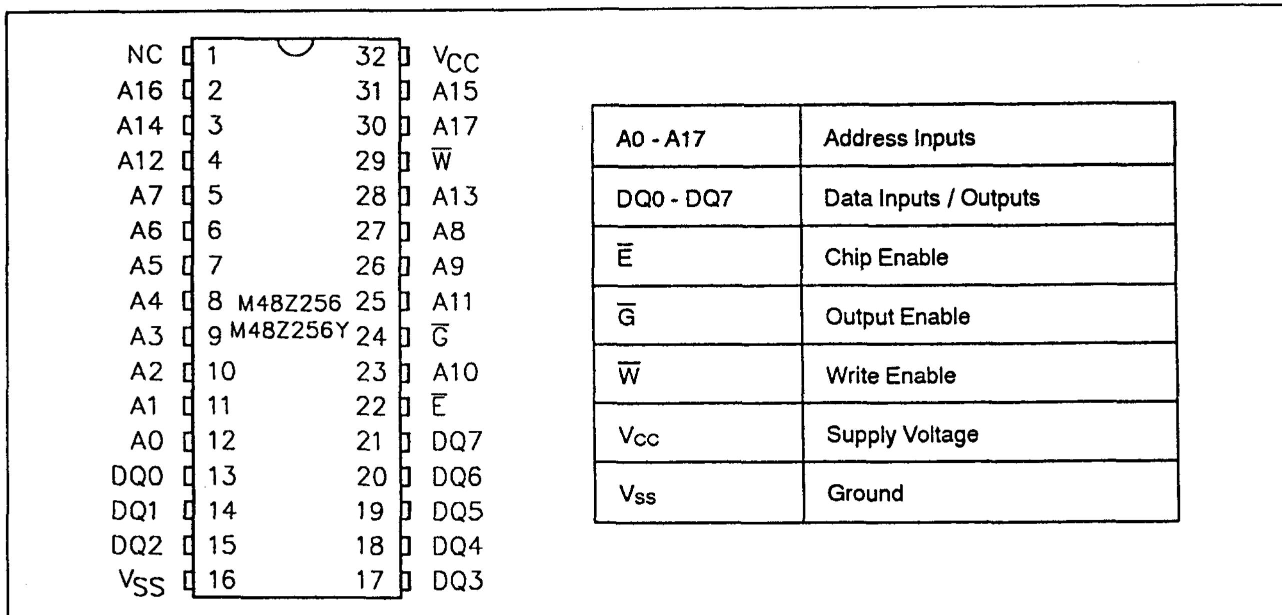
Specificaties

- 256 k x 8 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + batterij
- conventionele SRAM werking
- onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z256: 4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48Z256Y: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 32-pens DIL (PMLDIP32) incl. batterij
- 10 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson



Figuur 8/2.6.1-63: Blokschema van de M48Z256/M48Z256Y.

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A17	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-64: Aansluitingen van de M48Z256/M48Z256Y (32-pens plastic DIL-behuizing).

Mode	V_{CC}	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-57: Bedrijfsmodes van de M48Z256/M48Z256Y.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-58: Maximaal toegelaten waarden van de M48Z256/M48Z256Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±2	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±2	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		110	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		12	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \ge V_{CC} - 0.2V$		4	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-59: Gelijkspanningen en -stromen van de M48Z256/M48Z256Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z256)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z256Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR} (2)	Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

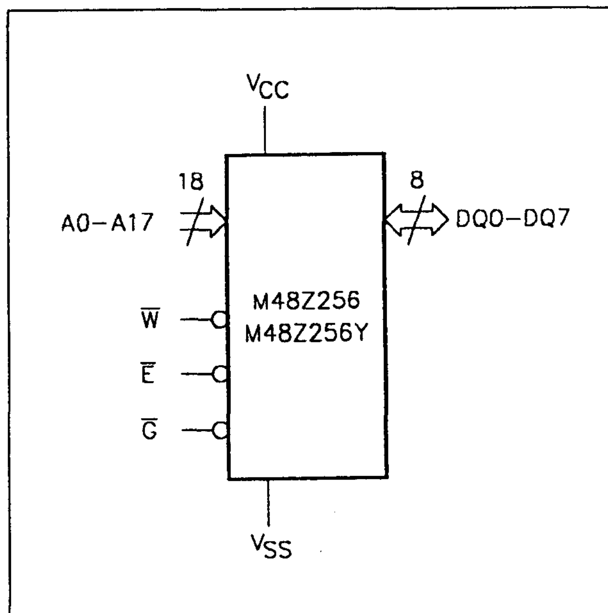
Tabel 8/2.6.1-60: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z256/M48Z256Y.

Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from $V_{CC} = V_{PFD}$	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-61: Power Up/Down timing (zie ook figuur 8/2.6.1-58).

2.6 Type-beschrijving Zero-Power statische RAM's



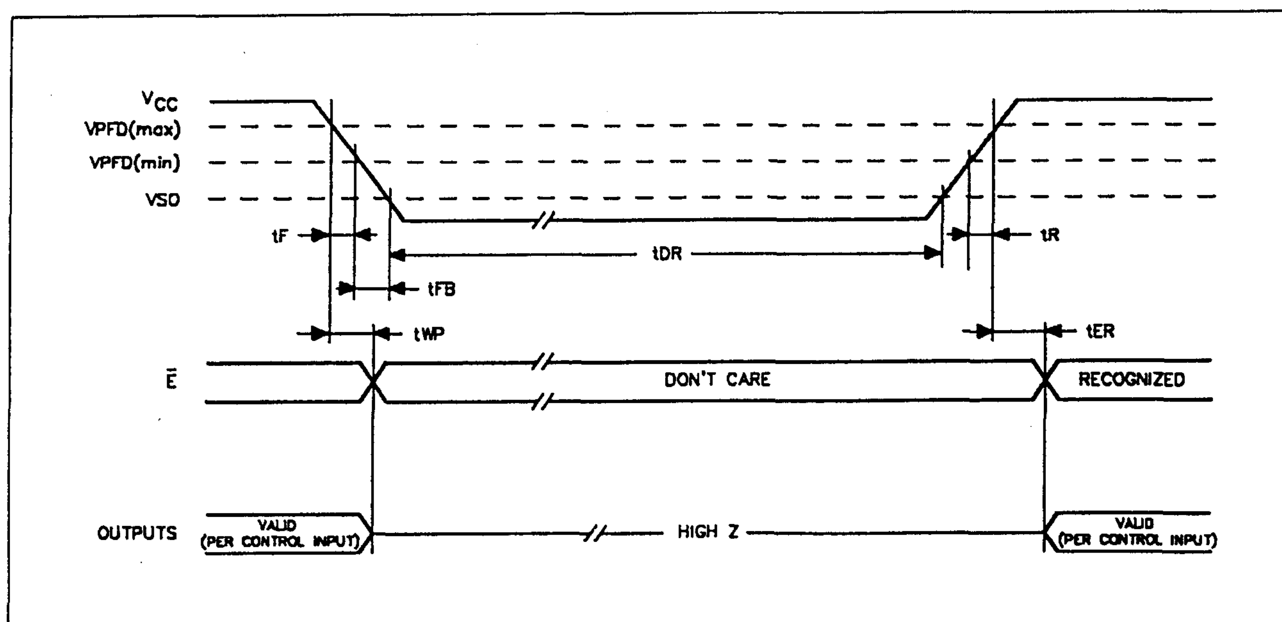
Figuur 8/2.6.1-65: Logisch schema en PMLDIP32-behuizing (PL) van de M48Z256/M48Z256Y.

Lees-mode

De M48Z256/M48Z256Y staat altijd in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 18 adreslijnen kunnen 262.144 bytes (= 256 kB) data direct worden geadresseerd. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.67). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is de data pas geldig na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time).

De toestand van de acht 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$.

Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adres-signalen (figuur 8/2.6.1.68).



Figuur 8/2.6.1-66: Golfvormen en timing tijdens Power Up/Down.

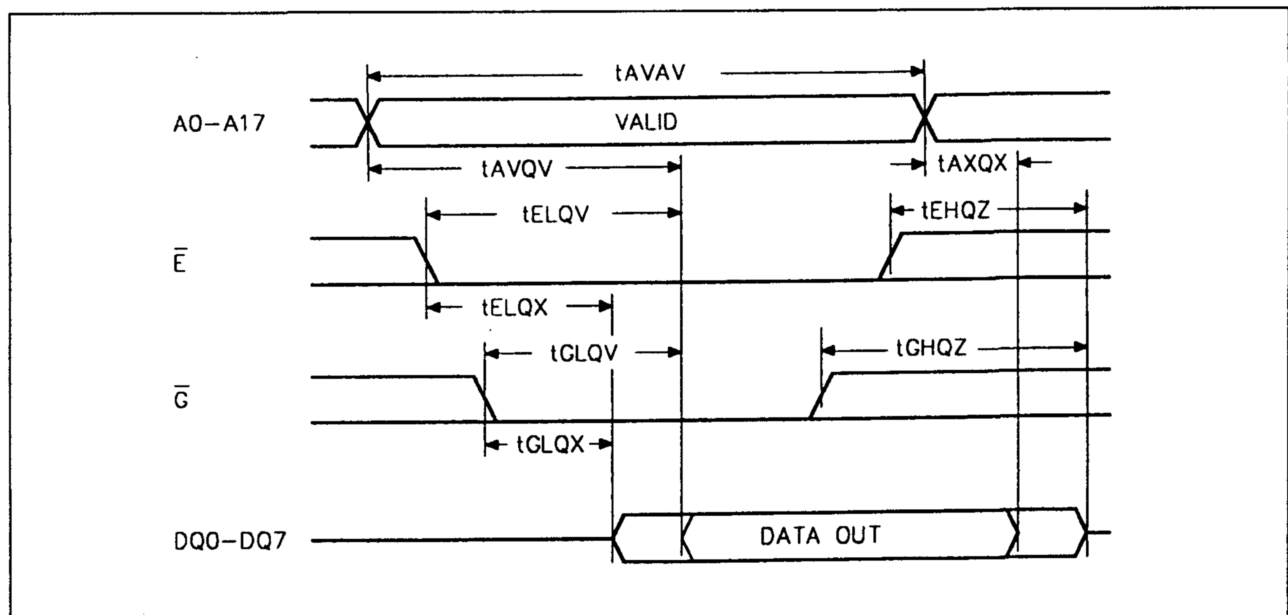
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; Vcc = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z256 / 256Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		120		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		120	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		120	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		60	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	0		0		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		35		45	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-62: Schakeltijden van de M48Z256/M48Z256Y in de leesmode.



Figuur 8/2.6.1-67: Golfvormen bij het uitlezen van de M48Z256/M48Z256Y onder besturing van $\overline{E}$ of $\overline{G}$.

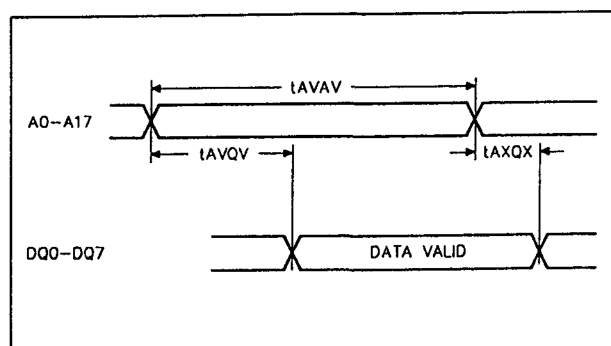
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z256 / 256Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		120		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		85		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		100		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		45		ns
t_{DVEH}	Input Valid to Chip Enable High	35		45		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	10		10		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		30		40	ns
t_{AVWH}	Address Valid to Write Enable High	75		100		ns
t_{AVEH}	Address Valid to Chip Enable High	75		100		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	0		0		ns

Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low after $\overline{W}$ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-63: Timing bij de M48Z256/M48Z256Y in de schrijfmode (zie ook de figuren 8/2.6.1-69 en -70).

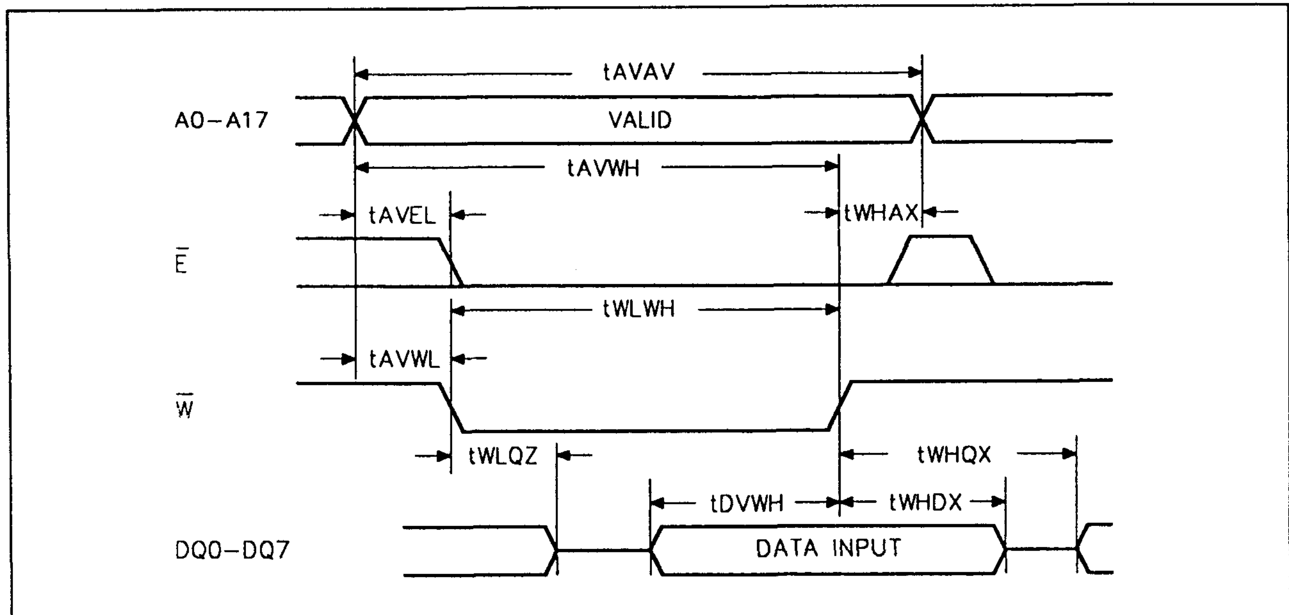


Figuur 8/2.6.1-68: Golfvormen en timing door middel van de adreslijnen bij het uitlezen van de M48Z256/M48Z256Y ($\overline{E}$ en $\overline{G}$ = LAAG, $\overline{W}$ = HOOG).

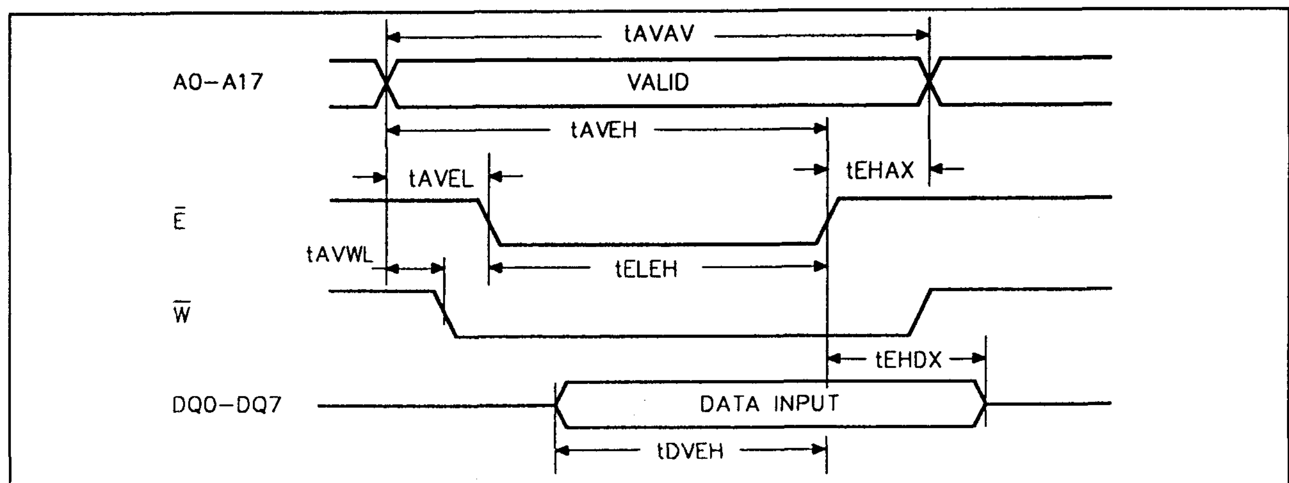
Schrijf-mode

De M48Z256/M48Z256Y kan data opnemen als $\overline{W}$ en $\overline{E}$ actief (LAAG) zijn (figuur 8/2.6.1-69 en -70). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank hiervan. Het adres mag gedurende de gehele cyclus niet veranderen. Vóór het begin van een nieuwe schrijfcyclus moet $\overline{E}$ minimaal gedurende t_{EHAX} na Chip Enable of $\overline{W}$ gedurende t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens de schrijfcycli moet $\overline{G}$ HOOG blijven om busconflicten te voorkomen.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-69: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z256/M48Z2568Y (G = HOOG).



Figuur 8/2.6.1-70: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z256/M48Z256Y (G = HOOG).

Vasthouden van de data

Wanneer de juiste V_{CC} aanwezig is, werkt de M48Z256/M48Z256Y als een gewone byte-wide statische RAM. Bij daling van de voedingsspanning treedt de "power-fail deselect" automatisch in werking, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan wordt de interne batterij ingeschakeld om de data vast te houden.

M48Z512, M48Z512Y

CMOS 512 k x 8 Zero-Power SRAM

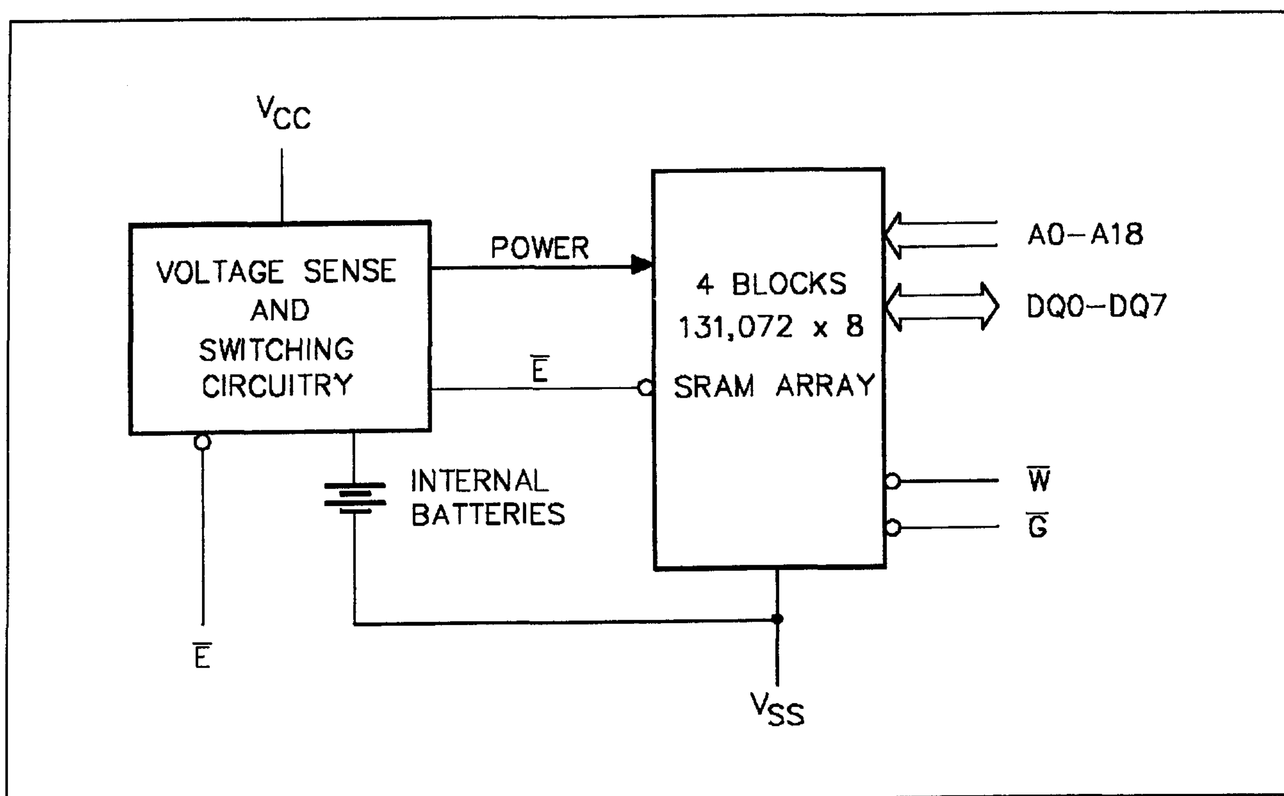
De M48Z512/M48Z512Y is nog een maat groter: 4 M, georganiseerd als 512 k x 8 bit. Deze niet-vluchtige statische RAM is samen met twee lithium batterijen in één 32-pens

2.6 Type-beschrijving Zero-Power statische RAM's

plastic DIL-behuizing opgenomen (DIP long module). De M48Z512/M48Z512Y is een directe vervanger voor industrie-standaard 512 k x 8 SRAM's en ook vele EPROM's en EEPROM's. Net als bij een PROM wordt data vastgehouden, echter zonder beperking van het aantal schrijfcycli of speciale timing-eisen. De M48Z512/M48Z512Y heeft een eigen Power-Fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Zodra V_{CC} niet meer aan de specificaties voldoet, wordt de schrijf-beveiliging ingeschakeld waardoor geen data meer kan worden opgenomen. Daalt V_{CC} onder ongeveer 3 V, dan worden de batterijen ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.

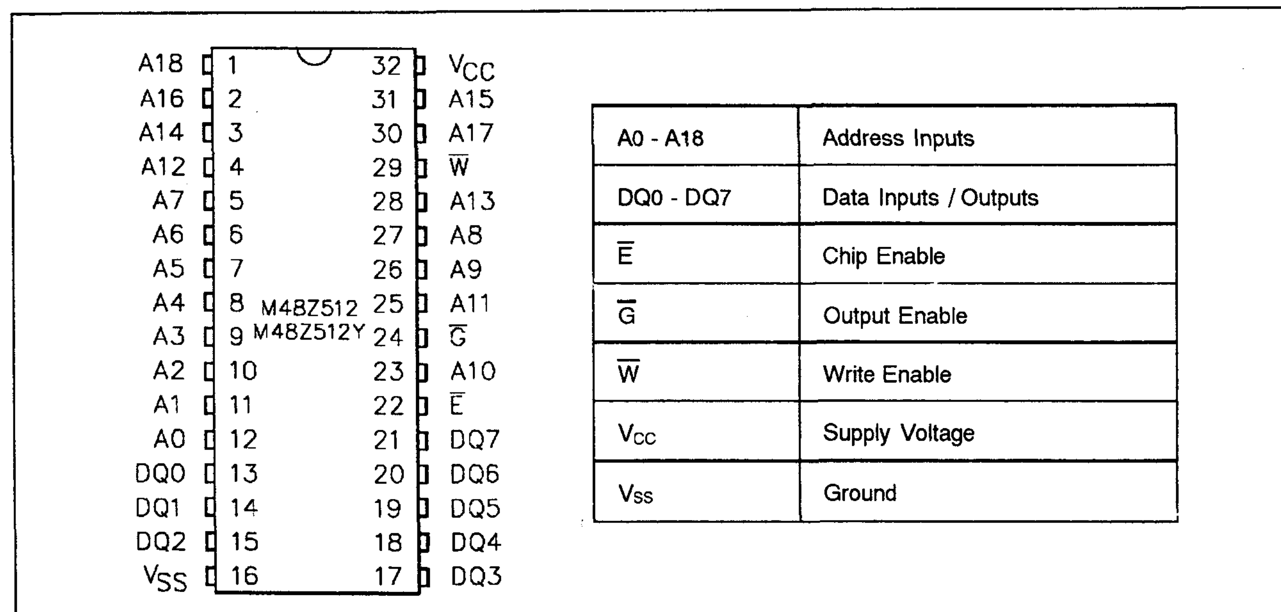
Specificaties

- 512 k x 8 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + 2 lithium batterijen
- conventionele SRAM werking
- onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48Z512: 4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48Z512Y: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 32-pens DIL (PMLDIP32) incl. batterijen
- 5 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson



Figuur 8/2.6.1-71: Blokschema van de M48Z512/M48Z512Y.

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A18	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-72: Aansluitingen van de M48Z512/M48Z512Y (32-pens plastic DIL-behuizing).

Mode	V_{CC}	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-64: Bedrijfsmodes van de M48Z512/M48Z512Y.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-65: Maximaal toegelaten waarden van de M48Z512/M48Z512Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±4	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±4	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		115	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		17	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \geq V_{CC} - 0.2V$		5	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-66: Gelijkspanningen en -stromen van de M48Z512/M48Z512Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48Z512)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48Z512Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR} (2)	Data Retention Time	5			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

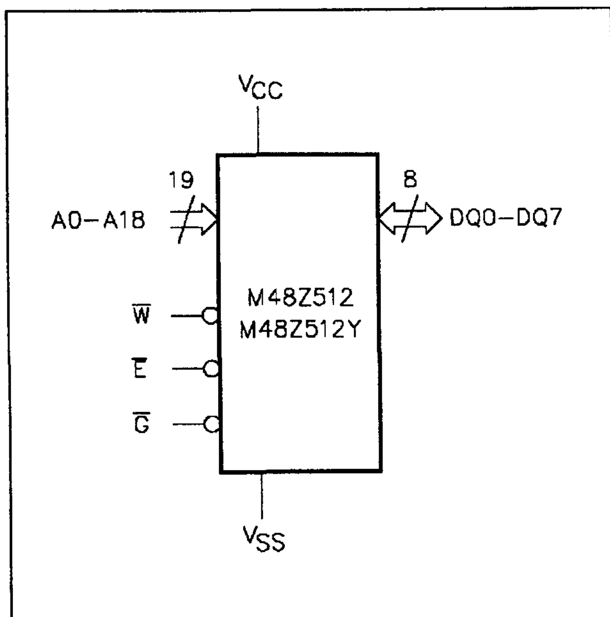
Tabel 8/2.6.1-67: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M48Z512/M48Z512Y.

Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from $V_{CC} = V_{PFD}$	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-68: Power Up/Down timing (zie ook figuur 8/2.6.1-74).

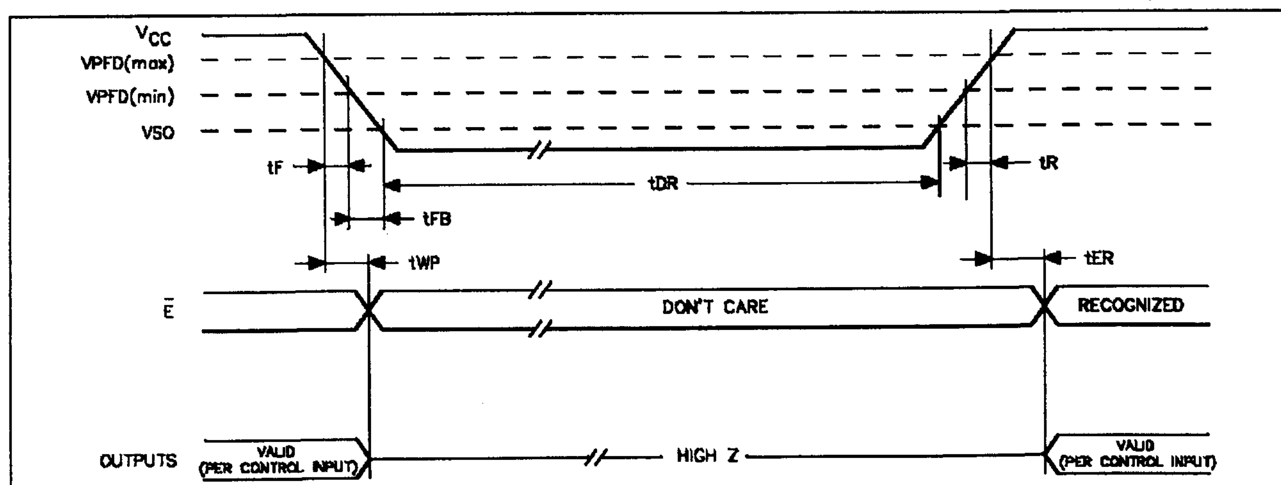
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-73: Logisch schema en PMLDIP32-behuizing (PL) van de M48Z512/M48Z512Y.

Lees-mode

De M48Z512/M48Z512Y staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 19 adreslijnen zijn 524.288 bytes (= 512 kB) data direct bereikbaar. Data is geldig binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.75). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is er pas geldige data na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time). De toestand van de acht 3-state data I/O-signalen wordt geregeld met $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adres-signalen (figuur 8/2.6.1.76).



Figuur 8/2.6.1-74: Golfvormen en timing tijdens Power Up/Down.

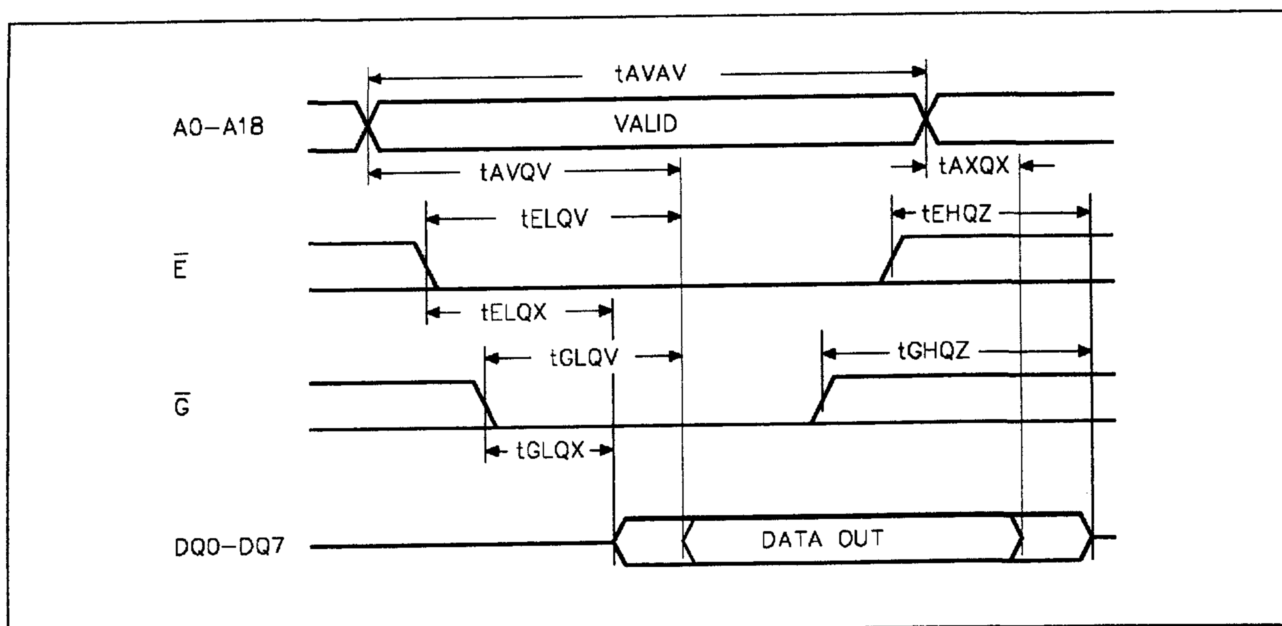
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z512 / 512Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		120		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		120	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		120	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		60	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	0		0		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		35		45	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

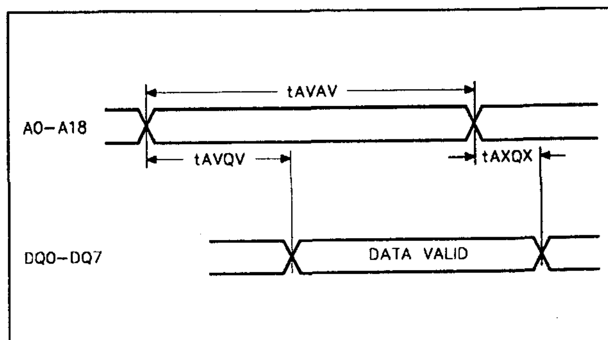
Notes: 1. C_L = 100pF (see Figure 4).
2. C_L = 5pF (see Figure 4)

Tabel 8/2.6.1-69: Schakeltijden van de M48Z512/M48Z512Y in de leesmode.



Figuur 8/2.6.1-75: Golfvormen bij het uitlezen van de M48Z512/M48Z512Y onder besturing van $\overline{E}$ of $\overline{G}$.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-76: Golfvormen en timing bij het uitlezen van de M48Z512/M48Z512Y onder besturing door de adreslijnen (Ē en Ḡ = LAAG, W̄ = HOOG).

Schrijf-mode

De M48Z512/M48Z512Y kan data opnemen als W̄ en Ē actief (LAAG) zijn (figuur 8/2.6.1-77 en -78). De schrijfcyclus begint op de laatst optredende achterflank van W̄ of Ē en eindigt op de eerst optredende stijgende flank hiervan. Het adres moet gedurende de gehele cyclus stabiel blijven. Vóór het begin van een nieuwe schrijfcyclus moet Ē minimaal gedurende t_{EHAX} na Chip Enable of W̄ gedurende t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} of t_{EHDX} geldig blijven. Tijdens de schrijfcycli moet Ḡ HOOG blijven om busconflicten te voorkomen.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48Z512 / 512Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		120		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		85		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		100		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		45		ns
t_{DVEH}	Input Valid to Chip Enable High	35		45		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	10		10		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		30		40	ns
t_{AVWH}	Address Valid to Write Enable High	75		100		ns
t_{AVEH}	Address Valid to Chip Enable High	75		100		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	0		0		ns

Notes: 1. C_L = 5pF
2. If Ē goes low simultaneously with W̄ going low after W̄ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-70: Timing bij de M48Z512/M48Z512Y in de schrijfmode (zie ook de figuren 8/2.6.1-77 en -78).

2.6 Type-beschrijving Zero-Power statische RAM's

Figuur 8/2.6.1-77: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48Z512/M48Z5128Y ($\overline{G}$ = HOOG).

Figuur 8/2.6.1-78: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48Z512/M48Z512Y ($\overline{G}$ = HOOG).

Vasthouden van de data

Wanneer de juiste V_{CC} aanwezig is, werkt de M48Z512/M48Z512Y als een conventionele byte-wide statische RAM. Bij daling van de voedingsspanning treedt de power-fail deselect automatisch in werking, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan worden de interne batterijen ingeschakeld om de data vast te houden.

M46Z128, M46Z128Y

CMOS 128 k x 16 Zero-Power SRAM

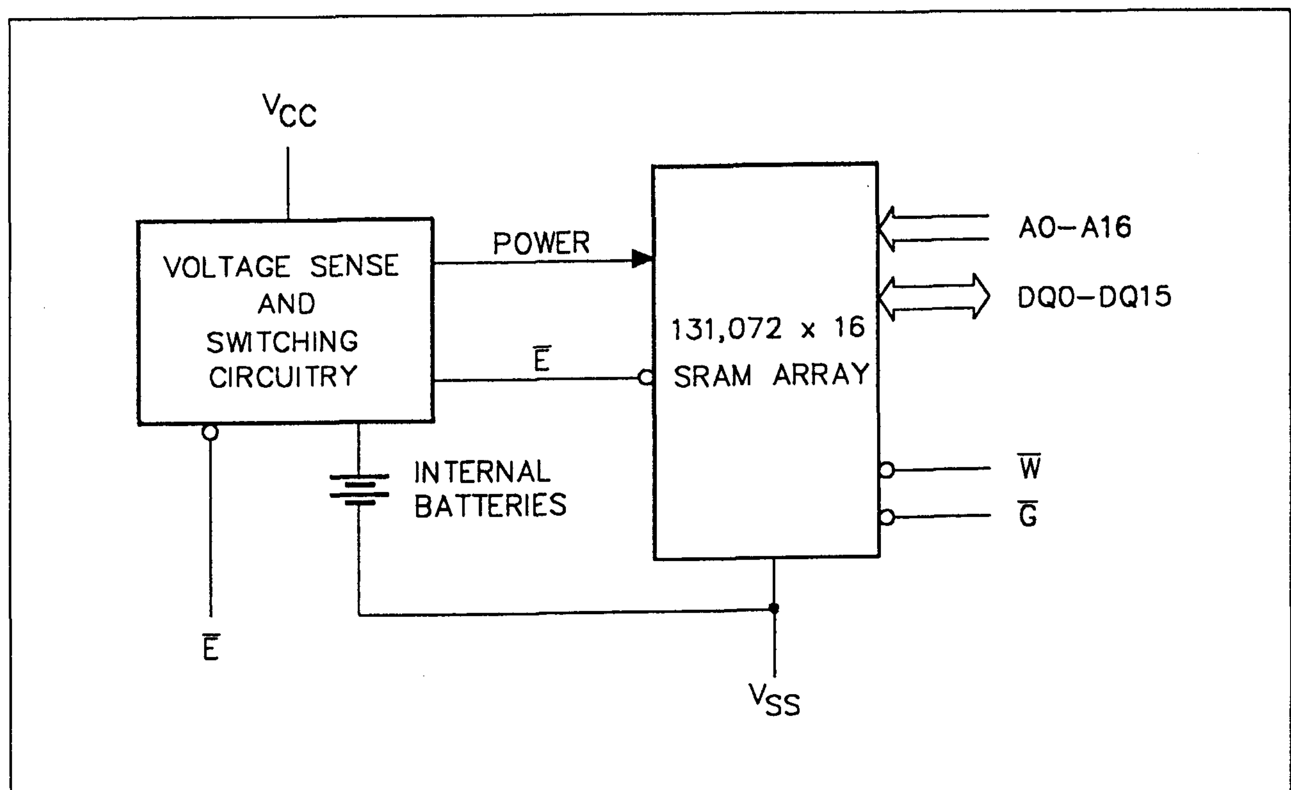
De M46Z128/M46Z128Y is een 2 M (128 k x 16 bit) niet-vluchtige statische RAM die samen met twee lithium batterijen is opgenomen in een 40-pens plastic DIL-behuizing.

2.6 Type-beschrijving Zero-Power statische RAM's

Dit Zero-Power geheugen is een directe vervanger van industrie-standaard 128 k x 16 SRAM's en kan ook in plaats van EPROM's en EEPROM's worden gebruikt. Data wordt hierbij (net als bij een PROM) vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen.
De M46Z128/M46Z128Y heeft een Power-Fail detectieschakeling die voortdurend op de 5 V voeding let. Als V_{CC} niet meer aan de specificaties voldoet, schakelt de schrijfbeveiliging in en kan het geheugen geen data meer opnemen. Wordt V_{CC} lager dan ongeveer 3 V, dan worden de batterijen ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.

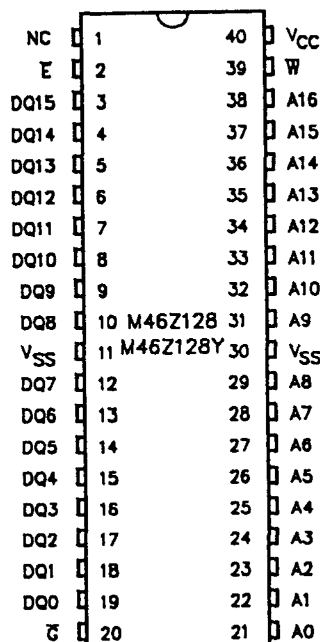
Specificaties

- 128 k x 16 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + batterijen
- conventionele SRAM werking: onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M46Z128: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M46Z128Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- behuizing: 40-pens DIL (PMDIP40) incl. batterijen
- 10 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson



Figuur 8/2.6.1-79: Blokschema van de M46Z128/M46Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A16	Address Inputs
DQ0 - DQ15	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-80: Aansluitingen van de M46Z128/M46Z128Y (40-pens plastic DIL-behuizing).

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ15	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-71: Bedrijfsmodes van de M46Z128/M46Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-72: Maximaal toegelaten waarden van de M46Z128/M46Z128Y.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±2	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±1	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		200	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		11	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \geq V_{CC} - 0.2V$		5	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-73: Gelijkspanningen en -stromen van de M46Z128/M46Z128Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M46Z128)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M46Z128Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR} (2)	Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.1-74: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M46Z128/M46Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's

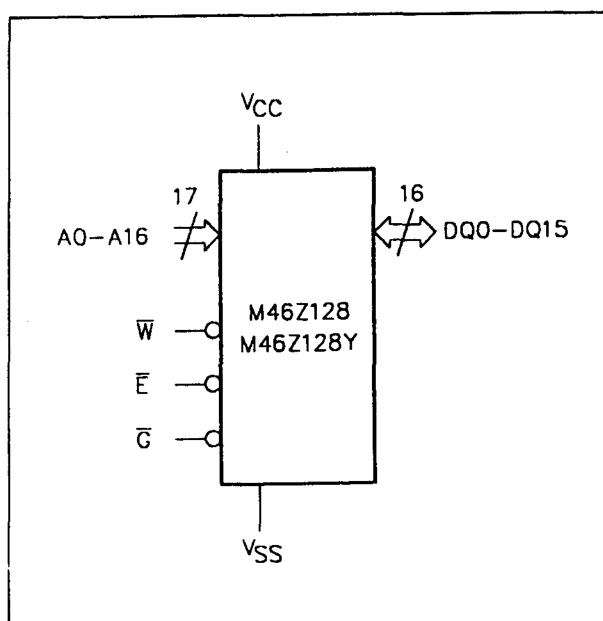
Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from V_{CC} = V_{PFD}	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-75: Power Up/Down timing (zie ook figuur 8/2.6.1-82).

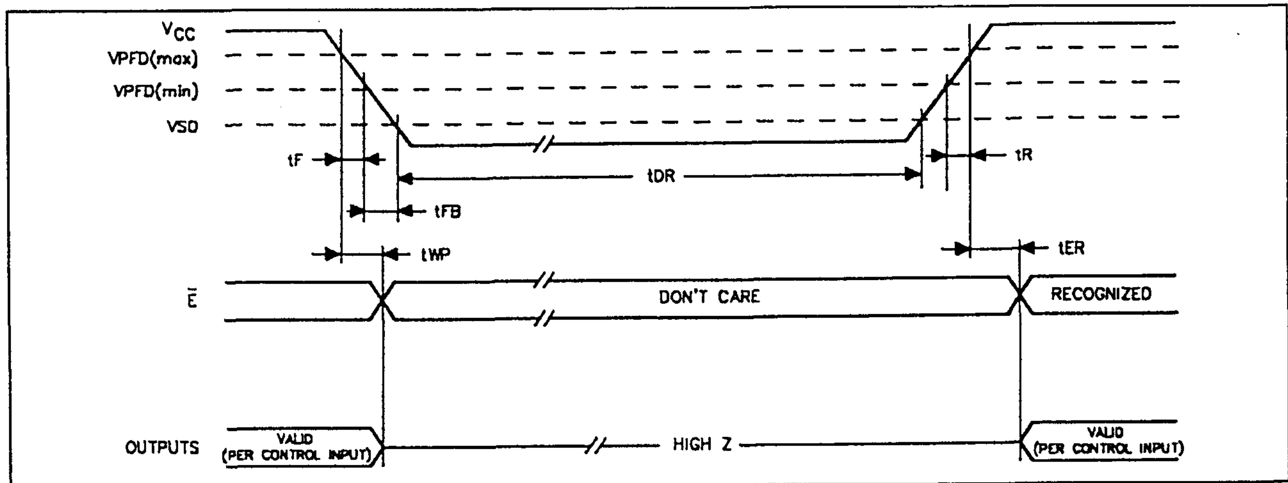
Lees-mode

De M46Z128/M46Z128Y staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 17 adreslijnen zijn 131.072 woorden data direct bereikbaar. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.83). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is er pas geldige data na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time). De toestand van de zestien 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).
Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adres-signalen (figuur 8/2.6.1.84).



Figuur 8/2.6.1-81: Logisch schema en PMDIP40-behuizing van de M46Z128 en M46Z128Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-82: Golfvormen en timing tijdens Power Up/Down.

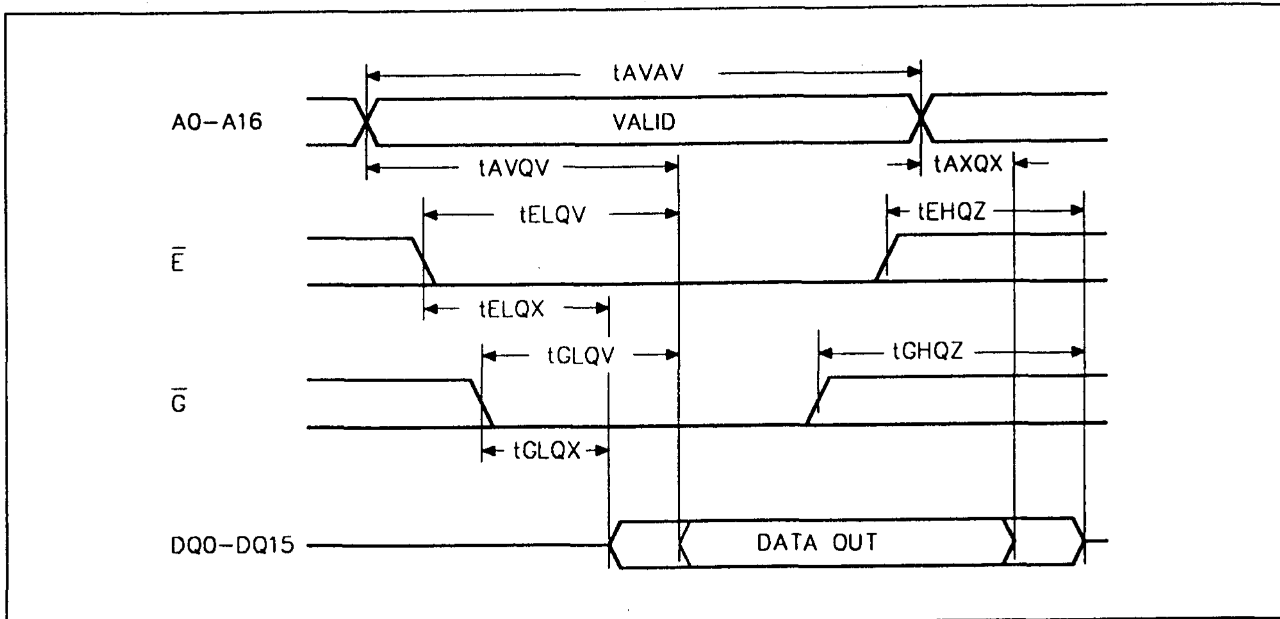
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M46Z128 / 128Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		120		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		120	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		120	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		60	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	0		0		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		35		45	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.1-76: Schakeltijden van de M46Z128/M46Z128Y in de leesmode.

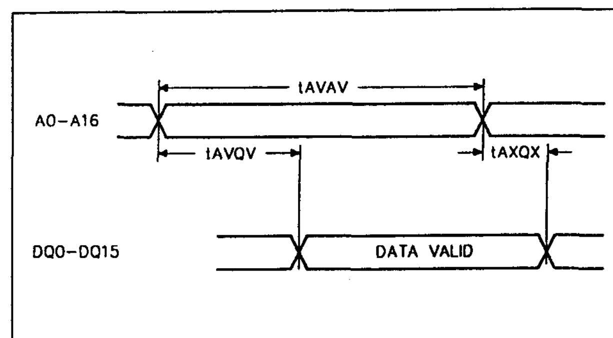
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-83: Golfvormen bij het uitlezen van de M46Z128/M46Z128Y onder besturing van $\overline{E}$ of $\overline{G}$.

Schrijf-mode

De M46Z128/M46Z128Y bevindt zich in de schrijfmode als $\overline{W}$ en $\overline{E}$ LAAG zijn (figuur 8/2.6.1-85 en -86). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$ en stopt op de eerst optredende stijgende flank hiervan. Het adres mag gedurende de gehele cyclus niet veranderen. Vóór het begin van een nieuwe schrijfcyclus moet $\overline{E}$ minimaal gedurende t_{EHAX} na Chip Enable of $\overline{W}$ gedurende t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} of t_{EHDX} geldig blijven. Tijdens de schrijfcycli moet $\overline{G}$ HOOG blijven om busconflicten te voorkomen.



Figuur 8/2.6.1-84: Golfvormen en timing door middel van de adreslijnen bij het uitlezen van de M46Z128/M46Z128Y ($\overline{E}$ en $\overline{G}$ = LAAG, $\overline{W}$ = HOOG).

2.6 Type-beschrijving Zero-Power statische RAM's

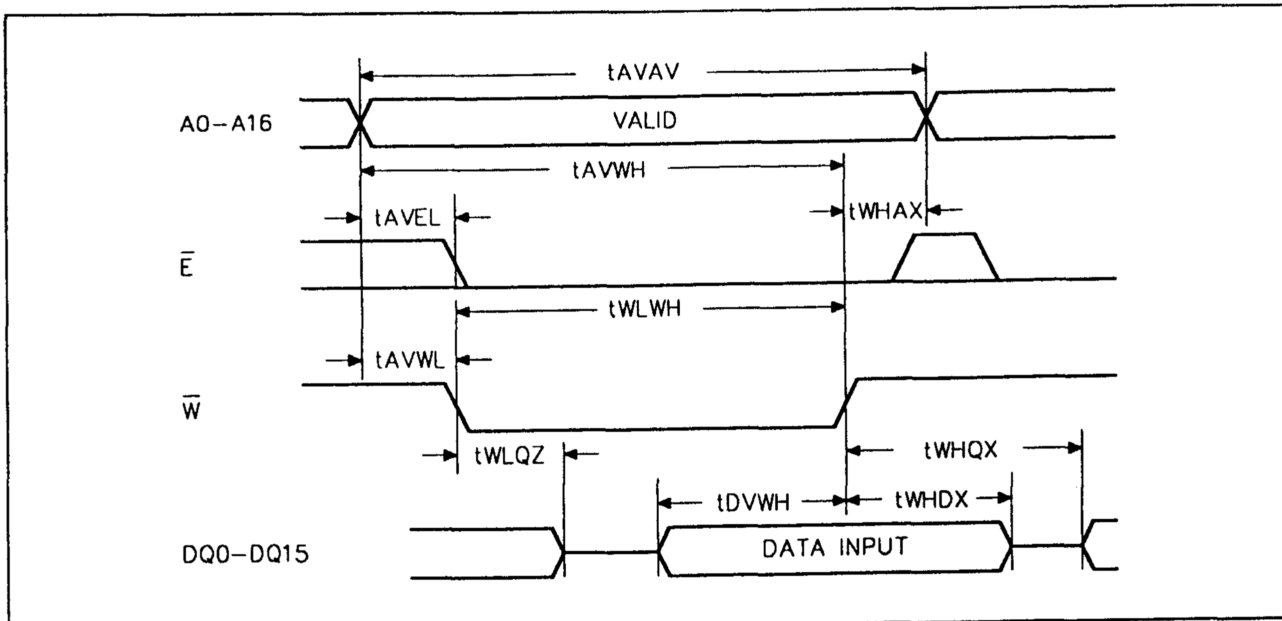
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M46Z128 / 128Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		120		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		85		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		100		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		45		ns
t_{DVEH}	Input Valid to Chip Enable High	35		45		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	10		10		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		30		40	ns
t_{AVWH}	Address Valid to Write Enable High	75		100		ns
t_{AVEH}	Address Valid to Chip Enable High	75		100		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	0		0		ns

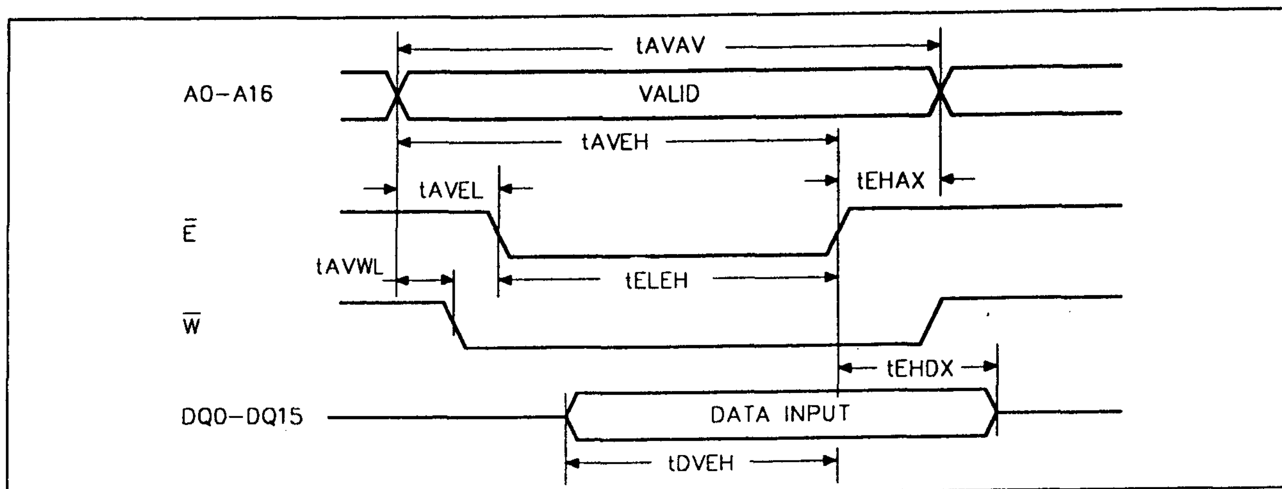
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low after $\overline{W}$ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-77: Timing bij de M46Z128/M46Z128Y in de schrijfmode (zie ook de figuren 8/2.6.1-85 en -86).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-85: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M46Z128/M46Z128Y (G̅ = HOOG).



Figuur 8/2.6.1-86: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M46Z128/M46Z128Y (G̅ = HOOG).

Vasthouden van de data

Wanneer de juiste V_{CC} aanwezig is, werkt de M46Z128/M46Z128Y als een conventionele "word-wide" statische RAM. Daalt de voedingsspanning dan treedt de power-fail deselect automatisch in werking, waarbij de schrijf-beveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan worden de interne batterijen ingeschakeld om de data vast te houden.

M46Z256, M46Z256Y

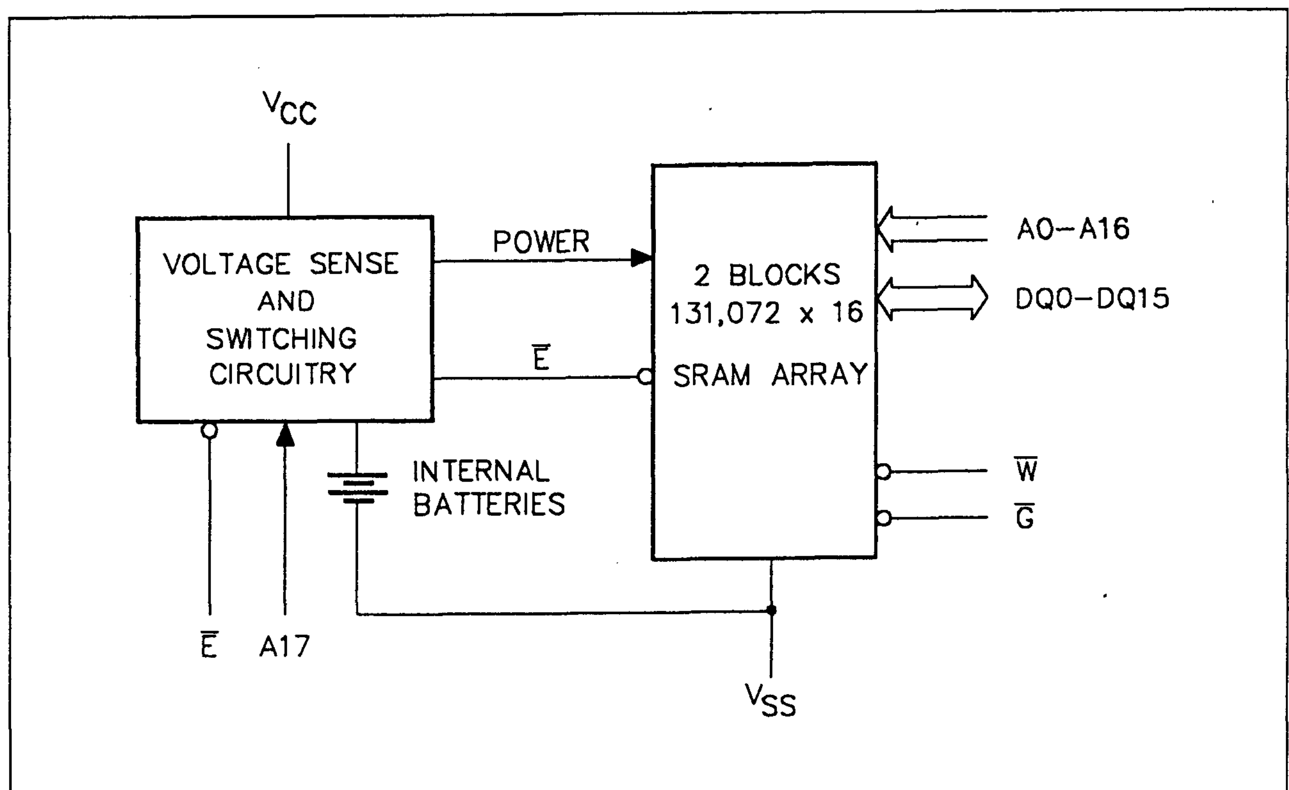
CMOS 256 k x 16 Zero-Power SRAM

De M46Z256/M46Z256Y is een 4 M (256 k x 16 bit) niet-vluchtige statische RAM die met twee lithium batterijen in één 40-pens plastic DIL-behuizing is geplaatst. Dit "Zero-Power"-

geheugen kan in de plaats van industrie-standaard 256 k x 16 SRAM's en vele EPROM's en EEPROM's worden gebruikt. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfcycli of speciale timing-eisen. De M46Z256/M46Z256Y beschikt over een eigen Power-Fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Zodra V_{CC} niet meer aan de specificaties voldoet, wordt de schrijf-beveiliging ingeschakeld en kan het geheugen geen data meer opnemen. Daalt V_{CC} onder ongeveer 3 V, dan wordt de batterij ingeschakeld om de data vast te houden tot de voedingsspanning terugkomt.

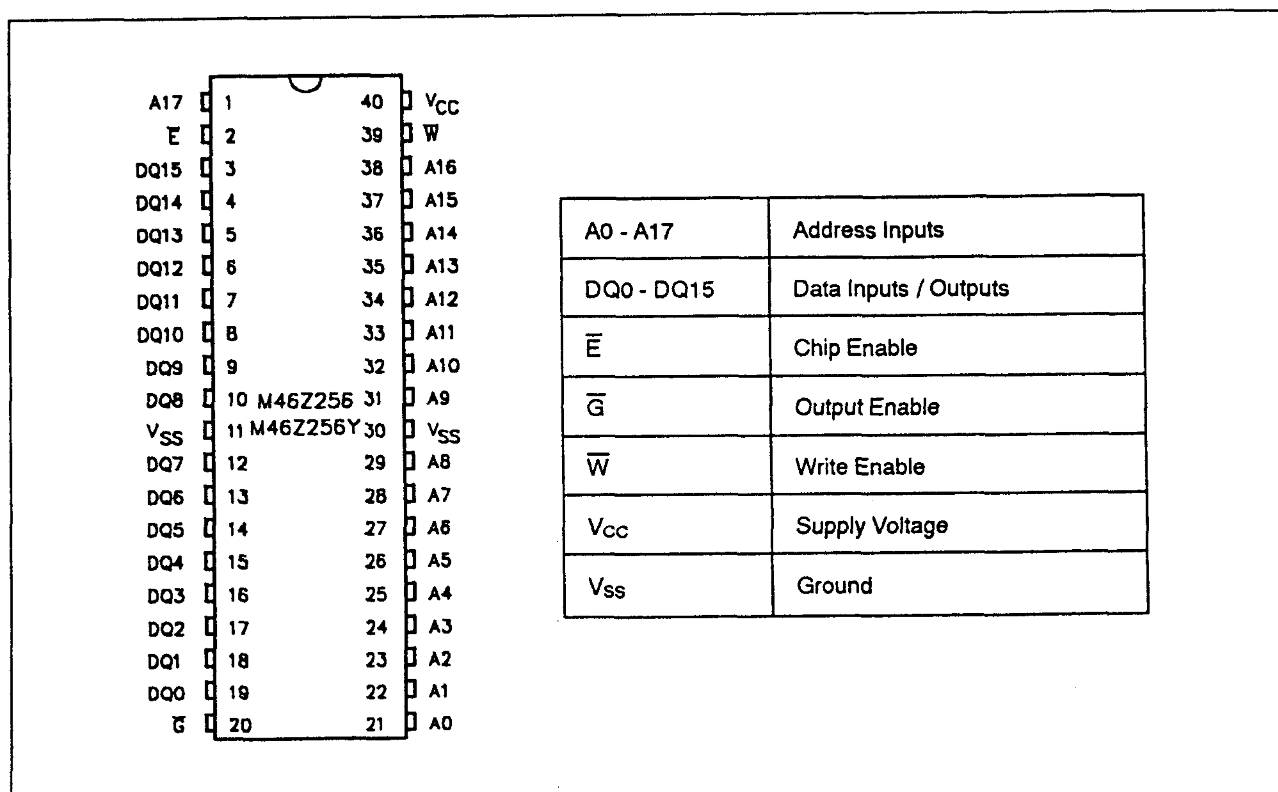
Specificaties

- 256 k x 16 organisatie
- geïntegreerde low-power SRAM + Power Fail circuit + 2 batterijen
- conventionele SRAM werking
- onbeperkt aantal schrijfcycli
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M46Z256: 4,5 V ≤ VPFD ≤ 4,75 V
  M46Z256Y: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizing: 40-pens DIL (PMLDIP40) incl. batterijen
- 5 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson



Figuur 8/2.6.1-87: Blokschema van de M46Z256/M46Z256Y.

2.6 Type-beschrijving Zero-Power statische RAM's



A0 - A17	Address Inputs
DQ0 - DQ15	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.1-88: Aansluitingen van de M46Z256/M46Z256Y (40-pens plastic DIL-behuizing).

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ15	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.1-78: Bedrijfsmodes van de M46Z256/M46Z256Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off)	-40 to 70	°C
T_{BIAS}	Temperature Under Bias	-10 to 70	°C
T_{SLD}	Lead Soldering Temperature for 10 seconds	260	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V

Tabel 8/2.6.1-79: Maximaal toegelaten waarden van de M46Z256/M46Z256Y.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±4	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±2	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, Outputs open		200	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		18	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} \ge V_{CC} - 0.2V$		5	mA
V_{IL}	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Note: 1. Outputs deselected.

Tabel 8/2.6.1-80: Gelijkspanningen en -stromen van de M48Z256/M48Z256Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M46Z256)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M46Z256Y)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3		V
t_{DR}(2)	Data Retention Time	5			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

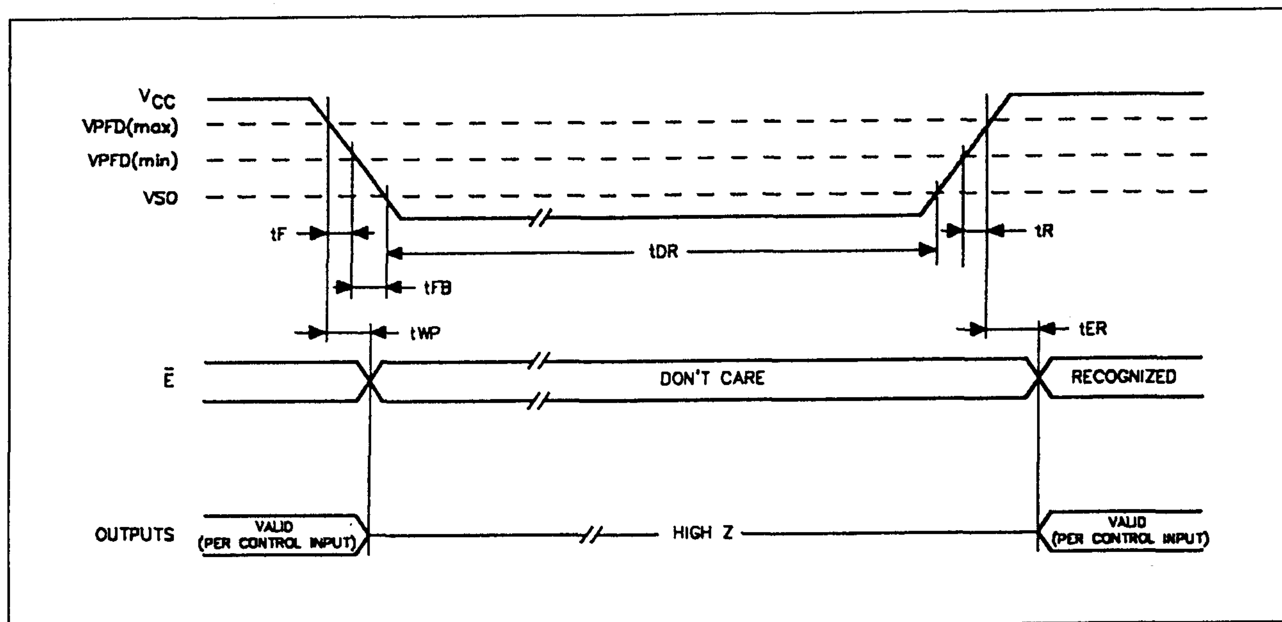
Tabel 8/2.6.1-81: Gelijkspannings-kenmerken van de Power Up/Down trip-points van de M46Z256/M46Z256Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_{WP}	Write Protect Time from V_{CC} = V_{PFD}	40	150	µs
t_R	V_{SO} to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{ER}	$\overline{E}$ Recovery Time	40	120	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.1-82: Power Up/Down timing (zie ook figuur 8/2.6.1-90).



Figuur 8/2.6.1-90: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

De M46Z256/M46Z256Y staat altijd in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 18 adreslijnen kunnen 262.144 woorden data direct worden geadresseerd. Geldige data is binnen t_{AVQV} (Address Access Time) na het stabiel worden van de laatste adreslijn op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ wordt voldaan (figuur 8/2.6.1.91). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is de data pas geldig na de laatst komende t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time).

De toestand van de acht 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$. Als de uitgangen actief worden vóór t_{AVQV}, is de data ongeldig. Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

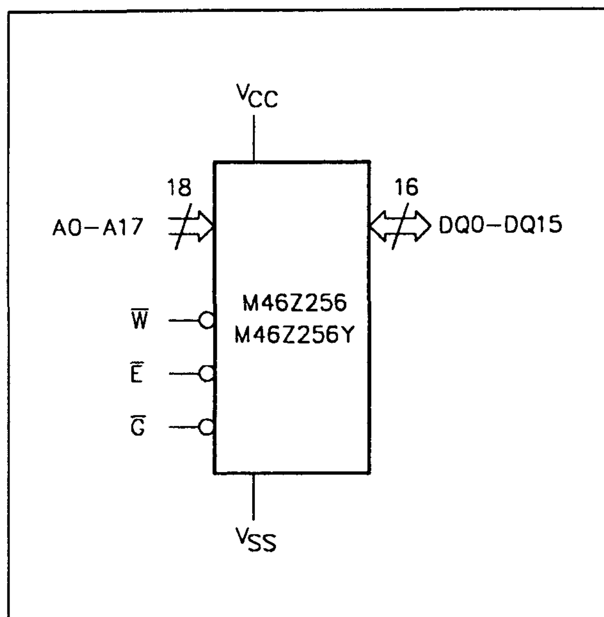
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M46Z256 / 256Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	85		120		ns
t_{AVQV} (1)	Address Valid to Output Valid		85		120	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		85		120	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		45		60	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	0		0		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		35		45	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25		35	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

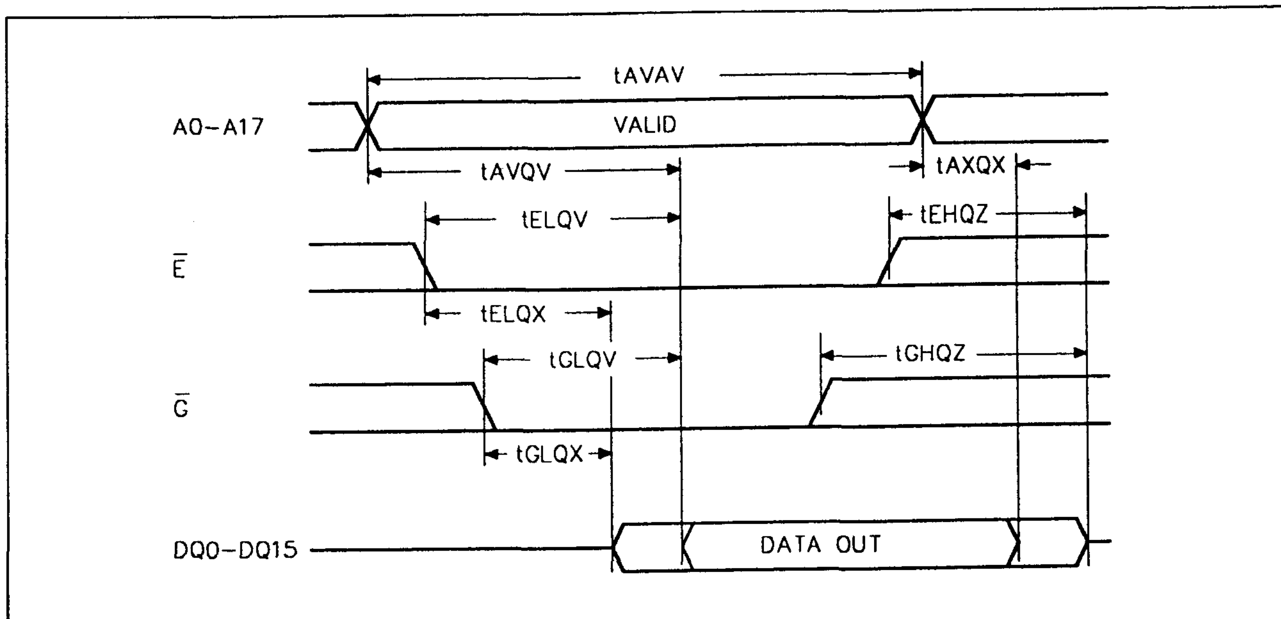
Tabel 8/2.6.1-83: Schakeltijden van de M46Z256/M46Z256Y in de leesmode.



Figuur 8/2.6.1-89: Logisch schema en PMDIP40-behuizing (PM) van de M46Z256/M46Z256Y.

Veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog actief (LAAG) zijn en $\overline{W}$ HOOG, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time). De timing vindt dan plaats door de adres-signalen (figuur 8/2.6.1.92).

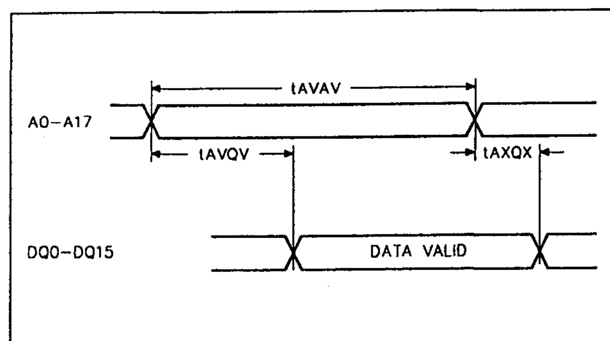
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-91: Golfvormen bij het uitlezen van de M46Z256/M46Z256Y onder besturing van E̅ of G̅.

Schrijf-mode

De M46Z256/M46Z256Y kan data opnemen als W̅ en E̅ actief (LAAG) zijn (figuur 8/2.6.1-93 en -94). De schrijfcyclus begint op de laatst optredende achterflank van W̅ of E̅ en stopt op de eerst optredende stijgende flank hiervan. Het adres mag gedurende de gehele cyclus niet veranderen. Vóór het begin van een nieuwe schrijfcyclus moet E̅ minimaal gedurende t_{EHAX} na Chip Enable of W̅ gedurende t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} of t_{EHDX} geldig blijven. Tijdens de schrijfcycli moet G̅ HOOG blijven om busconflicten te voorkomen.



Figuur 8/2.6.1-92: Golfvormen en timing door middel van de adreslijnen bij het uitlezen van de M46Z256/ M46Z256Y (E̅ en G̅ = LAAG, W̅ = HOOG).

2.6 Type-beschrijving Zero-Power statische RAM's

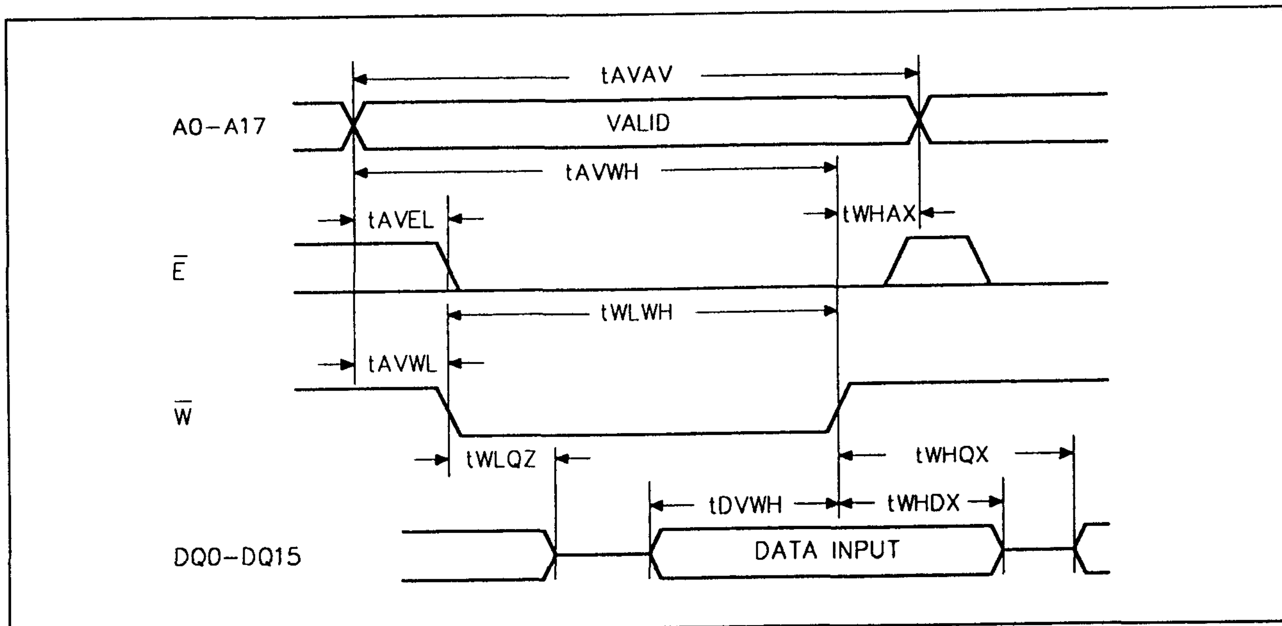
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M46Z256 / 256Y				Unit
		-85		-120		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	85		120		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		ns
t_{WLWH}	Write Enable Pulse Width	65		85		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		100		ns
t_{WHAX}	Write Enable High to Address Transition	5		5		ns
t_{EHAX}	Chip Enable High to Address Transition	15		15		ns
t_{DVWH}	Input Valid to Write Enable High	35		45		ns
t_{DVEH}	Input Valid to Chip Enable High	35		45		ns
t_{WHDX}	Write Enable High to Input Transition	0		0		ns
t_{EHDX}	Chip Enable High to Input Transition	10		10		ns
t_{WLQZ} (1,2)	Write Enable Low to Output Hi-Z		30		40	ns
t_{AVWH}	Address Valid to Write Enable High	75		100		ns
t_{AVEH}	Address Valid to Chip Enable High	75		100		ns
t_{WHQX} (1,2)	Write Enable High to Output Transition	0		0		ns

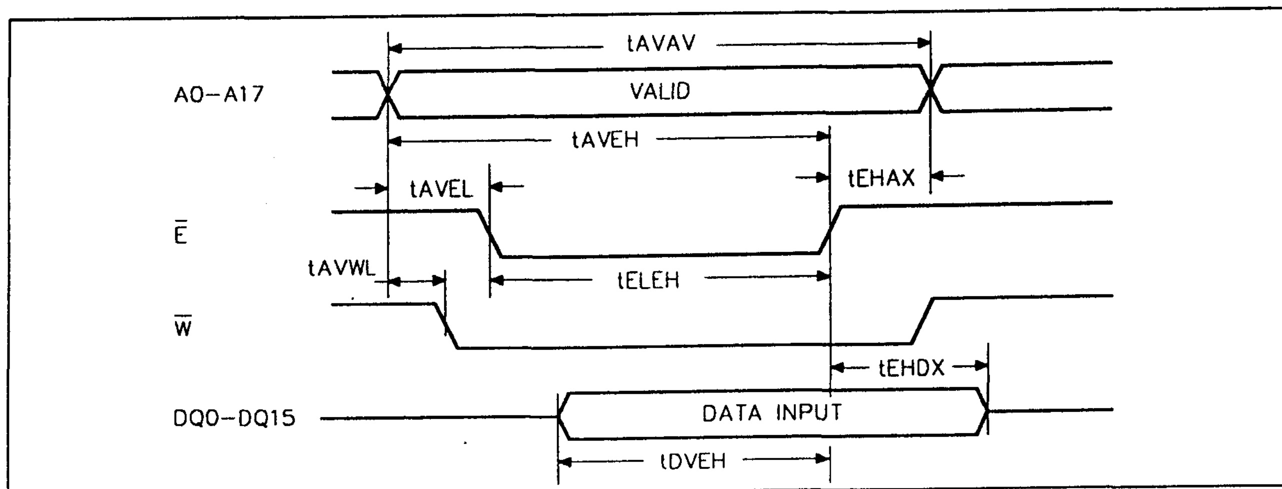
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low after $\overline{W}$ going low, the outputs remain in the high-impedance state.

Tabel 8/2.6.1-84: Timing bij de M468Z256/M46Z256Y in de schrijfmode (zie ook de figuren 8/2.6.1-93 en -94).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.1-93: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M46Z256/M46Z2568Y (G̅ = HOOG).



Figuur 8/2.6.1-94: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M46Z256/M46Z256Y (G̅ = HOOG).

Vasthouden van de data

Als de juiste V_{CC} aanwezig is, werkt de M46Z256/M46Z256Y als een gewone word-wide statische RAM. Bij daling van de voedingsspanning treedt de power-fail deselect automatisch in werking, waarbij de schrijfbeveiliging in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ inschakelt. Alle uitgangen worden dan hoog-impedant en de ingangen "don't care". Komt V_{CC} beneden V_{SO}, dan worden de interne batterijen ingeschakeld om de data vast te houden.

8/2.6.2

Type-beschrijving Timekeeper-typen

M48T02, M48T12

CMOS 2 k x 8 Timekeeper SRAM

De M48T02 en M48T12 zijn 2 k x 8 bit niet-vluchtige statische RAM's die met een real-time clock en een lithium knoopcel in een plastic 24-pens "caphat" behuizing zijn opgenomen. De batterij heeft voldoende capaciteit om, bij afwezigheid van de voedingsspanning, alle data- en clock-functies gedurende minstens tien jaar te kunnen volhouden. De M48T02 en M48T12 zijn niet-vluchtige vervangers van JEDEC-standaard 2 k x 8 SRAM's, terwijl ze ook in plaats van ROM's, EPROM's en EEPROM's gebruikt kunnen worden. Net als bij een PROM wordt data vastgehouden, zonder beperking van het aantal schrijfoperaties of speciaal aan de timing gestelde eisen.

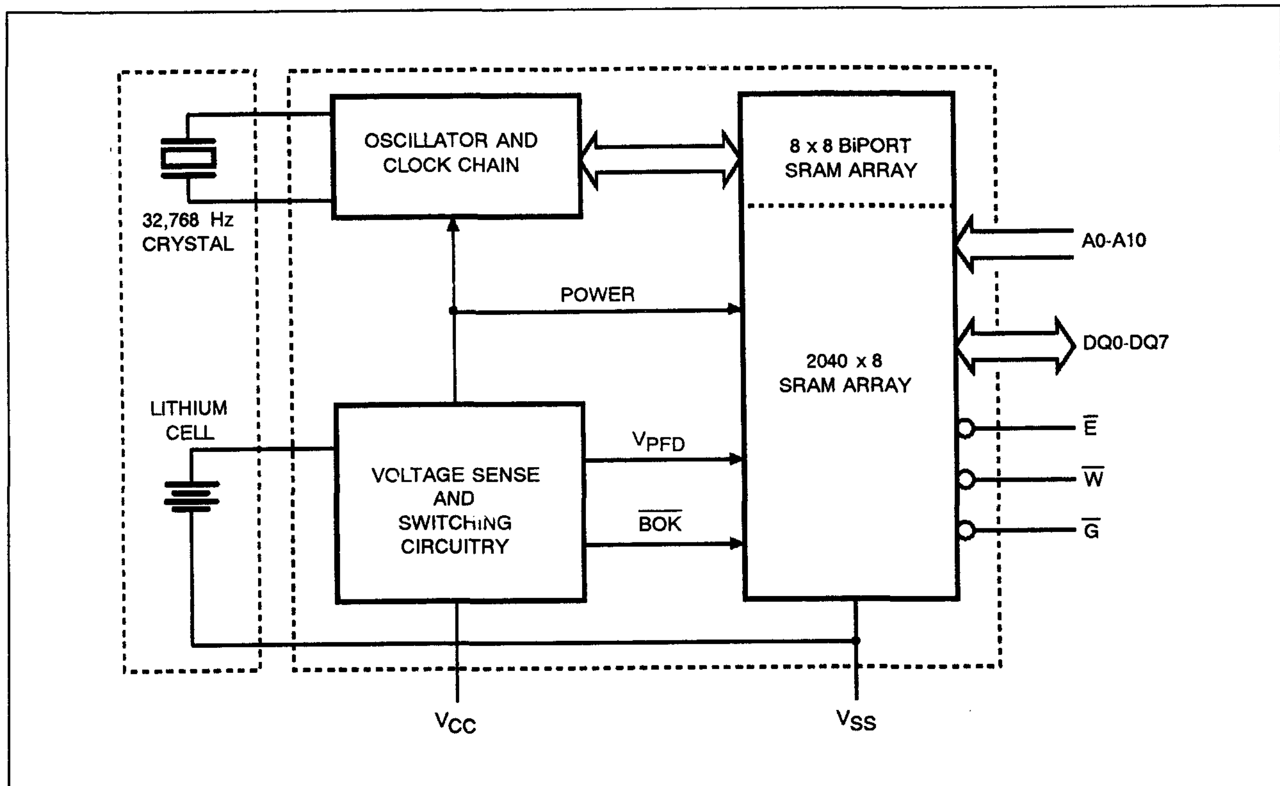
Zoals in figuur 8/2.6.2-1 te zien is zijn het statische geheugen en de kwarts-gestuurde oscillator op één chip geïntegreerd. Beide schakelingen zijn bij de bovenste acht geheugenplaatsen met elkaar verbonden om de gebruiker "byte-wide" klok-informatie te verschaffen op de adressen 7F8h tot en met 7FFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Correcties voor maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch uitgevoerd. Byte 7F8h is het klok-besturingsregister. Via dit byte heeft de gebruiker toegang tot de klok en wordt ook de instelling voor klok-calibratie opgeslagen.

De acht klok-bytes zijn niet de eigenlijke clock-tellers, maar geheugenplaatsen, bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T02/12 bevat een klokbesturingsschakeling die de klokbytes eenmaal per seconde ververst. De informatie is voor de gebruiker op dezelfde manier toegankelijk als alle andere locaties in het statische geheugen. De M48T02/12 heeft zijn eigen Power-Fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Als V_{CC} te laag wordt, wordt de schrijfbeveiliging ingeschakeld zodat het geheugen geen data meer kan opnemen. Als V_{CC} lager wordt dan ongeveer 3 V, wordt de batterij ingeschakeld waardoor de data en de werking van de clock gehandhaafd blijven totdat de voedingsspanning terugkeert.

Specificaties

- 2 k x 8 organisatie
- geïntegreerde SRAM + Real Time Clock + Power Fail circuit + batterij
- byte-wide klok-informatie op RAM-locaties
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48T02: 4,5 V $\leq$ V_{PFD} $\leq$ 4,75 V
  M48T12: 4,2 V $\leq$ VPFD $\leq$ 4,5 V
- behuizing: 24-pens CAPHAT DIL (PCDIP24) incl. kristal en batterij
- 10 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 2 k x 8 SRAM's
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's



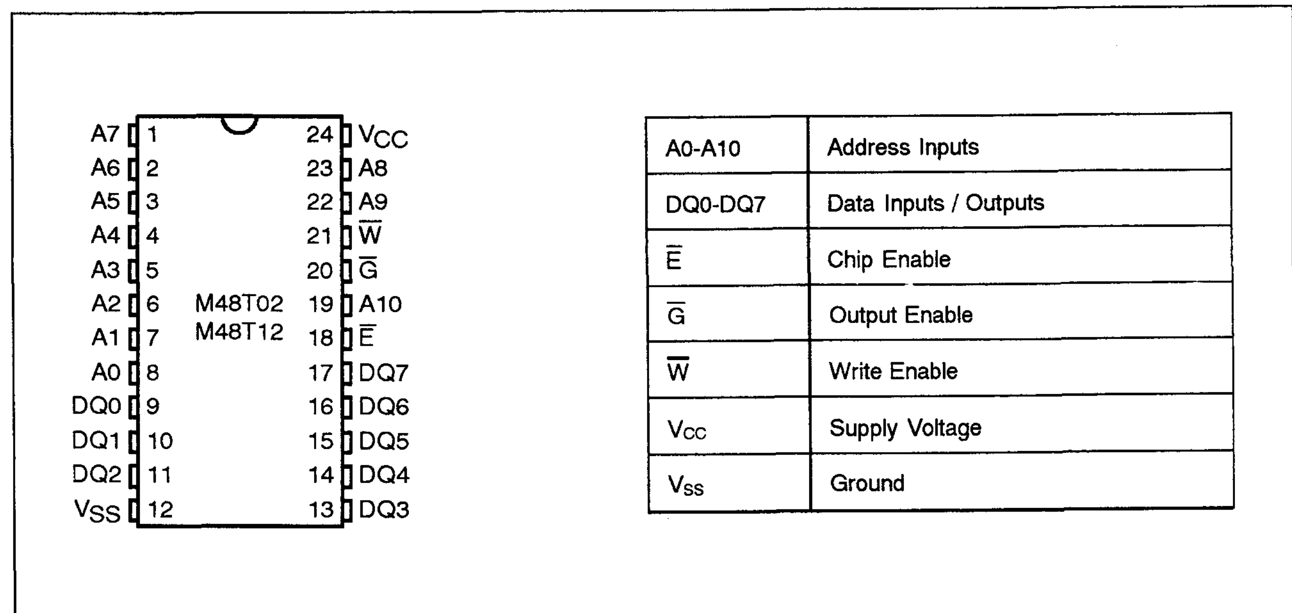
Figuur 8/2.6.2-1: Blokschema van de M48T02 en M48T12.

Mode	V_{CC}	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

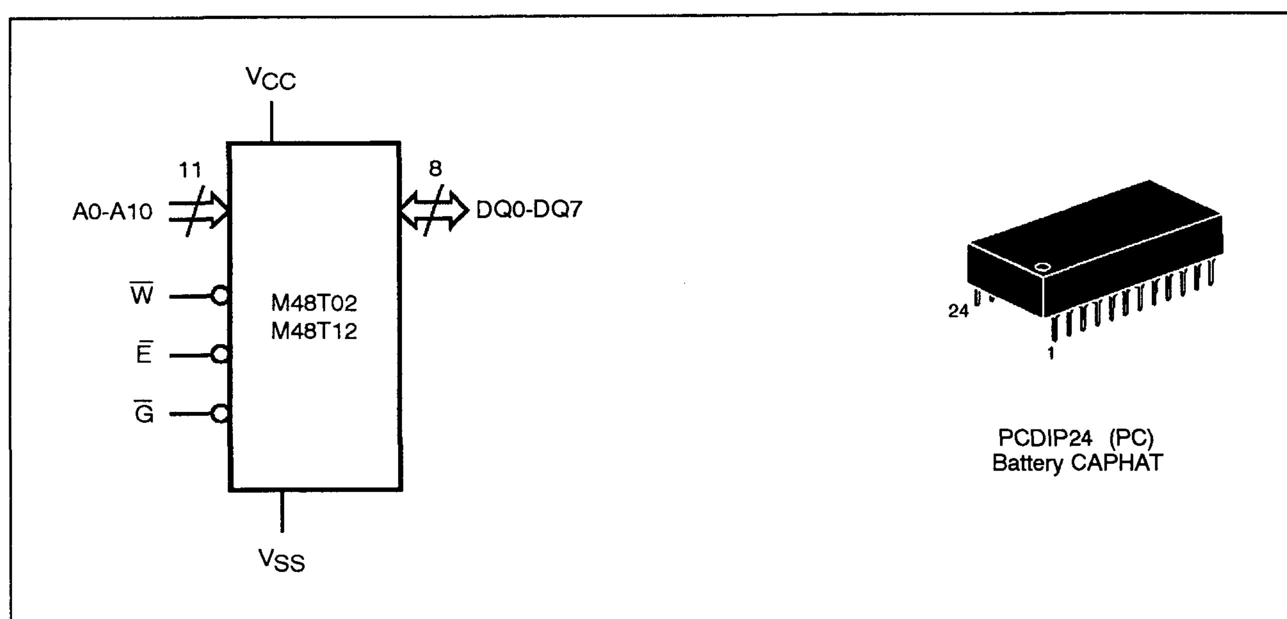
Tabel 8/2.6.2-1: Bedrijfsmodes van de M48T02/12.

2.6 Type-beschrijving Zero-Power statische RAM's



A0-A10	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.2-2: Aansluitingen en signalen van de M48T02/12.



Figuur 8/2.6.2-3: Logisch schema en PCDIP24-behuizing van de M48T02 of M48T12.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-2: Maximaal toegelaten waarden van de M48T02/12.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		80	mA
I_{CC1} (2)	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2} (2)	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL} (3)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Measured with Control Bits set as follows: R = '1'; W, ST, KS, FT = '0'.
3. Negative spikes of -1V allowed for up to 10ns once per Cycle.

Tabel 8/2.6.2-3: Gelijkspanningskarakteristieken van de M48T02/12.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T02)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48T12)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	10			YEARS

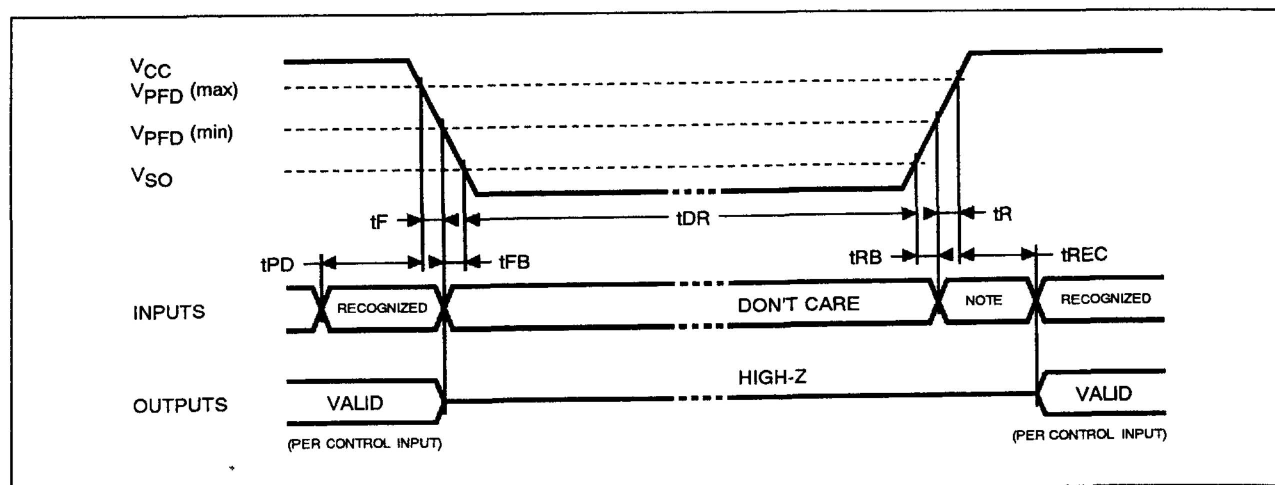
Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.2-4: Gelijkspanningskenmerken van de Power Up/Down trip-points.

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		us
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	0		us
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	$\overline{E}$ or $\overline{W}$ at V_{IH} after Power Up	2		ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 50 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-5: Power Up/Down timing (zie ook figuur 8/2.6.2-4).



Figuur 8/2.6.2-4: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

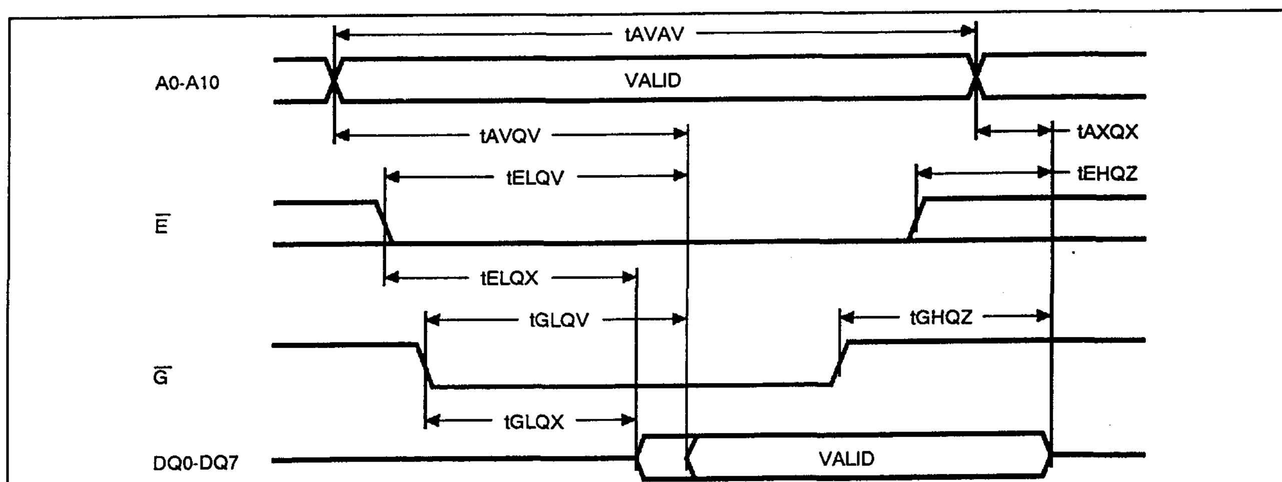
De M48T02/12 staat altijd in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ LAAG. Met behulp van 11 adreslijnen zijn 2.048 bytes data direkt bereikbaar. Binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, is geldige data op de data I/O-pennen aanwezig, mits

aan de toegangstijden van $\overline{E}$ (Chip Enable) en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.5). Als niet aan de timing van $\overline{E}$ en $\overline{G}$ wordt voldaan, is de data pas geldig na t_{ELQV} (Chip Enable Access Time) of t_{GLQV} (Output Enable Access Time), welke van de twee dan ook het laatst komt. De toestand van de acht 3-state data I/O-signalen wordt geregeld door $\overline{E}$ en $\overline{G}$. Worden de uitgangen geaktiveerd vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T02 / 12						Unit
		-120		-150		-200		
		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	120		150		200		ns
t_{AVQV}	Address Valid to Output Valid		120		150		200	ns
t_{ELQV}	Chip Enable Low to Output Valid		120		150		200	ns
t_{GLQV}	Output Enable Low to Output Valid		75		75		80	ns
t_{ELQX}	Chip Enable Low to Output Transition	10		10		10		ns
t_{GLQX}	Output Enable Low to Output Transition	5		5		5		ns
t_{EHQZ}	Chip Enable High to Output Hi-Z		30		35		40	ns
t_{GHQZ}	Output Enable High to Output Hi-Z		30		35		40	ns
t_{AXQX}	Address Transition to Output Transition	5		5		5		ns

Tabel 8/2.6.2-6: Timing van het uitlezen van de M48T02/12.

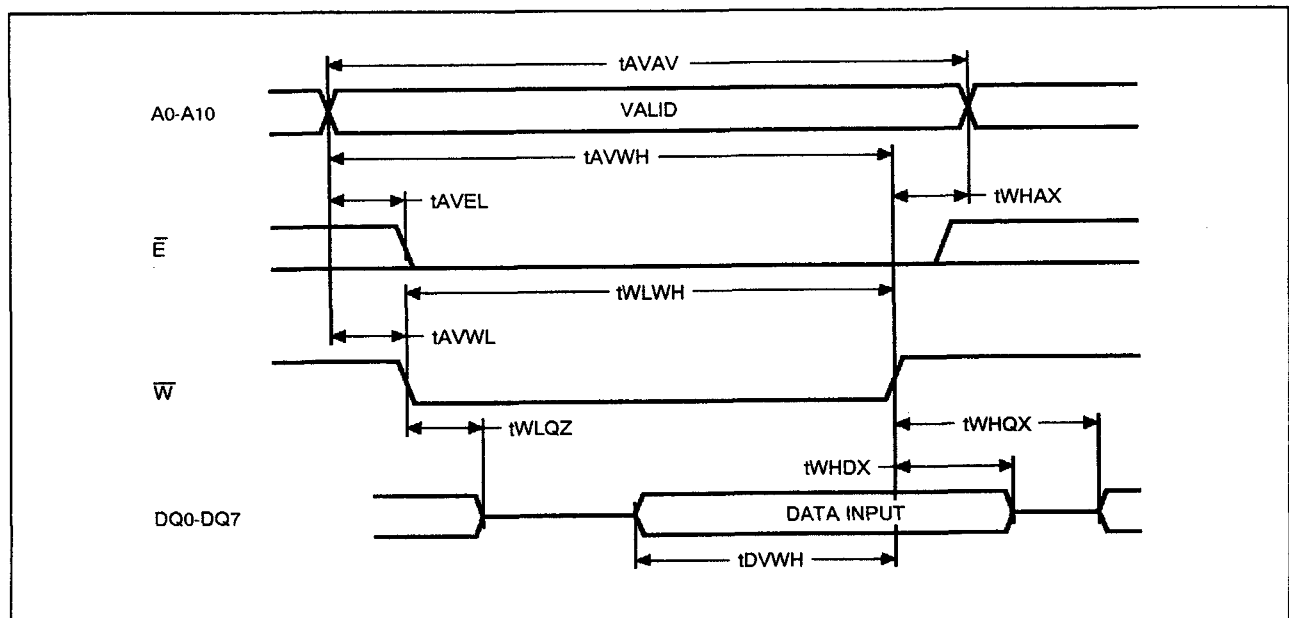


Figuur 8/2.6.2-5: Golfvormen bij de M48T02/12 in de leesmode.

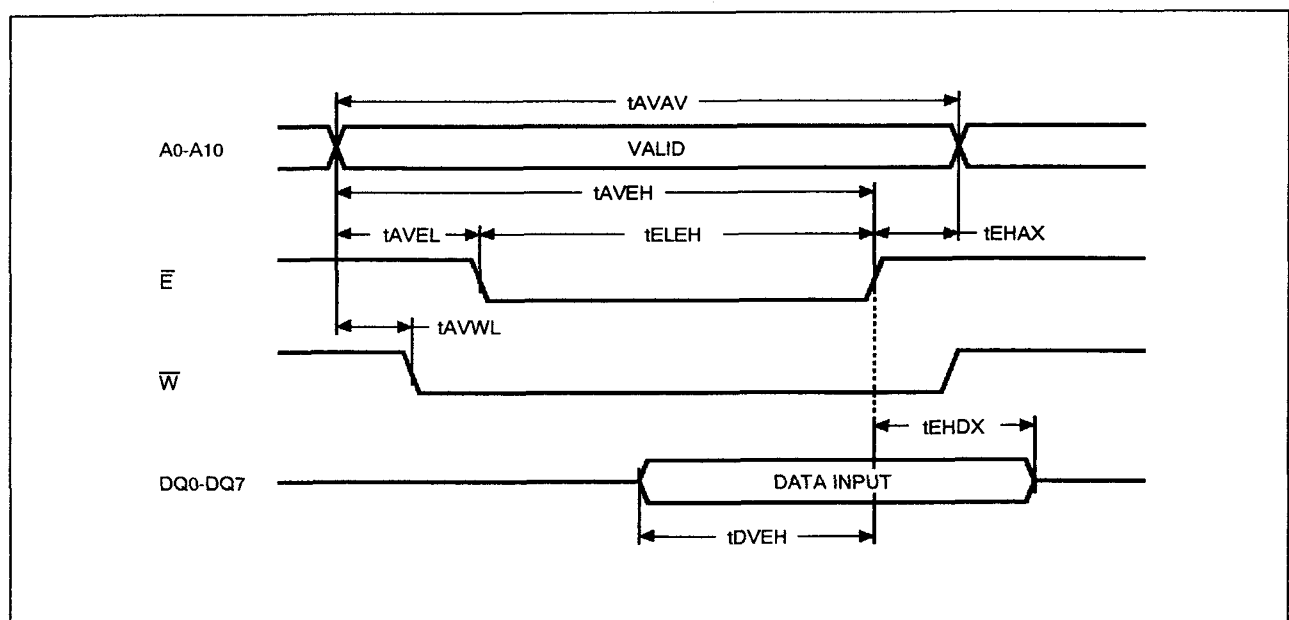
2.6 Type-beschrijving Zero-Power statische RAM's

Schrijf-mode

De M48T02/12 staat altijd in de schrijfmode als $\overline{W}$ en $\overline{E}$ aktief zijn (figuur 8/2.6.2-6 en -7). De schrijfcyclus begint op de laatst optredende achterflank van $\overline{W}$ of $\overline{E}$, terwijl het schrijven stopt op de eerst optredende stijgende flank hiervan. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus moet $\overline{E}$ of $\overline{W}$ minimaal gedurende t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.



Figuur 8/2.6.2-6: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T02/12.



Figuur 8/2.6.2-7: Golfvormen bij (door Chip Enable bestuurde) schrijfcycli in de M48T02/12.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T02 / 12						Unit
		-120		-150		-200		
		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	120		150		200		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		0		0		ns
t_{WLWH}	Write Enable Pulse Width	75		90		120		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	75		90		120		ns
t_{WHAX}	Write Enable High to Address Transition	10		10		10		ns
t_{EHAX}	Chip Enable High to Address Transition	10		10		10		ns
t_{DVWH}	Input Valid to Write Enable High	35		40		60		ns
t_{DVEH}	Input Valid to Chip Enable High	35		40		60		ns
t_{WHDX}	Write Enable High to Input Transition	5		5		5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		5		5		ns
t_{WLQZ}	Write Enable Low to Output Hi-Z		40		50		60	ns
t_{AVWH}	Address Valid to Write Enable High	90		120		140		ns
t_{AVEH}	Address Valid to Chip Enable High	90		120		140		ns
t_{WHQX}	Write Enable High to Output Transition	10		10		10		ns

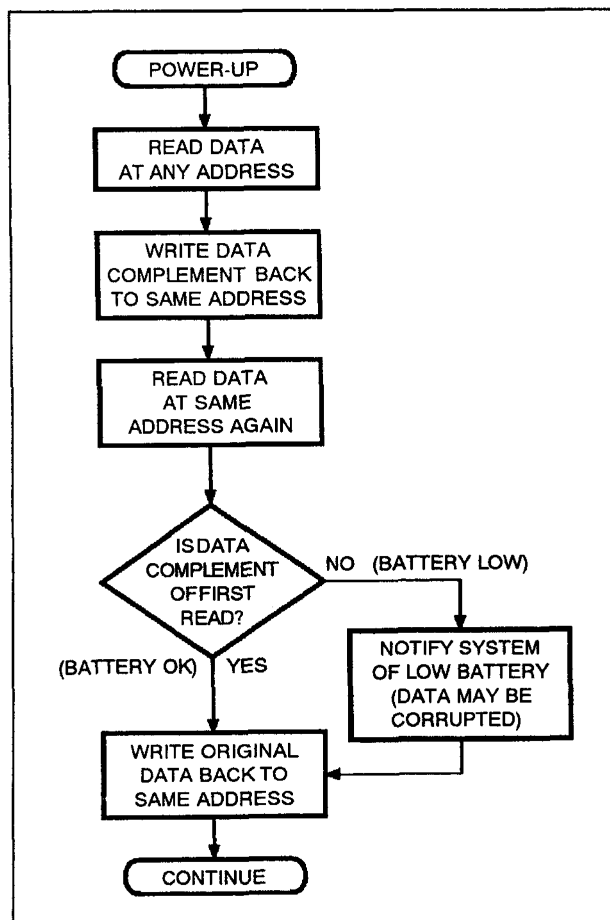
Tabel 8/2.6.2-7: Timing van het schrijven in de M48T02/12 (zie ook de figuren 8/2.6.2-6 en -7).

Vasthouden van de data

Wanneer V_{CC} aan de specificaties voldoet, werkt de M48T02/12 als een conventionele "byte-wide" statische RAM. Bij verlaging van V_{CC} komt automatisch de "power-fail deselect" in aktie, waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijf-beveiliging wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care". Als de power-fail tijdens een schrijfcyclus optreedt kan wel de data op het dan geldende adres beschadigd raken, maar niet de overige data in het geheugen. Het wordt sterk aanbevolen V_{CC} te ontkoppelen.
Wanneer V_{CC} boven V_{SO} uitkomt, wordt V_{CC} op het RAM aangesloten, terwijl de batterij wordt losgekoppeld. Bij het stijgen van V_{CC} wordt de batterijspanning gecontroleerd. Is deze spanning te laag dan wordt de interne Battery Not OK ($\overline{BOK}$) vlag gezet. De $\overline{BOK}$-vlag kan na power-up worden gecheckt: als hij gezet is, wordt de eerste schrijfpoging geblokkeerd. Hierna wordt de vlag automatisch gecleared, zodat verder normale RAM-

2.6 Type-beschrijving Zero-Power statische RAM's

operaties mogelijk zijn. In figuur 8/2.6.2-8 is een mogelijke BOK check-routine te zien.



Figuur 8/2.6.2-8: Het controleren van de BOK-vlag status.

Uitlezen van de klok

Vóór het uitlezen van de klok-data dient het verversen van de TIMEKEEPER registers tegengehouden te worden, om foutieve informatie te vermijden. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd, zonder de werking van de klok zelf te verstoren.

Het "updaten" stopt als in het READ-bit (7e bit in het besturingsregister) een "1" wordt geschreven. De registers geven dan de stand van de teller op dat moment weer: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen één seconde nadat het bit is teruggezet op "0" wordt er ververst.

Het gelijkzetten van de klok

Het 8e bit van het besturingsregister is het WRITE-bit. Wanneer dit, net als het READ-bit, op "1" wordt gezet, wordt het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers dan laden met de juiste informatie van dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-8). Nadat het WRITE-bit weer op "0" is gezet worden de waarden van alle tijdregisters (7F9h tot en met 7FFh) overgebracht naar de eigenlijke TIMEKEEPER-tellers, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid met nullen gevuld zijn).

Starten en stoppen van de oscillator

De oscillator kan op elk moment worden gestopt. Als de schakeling bijvoorbeeld lang niet gebruikt gaat worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het seconden-register is het STOP-bit. Wordt dit "1" gemaakt, dan stopt de oscillator. De M48T02/12 wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

Calibreren van de klok

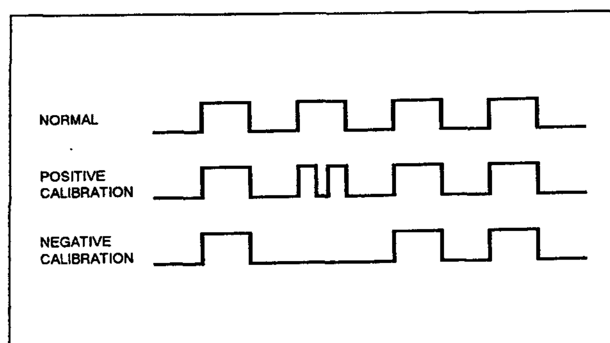
De M48T02/12 wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32.768 Hz. Een niet-gecalibreerde M48T02/12 heeft een nauwkeurigheid van +/-1 minuut per maand bij 25 °C. De schakelingen worden getest op een maximale fout van 35 ppm ($35*10^{-6}$), wat overeenkomt met ongeveer +/-1,53 minuten/maand. Aangezien de oscillatiefrequentie van elk kristal temperatuursafhankelijk is, moeten hiertegen maatregelen worden getroffen.

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
7FFh	10 Years				Year				Year	00-99
7FEh	0	0	0	10 M.	Month				Month	01-12
7FDh	0	0	10 Date		Date				Date	01-31
7FCh	0	FT	0	0	0	Day			Day	01-07
7FBh	KS	0	10 Hours		Hours				Hour	00-23
7FAh	0	10 Minutes			Minutes				Minutes	00-59
7F9h	ST	10 Seconds			Seconds				Seconds	00-59
7F8h	W	R	S	Calibration					Control	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit (Set to '0' for normal clock operation)
KS = KICK START Bit
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'

Tabel 8/2.6.2-8: Overzicht van de tijdregisters.



Figuur 8/2.6.2-9: Calibratie van de clock.

Vaak gebeurt dat in de vorm van trimcondensatoren. Bij de M48T02/12 is echter gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-9). Het aantal keren dat pulsen worden overgeslagen (afgetrokken: negatieve calibratie) of gesplitst (opgeteld: positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.

Het calibratie-byte beslaat de laagste bits van het besturingsregister en kan dus waarden tussen 0 en 31 bevatten. Het 6e bit is het teken-bit: "1" = positieve calibratie; "0" = negatieve calibratie. Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen, eenmaal per minuut, een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts. Daarom heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken. Dit komt overeen met een afregeling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt,

2.6 Type-beschrijving Zero-Power statische RAM's

komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T02/12 bijgesteld moet worden. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd moet worden vergeleken. De tweede manier is minder grof, maar vereist wat testapparatuur. Hierbij moet het Frequentie Test-bit (FT) in het dag-register op "1" worden gezet. Als de oscillator precies op 32.768 Hz werkt, toggelt de LSB (DQ0) van het secondenregister op 512 Hz. Een afwijking hiervan (512,01024 Hz is bijvoorbeeld een fout van +20 ppm) moet worden gecompenseerd. Het FT-bit wordt met behulp van de WRITE-bit gezet.
Het LSB van het seconden-register kan worden getest door de M48T02/12 in een verlengde leescyclus te houden.

M48T08, M48T18

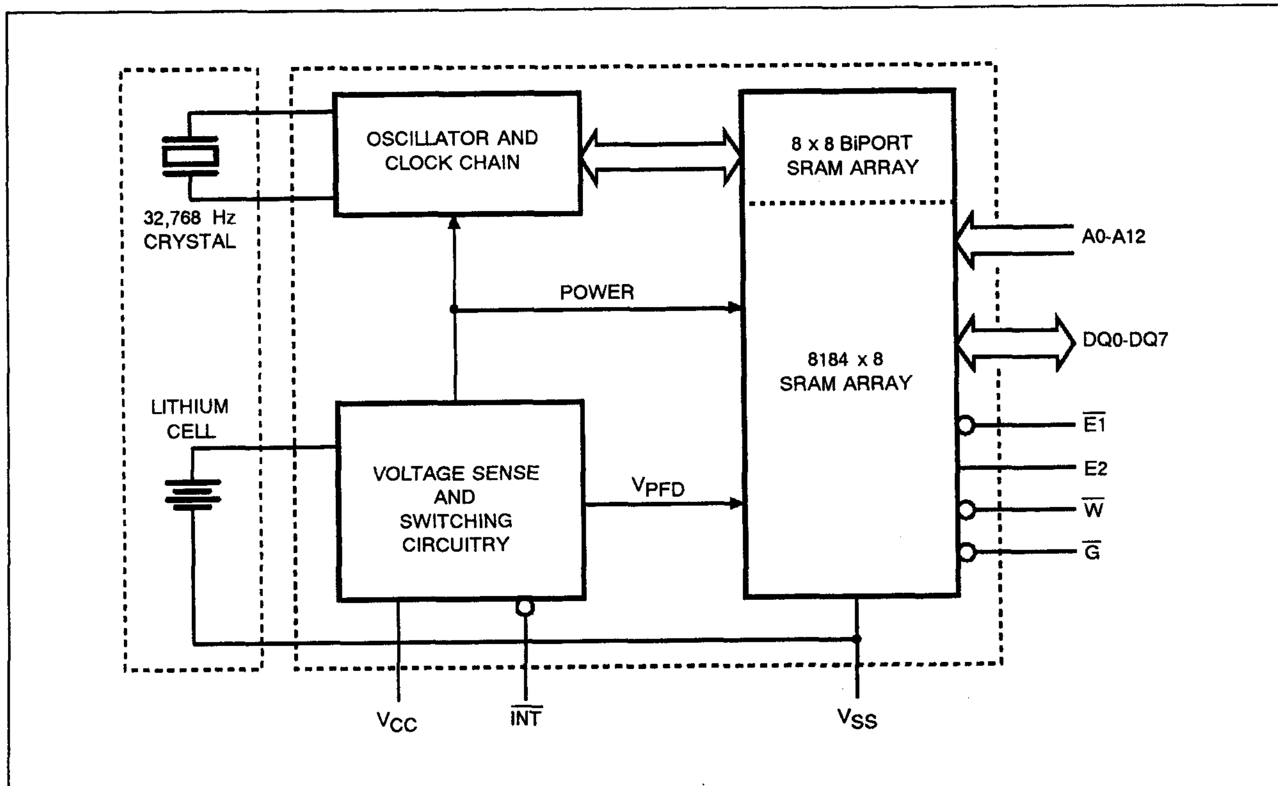
CMOS 8 k x 8 Timekeeper SRAM

De M48T08 en M48T18 (met verschillende Write-Protect spanningen) zijn 8 k x 8 bit niet-vluchtige statische RAM's met een realtime clock en een lithium batterij. Het geheel is in een kunststof 28-pens 0,6" DIL "caphat" of 28-pens SMD "snaphat" behuizing opgenomen. Bij afwezigheid van de voedingsspanning kan de knoopcel alle data- en clock-functies gedurende minstens tien jaar volhouden.
De M48T08/18 is een niet-vluchtige vervanger van JEDEC-standaard 8 k x 8 SRAM's en kan ook in plaats van ROM's, EPROM's en EEPROM's worden gebruikt. Data wordt vastgehouden, zonder beperking van het aantal schrijfoperaties of speciaal aan de timing gestelde eisen.
De 28-pens SMD-behuizing heeft vergulde contacten, waarop het "snaphat"-gedeelte met de batterij geplaatst kan worden. Dit ontwerp maakt het mogelijk om eerst de SMD-schakeling op de print te bevestigen en daar later de batterij op te plaatsen.
Zoals figuur 8/2.6.2-10 laat zien, maken het statische geheugen en de kwarts-gestuurde oscillator deel uit van één chip. Beide schakelingen hebben de bovenste acht geheugenplaatsen gemeenschappelijk, waardoor "byte-wide" klok-informatie wordt verschaft op de adressen 1FF8h tot en met 1FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Voor maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch correcties uitgevoerd. Byte 1FF8h is het klok-besturingsregister. Dit byte geeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klok-calibratie wordt opgeslagen. De acht klok-bytes zijn niet de eigenlijke clock-tellers, maar geheugenplaatsen, bestaande uit Bi-PORT lees/schrijf geheugencellen. De M48T08/18 bevat een klok-besturingsschakeling die de klokbytes eenmaal per seconde ververst. De klok-informatie is op dezelfde manier toegankelijk voor de gebruiker als alle andere locaties in het statische geheugen. De M48T08/18 heeft, net als alle zero-power RAM's, zijn eigen power-fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Wordt V_{CC} te laag, dan schakelt de schrijfbeveiliging in, zodat het geheugen geen data meer opneemt. Gaat V_{CC} lager dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de clock te handhaven totdat de voedingsspanning terugkeert.

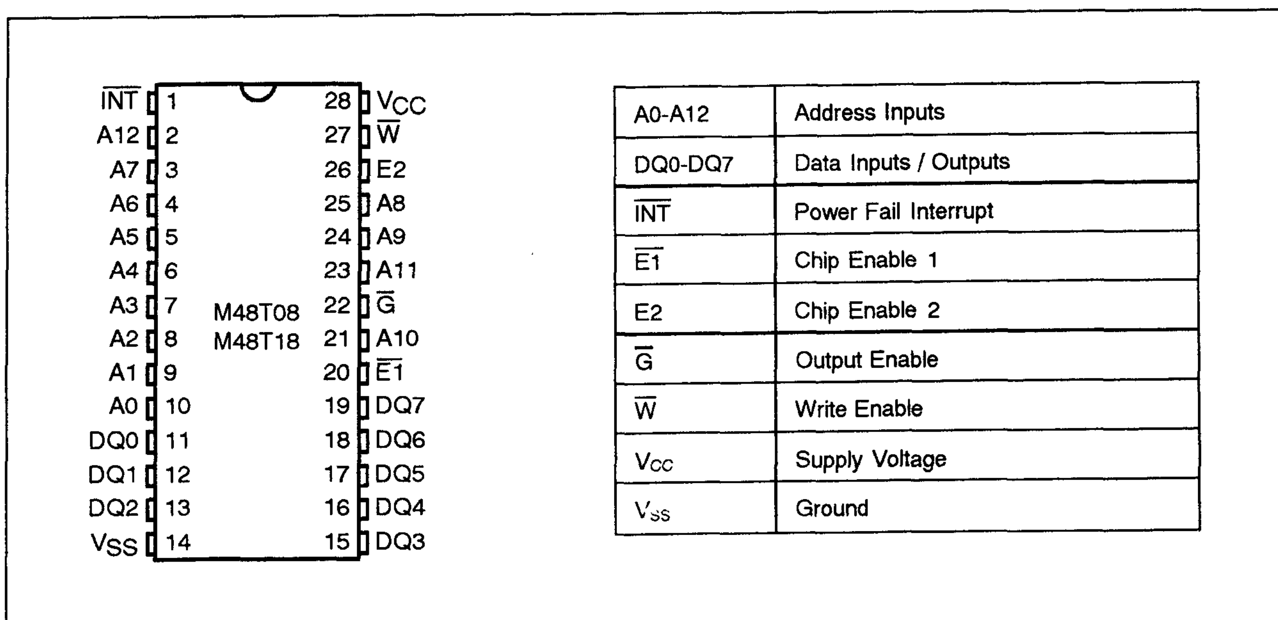
Specificaties

- 8 k x 8 organisatie
- geïntegreerde SRAM + Real Time Clock + Power Fail circuit + batterij (bij SMD batterij apart)
- byte-wide klok-informatie op RAM- locaties
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- nauwkeurigheid van de klok: +/-1 minuut per maand

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-10: Blokschema van de M48T08 en M48T18.



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
INT	Power Fail Interrupt
E1	Chip Enable 1
E2	Chip Enable 2
G	Output Enable
W	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.2-11: Aansluitingen en signalen van de M48T08/18 (zowel DIL- als SO-behuizing).

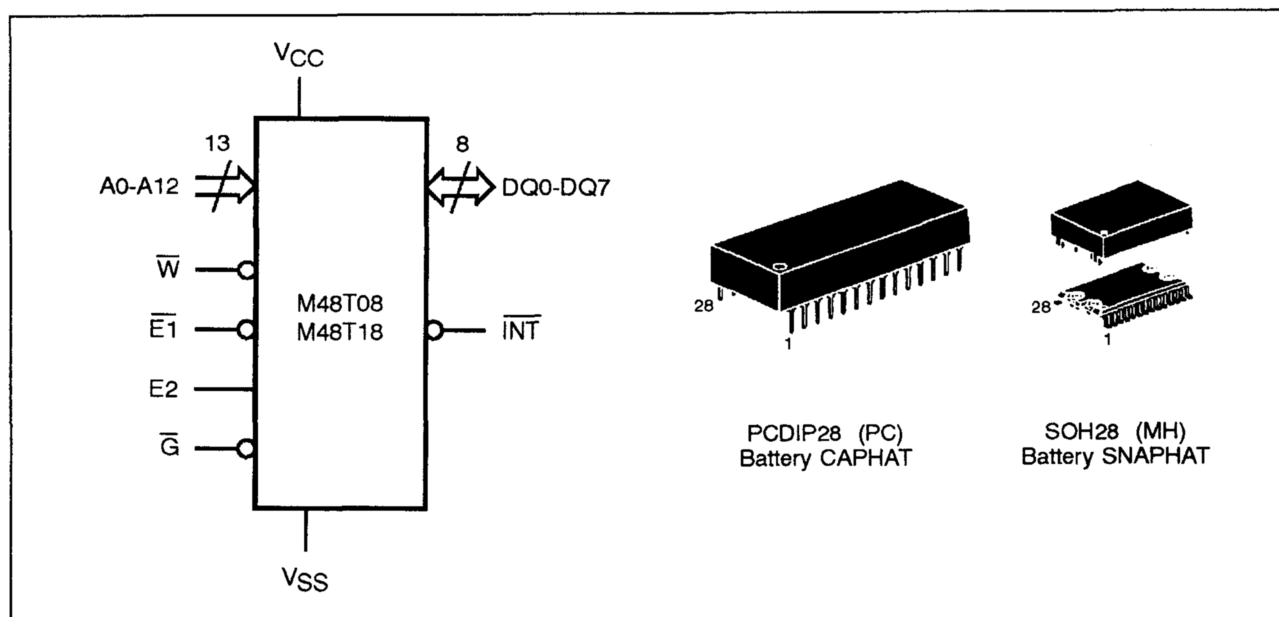
2.6 Type-beschrijving Zero-Power statische RAM's

- nauwkeuriger door software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48T08: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48T18: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- twee Chip-Enable-ingangen
- behuizingen: 28-pens 0,6" CAPHAT DIL (PCDIP28) incl. kristal en batterij of 28-pens 0,33" SNAPHAT (SOH28) SMD-behuizing met aparte batterij
- 10 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- fabrikant: SGS Thomson

Mode	V_{CC}	$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	X	High Z	Standby
Deselect		X	V_{IL}	X	X	High Z	Standby
Write		V_{IL}	V_{IH}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IH}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min)	X	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	X	High Z	Battery Back-up Mode

Note: X = V_{IH} or V_{IL}

Tabel 8/2.6.2-9: Bedrijfsmodes van de M48T08/18.



Figuur 8/2.6.2-12: Logisch schema en PCDIP28- en SOH28 (MH)-behuizing van de M48T08 of M48T18.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-10: Maximaal toegelaten waarden van de M48T08/18.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		80	mA
I_{CC1} (2)	Supply Current (Standby) TTL	$\overline{E1} = V_{IH}$, $E2 = V_{IL}$		3	mA
I_{CC2} (2)	Supply Current (Standby) CMOS	$\overline{E1} = V_{CC} - 0.2V$, $E2 = V_{SS} + 0.2V$		3	mA
V_{IL} (3)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	$V_{CC} + 0.3$	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{INT}$) (4)	I_{OL} = 0.5mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Measured with Control Bits set as follows: R = '1'; W, ST, FT = '0'.
3. Negative spikes of -1V allowed for up to 10ns once per Cycle.
4. The INT pin is Open Drain.

Tabel 8/2.6.2-11: Gelijkspanningskarakteristieken van de M48T08/18.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T08)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48T18)	4.2	4.3	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

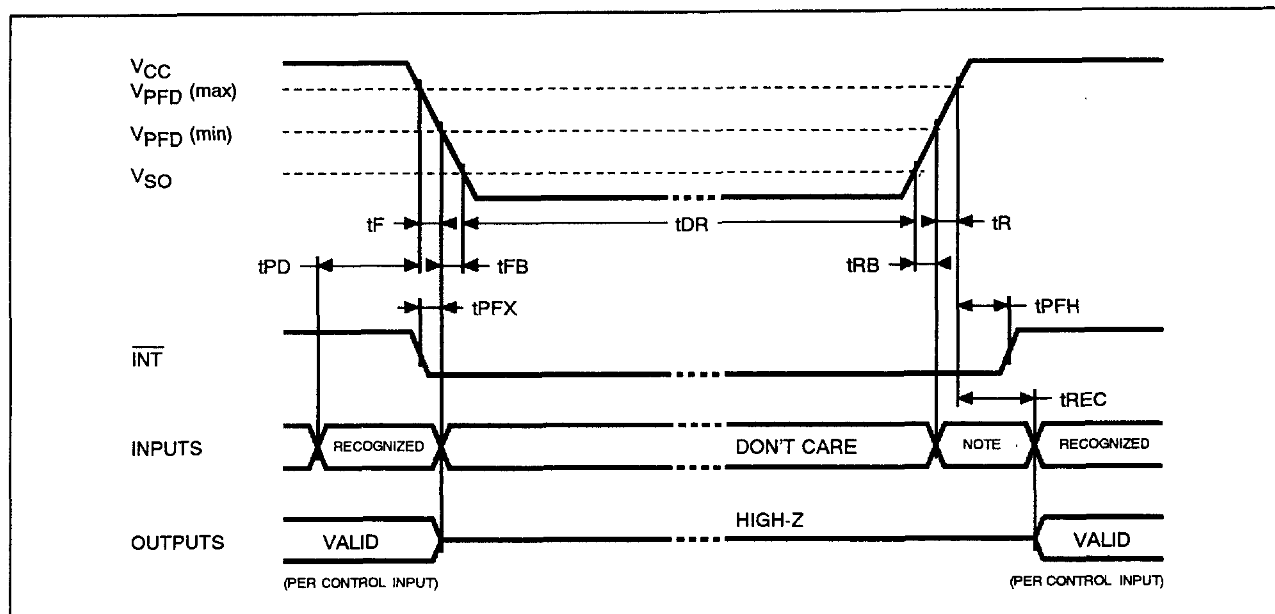
Tabel 8/2.6.2-12: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	0		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} after Power Up	1		ms
t_{PFX}	$\overline{INT}$ Low to Auto Deselect	10	40	µs
t_{PFH}(3)	V_{PFD} (max) to $\overline{INT}$ High		120	µs

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.
3. $\overline{INT}$ may go high anytime after V_{CC} exceeds V_{PFD} (min) and is guaranteed to go high t_{PFH} after V_{CC} exceeds V_{PFD} (max).

Tabel 8/2.6.2-13: Power Up/Down timing (zie ook figuur 8/2.6.2-13).



Figuur 8/2.6.2-13: Golfvormen en timing tijdens Power Up/Down.

Lees-mode
De M48T08/18 staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en beide Chip-Enables "waar" zijn: $\overline{E1}$ = LAAG en E2 = HOOG. Met behulp van 13 adreslijnen zijn 8.192 data-bytes direkt bereikbaar. Binnen

2.6 Type-beschrijving Zero-Power statische RAM's

t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, is geldige data op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E1}$, E2 en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.14). Wordt niet aan de timing van $\overline{E1}$, E2 en $\overline{G}$ voldaan, dan is de data pas geldig na t_{E1LQV} of t_{E2LQV} (Chip Enable Access Tijden) of t_{GLQV} (Output Enable Access Time), welke dan ook het laatst komt. De toestand van de acht 3-state data I/O-signalen wordt geregeld door $\overline{E1}$, E2 en $\overline{G}$. Worden de uitgangen geaktiveerd vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E1}$, E2 en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

Schrijf-mode

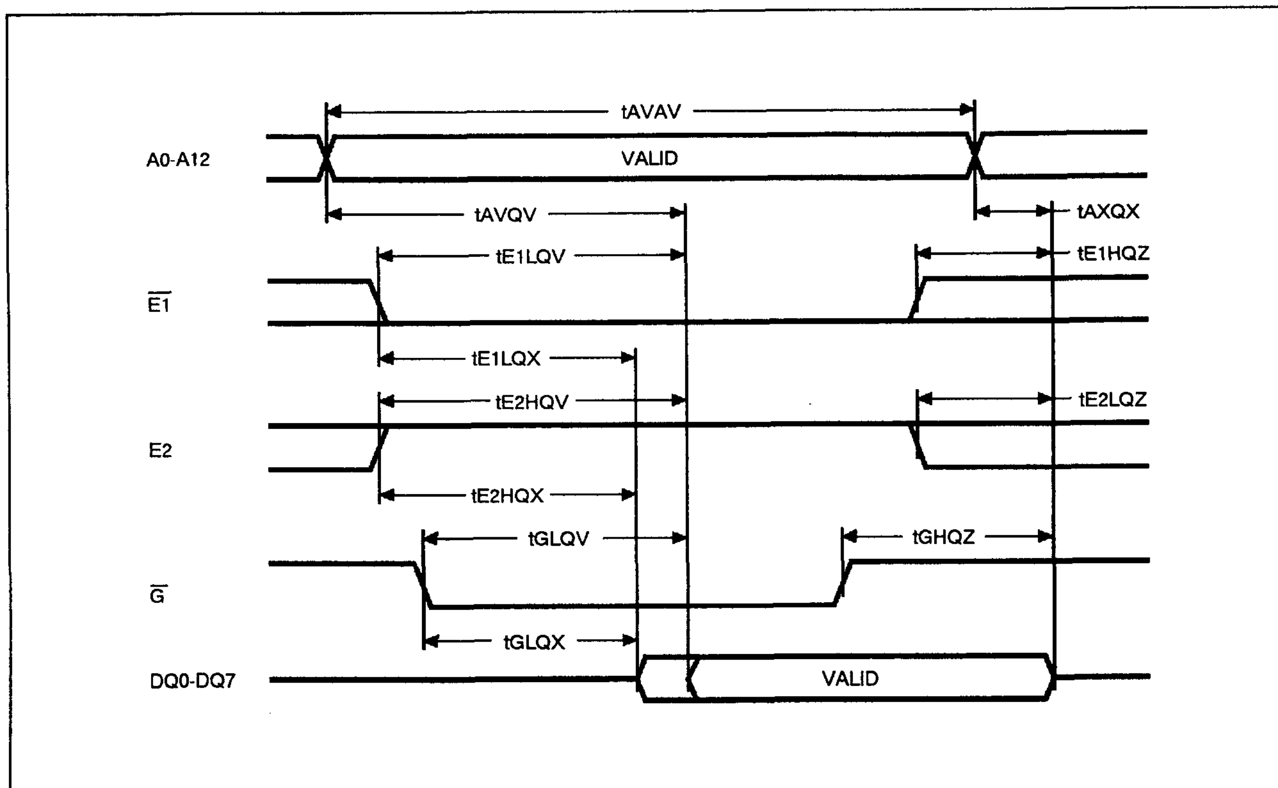
De 48T08/18 staat in de schrijfmode als $\overline{W}$, $\overline{E1}$ en E2 aktief zijn (figuren 8/2.6.2-15 en -16). De schrijfcyclus begint op de laatst optredende dalende flank van $\overline{W}$, $\overline{E1}$ of de stijgende flank van E2, terwijl het schrijven stopt op de eerst optredende omgekeerde situatie. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E1}$ of $\overline{W}$ HOOG of E2 LAAG gaan gedurende minimaal t_{E1HAX} of t_{E2LAX} na Chip Enable of t_{WHAX} na Schrijf Enable. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

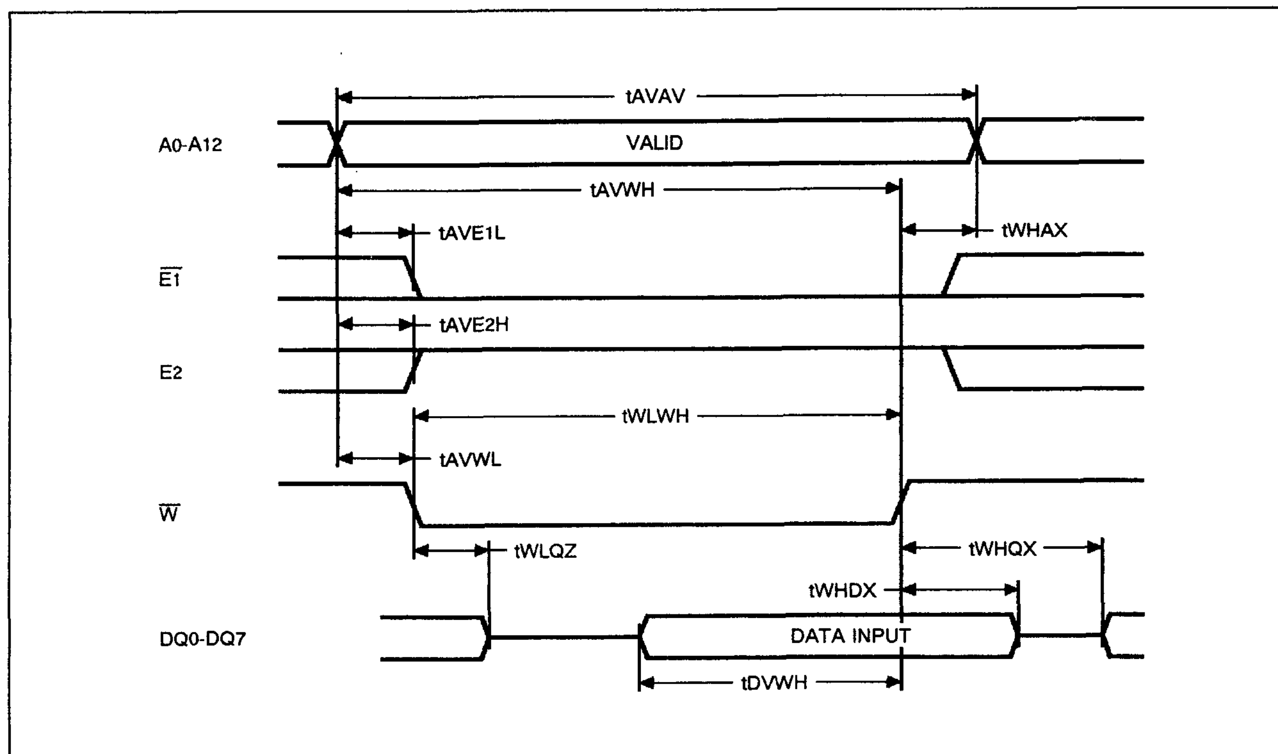
Symbol	Parameter	M48T08 / 18				Unit
		-100		-150		
		Min	Max	Min	Max	
t_{AVAV}	Read Cycle Time	100		150		ns
t_{AVQV}	Address Valid to Output Valid		100		150	ns
t_{E1LQV}	Chip Enable 1 Low to Output Valid		100		150	ns
t_{E2HQV}	Chip Enable 2 High to Output Valid		100		150	ns
t_{GLQV}	Output Enable Low to Output Valid		50		75	ns
t_{E1LQX}	Chip Enable 1 Low to Output Transition	10		10		ns
t_{E2HQX}	Chip Enable 2 High to Output Transition	10		10		ns
t_{GLQX}	Output Enable Low to Output Transition	5		5		ns
t_{E1HQZ}	Chip Enable 1 High to Output Hi-Z		50		75	ns
t_{E2LQZ}	Chip Enable 2 Low to Output Hi-Z		50		75	ns
t_{GHQZ}	Output Enable High to Output Hi-Z		40		60	ns
t_{AXQX}	Address Transition to Output Transition	5		5		ns

Tabel 8/2.6.2-14: Schakeltijden bij het uitlezen van de M48T08/18.

2.6 Type-beschrijving Zero-Power statische RAM's

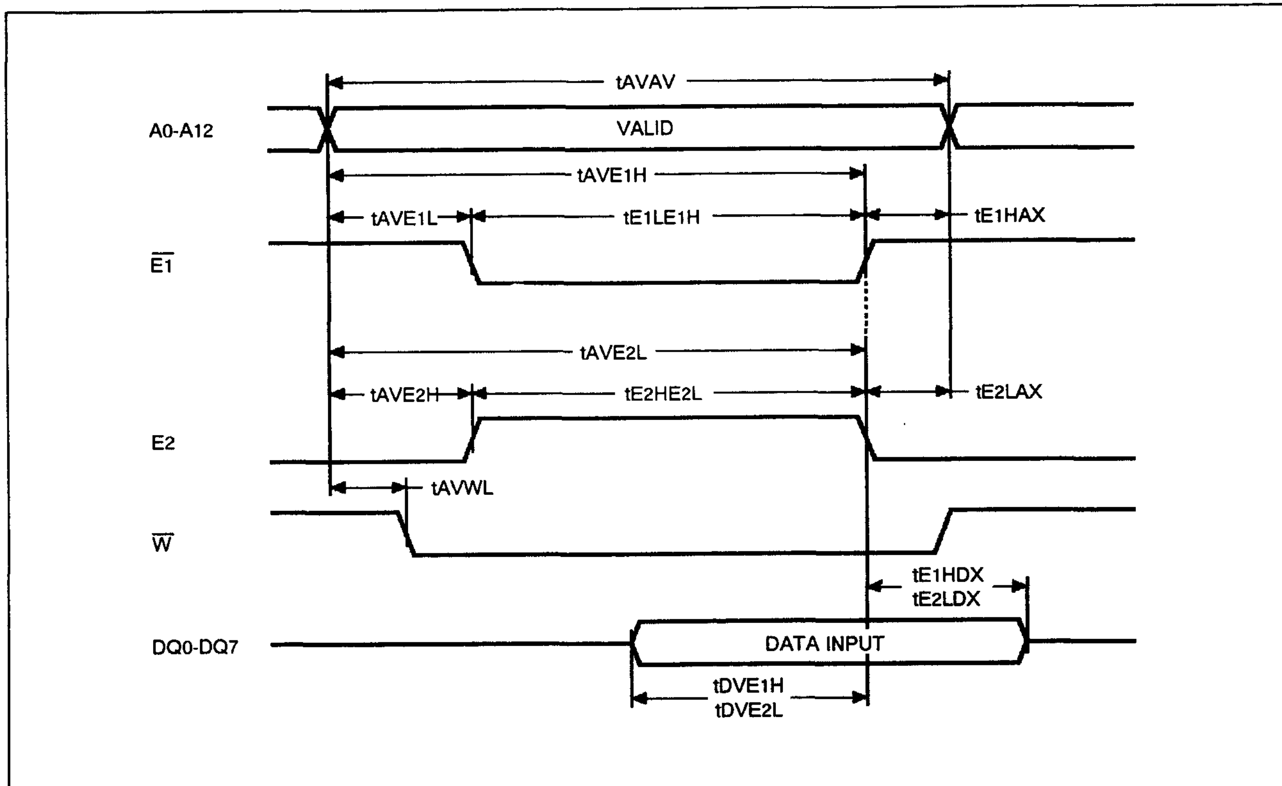


Figuur 8/2.6.2-14: Golfvormen bij de M48T08/18 in de leesmode.



Figuur 8/2.6.2-15: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T08/18.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-16: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48T08/18.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T08 / 18				Unit
		-100		-150		
		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time	100		150		ns
t_{AVWL}	Address Valid to Write Enable Low	0		0		ns
t_{AVE1L}	Address Valid to Chip Enable 1 Low	0		0		ns
t_{AVE2H}	Address Valid to Chip Enable 2 High	0		0		ns
t_{WLWH}	Write Enable Pulse Width	80		100		ns
t_{E1LE1H}	Chip Enable 1 Low to Chip Enable 1 High	80		130		ns
t_{E2HE2L}	Chip Enable 2 High to Chip Enable 2 Low	80		130		ns
t_{WHAX}	Write Enable High to Address Transition	10		10		ns
t_{E1HAX}	Chip Enable 1 High to Address Transition	10		10		ns
t_{E2LAX}	Chip Enable 2 Low to Address Transition	10		10		ns
t_{DVWH}	Input Valid to Write Enable High	50		70		ns
t_{DVE1H}	Input Valid to Chip Enable 1 High	50		70		ns
t_{DVE2L}	Input Valid to Chip Enable 2 Low	50		70		ns
t_{WHDX}	Write Enable High to Input Transition	5		5		ns
t_{E1HDX}	Chip Enable 1 High to Input Transition	5		5		ns
t_{E2LDX}	Chip Enable 2 Low to Input Transition	5		5		ns
t_{WLQZ}	Write Enable Low to Output Hi-Z		50		70	ns
t_{AVWH}	Address Valid to Write Enable High	80		130		ns
t_{AVE1H}	Address Valid to Chip Enable 1 High	80		130		ns
t_{AVE2L}	Address Valid to Chip Enable 2 Low	80		130		ns
t_{WHQX}	Write Enable High to Output Transition	10		10		ns

Tabel 8/2.6.2-15: Timing van schrijf-operaties in de M48T08/18 (zie ook de figuren 8/2.6.2-15 en -16).

Vasthouden van de data

Zolang V_{CC} binnen de toleranties blijft, werkt de M48T08/18 als een conventionele "byte-wide" statische RAM. Door een verlaging van V_{CC} wordt automatisch de "power-fail deselect" geaktiveerd, waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijfbeveiliging inschakelt. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care".

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
1FFFh	10 Years				Year				Year	00-99
1FFEh	0	0	0	10 M.	Month				Month	01-12
1FFDh	0	0	10 Date		Date				Date	01-31
1FFCh	0	FT	0	0	0	Day			Day	01-07
1FFBh	0	0	10 Hours		Hours				Hour	00-23
1FFAh	0	10 Minutes			Minutes				Minutes	00-59
1FF9h	ST	10 Seconds			Seconds				Seconds	00-59
1FF8h	W	R	S	Calibration					Control	

Keys: S = SIGN Bit
FT = FREQUENCY TEST Bit (Set to '0' for normal clock operation)
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'

Tabel 8/2.6.2-16: Overzicht van de tijdregisters.

Als de power-fail tijdens een schrijfcyclus optreedt kan wel data op het geselecteerde adres beschadigd raken, maar niet op de overige adressen. Het wordt wel sterk aanbevolen V_{CC} te ontkoppelen. Als V_{CC} weer boven V_{SO} uitkomt, wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.
In de M48T08/18 wordt V_{CC} voortdurend in de gaten gehouden. Als V_{CC} dan ook beneden het "power-fail detect trippoint" komt, wordt direkt een interrupt gegenereerd. Een inwendige clock verzorgt een vertraging van 10 tot 40 µs voordat de M48T08/18 automatisch wordt gedeselecteerd. De $\overline{INT}$-pen is een open-drain uitgang (waarvoor een optrekweerstand nodig is).

Uitlezen van de klok

Het verversen van de TIMEKEEPER-registers moet worden tegengehouden voordat de klok-data wordt uitgelezen om foutieve informatie te vermijden. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd, zonder de werking van de klok zelf te verstoren.
Het verversen stopt als in het READ-bit (7e bit) in het besturingsregister een "1" wordt geschreven. De registers geven hierna de stand weer van de teller op dat moment: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het bit is gereset op "0" wordt er ververst.

Het gelijkzetten van de klok

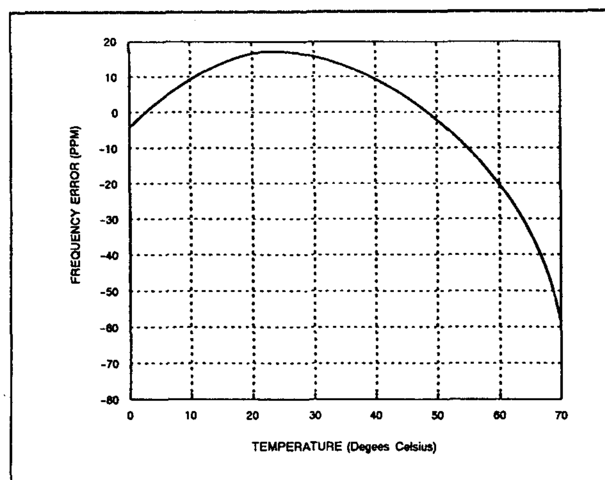
Het 8e bit van het besturingsregister is het WRITE-bit. Wanneer dit op "1" wordt gezet, wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de juiste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-16). Zodra het WRITE-bit weer "0" is worden de

2.6 Type-beschrijving Zero-Power statische RAM's

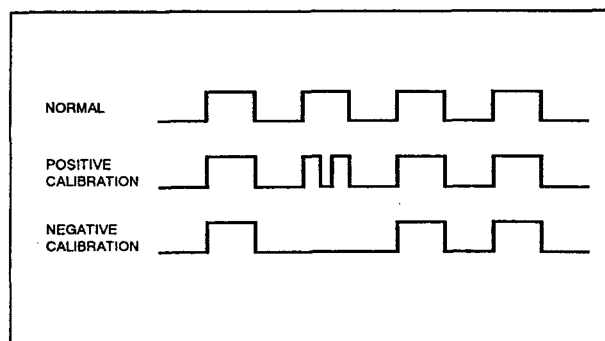
waarden van alle tijdregisters (1FF9h tot en met 1FFFh) overgebracht naar de eigenlijke TIMEKEEPER-tellers, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid met nullen gevuld zijn).

Starten en stoppen van de oscillator
De oscillator kan op elk moment worden gestopt. Als men bijvoorbeeld weet dat de schakeling lang niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het secondenregister is het STOP-bit. Wordt dit op "1" gezet dan stopt de oscillator. De M48T08/18 wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

Calibreren van de klok
De M48T08/18 wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32,768 kHz. Een niet-gecalibreerde M48T08/18 heeft een initiële nauwkeurigheid van +/-1 minuut per maand bij 25 °C. De schakelingen worden getest op een maximale fout van 35 ppm ($35*10^{-6}$), overeenkomende met ongeveer +/-1,53 minuten/maand. Aangezien de oscillatiefrequentie van elk kristal temperatuursafhankelijk is (zie ook figuur 8/2.6.2-17), moeten hiertegen maatregelen worden getroffen. Vaak gebeurt dat in de vorm van trimcondensatoren. Bij de M48T08/18 is echter gekozen voor periodieke correctie van de tellers.
Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-18). Het aantal keren dat pulsen worden overgeslagen (afgetrokken: negatieve calibratie) of gesplitst (opgeteld: positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd. Het calibratie-byte beslaat de laagste bits van het besturingsregister en kan dus waarden tussen 0 en 31 bevatten. Het 6e bit is het teken-bit: "1" = positieve calibratie; "0" = negatieve calibratie. Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen, eenmaal per minuut, een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts.



Figuur 8/2.6.2-17 Temperatuursafhankelijkheid van de kristalfrequentie.



Figuur 8/2.6.2-18: Calibratie van de klok.

Daarom heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillatorcycli. Dit komt overeen met een afregeling van

2.6 Type-beschrijving Zero-Power statische RAM's

+4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T08/18 moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel wat testapparatuur voor nodig. Hierbij moet het Frequentie Testbit (FT) in het dag-register op "1" worden gezet. Als de oscillator op 32.768 Hz werkt, toggelt het LSB (DQ0) van het secondenregister op 512 Hz. Elke afwijking hiervan (512,01024 Hz is bijvoorbeeld een fout van +20 ppm) moet worden gecompenseerd. Het FT-bit wordt met behulp van het WRITE-bit gezet. Het LSB van het seconden-register kan worden getest door de M48T02/12 in een verlengde leescyclus te houden.

M48T35, M48T35Y

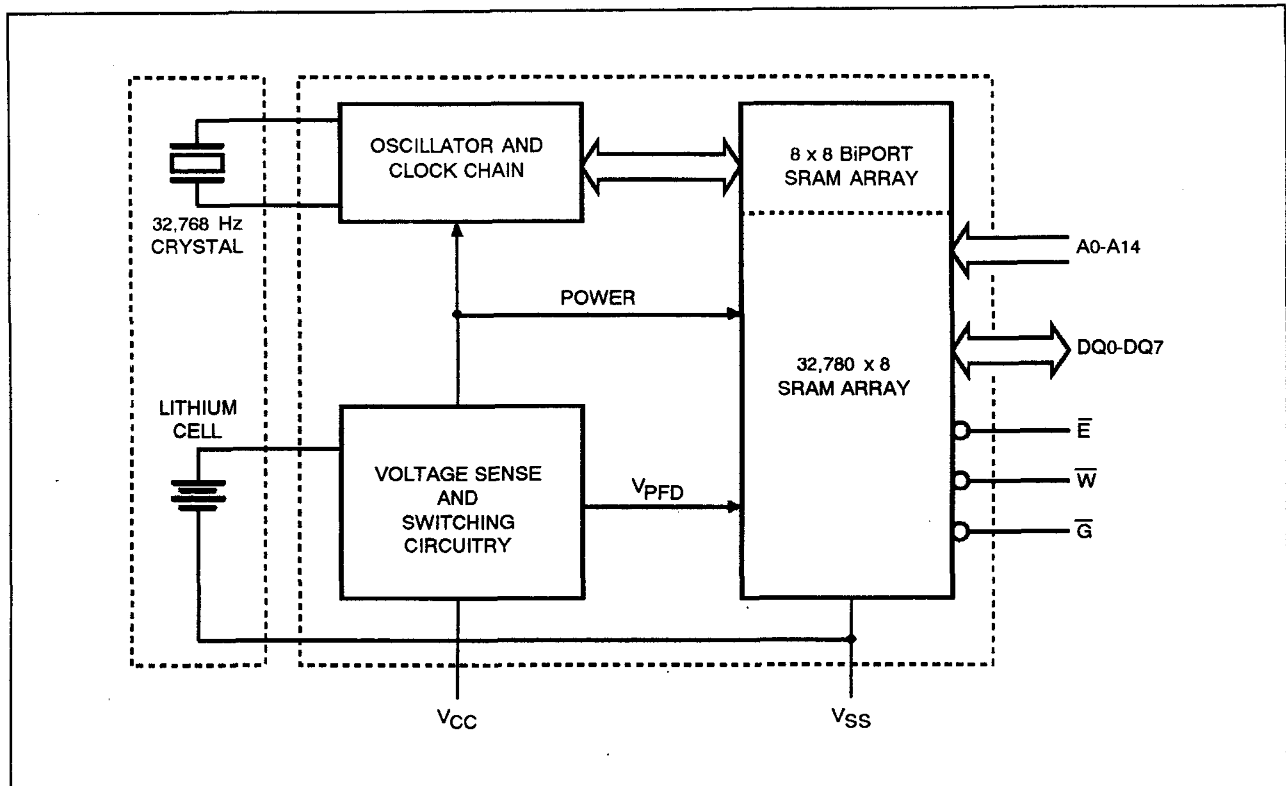
CMOS 32 k x 8 Timekeeper SRAM

De 32 k x 8 bit niet-vluchtige statische RAM's M48T35 en M48T35Y (met verschillende Write-Protect spanningen) zijn voorzien van een real-time clock en een lithium batterij. De totale schakeling is verpakt in een 28-pens 0,6" DIL "caphat" of 28-pens SMD "snaphat" behuizing. Bij afwezigheid van de voedingsspanning kan de batterij alle data- en clockfuncties zeven jaar volhouden. De M48T35(Y) is een niet-vluchtige vervanger van JEDEC-standaard 32 k x 8 SRAM's en kan ook als vervanger van ROM's, EPROM's en EEPROM's worden gebruikt. Net als bij een PROM wordt data vastgehouden zonder beperking van het aantal schrijfoperaties of speciaal aan de timing gestelde eisen.
De 28-pens SMD-behuizing heeft vergulde contacten, waarop het verwisselbare snaphat-gedeelte met de batterij geplaatst kan worden. Door dit ontwerp is het mogelijk om eerst de SMD-schakeling op de print te bevestigen en daar later de batterij op te plaatsen. Zoals figuur 8/2.6.2-19 toont, zijn het statische geheugen en de kwarts-gestuurde oscillator op één chip geïntegreerd. Beide schakelingen maken gebruik van dezelfde bovenste acht geheugenplaatsen, waardoor "byte-wide" klok-informatie verschijnt op de adressen 7FF9h tot en met 7FFFh. De klokplaatsen bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd. Byte 7FF8h is het klokbesturingsregister. Dit byte geeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klok-calibratie wordt opgeslagen. De acht klok-bytes zijn niet de eigenlijke clock-tellers, maar geheugenplaatsen, bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T35(Y) beschikt over een klok-besturingsschakeling die de klokbytes eenmaal per seconde ververst. De klokinformatie is voor de gebruiker op dezelfde manier toegankelijk als alle andere locaties in het statische geheugen.
De M48T35(Y) heeft, net als alle zero-power RAM's, zijn eigen power-fail detectieschakeling die voortdurend de 5 V voeding in de gaten houdt. Wordt V_{CC} te laag, dan schakelt de schrijf-beveiliging in, zodat het geheugen geen data meer opneemt. Wordt V_{CC} lager dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de clock te handhaven totdat de voedingsspanning terugkeert.

Specificaties
- 32 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + batterij (bij SMD: batterij apart)
- byte-wide klok-informatie op RAM-locaties
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- software-bestuurde klok-calibratie

2.6 Type-beschrijving Zero-Power statische RAM's

- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48T35: 4,5 V ≤ V_{PFD} ≤ 4,75 V
  M48T35Y: 4,2 V ≤ V_{PFD} ≤ 4,5 V
- behuizingen: 28-pens 0,6" CAPHAT DIL (PCDIP28) incl. kristal en batterij of 28-pens 0,33" SNAPHAT (SOH28) SMD-behuizing met aparte batterij
- 7 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 32 k x 8 SRAM's
- fabrikant: SGS Thomson



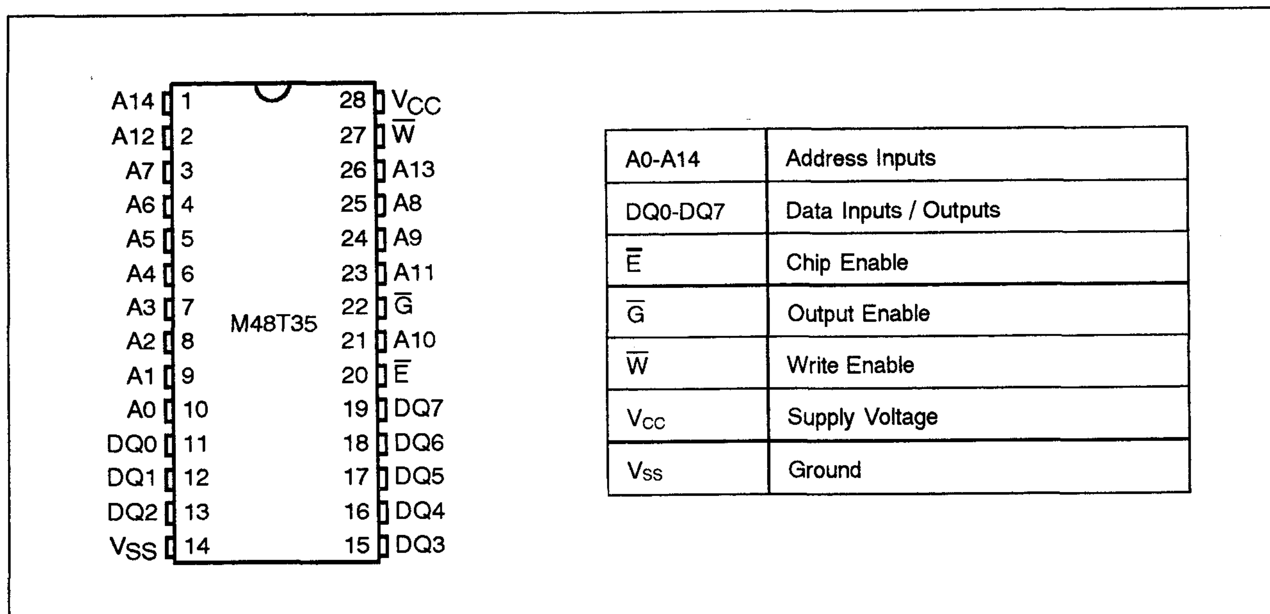
Figuur 8/2.6.2-19: Blokschema van de M48T35 of M48T35Y.

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

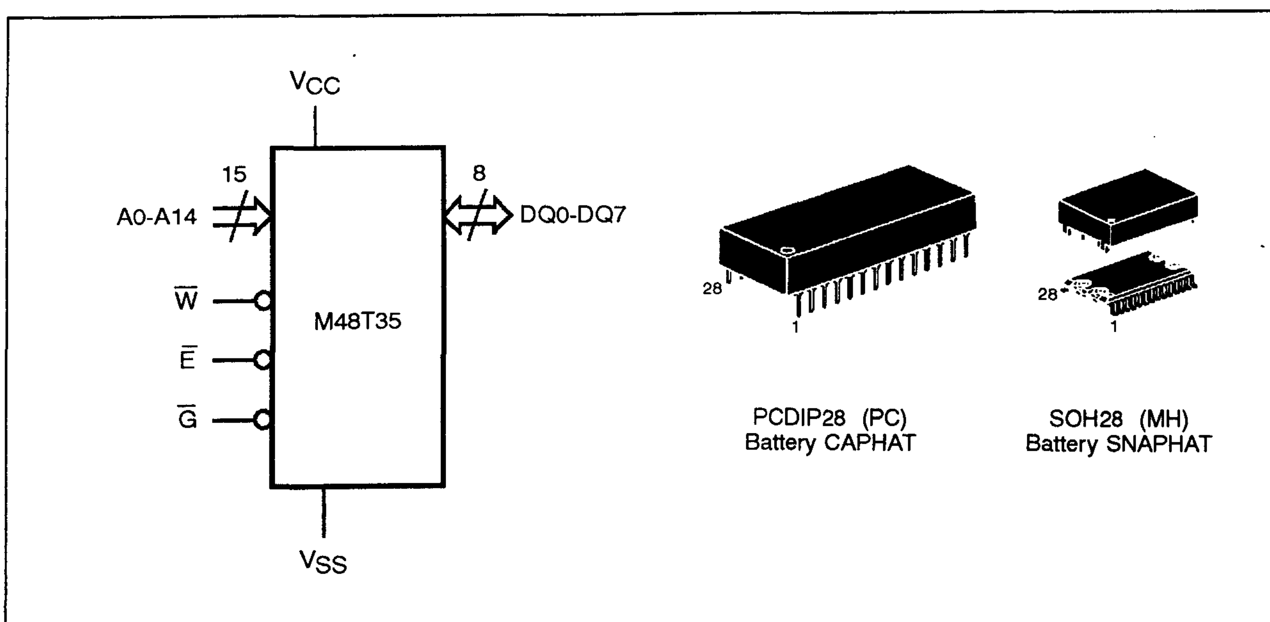
Tabel 8/2.6.2-17: Bedrijfsmodes van de M48T35(Y).

2.6 Type-beschrijving Zero-Power statische RAM's



A0-A14	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.2-20: Aansluitingen en signalen van de M48T35(Y) (DIL- en SO-uitvoering).



Figuur 8/2.6.2-21: Logisch schema en PCDIP28- en SOH28 (MH)-behuizing van de M48T35(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-18: Maximaal toegelaten waarden van de M48T35(Y).

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL} (2)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Negative spikes of -1V allowed for up to 10ns once per Cycle.

Tabel 8/2.6.2-19: Gelijkspanningskarakteristieken van de M48T35(Y).

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T35)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48T35Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2, 3)	Expected Data Retention Time	10			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C.
3. CAPHAT only, SNAPHAT t_{DR} = 7yrs.

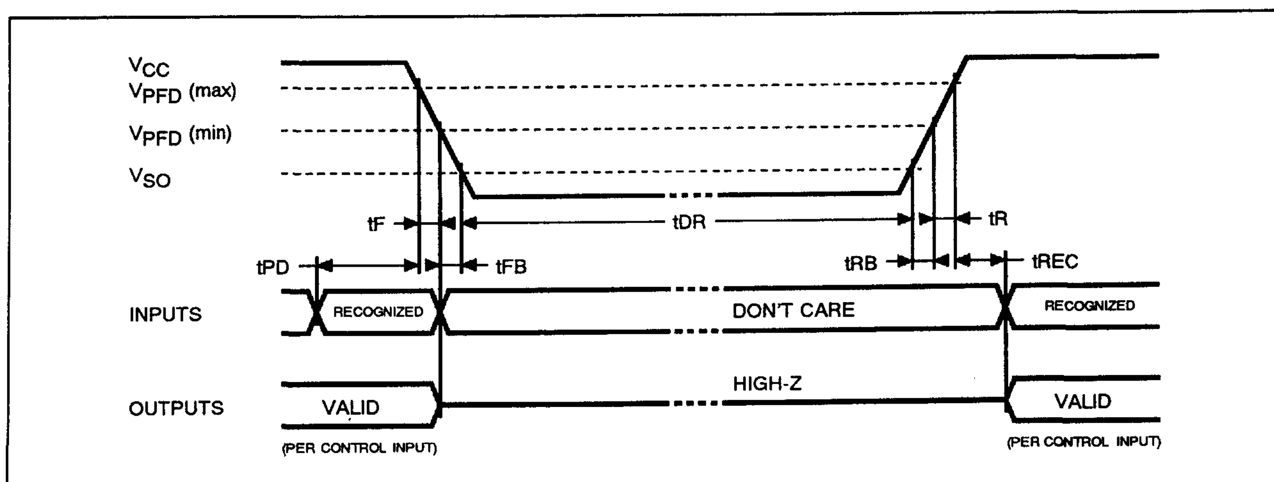
Tabel 8/2.6.2-20: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD}(max) to Inputs Recognized	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-21: Power Up/Down timing (zie ook figuur 8/2.6.2-22).



Figuur 8/2.6.2-22: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

De M48T35(Y) staat in de leesmode als $\overline{W}$ (Write Enable) HOOG is en $\overline{E}$ (Chip Enable) LAAG. Met behulp van 15 adreslijnen zijn 32.768 data-bytes direkt toegankelijk. Binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, is geldige data op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.23). Wordt hier niet aan voldaan, dan is de data pas geldig na t_{ELQV} (Chip Enable Access Tijd) of t_{GLQV} (Output Enable Access Tijd), welke dan ook het laatst komt. De toestand van de acht 3-state data I/O-signalen wordt geregeld door $\overline{E}$ en $\overline{G}$. Worden de uitgangen geaktiveerd vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E}$ en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

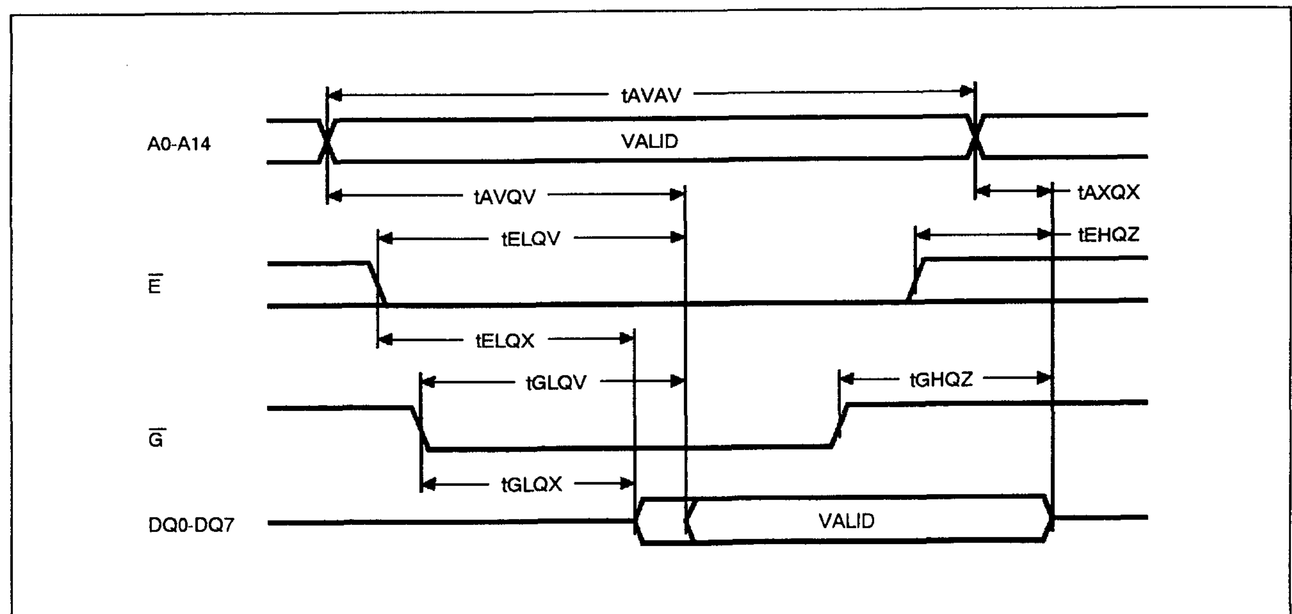
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T35 / 35Y -70 Min	M48T35 / 35Y -70 Max	Unit
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.2-22: Schakeltijden bij het uitlezen van de M48T35(Y).



Figuur 8/2.6.2-23: Golfvormen bij het uitlezen van de M48T35(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T35 / 35Y -70 Min	M48T35 / 35Y -70 Max	Unit
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{EHAX}	Chip Enable High to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVEH}	Address Valid to Chip Enable High	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

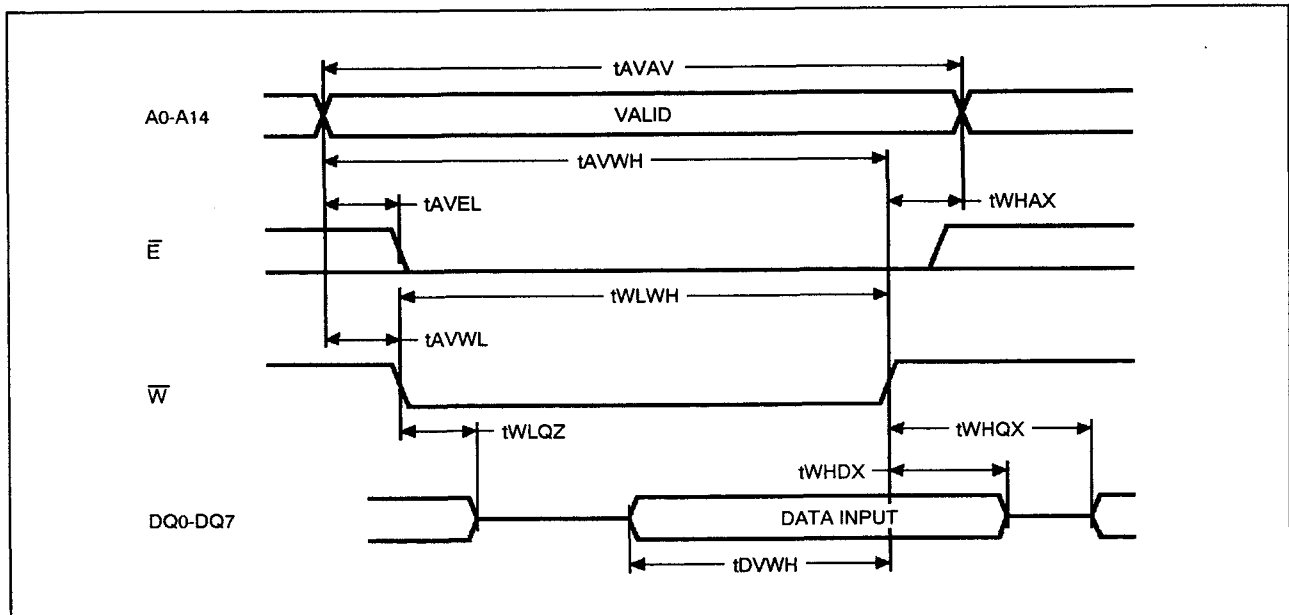
Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.2-23: Timing van schrijf-operaties in de M48T35(Y) (zie ook de figuren 8/2.6.2-24 en -25).

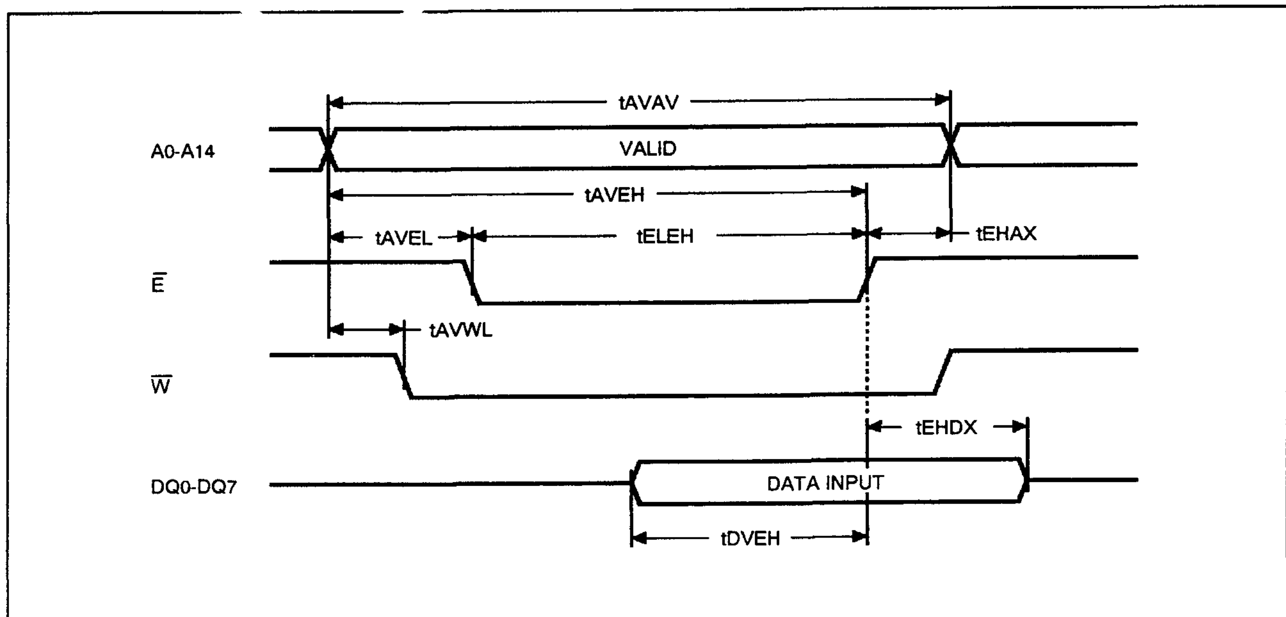
Schrijf-mode

De M48T35(Y) staat in de schrijfmode als $\overline{W}$ en $\overline{E}$ aktief zijn (figuren 8/2.6.2-24 en -25). De schrijfcyclus begint op de laatst optredende dalende flank van $\overline{W}$ of $\overline{E}$, terwijl het schrijven stopt op de eerst optredende omgekeerde situatie. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E}$ of $\overline{W}$ HOOG gaan gedurende minimaal t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-24: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T35(Y).



Figuur 8/2.6.2-25: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48T35(Y).

Vasthouden van de data

Zolang V_{CC} binnen de toleranties blijft, werkt de M48T35(Y) als een gewone byte-wide statische RAM. Een verlaging van V_{CC} aktiveert automatisch de "power-fail deselect", waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijf-beveiliging wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care". De interne knoopcel kan data gedurende een periode van tenminste zeven jaar vasthouden.

Als de power-fail tijdens een schrijfcyclus optreedt kan wel data op het geselecteerde adres beschadigd worden, maar niet op de overige adressen.

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
7FFFh	10 Years				Year				Year	00-99
7FFEh	0	0	0	10 M.	Month				Month	01-12
7FFDh	0	0	10 Date		Date				Date	01-31
7FFCh	0	FT	0	0	0	Day			Day	01-07
7FFBh	0	0	10 Hours		Hours				Hour	00-23
7FFAh	0	10 Minutes			Minutes				Minutes	00-59
7FF9h	ST	10 Seconds			Seconds				Seconds	00-59
7FF8h	W	R	S	Calibration					Control	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit (Must be set to '0' upon power, for normal clock operation)
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'

Tabel 8/2.6.2-24: Overzicht van de tijdregisters.

Het wordt aangeraden V_{CC} te ontkoppelen. Als V_{CC} weer hoger wordt dan V_{SO}, wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.

Uitlezen van de klok

Het verversen van de TIMEKEEPER-registers moet net voordat de klok-data wordt uitgelezen worden tegengehouden om foutieve informatie te voorkomen. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array niet de eigenlijke kloktellers zijn maar slechts data-registers, kan het verversen worden gesperd zonder de werking van de klok zelf te verstoren.
Het verversen stopt als in het READ-bit (D6) in het besturingsregister 7FF8h een "1" wordt geschreven. De registers geven dan de stand weer van de teller op dat moment: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het bit op "0" is gereset, wordt er ververst.

Het gelijkzetten van de klok

Bit D7 van het besturingsregister 7FF8h is het WRITE-bit. Wordt dit op "1" gezet, dan wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de juiste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-24). Zodra het WRITE-bit weer "0" is worden de waarden van alle tijdregisters (7FF9h tot en met 7FFFh) overgebracht naar de eigenlijke TIMEKEEPER-tellers, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid met nullen gevuld zijn).

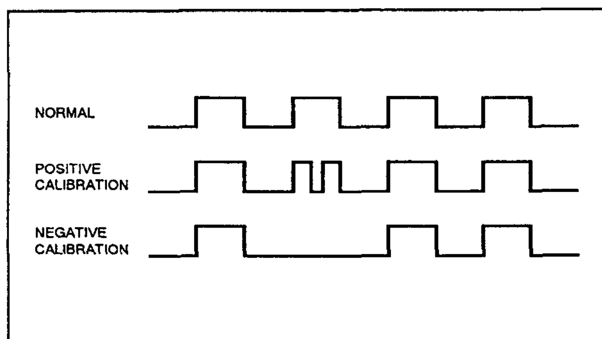
Starten en stoppen van de oscillator

De oscillator kan op elk moment worden gestopt. Als de schakeling bijvoorbeeld lang

niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het secondenregister is het STOP-bit. Wordt dit op "1" gezet dan stopt de oscillator. De M48T35(Y) wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

Calibreren van de klok

De M48T35(Y) wordt aangedreven door een kwarts-gestabiliseerde oscillator met een nominale frequentie van 32,768 kHz. De schakelingen worden getest op een maximale fout van 35 ppm ($35*10^{-6}$), overeenkomende met ongeveer +/-1,53 minuut per maand. Aangezien de oscillatie-frequentie van elk kristal temperatuursafhankelijk is, moeten maatregelen worden getroffen. Vaak gebeurt dat in de vorm van trim-condensatoren. Bij de M48T35(Y) is gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-26). Het aantal keren dat pulsen worden overgeslagen (negatieve calibratie) of bijgeteld (positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.



Figuur 8/2.6.2-26: Calibratie van de klok.

Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister 7FF8h en kan dus waarden tussen 0 en 31 bevatten. Bit D5 is het teken-bit ("1" = positieve calibratie; "0" = negatieve calibratie). Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen, eenmaal per minuut, een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts.

Daarom heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillator-cycli. Dit komt overeen met een afregeling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.

Er zijn in principe twee methoden om te bepalen hoeveel de M48T35(Y) moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar heeft wel testapparatuur nodig. Hierbij moet het Frequentie Testbit (FT) in het dag-register op "1" worden gezet. Als de oscillator op 32.768 Hz werkt, toggelt het LSB (DQ0) van het seconden-register op 512 Hz.

Elke afwijking hiervan (512,01024 Hz is bijvoorbeeld een fout van +20 ppm) moet worden gecompenseerd. Het FT-bit wordt met behulp van het WRITE-bit gezet. Het LSB van het seconden-register D7 kan worden getest door de M48T35(Y) in een verlengde leescyclus te houden.

M48T36Y

CMOS 32 k x 8 Timekeeper
SRAM + Watchdog-timer

De M48T36Y is een 32 k x 8 bit niet-vluchtige statische RAM met een real-time clock en

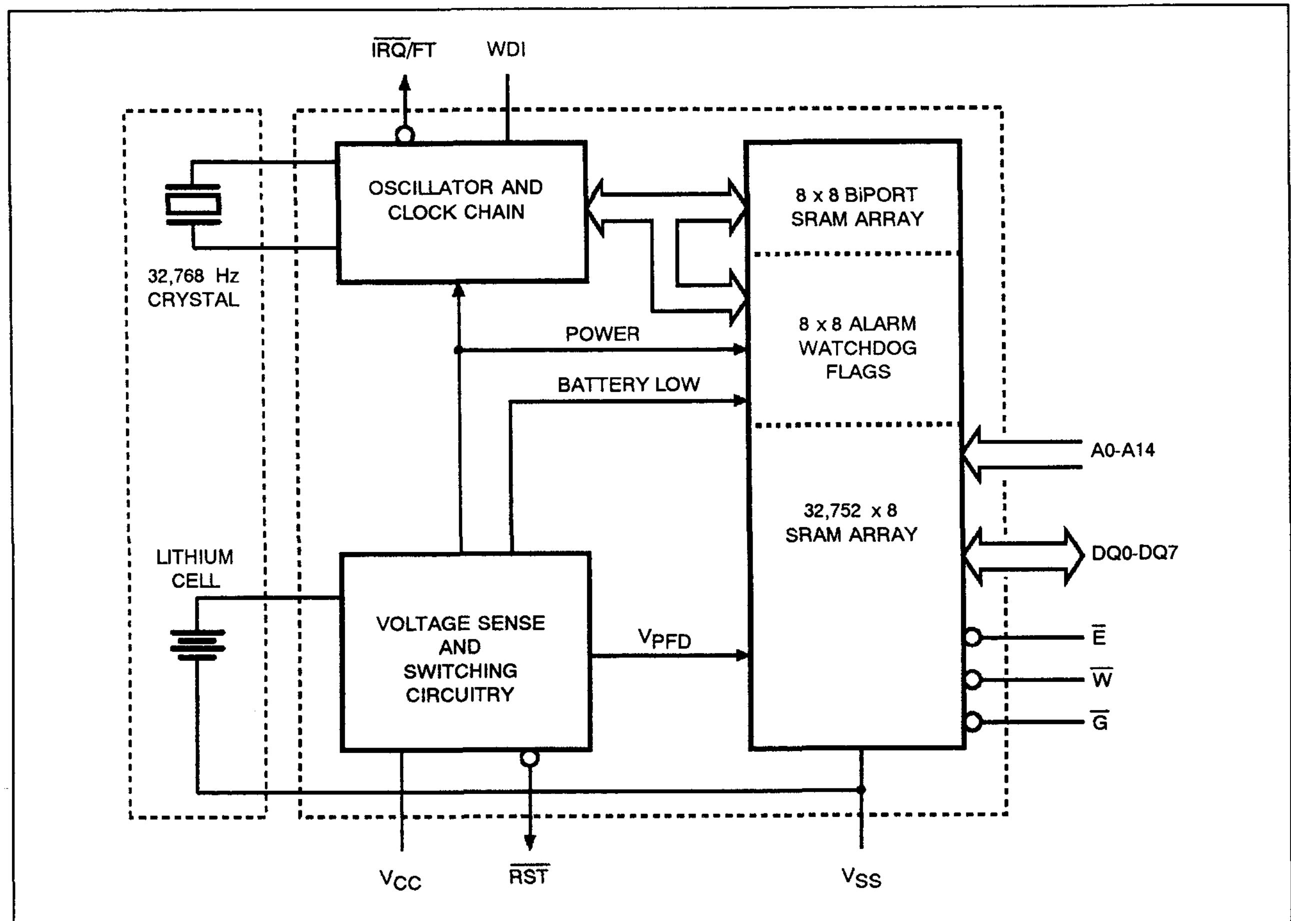
2.6 Type-beschrijving Zero-Power statische RAM's

watchdog-timer functies. De monolithische chip is samen met een kristal en een lithium batterij opgenomen in een speciale 44-pens SMD "snaphat" behuizing. Wanneer geen voedingsspanning aanwezig is, kan de batterij alle data- en clock-functies zeven jaar volhouden. De M48T36Y is een niet-vluchtige, pen- en functie-compatibele vervanger van JEDEC-standaard 32 k x 8 SRAM's en kan ook in de plaats van ROM's, EPROM's en EEPROM's worden gebruikt. Net als bij een PROM wordt data vastgehouden, met onbeperkt aantal schrijfoperaties of speciaal aan de timing gestelde eisen. De 44-pens 330 mil SMD-behuizing heeft vergulde contacten, waarop het verwisselbare snaphat-gedeelte met de batterij en kristal geplaatst kan worden. Hierdoor is het mogelijk om eerst de SMD-schakeling op de print te bevestigen en daar later de batterij en het kristal op te plaatsen.
Zoals in figuur 8/2.6.2-27 te zien is, zijn het statische geheugen en de kwarts-gestuurde oscillator op één chip geïntegreerd. De twee schakelingen hebben dezelfde bovenste acht geheugenplaatsen gemeenschappelijk, waardoor byte-wide klok-informatie beschikbaar is op de adressen 7FF9h tot en met 7FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd.
Byte 7FF8h is het klok-besturingsregister. Dit byte geeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klok-calibratie wordt opgeslagen.
Byte 7FF7h bevat de watchdog-timer instelling. De watchdog-timer detecteert wanneer de microprocessor de controle verliest en stuurt er dan een reset of een interrupt naar toe.
De bytes 7FF2h tot en met 7FF5h zijn gereserveerd voor het programmeren van de wekker. Hiermee wordt een aktief-LAAG signaal op de $\overline{IRQ}/\overline{FT}$-pen gezet als de alarmbytes overeenkomen met de datum, uren, minuten en seconden van de klok.

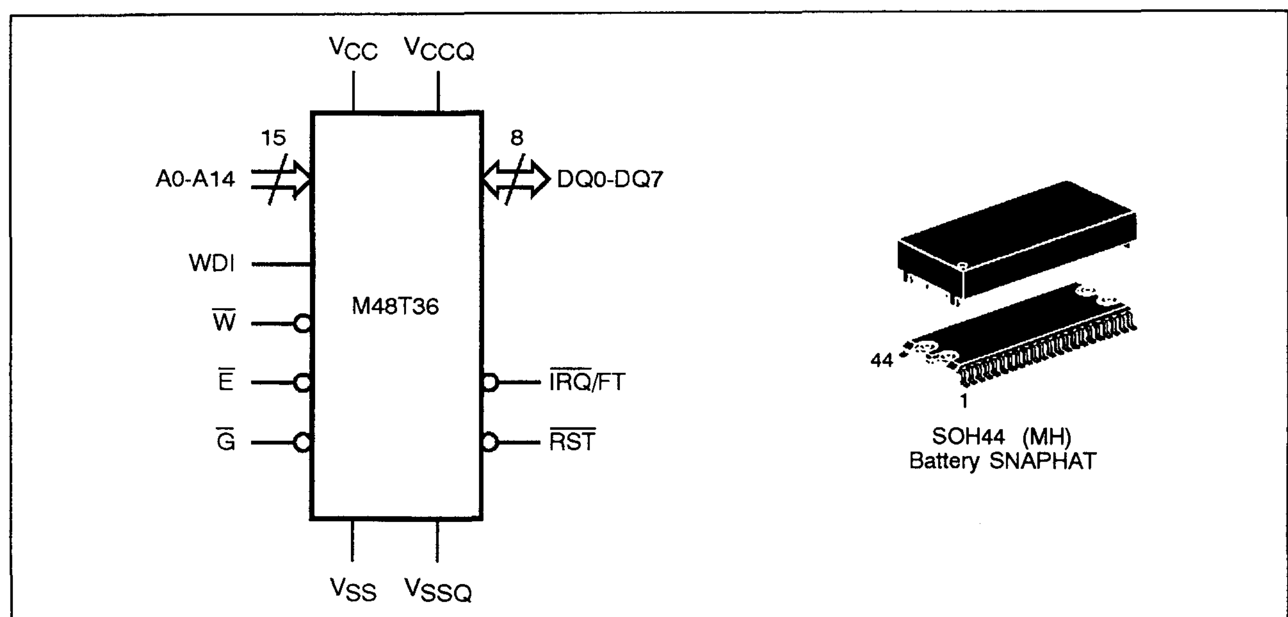
De acht klok-bytes zijn niet de clock-tellers zelf maar geheugenplaatsen, bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T36Y heeft een klok-besturingsschakeling die de klokbytes eenmaal per seconde ververst. De klok-informatie staat de gebruiker op dezelfde manier ter beschikking als data op alle andere locaties in het statische geheugen.
De M48T36Y heeft een eigen power-fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Wordt V_{CC} te laag, dan schakelt de schrijf-beveiliging in, zodat het geheugen geen data meer opneemt. Daalt V_{CC} vervolgens tot minder dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de klok te handhaven totdat de voedingsspanning terugkeert.

Specificaties
- 32 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + watchdog-timer + batterij
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde informatie
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning: $4{,}2\ V \leq V_{PFD} \leq 4{,}5V$
- signalering van lage batterijspanning
- microprocessor power-on reset
- programmeerbaar wekker-signaal (ook aktief in battery back-up mode)
- 44-pens 0,33" SNAPHAT (SOH44) SMD-behuizing met aparte batterij en kristal
- 7 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 32 k x 8 SRAM's
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-27: Blokschema van de M48T36Y.



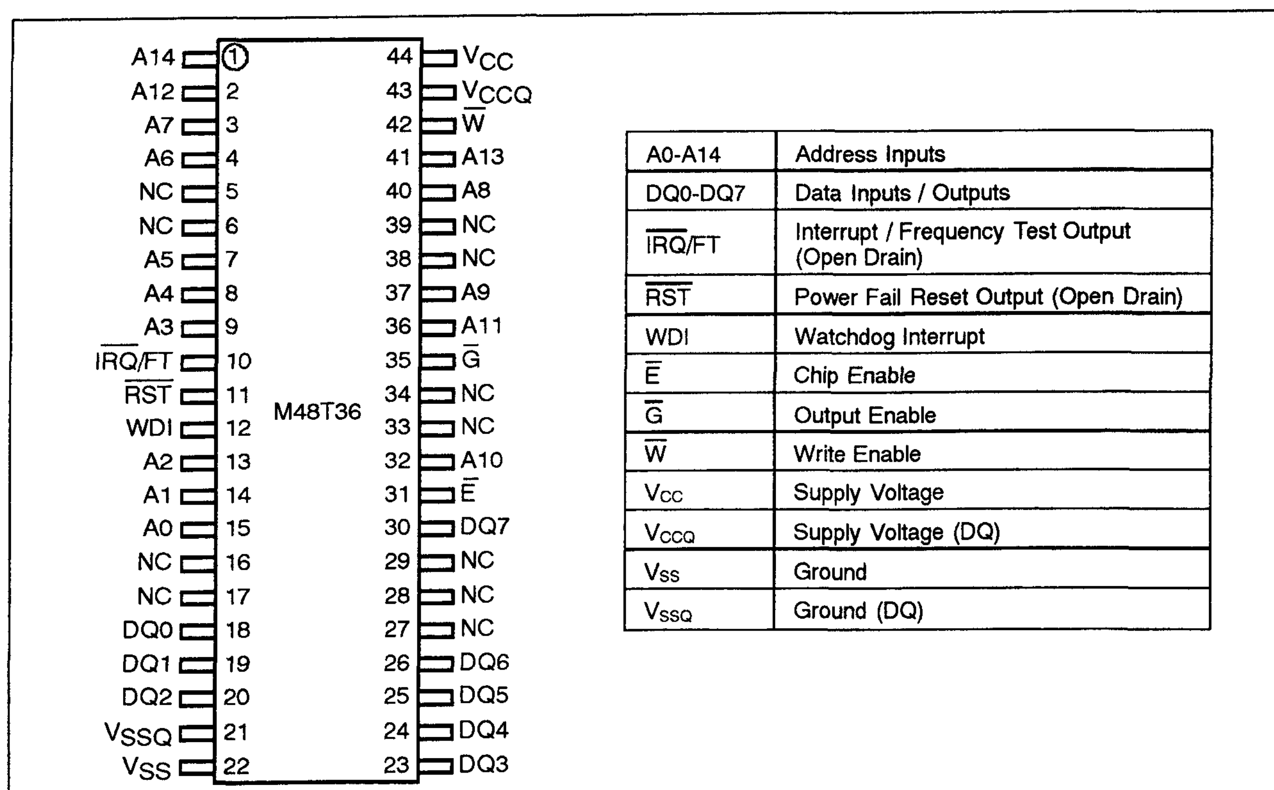
Figuur 8/2.6.2-28: Logisch schema en SOH44 (MH)-behuizing van de M48T36Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.2-25: Bedrijfsmodes van de M48T36Y.



A0-A14	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{IRQ}$/FT	Interrupt / Frequency Test Output (Open Drain)
$\overline{RST}$	Power Fail Reset Output (Open Drain)
WDI	Watchdog Interrupt
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{CCQ}	Supply Voltage (DQ)
V_{SS}	Ground
V_{SSQ}	Ground (DQ)

Figuur 8/2.6.2-29: Aansluitingen en signalen van de M48T36Y (NC = niet aangesloten).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-26: Maximaal toegelaten waarden van de M48T36Y.

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL} (2)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{IRQ}$/FT and $\overline{RST}$) (3)	I_{OL} = 10mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Negative spikes of -1V allowed for up to 10ns once per Cycle.
3. The $\overline{IRQ}$/FT and $\overline{RST}$ pins are Open Drain.

Tabel 8/2.6.2-27: Gelijkspanningskarakteristieken van de M48T36Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T36Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	7			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

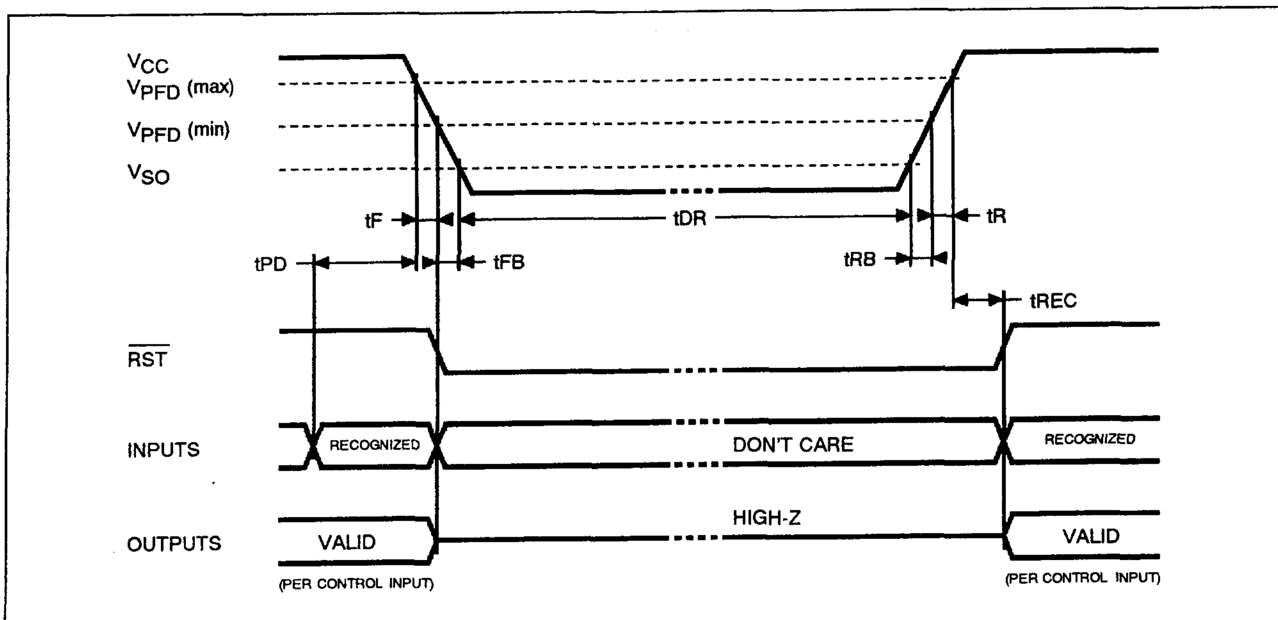
Tabel 8/2.6.2-28: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to $\overline{RST}$ High	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-29: Power Up/Down timing (zie ook figuur 8/2.6.2-30).



Figuur 8/2.6.2-30: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

De M48T36Y kan worden uitgelezen als $\overline{W}$ (Write Enable) HOOG en $\overline{E}$ (Chip Enable) LAAG is. Door middel van 15 adreslijnen zijn 32.768 data-bytes direkt toegankelijk. Geldige data is binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.31).

Wordt niet aan deze tijden voldaan, dan wordt de data pas na t_{ELQV} (Chip Enable Access Tijd) of t_{GLQV} (Output Enable Access Tijd) geldig (welke het laatst komt). De toestand van de acht 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$. Als de uitgangen aktief worden vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adressignalen terwijl $\overline{E}$ en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

(wordt vervolgd)

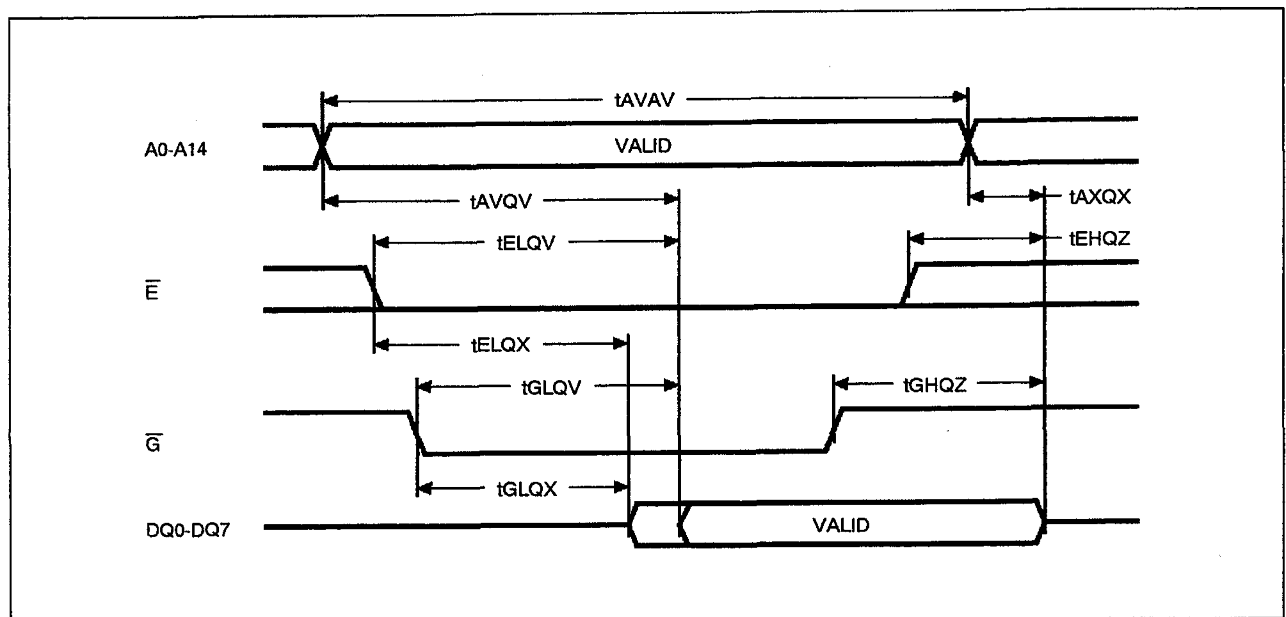
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	M48T36Y -70 Min	M48T36Y -70 Max	Unit
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.2-30: Timing van het uitlezen van de M48T36Y.



Figuur 8/2.6.2-31: Golfvormen bij het uitlezen van de M48T36Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	M48T36Y -70 Min	M48T36Y -70 Max	Unit
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{EHAX}	Chip Enable High to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVE1H}	Address Valid to Chip Enable High	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.2-31: Timing van schrijf-operaties in de M48T36Y (zie ook de figuren 8/2.6.2-32 en -33).

Schrijf-mode

De M48T36Y staat in de schrijfmode als $\overline{W}$ en $\overline{E}$ aktief zijn (zie ook de figuren 8/2.6.2-32 en -33). Het schrijven kan beginnen op de laatst optredende dalende flank van $\overline{W}$ of $\overline{E}$ en het schrijven stopt op de eerst optredende stijgende flank. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E}$ of $\overline{W}$ gedurende minimaal t_{EHAX} na Chip Enable of tWHAX na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

Vasthouden van de data

Zolang V_{CC} binnen de toleranties blijft, werkt de M48T36Y als een gewone byte-wide statische RAM. Door verlaging van V_{CC} wordt automatisch de "power-fail deselect" geaktiveerd, waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijfbeveiliging inschakelt. Alle uitgangen worden dan zwevend (hoog-impedant) en alle ingangen

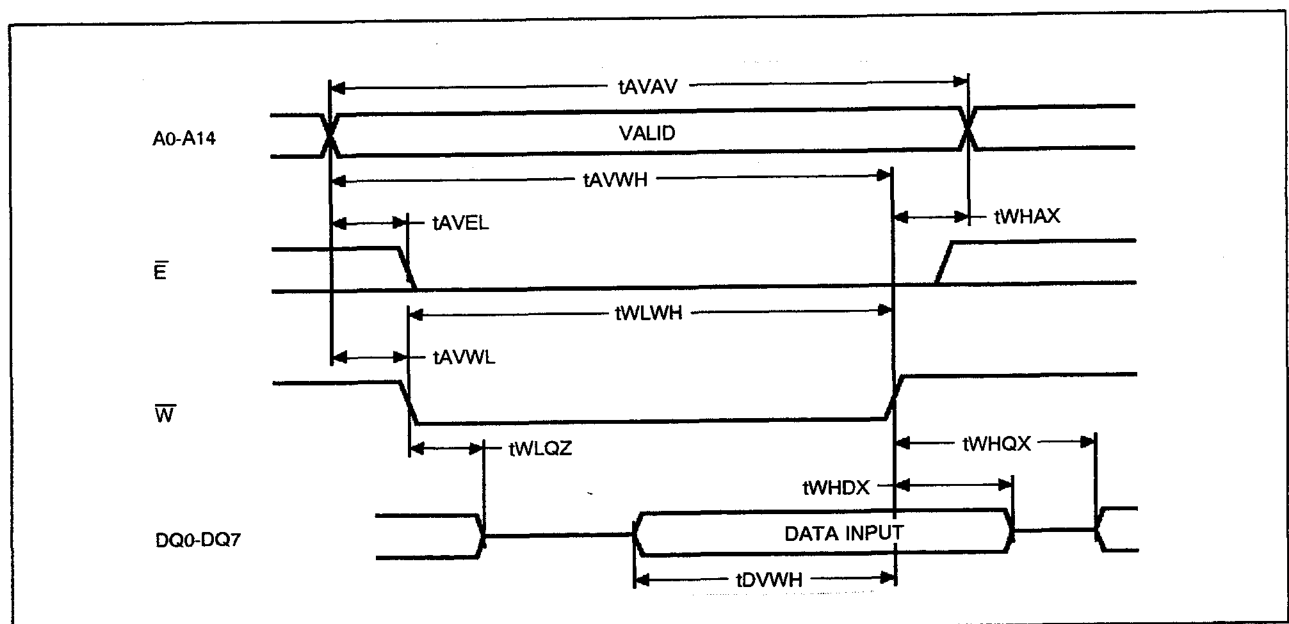
"don't care". De interne lithium batterij kan data gedurende een periode van tenminste 7 jaar vasthouden. Als de power-fail tijdens een schrijfcyclus optreedt kan wel data op het geselecteerde adres beschadigd worden, maar niet op de overige adressen. Het wordt aangeraden V_{CC} te ontkoppelen. Als V_{CC} weer boven V_{SO} uitkomt wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.

Power-on reset

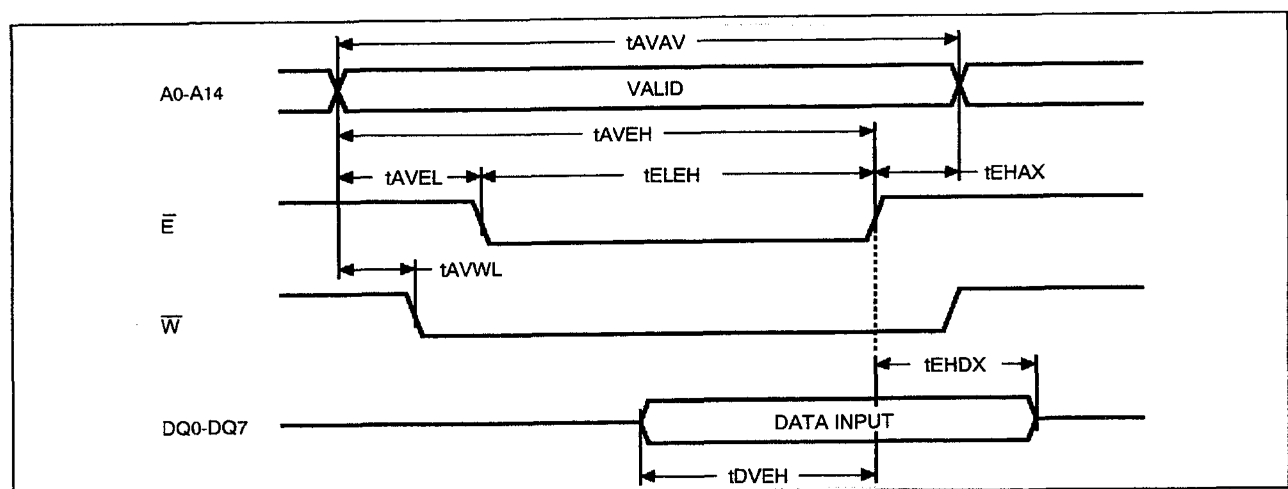
De M48T36Y houdt voortdurend V_{CC} in de gaten. Als die onder het power-fail-detectie-trippoint komt, gaat de open-drain $\overline{RST}$-uitgang gedurende 40 tot 200 ms LAAG nadat V_{CC} V_{PFD} is gepasseerd. Als V_{CC} op V_{SS}-niveau is, blijft de resetpuls aktief.

Programmeerbare interrupts

De M48T36Y heeft twee programmeerbare interrupts: een wekker (alarm) en een "watchdog".



Figuur 8/2.6.2-32: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T36Y.



Figuur 8/2.6.2-33: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48T36Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
7FFFh	10 Years				Year				Year	00-99
7FFEh	0	0	0	10 M.	Month				Month	01-12
7FFDh	0	0	10 Date		Date				Date	01-31
7FFCh	0	FT	0	0	0	Day			Day	01-07
7FFBh	0	0	10 Hours		Hours				Hour	00-23
7FFAh	0	10 Minutes			Minutes				Minutes	00-59
7FF9h	ST	10 Seconds			Seconds				Seconds	00-59
7FF8h	W	R	S	Calibration					Control	
7FF7h	WDS	BMB4	BMB3	BMB2.	BMB1	BMB0	RB1	RB0	Watchdog	
7FF6h	AFE	Y	ABE	Y	Y	Y	Y	Y	Interrupts	
7FF5h	RPT4	Y	Al. 10 Date		Alarm Date				Alarm Date	01-31
7FF4h	RPT3	Y	Al. 10 Hours		Alarm Hours				Alarm Hours	00-23
7FF3h	RPT2	Alarm 10 Minutes			Alarm Minutes				Alarm Minutes	00-59
7FF2h	RPT1	Alarm 10 Seconds			Alarm Seconds				Alarm Seconds	00-59
7FF1h	Y	Y	Y	Y	Y	Y	Y	Y	Unused	
7FF0h	WDF	AF	Z	BL	Z	Z	Z	Z	Flags	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'
Y = '1' or '0'
Z = '0' and are Read only
AF = Alarm Flag
BL = Battery Low

WDS = Watchdog Steering Bit
BMB0-BMB4 = Watchdog Multiplier Bits
RB0-RB1 = Watchdog Resolution Bits
AFE = Alarm Flag Enable
ABE = Alarm in Battery Back-up Mode Enable
RPT1-RPT4 = Alarm Repeat Mode Bits
WDF = Watchdog Flag

Tabel 8/2.6.2-32: Overzicht van de tijdregisters.

Wanneer een interrupt conditie optreedt wordt het betreffende vlagbit in het flag-register 7FF0h op "1" gezet. De interrupt enable-bits in 7FF6h en het WDS (Watchdog Steering)-bit in 7FF7h maken het voor de interrupt mogelijk om de $\overline{IRQ}$/FT-pen te aktiveren. De interrupt-vlaggen en de $\overline{IRQ}$/FT-uitgang worden gecleared door een lees-operatie in het flags-register.

Het resetten van een interrupt-conditie treedt pas op als de adreslijnen tenminste 15 ns stabiel zijn op de flag-locatie en de schakeling in de leesmode staat. De $\overline{IRQ}$/FT-pen is een open-drain uitgang die een optrekweerstand nodig heeft.
De pen blijft hoog-impedant tenzij een interrupt optreedt of als de schakeling in de frequentietest-mode staat.

2.6 Type-beschrijving Zero-Power statische RAM's

Uitlezen van de klok

Het verversen van de TIMEKEEPER-registers moet worden tegengehouden voordat de klok-informatie wordt uitgelezen om fouten te voorkomen. Omdat de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd zonder de werking van de klok zelf te verstoren.
Het verversen stopt als het READ-bit (D6 in het besturingsregister 7FF8h) "1" wordt gemaakt. De registers geven dan de laatste stand weer: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het READ-bit op "0" is gereset, wordt er ververst.

Het gelijkzetten van de klok

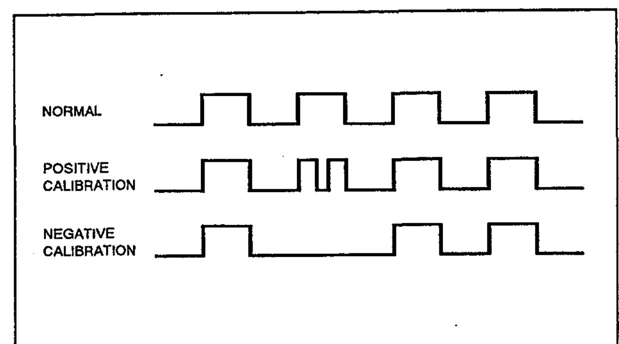
Bit D7 van het besturingsregister 7FF8h is het WRITE-bit. Wordt dit "1" gemaakt, dan wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de juiste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-32). Zodra het WRITE-bit weer "0" is, worden de waarden van alle tijdregisters (7FF9h tot en met 7FFFh) overgebracht naar de eigenlijke TIMEKEEPER-tellers, waarna de werking binnen een seconde weer normaal is.

Starten en stoppen van de oscillator

De oscillator kan op elk willekeurig moment worden gestopt. Als de schakeling bijvoorbeeld lang niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het seconden-register is het STOP-bit. Wordt dit "1" gemaakt, dan stopt de oscillator. De M48T36Y wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

Calibreren van de klok

De M48T36Y wordt aangedreven door een kwarts-gestabiliseerde oscillator met een nominale frequentie van 32,768 kHz. De schakelingen worden in de fabriek getest op een maximale fout van 35 ppm ($35*10^{-6}$), overeenkomende met ongeveer +/-1,53 minuut per maand. Aangezien de oscillatiefrequentie van elk kristal temperatuursafhankelijk is, moeten maatregelen worden getroffen. Vaak gebeurt dat in de vorm van trimcondensatoren, maar bij de M48T36Y is gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-34). Het aantal keren dat pulsen worden overgeslagen (negatieve calibratie) of bijgeteld (positieve calibratie) hangt af van de waarde die in het 5 bit calibratiebyte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.



Figuur 8/2.6.2-34: Calibratie van de klok.

Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister 7FF8h en kan dus waarden in binaire vorm tussen 0 en 31 bevatten. Bit D5 is het tekenbit ("1" = positieve calibratie; "0" = negatieve). Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen, eenmaal per minuut, een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus bijgesteld; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts. Daarom heeft elke calibratiestap het

2.6 Type-beschrijving Zero-Power statische RAM's

effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillator-cycli. Dit komt overeen met een afregeling van +4,068 ppm of -2,034 ppm per calibratie-stap in het calibratie-register. Als wordt aangenomen dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T36Y moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel testapparatuur voor nodig. Hierbij wordt de $\overline{IRQ}$/FT-pen gebruikt. Deze pen toggelt op 512 Hz als het Stop-bit = "0" (D7 van 7FF9h) is, het FT-bit = "1" (D6 in 7FFCh), het AFE-bit = "0" (D7 in 7FF6h) en het Watchdog Steering-bit = "1" (D7 in 7FF7h), of als het Watchdog-register (7FF7h) gereset is. Elke afwijking van 512 Hz geeft een mate en richting van de fout aan. 512,01024 Hz is bijvoorbeeld een fout van +20 ppm, die met -10 ("001010") in het calibratie-byte gecorrigeerd kan worden.
De $\overline{IRQ}$/FT-pen is een open-drain uitgang die een optrekweerstand van 500 Ω - 10 kΩ nodig heeft. Het FT-bit wordt bij het opkomen van de voedingsspanning gecleared.

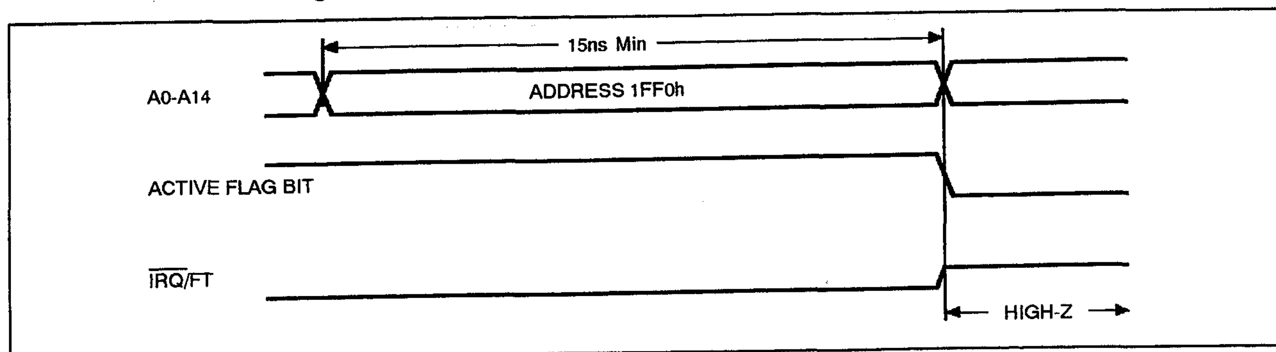
Het zetten van de wekker

De registers 7FF5h tot en met 7FF2h bevatten de alarm-instellingen. De wekker kan worden geconfigureerd om af te gaan op een van te voren bepaalde tijd (dag en maand) of elke dag op een bepaalde tijd. Hij kan ook worden geprogrammeerd om af te gaan terwijl de M48T36Y in de battery back-up mode staat om het systeem "wakker te maken".
RPT1 tot en met RPT4 zetten de wekker in de repeat-mode. In tabel 8/2.6.2.33 zijn de mogelijke instellingen te zien. Codes die in deze tabel niet voorkomen, verwijzen automatisch (default) naar de 1x/seconde-mode om de gebruiker op een niet-correcte alarm-instelling te wijzen.

RPT4	RPT3	RPT2	RPT1	Alarm Activated
1	1	1	1	Once per Second
1	1	1	0	Once per Minute
1	1	0	0	Once per Hour
1	0	0	0	Once per Day
0	0	0	0	Once per Month

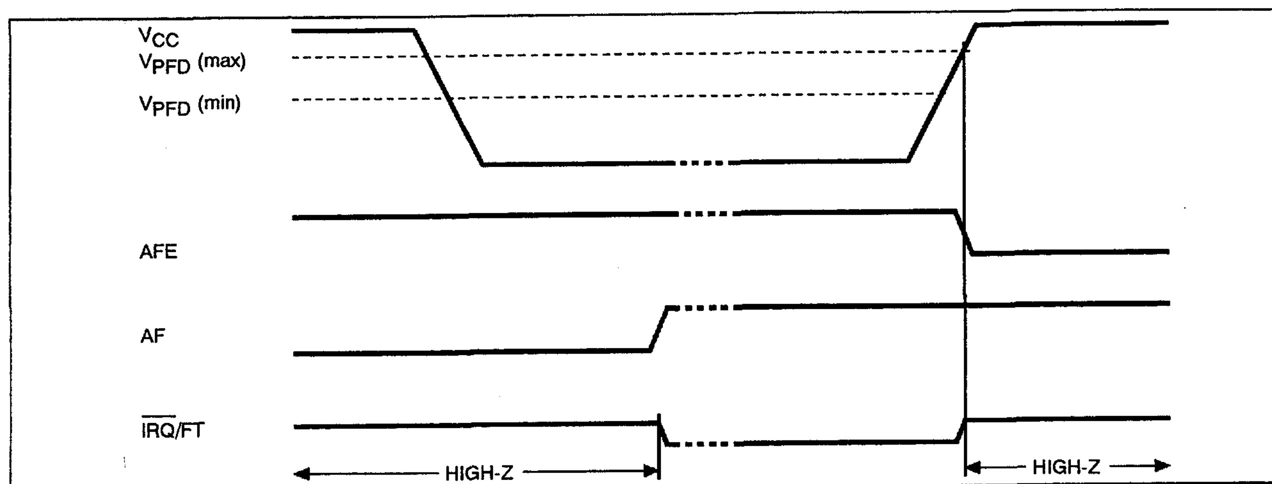
Tabel 8/2.6.2-33: Repeat-mode instellingen.

Wanneer de klok-informatie overeenkomt met de wekker-instellingen (afhankelijk van de door RPT1 tot en met RPT4 vastgelegde criteria), wordt de Alarm Flag (AF) gezet. Als AFE (Alarm Flag Enable) dan ook is gezet, aktiveert de alarm-conditie de $\overline{IRQ}$/FT-pen. De alarm-flag en de $\overline{IRQ}$/FT-uitgang worden gecleared door een lees-operatie in het Flags-register (zie figuur 8/2.6.2-35).



Figuur 8/2.6.2-35: Golfvormen bij het resetten van de interrupt.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-36: Golfvormen bij alarm in de Back-up Mode.

De IRQ/FT-pen kan ook worden geaktiveerd in de battery back-up mode. IRQ/FT gaat LAAG als een alarm optreedt, terwijl zowel ABE (Alarm in Battery Back-up mode Enable) als AFE zijn gezet. De ABE en AFE bits worden tijdens power-up gereset. Treedt dus een alarm op bij het opkomen van de voeding, dan wordt alleen AF gezet. De gebruiker kan het Flags-register tijdens system boot-up uitlezen om te kijken of er toevallig een alarm werd gegenereerd toen de M48T36Y in de deselect-mode tijdens power-up stond. De back-up mode alarm-timing is in figuur 8/2.6.2-36 te zien.

Watchdog Timer

De watchdog-timer kan worden gebruikt om te detecteren of de microprocessor de besturing van het systeem heeft verloren. De watchdog-timer wordt geprogrammeerd door de gewenste hoeveelheid time-out in het 8 bit Watchdog-register (7FF7h) te zetten. In de vijf bits (BMB4 tot en met BMB0) wordt een binaire vermenigvuldiger opgeslagen en in de twee lagere bits (RB1 en RB0) de resolutie, waarbij "00" = 1/16 seconde, "01" = 1/4 seconde, "10" = 1 seconde en "11" = 4 seconden. De grootte van de time-out bestaat dus uit het produkt van de vermenigvuldigingsfactor en de resolutie. (Wanneer bijvoorbeeld "00001110" in het watchdog-register wordt geschreven, bedraagt de time-out 3 x 1 = 3 seconden). Als de processor de timer niet binnen deze tijd reset, zet de M48T36Y de watchdog-vlag (WDF) en wordt een watchdog-interrupt of een microprocessor-reset gegenereerd.

Het belangrijkste bit van het Watchdog-register is het Watchdog Steering Bit. Wordt deze op "0" gezet, dan zal de watchdog (na time-out) de IRQ/FT-pen aktiveren. Als WDS op "1" is gezet, zal de watchdog gedurende 40 tot 200 ms een negatieve puls op de RST-pen zetten. Het Watchdog-register en het FT-bit worden dan aan het einde van een watchdog time-out op "0" gereset.

De watchdog-timer wordt gereset als de microprocessor een lees-operatie uitvoert in het Watchdog-register. De time-out begint dan opnieuw. De watchdog-timer wordt gesperd door alle acht bits van het Watchdog-register "0" te maken. De watchdog-functie is bij power-up automatisch gesperd, terwijl het Watchdog-register dan wordt leeggemaakt. Als de watchdog-functie is ingesteld om de IRQ/FT-pen te beïnvloeden en de frequentietest functie is geaktiveerd, heeft de watchdog-functie voorrang en gaat de frequentietest niet door. De WDI-pen heeft een interne optrekweerstand van minstens 100 kΩ en kan daardoor los blijven als hij niet wordt gebruikt.

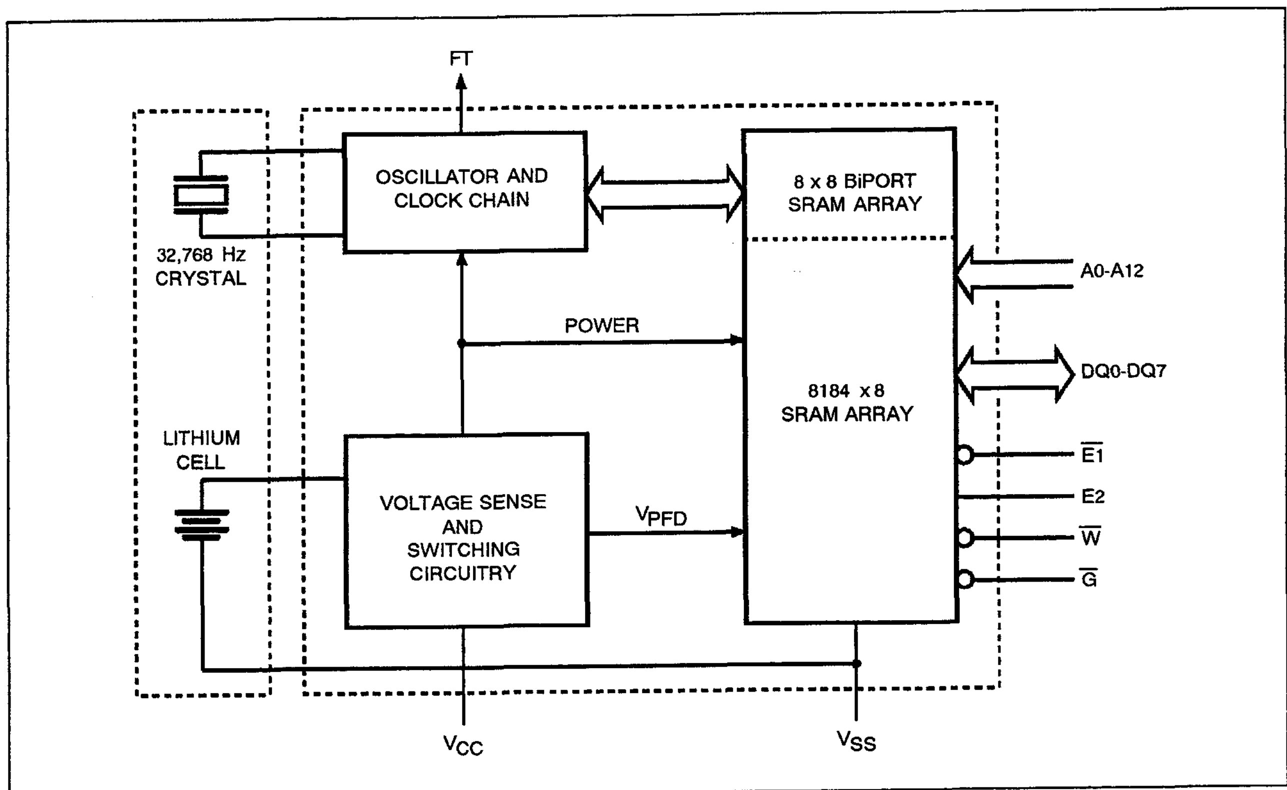
2.6 Type-beschrijving Zero-Power statische RAM's

Battery Low waarschuwing
De M48T36Y controleert de batterijspanning tijdens power-up. Als de batterijspanning dan lager is dan 2,5 V zal het BL-bit (Battery Low: D4 in 7FF0h) worden gezet.
Bij het opkomen van de voedingsspanning zijn de volgende registers in een "0"-toestand gezet:
- WDS = "0";
- BMB0 tot en met BMB4 = "0";
- RB0 en RB1 = "0";
- AFE = 0 en ABE = "0".

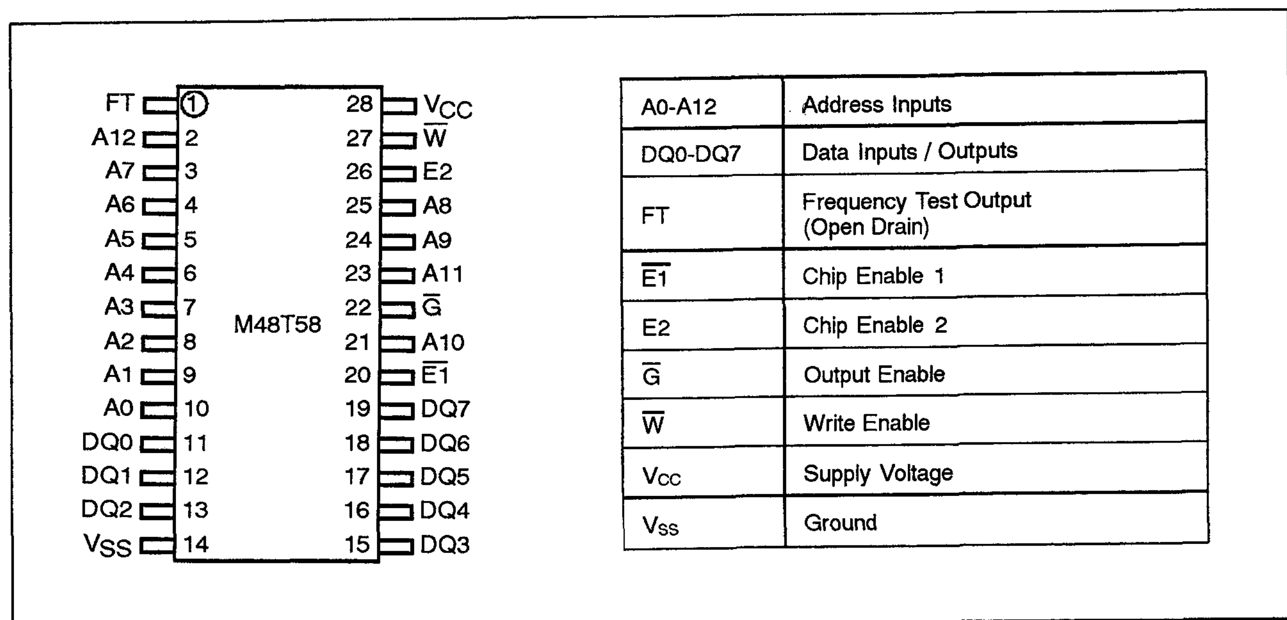
M48T58, M48T58Y
CMOS 8 k x 8 Timekeeper SRAM
De M48T58 en M48T58Y (met verschillende Write-Protect Spanningen) zijn 8 k x 8 bit niet-vluchtige statische RAM's met een real-time clock en een lithium batterij, die in een kunststof 28-pens 0,6" DIL "caphat" of 28-pens 0,33" SMD "snaphat" behuizing zijn opgenomen. Bij afwezigheid van de voedingsspanning kan de knoopcel alle data- en clock-functies gedurende minstens zeven jaar volhouden. De M48T58(Y) is een niet-vluchtige vervanger van JEDEC-standaard 8 k x 8 SRAM's en kan ook in plaats van ROM's, EPROM's en EEPROM's met dezelfde aansluitingen worden gebruikt.
De 28-pens SMD-behuizing heeft vergulde contacten, waarop het "snaphat"-gedeelte met de batterij en het kristal geplaatst kan worden. Dit ontwerp maakt het mogelijk om eerst de SMD-schakeling op de print te bevestigen (reflow) en daar later de batterij op te plaatsen.
Zoals figuur 8/2.6.2-37 laat zien, zijn het statische geheugen en de kwarts-gestuurde oscillator in één chip geïntegreerd. Beide schakelingen hebben de bovenste acht geheugenplaatsen gemeenschappelijk, waardoor byte-wide klok-informatie beschikbaar is op de adressen 1FF8h tot en met 1FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd. Byte 1FF8h is het klok-besturingsregister. Via dit byte heeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klok-calibratie kan worden opgeslagen. De acht bereikbare klok-bytes zijn niet de eigenlijke clock-tellers, maar Bi-PORT lees/schrijf-geheugencellen. De M48T58(Y) beschikt over een klok-besturingsschakeling die de klokbytes eenmaal per seconde ververst. Ook heeft de M48T58(Y), net als alle zero-power RAM's, zijn eigen power-fail detectie-schakeling die de 5 V voedingsspanning voortdurend in de gaten houdt. Wordt V_{CC} te laag, dan schakelt de schrijf-beveiliging in en kan het geheugen geen data meer opnemen. Wordt V_{CC} lager dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de clock te handhaven totdat de voedingsspanning terugkeert.

Specificaties
- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + batterij (bij SMD batterij apart)
- byte-wide klok-informatie op RAM-locaties
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- frequentie-test uitgang (FT) voor Real Time Clock
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48T58: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48T58Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- twee Chip-Enable-ingangen
- behuizingen: 28-pens 0,6" CAPHAT DIL (PCDIP28) incl. kristal en batterij of 28-pens 0,33" SNAPHAT (SOH28) SMD-behuizing met aparte batterij en kristal
- 7 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- fabrikant: SGS Thomson

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-37: Blokschema van de M48T58 of M48T58Y.



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
FT	Frequency Test Output (Open Drain)
$\overline{E1}$	Chip Enable 1
E2	Chip Enable 2
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

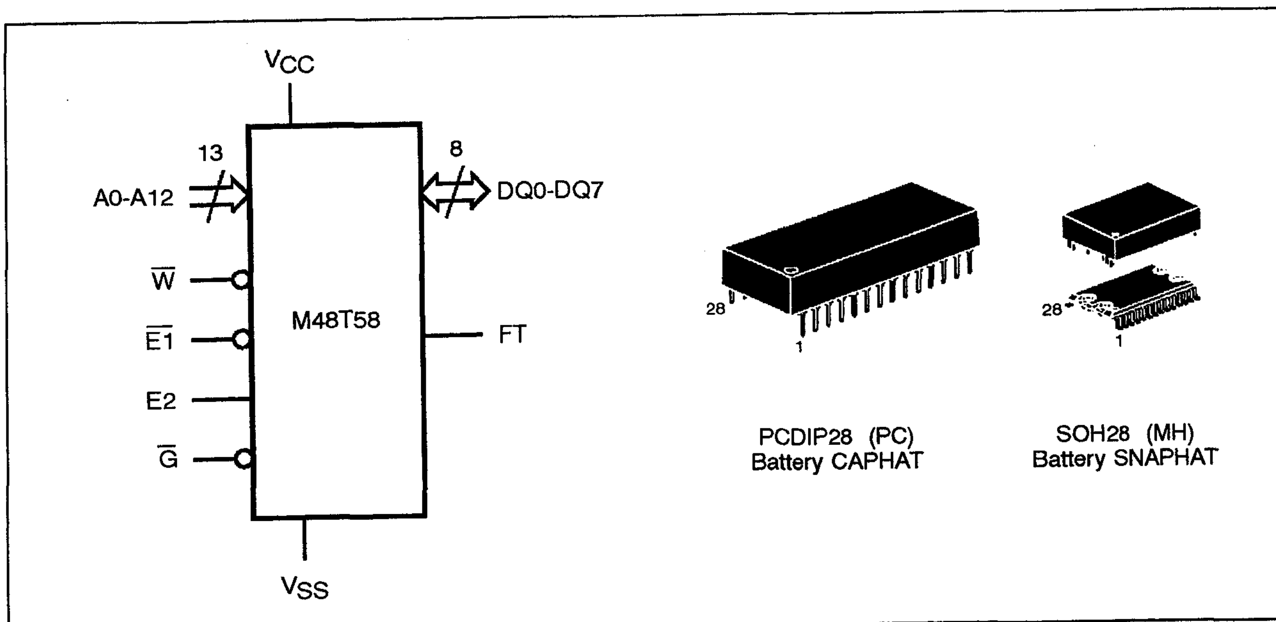
Figuur 8/2.6.2-38: Aansluitingen en signalen van de M48T58(Y) (zowel DIL- als SO-behuizing).

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	Vcc	$\overline{E1}$	E2	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	X	High Z	Standby
Deselect		X	V_{IL}	X	X	High Z	Standby
Write		V_{IL}	V_{IH}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IH}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.2-34: Bedrijfsmodes van de M48T58(Y).



Figuur 8/2.6.2-39: Logisch schema en PCDIP28- en SOH28 (MH)-behuizing van de M48T58(Y).

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-35: Maximaal toegelaten waarden van de M48T58(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO} (1)	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E1}$ = V_{IH}, E2 = V_{IL}		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E1}$ = V_{CC} - 0.2V, E2 = V_{SS} + 0.2V		3	mA
V_{IL} (2)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage (FT) (3)	I_{OL} = 10mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Negative spikes of -1V allowed for up to 10ns once per Cycle.
3. The FT pin is Open Drain.

Tabel 8/2.6.2-36: Gelijkspanningskarakteristieken van de M48T58(Y).

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T58)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48T58Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	7			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.2-37: Gelijkspanningskenmerken van de Power Up/Down trip-points.

Lees-mode

De M48T58(Y) staat in de leesmode als $\overline{W}$ (Write Enable) HOOG en $\overline{E1}$ LAAG en E2 HOOG zijn. Met 13 adreslijnen zijn 8.192 data-bytes direkt bereikbaar. Binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, is geldige data op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E1}$, E2 en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.41). Wordt niet aan de timing van $\overline{E1}$, E2 en $\overline{G}$ voldaan, dan is de data pas geldig na de laatst optredende Chip Enable Access Tijden (t_{E1LQV} of t_{E2LQV}) of Output Enable Access Time (t_{GLQV}). De toestand van de acht 3-state data I/O-signalen wordt geregeld door $\overline{E1}$, E2 en $\overline{G}$. Worden de uitgangen geaktiveerd vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adres-signalen terwijl $\overline{E1}$, E2 en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E1}$ or $\overline{W}$ at V_{IH} or E2 at V_{IL} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD}(max) to Inputs Recognized	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-38: Power Up/Down timing (zie ook figuur 8/2.6.2-40).

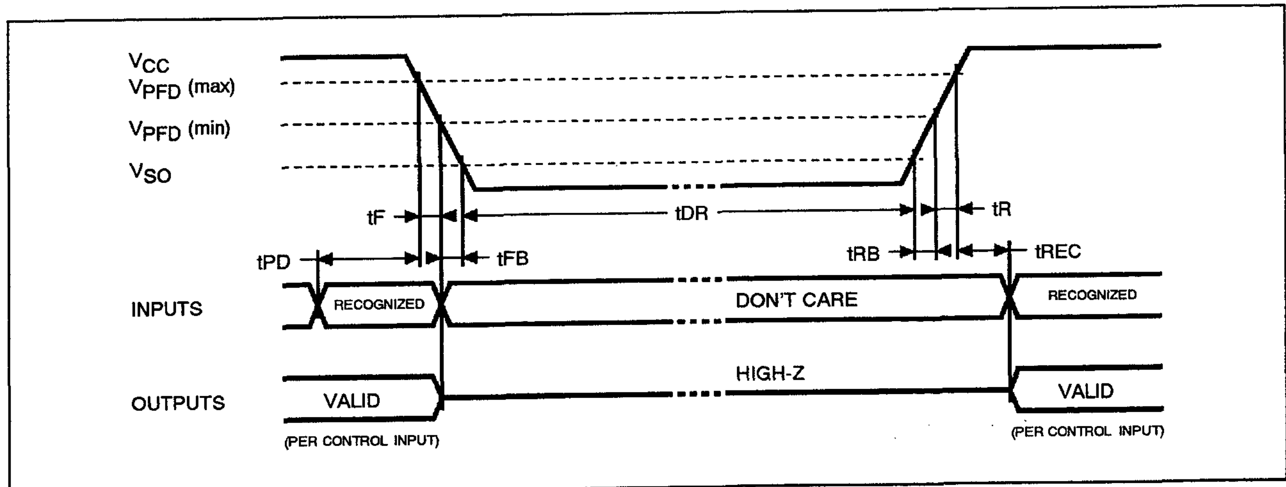
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T58 / 58Y		Unit
		-70		
		Min	Max	
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{E1LQV} (1)	Chip Enable 1 Low to Output Valid		70	ns
t_{E2HQV} (1)	Chip Enable 2 High to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{E1LQX} (2)	Chip Enable 1 Low to Output Transition	5		ns
t_{E2HQX} (2)	Chip Enable 2 High to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{E1HQZ} (2)	Chip Enable 1 High to Output Hi-Z		25	ns
t_{E2LQZ} (2)	Chip Enable 2 Low to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

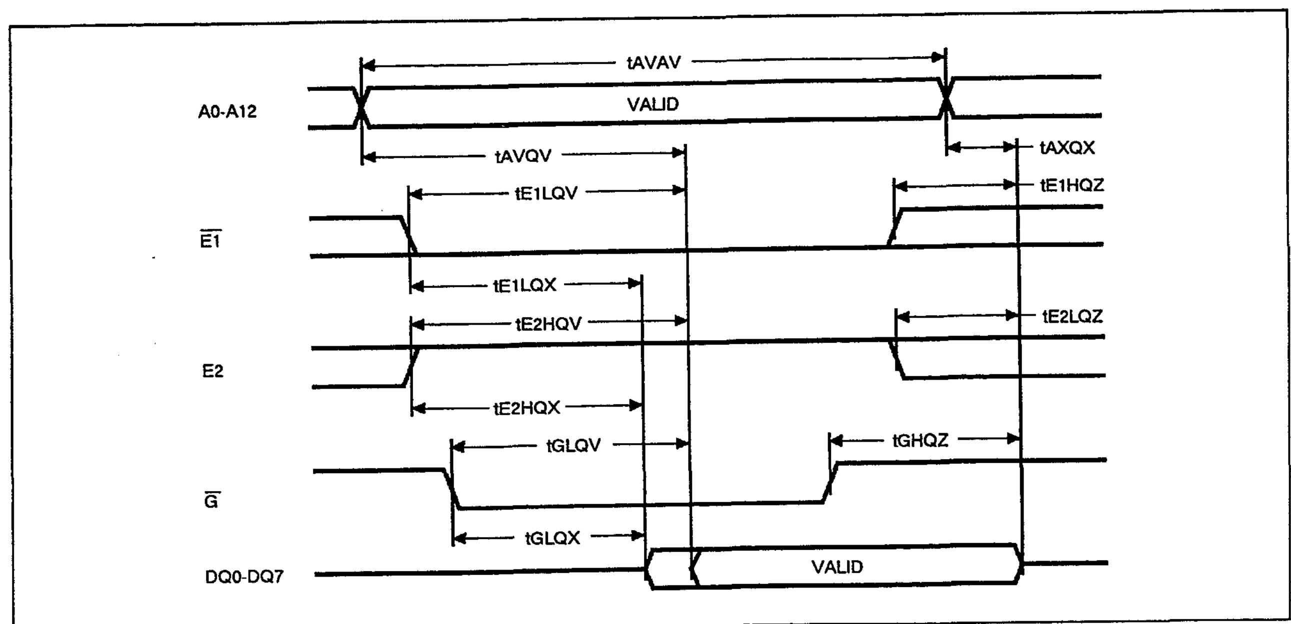
Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.2-39: Schakeltijden bij het uitlezen van de M48T58(Y).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-40: Golfvormen en timing tijdens Power Up/Down.



Figuur 8/2.6.2-41: Golfvormen bij de M48T58(Y) in de leesmode ($\overline{W}$ = HOOG).

Schrijf-mode

De 48T58(Y) staat altijd in de schrijfmode als $\overline{W}$ en $\overline{E1}$ LAAG zijn en E2 HOOG (figuren 8/2.6.2-42 en -43). De schrijfcyclus begint op de laatst optredende dalende flank van $\overline{W}$ of $\overline{E1}$ of op de stijgende flank van E2. Het schrijven stopt op de eerst optredende omgekeerde situatie. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus is het nodig dat $\overline{E1}$ of $\overline{W}$ gedurende minimaal t_{E1HAX} of t_{E2LAX} na Chip Enable HOOG gaan of E2 minimaal t_{WHAX} na Schrijf Enable LAAG gaat. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

2.6 Type-beschrijving Zero-Power statische RAM's

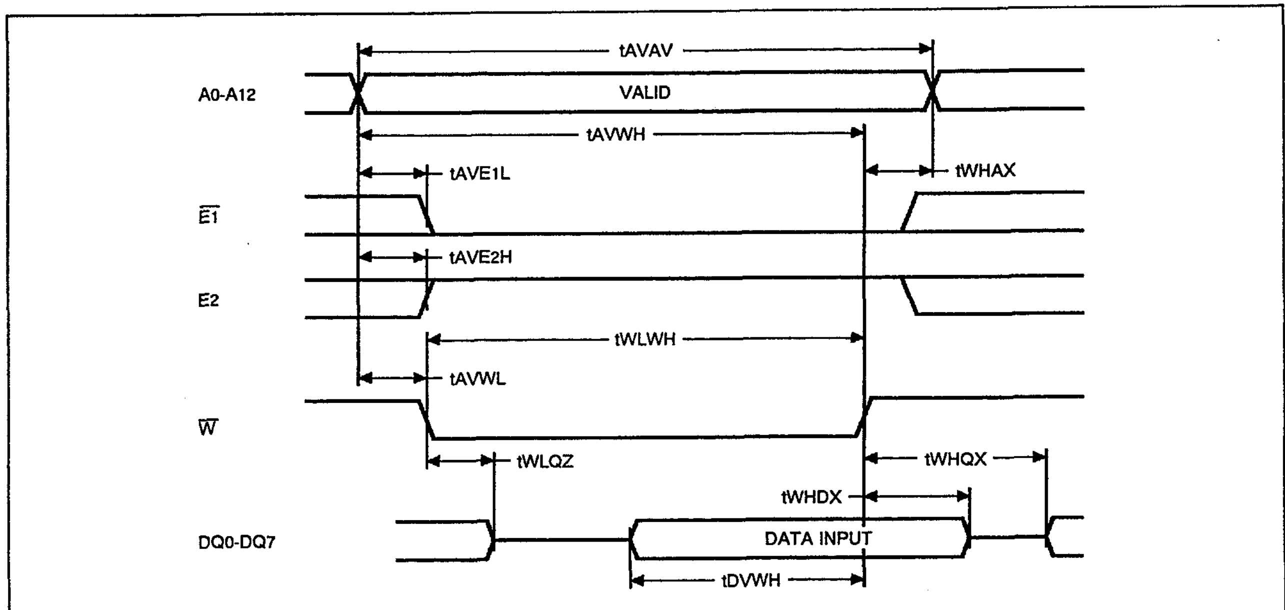
(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T58 / 58Y -70 Min	M48T58 / 58Y -70 Max	Unit
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVE1L}	Address Valid to Chip Enable 1 Low	0		ns
t_{AVE2H}	Address Valid to Chip Enable 2 High	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{E1LE1H}	Chip Enable 1 Low to Chip Enable 1 High	55		ns
t_{E2HE2L}	Chip Enable 2 High to Chip Enable 2 Low	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{E1HAX}	Chip Enable 1 High to Address Transition	0		ns
t_{E2LAX}	Chip Enable 2 Low to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVE1H}	Input Valid to Chip Enable 1 High	30		ns
t_{DVE2L}	Input Valid to Chip Enable 2 Low	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{E1HDX}	Chip Enable 1 High to Input Transition	5		ns
t_{E2LDX}	Chip Enable 2 Low to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVE1H}	Address Valid to Chip Enable 1 High	60		ns
t_{AVE2L}	Address Valid to Chip Enable 2 Low	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

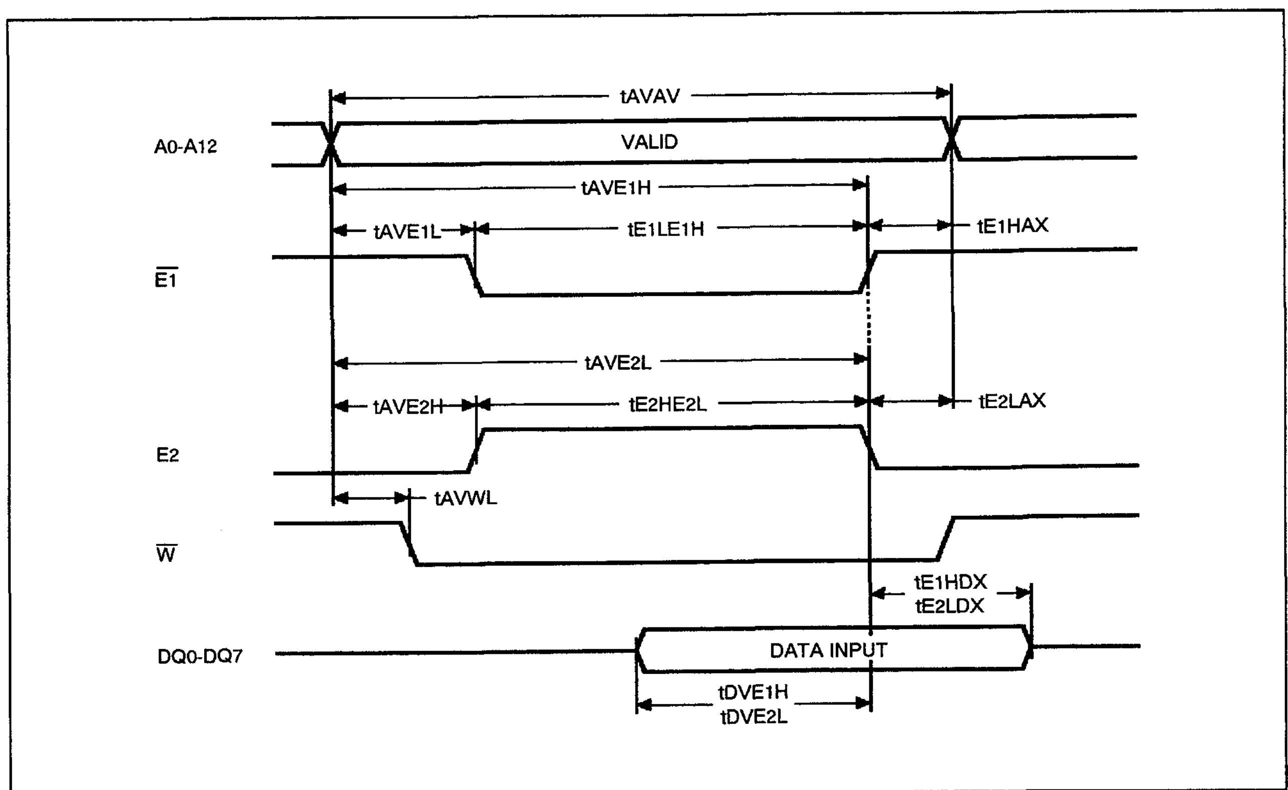
Notes: 1. C_L = 5pF
2. If $\overline{E1}$ goes low or E2 high simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

Tabel 8/2.6.2-40: Timing van schrijf-operaties in de M48T58(Y) (zie ook de figuren 8/2.6.2-42 en -43).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-42: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T58(Y).



Figuur 8/2.6.2-43: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48T58(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
1FFFh	10 Years				Year				Year	00-99
1FFEh	0	0	0	10 M.	Month				Month	01-12
1FFDh	0	0	10 Date		Date				Date	01-31
1FFCh	0	FT	0	0	0	Day			Day	01-07
1FFBh	0	0	10 Hours		Hours				Hour	00-23
1FFAh	0	10 Minutes			Minutes				Minutes	00-59
1FF9h	ST	10 Seconds			Seconds				Seconds	00-59
1FF8h	W	R	S	*Calibration*					Control	

Keys: S = SIGN Bit
FT = FREQUENCY TEST Bit (Must be set to '0' upon power, for normal clock operation)
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'

Tabel 8/2.6.2-41: Overzicht van de tijdregisters.

Vasthouden van de data

Zolang V_{CC} aan de specificaties voldoet, werkt de M48T58(Y) als een conventionele "byte-wide" statische RAM. Een verlaging van V_{CC} aktiveert automatisch de "power-fail deselect", waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijf-beveiliging wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care". Treedt de power-fail tijdens een schrijfcyclus op dan kan wel data op het geselecteerde adres beschadigd worden, maar niet op de overige adressen. Het wordt wel sterk aanbevolen V_{CC} te ontkoppelen. Als V_{CC} weer boven V_{SO} uitkomt, wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.

Uitlezen van de klok

Het verversen van de TIMEKEEPER-registers moet worden tegengehouden voordat de klok-data wordt uitgelezen om foutieve informatie te vermijden. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd, zonder de werking van de klok zelf te verstoren. Het verversen stopt als in het READ-bit (D6) in het besturingsregister (1FF8h) een "1" wordt geschreven. De registers geven dan de stand weer van de teller op dat moment: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het bit is gereset op "0" wordt vindt verversing plaats.

Het gelijkzetten van de klok

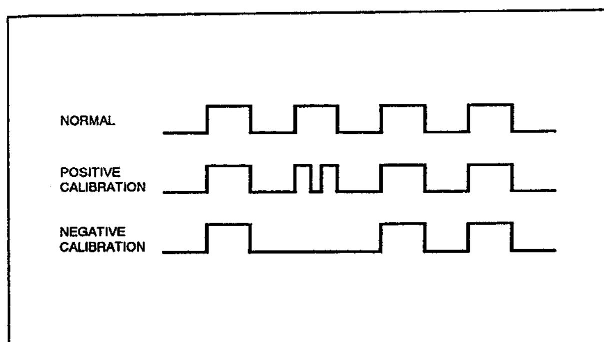
Bit D7 van het besturingsregister (1FF8h) is het WRITE-bit. Wanneer dit op "1" wordt gezet, wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de juiste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-41). Zodra het WRITE-bit weer "0" is

2.6 Type-beschrijving Zero-Power statische RAM's

worden de waarden van alle tijdregisters (1FF9h tot en met 1FFFh) overgebracht naar de TIMEKEEPER-tellers zelf, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid ook echt met nullen gevuld zijn).

Starten en stoppen van de oscillator

De oscillator kan op elk moment worden gestopt. Als men bijvoorbeeld weet dat de schakeling lang niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het secondenregister is het STOP-bit. Wordt dit op "1" gezet dan stopt de oscillator. De M48T58(Y) wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.



Figuur 8/2.6.2-44: Calibratie van de klok.

Calibreren van de klok

De M48T58(Y) wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32,768 kHz. Alle niet-gecalibreerde M48T58(Y)'s worden getest op een maximale fout van 35 ppm ($35*10^{-6}$) bij 25 °C, wat overeenkomt met ongeveer +/-1,53 minuut per maand. Aangezien de oscillatie-frequentie van elk kristal temperatuursafhankelijk is, moet deze instelbaar zijn. Vaak gebeurt dat in de vorm van trimcondensatoren, maar bij de M48T58(Y) is gekozen voor periodieke correctie van de tellers.
Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-44). Het aantal keren dat pulsen worden overgeslagen (afgetrokken: negatieve calibratie) of gesplitst (opgeteld: positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd. Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister (1FF8h) en kan dus waarden tussen 0 en 31 bevatten. Bit D5 is het teken-bit: "1" = positieve, "0" = negatieve calibratie. Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen (eenmaal per minuut) een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts. Daarom heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillatorcycli. Dit komt overeen met een bijstelling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand. Er zijn in principe twee methoden om te bepalen hoeveel de M48T58(Y) moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel testapparatuur voor nodig. Hierbij moet het Frequentie Testbit (FT) in het dag-register op "1" worden gezet. Als de oscillator op 32.768 Hz werkt, toggelt de Frequency Testpen (pen 1) op precies 512 Hz. Elke afwijking (512,01024 Hz is bijvoorbeeld een fout van +20 ppm) moet worden gecompenseerd. Het FT-bit wordt met behulp van het WRITE-bit gezet. De Frequency Test-pen is

een open-drain uitgang die een optrekweerstand van 500 Ω tot 10 kΩ nodig heeft.

M48T59, M48T59Y

CMOS 8 k x 8 Timekeeper SRAM + Watchdog-timer

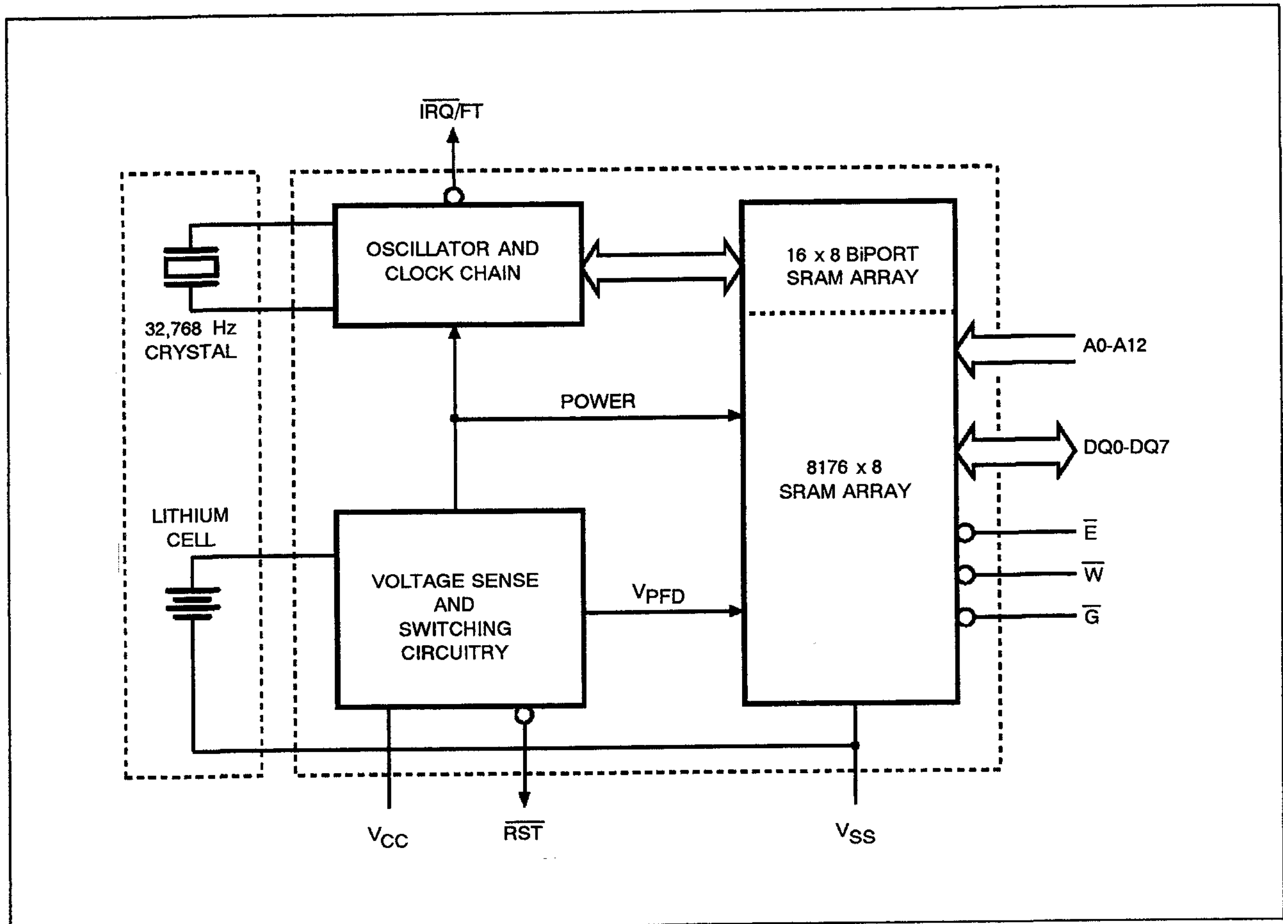
De M48T59(Y) is een 8 k x 8 bit niet-vluchtige statische RAM met een real-time clock en watchdog-timer functies. De monolithische chip is samen met een kristal en een lithium batterij opgenomen in een 28-pens "caphat" DIL-behuizing of in een 28-pens SMD "snaphat" behuizing (met aparte batterij en kristal). Wanneer geen voedingsspanning aanwezig is, kan de batterij alle data- en clock-functies zeven jaar volhouden. De M48T59(Y) is een niet-vluchtige, pen- en functie-compatibele vervanger van JEDEC-standaard 8 k x 8 SRAM's en kan ook in de plaats van ROM's, EPROM's en EEPROM's worden gebruikt. Net als bij een PROM wordt data vastgehouden, met onbeperkt aantal schrijfoperaties of speciaal aan de timing gestelde eisen. De 28-pens 330 mil SMD-behuizing heeft vergulde contacten, waarop het verwisselbare snaphat-gedeelte met de batterij en kristal geplaatst kan worden. Hierdoor is het mogelijk om eerst de SMDschakeling op de print te bevestigen en daar later de batterij en het kristal op te plaatsen.
Zoals in figuur 8/2.6.2-45 te zien is, zijn het statische geheugen en de kwarts-gestuurde oscillator in één chip geïntegreerd. De twee schakelingen hebben de bovenste acht geheugenplaatsen gemeenschappelijk, waardoor byte-wide klok-informatie beschikbaar is op de adressen 1FF8h tot en met 1FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd. Byte 1FF8h is het klok-besturingsregister. Dit byte geeft de gebruiker toegang tot de klok, terwijl hier ook de data voor klok-calibratie wordt opgeslagen. De acht klok-bytes zijn niet de clocktellers zelf maar geheugenplaatsen, bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T59(Y) heeft een klokbesturingsschakeling die de klokbytes eenmaal per seconde ververst. De klok-informatie staat de gebruiker op dezelfde manier ter beschikking als data op alle andere locaties in het statische geheugen.De bytes 1FF2h tot en met 1FF5h zijn gereserveerd voor het programmeren van de wekker. Hiermee wordt een aktief-LAAG signaal op de $\overline{IRQ}$/FT-pen gezet als de alarm-bytes overeenkomen met de datum, uren, minuten en seconden van de klok. De M48T59 en M48T59Y (verschillende Write-Protect Spanningen) hebben een eigen power-fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Wordt V_{CC} te laag, dan schakelt de schrijf-beveiliging in, zodat het geheugen geen data meer opneemt. Daalt V_{CC} vervolgens tot minder dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de klok te handhaven totdat de voedingsspanning terugkeert.

Specificaties

- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + watchdog-timer + batterij
- Frequency Test-uitgang voor Real Time Clock
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde informatie
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning:
  M48T59: 4,5 V $\leq V_{PFD} \leq$ 4,75 V
  M48T59Y: 4,2 V $\leq V_{PFD} \leq$ 4,5 V
- signalering van lage batterijspanning
- microprocessor power-on reset
- programmeerbaar wekker-signaal (ook aktief in battery back-up mode)
- behuizingen: 28-pens 0,6" CAPHAT DIL- (incl. batterij en kristal) of 28-pens 0,33" SNAPHAT (SOH44) SMD-behuizing met aparte batterij en kristal

2.6 Type-beschrijving Zero-Power statische RAM's

- 7 jaar behoud van data bij afwezigheid van voeding
- pen- en functie-compatibel met JEDEC standaard 8 k x 8 SRAM's
- fabrikant: SGS Thomson



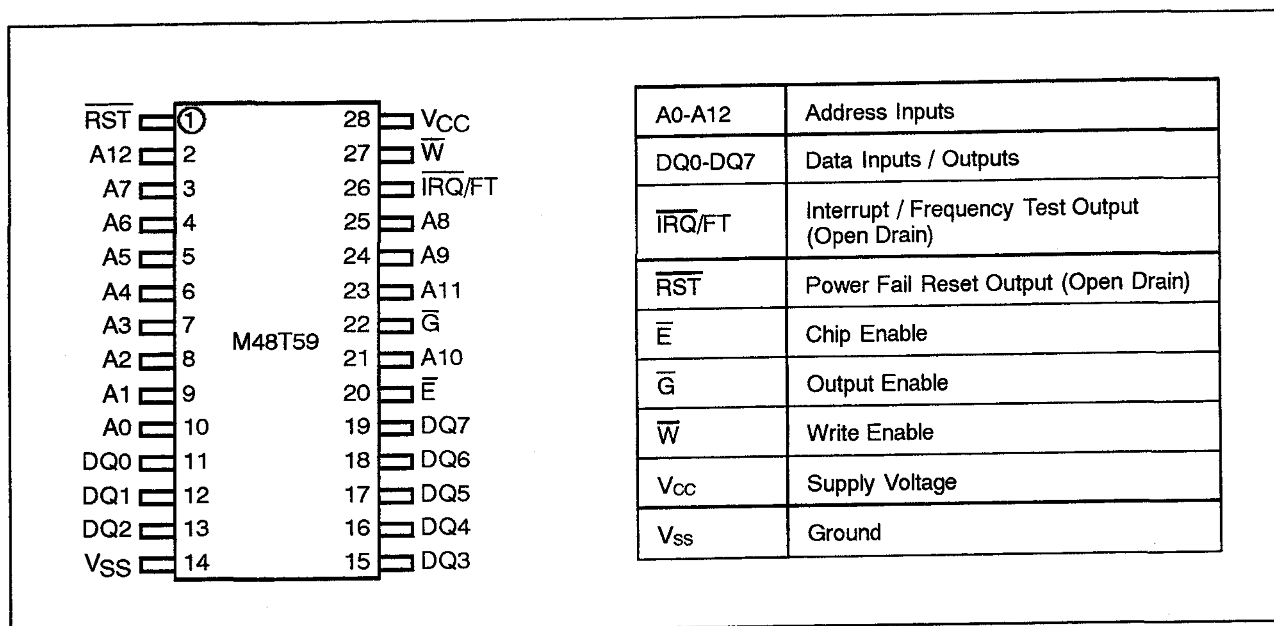
Figuur 8/2.6.2-45: Blokschema van de M48T59 of M48T59Y.

Mode	Vcc	$\overline{E}$	$\overline{G}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.75V to 5.5V or 4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

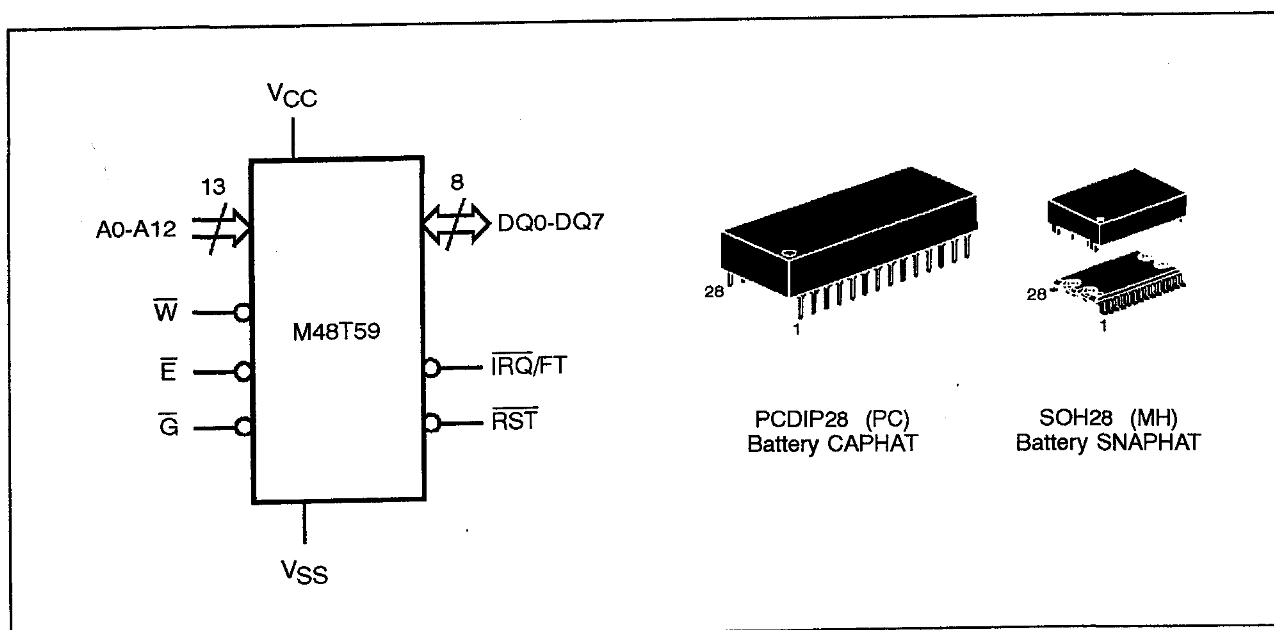
Tabel 8/2.6.2-42: Bedrijfsmodes van de M48T59(Y).

2.6 Type-beschrijving Zero-Power statische RAM's



A0-A12	Address Inputs
DQ0-DQ7	Data Inputs / Outputs
$\overline{IRQ}$/FT	Interrupt / Frequency Test Output (Open Drain)
$\overline{RST}$	Power Fail Reset Output (Open Drain)
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.2-46: Aansluitingen en signalen van de M48T59(Y) (zowel DIL- als SMD-behuizing).



Figuur 8/2.6.2-47: Logisch schema, PCDIP28 (PC) en SOH28 (MH)-behuizing van de M48T59(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-43: Maximaal toegelaten waarden van de M48T59(Y).

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL} (2)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{IRQ}$/FT and $\overline{RST}$) (3)	I_{OL} = 10mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Negative spikes of -1V allowed for up to 10ns once per Cycle.
3. The $\overline{IRQ}$/FT and $\overline{RST}$ pins are Open Drain.

Tabel 8/2.6.2-44: Gelijkspanningskarakteristieken van de M48T59(Y).

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T59)	4.5	4.6	4.75	V
V_{PFD}	Power-fail Deselect Voltage (M48T59Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	7			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

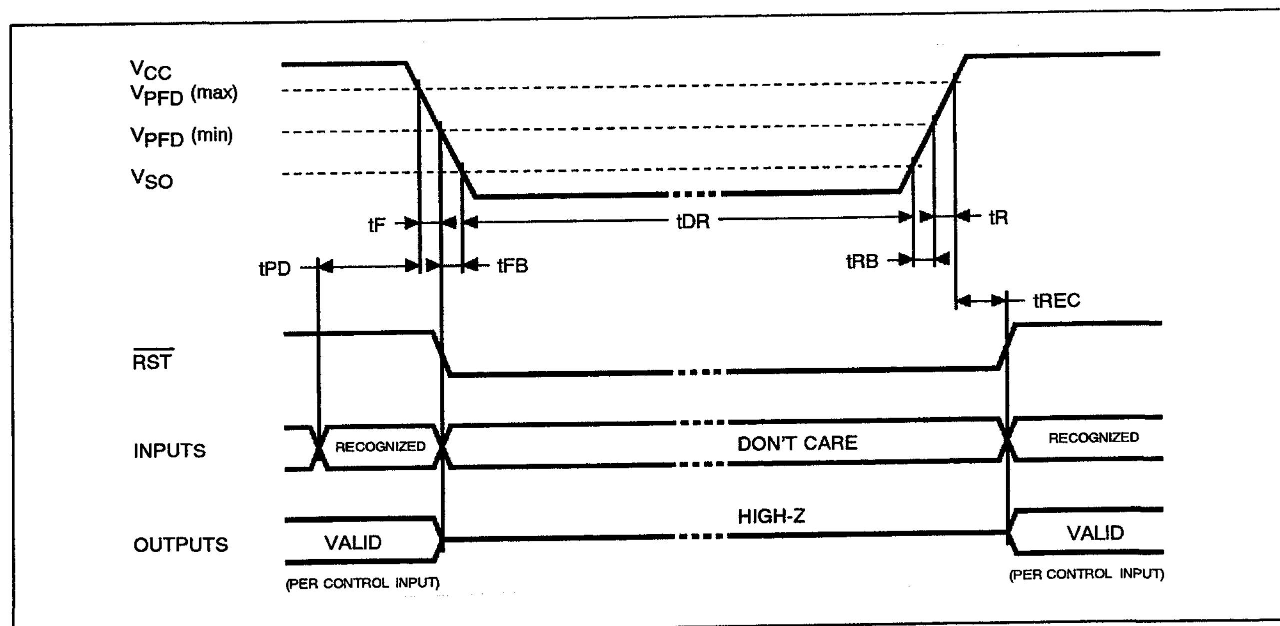
Tabel 8/2.6.2-45: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ or $\overline{W}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to $\overline{RST}$ High	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-46: Power Up/Down timing (zie ook figuur 8/2.6.2-30).



Figuur 8/2.6.2-48: Golfvormen en timing tijdens Power Up/Down.

Lees-mode

De M48T59(Y) kan worden uitgelezen als $\overline{W}$ (Write Enable) HOOG en $\overline{E}$ (Chip Enable) LAAG is. Door middel van 13 adreslijnen zijn 8.192 data-bytes direkt toegankelijk. Geldige data is binnen t_{AVQV} (Address Access Time) nadat het laatste adressignaal stabiel is geworden, op de data I/O-pennen aanwezig, mits aan de toegangstijden van $\overline{E}$ en $\overline{G}$ (Output Enable) wordt voldaan (zie figuur 8/2.6.2.49).

Wordt niet aan deze tijden voldaan, dan wordt de data pas na t_{ELQV} (Chip Enable Access Tijd) of t_{GLQV} (Output Enable Access Tijd) geldig (welke het laatst komt). De toestand van de acht 3-state data I/O-signalen wordt bestuurd door $\overline{E}$ en $\overline{G}$. Als de uitgangen aktief worden vóór t_{AVQV}, dan zijn de signalen onbepaald; veranderen de adressignalen terwijl $\overline{E}$ en $\overline{G}$ nog aktief zijn, dan blijft de data nog geldig gedurende t_{AXQX} (Output Data Hold Time).

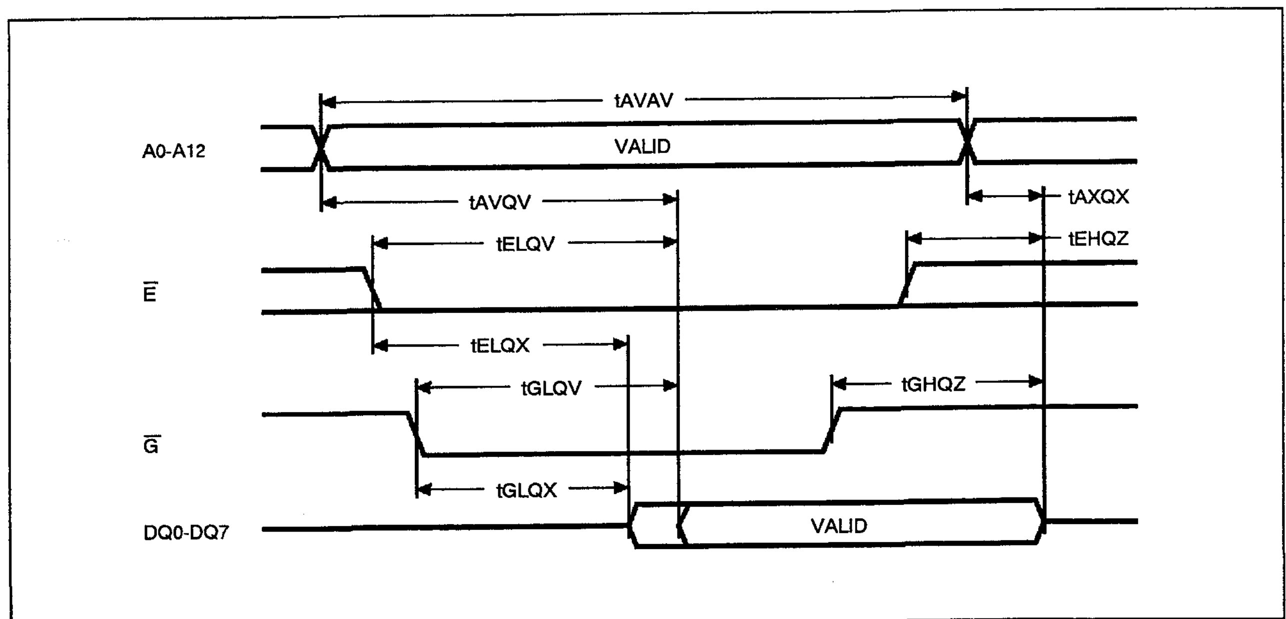
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T59 / 59Y -70 Min	M48T59 / 59Y -70 Max	Unit
t_{AVAV}	Read Cycle Time	70		ns
t_{AVQV} (1)	Address Valid to Output Valid		70	ns
t_{ELQV} (1)	Chip Enable Low to Output Valid		70	ns
t_{GLQV} (1)	Output Enable Low to Output Valid		35	ns
t_{ELQX} (2)	Chip Enable Low to Output Transition	5		ns
t_{GLQX} (2)	Output Enable Low to Output Transition	5		ns
t_{EHQZ} (2)	Chip Enable High to Output Hi-Z		25	ns
t_{GHQZ} (2)	Output Enable High to Output Hi-Z		25	ns
t_{AXQX} (1)	Address Transition to Output Transition	10		ns

Notes: 1. C_L = 100pF
2. C_L = 5pF

Tabel 8/2.6.2-47: Timing van het uitlezen van de M48T59(Y).



Figuur 8/2.6.2-49: Golfvormen bij het uitlezen van de M48T59(Y).

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.75V to 5.5V or 4.5V to 5.5V)

Symbol	Parameter	M48T59 / 59Y		Unit
		-70		
		Min	Max	
t_{AVAV}	Write Cycle Time	70		ns
t_{AVWL}	Address Valid to Write Enable Low	0		ns
t_{AVEL}	Address Valid to Chip Enable Low	0		ns
t_{WLWH}	Write Enable Pulse Width	50		ns
t_{ELEH}	Chip Enable Low to Chip Enable High	55		ns
t_{WHAX}	Write Enable High to Address Transition	0		ns
t_{EHAX}	Chip Enable High to Address Transition	0		ns
t_{DVWH}	Input Valid to Write Enable High	30		ns
t_{DVEH}	Input Valid to Chip Enable High	30		ns
t_{WHDX}	Write Enable High to Input Transition	5		ns
t_{EHDX}	Chip Enable High to Input Transition	5		ns
t_{WLQZ} (1, 2)	Write Enable Low to Output Hi-Z		25	ns
t_{AVWH}	Address Valid to Write Enable High	60		ns
t_{AVE1H}	Address Valid to Chip Enable High	60		ns
t_{WHQX} (1, 2)	Write Enable High to Output Transition	5		ns

Notes: 1. C_L = 5pF
2. If $\overline{E}$ goes low simultaneously with $\overline{W}$ going low, the outputs remain in the high impedance state.

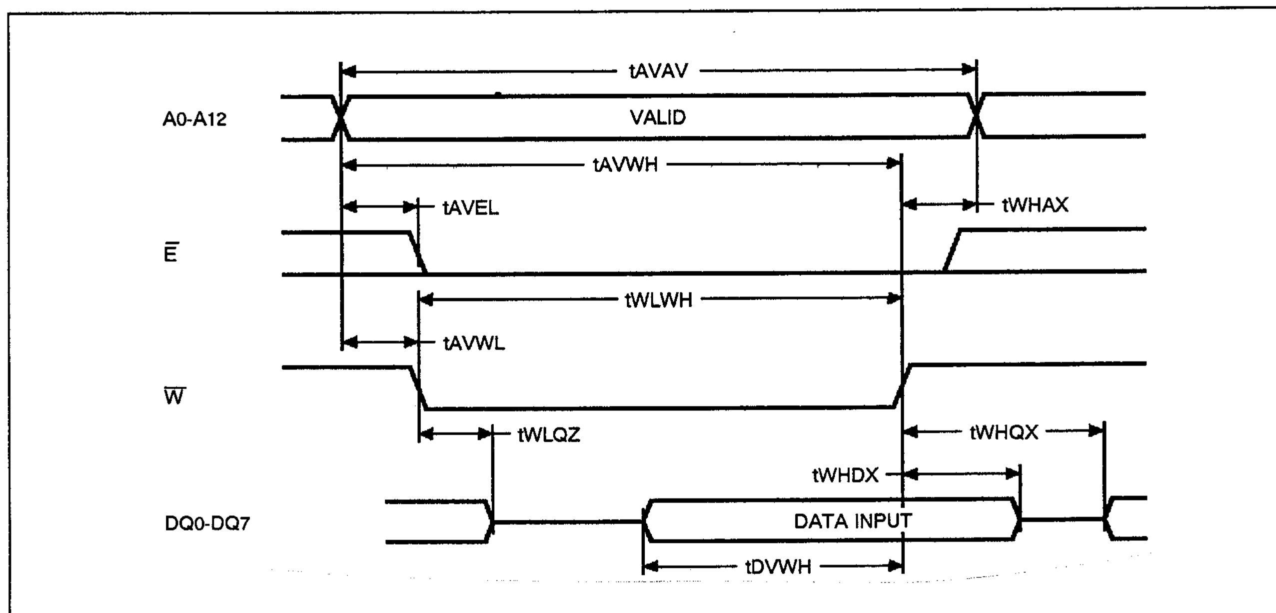
Tabel 8/2.6.2-48: Timing van schrijf-operaties in de M48T59(Y) (zie ook de figuren 8/2.6.2-50 en -51).

Schrijf-mode

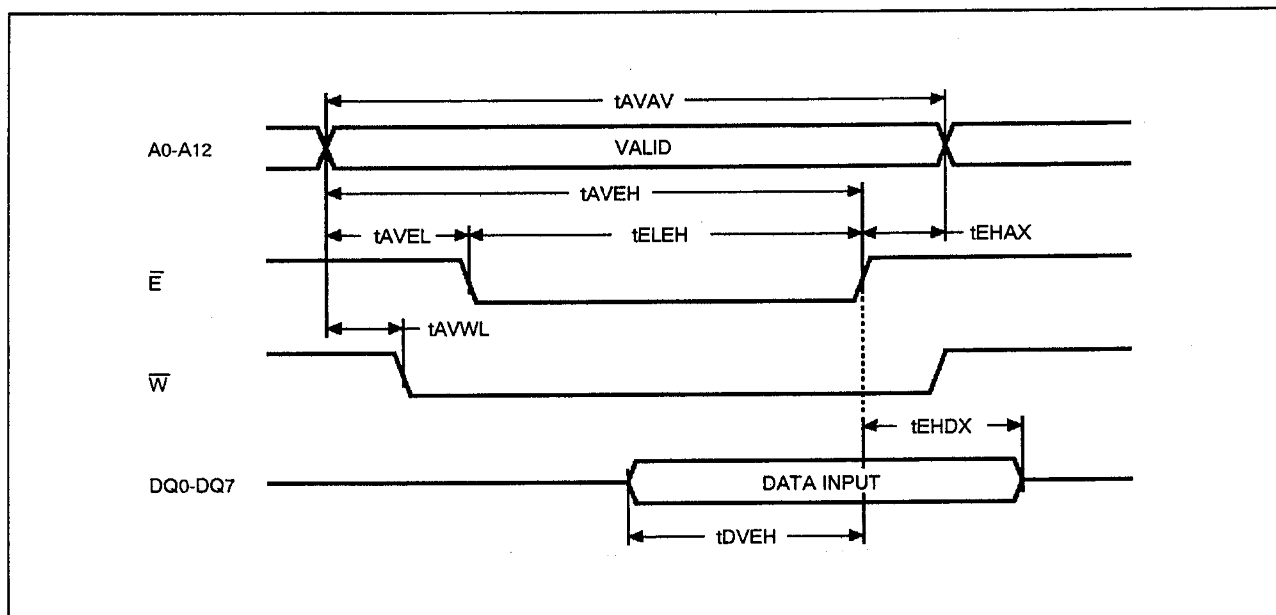
De M48T59(Y) staat in de schrijfmode als $\overline{W}$ en $\overline{E}$ LAAG zijn (zie ook de figuren 8/2.6.2-50 en -51). Het schrijven kan beginnen op de laatst optredende dalende flank van $\overline{W}$ of $\overline{E}$ en het schrijven stopt op de eerst optredende stijgende flank van één van de twee. Het adres moet gedurende de gehele cyclus geldig blijven. Vóór de initialisatie van een nieuwe schrijfcyclus moeten $\overline{E}$ of $\overline{W}$ gedurende minimaal t_{EHAX} na Chip Enable of t_{WHAX} na Schrijf Enable HOOG gaan. Data-in moet minimaal t_{DVWH} vóór het einde van de schrijfcyclus geldig zijn en tot t_{WHDX} geldig blijven. Tijdens het schrijven moet $\overline{G}$ HOOG blijven om busconflicten te vermijden.

(wordt vervolgd)

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-50: Golfvormen bij door Write Enable bestuurde schrijfcycli in de M48T59(Y).



Figuur 8/2.6.2-51: Golfvormen bij door Chip Enable bestuurde schrijfcycli in de M48T59(Y).

Vasthouden van de data

Zolang V_{cc} binnen de toleranties blijft, werkt de M48T59(Y) als een gewone byte-wide statische RAM. Door verlaging van V_{cc} wordt automatisch de Power-fail Deselect geaktiveerd, waarbij in het V_{cc}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijfbeveiliging inschakelt. Alle uitgangen worden dan zwevend (hoog-impedant) en alle ingangen "don't care". De interne lithium batterij kan data tenminste 7 jaar vasthouden. Als de power-fail tijdens een schrijfcyclus optreedt kan wel data op het geselecteerde adres beschadigd worden, maar niet op de overige adressen. Het wordt aangeraden V_{cc} te ontkoppelen.

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
1FFFh	10 Years				Year				Year	00-99
1FFEh	0	0	0	10 M.	Month				Month	01-12
1FFDh	0	0	10 Date		Date				Date	01-31
1FFCh	0	FT	0	0	0	Day			Day	01-07
1FFBh	0	0	10 Hours		Hours				Hour	00-23
1FFAh	0	10 Minutes			Minutes				Minutes	00-59
1FF9h	ST	10 Seconds			Seconds				Seconds	00-59
1FF8h	W	R	S	Calibration					Control	
1FF7h	WDS	BMB4	BMB3	BMB2	BMB1	BMB0	RB1	RB0	Watchdog	
1FF6h	AFE	Y	ABE	Y	Y	Y	Y	Y	Interrupts	
1FF5h	RPT4	Y	Al. 10 Date		Alarm Date				Alarm Date	01-31
1FF4h	RPT3	Y	Al. 10 Hours		Alarm Hours				Alarm Hours	00-23
1FF3h	RPT2	Alarm 10 Minutes			Alarm Minutes				Alarm Minutes	00-59
1FF2h	RPT1	Alarm 10 Seconds			Alarm Seconds				Alarm Seconds	00-59
1FF1h	Y	Y	Y	Y	Y	Y	Y	Y	Unused	
1FF0h	WDF	AF	Z	BL	Z	Z	Z	Z	Flags	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'
Y = '1' or '0'
Z = '0' and are Read only
AF = Alarm Flag
BL = Battery Low

WDS = Watchdog Steering Bit
BMB0-BMB4 = Watchdog Multiplier Bits
RB0-RB1 = Watchdog Resolution Bits
AFE = Alarm Flag Enable
ABE = Alarm in Battery Back-up Mode Enable
RPT1-RPT4 = Alarm Repeat Mode Bits
WDF = Watchdog Flag

Tabel 8/2.6.2-49: Overzicht van de tijdregisters.

Als V_{CC} weer boven V_{SO} uitkomt wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.

Power-on reset
De M48T59(Y) houdt voortdurend V_{CC} in de gaten. Als die onder het power-fail detectietrippoint komt, gaat de open-drain $\overline{RST}$-uitgang (gebruik een 1 kΩ optrekweerstand) gedurende 40 tot 200 ms LAAG nadat V_{CC} V_{PFD} is gepasseerd. Als V_{CC} op V_{SS}-niveau is, blijft de resetpuls actief.

Uitlezen van de klok
Het verversen van de TIMEKEEPER-registers moet tijdelijk worden gestopt voordat de klok-informatie wordt uitgelezen om fouten te voorkomen. Omdat de BiPORT

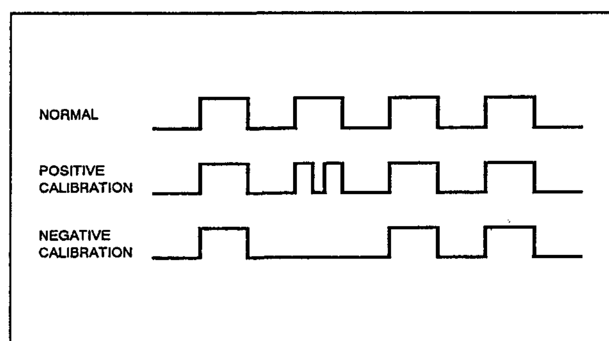
2.6 Type-beschrijving Zero-Power statische RAM's

TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd zonder de werking van de klok zelf te verstoren.
Het verversen stopt als het READ-bit (D6 in het besturingsregister 1FF8h) "1" wordt gemaakt. De registers geven dan de laatste stand weer: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen één seconde nadat het READ-bit op "0" is gereset, wordt er ververst.

Het gelijkzetten van de klok
Bit D7 van het besturingsregister 1FF8h is het WRITE-bit. Wordt dit "1" gemaakt, dan wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de juiste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-49). Zodra het WRITE-bit weer "0" is, worden de waarden van alle tijdregisters (1FF9h tot en met 1FFFh) overgebracht naar de eigenlijke TIMEKEEPER-tellers, waarna de werking binnen één seconde weer normaal is.

Starten en stoppen van de oscillator
De oscillator kan op elk willekeurig moment worden gestopt. Als de schakeling bijvoorbeeld lang niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het seconden-register is het STOP-bit. Wordt dit "1" gemaakt, dan stopt de oscillator. De M48T59(Y) wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

Calibreren van de klok
De M48T59(Y) wordt aangedreven door een kwarts-gestabiliseerde oscillator met een nominale frequentie van 32,768 kHz. De schakelingen worden in de fabriek getest op een maximale fout van 35 ppm ($35*10^{-6}$), overeenkomende met ongeveer +/-1,53 minuut per maand. Aangezien de oscillatiefrequentie van elk kristal temperatuursafhankelijk is, moeten maatregelen worden getroffen. Vaak gebeurt dat in de vorm van trimcondensatoren, maar bij de M48T59(Y) is gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-52). Het aantal keren dat pulsen worden overgeslagen (negatieve calibratie) of bijgeteld (positieve calibratie) hangt af van de waarde die in het 5 bit calibratiebyte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.



Figuur 8/2.6.2-52: Calibratie van de klok.

Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister 1FF8h en kan dus waarden in binaire vorm tussen 0 en 31 bevatten. Bit D5 is het tekenbit ("1" = positieve calibratie; "0" = negatieve). Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen, eenmaal per minuut, een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus bijgesteld; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts. Daarom heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillator-cycli. Dit komt overeen met een afregeling

van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register.
Als wordt aangenomen dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T59(Y) moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel testapparatuur voor nodig. Hierbij wordt gebruik gemaakt van de $\overline{IRQ}$/FT-pen. Deze pen toggelt op 512 Hz als het Stop-bit = "0" (D7 van 1FF9h) is, het FT-bit = "1" (D6 in 1FFCh), het AFE-bit = "0" (D7 in 1FF6h) en de Watchdog Steering-bit = "1" (D7 in 1FF7h), of als het Watchdog-register (1FF7h = "0") gereset is. Elke afwijking van 512 Hz geeft een mate en richting van de fout aan. 512,01024 Hz is bijvoorbeeld een fout van +20 ppm, die met -10 ("001010") in het calibratie-byte gecorrigeerd kan worden.
De $\overline{IRQ}$/FT-pen is een open-drain uitgang die een optrekweerstand van 500 Ω - 10 kΩ nodig heeft. Het FT-bit wordt bij het opkomen van de voedingsspanning gecleared.

Het zetten van de wekker

De registers 1FF5h tot en met 1FF2h bevatten de alarm-instellingen. De wekker kan afgaan op een van te voren bepaalde tijd (dag en maand) of elke dag op een bepaalde tijd. Hij kan ook worden geprogrammeerd om af te gaan terwijl de M48T59(Y) in de battery back-up mode staat om het systeem "wakker te maken".
RPT1 tot en met RPT4 zetten de wekker in de repeat-mode. In tabel 8/2.6.2.50 zijn de mogelijke instellingen te zien. Codes die niet in deze tabel voorkomen, verwijzen automatisch (default) naar de 1x/seconde-mode om de gebruiker te wijzen op een niet-correcte alarm-instelling. Wanneer de klok-informatie overeenkomt met de wekker-instellingen (afhankelijk van de in RPT1 tot en met RPT4 vastgelegde criteria), wordt de Alarm Flag (AF) gezet. Als AFE (Alarm Flag Enable) dan ook is gezet, aktiveert de alarm-conditie de $\overline{IRQ}$/FT-pen. De alarm-flag en de $\overline{IRQ}$/FT-uitgang worden gecleared door een lees-operatie in het Flags-register (zie figuur 8/2.6.2-53).
De $\overline{IRQ}$/FT-pen kan ook worden geaktiveerd in de battery back-up mode. De $\overline{IRQ}$/FT-uitgang gaat LAAG als een alarm optreedt, als ABE (Alarm in Battery Back-up mode Enable) en AFE beide zijn gezet. De ABE en AFE bits worden tijdens power-up gereset. Treedt dus een alarm op bij het opkomen van de voeding, dan wordt alleen AF gezet. De gebruiker kan het Flags-register tijdens systeem boot-up uitlezen om te kijken of er toevallig een alarm werd gegenereerd toen de M48T59(Y) in de deselect-mode tijdens power-up stond. De back-up mode alarm-timing is in figuur 8/2.6.2-54 te zien.

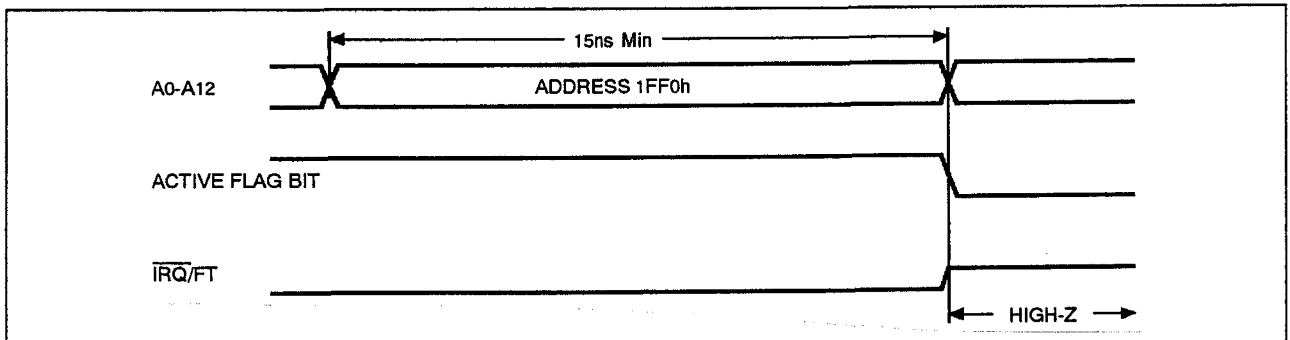
RPT4	RPT3	RPT2	RPT1	Alarm Activated
1	1	1	1	Once per Second
1	1	1	0	Once per Minute
1	1	0	0	Once per Hour
1	0	0	0	Once per Day
0	0	0	0	Once per Month

Tabel 8/2.6.2-50: Repeat-mode instellingen voor de wekker.

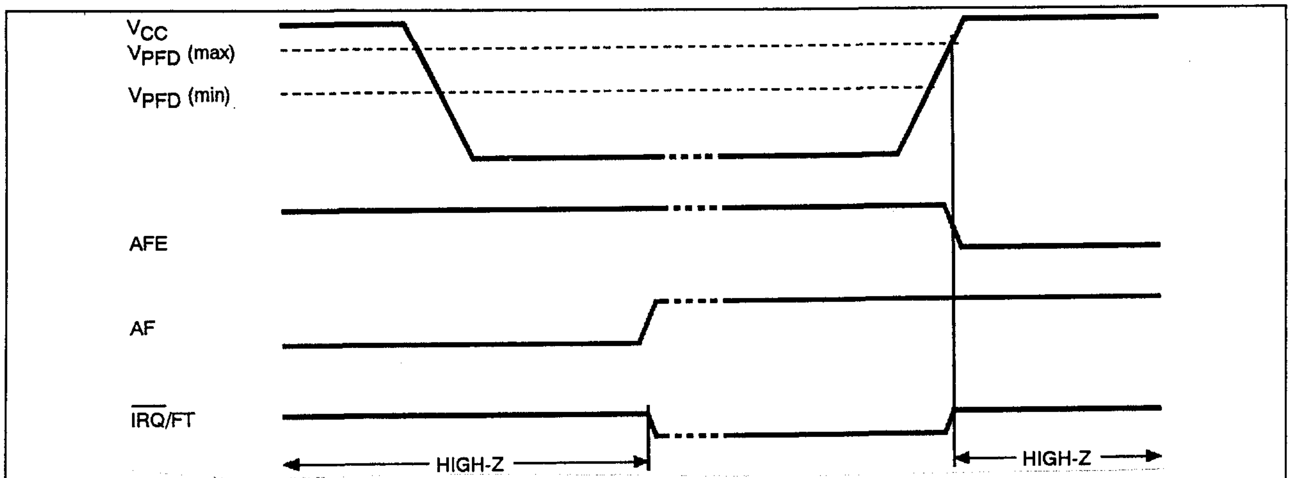
Watchdog Timer

De watchdog-timer kan worden gebruikt om te detecteren of de microprocessor de besturing van het systeem heeft verloren. De watchdog-timer wordt geprogrammeerd door de gewenste hoeveelheid time-out in het 8 bit Watchdog-register (1FF7h) te zetten.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-53: Golfvormen bij het resetten van de interrupt.

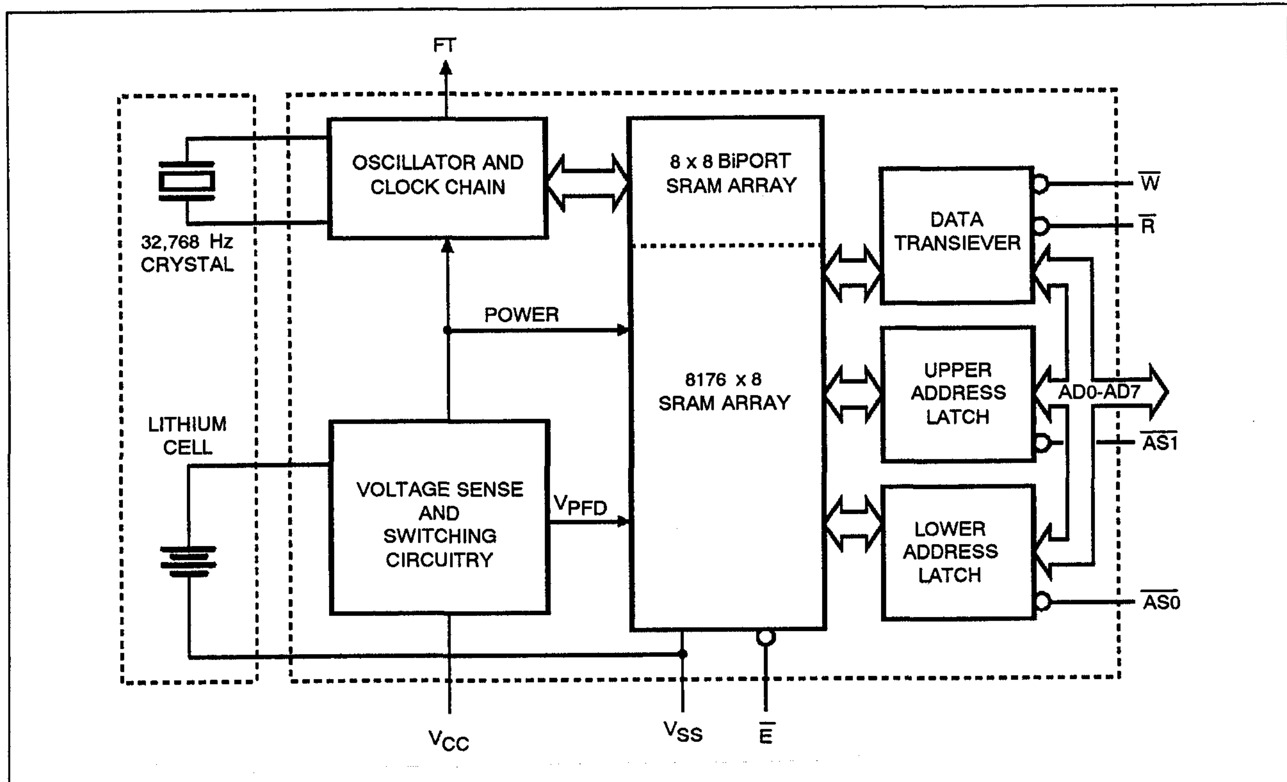


Figuur 8/2.6.2-54: Golfvormen bij alarm in de Back-up Mode.

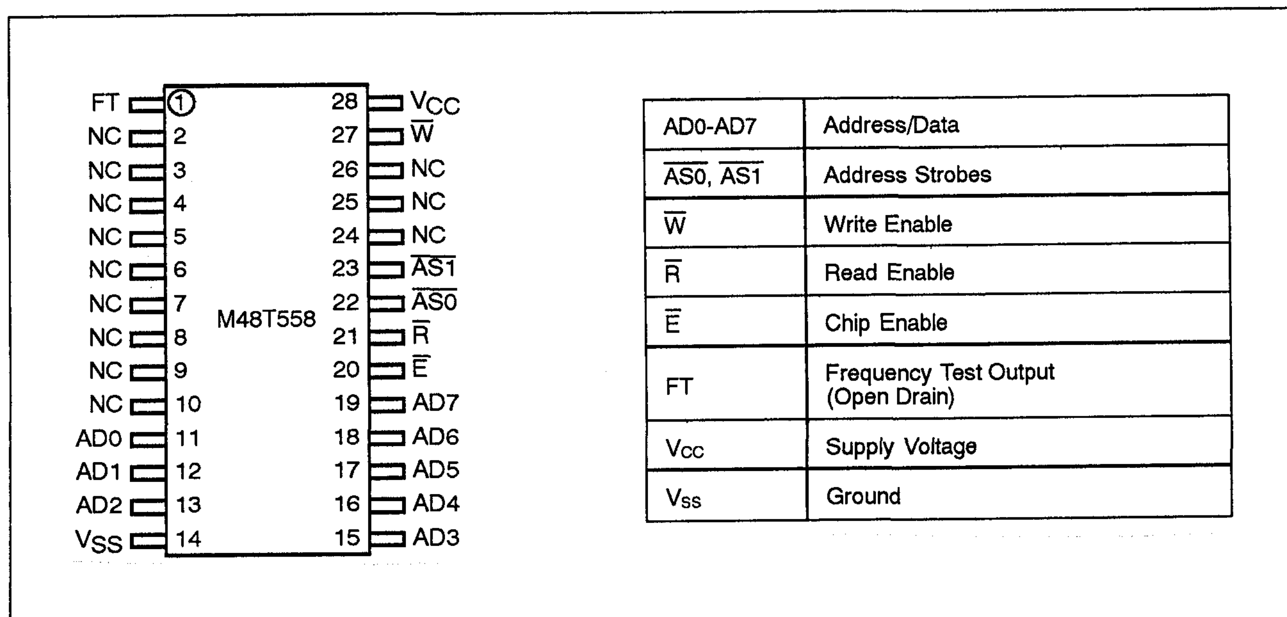
In de vijf bits (BMB4 tot en met BMB0) wordt een binaire vermenigvuldiger opgeslagen en in de twee lagere bits (RB1 en RB0) de resolutie, waarbij "00" = 1/16 seconde, "01" = 1/4 seconde, "10" = 1 seconde en "11" = 4 seconden. De grootte van de time-out bestaat uit het produkt van de vermenigvuldigingsfactor en de resolutie. Wanneer bijvoorbeeld "00001110" in het watchdog-register wordt geschreven, bedraagt de time-out 3 x 1 = 3 seconden. Als de processor de timer niet binnen deze tijd reset, zet de M48T59(Y) de watchdog-vlag (WDF) en wordt een watchdog-interrupt of een microprocessor-reset gegenereerd.

Het belangrijkste bit van het Watchdog-register is het Watchdog Steering Bit. Wordt dit op "0" gezet, dan zal de watchdog (na time-out) de $\overline{IRQ}$/FT-pen aktiveren. Als WDS op "1" is gezet, zal de watchdog gedurende 40 tot 200 ms een negatieve puls op de $\overline{RST}$-pen zetten. Het Watchdog-register en het FT-bit worden dan aan het einde van een watchdog time-out op "0" gereset. De watchdog-timer wordt telkens gereset als de microprocessor een lees-operatie uitvoert in het Watchdog-register. De time-out begint dan opnieuw. De watchdog-timer wordt gesperd door alle acht bits van het Watchdog-register "0" te maken. De watchdog-functie is bij power-up automatisch gesperd, terwijl het Watchdog-register dan wordt geleegd. Als de watchdog-functie is ingesteld om de $\overline{IRQ}$/FT-pen beïnvloeden en de frequentietest functie is geaktiveerd, heeft de watchdog-functie voorrang en gaat de frequentietest niet door.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-55: Blokschema van de M48T558Y.



AD0-AD7	Address/Data
$\overline{AS0}$, $\overline{AS1}$	Address Strobes
$\overline{W}$	Write Enable
$\overline{R}$	Read Enable
$\overline{E}$	Chip Enable
FT	Frequency Test Output (Open Drain)
V_{CC}	Supply Voltage
V_{SS}	Ground

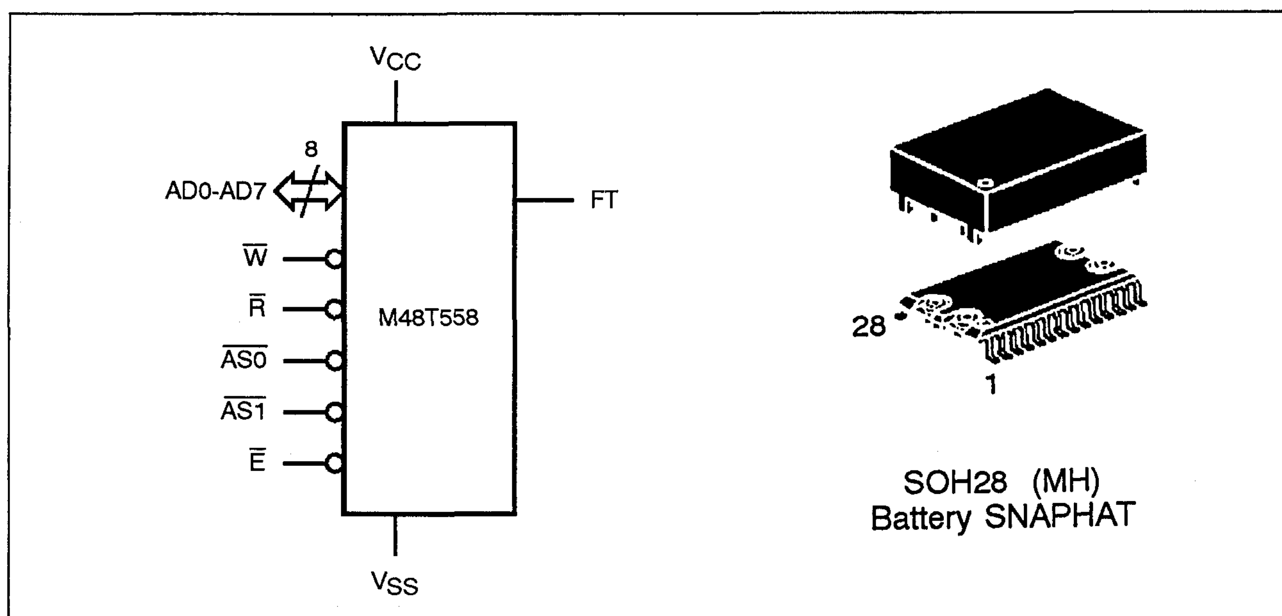
Figuur 8/2.6.2-56: Aansluitingen en signalen van de M48T558Y (NC = niet aangesloten).

2.6 Type-beschrijving Zero-Power statische RAM's

Mode	Vcc	$\overline{E}$	$\overline{R}$	$\overline{W}$	DQ0-DQ7	Power
Deselect	4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	≤ V_{SO}	X	X	X	High Z	Battery Back-up Mode

Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.2-51: Bedrijfsmodes van de M48T558Y.



Figuur 8/2.6.2-57: Logisch schema en SOH28 (MH)-behuizing van de M48T558Y.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-52: Maximaal toegelaten waarden van de M48T558Y.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO} (1)	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±5	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} - 0.2V		3	mA
V_{IL} (2)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage (FT) (3)	I_{OL} = 10mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Negative spikes of -1V allowed for up to 10ns once per cycle.
3. The FT pin is Open Drain.

Tabel 8/2.6.2-53: Gelijkspanningskarakteristieken van de M48T558Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T558Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR} (2)	Expected Data Retention Time	7			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

Tabel 8/2.6.2-54: Gelijkspanningskenmerken van de Power Up/Down trip-points.

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to Inputs Recognized	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-55: Power Up/Down timing (zie ook figuur 8/2.6.2-58).

2.6 Type-beschrijving Zero-Power statische RAM's

Battery Low waarschuwing
De M48T59(Y) controleert de batterijspanning tijdens power-up. Als de batterijspanning dan lager is dan 2,5 V zal het BL-bit (Battery Low: D4 in 1FF0h) worden gezet.
Bij het opkomen van de voedingsspanning zijn de volgende registers in een "0"-toestand gezet:
- WDS = "0";
- BMB0 tot en met BMB4 = "0";
- RB0 en RB1 = "0";
- AFE = "0";
- ABE = "0".

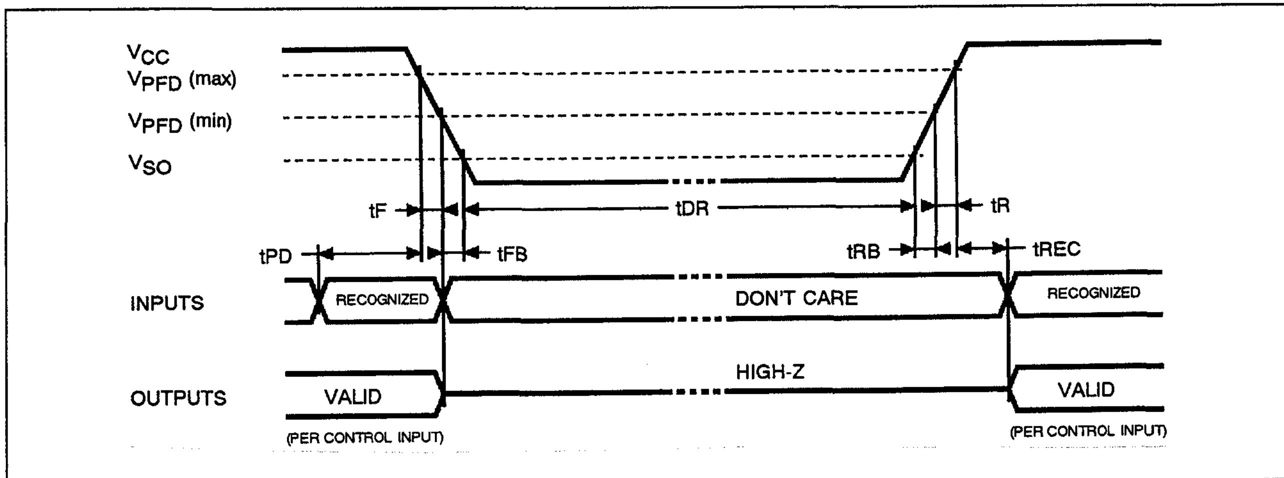
M48T558Y
CMOS 8 k x 8 Timekeeper SRAM met gemultiplexte adres/data-lijnen

De M48T558Y is een 8 k x 8 bit niet-vluchtige statische RAM met een real-time clock en een lithium batterij, die in een speciale 28-pens 0,33" SMD "snaphat" behuizing is opgenomen. Om het aantal aansluitingen te beperken zijn de data- en adreslijnen gemultiplext uitgevoerd. Bij afwezigheid van de voedingsspanning kan de knoopcel alle data- en clock-functies gedurende minstens zeven jaar volhouden. De 28-pens SMD-behuizing heeft vergulde contacten voor het "snaphat"-gedeelte met de batterij en het kristal. Dit ontwerp maakt het mogelijk om eerst de SMD-schakeling op een print te bevestigen (reflow) en daar later het gedeelte met de batterij en het kristal op te plaatsen.
Zoals figuur 8/2.6.2-55 toont, zijn het statische geheugen-array en de kwartsgestuurde oscillator op één chip geïntegreerd. Beide schakelingen hebben de bovenste acht geheugenplaatsen gemeenschappelijk, waardoor byte-wide klokinformatie beschikbaar is op de adressen 1FF8h tot en met 1FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd. Byte 1FF8h is het klok-besturingsregister. Via dit byte heeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klok-calibratie wordt opgeslagen. De acht klok-bytes zijn niet de eigenlijke clocktellers, maar geheugenplaatsen bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T558Y beschikt over een klok-besturings-schakeling die de klokbytes eenmaal per seconde ververst.
Ook heeft de M48T558Y een eigen powerfail detectie-schakeling die de 5 V voedingsspanning voortdurend in de gaten houdt. Wordt V_{cc} te laag, dan schakelt de schrijf-beveiliging in en kan het geheugen geen data meer opnemen. Wordt V_{cc} lager dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de clock te handhaven totdat de voedingsspanning terugkeert.

Specificaties
- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + batterij
- gemultiplexte data/adres I/O-lijnen
- byte-wide klok-informatie op RAM-locaties
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- frequentie-test uitgang (FT) voor Real Time Clock
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- Write Protect spanning: $4{,}2\ V \leq V_{PFD} \leq 4{,}5\ V$
- aparte Read- en Write-ingangen
- 28-pens 0,33" SNAPHAT (SOH28) SMD-behuizing met aparte batterij en kristal
- 7 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson

RAM operaties
Er zijn vier besturingssignalen ($\overline{AS0}$, $\overline{AS1}$, $\overline{R}$ en $\overline{W}$) om toegang te krijgen tot de M48T558Y.

2.6 Type-beschrijving Zero-Power statische RAM's



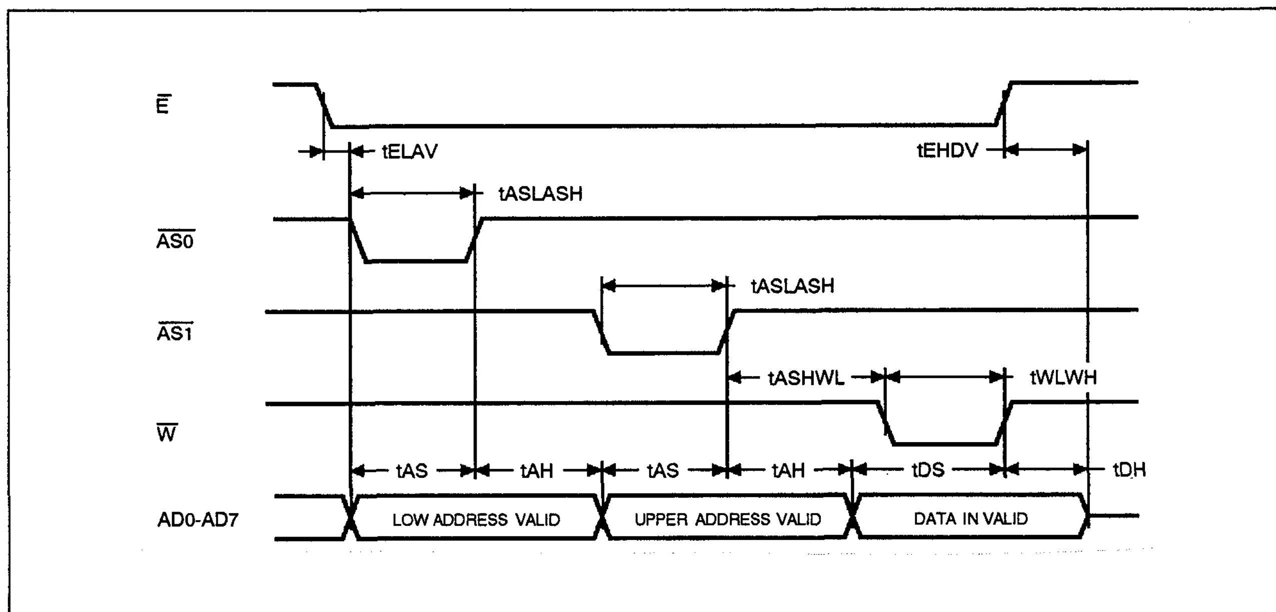
Figuur 8/2.6.2-58: Golfvormen en timing tijdens Power Up/Down.

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

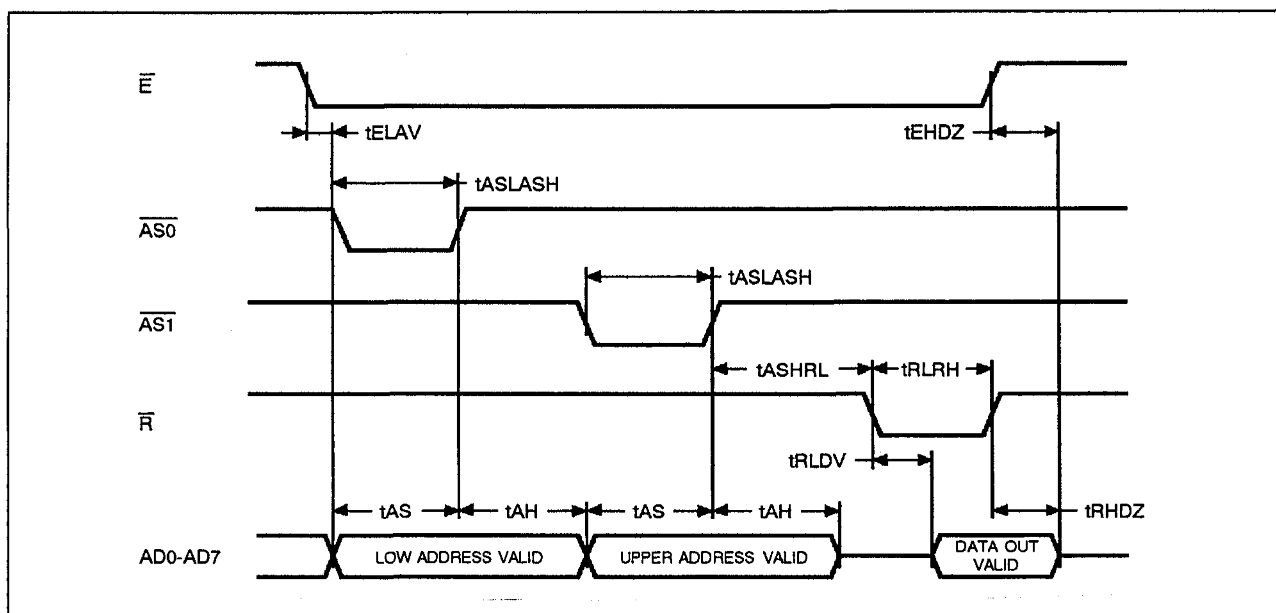
Symbol	Parameter	M48T558Y		Unit
		Min	Max	
t_{AS}	Address Setup Time	20		ns
t_{AH}	Address Hold Time	0		ns
t_{DS}	Data Setup Time	60		ns
t_{DH}	Data Hold Time	0		ns
t_{RLDV}	Read Enable Access Time		70	ns
t_{RLRH}	$\overline{R}$ Pulse Width Low	70		ns
t_{RHDZ}	Read Enable High to Output High Z		25	ns
t_{WLWH}	$\overline{W}$ Pulse Width Low	50		ns
t_{ASLASH}	$\overline{AS0}$, $\overline{AS1}$ Pulse Width Low	15		ns
t_{ASHRL}	$\overline{AS0}$, $\overline{AS1}$ High to $\overline{R}$ Low	15		ns
t_{ASHWL}	$\overline{AS0}$, $\overline{AS1}$ High to $\overline{W}$ Low	15		ns
t_{ELAV}	Chip Enable Low to Address Valid			ns
t_{EHDZ}	CHip Enable High to Data Output Hi-Z			ns
t_{EHDV}	Chip Enable High to Data Valid			ns

Tabel 8/2.6.-56: Schakeltijden bij lezen en schrijven in de M48T558Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-59: Timing en golfvormen bij het schrijven naar de M48T558Y (bij het latchen van het hoogste adres-gedeelte wordt niet gekeken naar de inhoud van AD5 tot en met AD7).



Figuur 8/2.6.2-60: Timing en golfvormen bij het uitlezen van de M48T558Y (bij het latchen van het hoogste adres-gedeelte wordt niet gekeken naar de inhoud van AD5 tot en met AD7).

De adres-latches worden op de stijgende flanken van de Adres Strobes ($\overline{AS0}$ en $\overline{AS1}$) geladen vanaf de adres/data-bus. $\overline{AS0}$ dient om de laagste 8 bits van het adres te latchen, terwijl $\overline{AS1}$ wordt gebruikt voor het latchen van de hoogste 5 adresbits. Let op dat de set-up en hold tijden uit tabel 8/2.6.2-56 in acht worden genomen, omdat anders geen geldige adressen worden gelatcht. Als de hoge en lage adresgedeelten van een vorige cyclus nog in orde zijn, hoeft het adres-latchen niet nog eens te worden uitgevoerd.

2.6 Type-beschrijving Zero-Power statische RAM's

Bij een schrijf-operatie moet geldige data op de bus (AD0 tot en met AD7) worden gezet, gevolgd door het aktiveren van de Write Enable-lijn ($\overline{W}$). Data op de bus wordt in het RAM geschreven als tenminste aan de timing-voorwaarden van de schrijfcyclus wordt voldaan. Tijdens een lees-cyclus moet het Read Enable-signaal ($\overline{R}$) aktief worden gemaakt. Data uit het RAM komt geldig op de bus te staan als aan de timing-voorwaarden wordt voldaan.
De $\overline{W}$- en $\overline{R}$-signalen mogen nooit tegelijk aktief zijn. Bovendien moet $\overline{E}$ aktief zijn vóór welke andere besturingslijn dan ook.

Vasthouden van de data
Zolang V_{cc} aan de specificaties voldoet, ondersteunt de M48T558Y industrie-standaard lees- en schrijf-operaties. Door een verlaging van V_{cc} komt automatisch de "power-fail deselect" in aktie, waarbij in het V_{cc}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijf-beveiliging wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care". Treedt de power-fail op tijdens een schrijfcyclus, dan kan wel data op het geselecteerde adres beschadigd raken, maar niet op de overige adressen. Omdat het mogelijk is dat de M48T558Y op spikes op V_{cc} reageert, wordt het sterk aanbevolen V_{cc} te ontkoppelen. Als V_{cc} lager wordt dan V_{SO}, schakelt de besturingsschakeling de voeding over naar de batterij, die de data minimaal 7 jaar kan vasthouden. Komt V_{cc} daarna weer boven V_{SO} uit, dan wordt de batterij losgekoppeld en tegelijk V_{cc} aangesloten.

Uitlezen van de klok
Het verversen van de TIMEKEEPER-registers moet tijdelijk worden tegengehouden voordat de klok-data wordt uitgelezen om foutieve informatie te voorkomen. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd, zonder de werking van de klok zelf te verstoren. Het verversen stopt als in het READ-bit van het besturingsregister een "1" wordt geschreven (D6 in 1FF8h). De registers bevatten dan de stand van de teller op dat moment: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het bit is gereset op "0" wordt vindt verversing plaats.

Het gelijkzetten van de klok
Bit D7 van het besturingsregister (1FF8h) is het WRITE-bit. Wanneer dit op "1" wordt gezet, wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de gewenste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-57). Zodra het WRITE-bit weer "0" is worden de waarden van alle tijdregisters (1FF9h tot en met 1FFFh) overgebracht naar de TIMEKEEPER-tellers zelf, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid ook echt met nullen gevuld zijn).

Starten en stoppen van de oscillator
De oscillator kan op elk moment worden gestopt. Als men bijvoorbeeld weet dat de schakeling lang niet gebruikt zal worden, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het secondenregister is het STOP-bit van de oscillator. Wordt dit op "1" gezet dan stopt de oscillator. De M48T558Y wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

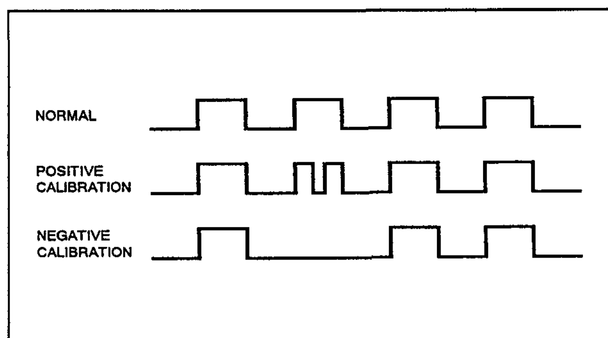
Calibreren van de klok
De M48T558Y wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32,768 kHz. De M48T558Y's worden getest op een fout van maximaal 35 ppm ($35*10^{-6}$) bij 25 °C, wat overeenkomt met ongeveer +/-1,53 minuut per maand. Door calibratie kan de nauwkeurigheid beter worden dan +/-4 ppm bij 25 °C.

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
1FFFh	10 Years				Year				Year	00-99
1FFEh	0	0	0	10 M.	Month				Month	01-12
1FFDh	0	0	10 Date		Date				Date	01-31
1FFCh	0	FT	0	0	0	Day			Day	01-07
1FFBh	0	0	10 Hours		Hours				Hour	00-23
1FFAh	0	10 Minutes			Minutes				Minutes	00-59
1FF9h	ST	10 Seconds			Seconds				Seconds	00-59
1FF8h	W	R	S	Calibration					Control	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit (Must be set to '0' upon power, for normal clock operation)
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'

Tabel 8/2.6.2-57: Overzicht van de tijdregisters.



Figuur 8/2.6.2-61: Calibratie van de klok.

Aangezien de oscillatie-frequentie van elk kristal temperatuursafhankelijk is, moet deze instelbaar zijn. Vaak gebeurt dat in de vorm van trim-condensatoren, maar bij de M48T558Y is gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-61). Het aantal keren dat pulsen worden overgeslagen (afgetrokken: negatieve calibratie) of gesplitst (opgeteld: positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.
Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister (1FF8h) en kan dus waarden tussen 0 en 31 bevatten. Bit D5 is het teken-bit: "1" = positieve, "0" = negatieve calibratie. Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen (eenmaal per minuut) een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzo-

2.6 Type-beschrijving Zero-Power statische RAM's

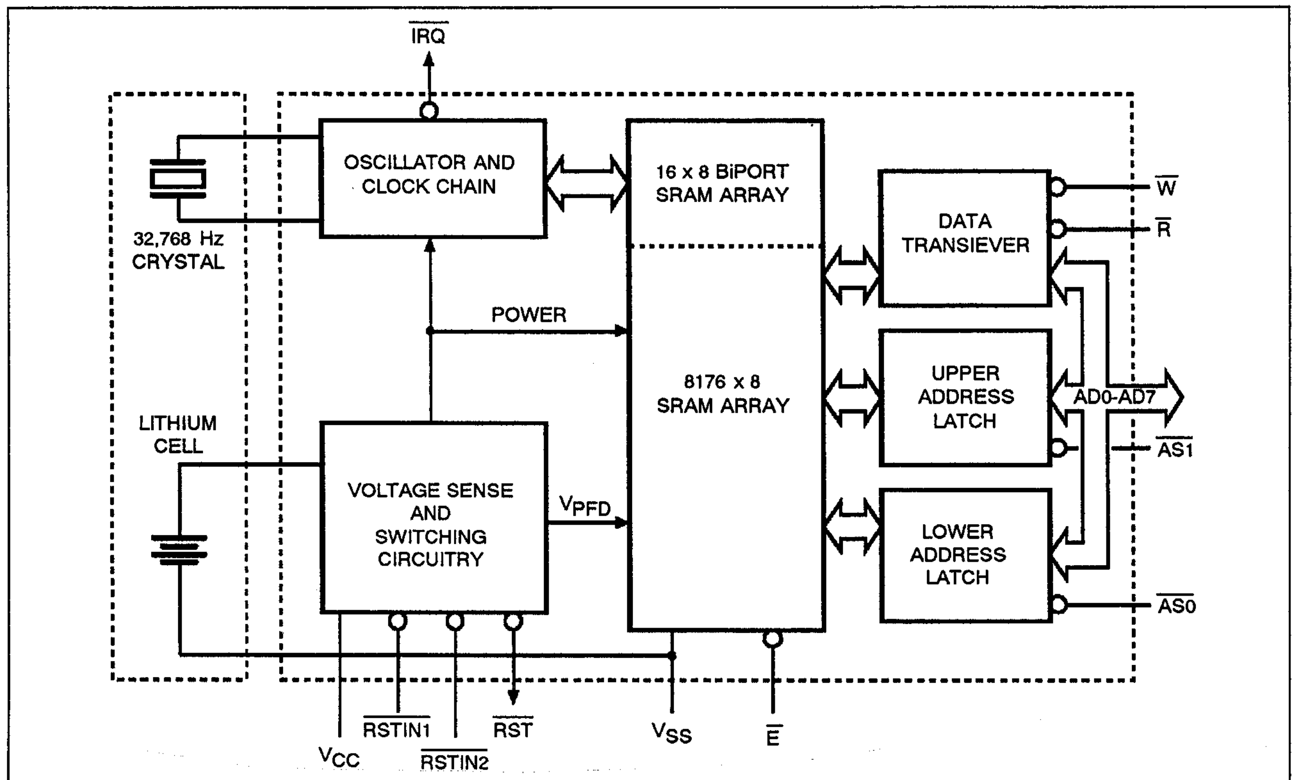
voorts. Daardoor heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillatorcycli. Dit komt overeen met een fijnafregeling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T558Y moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel testapparatuur voor nodig. Hierbij moet het Frequentie Testbit (FT) in het dag-register op "1" worden gezet. Als de oscillator op 32.768 Hz werkt, toggelt de Frequency Test-pen (pen 1) op precies 512 Hz. Elke afwijking moet worden gecompenseerd. 512,01024 Hz is bijvoorbeeld een fout van +20 ppm die met -10 ("001010" in dit calibratie-byte) kan worden verholpen. Het FT-bit wordt met behulp van het WRITE-bit gezet. De Frequency Test-pen is een open-drain uitgang die een optrekweerstand van 500 Ω tot 10 kΩ nodig heeft.

M48T559Y

CMOS 8 k x 8 Timekeeper SRAM + Watchdog-timer met gemultiplexte adres/data-lijnen

De M48T559Y is een 8 k x 8 bit niet-vluchtige statische RAM met een real-time clock en watchdog-timer functies. De monolithische chip is samen met een kristal en een lithium batterij opgenomen in een speciale 28-pens SMD "snaphat" behuizing. Om het aantal aansluitingen te beperken zijn de data- en adreslijnen gemultiplext uitgevoerd. De SMD-behuizing heeft vergulde contacten, waarop het verwisselbare snaphat-gedeelte met de batterij en kristal geplaatst kan worden.
Hierdoor is het mogelijk om eerst de SMD-schakeling op de print te bevestigen en daar later de batterij en het kristal op te plaatsen. Bij afwezigheid van de voedingsspanning kan de batterij alle data- en clock-functies zeven jaar volhouden.
Zoals in figuur 8/2.6.2-62 te zien is, zijn het statische geheugen en de kwarts-gestuurde oscillator samen met de bijbehorende logica op één chip geïntegreerd. De oscillator en het RAM hebben dezelfde bovenste acht geheugenplaatsen gemeenschappelijk, waardoor byte-wide klok-informatie beschikbaar is op de adressen 1FF8h tot en met 1FFFh. De klok-locaties bevatten jaar, maand, datum, dag, uur, minuut en seconde informatie in 24-uurs BCD-formaat. Maanden met 28, 29 (schrikkeljaar), 30 en 31 dagen worden automatisch gecorrigeerd. De acht klok-bytes zijn niet de clock-tellers zelf maar geheugenplaatsen, bestaande uit BiPORT lees/schrijf-geheugencellen. De M48T559Y heeft een klok-besturingsschakeling die de klokbytes eenmaal per seconde ververst. De klok-informatie staat de gebruiker op dezelfde manier ter beschikking als data op alle andere locaties in het statische geheugen.
Byte 1FF8h is het klok-besturingsregister. Dit byte geeft de gebruiker toegang tot de klok, terwijl hier ook de instelling voor klokcalibratie wordt opgeslagen.
Byte 1FF7h bevat de watchdog-timer instelling. De watchdog-timer detecteert wanneer de microprocessor de controle verliest en stuurt er dan een reset of een interrupt naar toe. De bytes 1FF2h tot en met 1FF5h zijn gereserveerd voor het programmeren van de wekker. De M48T559Y heeft een eigen power-fail detectie-schakeling die voortdurend de 5 V voeding in de gaten houdt. Wordt V_{cc} te laag, dan schakelt de schrijf-beveiliging in, zodat het geheugen geen data meer opneemt. Daalt V_{cc} vervolgens tot minder dan ongeveer 3 V, dan wordt de batterij ingeschakeld om de data en de werking van de klok te handhaven totdat de voedingsspanning terugkeert.

2.6 Type-beschrijving Zero-Power statische RAM's



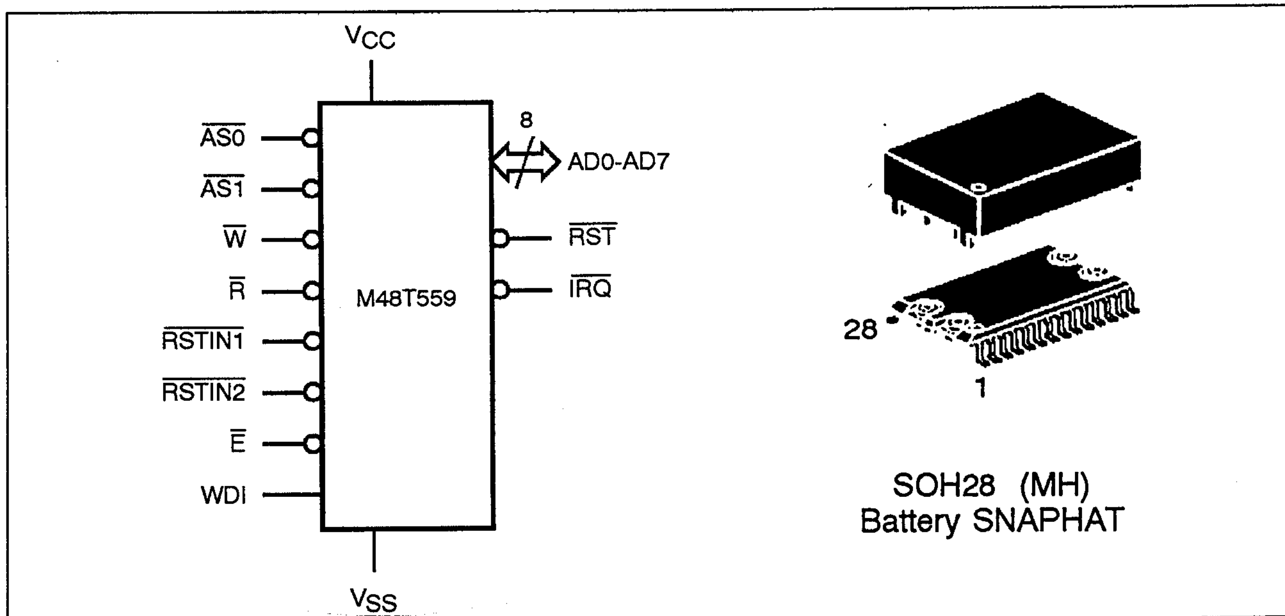
Figuur 8/2.6.2-62: Blokschema van de M48T559Y.

Mode	Vcc	$\overline{E}$	$\overline{R}$	$\overline{W}$	AD0-AD7	Power
Deselect	4.5V to 5.5V	V_{IH}	X	X	High Z	Standby
Write		V_{IL}	X	V_{IL}	D_{IN}	Active
Read		V_{IL}	V_{IL}	V_{IH}	D_{OUT}	Active
Read		V_{IL}	V_{IH}	V_{IH}	High Z	Active
Deselect	V_{SO} to V_{PFD} (min) (2)	X	X	X	High Z	CMOS Standby
Deselect	$\leq V_{SO}$	X	X	X	High Z	Battery Back-up Mode

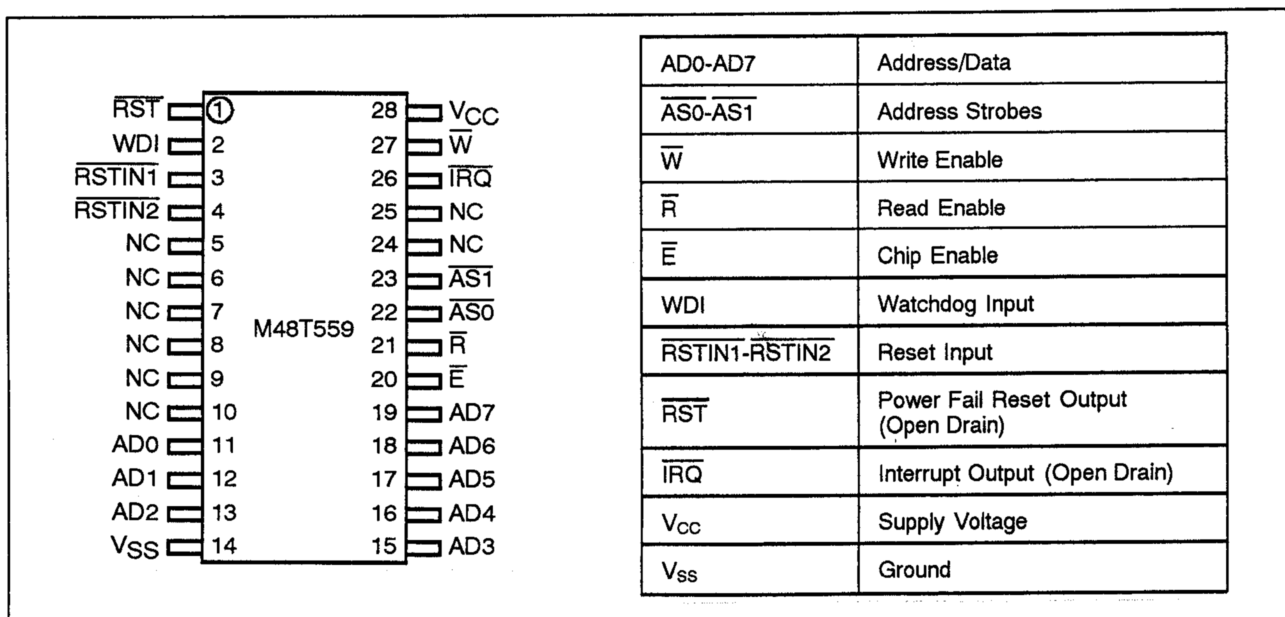
Notes: 1. X = V_{IH} or V_{IL}

Tabel 8/2.6.2-58: Bedrijfsmodes van de M48T559Y.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-63: Logisch schema en SOH28 (MH)-behuizing van de M48T559Y.



AD0-AD7	Address/Data
AS0-AS1	Address Strobes
W	Write Enable
R	Read Enable
E	Chip Enable
WDI	Watchdog Input
RSTIN1-RSTIN2	Reset Input
RST	Power Fail Reset Output (Open Drain)
IRQ	Interrupt Output (Open Drain)
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/2.6.2-64: Aansluitingen en signalen van de M48T559Y (NC = niet aangesloten).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-40 to 85	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	1	W

Tabel 8/2.6.2-59: **Maximaal toegelaten waarden van de M48T559Y.**

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI} (1)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO} (1)	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±5	µA
I_{LRST} (2)	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		100	µA
I_{CC}	Supply Current	Outputs open		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		3	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} - 0.2V$		3	mA
V_{IL} (3)	Input Low Voltage		-0.3	0.8	V
V_{IH}	Input High Voltage		2.2	V_{CC} + 0.3	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
	Output Low Voltage ($\overline{IRQ}$) (4)	I_{OL} = 10mA		0.4	V
V_{OH} (5)	Output High Voltage	I_{OH} = -1mA	2.4		V

Notes: 1. Outputs Deselected.
2. Input leakage current on input RESET pins.
3. Negative spikes of -1V allowed for up to 10ns once per Cycle.
4. The $\overline{IRQ}$ pin is Open Drain.
5. Measured with Control Bits set as follows: R = '1'; W, ST, FT = '0'.

Tabel 8/2.6.2-60: Gelijkspanningskarakteristieken van de M48T559Y.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage (M48T559Y)	4.2	4.35	4.5	V
V_{SO}	Battery Back-up Switchover Voltage		3.0		V
t_{DR}(2)	Expected Data Retention Time	7			YEARS

Notes: 1. All voltages referenced to V_{SS}.
2. @ 25°C

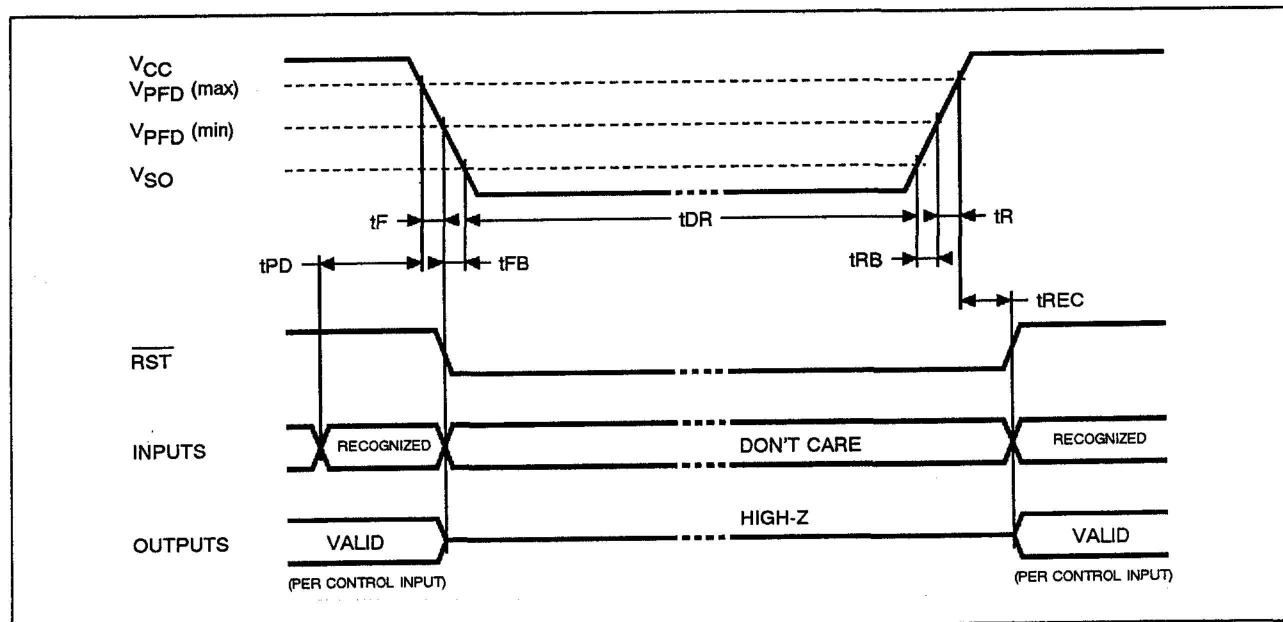
Tabel 8/2.6.2-61: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Min	Max	Unit
t_{PD}	$\overline{E}$ at V_{IH} before Power Down	0		µs
t_F (1)	V_{PFD} (max) to V_{PFD} (min) V_{CC} Fall Time	300		µs
t_{FB} (2)	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	10		µs
t_R	V_{PFD}(min) to V_{PFD} (max) V_{CC} Rise Time	10		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	1		µs
t_{REC}	V_{PFD} (max) to $\overline{RST}$ High	40	200	ms

Notes: 1. V_{PFD} (max) to V_{PFD} (min) fall time of less than t_F may result in deselection/write protection not occurring until 200 µs after V_{CC} passes V_{PFD} (min).
2. V_{PFD} (min) to V_{SO} fall time of less than t_{FB} may cause corruption of RAM data.

Tabel 8/2.6.2-62: Power Up/Down timing (zie ook figuur 8/2.6.2-65).



Figuur 8/2.6.2-65: Golfvormen en timing tijdens Power Up/Down.

Specificaties

- 8 k x 8 organisatie
- geïntegreerde ultra low-power SRAM + Real Time Clock + Power Fail circuit + watchdog-timer + batterij
- gemultiplexte data/adres I/O-lijnen
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde informatie
- software-bestuurde klok-calibratie
- automatische Chip Deselect en Write Protection bij te lage voedingsspanning
- frequentie-test uitgang (FT) voor Real Time Clock
- Write Protect spanning: $4{,}2\ V \leq V_{PFD} \leq 4{,}5\ V$
- signalering van lage batterijspanning

2.6 Type-beschrijving Zero-Power statische RAM's

- microprocessor power-on reset
- programmeerbaar wekker-signaal (ook aktief in battery back-up mode
- 28-pens 0,33" SNAPHAT (SOH28) SMD-behuizing met aparte batterij en kristal
- 7 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson

RAM operaties

Met vier besturingssignalen ($\overline{AS0}$, $\overline{AS1}$, $\overline{R}$ en $\overline{W}$) kan toegang worden verkregen tot de M48T559Y. De adres-latches worden op de stijgende flanken van de Adres Strobes ($\overline{AS0}$ en $\overline{AS1}$) uit de adres/data-bus geladen. Met $\overline{AS0}$ worden de laagste 8 bits van het adres gelatcht en met $\overline{AS1}$ de hoogste 5 adresbits. Hierbij moeten de set-up en hold tijden uit tabel 8/2.6.2-63 in acht worden genomen om er zeker van te zijn dat de adressen geldig zijn. Als de hoge en lage adresgedeelten van een vorige cyclus nog juist zijn, hoeft het adres-latchen niet nog eens te worden uitgevoerd.
Bij een schrijf-operatie moet geldige data op de bus (AD0 tot en met AD7) worden gezet, gevolgd door het LAAG maken van de Write Enable-lijn ($\overline{W}$). Data op de bus wordt in het RAM geschreven als aan de minimale timing-voorwaarden van de schrijfcyclus is voldaan. Tijdens een lees-cyclus moet het Read Enable-signaal ($\overline{R}$) LAAG worden gemaakt. Data uit het RAM komt geldig op de bus te staan als aan de timing-voorwaarden wordt voldaan. De $\overline{W}$- en $\overline{R}$-signalen mogen nooit tegelijk aktief zijn. Bovendien moet $\overline{E}$ aktief zijn vóór welke andere besturingslijn dan ook.

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	M48T559Y		Unit
		Min	Max	
t_{AS}	Address Setup Time	20		ns
t_{AH}	Address Hold Time	0		ns
t_{DS}	Data Setup Time	60		ns
t_{DH}	Data Hold Time	0		ns
t_{RLDV}	Read Enable Access Time		70	ns
t_{RLRH}	$\overline{R}$ Pulse Width Low	70		ns
t_{RHDZ}	Read Enable High to Output High Z		25	ns
t_{WLWH}	$\overline{W}$ Pulse Width Low	50		ns
t_{ASLASH}	$\overline{AS0}$, $\overline{AS1}$ Pulse Width Low	15		ns
t_{ASHRL}	$\overline{AS0}$, $\overline{AS1}$ High to $\overline{R}$ Low	15		ns
t_{ASHWL}	$\overline{AS0}$, $\overline{AS1}$ High to $\overline{W}$ Low	15		ns
t_{ELAV}	Chip Enable Low to Address Valid			ns
t_{EHDZ}	CHip Enable High to Data Output Hi-Z			ns
t_{EHDV}	Chip Enable High to Data Valid			ns

Tabel 8/2.6.-63: Schakeltijden bij lezen en schrijven in de M48T559Y.

2.6 Type-beschrijving Zero-Power statische RAM's

Vasthouden van de data

Zolang V_{CC} aan de specificaties voldoet, ondersteunt de M48T559Y industrie-standaard lees- en schrijf-operaties. Een verlaging van V_{CC} aktiveert automatisch de "power-fail deselect", waarbij in het V_{CC}-gebied tussen $V_{PFD(max)}$ en $V_{PFD(min)}$ de schrijf-beveiliging wordt ingeschakeld. Alle uitgangen worden dan hoog-impedant en alle ingangen "don't care". Als de power-fail optreedt tijdens een schrijfcyclus, dan kan wel data op het geselecteerde adres beschadigd raken, maar niet op de overige adressen. Omdat het mogelijk is dat de M48T559Y op spikes op V_{CC} reageert, wordt het sterk aanbevolen V_{CC} te ontkoppelen. Als V_{CC} lager wordt dan V_{SO}, schakelt de besturingsschakeling de voeding over naar de batterij, die de data minimaal 7 jaar kan vasthouden. Komt V_{CC} daarna weer boven V_{SO} uit, dan wordt de batterij losgekoppeld en tegelijk V_{CC} aangesloten.

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
1FFFh	10 Years				Year				Year	00-99
1FFEh	0	0	0	10 M.	Month				Month	01-12
1FFDh	0	0	10 Date		Date				Date	01-31
1FFCh	0	FT	0	0	0	Day			Day	01-07
1FFBh	0	0	10 Hours		Hours				Hour	00-23
1FFAh	0	10 Minutes			Minutes				Minutes	00-59
1FF9h	ST	10 Seconds			Seconds				Seconds	00-59
1FF8h	W	R	S	Calibration					Control	
1FF7h	WDS	BMB4	BMB3	BMB2	BMB1	BMB0	RB1	RB0	Watchdog	
1FF6h	AFE	Y	ABE	Y	Y	Y	Y	Y	Interrupts	
1FF5h	RPT4	Y	Al. 10 Date		Alarm Date				Alarm Date	01-31
1FF4h	RPT3	Y	Al. 10 Hours		Alarm Hours				Alarm Hours	00-23
1FF3h	RPT2	Alarm 10 Minutes			Alarm Minutes				Alarm Minutes	00-59
1FF2h	RPT1	Alarm 10 Seconds			Alarm Seconds				Alarm Seconds	00-59
1FF1h	Y	Y	Y	Y	Y	Y	Y	Y	Unused	
1FF0h	WDF	AF	Z	BL	Z	Z	Z	Z	Flags	

Keys: **S** = SIGN Bit
FT = FREQUENCY TEST Bit
R = READ Bit
W = WRITE Bit
ST = STOP Bit
0 = Must be set to '0'
Y = '1' or '0'
Z = '0' and are Read only
AF = Alarm Flag
BL = Battery Low

WDS = Watchdog Steering Bit
BMB0-BMB4 = Watchdog Multiplier Bits
RB0-RB1 = Watchdog Resolution Bits
AFE = Alarm Flag Enable
ABE = Alarm in Battery Back-up Mode Enable
RPT1-RPT4 = Alarm Repeat Mode Bits
WDF = Watchdog Flag

Tabel 8/2.6.2-64: Overzicht van de tijdregisters.

2.6 Type-beschrijving Zero-Power statische RAM's

Power-on reset

De M48T559Y houdt voortdurend V_{cc} in de gaten. Als die onder het power-fail detectie-trippoint komt, gaat de open-drain $\overline{RST}$-uitgang gedurende 40 tot 200 ms LAAG nadat V_{cc} V_{PFD} is gepasseerd. Als V_{cc} op V_{ss}-niveau is, blijft de resetpuls aktief.

Uitlezen van de klok

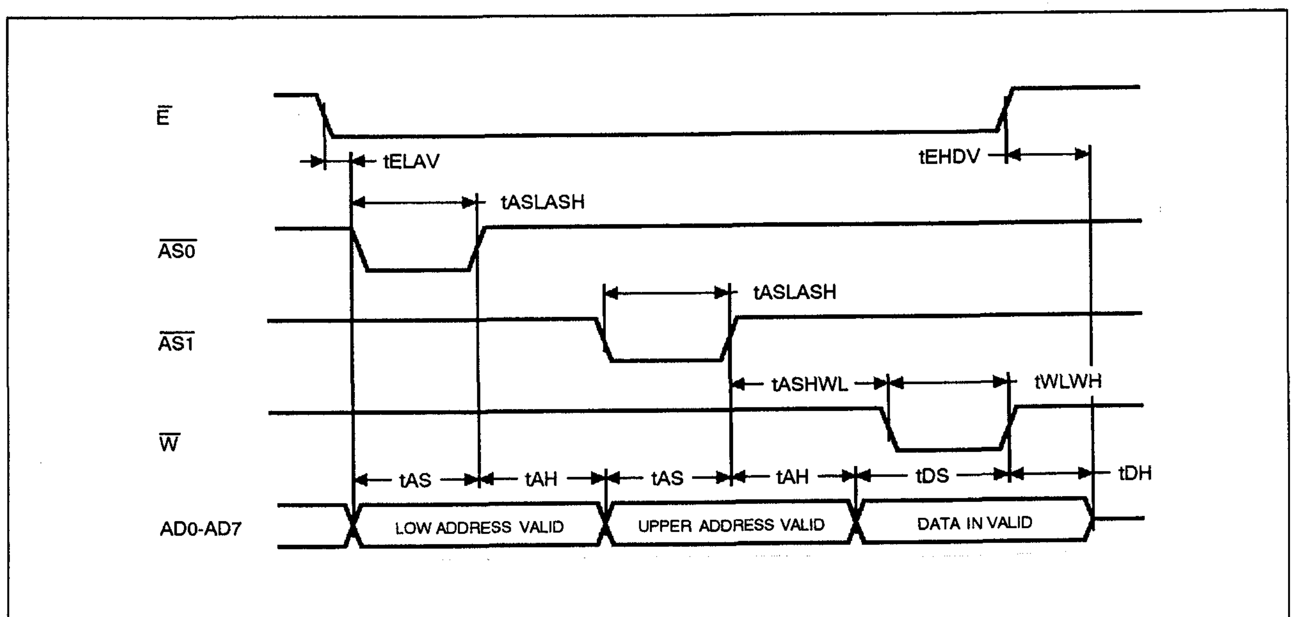
Het verversen van de TIMEKEEPER-registers moet tijdelijk worden tegengehouden als de klok-data wordt uitgelezen om foutieve informatie te voorkomen. Aangezien de BiPORT TIMEKEEPER-cellen in het RAM-array slechts data-registers zijn en niet de eigenlijke kloktellers, kan het verversen worden gesperd, zonder de werking van de klok zelf te verstoren. Het verversen stopt als het READ-bit van het besturingsregister "1" wordt gemaakt (D6 in 1FF8h = "1"). De registers bevatten dan de stand van de teller op dat moment: dag, datum en tijd. Alle TIMEKEEPER-registers worden tegelijk ververst, waarbij een aan de gang zijnde verversing niet wordt onderbroken door een Halt. Binnen een seconde nadat het bit is gereset op "0" wordt vindt verversing plaats.

Het gelijkzetten van de klok

Bit D7 van het besturingsregister (1FF8h) is het WRITE-bit. Wanneer dit "1" wordt gemaakt, wordt (net als met het READ-bit) het verversen van de TIMEKEEPER-registers tegengehouden. De gebruiker kan deze registers laden met de gewenste dag, datum en tijd in 24-uurs BCD-formaat (zie tabel 8/2.6.2-64). Zodra het WRITE-bit weer "0" is worden de waarden van alle tijdregisters (1FF9h tot en met 1FFFh) overgebracht naar de TIMEKEEPER-tellers zelf, waarna de werking weer normaal wordt (mits het FT-bit en de bits die in de tabel met "0" worden aangeduid met nullen gevuld zijn).

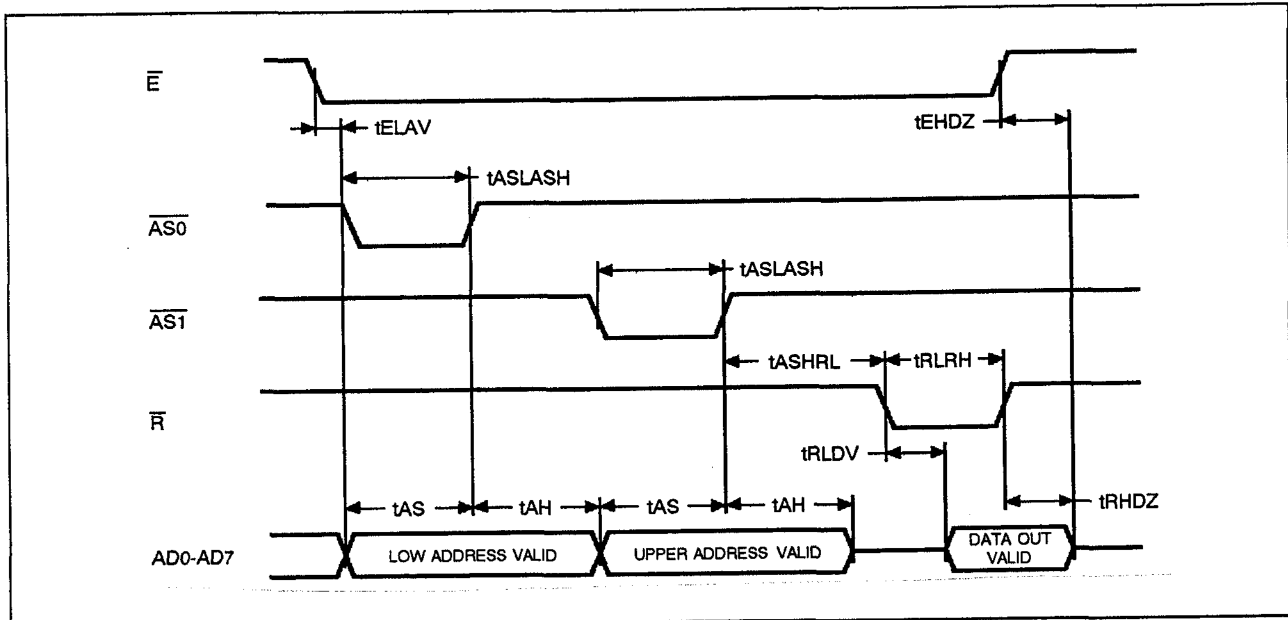
Starten en stoppen van de oscillator

De oscillator kan op elk moment worden gestopt. Als men de schakeling bijvoorbeeld lang niet zal gebruiken, kan de oscillator worden afgezet om de batterij te sparen. Het MSB van het seconden-register is het STOP-bit van de oscillator. Wordt dit "1" gemaakt, dan stopt de oscillator. De M48T559Y wordt afgeleverd met gezet STOP-bit. De oscillator start binnen een seconde na het resetten.

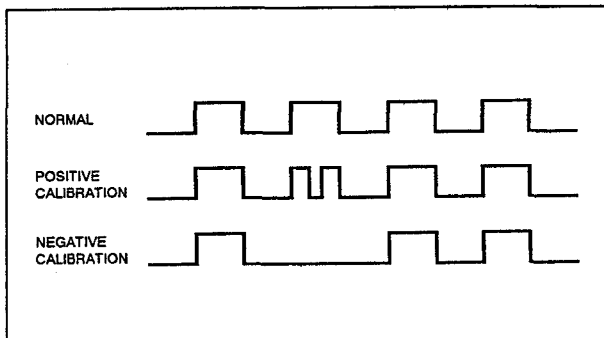


Figuur 8/2.6.2-66: Timing en golfvormen bij schrijf-operaties op de M48T559Y (bij het latchen van het hoogste adres-gedeelte is de inhoud van AD5 tot en met AD7 "don't Care").

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-67: Timing en golfvormen bij het uitlezen van de M48T559Y (bij het latchen van het hoogste adres-gedeelte is de inhoud van AD5 tot en met AD7 onbelangrijk).



Figuur 8/2.6.2-68: Calibratie van de klok.

Calibreren van de klok

De M48T559Y wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32,768 kHz. De M48T559Y's worden in de fabriek getest op een fout van maximaal 35 ppm ($35*10^{-6}$) bij 25 °C, overeenkomende met ongeveer +/- 1,53 minuut per maand. Door calibratie kan de nauwkeurigheid beter worden dan +/-4 ppm bij 25 °C.

Aangezien de oscillatie-frequentie van elk kristal temperatuursafhankelijk is, moet deze instelbaar zijn. Vaak gebeurt dat in de vorm van trim-condensatoren, maar bij de M48T559Y is gekozen voor periodieke correctie van de tellers. Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-68). Het aantal keren dat pulsen worden overgeslagen (afgetrokken: negatieve calibratie) of gesplitst (opgeteld: positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.

Het calibratie-byte beslaat de laagste 5 bits (D4 tot en met D0) van het besturingsregister (1FF8h) en kan dus waarden tussen 0 en 31 bevatten. Bit D5 is het teken-bit: "1" = positieve, "0" = negatieve calibratie. Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen (eenmaal per minuut) een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus gemodificeerd; is een binaire 6 geladen dan worden de eerste 12 minuten beïnvloed, enzovoorts. Daardoor heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of

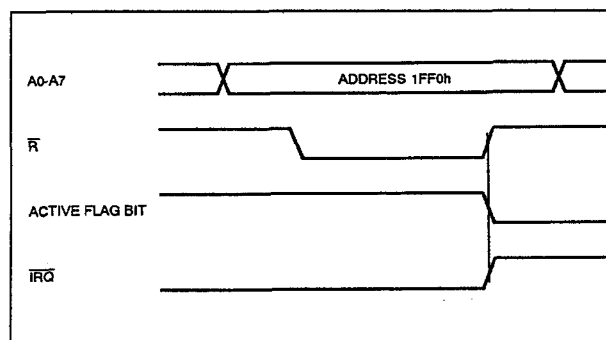
2.6 Type-beschrijving Zero-Power statische RAM's

256 aftrekken per 125.829.120 oscillator-cycli. Dit komt overeen met een fijnafregeling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand. Het totale calibratiebereik is dus +5,5 tot -2,75 minuten/maand.
Er zijn in principe twee methoden om te bepalen hoeveel de M48T559Y moet worden bijgeregeld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende tijd wordt vergeleken. De tweede manier is minder grof, maar daar is wel testapparatuur voor nodig. Hierbij wordt de $\overline{IRQ}$-pen gebruikt. Deze pen toggelt op 512 Hz als het Stop-bit "0" is (D7 van 1FF9h = "0"), het FT-bit "1" (D6 van 1FFCh = "1"), het AFE-bit "0" (D7 van 1FF6h = "0") en de Watchdog Steering-bit "1" (D7 van 1FF7h = "1"), of als het Watchdog-register gereset is (1FF7h = "0"). Elke afwijking van 512 Hz geeft een mate en richting van de fout aan. 512,01024 Hz is bijvoorbeeld een fout van +20 ppm, die met -10 ("001010") in het Calibratie Byte gecorrigeerd kan worden. De $\overline{IRQ}$-pen is een open-drain uitgang die een optrekweerstand van 500 Ω - 10 kΩ nodig heeft.

Het zetten van de wekker
De registers 1FF5h tot en met 1FF2h bevatten de alarm-instellingen. Het alarm (de wekker) kan worden geconfigureerd om af te gaan op een van te voren bepaalde tijd (dag en maand) of elke dag op een bepaalde tijd. Hij kan ook worden geprogrammeerd om af te gaan terwijl de M48T559Y in de battery back-up mode staat om het systeem "wakker te maken".
RPT1 tot en met RPT4 zetten de wekker in de repeat-mode. In tabel 8/2.6.2.65 zijn de mogelijke instellingen te zien. Codes die in deze tabel niet voorkomen, verwijzen automatisch (default) naar de 1x/seconde-mode om de gebruiker te wijzen op een niet-correcte alarm-instelling.

RPT4	RPT3	RPT2	RPT1	Alarm Activated
1	1	1	1	Once per Second
1	1	1	0	Once per Minute
1	1	0	0	Once per Hour
1	0	0	0	Once per Day
0	0	0	0	Once per Month

Tabel 8/2.6.2-65: Repeat-mode instellingen.



Figuur 8/2.6.2-69: Golfvormen bij het resetten van de interrupt.

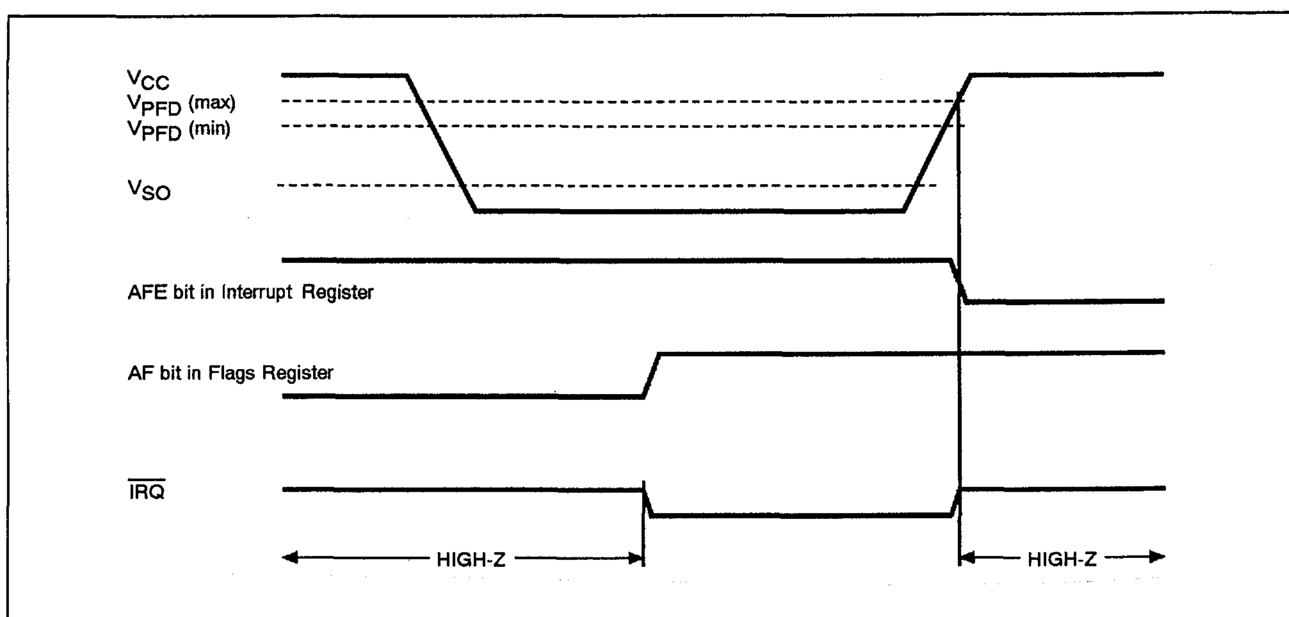
Wanneer de klok-informatie overeenkomt met de wekker-instellingen (afhankelijk van de door RPT1 tot en met RPT4 vastgelegde criteria), wordt de Alarm Flag (AF) gezet. Als AFE (Alarm Flag Enable) dan ook is gezet, aktiveert de alarm-conditie de $\overline{IRQ}$-pen. De alarm-flag en de $\overline{IRQ}$-uitgang worden gecleared door een lees-operatie in het Flags-register (zie figuur 8/2.6.2-69).
De $\overline{IRQ}$-pen kan ook worden geaktiveerd in de battery back-up mode. $\overline{IRQ}$ gaat LAAG als een alarm optreedt en zowel ABE (Alarm in Battery Back-up mode Enable) als AFE zijn gezet. De ABE en AFE bits worden tijdens power-up gereset. Treedt dus een alarm op bij het opkomen van de voeding, dan wordt alleen AF gezet. De gebruiker kan het Flags-register tijdens system boot-up uitlezen om te kijken of er toevallig een alarm werd gegenereerd toen de M48T559Y in de deselect-mode tijdens power-up stond. De

back-up mode alarm-timing is in figuur 8/2.6.2-70 te zien.

Watchdog Timer

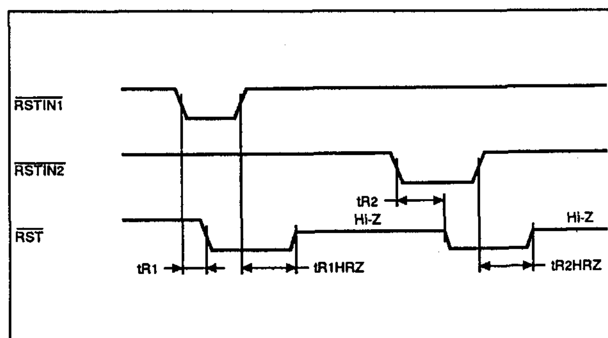
De watchdog-timer kan worden gebruikt om te detecteren of de microprocessor de besturing van het systeem heeft verloren. De watchdog-timer wordt geprogrammeerd door de gewenste hoeveelheid time-out in het 8 bit Watchdog-register (1FF7h) te zetten. In de vijf bits (BMB4 tot en met BMB0) wordt een binaire vermenigvuldiger opgeslagen en in de twee lagere bits (RB1 en RB0) de resolutie, waarbij "00" = 1/16 seconde, "01" = 1/4 seconde, "10" = 1 seconde en "11" = 4 seconden. De grootte van de time-out bestaat dus uit het produkt van de vermenigvuldigingsfactor en de resolutie. Wanneer bijvoorbeeld "00001110" in het watchdog-register wordt geschreven, bedraagt de time-out 3 x 1 = 3 seconden). Als de processor de timer niet binnen deze tijd reset, zet de M48T559Y de watchdog-vlag (WDF) en wordt een watchdog-interrupt of een microprocessor-reset gegenereerd.

Het belangrijkste bit van het Watchdog-register is het Watchdog Steering Bit. Wordt dit op "0" gezet, dan zal de watchdog (na time-out) de $\overline{IRQ}$-pen aktiveren. Als WDS op "1" is gezet, zal de watchdog gedurende 40 tot 200 ms een negatieve puls op de $\overline{RST}$-pen zetten. Het Watchdog-register wordt dan aan het einde van een watchdog time-out op "0" gereset wanneer het WDS-bit op "1" is gezet. De watchdog-timer wordt gereset als de microprocessor in het Watchdog-register een lees-operatie uitvoert. De time-out begint dan opnieuw. De watchdog-timer wordt gesperd door alle acht bits van het Watchdog-register "0" te maken. De watchdog-functie is bij power-up automatisch gesperd, terwijl het Watchdog-register dan wordt leeggemaakt. Als de watchdog-functie is ingesteld om de $\overline{IRQ}$-pen beïnvloeden en de frequentietest functie is geaktiveerd, heeft de watchdog-functie voorrang en gaat de frequentietest niet door. De WDI-pen heeft een interne optrekweerstand van minstens 100 kΩ en kan daardoor los blijven als hij niet wordt gebruikt.



Figuur 8/2.6.2-70: Golfvormen bij alarm in de Back-up Mode.

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-71: Golfvormen en timing van de reset-signalen.

(T_A = 0 to 70°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Min	Max	Unit
t_{R1}	$\overline{RSTIN1}$ Low to $\overline{RST}$ Low	50	200	ns
t_{R2}	$\overline{RSTIN2}$ Low to $\overline{RST}$ Low	20	100	ms
t_{R1HRZ}	$\overline{RSTIN1}$ High to $\overline{RST}$ Hi-Z	40	200	ms
t_{R2HRZ}	$\overline{RSTIN2}$ High to $\overline{RST}$ Hi-Z	40	200	ms

Tabel 8/2.6.2-66: Timing-karakteristieken van de reset-signalen.

Input Reset

De M48T559Y heeft twee niet-denderende (debounced) ingangen waarmee een Output Reset kan worden gegenereerd (figuur 8/2.6.2-71). De tijdsduur en de functie van de Reset Output is gelijk aan een door een power-cyclus gegenereerde Reset. Als de pulsen korter zijn dan t_{R1} en t_{R2}, wordt er geen Reset-conditie opgewekt (tabel 8/2.6.2-66).

Battery Low waarschuwing

De M48T559Y controleert de batterijspanning tijdens power-up. Als de batterijspanning dan lager is dan 2,5 V zal het BL-bit (Battery Low: D4 in 1FF0h) worden gezet.
Bij het opkomen van de voedingsspanning zijn de volgende registers in een "0"-toestand gezet:

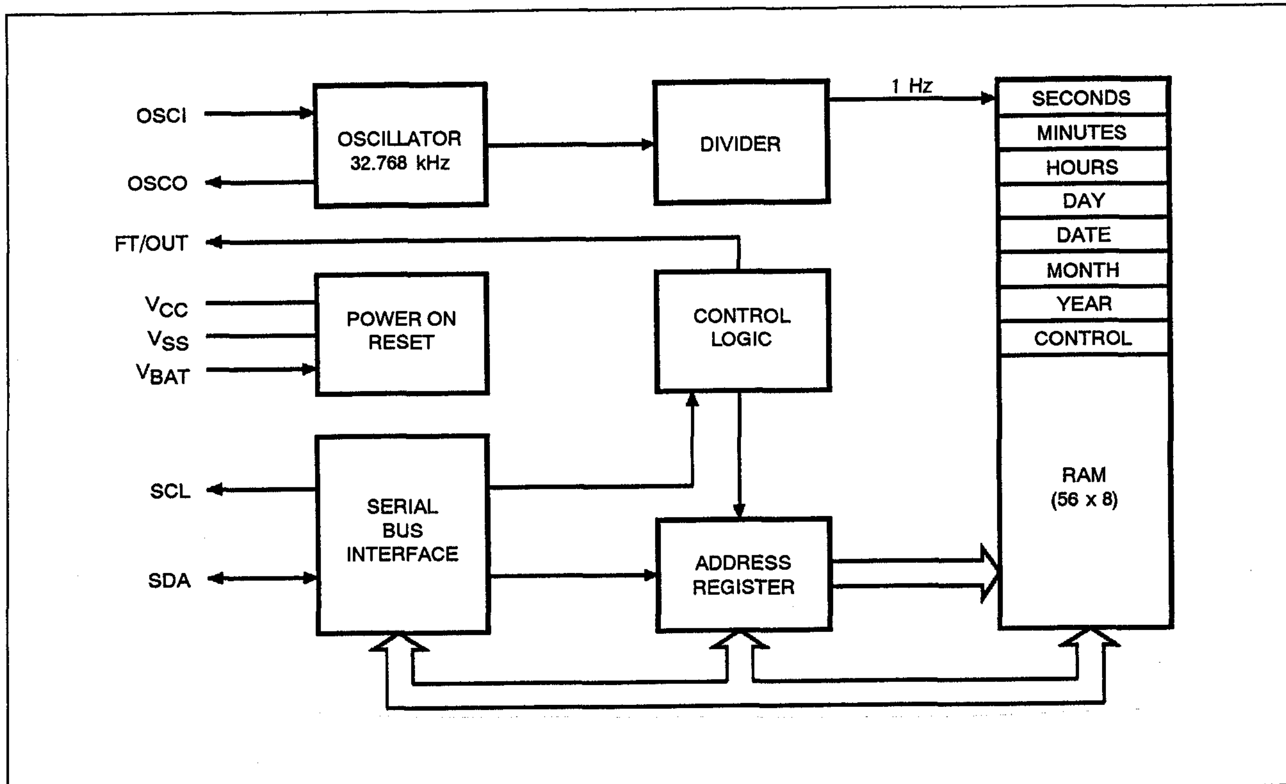
- WDS = "0";
- BMB0 tot en met BMB4 = "0";
- RB0 en RB1 = "0";
- AFE = "0";
- ABE = "0".

MK41T56

CMOS 64 x 8 serieel toegankelijke Timekeeper SRAM

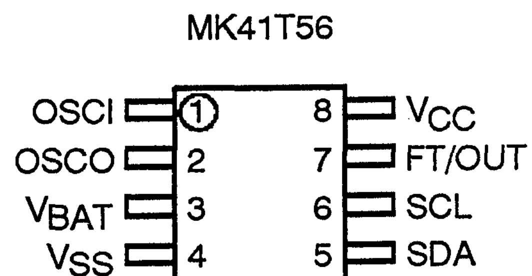
De MK41T56 is een 512 bit niet-vluchtige statische RAM met een real-time clock, georganiseerd als 64 x 8 bit. Bij deze timekeeper wordt gebruik gemaakt van een externe batterij. Een ingebouwde 32,768 kHz oscillator (met een extern kristal) en de eerste 8 bits van de RAM worden gebruikt voor de klok-kalender-functie. Adressen en data worden serieel getransporteerd via een tweedraads bidirectionele bus (I^2C).

2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-72: Blokschema van de MK41T56.

OSCI	Oscillator Input
OCSO	Oscillator Output
FT/OUT	Frequency Test / Output Driver
SDA	Serial Data Address Input / Output
SCL	Serial Clock
V_{BAT}	Battery Supply Voltage
V_{CC}	Supply Voltage
V_{SS}	Ground



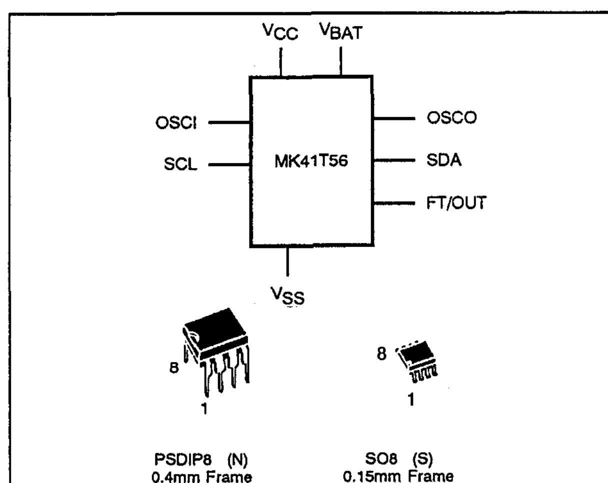
Figuur 8/2.6.2-73: Aansluitingen en signalen van de MK41T56 (zowel DIL- als SO-behuizing).

2.6 Type-beschrijving Zero-Power statische RAM's

Address	Data								Function/Range BCD Format	
	D7	D6	D5	D4	D3	D2	D1	D0		
0	ST	10 Seconds			Seconds				Seconds	00-59
1	X	10 Minutes			Minutes				Minutes	00-59
2	X	X	10 Hours		Hours				Hour	00-23
3	X	X	X	X	X	Day			Day	01-07
4	X	X	10 Date		Date				Date	01-31
5	X	X	X	10 M.	Month				Month	01-12
6	10 Years				Years				Year	00-99
7	OUT	FT	S	Calibration					Control	

Keys: S = SIGN Bit; FT = FREQUENCY TEST Bit; ST = STOP Bit; OUT = Output level; X = Don't care.

Tabel 8/2.6.2-67: Overzicht van de registers in de MK41T56.



Figuur 8/2.6.2-74: Logisch schema en PSDIP8 (N) en SO8 (S)-behuizing van de MK41T56.

Het interne adres-register wordt automatisch geïncrementeerd (met één verhoogd) na het lezen of schrijven van een data-byte.
De MK41T56 heeft een ingebouwde schakeling voor het detecteren van storingen op de voedingsspanning. Treden die op dan wordt automatisch overgeschakeld op batterij-voeding.

Een lithium knoopcel (39 mAh/3 V) is hierbij voldoende om de data gedurende tien jaar of meer vast te houden. De MK41T56 is opgenomen in een kunststof 8-pens DIL of 8-pens SMD-behuizing.

Specificaties

- 64 x 8 organisatie
- geïntegreerde SRAM + Real Time Clock + Power Fail circuit
- BCD-gecodeerde jaar, maand, datum, dag, uur, minuut en seconde
- software-bestuurde klok-calibratie
- automatische Power Fail detectie en omschakeling
- I^2C-compatibel
- 8-pens DIL (PSDIP8) of 8-pens (SO8) SMD-behuizing
- 10 jaar behoud van data bij afwezigheid van voeding
- fabrikant: SGS Thomson

Werking

De MK41T56 klok werkt als een slaafschakeling op de seriële bus. Er wordt toegang verkregen door een startcondtie te laten volgen door het juiste adres (D0).

2.6 Type-beschrijving Zero-Power statische RAM's

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	0 to 70 -40 to 85	°C
T_{STG}	Storage Temperature (V_{CC} Off, Oscillator Off)	-55 to 125	°C
V_{IO}	Input or Output Voltages	-0.3 to 7	V
V_{CC}	Supply Voltage	-0.3 to 7	V
I_O	Output Current	20	mA
P_D	Power Dissipation	0.25	W

Tabel 8/2.6.2-68: Maximaal toegelaten waarden van de MK41T56.

(T_A = 0 to 70°C or –40 to 85°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Test Condition	Min	Typ	Max	Unit
I_{LI}	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$			±10	µA
I_{LO}	Output Leakage Current	$0V \leq V_{OUT} \leq V_{CC}$			±10	µA
I_{CC1}	Supply Current	SCL/SDA = V_{CC}–0.3V			1	mA
I_{CC2}	Supply Current (Standby)				1	mA
V_{IL}	Input Low Voltage		-0.3		1.5	V
V_{IH}	Input High Voltage		3		V_{CC} + 0.8	V
V_{OL}	Output Low Voltage	I_{OL} = 5mA, V_{CC} = 4.5V			0.4	V
V_{BAT}(1)	Battery Supply Voltage		2.6	3	3.5	V
I_{BAT}	Battery Supply Current	T_A = 25°C, V_{CC} = 0V, Oscillator ON, V_{BAT} = 3V		450	500	nA

Note: SGS-THOMSON recommends the RAYOVAC BR1225 or equivalent as the battery supply.

Tabel 8/2.6.2-69: Gelijkspanningskarakteristieken van de MK41T56.

Symbol	Parameter	Min	Typ	Max	Unit
V_{PFD}	Power-fail Deselect Voltage	1.2 V_{BAT}	1.25 V_{BAT}	1.285 V_{BAT}	V
V_{SO}	Battery Back-up Switchover Voltage		V_{BAT}		V

Note: 1. All voltages referenced to V_{SS}.

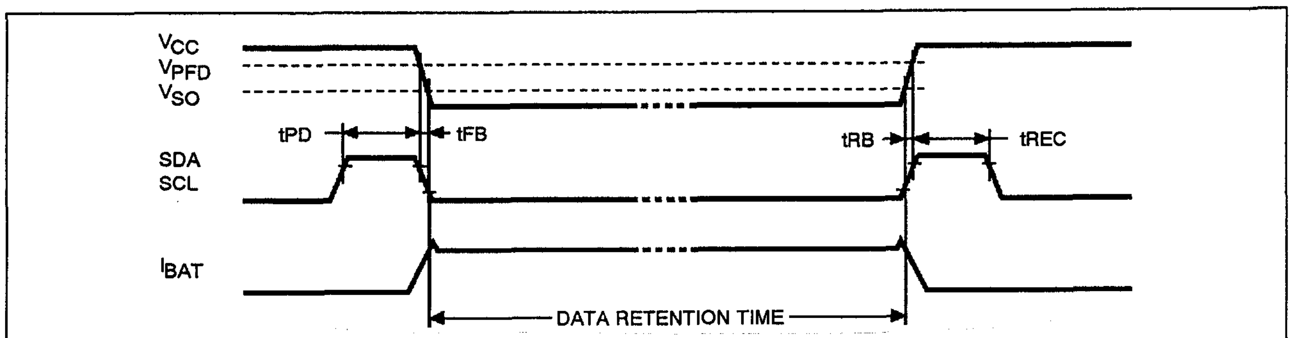
Tabel 8/2.6.2-70: Gelijkspanningskenmerken van de Power Up/Down trip-points.

2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C or −40 to 85°C)

Symbol	Parameter	Min	Max	Unit
t_{PD}	SCL and SDA at V_{IH} before Power Down	0		ns
t_{FB}	V_{PFD} (min) to V_{SO} V_{CC} Fall Time	300		µs
t_{RB}	V_{SO} to V_{PFD} (min) V_{CC} Rise Time	100		µs
t_{REC}	SCL and SDA at V_{IH} after Power Up	200		µs

Tabel 8/2.6.2-71: Power Up/Down timing (zie ook figuur 8/2.6.2-75).



Figuur 8/2.6.2-75: Golfvormen en timing tijdens Power Up/Down.

Symbol	Parameter	Min	Typ	Max	Unit
f_O	Resonant Frequency		32.768		kHz
R_S	Series Resistance			35	kΩ
C_L	Load Capacitance		12.5		pF

Notes: Load capacitors are internally supplied with the MK41T56. Circuit board layout considerations for the 32.768 kHz crystal of minimum trace lengths and isolation from RF generating signals should be taken into account.

Tabel 8/2.6.2-72: Eisen die aan het externe kristal worden gesteld.

De 64 bytes die de schakeling bevat worden achtereenvolgens bereikt in de volgorde:

1 seconden register;
2 minuten register;
3 uren register;
4 dag register;
5 datum register;
6 maand register;
7 jaar register;
8 besturings-register;
9 tot 64 RAM.

De klok in de MK41T56 houdt V_{cc} voortdurend in de gaten. Wanneer V_{cc} beneden V_{PFD} komt wordt een aan de gang zijnde toegang beëindigd en wordt de adresteller gereset. De schakeling neemt dan geen signalen meer aan om te voorkomen dat foutieve data wordt ingeschreven. Komt V_{cc} onder V_{BAT} dan wordt automatisch overgeschakeld naar de batterij en komt de MK41T56 in de ultra-low current mode om de batterij te sparen. Na het terugkomen van de voedingsspan-

ning gaat de schakeling van batterijvoeding over naar V_{cc} en worden signalen weer herkend als V_{cc} hoger is dan V_{PFD}.

2-draads bus-karakteristieken

Deze bus is bedoeld voor de communicatie tussen verschillende IC's en bestaat uit twee lijnen: één bidirectionele voor data-signalen (SDA) en één voor de clock-signalen (SCL). De SDA- en de SCL-lijn moeten via een optrekweerstand op de positieve voedingsspanning worden aangesloten.
Het volgende protocol is vastgesteld:
- Data-overdracht mag alleen beginnen als de bus niet bezet (busy) is.
- Tijdens data-overdracht moet de datalijn stabiel zijn als de clock HOOG is. Veranderingen op de datalijn bij HOOG clocksignaal worden geïnterpreteerd als besturingssignalen.

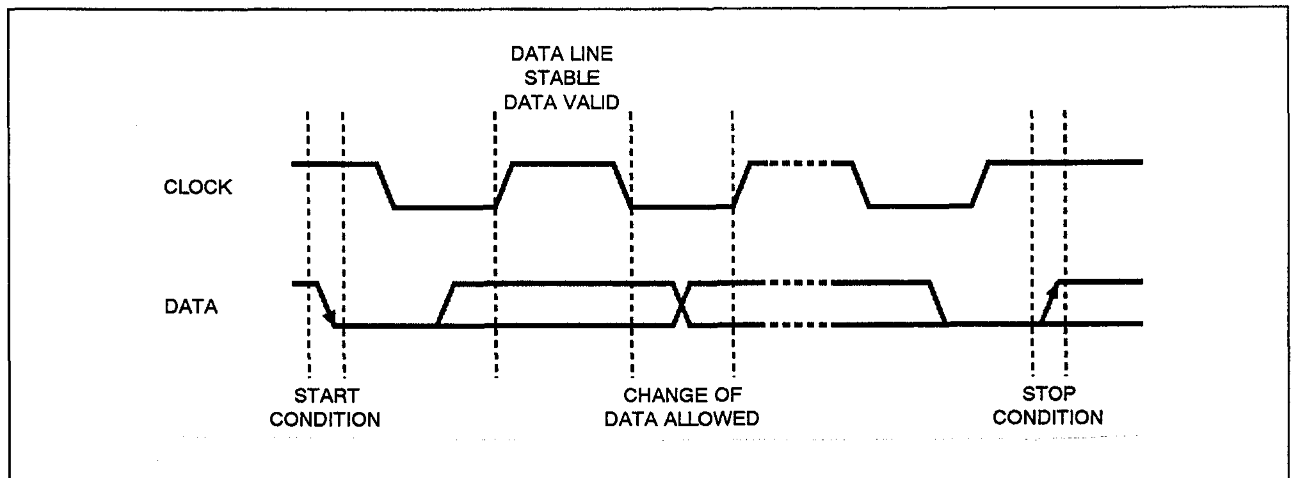
In verband hiermee zijn de volgende buscondities gedefinieerd (figuur 8/2.6.2-76):
- Bus not busy:
  Zowel data- als clocklijnen blijven HOOG.
- Start data transfer:
  Een toestandsverandering op de datalijn (van HOOG naar LAAG), terwijl de clock HOOG is, definieert de START-conditie.
- Stop data transfer:
  Een toestandsverandering op de datalijn (van LAAG naar HOOG), terwijl de clock HOOG is, definieert de STOP-conditie.
- Data valid:
  Het signaal op de datalijn bevat geldige data wanneer dit na een start-conditie gedurende de HOOG-periode van het clocksignaal stabiel is. De data mag gedurende de LAAG-periode van de clock veranderen. Er is één clockpuls per databit.

Elke data-overdracht wordt begonnen met een start-conditie en beëindigd met een stopconditie. Het aantal databytes dat tussen start en stop wordt overgedragen, is onbeperkt. De informatie wordt byte-wide getransporteerd en elke ontvanger bevestigt dit met een 9e bit (acknowledge). De busspecificaties gaan uit van een langzame (2 kHz) en een snelle (100 kHz) mode. De clock van de MK41T56 werkt in beide modes. Een schakeling die een bericht verstuurt wordt per definitie een "transmitter" genoemd en de ontvangende schakeling dus een "receiver". De schakeling die de versturing van het bericht verzorgt wordt "master" genoemd en de schakelingen die door de master worden bestuurd zijn de "slaves".
- Acknowledge:
  Elke byte van 8 bits wordt gevolgd door een acknowledge-bit. Dit is een LAAG niveau dat door de receiver op de bus wordt gezet. Hierop genereert de master een extra, aan de acknowledge gerelateerde, clockpuls (zie figuur 8/2.6.2-77).
  Een geadresseerde slave-receiver is verplicht om na ontvangst van elke byte een acknowledge te genereren. Ook moet een master-receiver een acknowledge genereren na ontvangst van elke byte die door een slave-transmitter werd verzonden.
  De schakeling die de acknowledge geeft, moet de SDA-lijn zodanig LAAG trekken dat deze stabiel LAAG is tijdens de HOOGperiode van de acknowledge-clockpuls. Hierbij moet natuurlijk rekening worden gehouden met de setup en hold tijden. Wanneer een master-receiver alle data heeft ontvangen, moet hij het einde van data aan de slave-transmitter melden door op de laatste byte geen acknowledge te genereren. In dit geval moet de transmitter de datalijn HOOG houden om de master in staat te stellen om de STOP-conditie te genereren.

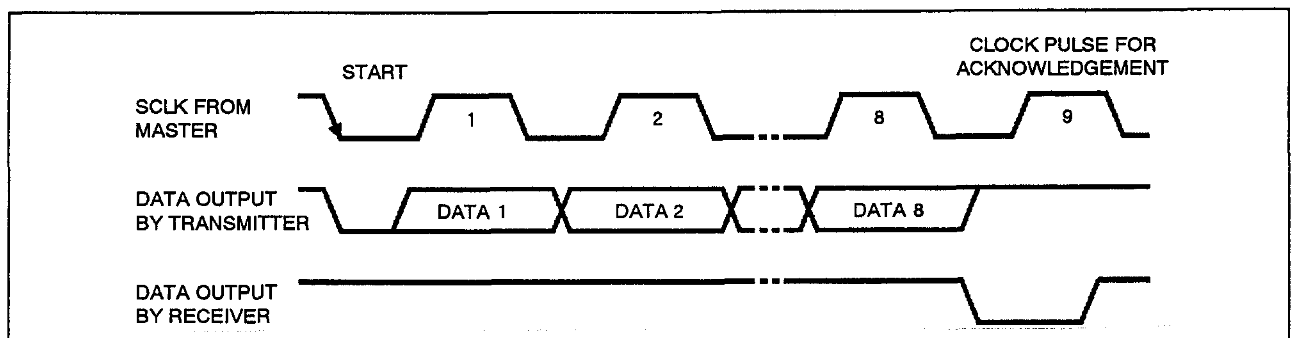
Lees-mode

In deze mode leest de master de MK41T56 slave-transmitter uit nadat het slave-adres is gezet (figuur 8/2.6.2-81). Na het SCHRIJF-mode besturingsbit ($R/\overline{W}$ = "0") en het acknowledge-bit wordt het woord-adres A_n in de adres-pointer geschreven. Daarna worden de START-conditie en het slave-adres herhaald, gevolgd door het LEES-mode besturingsbit ($R/\overline{W}$ = "1"). Op dit punt verandert de master-transmitter in een master- receiver.

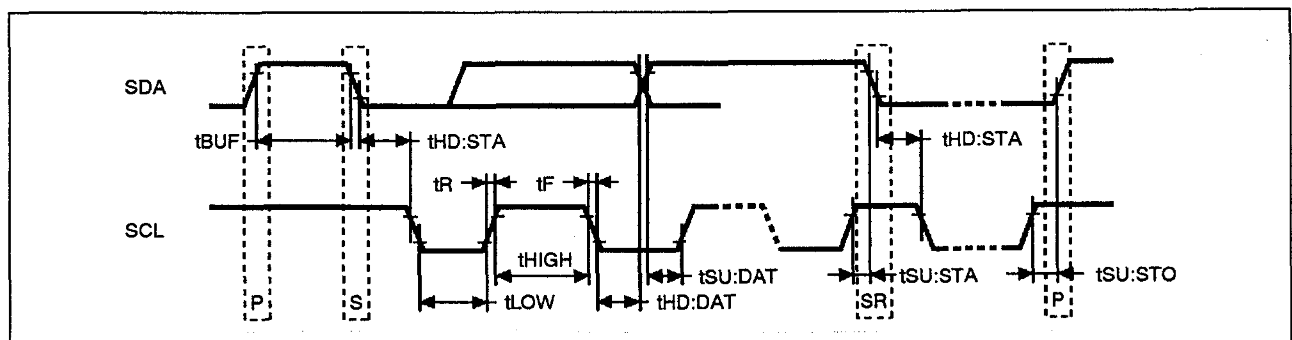
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-76: Seriële data-overdracht.



Figuur 8/2.6.2-77: Data-transport, gevolgd door een acknowledge-routine.



Figuur 8/2.6.2-78: Golfvormen en bus-timing van de MK41T56 (zie ook tabel 8/2.6.2-73).

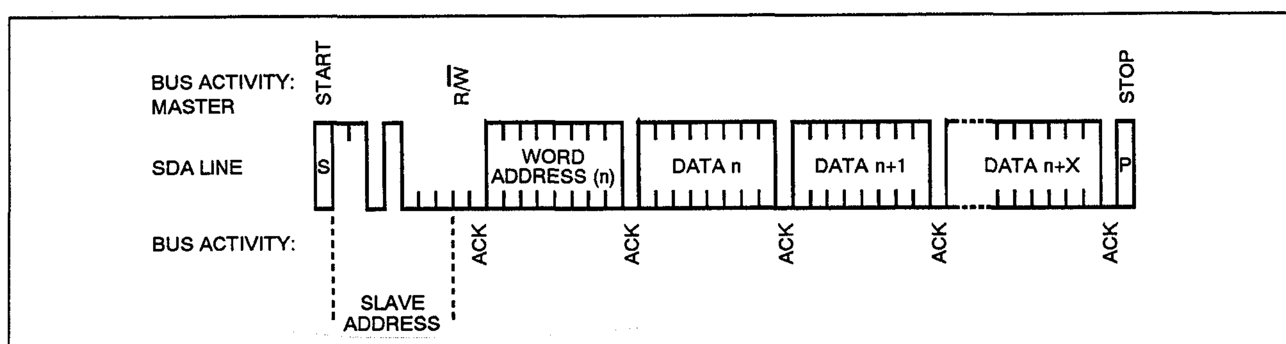
2.6 Type-beschrijving Zero-Power statische RAM's

(T_A = 0 to 70°C or −40 to 85°C; V_{CC} = 4.5V to 5.5V)

Symbol	Parameter	Min	Max	Unit
f_{SCL}	SCL Clock Frequency	0	100	kHz
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4		µs
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{HD:STA}$	START Condition Hold Time (after this period the first clock pulse is generated)	4		µs
$t_{SU:STA}$	START Condition Setup Time (only relevant for a repeated start condition)	4.7		µs
$t_{SU:DAT}$ (1)	Data Setup Time	250		ns
$t_{HD:DAT}$	Data Hold Time	0		µs
$t_{SU:STO}$	STOP Condition Setup Time	4.7		µs
t_{BUF}	Time the bus must be free before a new transmission can start	4.7		µs
t_i	Noise suppresion time constant at SCL and SDA input	0.25	1	µs

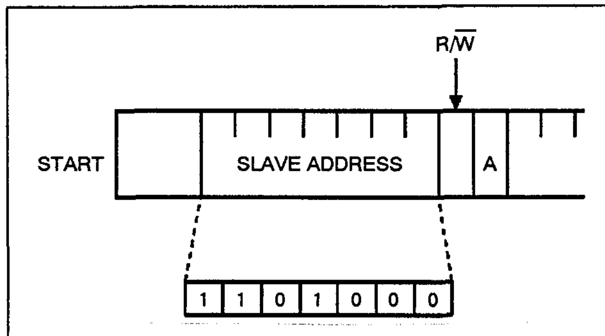
Note: 1. Transmitter must internally provide a hold time to bridge the undefined region (300ns max.) of the falling edge of SCL.

Tabel 8/2.6.2-73: *Schakeltijden bij lezen en schrijven in de MK41T56 (zie ook figuur 8/2.6.2-78).*

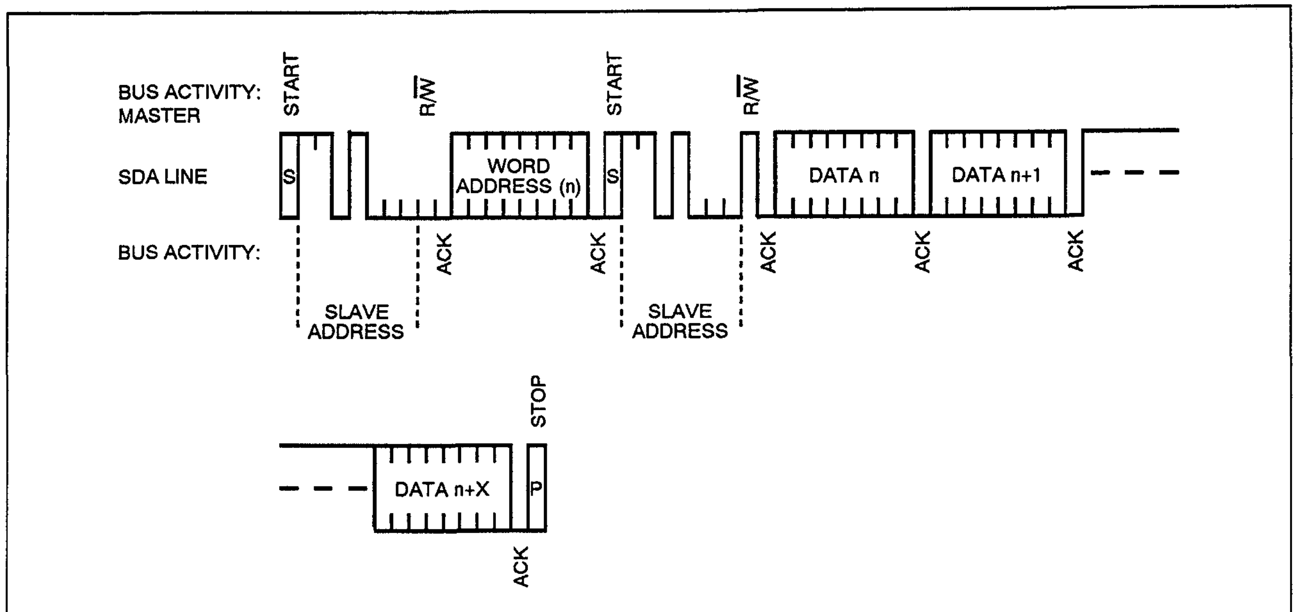


Figuur 8/2.6.2-79: Bus-aktiviteiten in de schrijf-mode.

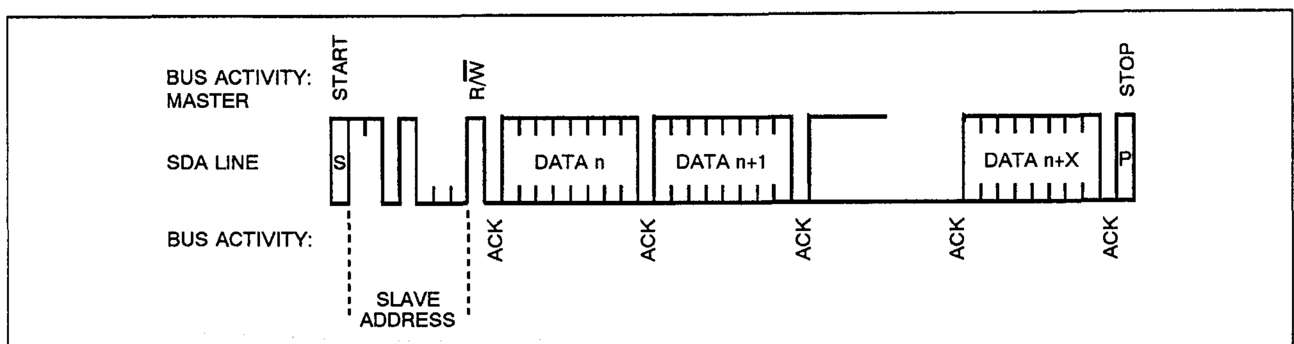
2.6 Type-beschrijving Zero-Power statische RAM's



Figuur 8/2.6.2-80: Locatie van het slave-adres.



Figuur 8/2.6.2-81: Bus-aktiviteiten in de lees-mode.



Figuur 8/2.6.2-82: Gebeurtenissen bij de alternatieve lees-mode.

2.6 Type-beschrijving Zero-Power statische RAM's

Schrijf-mode

In deze mode zendt de master-transmitter naar de MK41T56 slave-receiver. Het busprotocol is te zien in figuur 8/2.6.2-79. Na de START-conditie en het slave-adres (figuur 8/2.6.2-80) wordt een logische "0" (R/$\overline{W}$ = "0") op de bus gezet om aan de geadresseerde schakeling te laten weten dat woordadres A_n volgt en dat dit in de, op de chip aanwezige, adres-pointer moet worden geschreven. Vervolgens wordt het data-woord dat in het geheugen moet worden geschreven ingeklokt en na ontvangst van de acknowledge-clockpuls wordt de interne adrespointer met één verhoogd om de volgende RAM-locatie aan te wijzen. De MK41T56 slave-receiver stuurt een acknowledge-clock naar de master-transmitter nadat hij het slave-adres heeft ontvangen en daarna weer na ontvangst van het woord-adres en na elk data-byte.

Het geadresseerde data-byte wordt nu verzonden, waarna de master-receiver een acknowledge-bit naar de slave-transmitter stuurt. De adres-pointer wordt pas verhoogd na ontvangst van een acknowledge-bit. De MK41T56 slave-transmitter zet nu het databyte van adres A_n+1 op de bus, de master-receiver leest het nieuwe byte en bevestigt dit met een acknowledge, waarna de adrespointer wordt verhoogd tot A_n+2, enzovoorts. Dit uitlezen van opeenvolgende adressen gaat door tot de master-receiver een STOP-conditie naar de slave-transmitter verstuurt. Er kan ook een alternatieve LEES-mode worden gebruikt waarbij de master de MK41T56-slaaf uitleest zonder eerst naar de (vluchtige) adres-pointer te schrijven. Het eerste adres dat dan wordt uitgelezen is het laatste dat in de pointer staat (zie figuur 8/2.6.2-82).

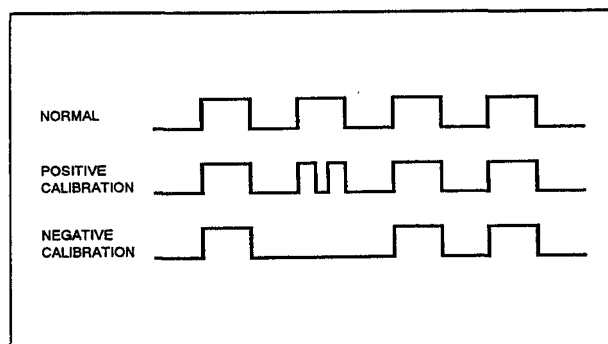
Calibreren van de klok

De MK41T56 wordt aangedreven door een kwarts-gestuurde oscillator met een nominale frequentie van 32,768 kHz. Een niet-gecalibreerde MK41T56 heeft een initiële nauwkeurigheid van +/-1 minuut per maand bij 25 °C. De schakelingen worden in de fabriek getest op een maximale fout van 35 ppm ($35*10^{-6}$), overeenkomende met ongeveer +/-1,53 minuten/maand. Aangezien de oscillatie-frequentie van elk kristal temperatuursafhankelijk is moet deze nastelbaar zijn. Vaak gebeurt dat in de vorm van trimcondensatoren. Bij de MK41T56 is echter gekozen voor periodieke correctie van de tellers.

Het calibratie-circuit verhoogt of verlaagt het aantal pulsen dat aan de deel-door-128 schakeling wordt toegevoerd (zie figuur 8/2.6.2-83).

Het aantal keren dat pulsen worden overgeslagen (negatieve calibratie) of gesplitst (positieve calibratie) hangt af van de waarde die in het 5 bit calibratie-byte van het besturingsregister is geladen. Door optellen wordt de snelheid verhoogd, door aftrekken juist verlaagd.

Het calibratie-byte beslaat de laagste bits van het besturingsregister en kan dus waarden tussen 0 en 31 bevatten.



Figuur 8/2.6.2-83: Calibratie van de klok.

Het 6e bit is het teken-bit ("1" = positieve, "0" = negatieve calibratie). Calibratie vindt plaats binnen een 64 minuten cyclus. De eerste 62 minuten van de cyclus kunnen (eenmaal per minuut) een seconde hebben die óf met 128 oscillator-cycli is verkort, óf met 256 verlengd. Als een binaire 1 in het register is geladen, worden alleen de eerste 2 minuten van de 64 minuten cyclus aangepast; is een binaire 6 geladen dan worden de eerste 12

2.6 Type-beschrijving Zero-Power statische RAM's

minuten beïnvloed, enzovoorts. Daardoor heeft elke calibratiestap het effect van 512 oscillator-cycli toevoegen of 256 aftrekken per 125.829.120 oscillatorcycli. Dit komt overeen met een afregeling van +4,068 ppm of -2,034 ppm per calibratiestap in het calibratie-register. Als men aanneemt dat de oscillator precies op 32.768 Hz werkt, komt elk van de 31 calibratiestappen overeen met +10,7 of -5,35 seconden per maand.
Er zijn in principe twee methoden om te bepalen hoeveel de MK41T56 moet worden bijgesteld. De eerste is de klok gelijk te zetten en gedurende een maand te laten lopen, waarna de tijd met een bekende, nauwkeurige tijd wordt vergeleken. Bij de tweede manier moet wat testapparatuur worden gebruikt. Hierbij moet het Frequentie Test-bit FT (het 7e bit in het besturingsregister) op "1" worden gezet. Als de oscillator op 32.768 Hz werkt, toggelt de FT/OUT-pen van de schakeling op 512 Hz. Elke afwijking hiervan moet worden gecompenseerd. 512,01024 Hz is bijvoorbeeld een fout van +20 ppm die met -10 ("001010") in het calibratie-byte volledig kan worden gecorrigeerd.

Output driver-pen

Als het FT-bit niet is gezet, wordt de FT/OUT-pen (een open-drain uitgang, waarvoor een optrekweerstand nodig is) een driver-uitgang die de inhoud van D7 van het besturingsregister weergeeft.
Met andere woorden: als D6 van locatie 7 een nul is en D7 van locatie 7 ook, dan is het FT/OUT-signaal LAAG.

2.6 Type-beschrijving Zero-Power statische RAM's

8/3

Dynamische RAM's

Inhoud

HM51W17805	2 M x 8, 2 k cycli/self refresh, 3,3 V
HM5118165	1 M x 16, 1 k cycli refresh, 5 V
HM51W16165	1 M x 16, 4 k cycli/self refresh, 3,3 V
HM51W18165	1 M x 16, 1 k cycli/self refresh, 3,3 V
HM514405	1 M x 4, 1 k cycli/self refresh, 5 V
(aanvulling 75)	
HM5164165	4 M x 16, 8 k cycli/self refresh, 3,3 V
HM5165165	4 M x 16, 4 k cycli/self refresh, 3,3 V
HM5164405	16 M x 4, 8 k cycli/self refresh, 3,3 V
HM5165405	16 M x 4, 4 k cycli/self refresh, 3,3 V
HM5164805	8 M x 8, 8 k cycli/self refresh, 3,3 V
HM5165805	8 M x 8, 4 k cycli/self refresh, 3,3 V

8/3.1

Achtergrond-informatie

Inleiding

Dynamische vrij toegankelijke geheugens (Random Access Memories: DRAM's) worden met steeds grotere opslagcapaciteiten in steeds grotere hoeveelheden gemaakt. Lange tijd zijn 256 kB DRAM's populair geweest, terwijl die ook nu nog (maar dan als snellere, in CMOS uitgevoerde versies) vaak worden toegepast. De 1 MB geheugens zijn ondertussen in produktie genomen en worden al wat goedkoper. Nu de eerste 4 MB exemplaren leverbaar zijn komen ook al 16 MB geheugens uit de laboratoria, terwijl er sprake is van het opzetten van 64 MB fabrieken.

De toenemende vraag naar deze grote geheugens wordt veroorzaakt doordat veel software (onder andere voor personal computers) beschikbaar is/komt die veel geheugenruimte nodig heeft.

Basisopbouw van een geheugencel

Gelukkig is de structuur van DRAM's zeer eenvoudig, zodat ook grote geheugens niet duur behoeven te zijn. Elke geheugencel van een DRAM bestaat uit een kleine condensator waarin de informatie in de vorm van lading wordt opgeborgen en een MOS transistor die als schakelaar werkt, zie figuur 8/3.1-1. In elke geheugencel kan 1 bit informatie worden opgeslagen. Een opgeladen condensator betekent een 1, terwijl afwezigheid van lading overeenkomt met een 0.

Refresh

Aangezien zo'n condensator een zeer kleine waarde heeft (minder dan 0,1 pF en bij de zeer grote geheugens zelfs nog kleiner) kan de opgeslagen lading snel weglekken.

Het is daardoor noodzakelijk de informatie telkens op tijd te verversen (refresh).

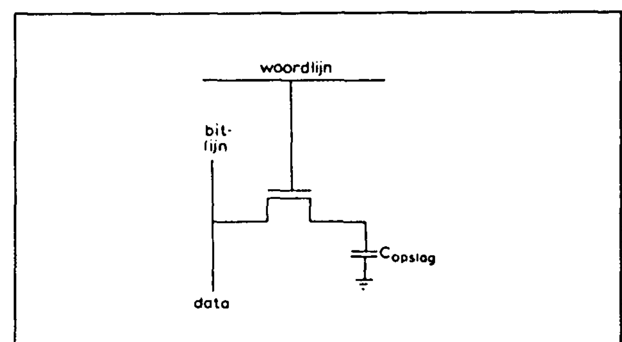
Dit is ook de reden voor de aanduiding **dynamisch**.

Bij de oudere DRAM's moet minstens elke 2 ms een verversingscyclus worden uitgevoerd.

Bij de nieuwste CMOS (megabit)geheugens is dit verbeterd tot 8 ms.

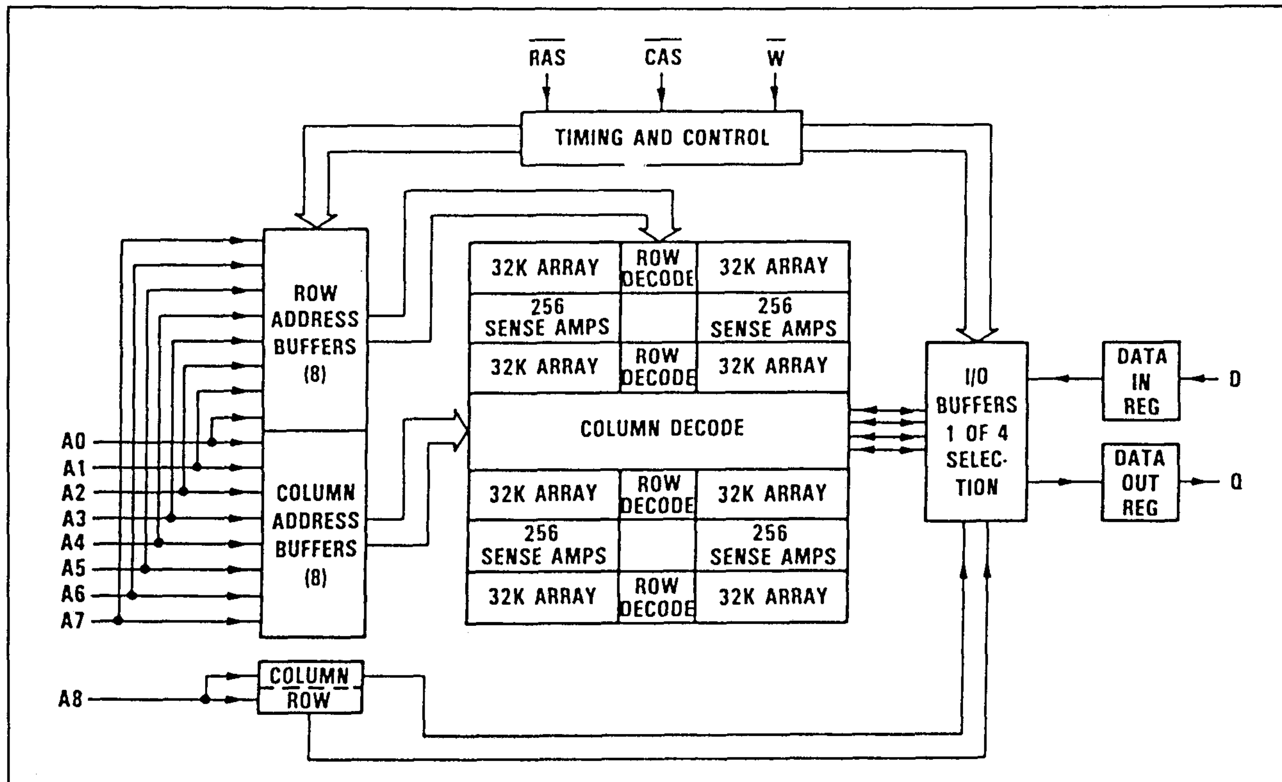
In deze tijd moeten dan de gewone lees-/schrijf handelingen **en** het verversen van alle informatie gebeuren.

Een en ander betekent wel dat het gebruik van DRAM's niet zo eenvoudig is. Gelukkig hebben de meeste DRAM's verschillende mogelijkheden tot verversing die door elkaar heen kunnen worden gebruikt.



Figuur 8/3.1-1: Dynamische geheugencellen worden in principe opgebouwd uit een kleine condensator en een transistor.

3.1 Achtergrond-informatie



Figuur 8/3.1-2: Blokschema van een 256 kB x 1 DRAM (4256 en 4257).

Het verversen komt er steeds op neer dat de data in alle geheugencellen die door een rij-adres (A0 tot en met A8) worden aangewezen door speciale leesversterkers (sense-amplifiers) wordt uitgelezen, opnieuw op peil gebracht en vervolgens weer op de oorspronkelijke plaatsen wordt opgeslagen, zie figuur 8/3.1-2. Om alle data te verversen moeten natuurlijk alle rijen een keer aan de beurt komen.

Moderne geheugens kunnen op de volgende manieren worden ververst:

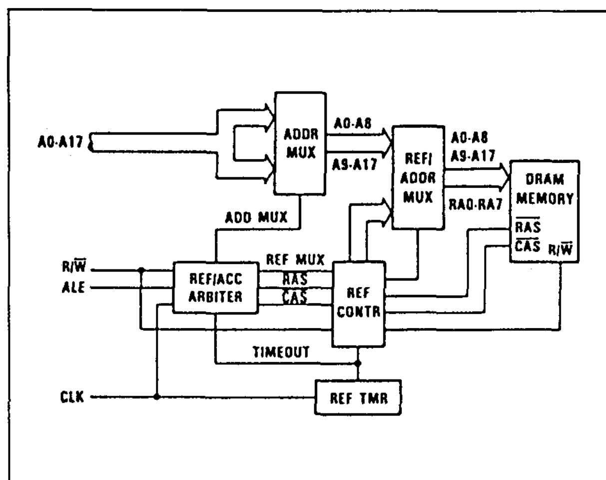
- tijdens een normale lees- of schrijf operatie;
- met een $\overline{RAS}$-only refresh cyclus;
- met een $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclus;
- met een verborgen (hidden) refresh cyclus.

Bovendien zijn er nog conventionele methoden, zoals:

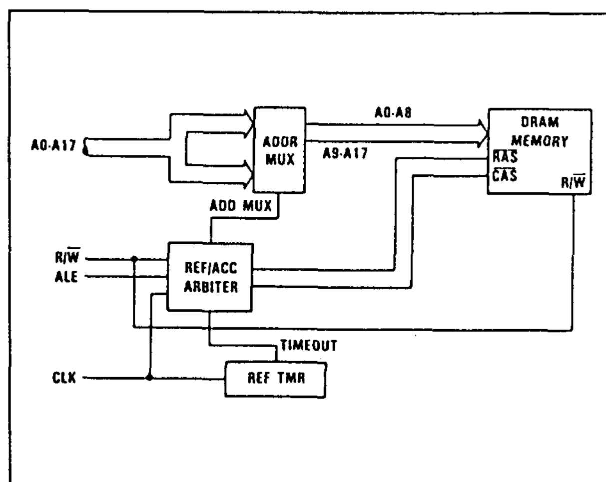
- burst-refresh, waarbij een externe timer de werking van de processor onderbreekt om de informatie op alle RAS-adressen te verversen;
- cycle-steal refresh, waarbij de klokpulsen van de processor worden verbreed om tijd vrij te maken voor het verversen.

Het spreekt vanzelf dat verversingen die geen extra tijd kosten de voorkeur verdienen! Het verversen kan aan de hand van de populaire 256 kB x 1 DRAM worden verklaard. Deze DRAM bevat een interne refresh-adresteller die bij een $\overline{CAS}$-voor-$\overline{RAS}$ of een hidden refresh cyclus de rij-adressen levert. Hierdoor behoeft de gebruiker geen externe refresh-adressen te leveren. In de figuren 8/3.1-3 en -4 zijn de verversingsmechanismen blokschematisch voorgesteld. Hierbij valt op dat bij de $\overline{CAS}$-voor-$\overline{RAS}$ refresh geen externe adres-refresh teller en ook geen multiplexer nodig zijn.

3.1 Achtergrond-informatie



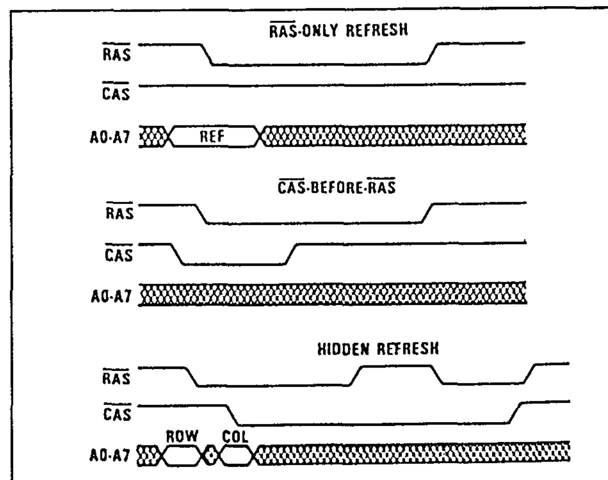
Figuur 8/3.1-3: Implementatie van de $\overline{\text{RAS}}$-only refresh.



Figuur 8/3.1-4: Implementatie van de $\overline{\text{CAS}}$-voor-$\overline{\text{RAS}}$ refresh.

De timing voor de verschillende refresh cycli is geschetst in figuur 8/3.1-5. Merk op dat bij de $\overline{\text{CAS}}$-voor-$\overline{\text{RAS}}$ en de hidden refresh de adressen zich in een "don't care" toestand bevinden wanneer $\overline{\text{RAS}}$ laag gaat.

Welk type verversing moet worden uitgevoerd is geheel afhankelijk van de gebruikte processor en de snelheid ervan, omdat hierdoor wordt bepaald hoeveel tijd overblijft voordat moet worden ververst. In elk geval moet de processor door het verversen zo weinig mogelijk worden geinterrumpeerd.



Figuur 8/3.1-5: Vergelijking van de timing bij mogelijke refresh cycli.

Bij langzame processoren maakt de hidden refresh het mogelijk een complete refresh cyclus uit te voeren binnen de tijd die de processor nodig heeft voor een geheugenhandeling door de bereikte data gedurende de verversing te latchen (figuur 8/3.1-6). De refresh cyclustijd van een 150 ns DRAM bedraagt 260 ns.
In snellere systemen kan het geheugen vertraging opleveren door zogenaamde "waitstates".

Gemultiplexte adressen

Door de geringe afmetingen van de geheugencellen kunnen dynamische RAM's met zeer grote opslagcapaciteiten worden vervaardigd.
Bij toepassing in grote geheugensystemen is het echter wenselijk de behuizingen ervan zo klein mogelijk te houden. Om het aantal aansluitpennen te beperken worden de adressen gemultiplext.
Voor een 1 MB DRAM zouden eigenlijk 20 adreslijnen nodig zijn om een keuze te maken uit de 1.048.576 geheugenlokaties. Door nu telkens eerst de rij-adressen op te nemen en daarna de kolom-adressen zijn 10 adreslijnen voldoende. Hierbij zijn wel twee extra signalen nodig om de adressen in te klokken: $\overline{\text{RAS}}$ en $\overline{\text{CAS}}$.

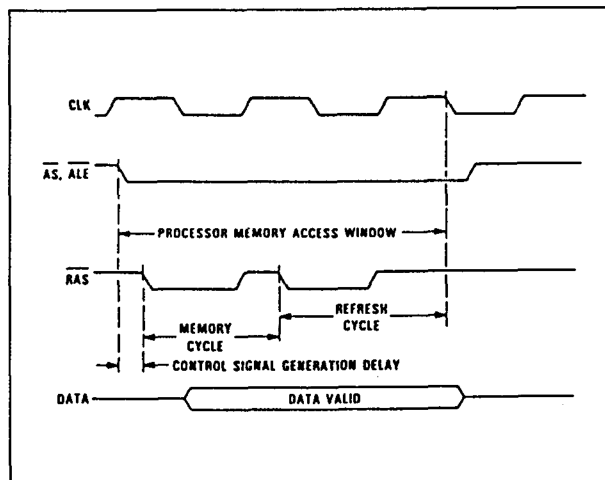
3.1 Achtergrond-informatie

Snellere toegang

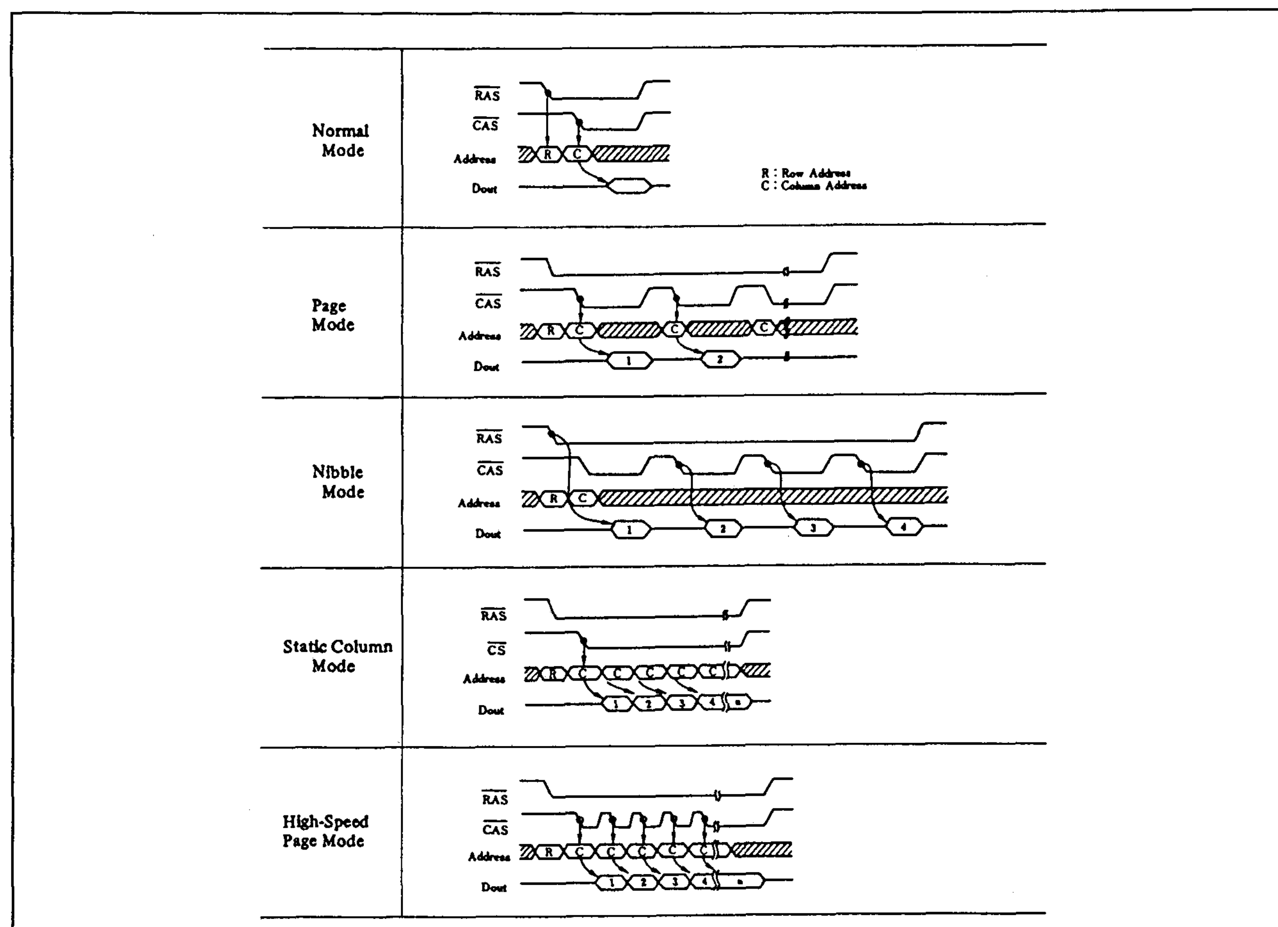
De toegangstijd is bij DRAM's in principe altijd langer dan bij statische RAM's. Om toch snellere geheugen-operaties mogelijk te maken is voorzien in "high-speed" toegangsmodes.

In een DRAM wordt de lees-operatie als volgt uitgevoerd.

Wanneer met een rij-adres een woordlijn is geselecteerd wordt alle data in de geheugencellen die met deze woordlijn zijn verbonden overgenomen door de sense-versterkers. Eén van deze sense-versterkers wordt door het kolom-adres gekozen en zet zijn inhoud op de uitgang.



Figuur 8/3.1-6: Transparante refresh bij een langzame processor.



Figuur 8/3.1-7: Vergelijking van de high-speed toegangsmodes.

Het aanbod van data uit andere sense-versterkers is dan alleen afhankelijk van het kolom-adres. Dit wordt "high-speed" toegang genoemd.

3.1 Achtergrond-informatie

In figuur 8/3.1-7 wordt een overzicht van de high-speed modes gegeven.

- Page-mode
  Dit is bij DRAM's de meest gebruikte toegangsmode. Het kolom-adres wordt synchroon met de dalende flank van $\overline{CAS}$ omgeschakeld.
- Nibble-mode
  In een nibble-mode DRAM wordt data uit 4 opeenvolgende adressen opgeslagen in de 4 uitgangslatches. De latch-schakelingen worden bestuurd door het $\overline{CAS}$-signaal, zodat dit ook de uitgangsdata levert. Wanneer na elkaar 4 adressen worden bereikt behoeven de rij-adressen op en na de tweede bit niet meer te worden geselecteerd.
  De timing wordt daardoor vergemakkelijkt. De nibble-mode is sneller dan de page-mode, maar de operatie is echter beperkt tot 4 adressen.
- Static column-mode
  In de statische kolom-mode wordt het kolom-adres zonder synchronisatiesignaal omgeschakeld.
- High-speed page-mode
  Deze bedrijfsmode is een verbeterde versie van de statische kolom-mode, waarbij $\overline{CAS}$ de adres-latch functie levert.

3.1 Achtergrond-informatie

8/3.2

Uitwisselbaarheid van dynamische RAM's

Inleiding

In dit deel worden de "gewone" dynamische RAM's voor de opslag van informatie behandeld. Speciale typen, zoals Video RAM's, Multiports, enzovoorts worden vanwege hun speciale toepassingen apart besproken.
Door hun eenvoudige opzet zijn DRAM's altijd zeer aantrekkelijk geweest voor de fabrikanten, die deze schakelingen dan ook vaak als "oefenterrein" beschouwen.
Dat volgt ook uit de ontwikkelingen op dit gebied: de opslagcapaciteit van de DRAM's groeit voortdurend, terwijl de inwendige afmetingen steeds kleiner worden. Die miniaturisering is vooral mogelijk geworden door de toegepaste CMOS-technologie. Er zijn zelfs fabrikanten die hun vertrouwde (maar wel langzamer werkende en meer energie verbruikende) 256k-typen vervangen door CMOS-typen.

De opslagcapaciteit van DRAM's is eigenlijk altijd gegroeid met een factor 4: 256, 1k, 4k, 16k, 64k, 256k, 1M, 4M, 16M. De TMS 41128 van Texas Instr. vormt hierop een uitzondering, omdat dit type uit twee op elkaar gestapelde 4164's bestaat.

De onderstaande equivalentenlijst begint bij DRAM's vanaf 16k, omdat kleinere geheugens in feite niet meer actueel zijn. Toch begint de type-beschrijving van hoofdstuk 8/3.3 met enkele kleine DRAM's: de µPD411 en de TMS4108, omdat die nogal eens boven water komen en dan vaak voor privé-doeleinden worden gebruikt.

Van de grootste DRAM's, de 16M-typen, worden de gegevens besproken zodra zij bekend zijn.

16k-typen

16k x 1 (4116-typen)

merk	typenummer
AMD	Am 9016
Fairchild	F 4116
Fujitsu	MB 8116
Hitachi	HM 4716A
Intel	2117
Intersil	IM 4116
ITT	ITT 4116
Mitsubishi	M5K 4116
Mostek	MK 4116
Motorola	MCM 4116B
Natsemi	MM 5290
NEC	µPD 416
Siemens	HYB 4116
Texas Instr.	TMS 4116
Toshiba	TMM 4116

64k-typen

64k x 1 (page-mode, 4164-typen)

merk	typenummer
AMD	Am 9064
Fairchild	F 4166
Fujitsu	MB 8264A
	MB 8265A
Hitachi	HM 4864(A)

3.2. Uitwisselbaarheid van dynamische RAM's

INMOS	IMS 2600
Intel	2164A
ITT	ITT 4164
Matsushita	MN 4164
Micron Techn.	MT 4264
Mitsubishi	M5K 4164AN
Mostek	MK 4164
Motorola	MCM 6665A
Natsemi	NMC 4164
NEC	µPD 4164
OKI	MSM 3764A
Panasonic	MN 4164
Samsung	KM 4164B
Siemens	HY 4164
Texas Instr.	TMS 4164
Toshiba	TMM 4164
Tristar	KM 4164A

16k x 4 (4416-typen)

merk	typenummer
Fujitsu	MB 81416
Hitachi	HM 48416A
Inmos	IMS 2620
Mitsubishi	M5M 4416
NEC	µPD 41416
Texas Instr.	TMS 4416

256k-typen

256k x 1 (page-mode: 4256-typen)

merk	typenummer
AMD	Am 90C256
	Am 90CL256 (CMOS)
AT & T	M 41256P
Fujitsu	MB 81256
	MB 41256
Hitachi	HM 50256
Hyundai	HY 51C256
	HY 51256
Intel	51C256H
Micron Techn.	MT 1256
Mitsubishi	M5M 4256
Mostek	MK 4556
Motorola	MCM 6256B
NEC	µPD 41256
NMB	AAA 2800
OKI	MSM 37256
	MSM 41256
Panasonic	MN 41256A
Samsung	KM 41256(A)
Sharp	LH 21256
Siemens	HYB 41256
Texas Instr.	TMS 4256
Toshiba	TMM 41256
Western Electric	WCM 41256

256k x 1 (nibble-mode: 4257-typen)

merk	typenummer
AMD	Am 90C257
	Am 90CL257 (CMOS)
Fujitsu	MB 81257
Hitachi	HM 50257
Mitsubishi	M5M 4257
Motorola	CM 6257
NEC	µPD 41257
OKI	MSM 37257
Samsung	KM 41257(A)
Texas Instr.	TMS 4257
Toshiba	TMM 41257

64k x 4 (page-mode: 4464-typen)

merk	typenummer
Fujitsu	MB 81464
	MB 81C466
Hitachi	HM 50464
	HM 50465
Hyundai	HY 51464
	HY 51C464
Intel	51C259
Micron Techn.	MT 4064
	MT 4067
Mitsubishi	M5M 4464
Motorola	MCM 41464
NEC	µPD 41464
	µPD 41254
OKI	MSM 41464
Panasonic	MN 41464A
Sharp	LH 2464
	LH 2465
Texas Instr.	TMS 4464
Toshiba	TMM 41464

3.2. Uitwisselbaarheid van dynamische RAM's

1M-typen

1M x 1 (page-mode, 4C1024 / 511000-typen)

merk	typenummer
AT & T	M 511024
Fujitsu	MB 811000
Hitachi	HM 511000
Hyundai	HY 51C100
Micron Techn.	MT 41C001
Mitsubishi	M5M 4C1000
Motorola	MCM 511000 (CMOS)
NEC	µPD 411000 (CMOS)
NMB	AAA 1M100
OKI	MSM 411000
	MSM 511000
Panasonic	MN 41C1000 (CMOS)
Samsung	KM 41C1000(A) (CMOS)
Siemens	HYB 511000(A) (CMOS)
Texas Instr.	TMS 4C1024 (CMOS)
Toshiba	TC 511000 (CMOS)

1M x 1 (nibble-mode, 4C1025 / 511001-typen)

merk	typenummer
Fujitsu	MB 811001
Hitachi	HM 511001 (CMOS)
Mitsubishi	M5M 4C1001
Motorola	MCM 511001 (CMOS)
NEC	µPD 411001
NMB	AAA 1M200
OKI	MSM 411001
Texas Instr.	TMS 4C1025 (CMOS)
Toshiba	TC 511001 (CMOS)

1M x 1 (static column-mode, 4C1027 / 511002-typen)

merk	typenummer
Hitachi	HM 511001
Mitsubishi	M5M 511001
Motorola	MCM 511002
NMB	AAA 1M100
	AAA 1M200
OKI	MSM 511001
Texas Instr.	TMS 4C1027
Toshiba	TC 511002 (CMOS)

264k x 4 (page-mode, 44C256 / 514256-typen)

merk	typenummer
AT & T	M 441024
Hitachi	HM 514256
Mitsubishi	M5M 44C256
Motorola	MCM 514256 (CMOS)
NEC	µPD 414256
	µPD 424256 (CMOS)
NM	AAA 1M104
	AAA 1M204
OKI	MSM 414256
	MSM 514256
Panasonic	MN 41C4256 (CMOS)
Samsung	KM 44C256(A) (CMOS)
Sharp	LH 64256
Siemens	HYB 514256 (CMOS)
Texas Instr.	TMS 44C256 (CMOS)
Toshiba	TC 514256 (CMOS)

264k x 4 (static column-mode, 44C257 / 514258-typen)

merk	typenummer
Hitachi	HM 51428
Mitsubishi	M5M 44C258
Motorola	MCM 514258 (CMOS)
NMB	AAA 1M104
	AAA 1M204
OKI	MSM 514257
Sharp	LH 64256
Texas Instr.	TMS 44C257 (CMOS)
Toshiba	TC 514258 (CMOS)

4M-typen

4M x 1 (page-mode, 44100-typen)

merk	typenummer
Texas Instr.	TMS 44100

1M x 4 (page-mode, 44400-typen)

merk	typenummer
Samsung	KM 44C1000
Texas Instr.	TMS 44400

3.2. Uitwisselbaarheid van dynamische RAM's

8/3.3

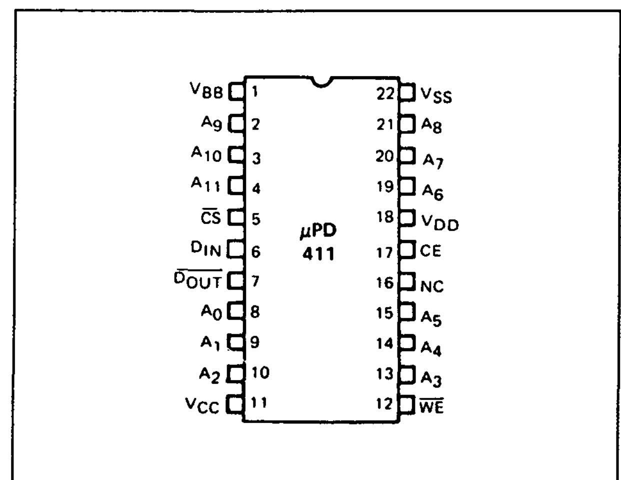
Type-beschrijving

µPD 411(A)
4k x 1 DRAM

De µPD 411 en de µPD 411A zijn 4096 bit dynamische Random Access Memories die door NEC werden vervaardigd. Hier worden in het kort de eigenschappen vermeld, omdat ze nog wel gebruikt maar niet meer gefabriceerd worden. Elke 2 ms moet de opgeslagen informatie worden ververst.
Dit wordt gedaan door een leescyclus uit te voeren op alle 64 rij-adressen (A0 tot en met A5). Zoals bij veel van de eerste geïntegreerde geheugens voorkomt zijn drie voedingen nodig. Het geheugen is georganiseerd in 4096 woorden van 1 bit.

Specificaties
- 4096 x 1 bit organisatie
- Voedingen:
  V_{BB} = -5 V, V_{CC} = +5 V, V_{DD} = +12 V
  (+/-5 % voor µPD 411, +/-10 % voor µPD 411A)
- alle ingangen (behalve CE) TTL-comp.
- snelheid: zie tabel 8/3.3-1
- behuizing:
  µPD 411: 22-pens 0,4" keramische DIL
  µPD 411A: 22-pens plastic DIL (figuur 8/3.3-1)

Werking
- Chip Enable CE
  Voor de lees-, schrijf-, refresh- en read-modify-write operaties is slechts één extern clocksignaal nodig: CE.
  Als de Chip Enable LAAG is, bevindt het geheugen zich in de standby toestand.
- Chip Select $\overline{CS}$
  Wanneer $\overline{CD}$ LAAG is worden data-in en data-out vrijgegeven. De Chip Select-ingang moet LAAG zijn voordat CE HOOG wordt.
- Write enable $\overline{W}$
  Wanneer de write-enable ingang $\overline{W}$ HOOG is wordt de leesmode geselecteerd; met een LAAG niveau de schrijfmode. In de leesmode is de data-ingang gesperd.
- Adressen A0 tot en met A11
  Alle adresingangen moeten stabiel zijn op de stijgende flank van CE (waardoor het adres in de registers wordt opgeslagen).
- Data-ingang D-in
  Data wordt tijdens een schrijf- of lees-modificeer-schrijf cyclus in het geheugen geschreven terwijl de Chip Enable-ingang HOOG is. Data-in heeft geen eigen register.



Figuur 8/3.3-1: Aansluitingen van de µPD 411(A).

3.3 Type-beschrijving

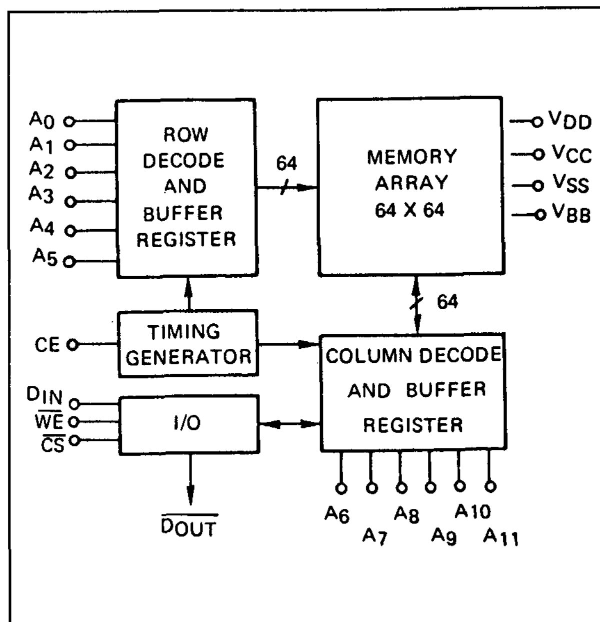
	ACCESS TIME	R/W CYCLE	RMW CYCLE	REFRESH TIME
µPD411	300 ns	470 ns	650 ns	2 ms
µPD411-1	250 ns	470 ns	640 ns	2 ms
µPD411-2	200 ns	400 ns	520 ns	2 ms
µPD411-3	150 ns	380 ns	470 ns	2 ms
µPD411-4	135 ns	320 ns	320 ns	2 ms

Tabel 8/3.3-1: Overzicht van de leverbare typen.

Operating Temperature	0°C to +70°C	+10°C to +55°C
Storage Temperature	-55°C to +150°C	-55°C to +150°C
All Output Voltages	-0.3 to +20 Volts	-0.3 to +25 Volts ①
All Input Voltages	-0.3 to +20 Volts	-0.3 to +25 Volts ①
Supply Voltage V_{DD}	-0.3 to +20 Volts	-0.3 to +25 Volts ①
Supply Voltage V_{CC}	-0.3 to +20 Volts	-0.3 to +25 Volts ①
Power Dissipation	1.0W	1.5W

Note: ① Relative to V_{BB}

Tabel 8/3.3-2: Maximaal toegelaten waarden.



Figuur 8/3.3-2: Functioneel blokschema van de µPD 411(A).

T_a = 0°C to 70°C, V_{DD} = +12V ±5%, V_{CC} = +5V ±5%, V_{BB} = -5V ±5%, V_{SS} = 0V,
Except V_{DD} = +15V ±5% for 4114.

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP ①	MAX		
Input Load Current	I_{LI}		0.01	10	µA	V_{IN} = $V_{IL\,MIN}$ to $V_{IH\,MAX}$
CE Input Load Current	I_{LC}		0.01	10	µA	V_{IN} = $V_{ILC\,MIN}$ to $V_{IHC\,MAX}$
Output Leakage Current for High Impedance State	I_{LO}		0.01	10	µA	CE = V_{ILC} or $\overline{CS}$ = V_{IH} V_0 = 0V to 5.25V
V_{DD} Supply Current during CE off	$I_{DD\,OFF}$		20	200	µA	CE = 1.0V to 0.6V
V_{DD} Supply Current during CE on	$I_{DD\,ON}$		35 ⑤	60 ④	mA	CE = V_{IHC}, T_a = 25°C
Average V_{DD} Current						T_a = 25°C
µPD411	$I_{DD\,AV}$		37	60	mA	Cycle Time = 470 ns
µPD411-1	$I_{DD\,AV}$		37	60	mA	Cycle Time = 470 ns
µPD411-2	$I_{DD\,AV}$		37	60	mA	Cycle Time = 400 ns
µPD411-3	$I_{DD\,AV}$		41	65	mA	Cycle Time = 380 ns
µPD411-4	$I_{DD\,AV}$		56	80	mA	Cycle Time = 320 ns
V_{BB} Supply Current ②	I_{BB}		5	100	µA	
V_{CC} Supply Current during CE off ③	$I_{CC\,OFF}$		0.01	10	µA	CE = V_{ILC} or $\overline{CS}$ = V_{IH}
Input Low Voltage	V_{IL}	1.0		0.6	V	
Input High Voltage	V_{IH}	2.4		V_{CC}+1	V	
CE Input Low Voltage	V_{ILC}	1.0		0.6	V	
CE Input High Voltage	V_{IHC}	V_{DD}-1	V_{DD}	V_{DD}+1	V	
Output Low Voltage	V_{OL}	0		0.40	V	I_{OL} = 3.2 mA
Output High Voltage	V_{OH}	2.4		V_{CC}	V	I_{OH} = 2.0 mA

Notes: ① Typical values are for T_a = 25°C and nominal power supply voltages.
② The I_{BB} current is the sum of all leakage current.
③ During CE on V_{CC} supply current is dependent on output loading. V_{CC} is connected to output buffer only.
④ 65 mA for µPD411-3
80 mA for µPD411-4
⑤ 41 mA for µPD411-3
56 mA for µPD411-4

Tabel 8/3.3-3: Gelijkspanningscondities voor de µPD 411-typen.

3.3 Type-beschrijving

- Data-out $\overline{\text{D-out}}$
  De 3-state uitgangsbuffer is TTL-compatibel en heeft een fan-out van 2 (TTL-poorten).
  De uitgang is hoog-impedant als CE LAAG is of als $\overline{\text{CS}}$ HOOG is.
  De data komt geïnverteerd aan de uitgang.

READ CYCLE

T_a = 0°C to 70°C, V_{DD} = 12V ± 5%, V_{CC} = 5V ± 5%, V_{BB} = −5V ± 5%, V_{SS} = 0V, unless otherwise noted.
Except V_{DD} = +15V ± 5% for 411-4

PARAMETER	SYMBOL	LIMITS										UNIT
		µPD411		µPD411-1		µPD411-2		µPD411-3		µPD411-4		
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Time Between Refresh	t_{REF}		2		2		2		2		2	ms
Address to CE Set Up Time	t_{AC}	0		0		0		0		0		ns
Address Hold Time	t_{AH}	150		150		150		150		100		ns
CE Off Time	t_{CC}	130		170		130		130		80		ns
CE Transition Time	t_T	0	40	0	40	0	40	0	40	0	40	ns
CE Off to Output High Impedance State	t_{CF}	0	130	0	130	0	130	0	130	0	130	ns
Cycle Time	t_{CY}	470		470		400		380		320		ns
CE on Time	t_{CE}	300	3000	260	3000	230	3000	210	3000	200	3000	ns
CE Output Delay	t_{CO}		280		230		180		130		115	ns
Access Time	t_{ACC}		300		250		200		150		135	ns
CE to $\overline{\text{WE}}$	t_{WL}	40		40		40		40		40		ns
$\overline{\text{WE}}$ to CE on	t_{WC}	0		0		0		0		0		ns

Tabel 8/3.3-4: Schakeltijden bij de lees-cyclus (zie ook figuur 8/3.3-3).

WRITE CYCLE

T_a = 0°C to 70°C, V_{DD} = 12V ± 5%, V_{CC} = 5V ± 5%, V_{BB} = −5V ± 5%, V_{SS} = 0V, unless otherwise noted.
Except V_{DD} = +15V ± 5% for 411-4

PARAMETER	SYMBOL	LIMITS										UNIT
		µPD411		µPD411-1		µPD411-2		µPD411-3		µPD411-4		
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Cycle Time	t_{CY}	470		470		400		380		320		ns
Time Between Refresh	t_{REF}		2		2		2		2		2	ms
Address to CE Set Up Time	t_{AC}	0		0		0		0		0		ns
Address Hold Time	t_{AH}	150		150		150		150		100		ns
CE Off Time	t_{CC}	130		170		130		130		80		ns
CE Transition Time	t_T	0	40	0	40	0	40	0	40	0	40	ns
CE Off to Output High Impedance State	t_{CF}	0	130	0	130	0	130	0	130	0	130	ns
CE on Time	t_{CE}	300	3000	260	3000	230	3000	210	3000	200	3000	ns
$\overline{\text{WE}}$ to CE off	t_W	180		180		150		150		65		ns
CE to $\overline{\text{WE}}$	t_{CW}	300		260		230		210		200		ns
D_{IN} to $\overline{\text{WE}}$ Set Up ①	t_{DW}	0		0		0		0		0		ns
D_{IN} Hold Time	t_{DH}	40		40		40		40		40		ns
$\overline{\text{WE}}$ Pulse Width	t_{WP}	180		180		150		100		65		ns

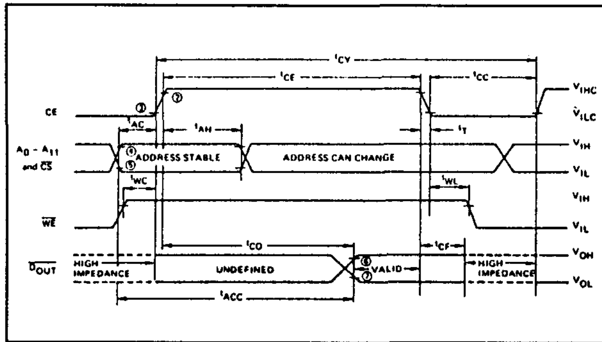
Note: ① If $\overline{\text{WE}}$ is low before CE goes high then D_{IN} must be valid when CE goes high.

Tabel 8/3.3-5: Schakeltijden bij het schrijven (zie ook figuur 8/3.3-4).

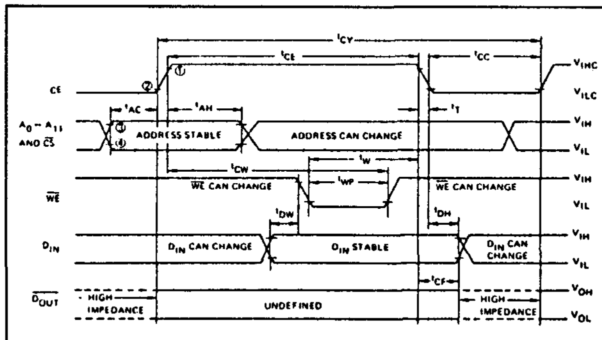
3.3 Type-beschrijving

Refresh

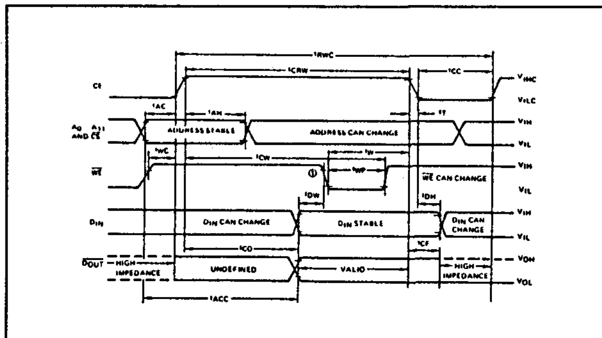
Om de data niet te verliezen moet elke 2 ms een verversing (refresh) worden uitgevoerd door middel van het adresseren van de 64 rij-adressen (A0 tot en met A5). Hierbij behoeft de chip niet geselecteerd te zijn.



Figuur 8/3.3-3: Timing bij de lees-cyclus van de µPD 411.



Figuur 8/3.3-4: Timing en golfvormen bij het schrijven.



Figuur 8/3.3-5: Schakeltijden bij lees-wijzig-schrijf handelingen.

Overige kenmerken

In de figuren 8/3.3-3, -4 en -5 en de tabellen 8/3.3-2 tot en met 8/3.3-6 worden de overige elektrische en timing karakteristieken van de µPD 411 vermeld.

4108

8k x 1 DRAM

De 4108 is een 8192 bit dynamisch, vrij toegankelijk geheugen (DRAM), waarvan alle ingangen, dus ook de Row-Address Strobe $\overline{RAS}$ en de Column-Address Strobe $\overline{CAS}$ en de uitgang TTL-compatibel zijn. Het geheugen is georganiseerd in 8192 1 bits-woorden.

De 4108 dissipeert in aktieve toestand maximaal 462 mW en in standby toestand maximaal 20 mW.

Ook de 4108 heeft drie voedingsspanningen nodig. In de standby-toestand kan V_{CC} worden weggehaald.

Specificaties

- 8192 x 1 bit organisatie
- Voedingen:
  V_{BB} = -5 V, V_{CC} = +5 V, V_{DD} = +12 V (alle spanningen +/-10 %)
- alle ingangen (incl. clocks) en niet-gelatchte uitgang TTL-compatibel
- page-mode werking
- gemeenschappelijke I/O mogelijk met "early write"
- snelheid: 150, 200 en 250 ns (respectievelijk TMS 4108-15, -20 en -25)
- dissipatie: 462 mW max. (20 mW max. standby)
- behuizing: 16-pens 0,3" plastic DIL (figuur 8/3.3-6)
- leverbare typen:
  TMS 4108 (Texas Instruments)
  MK 4108 (Mostek)

Werking

- Adresbits A0 tot en met A6
  Om alle 8192 lokaties te bereiken heeft de 4108 eigenlijk 13 adresaansluitingen nodig.

3.3 Type-beschrijving

READ – MODIFY – WRITE CYCLE

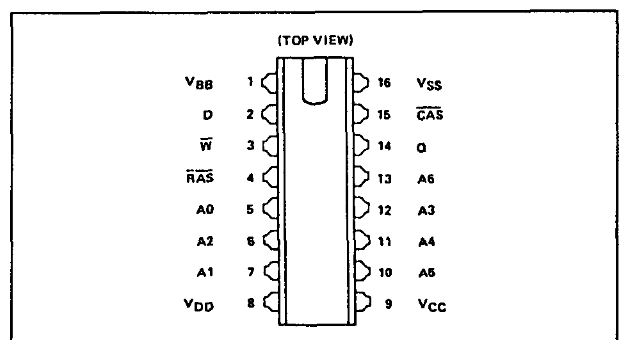
T_a = 0°C to 70°C, V_{DD} = 12V ± 5%, V_{CC} = 5V ± 5%, V_{BB} = 5V ± 5%, V_{SS} = 0V, unless otherwise noted, Except V_{DD} = +15V ± 5% for 411-4

PARAMETER	SYMBOL	LIMITS										UNIT
		μPD411		μPD411-1		μPD411-2		μPD411-3		μPD411-4		
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Read–Modify–Write (RMW) Cycle Time	t_{RWC}	650		640		520		470		320		ns
Time Between Refresh	t_{REF}		2		2		2		2		2	ms
Address to CE Set Up Time	t_{AC}	0		0		0		0		0		ns
Address Hold Time	t_{AH}	150		150		150		150		100		ns
CE Off Time	t_{CC}	130		170		130		130		80		ns
CE Transition Time	t_T	0	40	0	40	0	40	0	40	0	40	ns
CE Off to Output High Impedance State	t_{CF}	0	130	0	130	0	130	0	130	0	130	ns
CE Width During RMW	t_{CRW}	480	3000	430	3000	350	3000	300	3000	200	3000	ns
$\overline{WE}$ to CE on	t_{WC}	0		0		0		0		0		ns
$\overline{WE}$ to CE off	t_W	180		180		150		150		65		ns
$\overline{WE}$ Pulse Width	t_{WP}	180		180		150		100		65		ns
D_{IN} to $\overline{WE}$ Set Up	t_{DW}	0		0		0		0		0		ns
D_{IN} Hold Time	t_{DH}	40		40		40		40		40		ns
CE to Output Display	t_{CO}		280		230		180		130		115	ns
Access Time	t_{ACC}		300		250		200		150		135	ns

Tabel 8/3.3-6: Timing bij lees-modificeer-schrijf operaties (zie ook figuur 8/3.3-5).

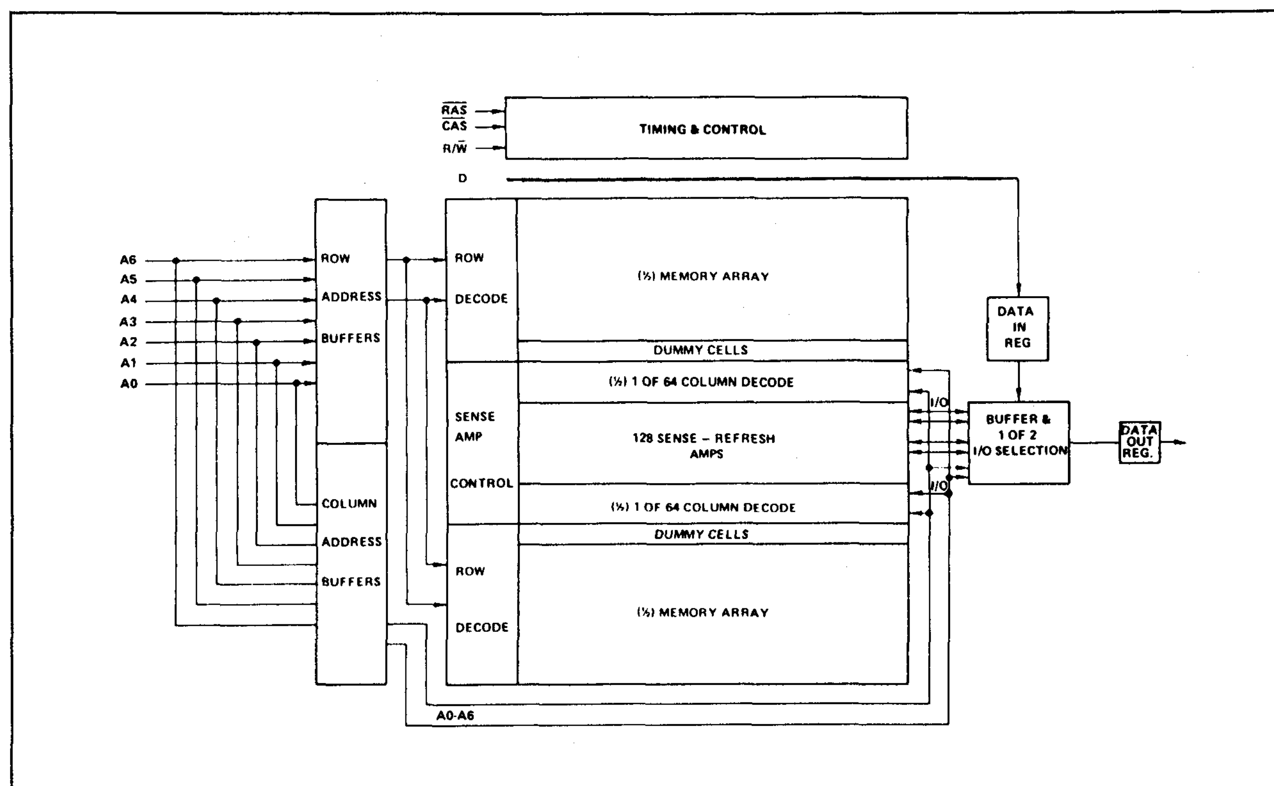
Omdat er maar 7 beschikbaar zijn worden eerst de 7 rij-adresbits op de adrespennen A0 tot en met A6 gezet en met de Row-Address Strobe ($\overline{RAS}$) ingeklokt.
Daarna gebeurt hetzelfde met de 7 kolom-adresbits die met de Column-Address Strobe ($\overline{CAS}$)worden ingeklokt (zie ook figuur 8/3.3-7).

- Write enable ($\overline{W}$)
  Wanneer de write-enable ingang $\overline{W}$ HOOG is wordt de leesmode geselecteerd, terwijl een LAAG niveau op deze ingang de schrijfmode selecteert. In de leesmode is de data-ingang gesperd. Wanneer $\overline{W}$ LAAG gaat voordat $\overline{CAS}$ LAAG gaat, blijft data-out gedurende de gehele cyclus in de hoog-impedante toestand, waardoor gemeenschappelijke I/O-werking mogelijk wordt.
- Data-in (D)
  Data wordt tijdens een schrijf- of lees-modificeer-schrijf cyclus in het geheugen geschreven.
  Door de laatst dalende flank van $\overline{CAS}$ of $\overline{W}$ wordt data in de op de chip aanwezige latch geschreven.
  Bij een "early write" cyclus gaat $\overline{W}$ eerder LAAG dan $\overline{CAS}$. Bij "delayed write" of "read-modify-write" zal $\overline{CAS}$ al LAAG zijn, zodat de data door $\overline{W}$ wordt ingeklokt.
- Data-out (Q)
  De 3-state uitgangsbuffer is direct TTL-compatibel met een fan-out van 2 (TTL-ingangen). De data aan de uitgang heeft dezelfde polariteit als data-in. De uitgang verkeert in de hoog-impedante toestand totdat $\overline{CAS}$ LAAG gaat.
  Tijdens een leescyclus wordt de uitgang $t_{a(C)}$ nanoseconden na het LAAG worden van $\overline{CAS}$ aktief.



Figuur 8/3.3-6: Aansluitingen van de 4108.

3.3 Type-beschrijving



Figuur 8/3.3-7: Functioneel blokschema van de 4108.

Refresh

Om de data te kunnen behouden moet tenminste elke 2 ms een verversing (refresh) worden uitgevoerd. Aangezien de uitgangsbuffer hoog-impedant is tenzij $\overline{CAS}$ aanwezig is, wordt door de $\overline{RAS}$-only refresh operatie voorkomen dat abusievelijk data aan de uitgang verschijnt. Door alle 128 rij-adressen (A0 tot en met A6) met $\overline{RAS}$ te stroben worden alle bits in elke rij ververst.

Page-mode

Door de page-mode operatie (handhaven van hetzelfde rij-adres en stroben van de opeenvolgende kolom-adressen) wordt sneller toegang verkregen tot het geheugen. Hierdoor is het namelijk niet nodig telkens nieuwe rij-adressen op dezelfde pagina te kiezen.

Power-up

V_{BB} moet uiterlijk gelijktijdig met de andere voedingen worden aangelegd en als laatste worden weggehaald, aangezien anders de dissipatie boven het toegestane maximum komt.

Na aanbrengen van de voedingsspanningen moeten acht geheugencyclussen worden uitgevoerd om een goede werking te garanderen.

Overige kenmerken

In de figuren 8/3.3-8 tot en met -14 en de tabellen 8/3.3-7 tot en met -11 worden de resterende elektrische en timing karakteristieken van de TMS 4108 vermeld.

absolute maximum ratings over operating free-air temperature range

Voltage on any pin (see Note 1)	−0.5 to 20 V
Voltage on V_{CC}, V_{DD} supplies with respect to V_{SS}	−1 to 15 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-7: Maximaal toegelaten waarden.

3.3 Type-beschrijving

recommended operating conditions

PARAMETER		MIN	NOM	MAX	UNIT
Supply voltage, V_{BB}		−4.5	−5	−5.5	V
Supply voltage, V_{CC}		4.5	5	5.5	V
Supply voltage, V_{DD}		10.8	12	13.2	V
Supply voltage, V_{SS}			0		V
High-level input voltage, V_{IH}	All inputs except $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	2.4		7	V
	$\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	2.7		7	
Low-level input voltage, V_{IL}		−1†	0	0.8	V
Refresh time, $t_{refresh}$				2	ms
Operating free-air temperature, T_A		0		70	°C

Tabel 8/3.3-8: Aanbevolen bedrijfscondities.

electrical characteristics over full ranges of recommended operating conditions

PARAMETERS		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA			0.4	V
I_I	Input current (leakage)	V_I = 0 V to 7 V, All other pins = 0 V except V_{BB} = −5 V			±10	μA
I_O	Output current (leakage)	V_O = 0 to 5.5 V, $\overline{CAS}$ high			±10	μA
I_{BB1}	Average operating current during read or write cycle	Minimum cycle time		50	200	μA
I_{CC1}*					4	mA
I_{DD1}				27	35	mA
I_{BB2}	Standby current	After 1 memory cycle $\overline{RAS}$ and $\overline{CAS}$ high		10	100	μA
I_{CC2}					±10	μA
I_{DD2}				0.5	1.5	mA
I_{BB3}	Average refresh current	Minimum cycle time $\overline{RAS}$ cycling, $\overline{CAS}$ high		50	200	μA
I_{CC3}					±10	μA
I_{DD3}				20	27	mA
I_{BB4}	Average page-mode current	Minimum cycle time $\overline{RAS}$ low, $\overline{CAS}$ cycling		50	200	μA
I_{CC4}*					4	μA
I_{DD4}				20	27	mA

*V_{CC} is applied only to the output buffer, so I_{CC} depends on output loading. Output loading is two standard TTL loads.

Tabel 8/3.3-9: Gelijkspanningscondities.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER		TEST CONDITIONS	ALTERNATE SYMBOL	TMS 4116-15		TMS 4116-20		TMS 4116-25		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from column address strobe	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		100		135		165	ns
$t_{a(R)}$	Access time from row address strobe	t_{RLCL} = MAX, C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{RAC}		150		200		250	ns
t_{PXZ}	Output disable time	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	40	0	50	0	60	ns

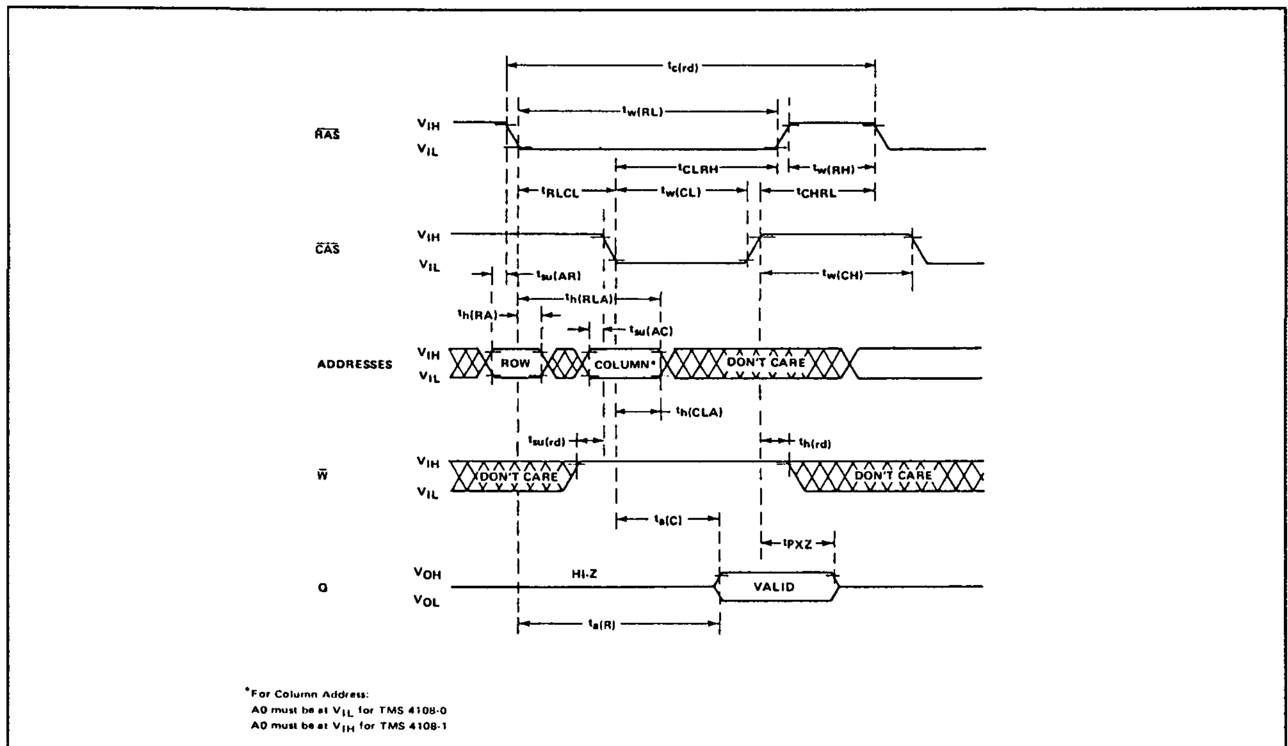
Tabel 8/3.3-10: De belangrijkste schakeltijden voor de verschillende versies van de TMS 4108.

3.3 Type-beschrijving

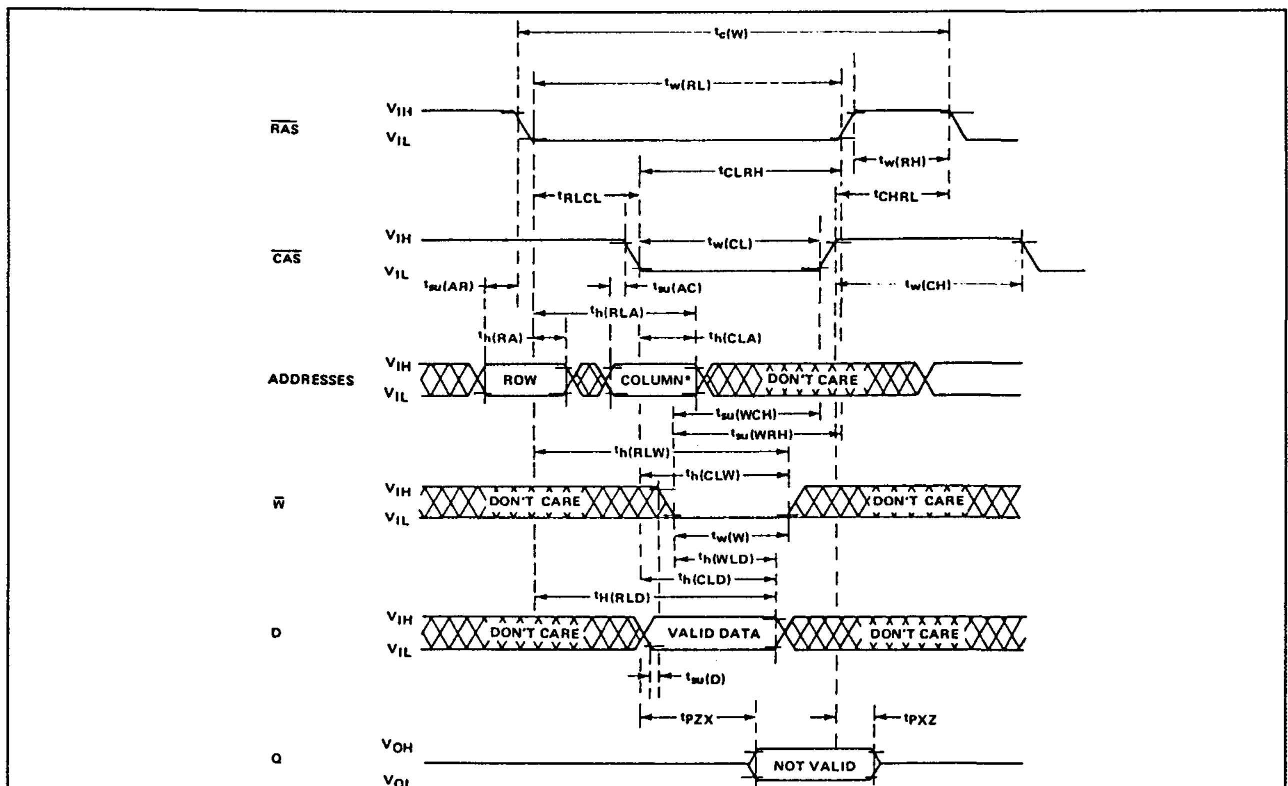
PARAMETER		ALTERNATE SYMBOL	TMS 4108-15		TMS 4108-20		TMS 4108-25		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(P)}$	Page mode cycle time	t_{PC}	170		225		275		ns
$t_{c(rd)}$	Read cycle time	t_{RC}	375		375		410		ns
$t_{c(W)}$	Write cycle time	t_{WC}	375		375		410		ns
$t_{c(RW)}$	Read-modify-write cycle time	t_{RWC}	375		375		515		ns
$t_{w(CH)}$	Pulse width, column address strobe high (precharge time)	t_{CP}	60		80		100		ns
$t_{w(CL)}$	Pulse width, column address strobe low	t_{CAS}	100	10,000	135	10,000	165	10,000	ns
$t_{w(RH)}$	Pulse width, row address strobe high (precharge time)	t_{RP}	100		120		150		ns
$t_{w(RL)}$	Pulse width, row address strobe low	t_{RAS}	150	10,000	200	10,000	250	10,000	ns
$t_{w(W)}$	Write pulse width	t_{WP}	45		55		75		ns
t_T	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	35	3	50	3	50	ns
$t_{su(AC)}$	Column address setup time	t_{ASC}	$-10^{\dagger}$		$-10^{\dagger}$		$-10^{\dagger}$		ns
$t_{su(AR)}$	Row address setup time	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read command setup time	t_{RCS}	0		0		0		ns
$t_{su(WCH)}$	Write command setup time before $\overline{CAS}$ high	t_{CWL}	60		80		100		ns
$t_{su(WRH)}$	Write command setup time before $\overline{RAS}$ high	t_{RWL}	60		80		100		ns
$t_{h(CLA)}$	Column address hold time after $\overline{CAS}$ low	t_{CAH}	45		55		75		ns
$t_{h(RA)}$	Row address hold time	t_{RAH}	20		25		35		ns
$t_{h(RLA)}$	Column address hold time after $\overline{RAS}$ low	t_{AR}	95		120		160		ns
$t_{h(RLC)}$	$\overline{CAS}$ hold time after $\overline{RAS}$ low	t_{CSH}	150		200		250		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DH}	45		55		75		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	95		120		160		ns
$t_{h(WLD)}$	Data hold time after W low	t_{DH}	45		55		75		ns
$t_{h(rd)}$	Read command hold time	t_{RCH}	0		0		0		ns
$t_{h(CLW)}$	Write command hold time after $\overline{CAS}$ low	t_{WCH}	45		55		75		ns
$t_{h(RLW)}$	Write command hold time after $\overline{RAS}$ low	t_{WCR}	95		120		160		ns
t_{CHRL}	Delay time, column address strobe high to row address strobe	t_{CRP}	$-20^{\dagger}$		$-20^{\dagger}$		$-20^{\dagger}$		ns
t_{CLRH}	Delay time, column address strobe low to row address strobe high	t_{RSH}	100		135		165		ns
t_{CLWL}	Delay time, column address strobe low to $\overline{W}$ low (read, modify-write cycle only)	t_{CWD}	70		95		125		ns
$t_{rf,}$	Refresh time interval	t_{REF}		2		2		2	ms
t_{RLCL}	Delay time, row address strobe low to column address strobe low (maximum value specified only to guarantee access time)	t_{RCD}	20	50	25	65	35	85	ns
t_{RLWL}	Delay time, row address strobe low to $\overline{W}$ low (read, modify-write cycle only)	t_{RWD}	120		160		200		ns
t_{WLCL}	Delay time, $\overline{W}$ low to column address strobe low (early write cycle)	t_{WCS}	$-20^{\dagger}$		$-20^{\dagger}$		$-20^{\dagger}$		ns

Tabel 8/3.3-11: Alle optredende schakeltijden.

3.3 Type-beschrijving

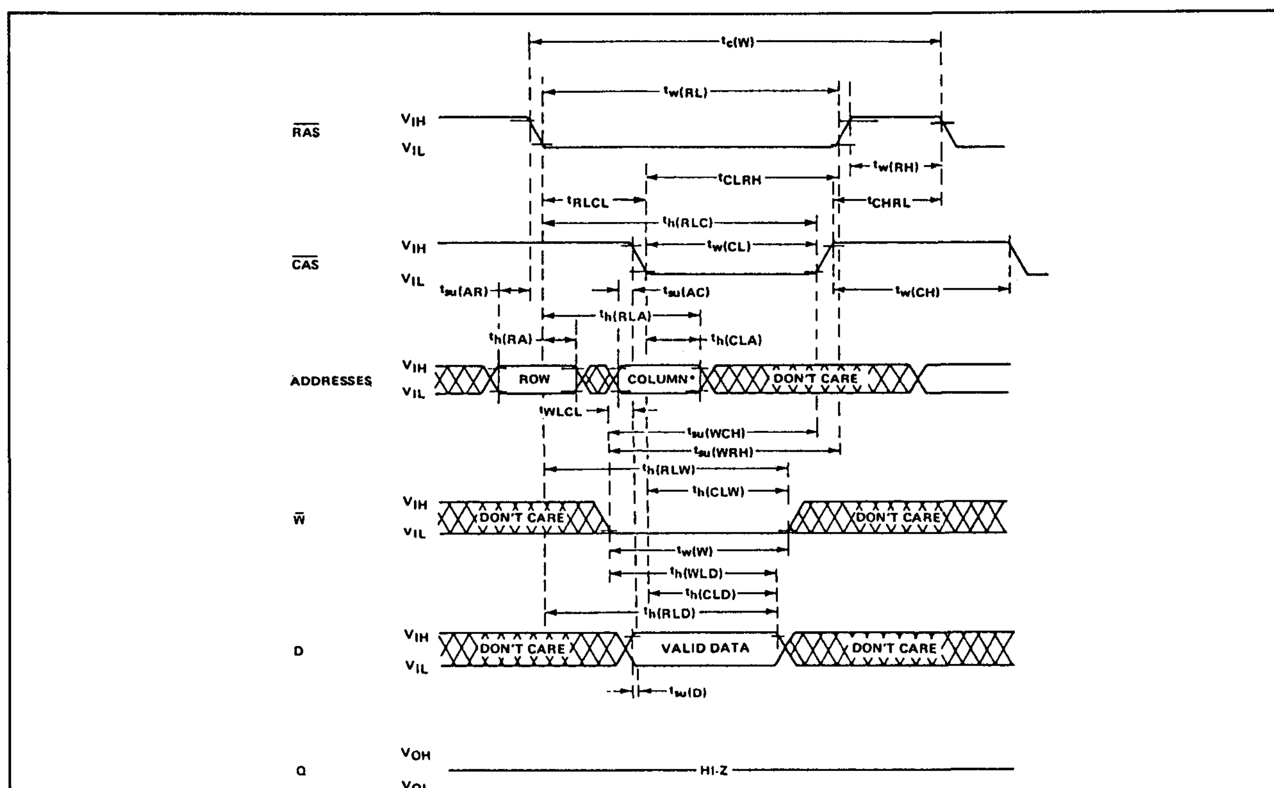


Figuur 8/3.3-8: Golfvormen en timing bij het uitlezen van de TMS 4108.

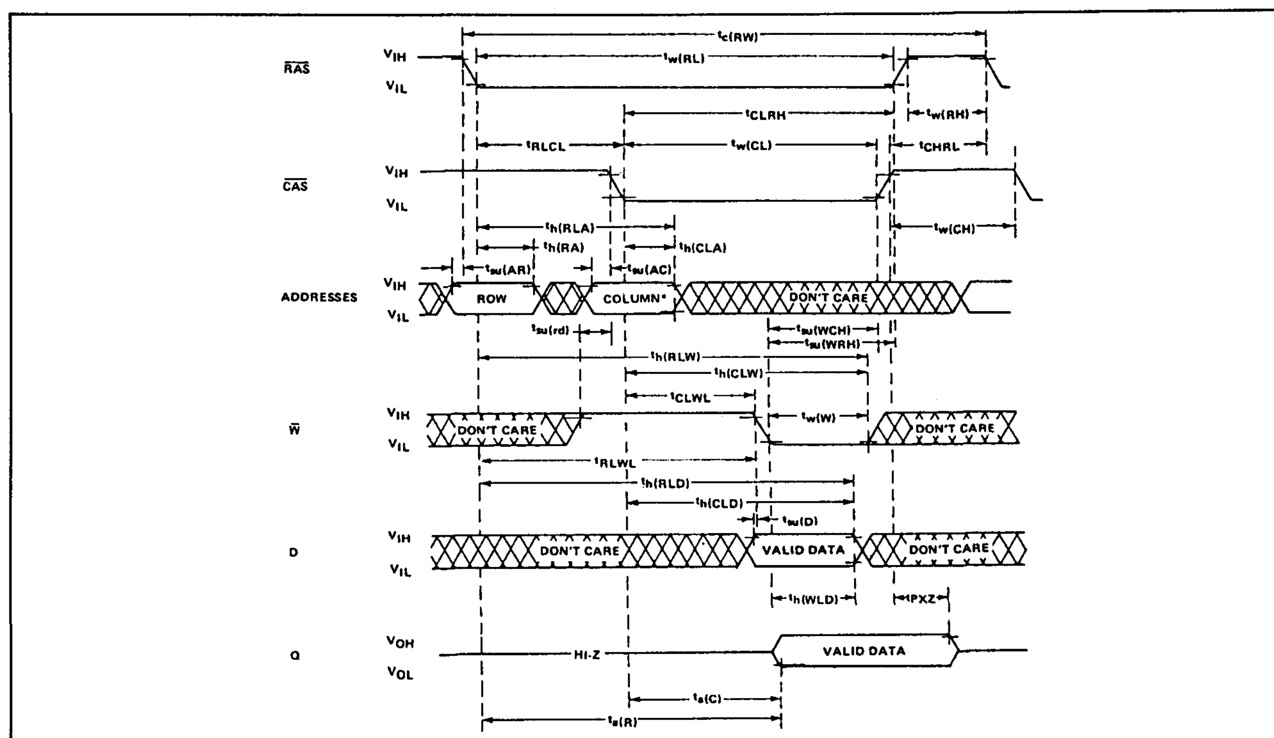


Figuur 8/3.3-9: Timing bij het schrijven.

3.3 Type-beschrijving

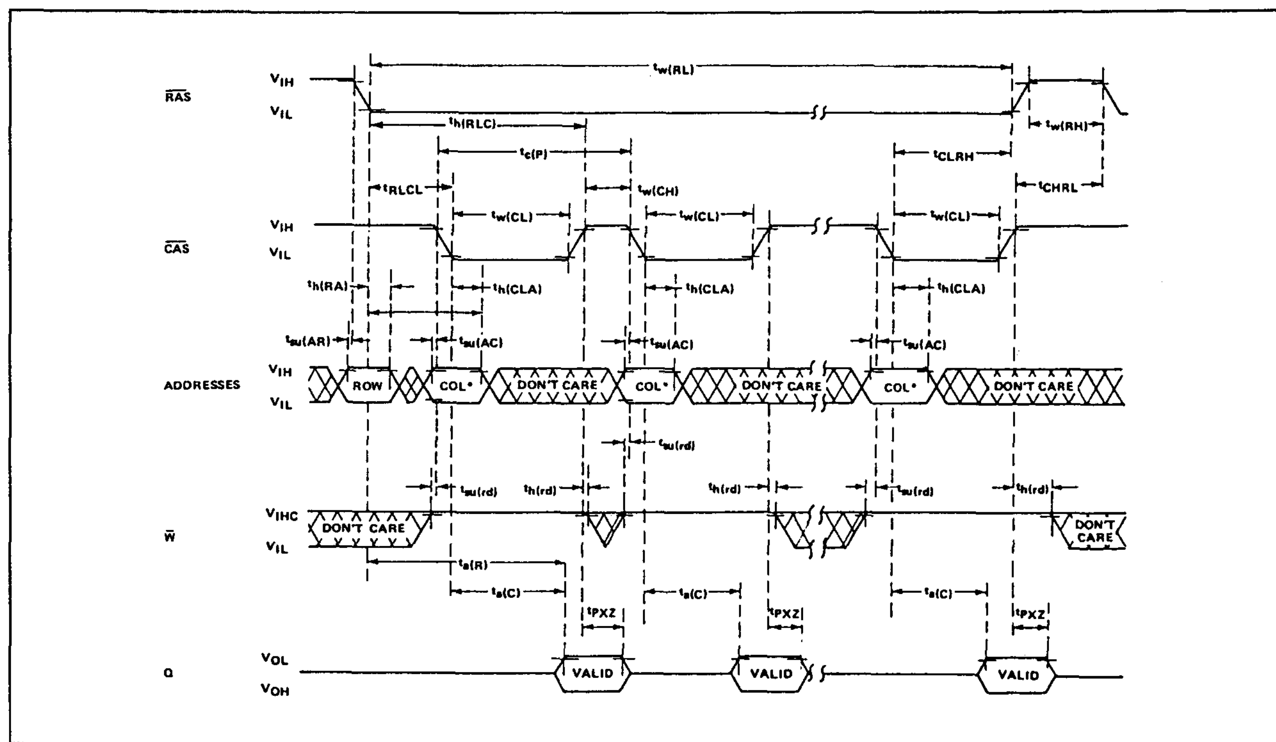


Figuur 8/3.3-10: Golfvormen en timing bij de "early write" cyclus.

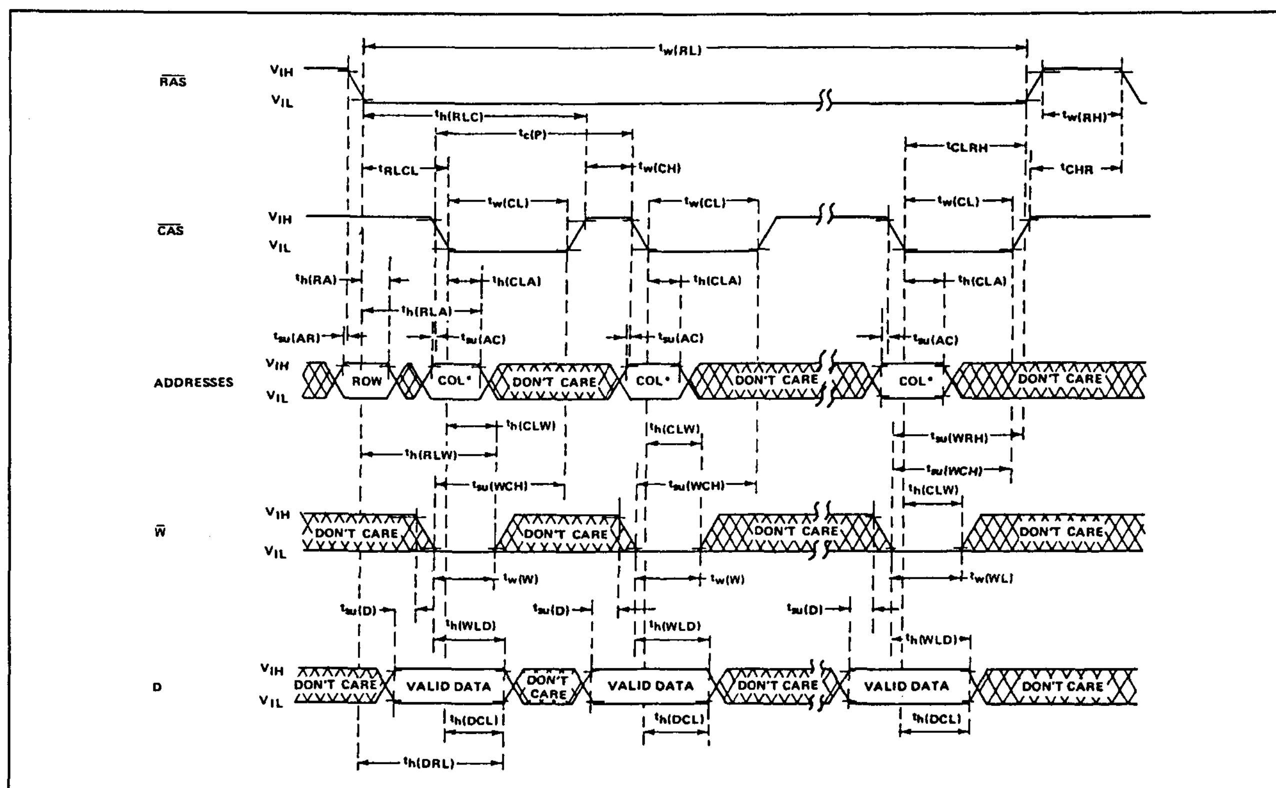


Figuur 8/3.3-11: Timing bij de lees-modificeer-schrijf cyclus.

3.3 Type-beschrijving

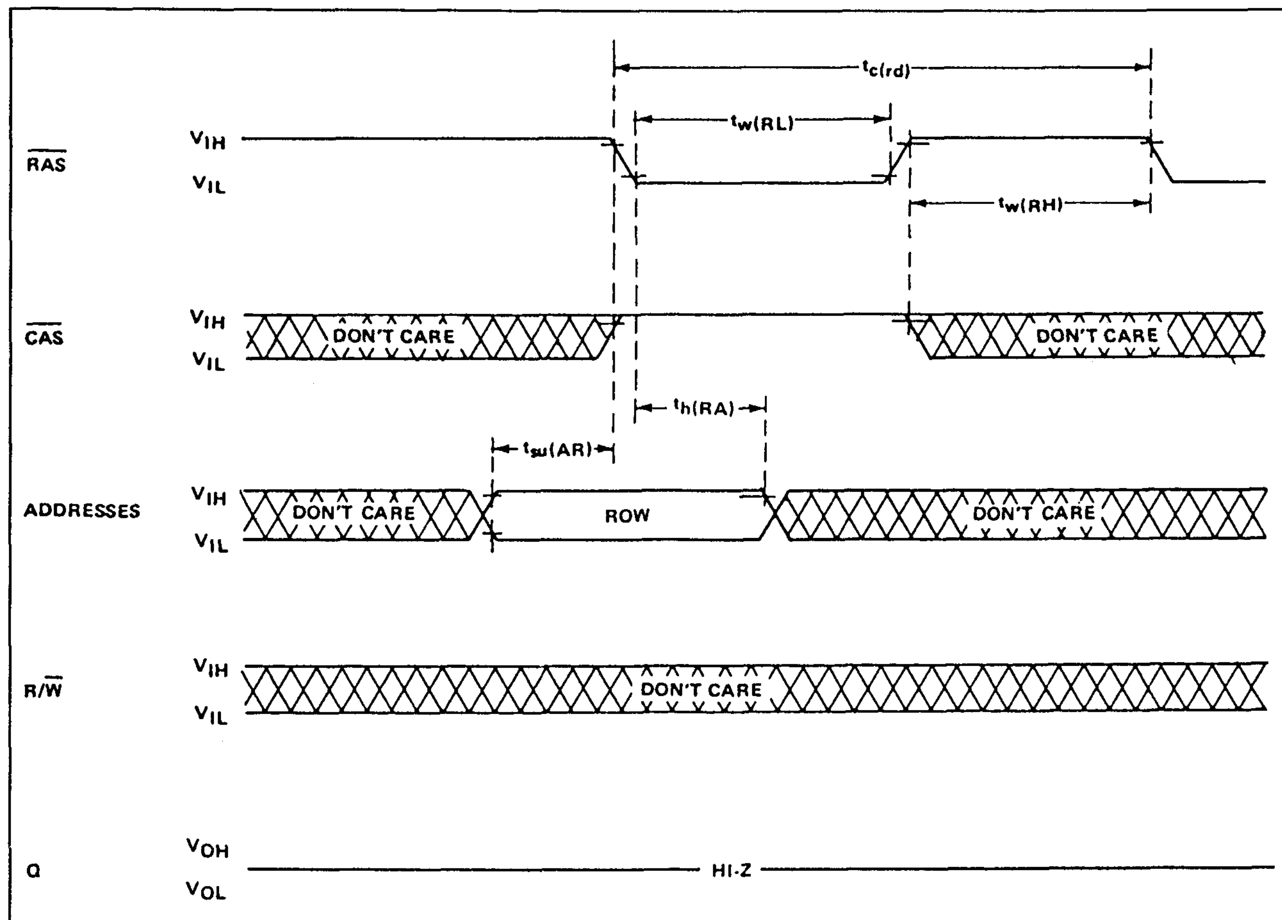


Figuur 8/3.3-12: Timing bij lezen in de page-mode.

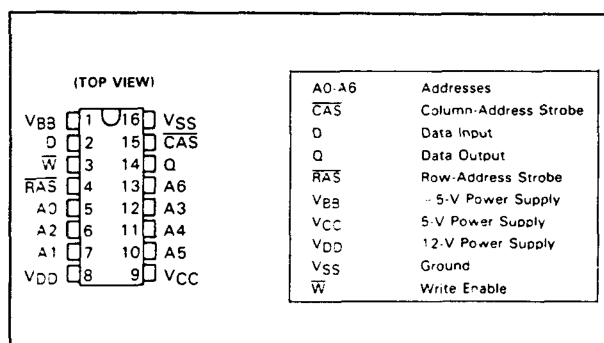


Figuur 8/3.3-13: Timing bij schrijven in de page-mode.

3.3 Type-beschrijving



Figuur 8/3.3-14: Timing bij "$\overline{RAS}$-only" verversen van de opgeslagen data in de TMS 4108.



Figuur 8/3.3-15: Aansluitingen van de 4116.

4116

16k x 1 DRAM

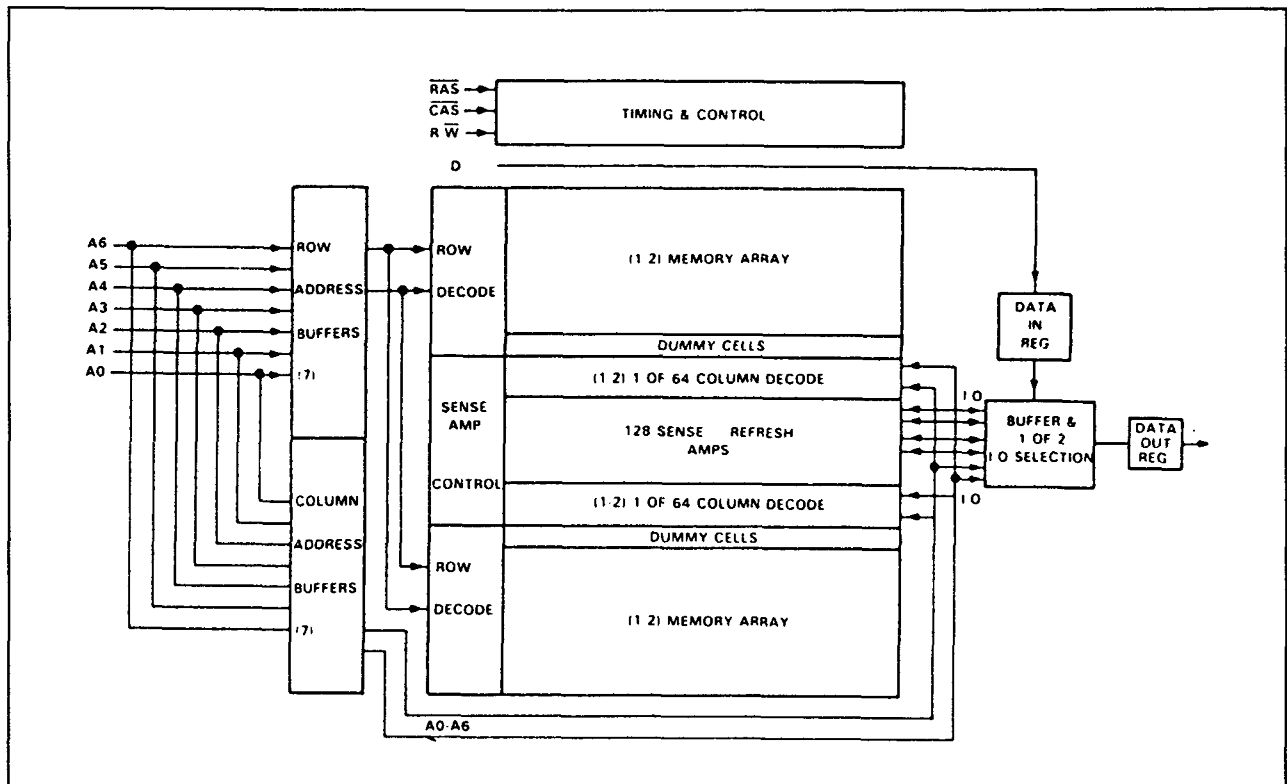
De 4116 is een 16384 bit dynamisch lees- en beschrijfbaar geheugen (DRAM).

Alle ingangen, inclusief de clock-ingangen Row-Address Strobe $\overline{RAS}$ (of $\overline{R}$) en Column-Address Strobe $\overline{CAS}$ (of $\overline{C}$) en de uitgang zijn TTL-compatibel. Het geheugen is georganiseerd in 16384 woorden van 1 bit en wordt gefabriceerd met één-transistor geheugencellen. De 4116 verbruikt (afhankelijk van het fabrikaat) in aktieve toestand ongeveer 350 mW, terwijl standby 6 mW voldoende is. De 4116 gebruikt drie voedingsspanningen: +5 V, -5 V en +12 V. In de standbytoestand kan +5 V (V_{CC}) worden verwijderd.

Specificaties

- 16384 x 1 bit organisatie
- 3 voedingen nodig:
  V_{BB} = -5 V, V_{CC} = +5 V, V_{DD} = +12 V (alle spanningen +/-10 %)

3.3 Type-beschrijving



Figuur 8/3.3-16: Functioneel blokschema van de 4116.

- alle ingangen (incl. clocks) TTL-compatibel
- niet-gelatchte 3-state uitgang TTL-compatibel
- page-mode werking
- dissipatie: 462 mW max. (aktief), 20 mW max. (standby)
- behuizing: 16-pens 0,3" DIL (figuur 8/3.3-15)
- leverbare typen: zie equivalentenlijst

Werking

- Adresbits A0 tot en met A6
  De 4116 heeft 14 adresbits nodig voor het bereiken van de 16384 adreslokaties.
  Daartoe worden eerst de zeven rij-adresbits op de adreslijnen A0 tot en met A6 gezet en door de Row-Address Strobe ($\overline{RAS}$) in de betreffende latches geklokt, waarna hetzelfde gebeurt met de zeven kolom-adresbits via de Column-Address Strobe ($\overline{CAS}$), zie ook figuur 8/3.3-16. Alle adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$ of $\overline{CAS}$ stabiel zijn.
- Write enable ($\overline{W}$)
  Het uitlezen van of het schrijven in het geheugen wordt geselecteerd door de write-enable ingang $\overline{W}$. De leesmode wordt gekozen door $\overline{W}$ HOOG te maken, terwijl met een LAAG niveau op deze ingang wordt geschreven. In de leesmode is de data-ingang gesperd. Als $\overline{W}$ voor $\overline{CAS}$ LAAG gaat, blijft data-out gedurende de gehele cyclus in de hoog-impedante toestand, waardoor gemeenschappelijke I/O-werking mogelijk wordt.
- Data-in (D)
  Data wordt in het geheugen opgeslagen (geschreven) tijdens een schrijf- of lees-modificeer-schrijf cyclus. Door de laatst optredende dalende flank van $\overline{CAS}$ of $\overline{W}$ wordt data in de data-latch geschreven. Deze latch kan worden bediend door signalen op TTL-niveau (zonder optrekweerstand). Bij een "early write" cyclus gaat $\overline{W}$

3.3 Type-beschrijving

eerder LAAG dan $\overline{CAS}$ en wordt de informatie door het laatst genoemde signaal ingeklokt. De set-up en houdtijden hebben in dit geval dus betrekking op $\overline{CAS}$. Bij "delayed write" of "read-modify-write" is $\overline{CAS}$ al LAAG, zodat de data door $\overline{W}$ wordt ingeklokt.

- Data-out (Q)
  De 3-state uitgangsbuffer is TTL-compatibel (fan-out = 2).
  De uitgaande data heeft dezelfde polariteit als data-in. De uitgang verkeert in de hoog-impedante toestand totdat $\overline{CAS}$ LAAG gaat. Tijdens een leescyclus wordt de uitgang $t_{a(C)}$ nanoseconden na het LAAG worden van $\overline{CAS}$ aktief als tenminste aan $t_{a(R)}$ wordt voldaan (zie figuur 8/3.3-18).
  Het uitgangssignaal wordt "waar" nadat de toegangstijd is verstreken en kan worden uitgelezen zolang $\overline{CAS}$ LAAG blijft.

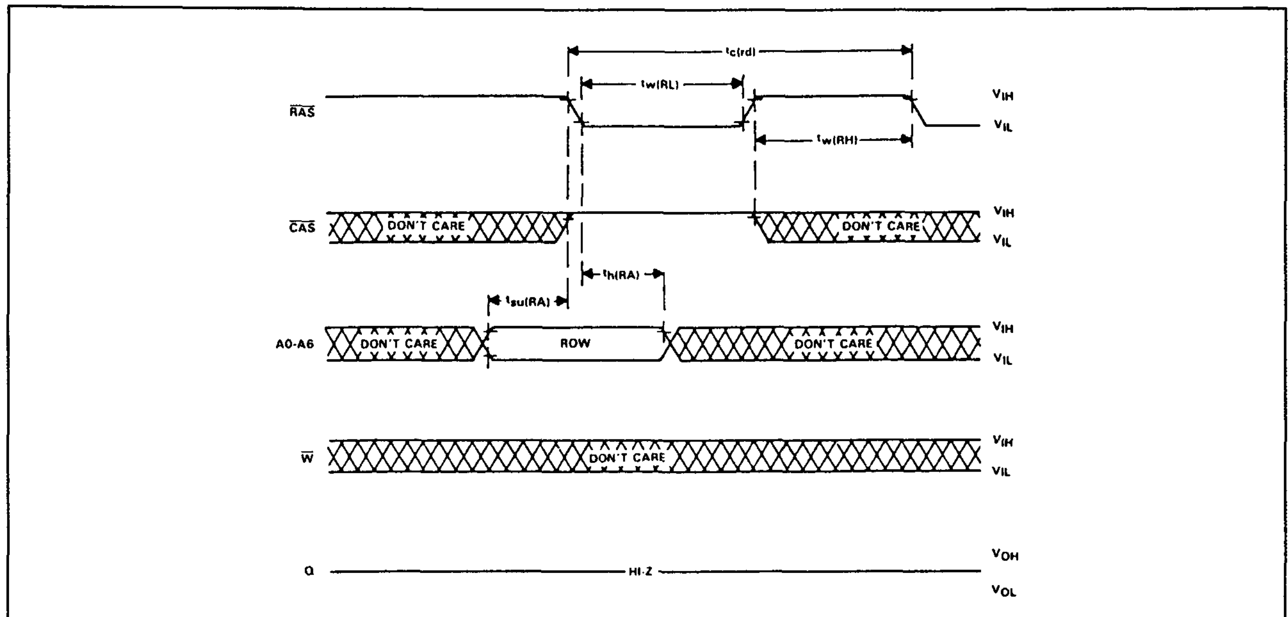
Figuur 8/3.3-17: Logisch symbool van de 4116.

Figuur 8/3.3-18: Timing en golfvormen bij het uitlezen van de 4116.

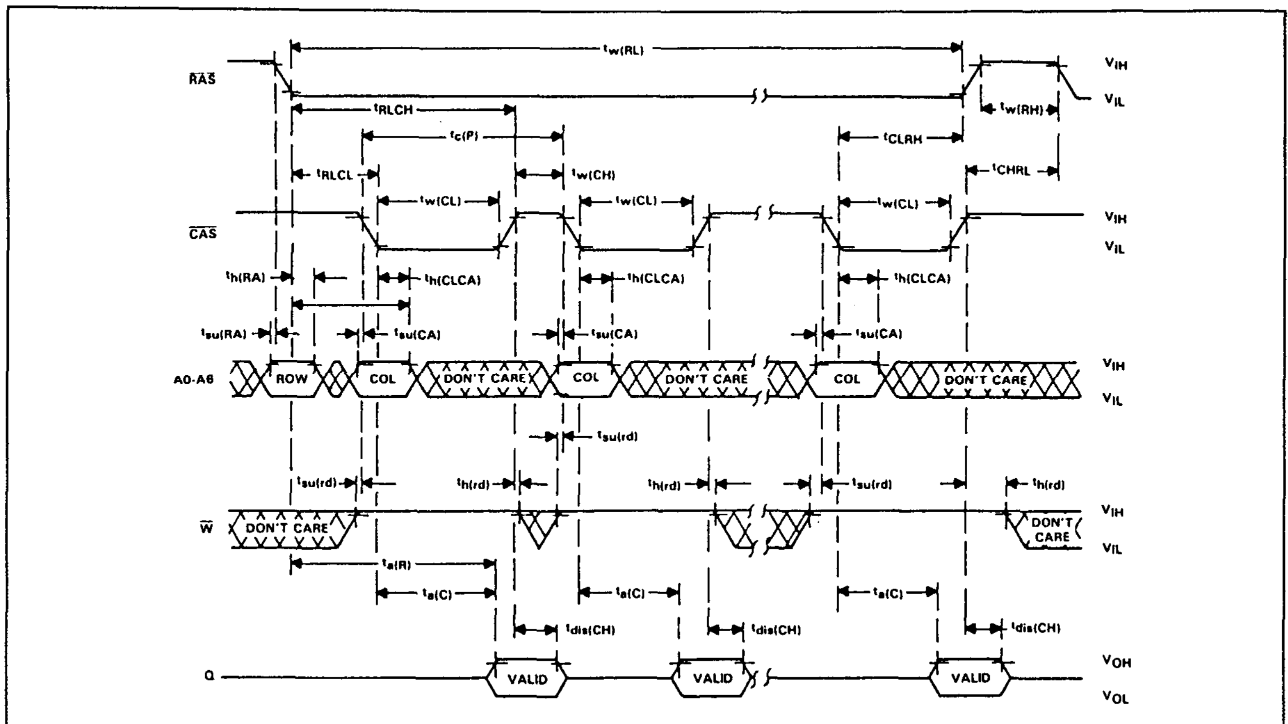
3.3 Type-beschrijving

Refresh

Om de data niet te verliezen moet tenminste elke 2 ms een verversing (refresh) worden uitgevoerd. Omdat de uitgangsbuffer hoog-impedant is als $\overline{\text{CAS}}$ HOOG is, wordt door de "$\overline{\text{RAS}}$-only refresh" voorkomen dat data aan de uitgang verschijnt (figuur 8/3.3-19). Door alle 128 rij-adressen (A0 tot en met A6) met $\overline{\text{RAS}}$ te stroben worden in elke rij alle bits ververst.

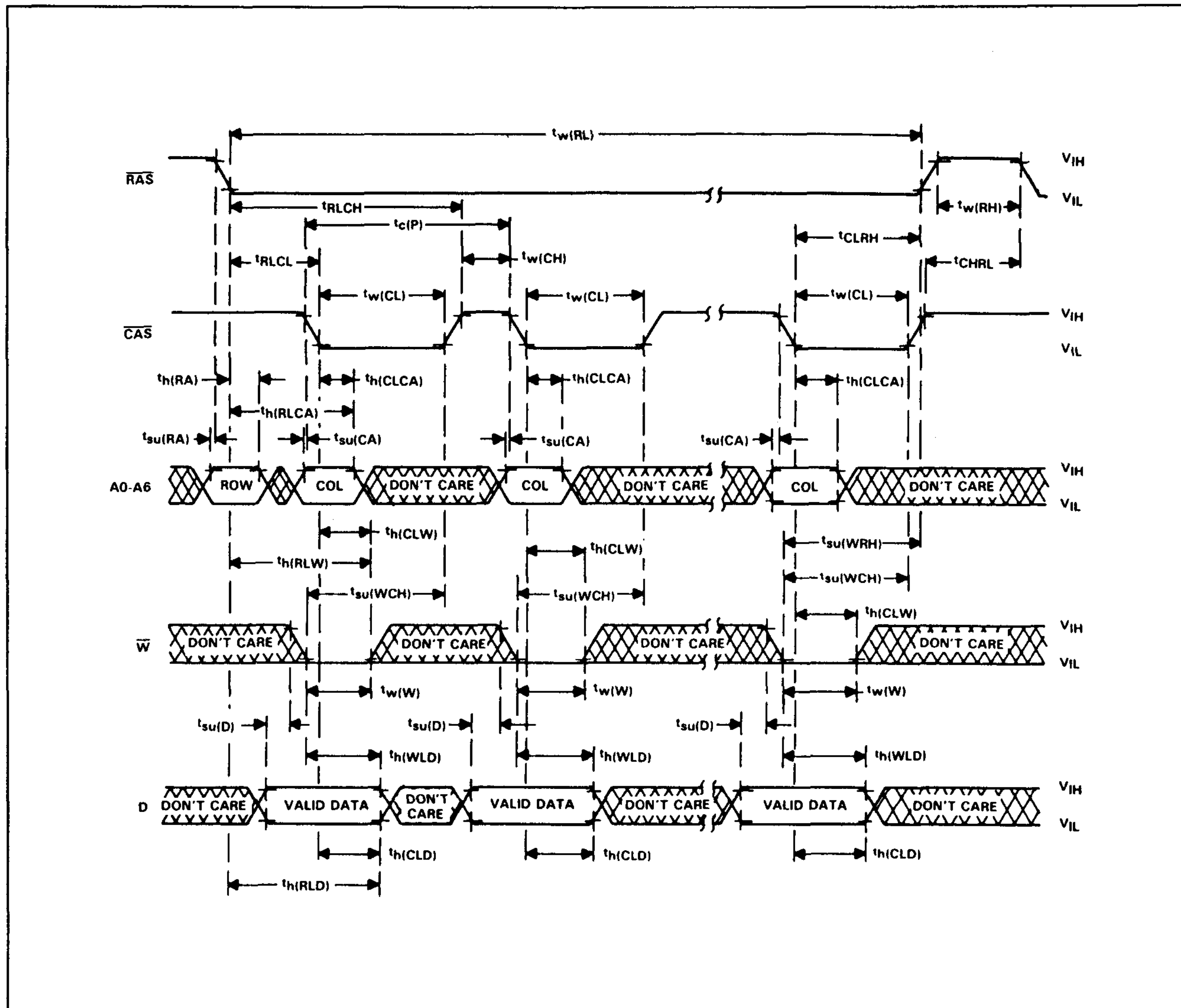


Figuur 8/3.3-19: $\overline{\text{RAS}}$-only refresh timing.



Figuur 8/3.3-20: Timing en golfvormen bij page-mode uitlezen.

3.3 Type-beschrijving



Figuur 8/3.3-21: Golfvormen bij de page-mode schrijfcyclus.

Page-mode

Door de page-mode operatie (handhaven van hetzelfde rij-adres en inklokken van de opeenvolgende kolom-adressen) wordt sneller toegang verkregen tot het geheugen. Het is dan namelijk niet nodig om telkens nieuwe rij-adressen op dezelfde pagina te kiezen (zie ook de figuren 8/3.3-20 en -21).

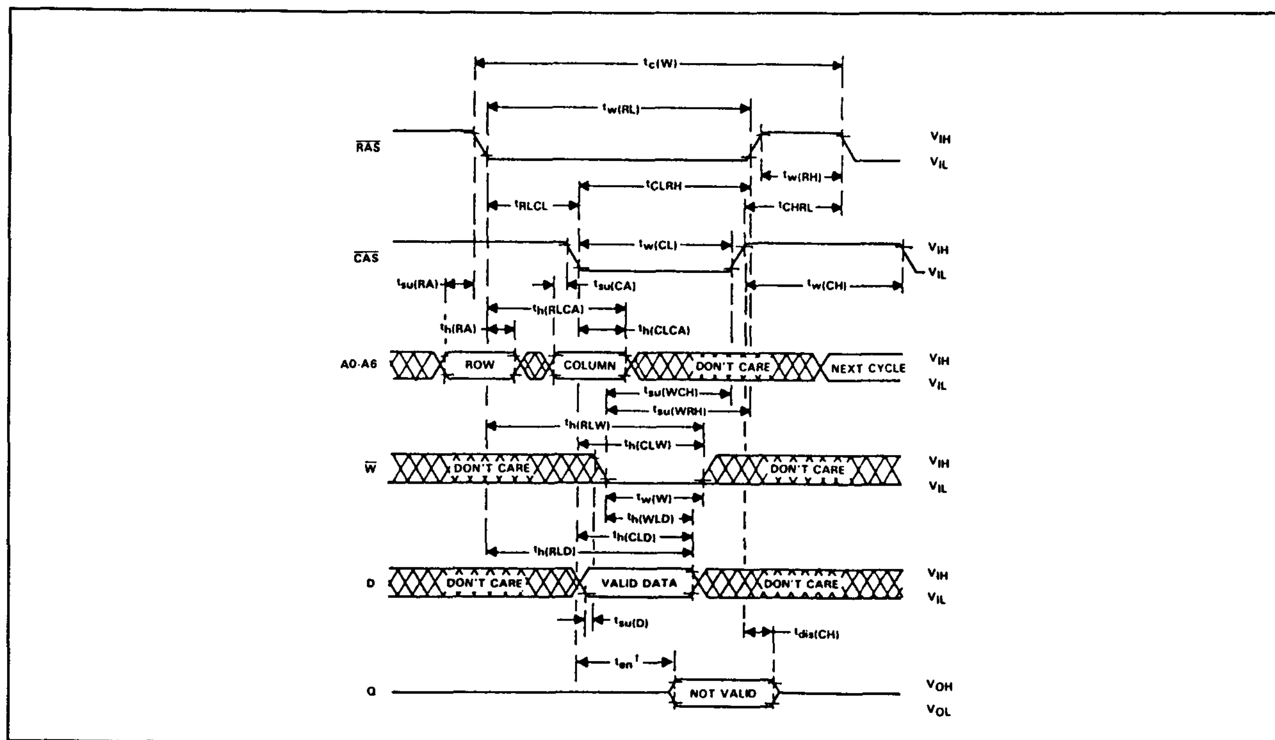
Power-up

VBB moet uiterlijk gelijktijdig met de andere voedingen worden aangelegd en als laatste weggehaald, aangezien de dissipatie anders te groot wordt. Na het aanbrengen van de voedingsspanningen moeten acht geheugencyclussen worden uitgevoerd om een goede werking te garanderen.

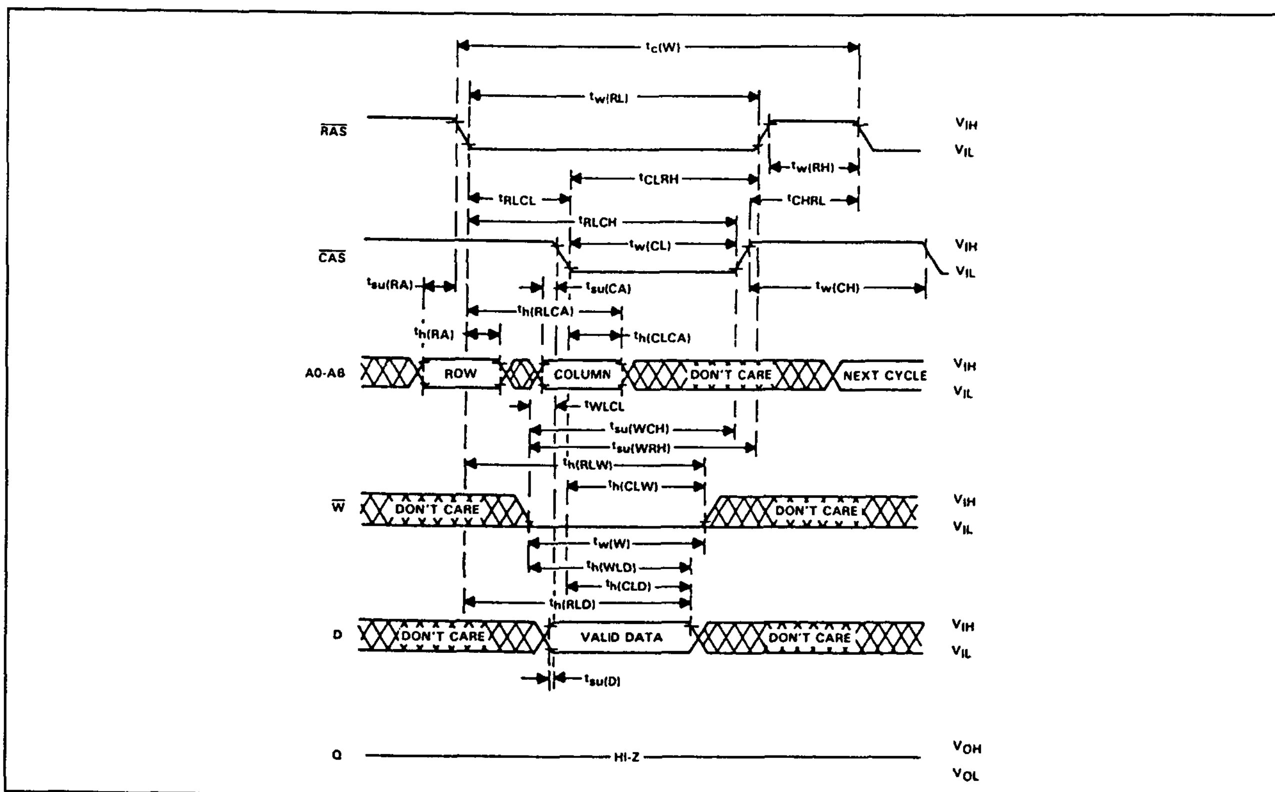
Overige kenmerken

In de figuren 8/3.3-22 tot en met 8/3.3-24 en de tabellen 8/3.3-12 tot en met -16 zijn de overige elektrische en timing karakteristieken van de TMS 4116 van Texas Instruments te zien.

3.3 Type-beschrijving



Figuur 8/3.3-22: Timing bij het schrijven.



Figuur 8/3.3-23: Golfvormen en schakeltijden bij de "early-write" cyclus.

3.3 Type-beschrijving

Figuur 8/3.3-24: Timing bij "read-write" en "read-modify-write".

absolute maximum ratings over operating free-air temperature range

Voltage on any pin (see Note 1)	−0.5 V to 20 V
Voltage on V_{CC}, V_{DD} supplies with respect to V_{SS}	−1 V to 15 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-12: Maximaal toegelaten waarden.

recommended operating conditions

			MIN	NOM	MAX	UNIT
V_{BB}	Supply voltage		-4.5	-5	-5.5	V
V_{CC}	Supply voltage		4.5	5	5.5	V
V_{DD}	Supply voltage		10.8	12	13.2	V
V_{SS}	Supply voltage			0		V
V_{IH}	High-level input voltage	All inputs except $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	2.4		7	V
		$\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	2.7		7	
V_{IL}	Low-level input voltage (see Note 2)		-1	0	0.8	V
T_A	Operating free-air temperature		0		70	°C

Tabel 8/3.3-13: Aanbevolen bedrijfscondities.

3.3 Type-beschrijving

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = -5 mA	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA			0.4	V
I_I	Input current (leakage)	V_I = 0 V to 7 V, All other pins = 0 V except V_{BB} = -5 V			10	μA
I_O	Output current (leakage)	V_O = 0 to 5.5 V, $\overline{CAS}$ high			± 10	μA
I_{BB1}	Average operating current during read or write cycle	Minimum cycle time		50	200	μA
I_{CC1}‡					4§	mA
I_{DD1}				27	35	mA
I_{BB2}	Standby current	After 1 memory cycle $\overline{RAS}$ and $\overline{CAS}$ high		10	100	μA
I_{CC2}					± 10	μA
I_{DD2}				0.5	1.5	mA
I_{BB3}	Average refresh current	Minimum cycle time $\overline{RAS}$ cycling, $\overline{CAS}$ high		50	200	μA
I_{CC3}					± 10	μA
I_{DD3}				20	27	mA
I_{BB4}	Average page-mode current	Minimum cycle time $\overline{RAS}$ low, $\overline{CAS}$ cycling		50	200	μA
I_{CC4}‡					4§	mA
I_{DD4}				20	27	mA

Tabel 8/3.3-14: Gelijkspanningskarakteristieken.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	TMS4116-15		TMS4116-20		TMS4116-25		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		100		135		165	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	t_{RLCL} = MAX, C_L = 100 pF, Load = 2 Series, 74 TTL gates	t_{RAC}		150		200		250	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	40	0	50	0	60	ns

† All typical values are at T_A = 25°C and nominal supply voltages.

Tabel 8/3.3-15: Schakeltijden van verschillende typen 4116 DRAM's.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

PARAMETER		ALT. SYMBOL	TMS4116-15 MIN	TMS4116-15 MAX	TMS4116-20 MIN	TMS4116-20 MAX	TMS4116-25 MIN	TMS4116-25 MAX	UNIT
$t_{c(P)}$	Page-mode cycle time	t_{PC}	170		225		275		ns
$t_{c(rd)}$	Read cycle time	t_{RC}	375		375		410		ns
$t_{c(W)}$	Write cycle time	t_{WC}	375		375		410		ns
$t_{c(rdW)}$	Read-modify-write cycle time	t_{RWC}	375		375		515		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (precharge time)	t_{CP}	60		80		100		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low	t_{CAS}	100	10.000	135	10.000	165	10.000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge time)	t_{RP}	100		120		150		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low	t_{RAS}	150	10.000	200	10.000	250	10.000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	45		55		75		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and CAS	t_T	3	35	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	-10		-10		-10		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{CAS}$ high	t_{CWL}	60		80		100		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	60		80		100		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	45		55		75		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	20		25		35		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	95		120		160		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DHC}	45		55		75		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	95		120		160		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DHW}	45		55		75		ns
$t_{h(rd)}$	Read-command hold time	t_{RCH}	0		0		0		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	45		55		75		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	95		120		160		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	150		200		250		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	-20		-20		-20		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	100		135		165		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (read-modify-write-cycle only)	t_{CWD}	70		95		125		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	20	50	25	65	35	85	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write-cycle only)	t_{RWD}	120		160		200		ns
t_{WLCL}	Delay time, W low to $\overline{CAS}$ low (early write cycle)	t_{WCS}	-20		-20		-20		ns
t_{rf}	Refresh time interval	t_{REF}		2		2		2	ms

Tabel 8/3.3-16: Vereiste schakeltijden voor de TMS 4116.

4164
64k x 1 DRAM

De 4164 is een 65536 bit dynamisch, vrij toegankelijk, lees- en beschrijfbaar geheugen (DRAM), georganiseerd in 65536 1-bits woorden. Alle ingangen en de uitgang zijn compatibel met de 74xx-serie TTL. Alle adreslijnen en de data-ingang zijn van latches voorzien, terwijl de uitgang niet gelatched is, om het systeem-ontwerp te vereenvoudigen. Pen 1 is inwendig niet aangesloten waardoor dit IC compatibel is met andere 64k RAM's.

De 4164 dissipeert in aktieve toestand ongeveer 135 mW en standby 17,5 mW. De 4164 heeft slechts één +5 V voeding nodig.

3.3 Type-beschrijving

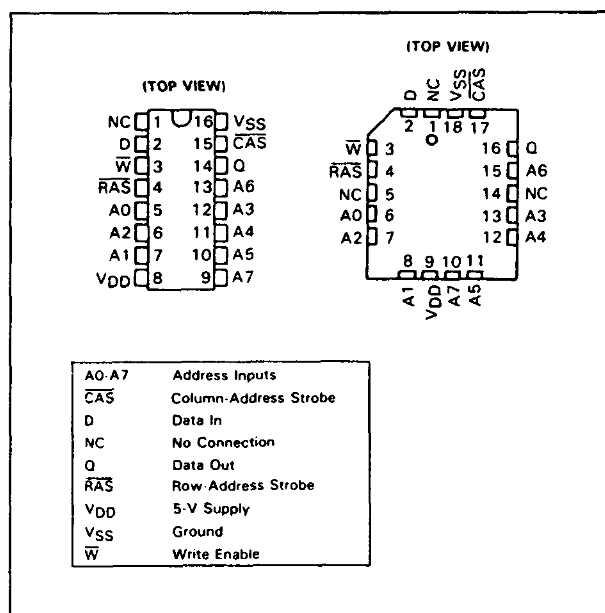
De refresh-herhalingsperiode is verlengd tot 4 ms en gedurende deze periode moet elk van de 256 rij-adressen met $\overline{\text{RAS}}$ worden geklokt.
Tijdens het verversen mag $\overline{\text{CAS}}$ HOOG blijven.

Specificaties

- 65536 x 1 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen (incl. clocks) TTL-compatibel
- niet-gelatchte 3-state uitgang TTL-compatibel
- page-mode werking
- bestuurbaar met TMS 4500A en/of THCT 4501 DRAM-controllers
- refresh-periode 4 ms
- dissipatie: 135 mW (aktief), 17,5 mW (standby)
- JEDEC standaard 16-pens 0,3" DIL behuizing en 18-pens PLCC (plastic leadless chip carrier) (figuur 8/3.3-25)
- opwaarts compatibel met 4116 (16k DRAM)
- leverbare typen: zie equivalentenlijst

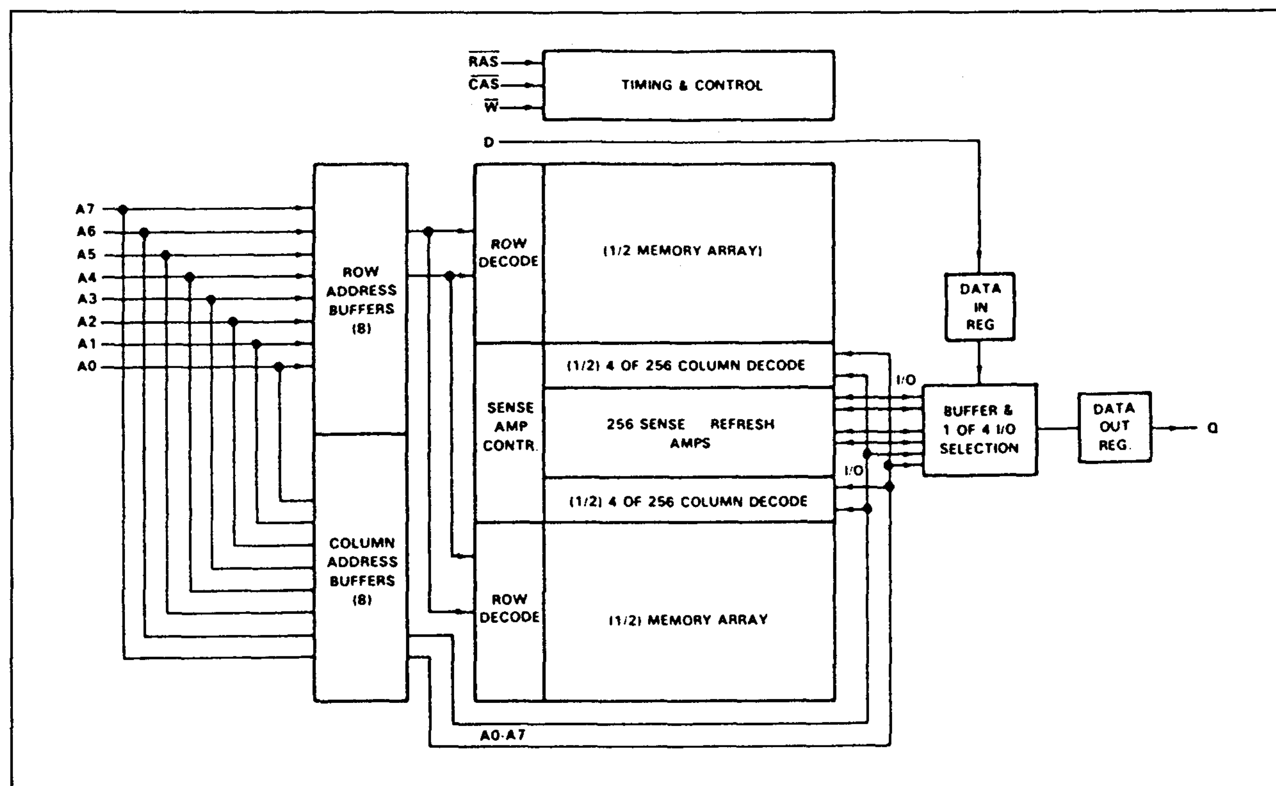
Werking

- Adreslijnen A0 tot en met A7
  Voor het decoderen van alle 65536 adressen heeft de 4164 16 adresbits nodig. De adressen moeten daarom in twee stappen worden geladen.
  Eerst worden acht rij-adresbits op de ingangen A0 tot en met A7 gezet en met behulp van de Row-Address Strobe ($\overline{\text{RAS}}$) in de bijbehorende latches geklokt. Daarna worden de acht kolom-adresbits met de Column-Address Strobe ($\overline{\text{CAS}}$) ingeklokt (zie figuur 8/3.3-26). De adressen moeten uiterlijk op de dalende flank van $\overline{\text{RAS}}$ of $\overline{\text{CAS}}$ stabiel zijn.
  $\overline{\text{RAS}}$ komt overeen met een chip-enable, omdat het zowel de sense-versterkers als de rij-decoder aktiveert. $\overline{\text{CAS}}$ wordt als chip-select gebruikt en aktiveert de kolom-decoder en de data-buffers aan ingang en aan uitgang.
- Write enable ($\overline{\text{W}}$)
  Met $\overline{\text{W}}$ wordt gekozen uit lezen of schrijven.
  De leesmode wordt gekozen door $\overline{\text{W}}$ HOOG te maken, terwijl de schrijfmode met een LAAG niveau op deze ingang wordt geselecteerd.
  Bij het lezen is de data-ingang gesperd. Wanneer $\overline{\text{W}}$ eerst LAAG gaat en daarna $\overline{\text{CAS}}$, blijft de data-uitgang gedurende de gehele cyclus hoog-impedant, waardoor gemeenschappelijke I/O-operaties mogelijk worden.
- Data-in (D)
  Tijdens een schrijf- of lees-modificeer-schrijf cyclus wordt data in het geheugen geschreven (zie figuur 8/3.3-28, respectievelijk 8/3.3-29). Afhankelijk van de bedrijfsmode wordt data met de dalende flank van $\overline{\text{CAS}}$ of $\overline{\text{W}}$ in de data-latch geschreven. Deze latch is compatibel met signalen op TTL-niveau (zonder optrekweerstand).

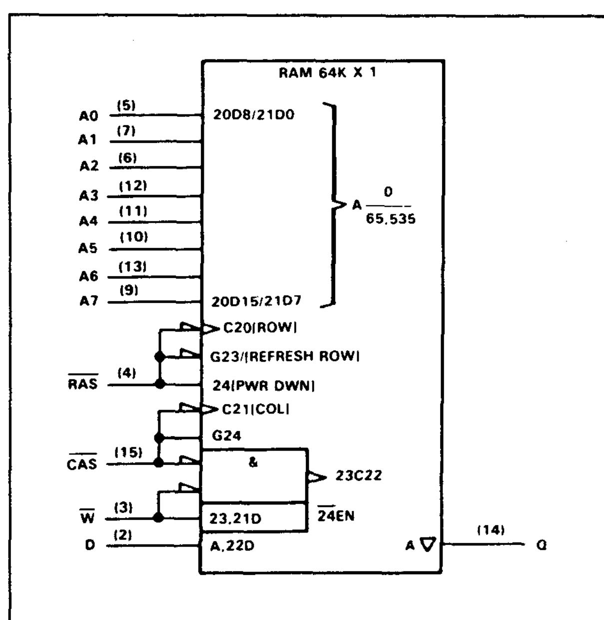


Figuur 8/3.3-25: Aansluitgegevens van de DIL- en de LCC-uitvoering van de 4164.

3.3 Type-beschrijving



Figuur 8/3.3-26: Functioneel blokschema van de 4164.



Figuur 8/3.3-27: Logisch symbool van de 4164.

Bij een vroege schrijfcyclus (early write) gaat $\overline{W}$ eerder LAAG dan $\overline{CAS}$ en wordt de informatie door $\overline{CAS}$ ingeklokt (figuur 8/3.3-30). De set-up en houdtijden zijn dan dus gerelateerd aan $\overline{CAS}$.

Bij een vertraagde schrijfcyclus (delayed write) of bij lees-wijzig-schrijf (read-modify-write) was $\overline{CAS}$ al LAAG, zodat de data door $\overline{W}$ wordt ingeklokt.

- Data-out (Q)

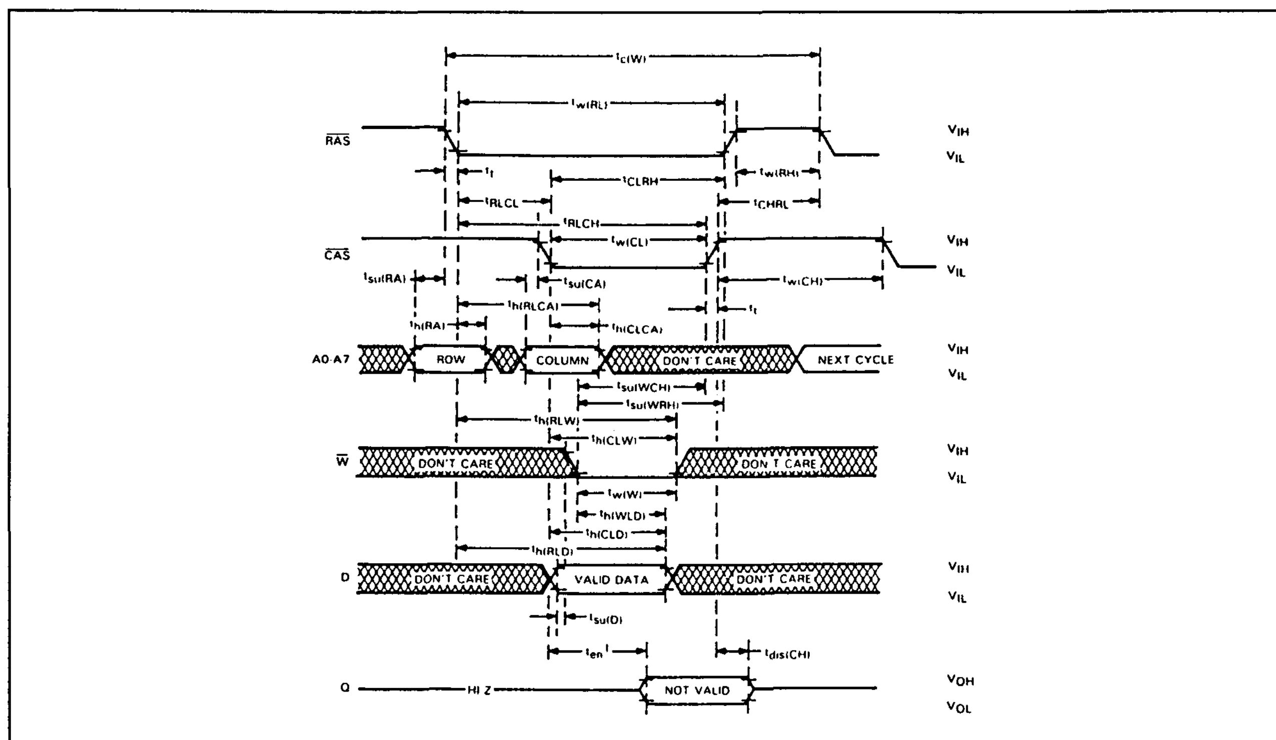
  De 3-state uitgangsbuffer kan twee TTL-poorten aandrijven met niet-geïnverteerde data.

  De uitgang is zwevend (hoog-impedant) totdat $\overline{CAS}$ LAAG gaat.

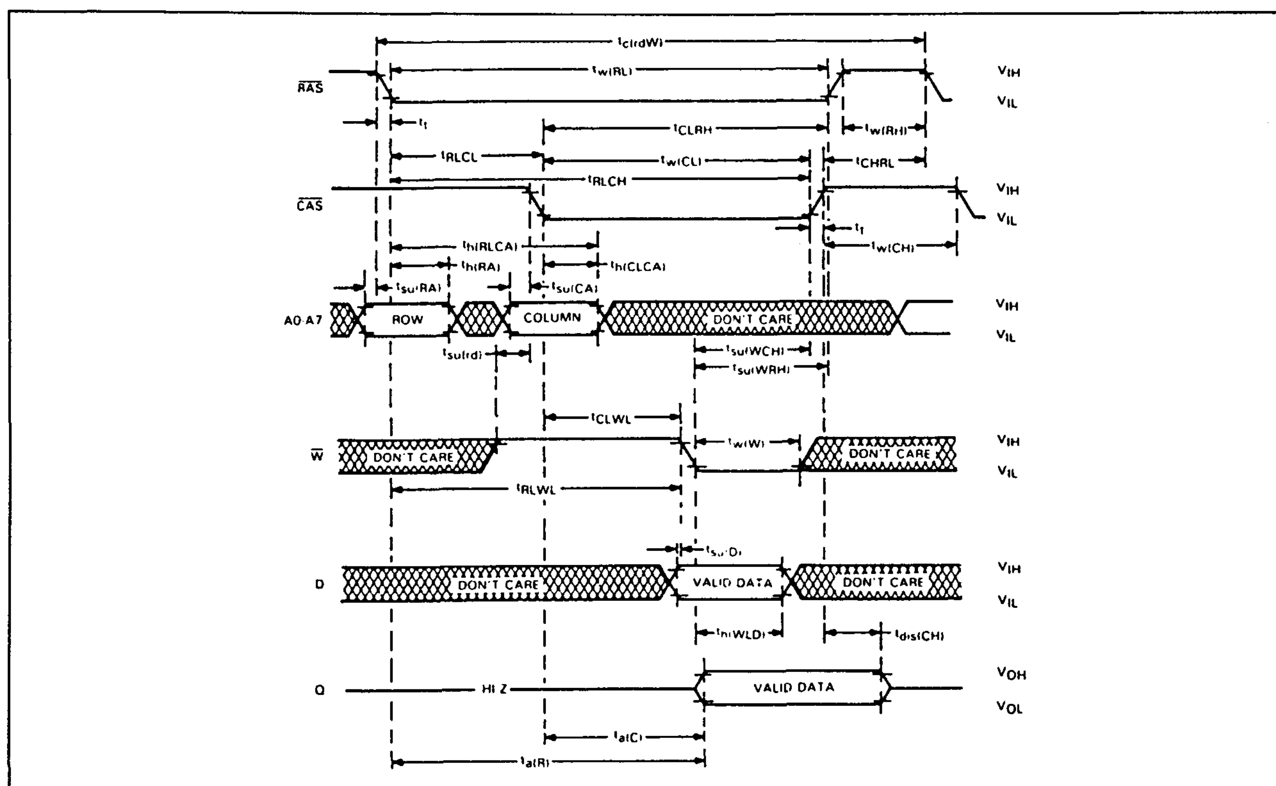
  Bij een leescyclus wordt de uitgang $t_{a(C)}$ nanoseconden na het LAAG worden van $\overline{CAS}$ aktief als aan $t_{a(R)}$ wordt voldaan (zie figuur 8/3.3-31).

  Het uitgangssignaal wordt na verstrijken van de toegangstijd "waar" totdat $\overline{CAS}$ HOOG wordt. Bij een vroege schrijfcyclus blijft de uitgang voortdurend hoog-impedant.

3.3 Type-beschrijving

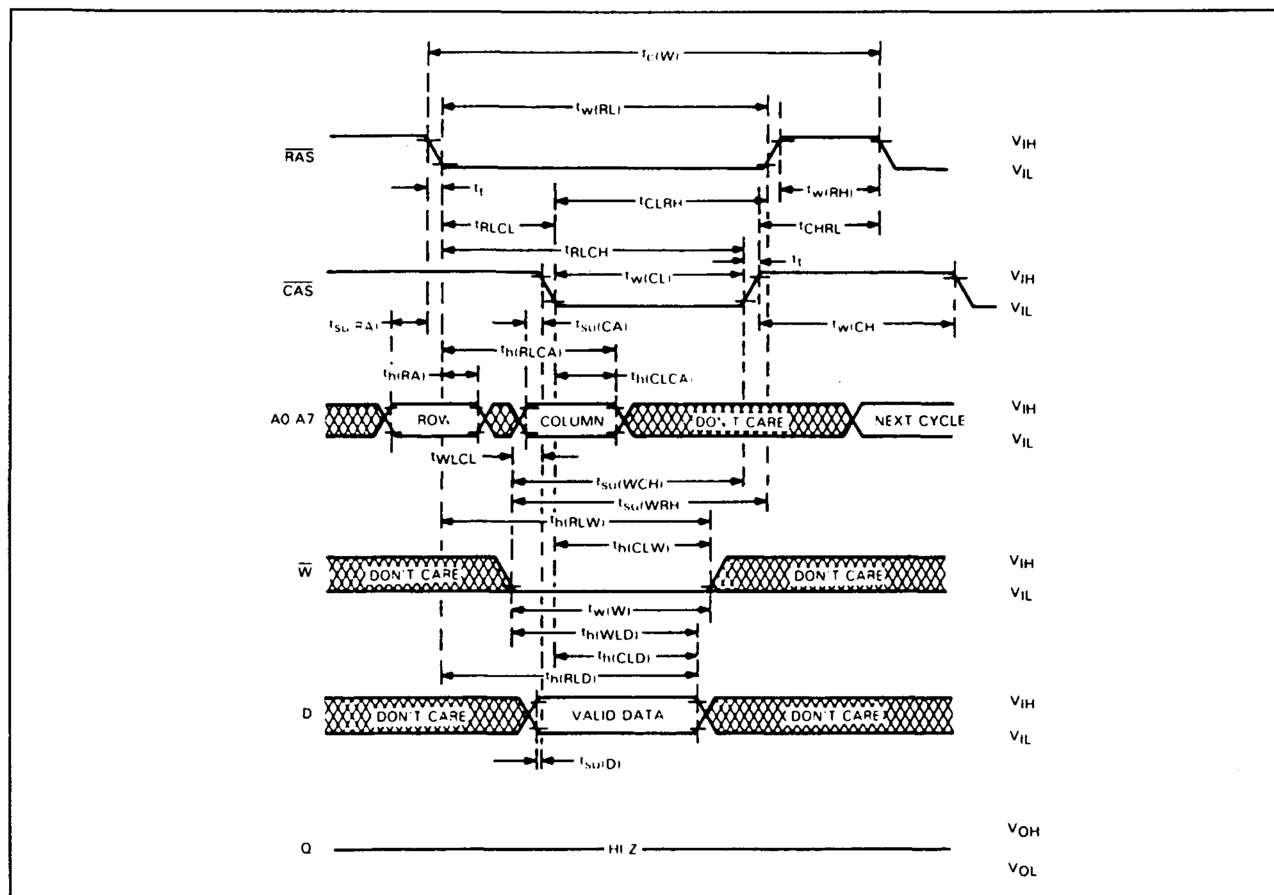


Figuur 8/3.3-28: Timing en golfvormen bij een schrijfcyclus.

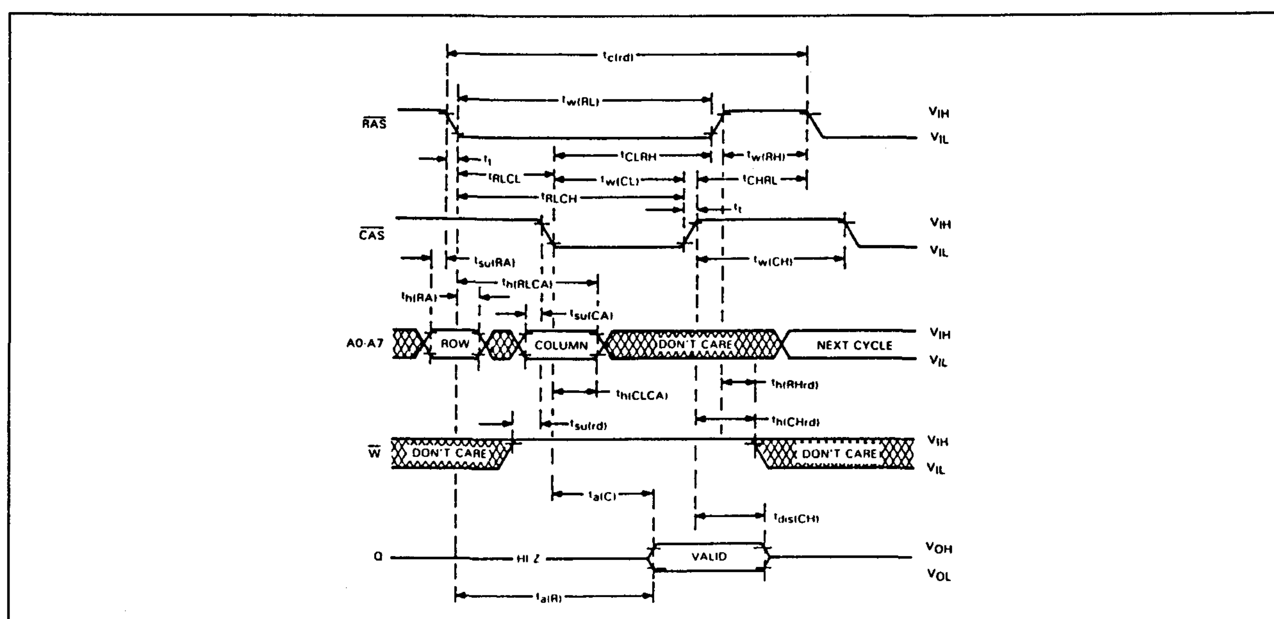


Figuur 8/3.3-29: Schakeltijden bij de lees-modificeer-schrijf cyclus.

3.3 Type-beschrijving

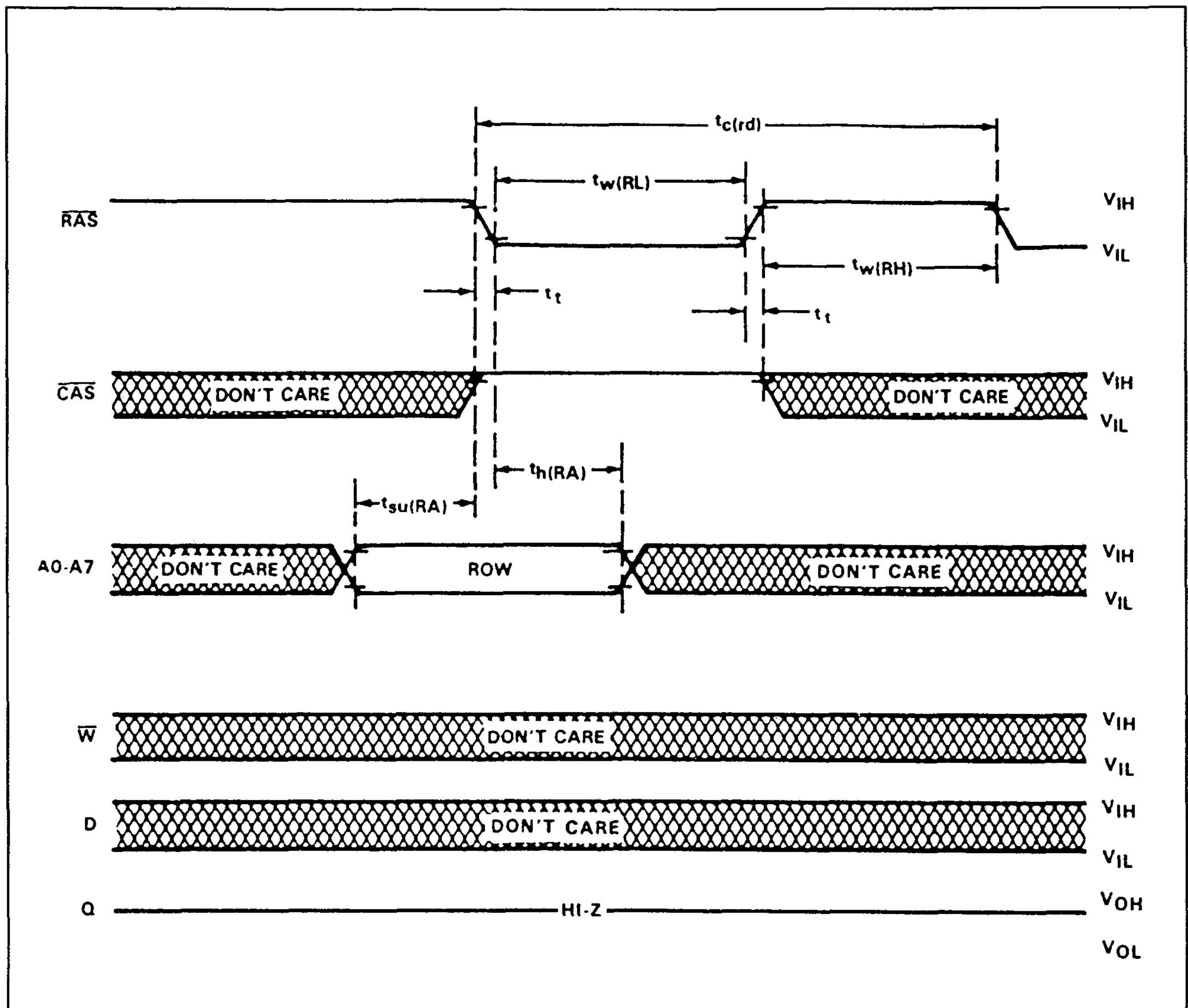


Figuur 8/3.3-30: Timing bij de vroege schrijfcyclus (early write).



Figuur 8/3.3-31: Timing bij het uitlezen van de 4164.

3.3 Type-beschrijving



Figuur 8/3.3-32: Timing bij "$\overline{RAS}$-only" refresh.

Refresh

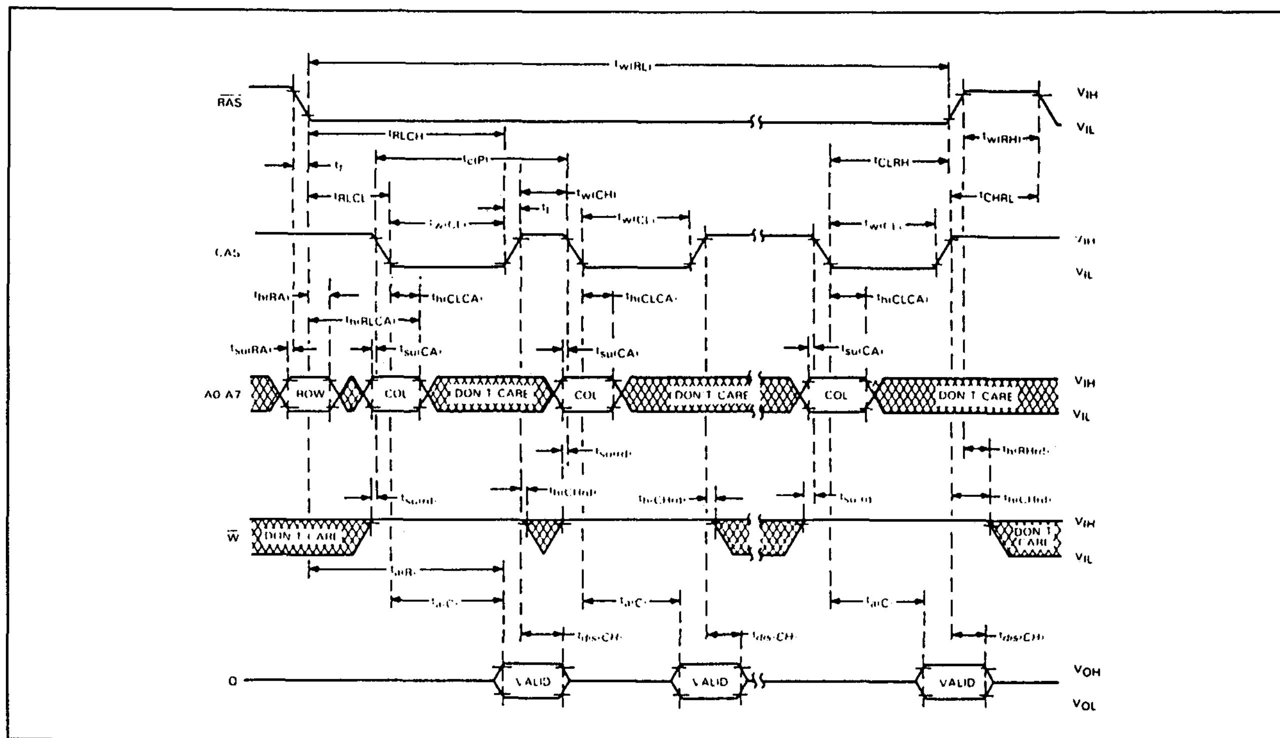
Om de data te behouden moet minimaal elke 4 ms een verversing (refresh) worden uitgevoerd.

Daar de uitgangsbuffer hoog-impedant is als $\overline{CAS}$ HOOG is, wordt door "$\overline{RAS}$-only refresh" voorkomen dat data onbedoeld aan de uitgang verschijnt.
Door alle 256 rij-adressen (A0 tot en met A7) een $\overline{RAS}$-kloksignaal te geven worden alle opgeslagen databits ververst (zie figuur 8/3.3-32).

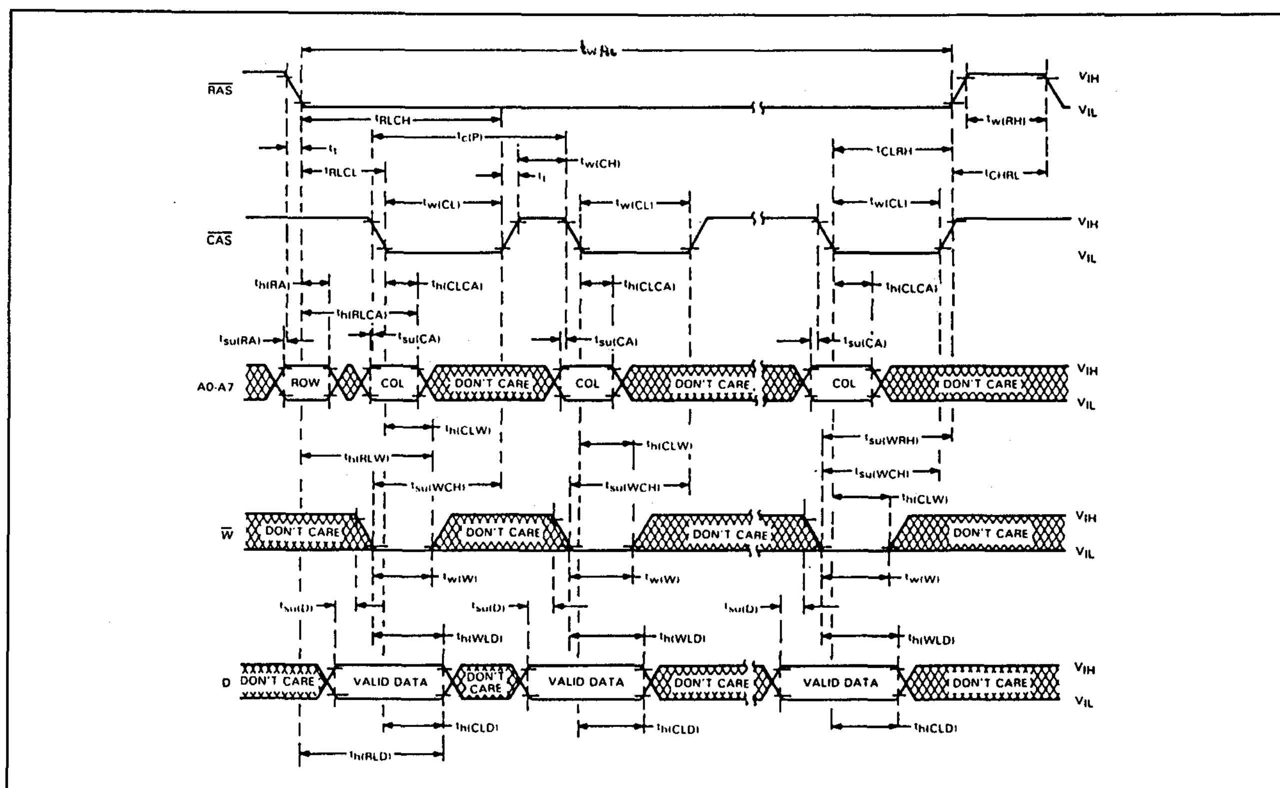
Page-mode

De page-mode operatie (handhaven van hetzelfde rij-adres en inklokken van willekeurige kolom-adressen) maakt snellere toegang tot het geheugen mogelijk.
Er wordt dan geen tijd verloren met het telkens kiezen van nieuwe rij-adressen op dezelfde pagina (figuren 8/3.3-33, -34 en -35).

3.3 Type-beschrijving



Figuur 8/3.3-33: Golfvormen en timing bij uitlezen van de 4164 in de page-mode.



Figuur 8/3.3-34: Schakeltijden bij schrijven in de page-mode.

3.3 Type-beschrijving

Figuur 8/3.3-35: Timing van de lees-wijzig-schrijf cyclus in de page-mode.

Power-up

Na inschakeling moet de voedingsspanning gedurende 1 ms aanwezig blijven, terwijl $\overline{RAS}$ gedurende 100 µs voor de initialisatie HOOG moet zijn. De initialisatie bestaat uit het uitvoeren van acht $\overline{RAS}$-cyclussen ter garantie van een goede werking.

Overige kenmerken

In de figuren 8/3.3-18 tot en met 8/3.3-24 en de tabellen 8/3.3-17 tot en met -21 zijn de overige elektrische en timing karakteristieken van de TMS 4164 van Texas Instruments te zien.

Voltage on any pin except V_{DD} and data out	−1.5 V to 10 V
Voltage on V_{DD} supply and data out with respect to V_{SS}	−1 V to 6 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-17: Maximaal toegelaten waarden.

			MIN	NOM	MAX	UNIT
V_{DD}	Supply voltage		4.5	5	5.5	V
V_{SS}	Supply voltage			0		V
V_{IH}		V_{DD} = 4.5 V	2.4		4.8	V
		V_{DD} = 5.5 V	2.4		6	
V_{IL}	Low-level input voltage (see Notes 3 and 4)		−0.6		0.8	V
T_A	Operating free-air temperature		0		70	°C

NOTES: 3. The algebraic convention, where the more negative (less positive) limit is designated as minimum, is used in this data sheet for logic voltage levels only.
4. Due to input protection circuitry, the applied voltage may begin to clamp at −0.6 V.

Tabel 8/3.3-18: Aanbevolen bedrijfscondities voor de 4164.

3.3 Type-beschrijving

PARAMETER		TEST CONDITIONS	TMS4164-12			TMS4164-15			TMS4164-20			UNIT
			MIN	TYP†	MAX	MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4			2.4			2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA			0.4			0.4			0.4	V
I_I	Input current (leakage)	V_I = 0 V to 5.8 V, V_{DD} = 5 V, All other pins = 0 V			±10			±10			±10	µA
I_O	Output current (leakage)	V_O = 0.4 to 5.5 V, V_{DD} = 5 V, $\overline{CAS}$ high			±10			±10			±10	µA
I_{DD1}‡	Average operating current during read or write cycle	t_c = minimum cycle, All outputs open		40	48		35	45		27	37	mA
I_{DD2}§	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, All outputs open		3.5	5		3.5	5		3.5	5	mA
I_{DD3}‡	Average refresh current	t_c = minimum cycle, $\overline{CAS}$ high and $\overline{RAS}$ cycling, All outputs open		28	40		25	37		20	32	mA
I_{DD4}	Average page-mode current	$t_{c(P)}$ = minimum cycle, $\overline{RAS}$ low and $\overline{CAS}$ cycling, All outputs open		28	40		25	37		20	32	mA

† All typical values are at T_A = 25 °C and nominal supply voltages.
‡ Additional information on page 18.
§ V_{IL} > −0.6 V. See Application Report entitled "TMS4164A and TMS4416 Input Diode Protection"

Tabel 8/3.3-19: Gelijkspanningskarakteristieken voor verschillende typen 4164.

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	TMS4164-12		TMS4164-15		TMS4164-20		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		70		85		135	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	C_L = 100 pF, t_{RLCL} = MAX, Load = 2 Series 74 TTL gates	t_{RAC}		120		150		200	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	40	0	40	0	50	ns

Tabel 8/3.3-20: Schakeltijden van verschillende typen 4164.

3.3 Type-beschrijving

PARAMETER		ALT. SYMBOL	TMS4164-12		TMS4164-15		TMS4164-20		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(P)}$	Page-mode cycle time	t_{PC}	130		145		225		ns
$t_{c(rd)}$	Read cycle time†	t_{RC}	230		260		330		ns
$t_{c(W)}$	Write cycle time	t_{WC}	230		260		330		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	255		290		345		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (precharge time)‡	t_{CP}	50		50		80		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low§	t_{CAS}	70	10,000	85	10,000	135	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge time)	t_{RP}	80		100		120		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low¶	t_{RAS}	120	10,000	150	10,000	200	10,000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	40		45		55		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	50	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	-5		-5		5		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{CAS}$ high	t_{CWL}	50		50		60		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	50		50		60		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	40		45		55		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	15		20		25		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	85		95		120		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DHC}	40		45		55		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	85		95		145		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DHW}	40		45		55		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{CAS}$ high	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{RAS}$ high	t_{RRH}	5		5		5		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	40		45		55		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	85		95		145		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	120		150		200		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	70		85		135		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (read-modify-write cycle only)	t_{CWD}	40		60		65		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	15	50	20	65	25	65	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write cycle only)	t_{RWD}	110		120		130		ns
t_{WLCL}	Delay time, $\overline{W}$ low to $\overline{CAS}$ low (early write cycle)	t_{WCS}	-5		-5		5		ns
t_{rf}	Refresh time interval	t_{REF}		4		4		4	ms

NOTE 1: Timing measurements are made at the 10% and 90% points of input and clock transitions. In addition, V_{IL} max and V_{IH} min must be met at the 10% and 90% points.

† All cycle times assume t_t = 5 ns.

‡ Page mode only.

§ In a read-modify-write cycle, t_{CLWL} and $t_{su(WCH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{CAS}$ low time ($t_{w(CL)}$). This applies to page-mode read-modify-write also.

¶ In a read-modify-write cycle, t_{RLWL} and $t_{su(WRH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{RAS}$ low time ($t_{w(RL)}$).

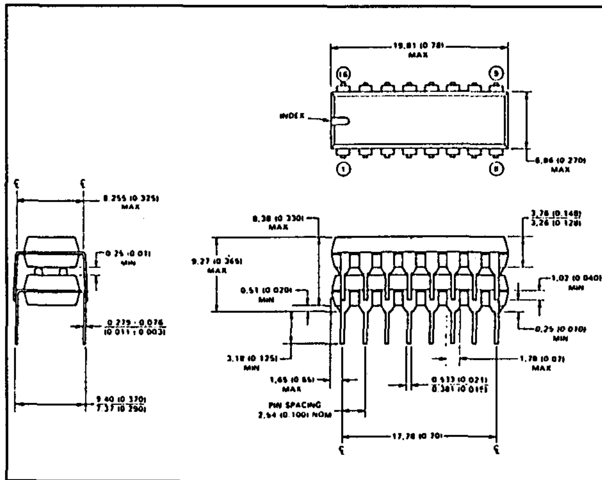
Tabel 8/3.3-21: Vereiste schakeltijden voor 3 typen van de TMS 4164.

41128
128k x 1 DRAM

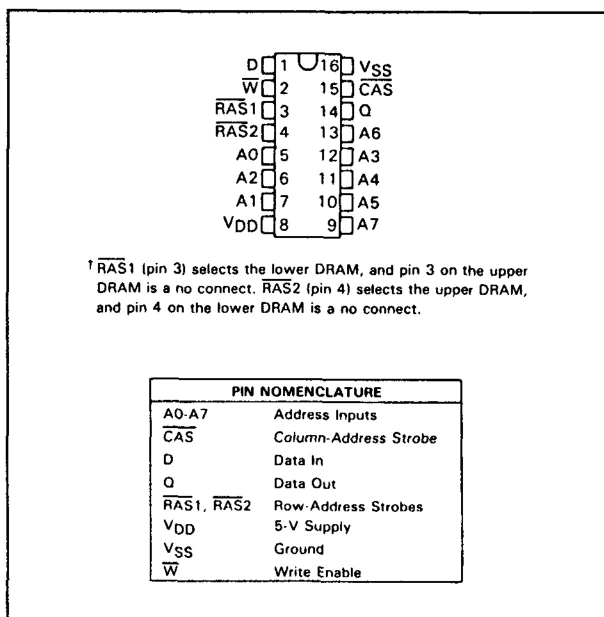
De TMS 41128B van Texas Instruments bestaat uit twee snelle 65536 bit dynamische RAM's in aparte behuizingen.
Deze DRAM's zijn elektrisch gelijk aan de TMS 4164, maar hebben andere aansluitingen. De beide DRAM's zijn bovenop elkaar gemonteerd, waardoor een 16-pens geheugen ontstaat (zie figuur 8/3.3-36) met een 131072 x 1 bit organisatie.

Door de $\overline{RAS}$1-ingang LAAG te maken wordt de onderste DRAM geselecteerd, terwijl met een LAAG niveau op de $\overline{RAS}$2-ingang de bovenste DRAM wordt gekozen.

3.3 Type-beschrijving



Figuur 8/3.3-36: Afmetingen van de TMS 41128B.

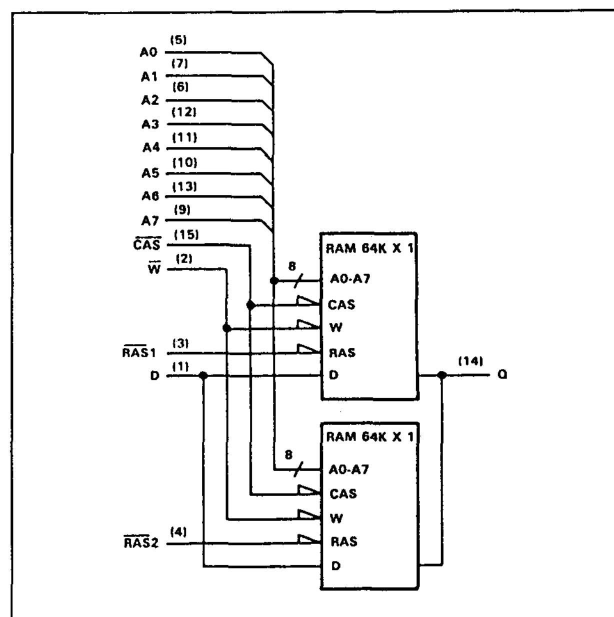


PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column-Address Strobe
D	Data In
Q	Data Out
$\overline{RAS}$1, $\overline{RAS}$2	Row-Address Strobes
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/3.3-37: Aansluitgegevens van de 41128.

De TMS 41128B-15 heeft een $\overline{RAS}$-toegangstijd van 150 ns en dissipeert 193 mW (35 mW standby).
Alle ingangen en de uitgang zijn TTL-compatibel. De refresh-herhalingsperiode bedraagt ook bij dit DRAM 4 ms. Tijdens het verversen van de data moeten alle 256 rij-adressen met zowel $\overline{RAS}$1 als $\overline{RAS}$2 worden geklokt. Tijdens het verversen mag $\overline{CAS}$ HOOG blijven.

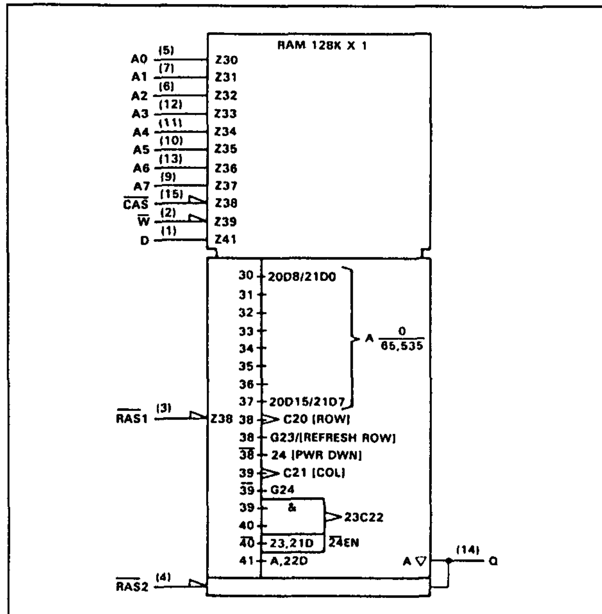
Specificaties
- 2 x (65536 x 1 bit) organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- page-mode werking
- refresh-periode 4 ms
- dissipatie: 193 mW (aktief), 35 mW (standby)
- dubbele 16-pens 0,3" DIL behuizing (figuur 8/3.3-37)
- leverbaar:
  TMS 41128B (Texas Instruments)



Figuur 8/3.3-38: Functioneel blokschema van de 41128.

Werking
- Adreslijnen A0 tot en met A7
  Voor het decoderen van één van de 65536 geheugenlokaties zijn 16 adresbits nodig. Eerst worden acht rij-adresbits op de ingangen A0 tot en met A7 gezet en met behulp van ($\overline{RAS}$)1 of $\overline{RAS}$2 in de bijbehorende latches geklokt.

3.3 Type-beschrijving

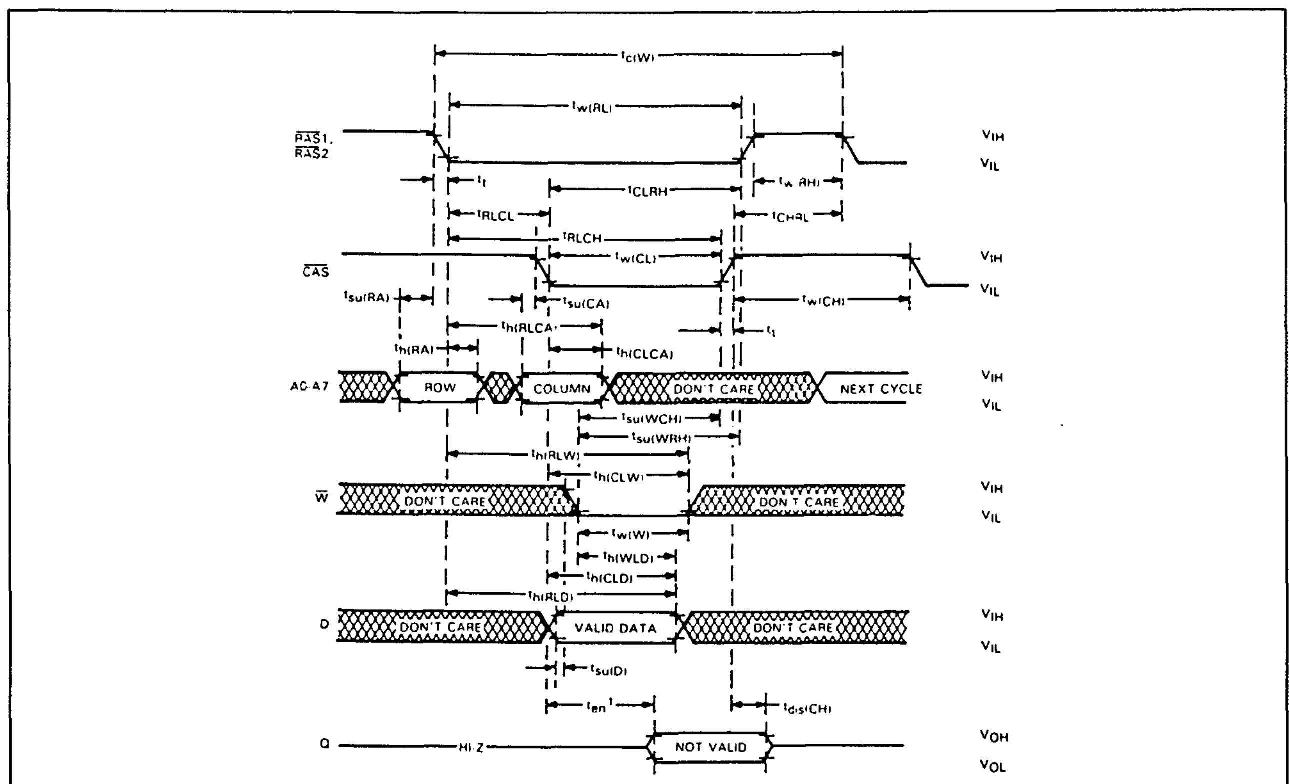


Figuur 8/3.3-39: Logisch symbool van de 41128.

Daarna worden acht kolom-adresbits met ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-38).

De adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$1, $\overline{RAS}$2 of $\overline{CAS}$ stabiel zijn.
Wanneer het $\overline{CAS}$-signaal wordt aangelegd moet één van de $\overline{RAS}$-signalen aanwezig zijn om de bovenste of onderste DRAM te selecteren.

- Write enable ($\overline{W}$)
  Door $\overline{W}$ HOOG te maken wordt de DRAM uitgelezen, terwijl een LAAG niveau op deze ingang de schrijfmode selecteert. Wanneer $\overline{W}$ LAAG gaat voor $\overline{CAS}$ blijft de data-uitgang gedurende de gehele cyclus hoog-impedant, waardoor gemeenschappelijke I/O-operaties mogelijk worden.
- Data-in (D)
  Tijdens een schrijf- of lees-modificeer-schrijf cyclus wordt data in het geheugen geschreven.
  Afhankelijk van de bedrijfsmode wordt data op de dalende flank van $\overline{CAS}$ of $\overline{W}$ ingeschreven (figuren 8/3.3-40 respectievelijk -41).



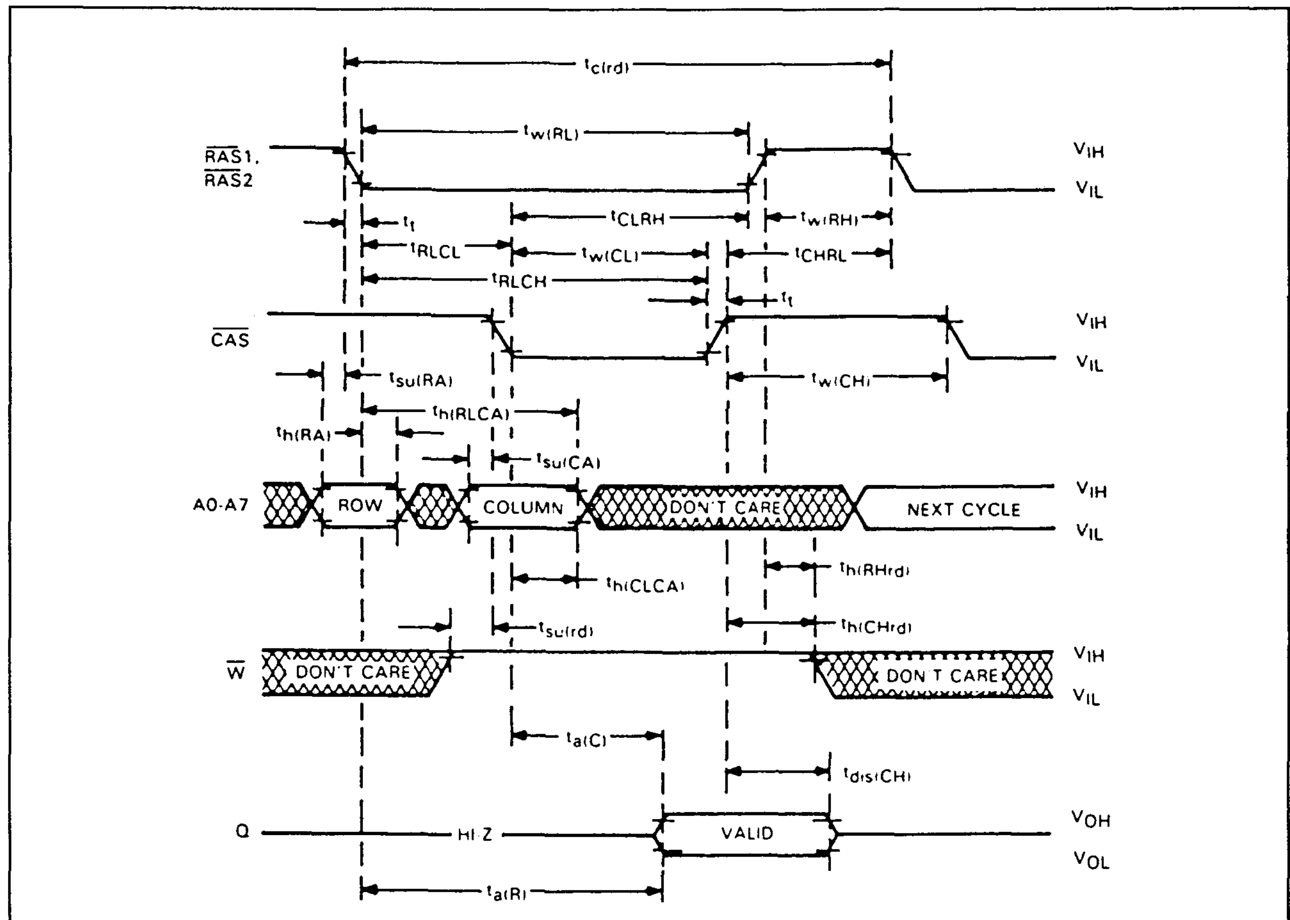
Figuur 8/3.3-40: Schakeltijden bij de schrijfcyclus.

3.3 Type-beschrijving

Figuur 8/3.3-41: Timing van de lees-modificeer-schrijf cyclus.

Figuur 8/3.3-42: Timing bij de "early-write" cyclus.

3.3 Type-beschrijving



Figuur 8/3.3-43: Timing bij het uitlezen van de 41128.

Bij een early write-cyclus (figuur 8/3.3-42) gaat W eerder LAAG dan CAS en wordt de informatie door CAS ingeklokt. Bij een delayed write-cyclus of een read-modify-write is CAS al LAAG, zodat de data door W wordt ingeklokt.

- Data-out (Q)
  De 3-state uitgangsbuffer heeft een fan-out van 2 (TTL-poorten).
  Bij een leescyclus wordt de uitgang $t_{a(C)}$ nanoseconden na het LAAG worden van CAS aktief als aan $t_{a(R)}$ wordt voldaan. Het uitgangssignaal wordt na verstrijken van de toegangstijd "waar" totdat CAS weer HOOG wordt (figuur 8/3.3-43). Bij een vroege schrijfcyclus blijft de uitgang voortdurend hoog-impedant.

Refresh

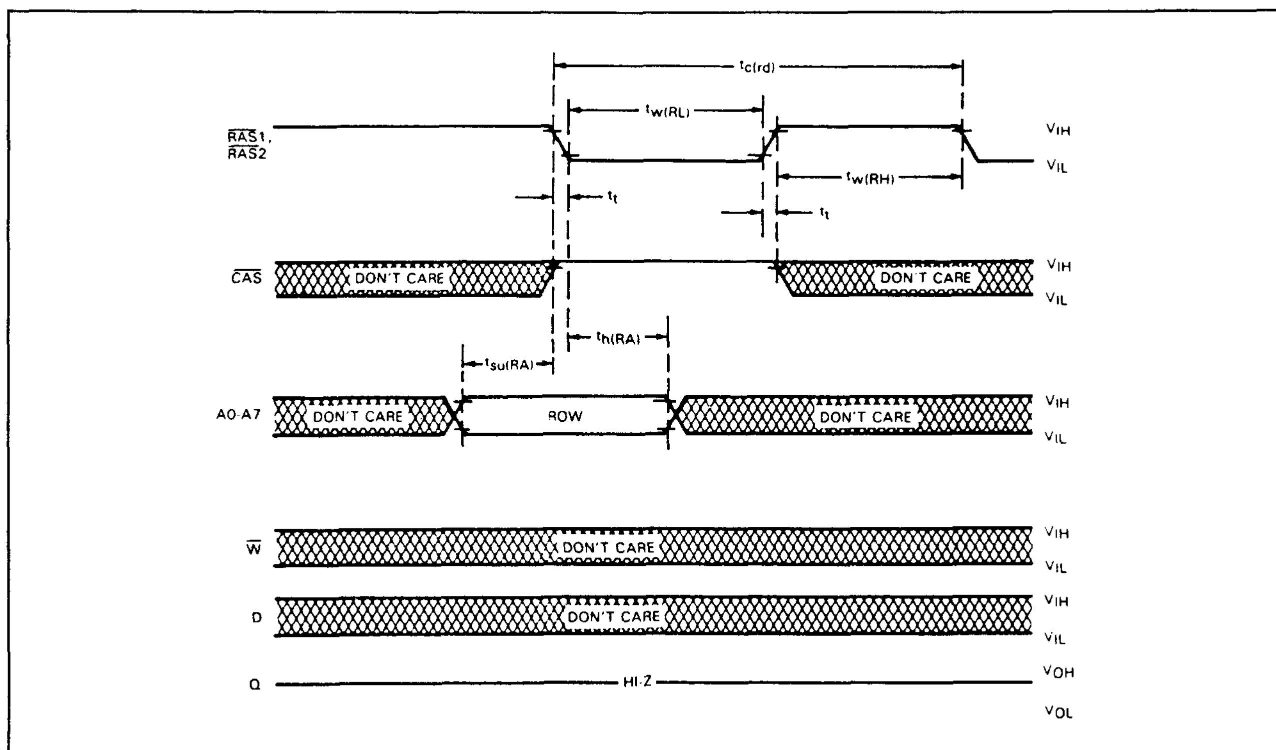
Elke 4 ms moet een refresh worden uitgevoerd om de data te behouden.
Omdat de uitgangsbuffer hoog-impedant is bij CAS = HOOG, wordt met een "RAS-only refresh" voorkomen dat data aan de uitgang verschijnt.

Door alle 256 rij-adressen (A0 tot en met A7) met zowel RAS1 als RAS2 te klokken wordt alle data ververst (zie figuur 8/3.3-44).

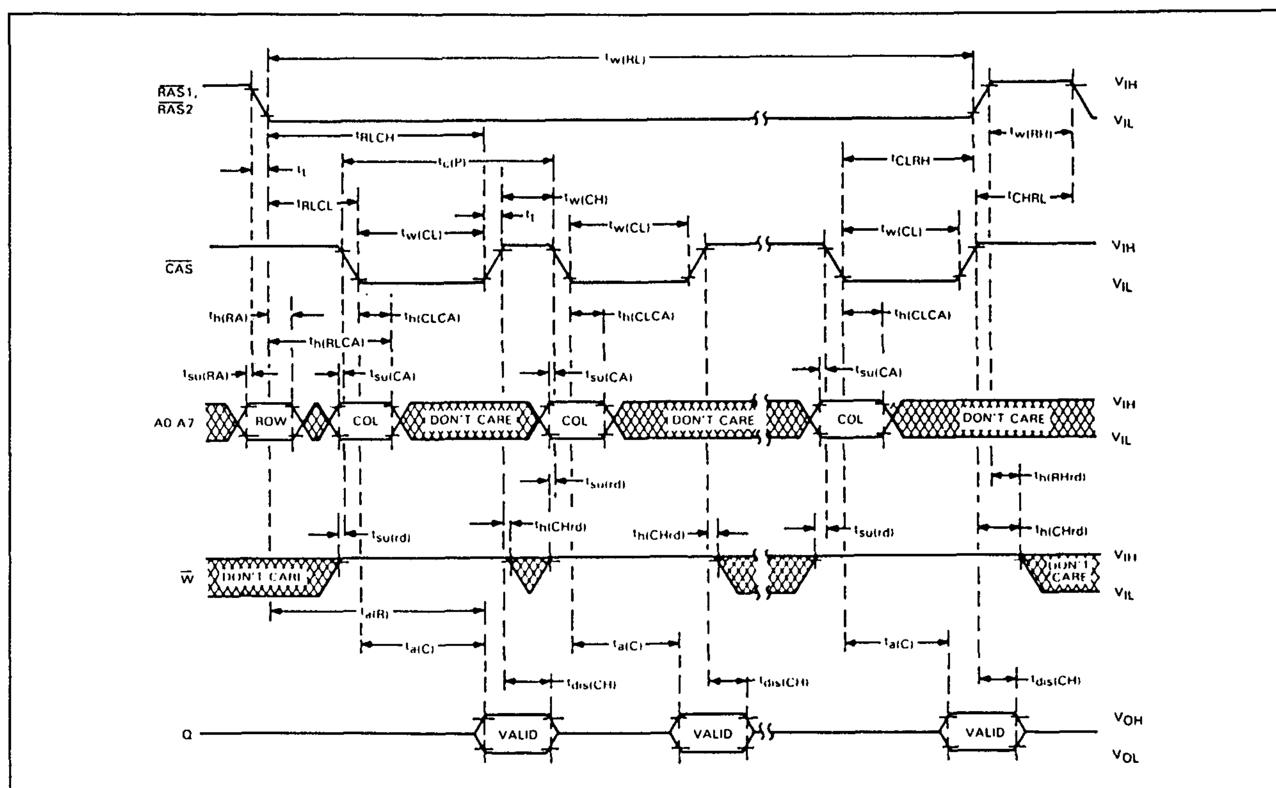
Page-mode

De page-mode (inklokken van willekeurige kolom-adressen bij hetzelfde rij-adres) maakt snellere toegang tot het geheugen mogelijk (figuren 8/3.3-45, -46 en -47).

3.3 Type-beschrijving

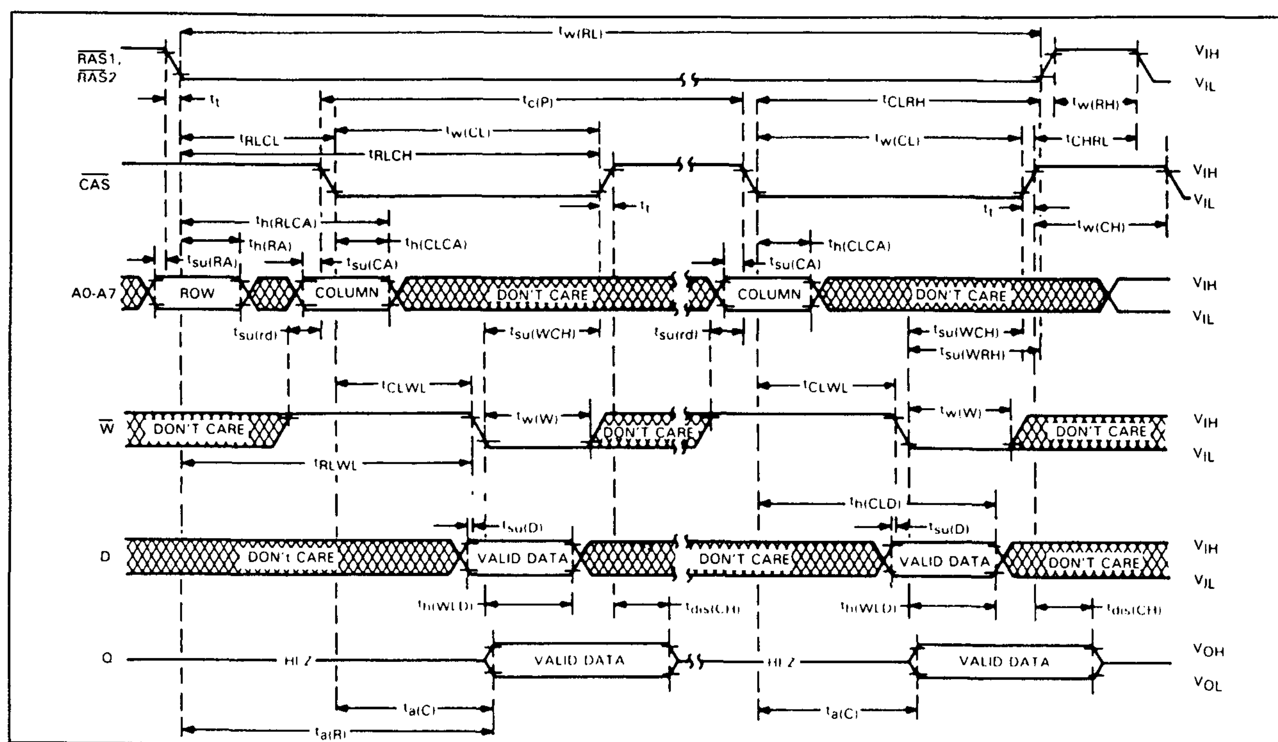


Figuur 8/3.3-44: Timing bij de $\overline{RAS}$-only refresh.

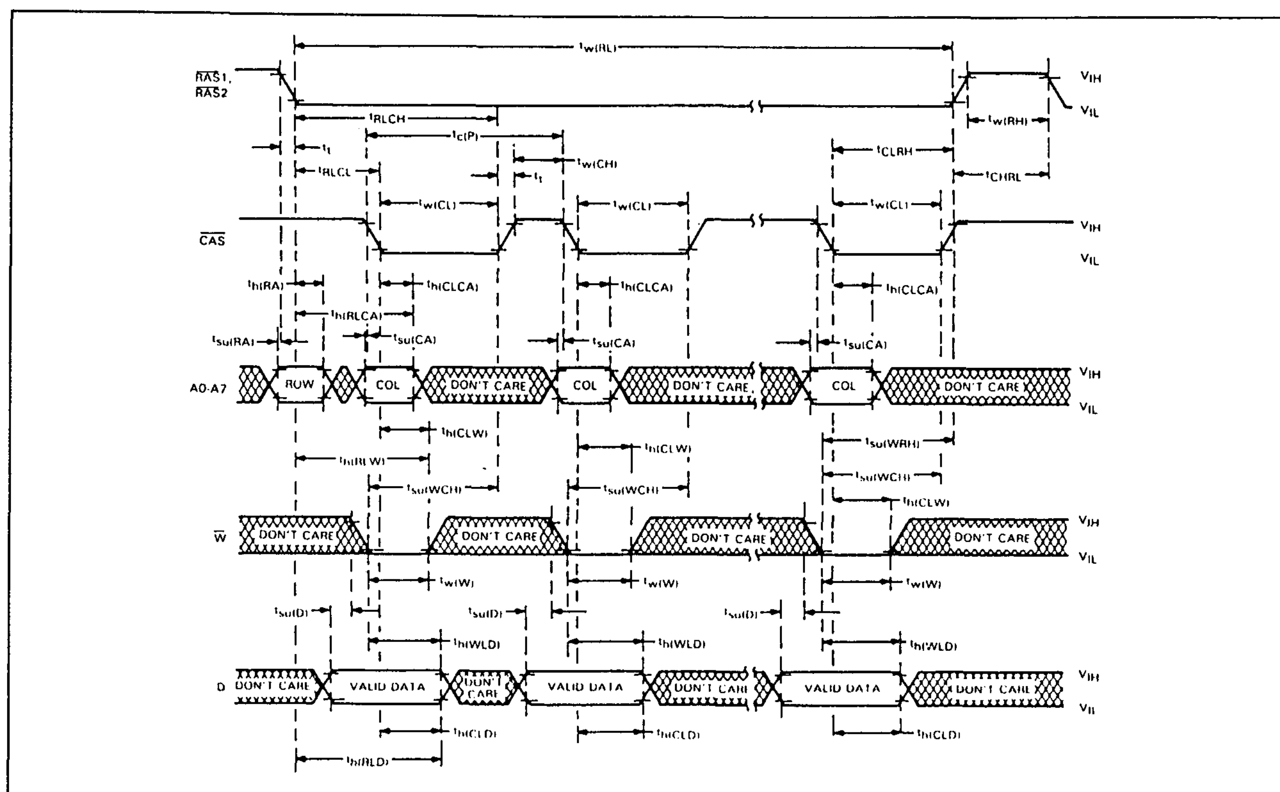


Figuur 8/3.3-45: Golfvormen en schakeltijden bij de page-mode uitlezing.

3.3 Type-beschrijving



Figuur 8/3.3-46: Timing bij de page-mode lees-wijzig-schrijf cyclus.



Figuur 8/3.3-47: Golfvormen en timing bij page-mode schrijven.

3.3 Type-beschrijving

Power-up

Na inschakelen van de voeding moeten RAS1 en RAS2 gedurende 100 µs voor de initialisatie HOOG zijn.
Door acht RAS-cyclussen uit te voeren wordt een goede werking van het geheugen gegarandeerd.

Overige kenmerken

In de tabellen 8/3.3-22 tot en met -26 zijn de elektrische specificaties en schakeltijden van de TMS 41128B van Texas Instruments te zien.

Voltage on any pin except V_{DD} and data out . . . . −1.5 V to 10 V
Voltage on V_{DD} supply and data out with respect to V_{SS} . . . . . −1 V to 6 V
Short circuit output current . . . . 50 mA
Power dissipation . . . . 2 W
Operating free-air temperature range . . . . 0°C to 70°C
Storage temperature range . . . . −65°C to 150°C

Tabel 8/3.3-22: Maximaal toegelaten waarden.

			MIN	NOM	MAX	UNIT
V_{DD}	Supply voltage		4.5	5	5.5	V
V_{SS}	Supply voltage			0		V
V_{IH}	High-level input voltage	V_{DD} = 4.5 V	2.4		4.8	V
		V_{DD} = 5.5 V	2.4		6	
V_{IL}	Low-level input voltage (see Notes 3 and 4)		−0.6		0.8	V
T_A	Operating free-air temperature		0		70	°C

NOTES: 3. The algebraic convention, where the more negative (less positive) limit is designated as minimum, is used in this data sheet for logic voltage levels only.
4. Due to input protection circuitry, the applied voltage may begin to clamp at −0.6 V.

Tabel 8/3.3-23: Aanbevolen bedrijfscondities voor de TMS 41128B.

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA			0.4	V
I_I	Input current (leakage)	V_I = 0 V to 5.8 V, V_{DD} = 5 V, All other pins = 0 V			±20	µA
I_O	Output current (leakage)	V_O = 0.4 to 5.5 V, V_{DD} = 5 V, CAS high			±20	µA
I_{DD1}	Average operating current during read or write cycle	t_c = minimum cycle, All outputs open		38.5	65	mA
I_{DD2}‡	Standby current	After 1 memory cycle, RAS and CAS high, All outputs open		7	10	mA
I_{DD3}	Average refresh current	t_c = minimum cycle, RAS low, CAS high, All outputs open			90	mA
I_{DD4}	Average page-mode current	$t_{c(P)}$ = minimum cycle, RAS low, CAS cycling, All outputs open			90	mA

† All typical values are at T_A = 25°C and nominal supply voltages.
‡ V_{IL} > −0.6 V.

Tabel 8/3.3-24: Gelijkspanningskarakteristieken van de TMS 41128B.

3.3 Type-beschrijving

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	MIN	MAX	UNIT
$t_{a(C)}$	Access time from $\overline{CAS}$	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		85	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	t_{RLCL} = MAX, Load = 2 Series 74 TTL gates	t_{RAC}		150	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	40	ns

Tabel 8/3.3-25: Schakeltijden van de TMS 41128B.

PARAMETER		ALT. SYMBOL	MIN	MAX	UNIT
$t_{c(P)}$	Page-mode cycle time	t_{PC}	160		ns
$t_{c(rd)}$	Read cycle time †	t_{RC}	260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	315		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (precharge time) ‡	t_{CP}	60		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low §	t_{CAS}	85	10.000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge time)	t_{RP}	100		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low ¶	t_{RAS}	150	10.000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	45		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	0		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{CAS}$ high	t_{CWL}	55		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	55		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	45		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	110		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DH}	45		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	120		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DH}	45		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{CAS}$ high	t_{RCH}	0		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{RAS}$ high	t_{RRH}	20		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	60		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	120		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	150		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	10		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	85		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (read-modify-write cycle only)	t_{CWD}	75		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	30	65	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write cycle only)	t_{RWD}	150		ns
t_{WLCL}	Delay time, $\overline{W}$ low to $\overline{CAS}$ low (early write cycle)	t_{WCS}	0		ns
t_{rf}	Refresh time interval	t_{REF}		4	ms

Tabel 8/3.3-26: Optredende schakeltijden bij de TMS 41128B.

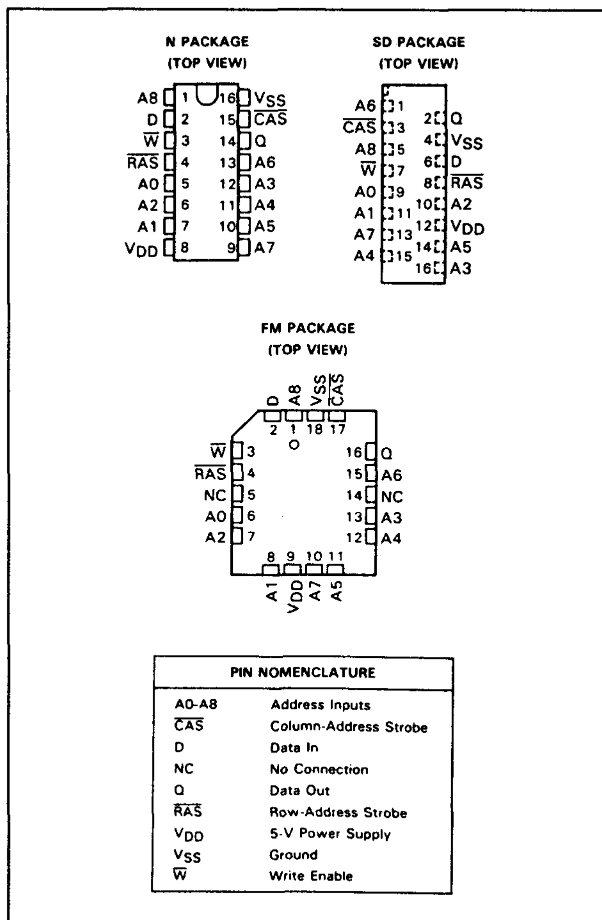
4256

256k x 1 DRAM (page-mode)

De 4256 is, zoals de naam aangeeft, een 256 kB dynamisch, vrij toegankelijk, lees-/schrijfbaar geheugen (DRAM), georganiseerd in 262144 woorden van 1 bit. De 4256 kan in de page-mode worden gebruikt.

3.3 Type-beschrijving

De TMS 4256 van Texas Instruments die hier als voorbeeld wordt beschreven is leverbaar in een aantal versies met verschillende snelheden.
De 4256-8 (die 5 % variatie in de voedingsspanning toelaat) heeft een maximum $\overline{RAS}$ toegangstijd van 80 ns.
De 4256-10, -12, -15 en -20 (met een tolerantie van 10 %) hebben toegangstijden van respectievelijk 100, 120, 150 en 200 ns. Van de langzaamste versie worden de gegevens hier niet vermeld.
Alle ingangen en de uitgang zijn compatibel met de 74xx-serie TTL. Om het systeemontwerp te vereenvoudigen zijn alle adreslijnen en de data-ingang zijn van latches voorzien en is de uitgang niet gelatched.



PIN NOMENCLATURE	
A0-A8	Address Inputs
$\overline{CAS}$	Column-Address Strobe
D	Data In
NC	No Connection
Q	Data Out
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Power Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/3.3-48: Aansluitingen van de DIL-, ZIP- en LCC-versies van de 4256.

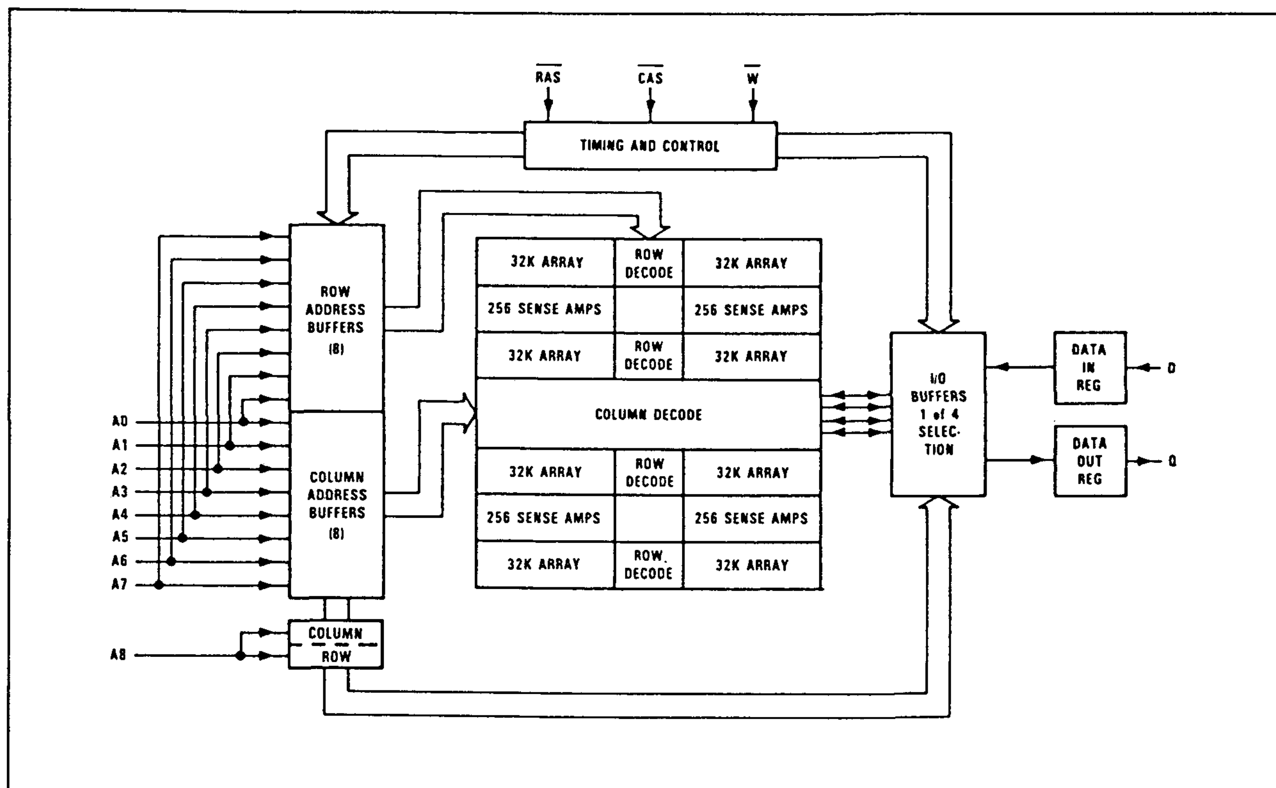
Specificaties

- 262144 x 1 bit organisatie
- enkele +5 V voeding (+/-10 %) (4256-8: 5 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- page-mode werking
- bestuurbaar met 74ALS2967, 74ALS2968 en/of THCT4502 DRAM-controllers
- 4 ms refresh-periode
- $\overline{RAS}$-only refresh, hidden refresh en $\overline{CAS}$-before-$\overline{RAS}$ refresh
- JEDEC standaard behuizingen: 16-pens 0,3" plastic DIL, 18-pens PLCC (plastic leadless chip carrier) en 16-pens plastic ZIP (zig-zag in-line package) (figuur 8/3.3-48)
- leverbare typen: zie equivalentenlijst

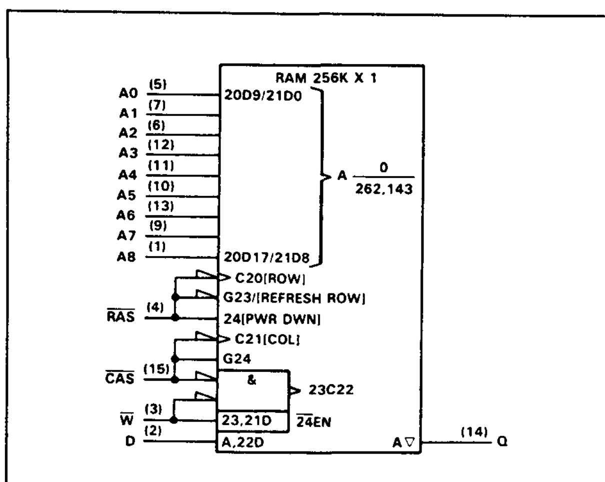
Werking

- Adreslijnen A0 tot en met A8
  Voor het decoderen van 262144 adressen heeft de 4256 eigenlijk 18 adresbits nodig. Met 9 beschikbare adresbits worden de adressen daarom in twee stappen geladen. Eerst worden negen rij-adresbits op de ingangen A0 tot en met A8 gezet en met behulp van de Row-Address Strobe ($\overline{RAS}$) in de bijbehorende latches geklokt. Daarna worden de negen kolom-adresbits met de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-49). De adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$ of $\overline{CAS}$ stabiel zijn. $\overline{RAS}$ komt overeen met een chip-enable, omdat het zowel de sense-versterkers als de rij-decoder worden aktiveerd. $\overline{CAS}$ wordt als chip-select gebruikt en aktiveert de kolom-decoder en de in- en uitgangsbuffers.
- Write enable ($\overline{W}$)
  Met het $\overline{W}$-signaal kan lezen of schrijven worden geselecteerd. De leesmode is gekozen als $\overline{W}$ HOOG is, terwijl de schrijfmode wordt bereikt met een LAAG niveau op deze ingang.

3.3 Type-beschrijving



Figuur 8/3.3-49: Functioneel blokschema van de 4256.

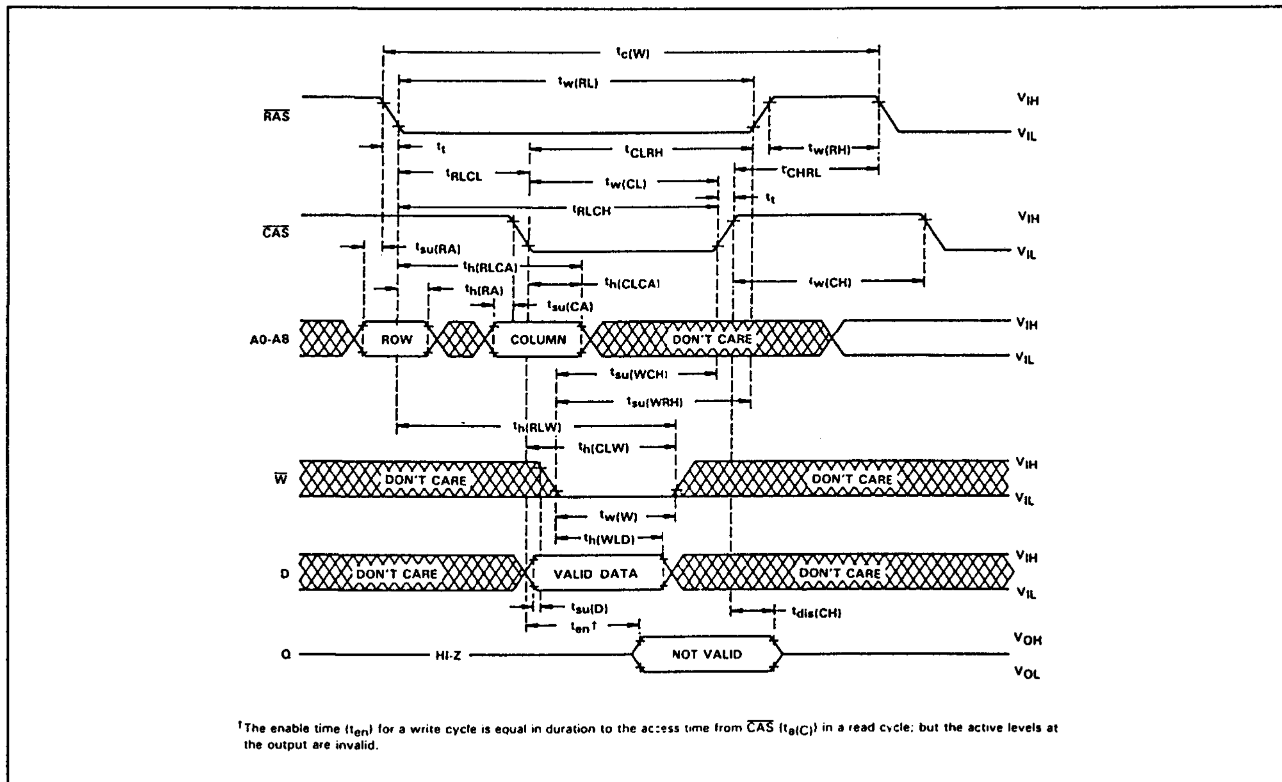


Figuur 8/3.3-50: Logisch symbool van de 4256.

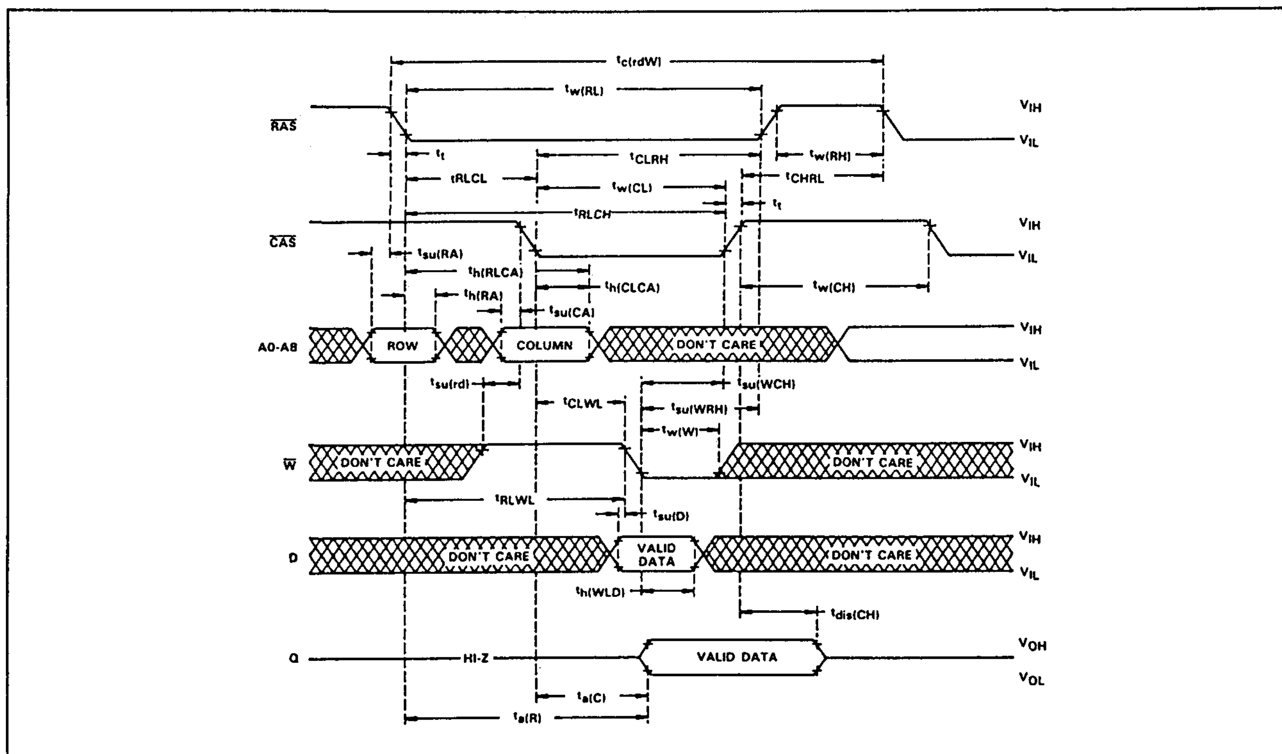
Bij het lezen is de data-ingang gesperd. Wanneer $\overline{W}$ eerst LAAG gaat en daarna $\overline{CAS}$, blijft de data-uitgang gedurende de gehele cyclus hoog-impedant en zijn gemeenschappelijke I/O-operaties mogelijk.

– Data-in (D)
  Data wordt tijdens een schrijf- of lees-modificeer-schrijf cyclus in de data-latch opgeslagen (figuren 8/3.3-51 en -52). Dit gebeurt, afhankelijk van de bedrijfsmode, op de dalende flank van $\overline{CAS}$ of $\overline{W}$. Deze latch is TTL-compatibel en heeft geen optrekweerstand nodig.
  Bij een vroege schrijfcyclus (early write) gaat $\overline{W}$ eerder LAAG dan $\overline{CAS}$ en wordt de informatie door $\overline{CAS}$ in de latch geklokt (figuur 8/3.3-53).
  De set-up en houdtijden hebben dan dus betrekking op $\overline{CAS}$. Bij een vertraagde schrijfcyclus (delayed write) of bij lees-modificeer-schrijf cyclus (read-modify-write) zal $\overline{CAS}$ al LAAG zijn, zodat de data dan door $\overline{W}$ wordt ingeklokt.

3.3 Type-beschrijving

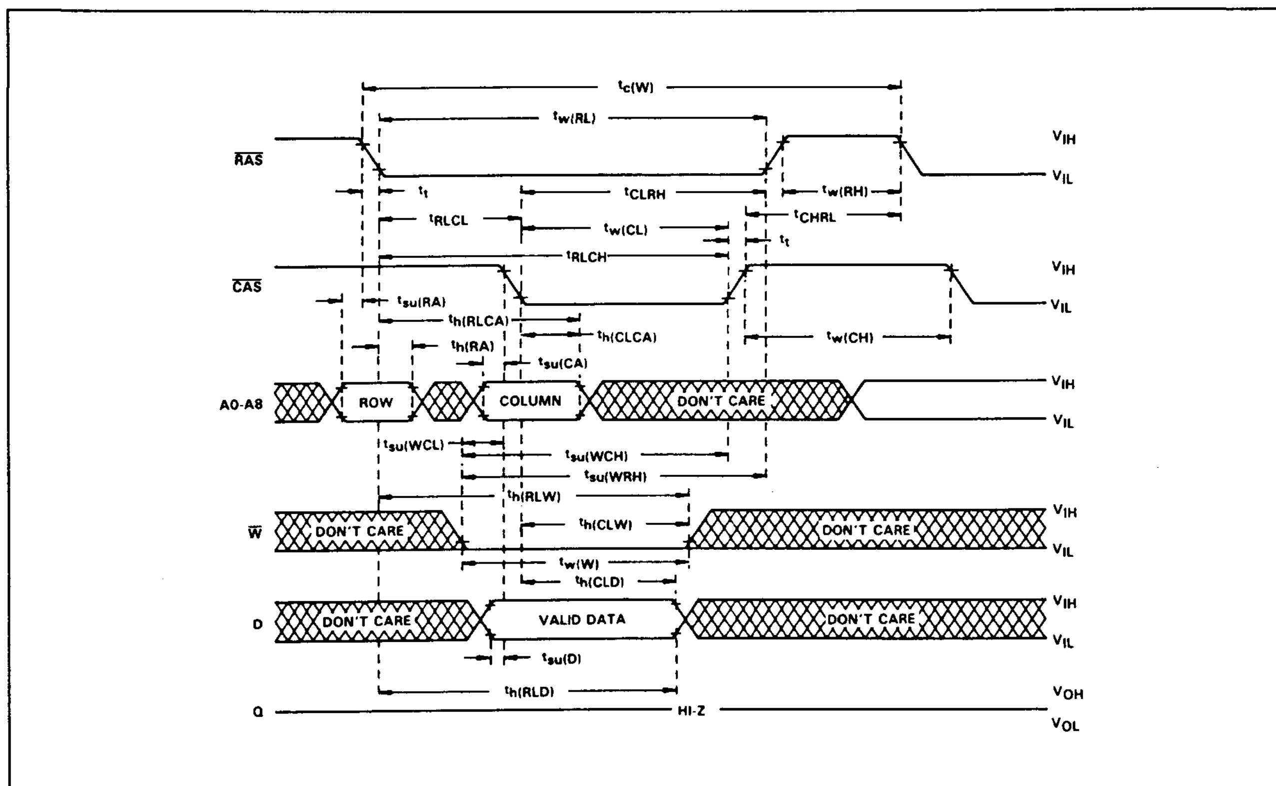


Figuur 8/3.3-51: Timing en golfvormen bij een schrijfcyclus.

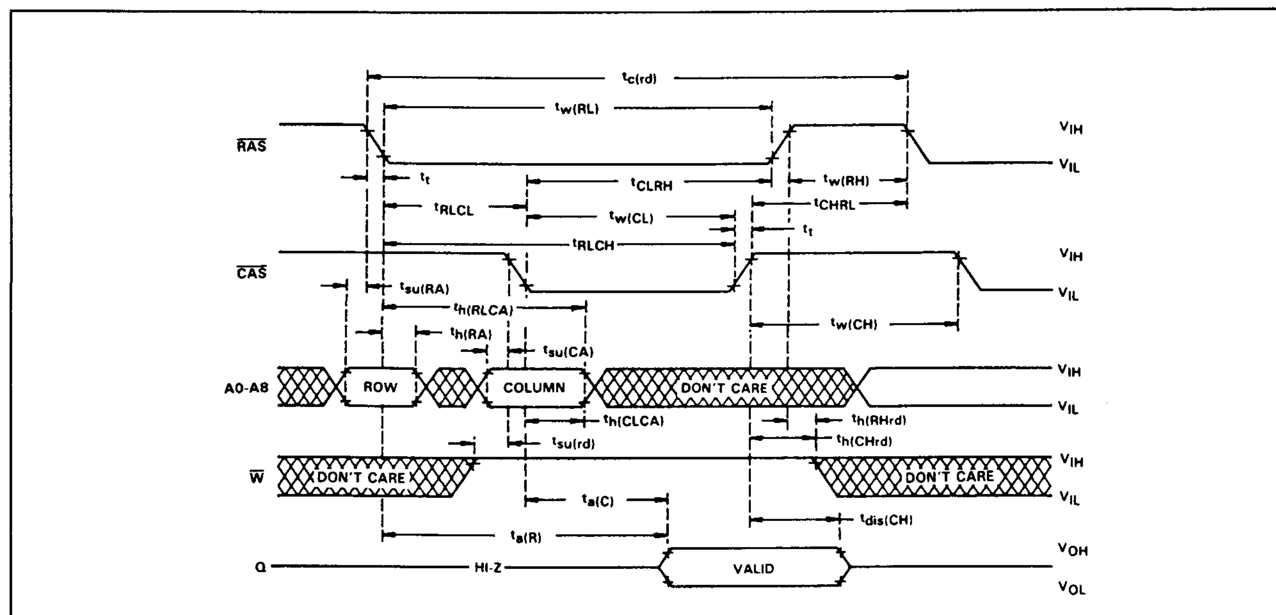


Figuur 8/3.3-52: Schakeltijden bij de lees-modificeer-schrijf cyclus.

3.3 Type-beschrijving

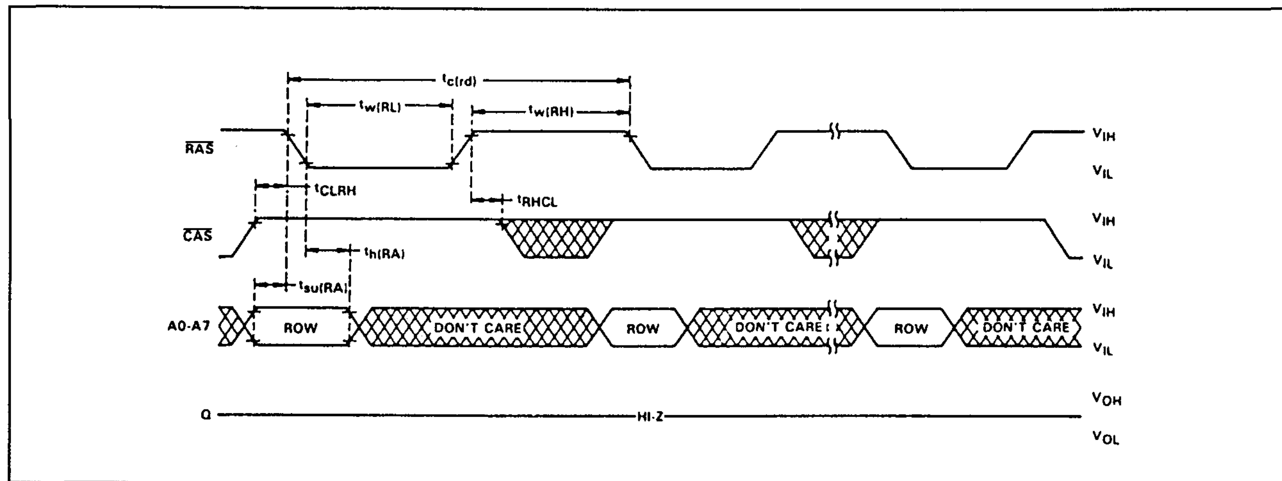


Figuur 8/3.3-53: Timing bij de vroege schrijfcyclus (early write).



Figuur 8/3.3-54: Timing bij het uitlezen van de 4256.

3.3 Type-beschrijving



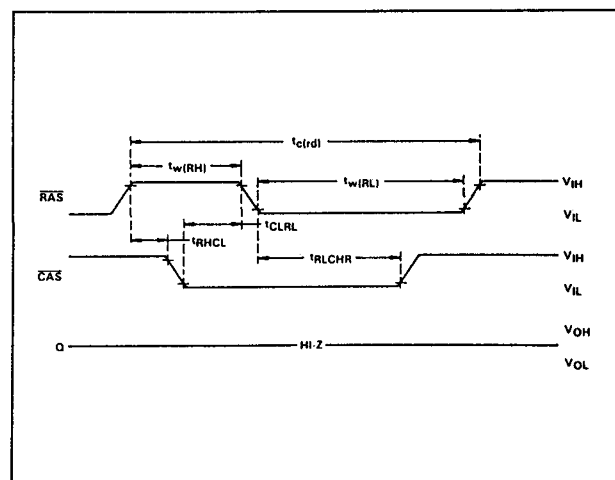
Figuur 8/3.3-55: Timing bij een "$\overline{RAS}$-only" refresh.

- Data-out (Q)
  De 3-state uitgangsbuffer is ook TTL-compatibel. De niet-geïnverteerde data kan 2 TTL-poorten aandrijven. De uitgang zweeft (is hoog-impedant) totdat $\overline{CAS}$ LAAG gaat. Bij een leescyclus wordt de uitgang $t_{a(C)}$ ns na de dalende flank van $\overline{CAS}$ "waar" als aan $t_{a(R)}$ wordt voldaan (zie figuur 8/3.3-54). Het uitgangssignaal blijft "waar" totdat $\overline{CAS}$ weer HOOG wordt. Bij een vroege schrijfcyclus blijft de uitgang voortdurend hoog-impedant.

Refresh
Om de data te behouden moet minimaal elke 4 ms een verversing (refresh) worden uitgevoerd. Dit kan worden gedaan door alle 256 rijen te stroben (A0 tot en met A7). Door een normale lees- of schrijfcyclus worden alle bits in de geselecteerde rij ververst. Door $\overline{CAS}$ op het inaktieve HOOG niveau te houden kan een $\overline{RAS}$-only operatie worden uitgevoerd (zie figuur 8/3.3-55).

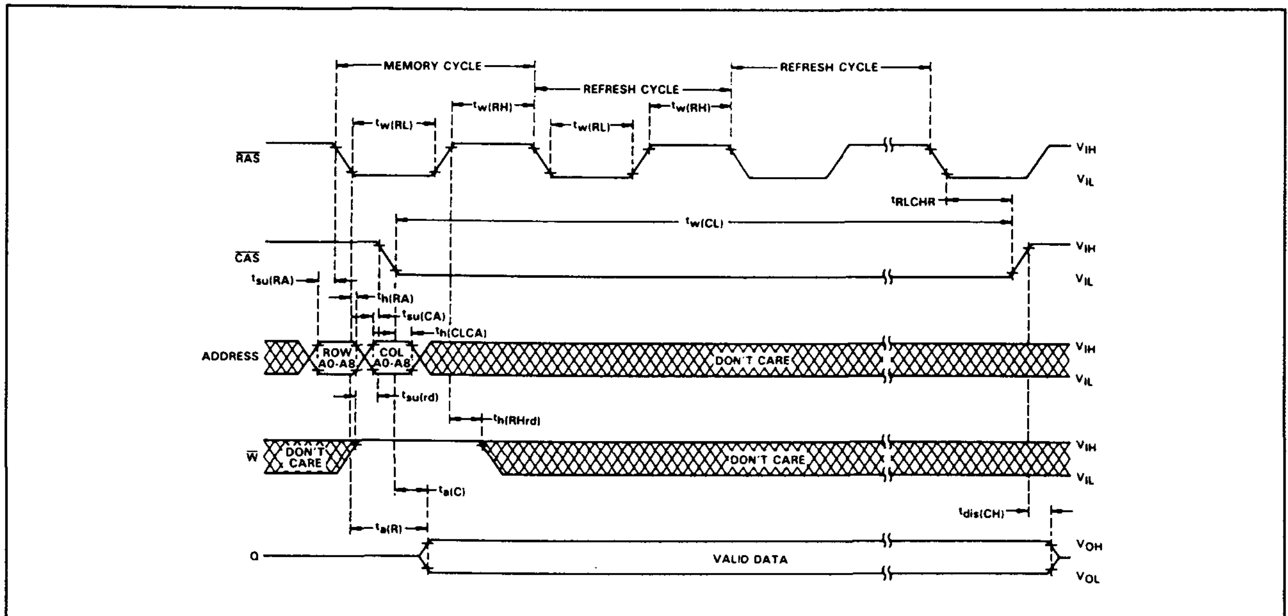
$\overline{CAS}$-voor-$\overline{RAS}$ refresh
De "$\overline{CAS}$-before-$\overline{RAS}$" refresh treedt in werking door $\overline{CAS}$ eerder LAAG te maken dan $\overline{RAS}$ (zie parameter t_{CLRL}) en LAAG te houden na het dalen van $\overline{RAS}$ (zie parameter t_{RLCHR}). Bij achtereenvolgende $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclussen mag $\overline{CAS}$ LAAG blijven terwijl $\overline{RAS}$ geschakeld wordt. Hierbij wordt het externe adres genegeerd en wordt het refresh-adres inwendig opgewekt.

Hidden refresh
Terwijl geldige data op de uitgangspen staat kan een verborgen refresh (hidden refresh) worden uitgevoerd (zie figuur 8/3.3-57). Dit wordt bereikt door $\overline{CAS}$ LAAG te houden na een lees-operatie en $\overline{RAS}$ na een bepaalde voorlaadtijd om te schakelen (op dezelfde manier als bij een $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclus). Ook tijdens een verborgen refresh wordt het externe adres genegeerd.
De op de uitgang aanwezige data blijft geldig zo lang de $\overline{CAS}$-puls LAAG is (t_{wCL}).

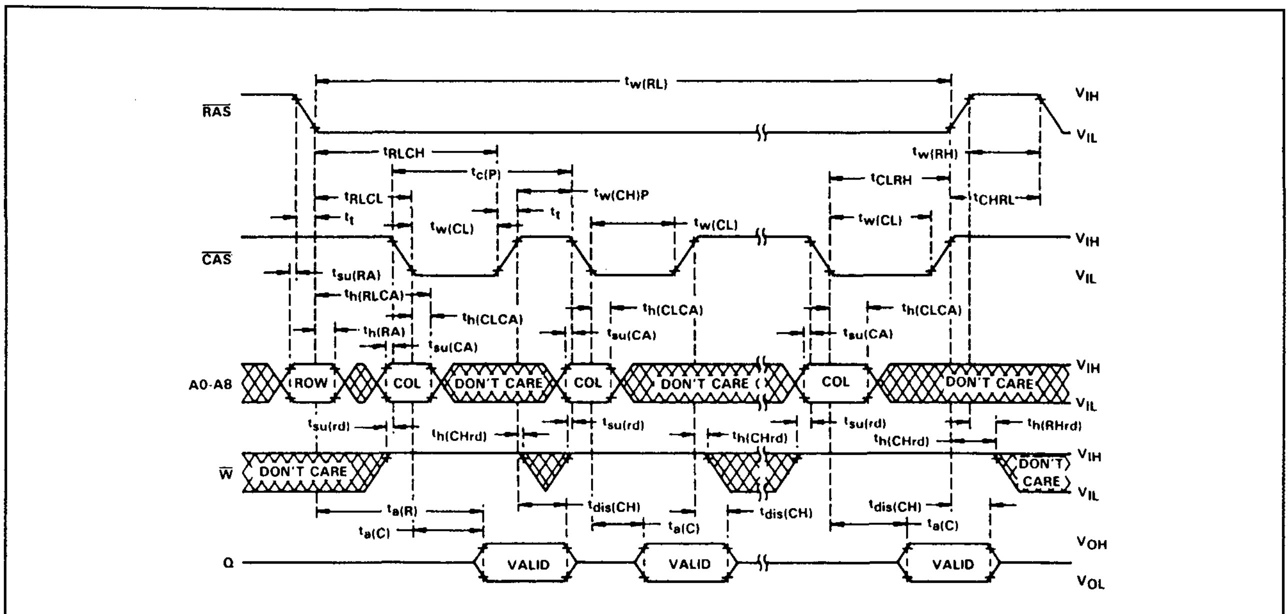


Figuur 8/3.3-56: Automatische $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclus.

3.3 Type-beschrijving



Figuur 8/3.3-57: Timing bij een "verborgen refresh" cyclus.

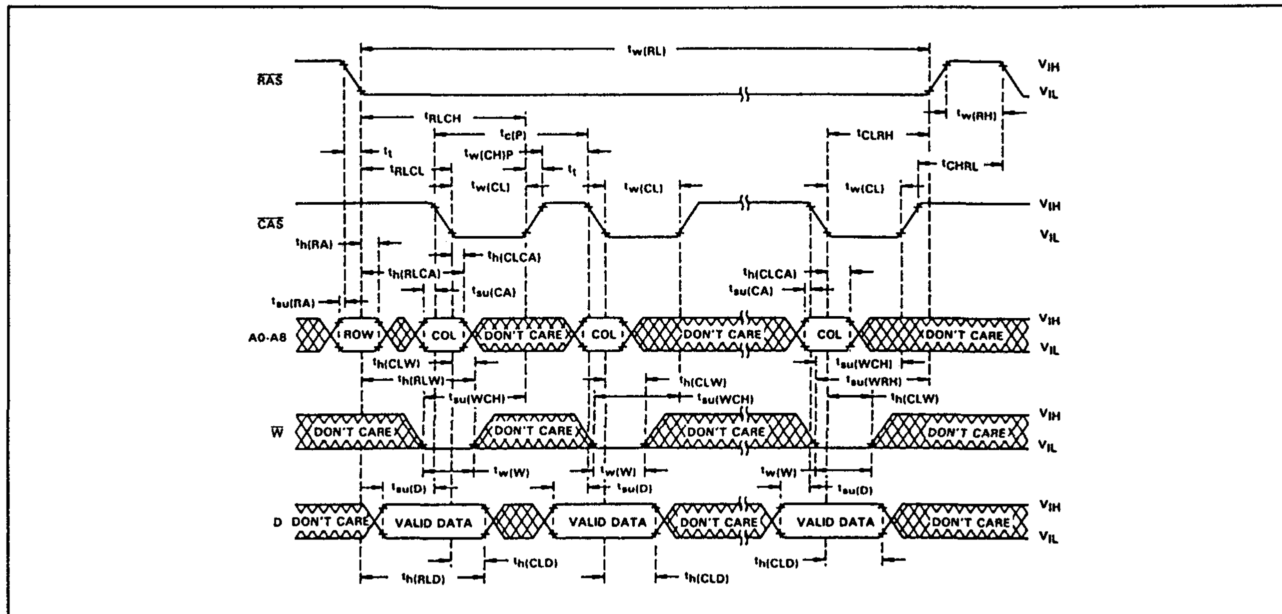


Figuur 8/3.3-58: Golfvormen en timing bij uitlezen van de 4256 in de page-mode.

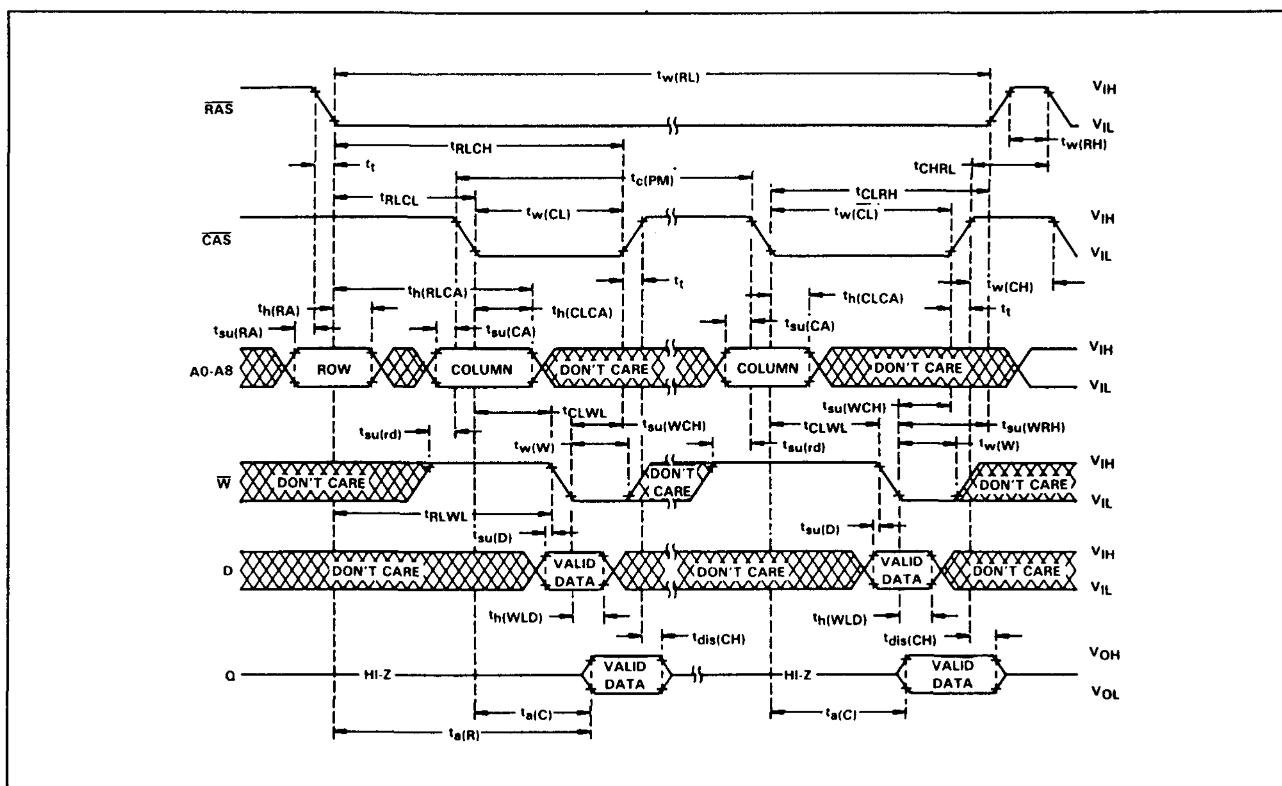
Page-mode

De page-mode operatie maakt snellere toegang tot het geheugen mogelijk. Omdat hierbij hetzelfde rij-adres gehandhaafd blijft, terwijl willekeurige kolom-adressen worden ingeklokt, wordt geen tijd verloren met het kiezen van rij-adressen op dezelfde pagina (figuren 8/3.3-58, -59 en -60).

3.3 Type-beschrijving



Figuur 8/3.3-59: Schakeltijden bij schrijven in de page-mode.



Figuur 8/3.3-60: Timing van de lees-wijzig-schrijf cyclus in de page-mode.

3.3 Type-beschrijving

Power-up

Voor een goede werking is na inschakeling van de voedingsspanning een pauze van 200 µs vereist, waarna minimaal acht initialisatie-cyclussen moeten worden uitgevoerd.

Overige kenmerken

In de tabellen 8/3.3-27 tot en met -33 zijn de elektrische en timing karakteristieken van de TMS 4256 van Texas Instruments te zien. De in de tabellen 8/3.3-32 en -33 genoemde tijden zijn terug te vinden in de figuren 8/3.3-51 tot en met 8/3.3-60.

absolute maximum ratings over operating free-air temperature range

Voltage range for any pin, including V_{DD} supply	−1 V to 7 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-27: Maximaal toegelaten waarden voor de TMS 4256.

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{DD}	Supply voltage ('4256/'4257-10, -12, -15)	4.5	5	5.5	V
V_{DD}	Supply voltage ('4256-8)	4.75	5	5.25	V
V_{SS}	Supply voltage		0		V
V_{IH}	High-level input voltage	2.4		6.5	V
V_{IL}	Low-level input voltage (see Note 2)	−1		0.8	V
T_A	Operating free-air temperature	0		70	°C

Tabel 8/3.3-28: Aanbevolen bedrijfscondities voor de 4256.

PARAMETER		TEST CONDITIONS	TMS4256-8		TMS4256-10 TMS4257-10		TMS4256-12 TMS4257-12		TMS4256-15 TMS4257-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4		2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA		0.4		0.4		0.4		0.4	V
I_I	Input current (leakage)	V_I = 0 V to 6.5 V, V_{DD} = 5 V, All other pins = 0 V to 6.5 V		±10		±10		±10		±10	µA
I_O	Output current (leakage)	V_O = 0 V to 5.5 V, V_{DD} = 5 V, $\overline{CAS}$ high		±10		±10		±10		±10	µA
I_{DD1}	Average operating current during read or write cycle	t_c = minimum cycle, Output open		70		70		65		60	mA
I_{DD2}	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, Output open		4.5		4.5		4.5		4.5	mA
I_{DD3}	Average refresh current	t_c = minimum cycle, $\overline{RAS}$ cycling, $\overline{CAS}$ high, Output open		70		58		53		48	mA
I_{DD4}	Average page-mode current	$t_{c(P)}$ = minimum cycle, $\overline{RAS}$ low, $\overline{CAS}$ cycling, Output open		60		50		45		40	mA
I_{DD5}	Average nibble-mode current	$t_{c(N)}$ = minimum cycle, $\overline{RAS}$ low, $\overline{CAS}$ cycling, Output open				45		40		35	mA

Tabel 8/3.3-29: Gelijkspanningskarakteristieken voor verschillende versies van de 4256.

3.3 Type-beschrijving

capacitance over recommended supply voltage range and operating free-air temperature range, f = 1 MHz

PARAMETER		MAX	UNIT
$C_{i(A)}$	Input capacitance, address inputs	5	pF
$C_{i(D)}$	Input capacitance, data input	5	pF
$C_{i(RC)}$	Input capacitance strobe inputs	5	pF
$C_{i(W)}$	Input capacitance, write enable input	7	pF
C_o	Output capacitance	7	pF

Tabel 8/3.3-30: Capaciteiten bij 1 MHz.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	TMS4256-8		TMS4256-10 TMS4257-10		TMS4256-12 TMS4257-12		TMS4256-15 TMS4257-15		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$	t_{RLCL} ≥ MAX, C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		40		50		60		75	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	t_{RLCL} = MAX, C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{RAC}		80		100		120		150	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	20	0	30	0	30	0	30	ns

Tabel 8/3.3-31: Schakeltijden van verschillende (snelheids-) versies van de 4256.

3.3 Type-beschrijving

PARAMETER		ALT. SYMBOL	TMS4256-8		TMS4256-10 TMS4257-10		UNIT
			MIN	MAX	MIN	MAX	
$t_{c(P)}$	Page-mode cycle time (read or write cycle)	t_{PC}	70		100		ns
$t_{c(PM)}$	Page-mode cycle time (read-modify-write cycle)	t_{PCM}	95		135		ns
$t_{c(rd)}$	Read cycle time†	t_{RC}	160		200		ns
$t_{c(W)}$	Write cycle time	t_{WC}	160		200		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	185		235		ns
$t_{w(CH)P}$	Pulse duration, $\overline{CAS}$ high (page mode)	t_{CP}	20		40		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (non-page mode)	t_{CPN}	25		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low‡	t_{CAS}	40	10,000	50	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high	t_{RP}	70		90		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low§	t_{RAS}	80	10,000	100	10,000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	20		30		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	0		0		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		ns
$t_{su(WCL)}$	Early write-command setup time before $\overline{CAS}$ low	t_{WCS}	0		0		ns
$t_{su(WCH)}$	*Write-command setup time before $\overline{CAS}$ high*	t_{CWL}	20		30		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	20		30		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	15		15		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	15		15		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	55		65		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DH}	20		30		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	60		80		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DH}	20		30		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{CAS}$ high	t_{RCH}	0		0		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{RAS}$ high	t_{RRH}	10		10		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	20		30		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	65		80		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	80		100		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	40		50		ns
t_{RLCHR}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high¶	t_{CHR}	20		20		ns
t_{CLRL}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low¶	t_{CSR}	10		10		ns
t_{RHCL}	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low¶	t_{RPC}	0		0		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low *(read-modify-write cycle only)*	t_{CWD}	40		50		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	25	40	25	50	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write cycle only)	t_{RWD}	80		100		ns
t_{rf}	Refresh time interval	t_{REF}		4		4	ms

NOTE 3: Timing measurements are referenced to V_{IL} max and V_{IH} min.

† All cycle times assume t_t = 5 ns.

‡ In a read-modify-write cycle, t_{CLWL} and $t_{su(WCH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{CAS}$ low time ($t_{w(CL)}$). This applies to page-mode read-modify-write also.

§ *In a read-modify-write cycle,* t_{RLWL} and $t_{su(WRH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{RAS}$ low time ($t_{w(RL)}$).

Tabel 8/3.3-32: Overzicht van de optredende schakeltijden (80 en 100 ns typen).

3.3 Type-beschrijving

PARAMETER		ALT. SYMBOL	TMS4256-12 TMS4257-12 MIN	TMS4256-12 TMS4257-12 MAX	TMS4256-15 TMS4257-15 MIN	TMS4256-15 TMS4257-15 MAX	UNIT
$t_{c(P)}$	Page-mode cycle time (read or write cycle)	t_{PC}	120		145		ns
$t_{c(PM)}$	Page-mode cycle time (read-modify-write cycle)	t_{PCM}	160		190		ns
$t_{c(rd)}$	Read cycle time†	t_{RC}	220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	260		305		ns
$t_{w(CH)P}$	Pulse duration, $\overline{\text{CAS}}$ high (page mode)	t_{CP}	50		60		ns
$t_{w(CH)}$	Pulse duration, $\overline{\text{CAS}}$ high (non-page mode)	t_{CPN}	25		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{\text{CAS}}$ low‡	t_{CAS}	60	10,000	75	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{\text{RAS}}$ high	t_{RP}	90		100		ns
$t_{w(RL)}$	Pulse duration, $\overline{\text{RAS}}$ low§	t_{RAS}	120	10,000	150	10,000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	30		45		ns
t_t	Transition times (rise and fall) for $\overline{\text{RAS}}$ and $\overline{\text{CAS}}$	t_T	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	0		0		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		ns
$t_{su(WCL)}$	Early write-command setup time before $\overline{\text{CAS}}$ low	t_{WCS}	0		0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{\text{CAS}}$ high	t_{CWL}	35		45		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{\text{RAS}}$ high	t_{RWL}	35		45		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{\text{CAS}}$ low	t_{CAH}	20		25		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	15		15		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{\text{RAS}}$ low	t_{AR}	80		100		ns
$t_{h(CLD)}$	Data hold time after $\overline{\text{CAS}}$ low	t_{DH}	30		45		ns
$t_{h(RLD)}$	Data hold time after $\overline{\text{RAS}}$ low	t_{DHR}	90		120		ns
$t_{h(WLD)}$	Data hold time after $\overline{\text{W}}$ low	t_{DH}	30		45		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{\text{CAS}}$ high	t_{RCH}	0		0		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{\text{RAS}}$ high	t_{RRH}	10		10		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{\text{CAS}}$ low	t_{WCH}	30		45		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{\text{RAS}}$ low	t_{WCR}	90		120		ns
t_{RLCH}	Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ high	t_{CSH}	120		150		ns
t_{CHRL}	Delay time, $\overline{\text{CAS}}$ high to $\overline{\text{RAS}}$ low	t_{CRP}	0		0		ns
t_{CLRH}	Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{RAS}}$ high	t_{RSH}	60		75		ns
t_{RLCHR}	Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ high¶	t_{CHR}	25		30		ns
t_{CLRL}	Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{RAS}}$ low¶	t_{CSR}	10		20		ns
t_{RHCL}	Delay time, $\overline{\text{RAS}}$ high to $\overline{\text{CAS}}$ low¶	t_{RPC}	0		0		ns
t_{CLWL}	Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{W}}$ low (read-modify-write cycle only)	t_{CWD}	60		70		ns
t_{RLCL}	Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ low (maximum value specified only to guarantee access time)	t_{RCD}	25	60	25	75	ns
t_{RLWL}	Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{W}}$ low (read-modify-write cycle only)	t_{RWD}	120		145		ns
t_{rf}	Refresh time interval	t_{REF}		4		4	ms

Tabel 8/3.3-33: Vervolg-overzicht van de schakeltijden (120 en 150 ns typen).

4257

256k x 1 DRAM (nibble-mode)

De 4257 komt, wat aansluitingen en timing betreft, volledig overeen met de hiervoor behandelde 4256. Ook de 4257 is een 256 kB dynamisch, vrij toegankelijk, lees- en beschrijfbaar geheugen (DRAM), georganiseerd in 262144 woorden van 1 bit. De 4257 kan echter niet in de page-mode worden gebruikt maar wel in de nibble-mode.

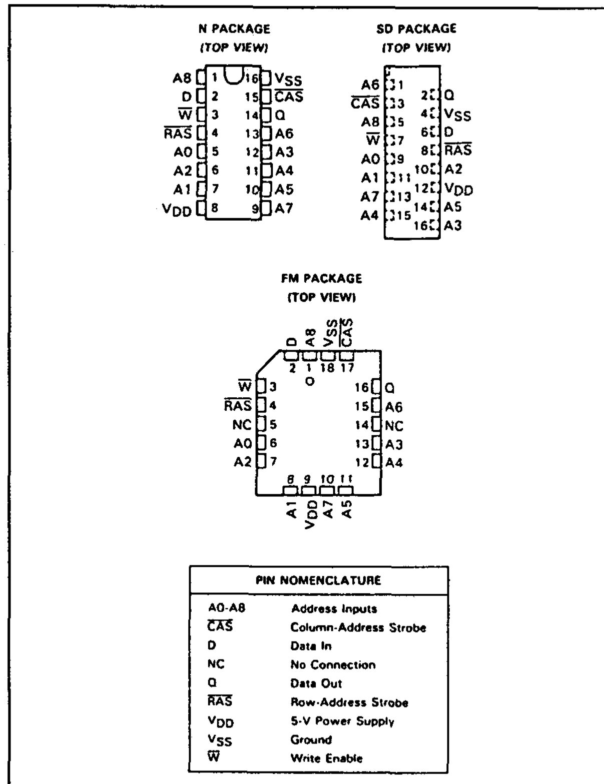
Voor de elektrische eigenschappen en de schakeltijden wordt verwezen naar de 4256.

In dit gedeelte zal alleen het lezen en schrijven in de afwijkende nibble-mode worden behandeld.

Ook de TMS 4257 van Texas Instruments waarvan hier de eigenschappen worden beschreven is leverbaar met verschillende snelheden.

De 4257-10, -12, -15 en -20 (met een tolerantie in de voedingsspanning van 10 %) hebben toegangstijden van respectievelijk 100, 120, 150 en 200 ns.

3.3 Type-beschrijving

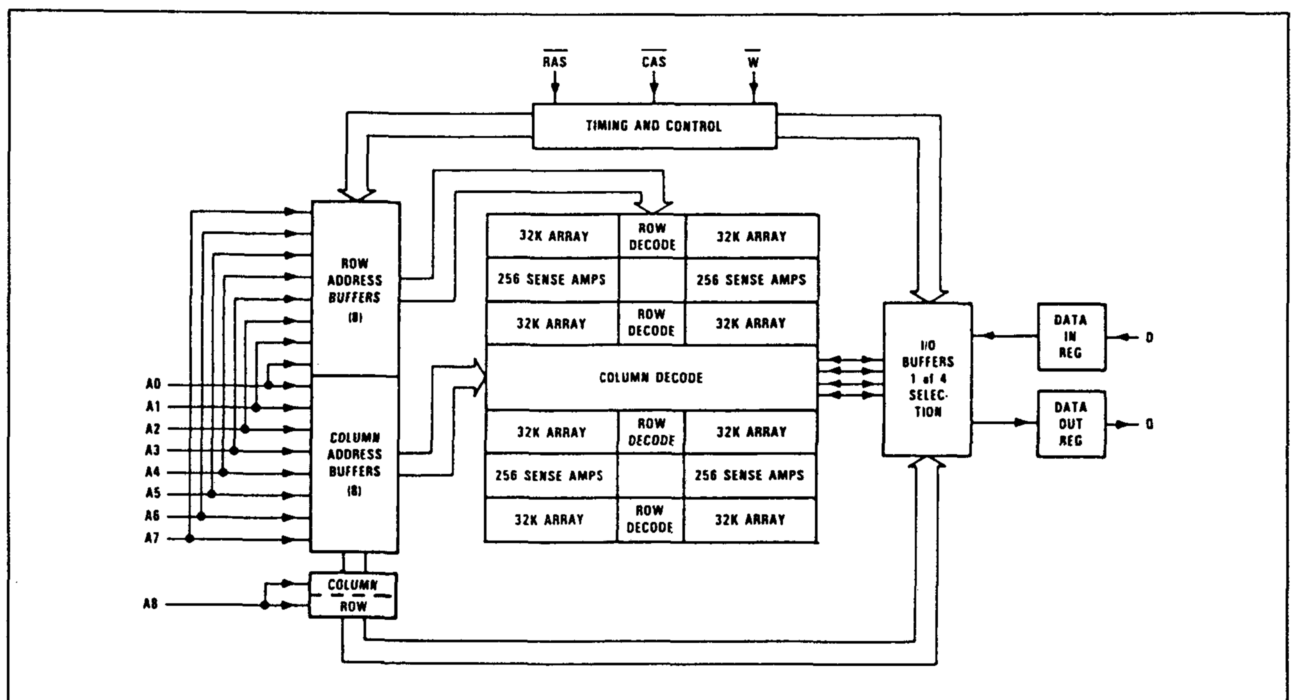


PIN NOMENCLATURE	
A0-A8	Address Inputs
CAS	Column-Address Strobe
D	Data In
NC	No Connection
Q	Data Out
RAS	Row-Address Strobe
VDD	5-V Power Supply
VSS	Ground
W	Write Enable

Figuur 8/3.3-61: Aansluitingen van de DIL-, ZIP- en LCC-versies van de 4257.

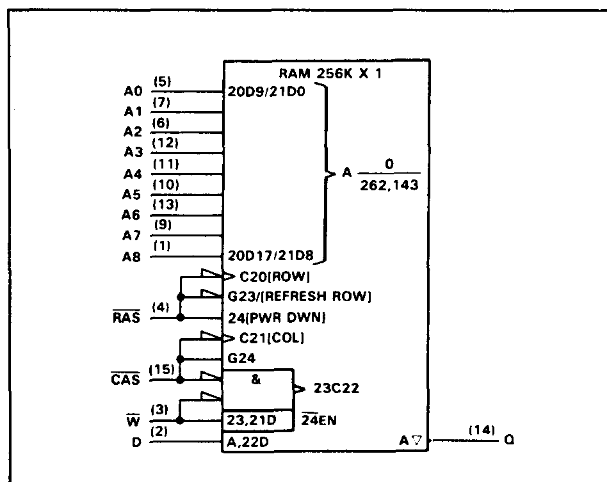
Specificaties

- 262144 x 1 bit organisatie
- enkele +5 V voeding (+/- 10 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- nibble-mode werking
- bestuurbaar met 74ALS2967, 74ALS2968 en/of THCT4502 DRAM-controllers
- 4 ms refresh-periode
- RAS-Only refresh, hidden refresh en CAS-before-RAS refresh
- JEDEC standaard behuizingen: 16-pens 0,3" plastic DIL, 18-pens PLCC (plastic leadless chip carrier) en 16-pens plastic ZIP (zig-zag in-line package) (figuur 8/3.3-61)
- leverbare typen: zie equivalentenlijst

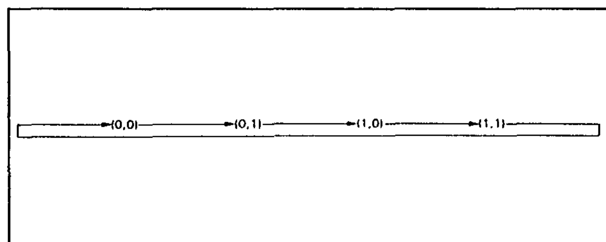


Figuur 8/3.3-62: Functioneel blokschema van de 4257.

3.3 Type-beschrijving



Figuur 8/3.3-63: Logisch symbool van de 4257.



Figuur 8/3.3-64: Werking van de cirkulaire 4-bit nibble.

Werking

Voor de beschrijving van:

- Adreslijnen A0 tot en met A8;
- Write enable ($\overline{W}$);
- Data-in (D);
- Data-out (Q);
- Refresh;
- $\overline{CAS}$-voor-$\overline{RAS}$ refresh;
- Hidden refresh;
- Power-up
- normale lees-, schrijf- en lees-modificeer-schrijf operaties;

wordt verwezen naar dezelfde onderwerpen (beschrijving, tabellen en grafieken) bij de 4256.

Nibble-mode

De "nibble-mode" maakt snelle seriële lees-, schrijf- en lees-modificeer-schrijf operaties van 1 tot 4 bits data mogelijk.
Het eerste bit wordt op de normale wijze bereikt, waarbij de gelezen data op het tijdstip $t_{a(C)}$ beschikbaar komt.

De volgende sequentiële nibble bits kunnen worden gelezen of geschreven door de $\overline{CAS}$-cyclus te herhalen, terwijl $\overline{RAS}$ LAAG blijft.
Het eerste bit wordt bepaald door de rij- en kolomadressen die alleen voor de eerste toegang moeten worden aangeboden.
Kolom A8 en rij A8 (respectievelijk CA8 en RA8) leveren de twee binaire bits voor de initiële keuze van de nibble-adressen. Daarna wordt op de dalende flank van $\overline{CAS}$ het volgende bit van de cirkulaire 4-bit nibble bereikt (zie figuur 8/3.3-64).

In de nibble-mode kunnen alle normale geheugenbewerkingen, zoals lezen, schrijven en lees-modificeer-schrijf operaties in elke gewenste combinatie worden uitgevoerd (zie de figuren 8/3.3-65 tot en met 8/3.3-67 en de bijbehorende tabel 8/3.3-34).

3.3 Type-beschrijving

switching characteristics over recommended supply voltage range and operating free-air temperature range

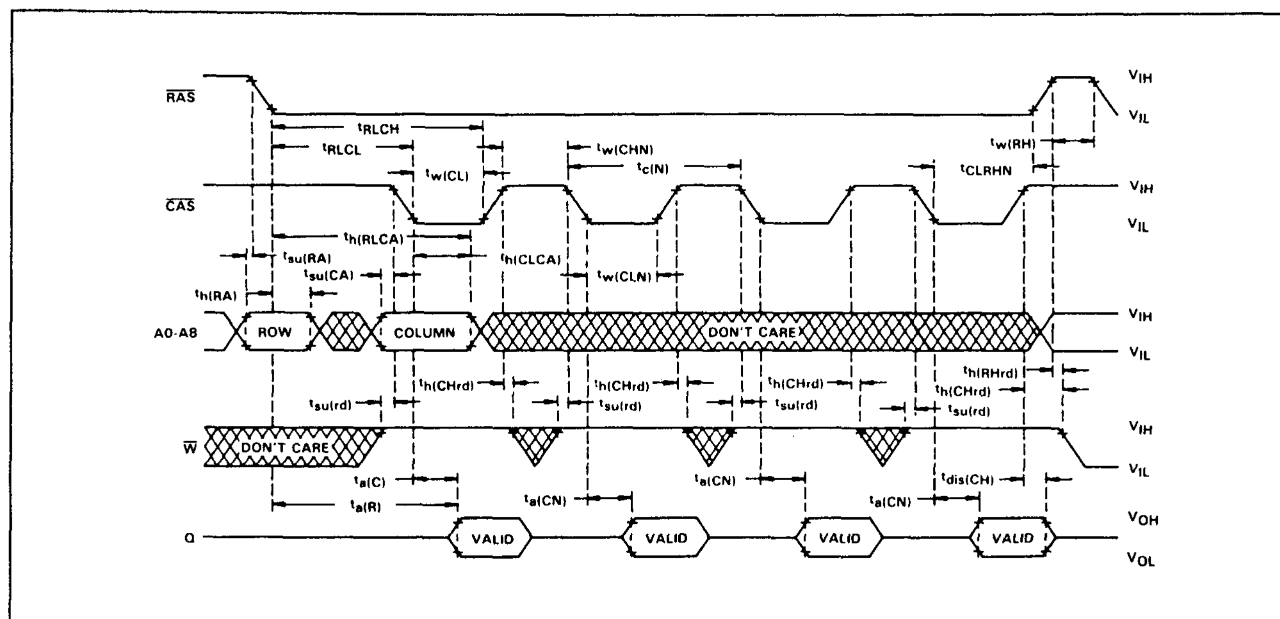
PARAMETER		ALT. SYMBOL	TMS4257-10		TMS4257-12		TMS4257-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(CN)}$	Nibble-mode access from $\overline{CAS}$	t_{NCAC}		25		30		40	ns

timing requirements over recommended supply voltage range and operating free-air temperature range

PARAMETER		ALT. SYMBOL	TMS4257-10		TMS4257-12		TMS4257-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(N)}$	Nibble-mode cycle time	t_{NC}	50		60		75		ns
$t_{c(rdWN)}$	Nibble-mode read-modify-write cycle time	t_{NRMW}	70		85		105		ns
t_{CLRHN}	Nibble-mode delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{NRSH}	25		30		40		ns
t_{CLWLN}	Nibble-mode delay time, $\overline{CAS}$ to $\overline{W}$ delay	t_{NCWD}	20		25		30		ns
$t_{w(CLN)}$	Nibble-mode pulse duration, $\overline{CAS}$ low	t_{NCAS}	25		30		40		ns
$t_{w(CHN)}$	Nibble-mode pulse duration, $\overline{CAS}$ high	t_{NCP}	15		20		25		ns
$t_{su(WCHN)}$	Nibble-mode write command setup before $\overline{CAS}$ high	t_{NCWL}	20		25		35		ns

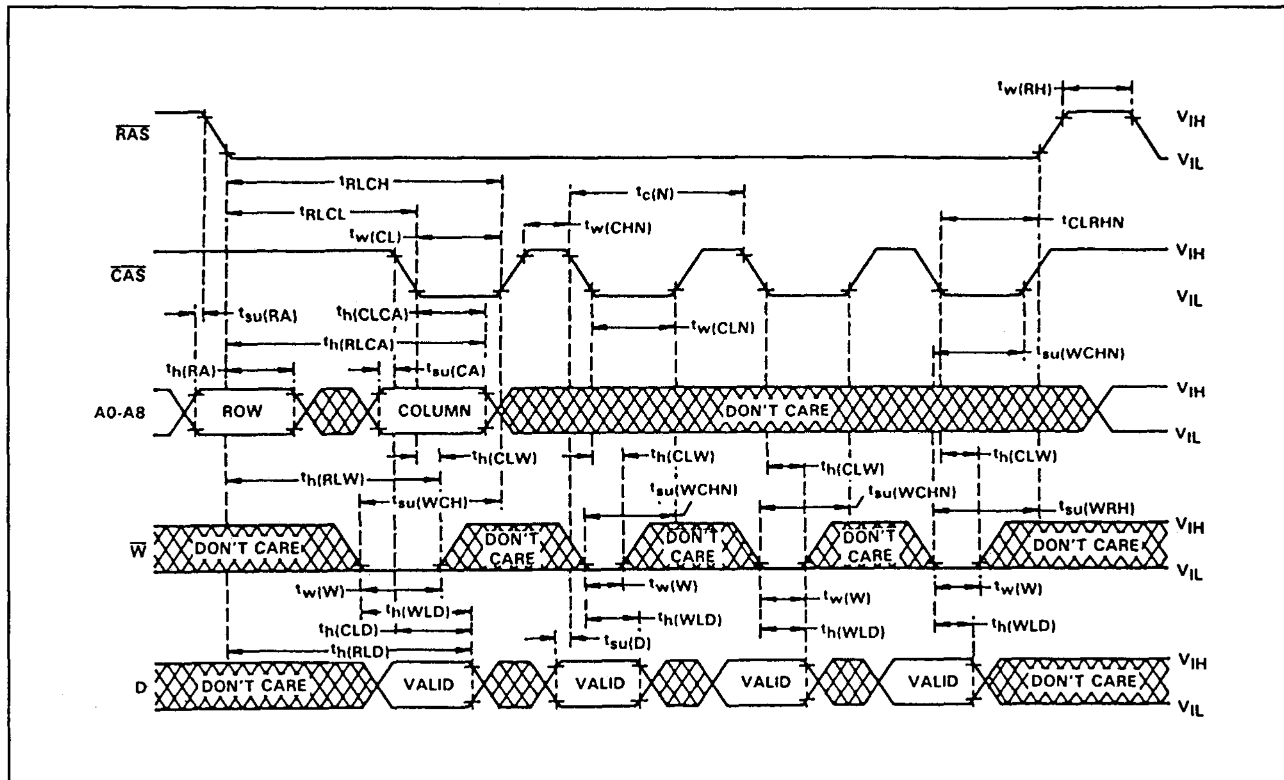
NOTE 3: Timing measurements are referenced to V_{IL} max and V_{IH} min.

Tabel 8/3.3-34: Schakeltijden bij gebruik van de TMS 4257 in de nibble-mode.

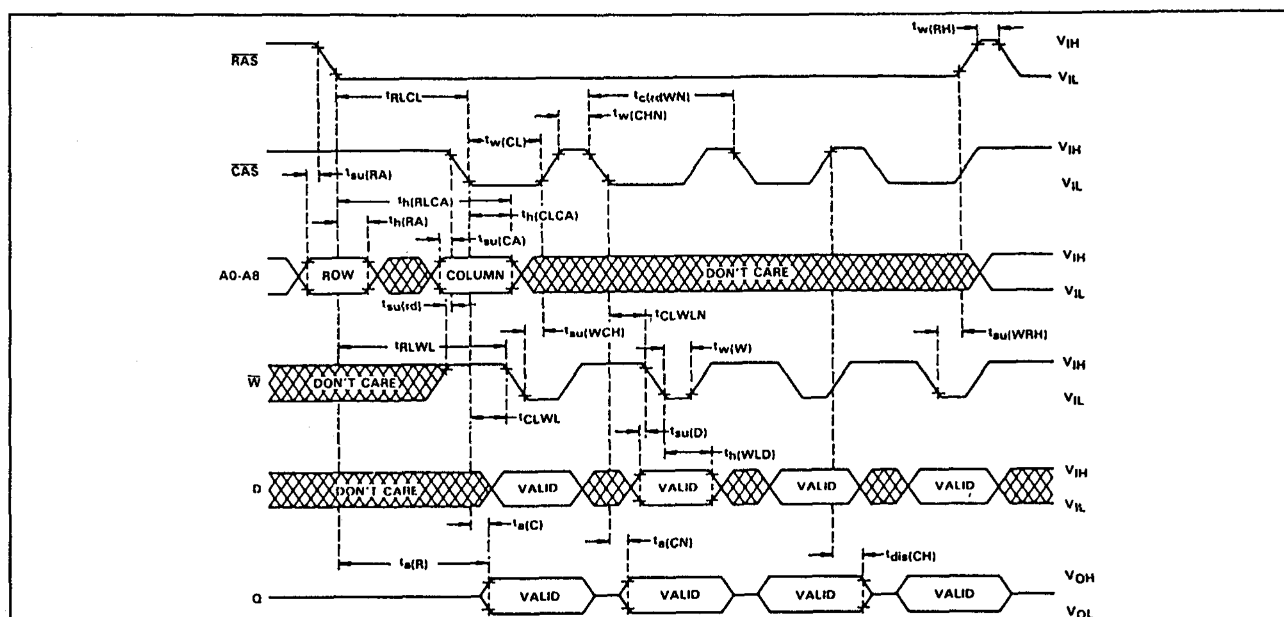


Figuur 8/3.3-65: Golfvormen en timing bij uitlezen van de 4257 in de nibble-mode.

3.3 Type-beschrijving



Figuur 8/3.3-66: Schakeltijden bij schrijven in de nibble-mode.



Figuur 8/3.3-67: Timing van de lees-wijzig-schrijf cyclus van de 4257 in de nibble-mode.

3.3 Type-beschrijving

4416

16k x 4 DRAM

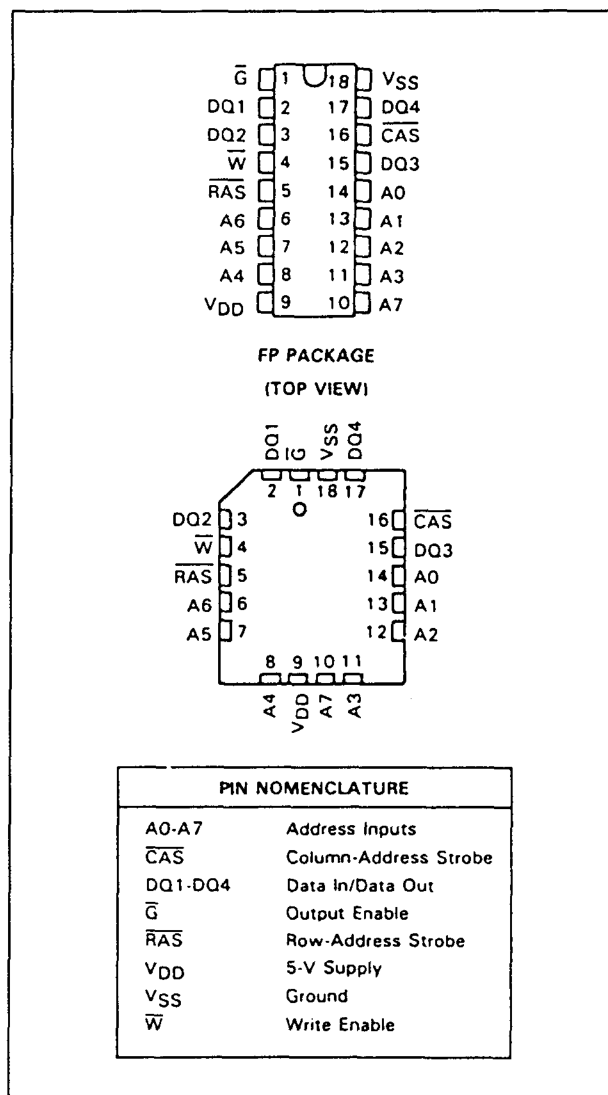
De 4416 is een 65536 bit dynamisch, rondom toegankelijk, lees- en beschrijfbaar geheugen (DRAM) met een organisatie van 16384 4-bits woorden. Alle ingangen, inclusief clocks en uitgangen zijn TTL-compatibel. Om het toepassen te vergemakkelijken zijn alle adreslijnen en data-ingangen voorzien van latches. De uitgangen hebben geen latches om het systeem flexibeler te maken. De 4416 werkt op een enkele +5 V voeding. De opgeslagen informatie moet tenminste elke 4 ms worden ververst door alle 256 rij-adressen met $\overline{RAS}$ te klokken. Tijdens het verversen mag $\overline{CAS}$ HOOG blijven.
Hier worden de gegevens van het Texas Instruments type TMS 4416 behandeld.

Specificaties

- 16384 x 4 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle in- en uitgangen TTL-compatibel
- niet-gelatchte 3-state uitgangen
- gemeenschappelijke data in-/uitgangen
- page-mode werking
- uitgangsbuffers bestuurbaar door "early-write" en $\overline{G}$
- refresh-periode: 4 ms
- dissipatie: 200 mW (aktief), 17,5 mW (standby)
- behuizingen:
  18-pens 0,3" plastic DIL en 18-pens plastic LCC (leadless chip carrier) (figuur 8/3.3-68)

Werking

- Adreslijnen A0 tot en met A7
  Voor het decoderen van één van de 16384 adressen zijn 14 adresbits nodig. Omdat de 4416 er slechts 8 heeft moet elk adres dus in twee stappen worden geladen. Eerst worden de acht rij-adresbits op de ingangen A0 tot en met A7 gezet en met behulp van de Row-Address Strobe ($\overline{RAS}$) in de latches geklokt. Vervolgens worden de zes kolom-adresbits op de adres-ingangen A1 tot en met A6 gezet en met de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-69). De adressen moeten voor of uiterlijk op de dalende flank van $\overline{RAS}$ of $\overline{CAS}$ stabiel zijn.



PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column-Address Strobe
DQ1-DQ4	Data In/Data Out
$\overline{G}$	Output Enable
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/3.3-68: Aansluitgegevens van de DIL- en de LCC-uitvoering van de 4416.

$\overline{RAS}$ kan als chip-enable dienen, omdat hiermee zowel de sense-versterkers als de rij-decoder worden geaktiveerd. $\overline{CAS}$ wordt als chip-select gebruikt (aktiveert de kolom-decoder en de in- en uitgangsbuffers).

3.3 Type-beschrijving

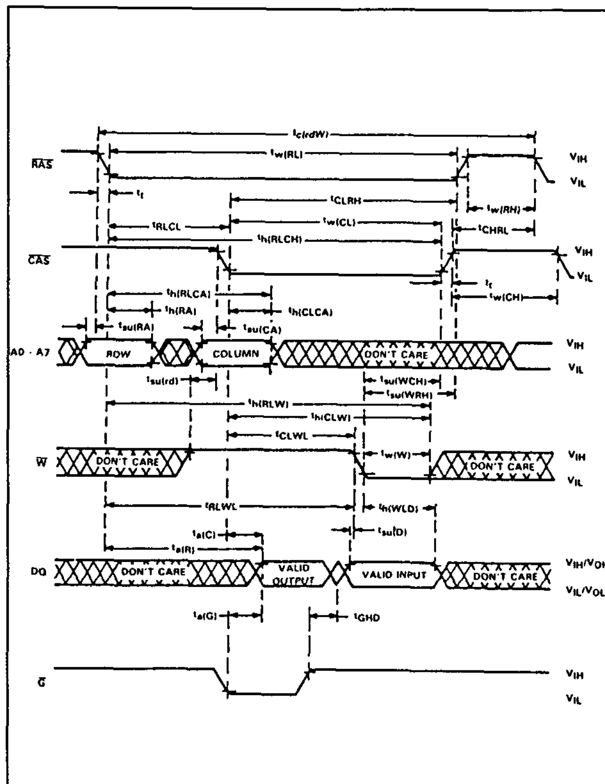
Figuur 8/3.3-69: Functioneel blokschema van de 4416.

Figuur 8/3.3-70: Logisch symbool van de 4416.

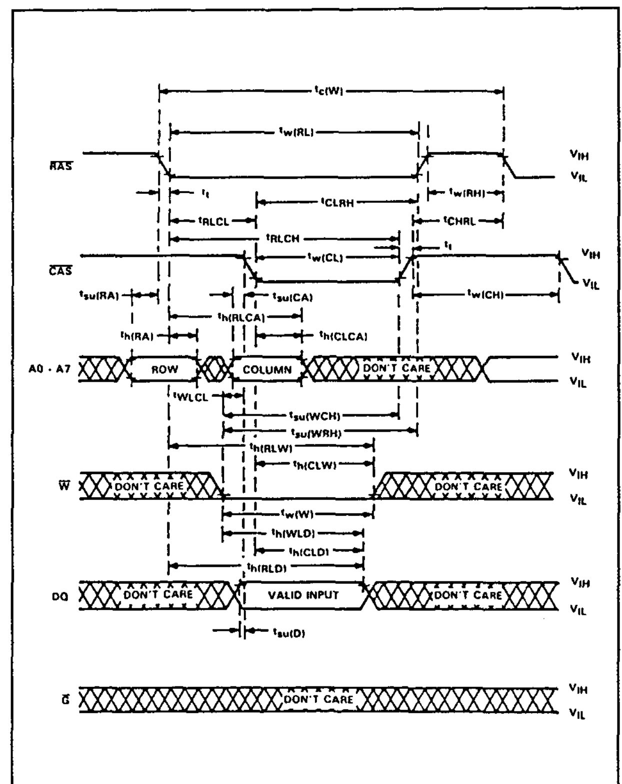
– Write enable ($\overline{W}$)
De lees- of schrijfmode wordt gekozen met $\overline{W}$. Door $\overline{W}$ HOOG te maken komt de 4416 in de leesmode, terwijl met een LAAG niveau het schrijven wordt geselecteerd.

Figuur 8/3.3-71: Golfvormen en schakeltijden tijdens een schrijf cyclus bij de TMS 4416.

3.3 Type-beschrijving



Figuur 8/3.3-72: Timing bij de lees-modificeer-schrijf cyclus.



Figuur 8/3.3-73: Timing bij de vroege schrijf cyclus (early write).

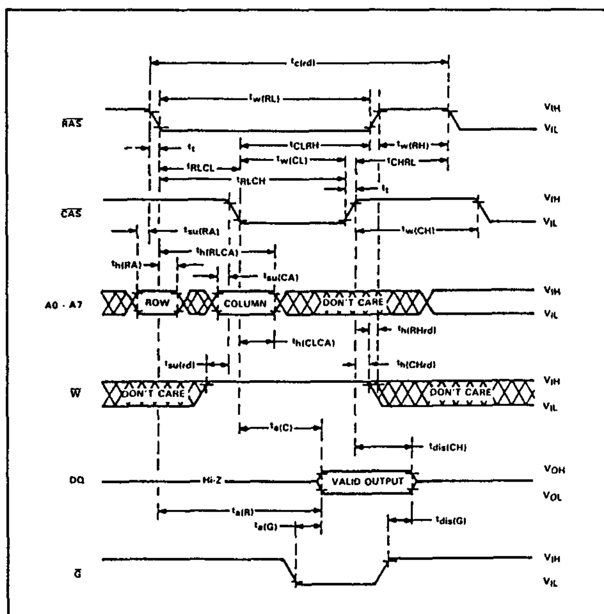
Gedurende het uitlezen zijn de data-ingangen gesperd.
Wanneer $\overline{W}$ eerder LAAG gaat dan $\overline{CAS}$, blijven de data-uitgangen gedurende de gehele cyclus hoog-impedant, waardoor een schrijf cyclus mag plaatsvinden met geaarde $\overline{G}$.

- Data-in (DQ1 tot en met DQ4)
  Data wordt met een schrijf- of lees-modificeer- schrijf cyclus in het geheugen opgenomen (figuren 8/3.3-71 en 8/3.3-72). Het hangt van de bedrijfsmode af of data op de dalende flank van $\overline{CAS}$ of $\overline{W}$ in de data-latches wordt geschreven.

  Bij een vroege schrijf cyclus (early write) gaat $\overline{W}$ eerder LAAG dan $\overline{CAS}$ en wordt de informatie door $\overline{CAS}$ ingeklokt (figuur 8/3.3-73), waarbij de set-up en houdtijden dan gerelateerd zijn aan $\overline{CAS}$.

  Bij een vertraagde schrijf cyclus (delayed write) of bij een lees-wijzig-schrijf cyclus (read-modify-write) zal $\overline{CAS}$ al LAAG zijn, zodat de data door $\overline{W}$ wordt ingeklokt. Tijdens een vertraagde- of lees-modificeer-schrijf cyclus moet $\overline{G}$ HOOG zijn om de uitgangsbuffers hoog-impedant te maken voordat data op de I/O-lijnen wordt gezet.
- Data-out (DQ1 tot en met DQ4)
  De 3-state uitgangsbuffers kunnen per stuk twee TTL-poorten aandrijven met niet-geïnverteerde data. De uitgangen zijn hoog-impedant ("zwevend") totdat $\overline{CAS}$ LAAG wordt gemaakt.
  Tijdens een lees cyclus worden de uitgangen $t_{a(C)}$ nanoseconden na het LAAG worden van $\overline{CAS}$ aktief als tenminste aan $t_{a(R)}$ en $t_{a(G)}$ wordt voldaan (zie figuur 8/3.3-74).

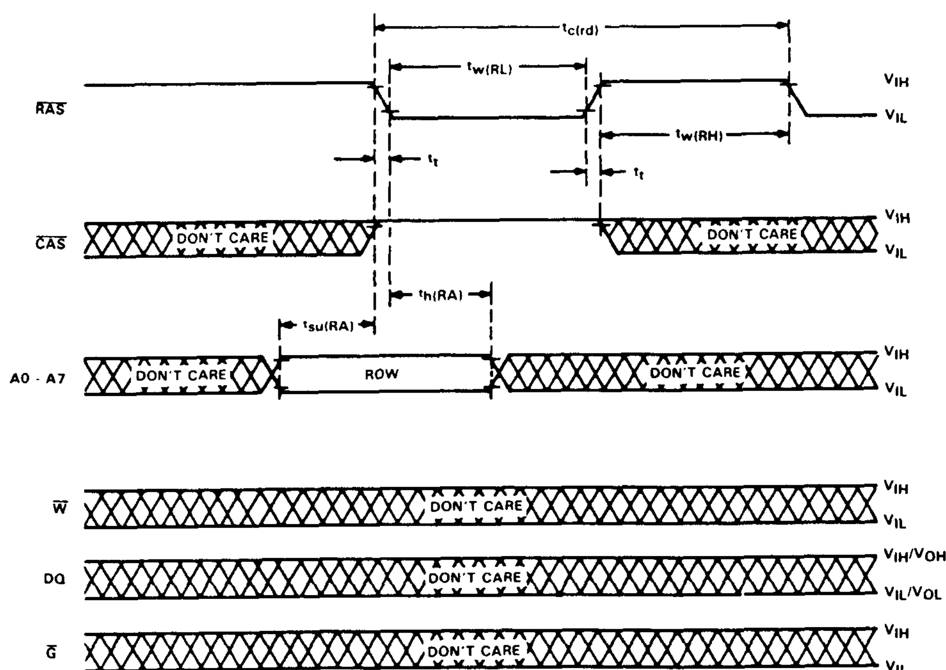
3.3 Type-beschrijving



Figuur 8/3.3-74: Timing bij het uitlezen van de TMS 4416.

Na afloop van de toegangstijd worden de uitgangen "waar" zolang $\overline{CAS}$ en $\overline{G}$ LAAG zijn. Bij een vroege schrijf cyclus blijft de uitgang voortdurend hoog-impedant. Bij een vertraagde schrijf- of lees-modificeer-schrijf cyclus moeten de uitgangen zwevend worden gemaakt voordat de DQ-ingangen van data worden voorzien. Dit wordt gedaan door $\overline{G}$ voor die tijd HOOG te maken, waarbij aan t_{GHD} moet worden voldaan.

– Output enable ($\overline{G}$)
  De $\overline{G}$-ingang regelt de impedantie van de uitgangsbuffers. Als $\overline{G}$ HOOG is, bevinden de buffers zich in de hoog-impedante toestand.
  Door $\overline{G}$ gedurende een normale cyclus LAAG te maken worden de uitgangsbuffers aktief (laag-impedant). Voor het laag-impedant worden van de uitgangsbuffers is het nodig dat zowel $\overline{RAS}$ als $\overline{CAS}$ LAAG worden gemaakt.
  Zijn de buffers eenmaal laag-impedant dan blijven ze in deze toestand totdat $\overline{G}$ of $\overline{CAS}$ HOOG gaat.



Figuur 8/3.3-75: Timing bij een "$\overline{RAS}$-only" refresh van de 4416.

3.3 Type-beschrijving

Refresh

Om de data te behouden moet uiterlijk iedere 4 ms een verversing (refresh) worden uitgevoerd. Aangezien de uitgangsbuffers hoogimpedant zijn als $\overline{\text{CAS}}$ HOOG is, wordt met een "$\overline{\text{RAS}}$-only refresh" voorkomen dat data op de I/O-lijnen (DQ1 tot en met DQ4) verschijnt. Door alle 256 rij-adressen (A0 tot en met A7) een $\overline{\text{RAS}}$-kloksignaal te geven worden alle opgeslagen databits ververst (zie figuur 8/3.3-75).

Page-mode

De page-mode operatie (vasthouden van hetzelfde rij-adres en inklokken van willekeurige kolom-adressen) maakt een snellere toegang tot het geheugen mogelijk. Er wordt dan geen tijd verloren met het telkens opnieuw kiezen van nieuwe rij-adressen op dezelfde pagina (figuren 8/3.3-76, -77 en -78).

Om bij gebruik van meerdere 16 kB x 4 RAM's een groter gebied te bestrijken dan de 64 kolom-lokaties van één RAM, worden de rij-adressen en $\overline{\text{RAS}}$ naar alle RAM's geleid, terwijl $\overline{\text{CAS}}$ wordt gedecodeerd om de juiste RAM te selecteren.

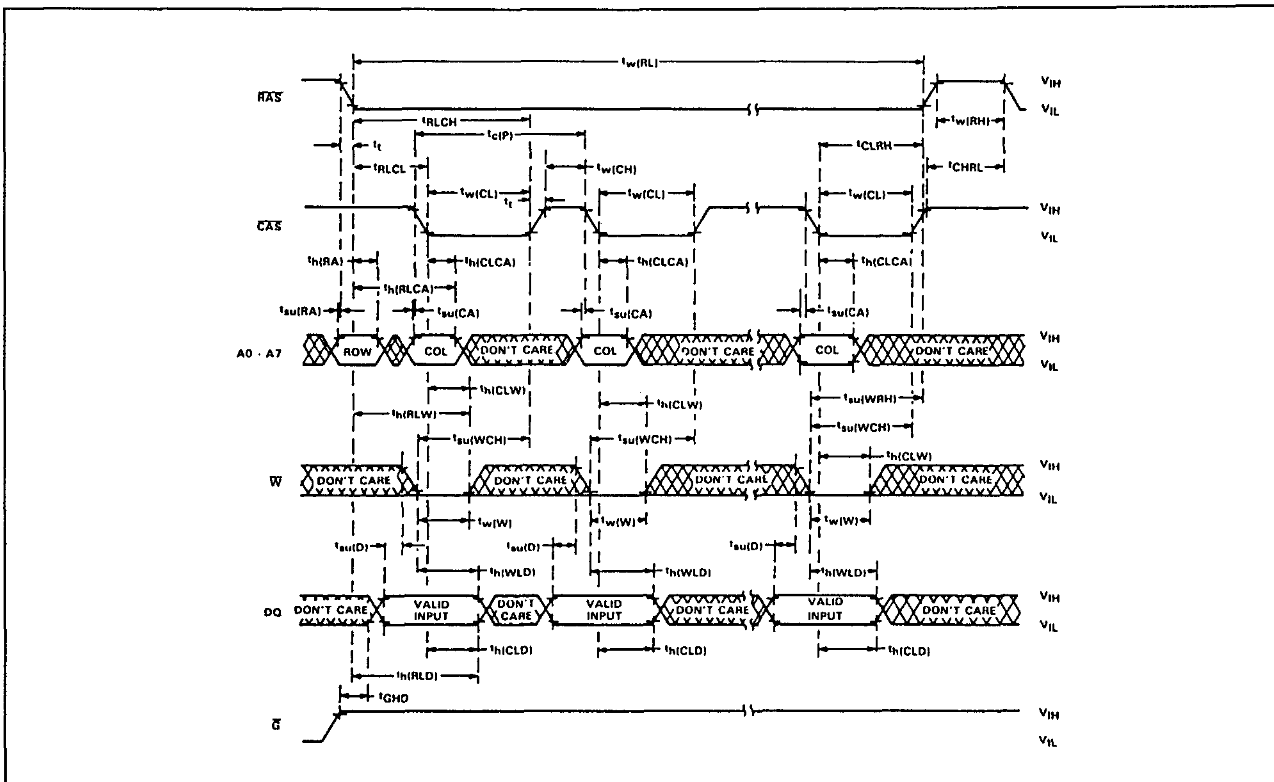
Power-up

Wanneer na inschakeling de voedingsspanning gedurende 1 ms constant is gebleven moet $\overline{\text{RAS}}$ gedurende 100 µs voor de initialisatie HOOG zijn.

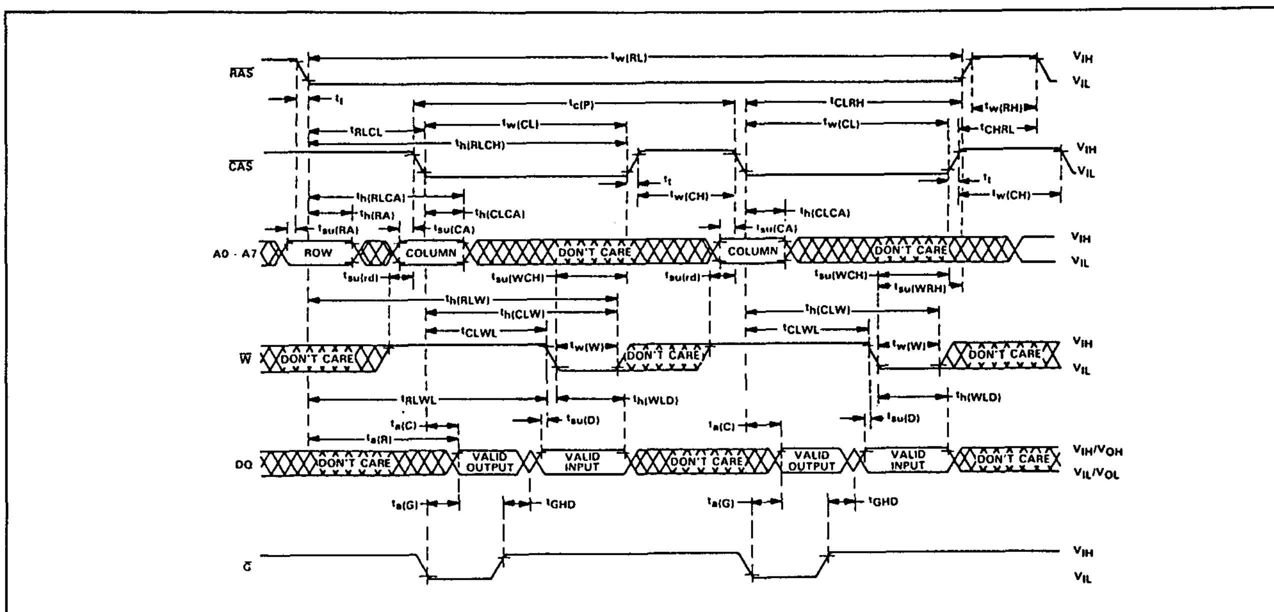
De initialisatie bestaat uit het uitvoeren van acht $\overline{\text{RAS}}$-cycli, waarna een goede werking wordt gegarandeerd.

Figuur 8/3.3-76: Timing en golfvormen bij uitlezen van de 4416 in de page-mode.

3.3 Type-beschrijving



Figuur 8/3.3-77: Schakeltijden en golfvormen bij schrijven in de page-mode.



Figuur 8/3.3-78: Timing bij een lees-wijzig-schrijf cyclus van de 4416 in de page-mode.

Overige kenmerken

In de tabellen 8/3.3-35 tot en met 8/3.3-39 en de bijbehorende figuren 8/3.3-71 tot en met 8/3.3-78 zijn de belangrijkste elektrische en timing karakteristieken van de TMS 4416 van Texas Instruments opgenomen.

3.3 Type-beschrijving

absolute maximum ratings over operating free-air temperature range

Voltage range for any pin except V_{DD} and data out (see Note 1) . . . . . −1.5 V to 10 V
Voltage range for V_{DD} supply and data out with respect to V_{SS} . . . . −1 V to 6 V
Short circuit output current . . . . 50 mA
Power dissipation . . . . 1 W
Operating free-air temperature range . . . . 0°C to 70°C
Storage temperature range . . . . −65°C to 150°C

Tabel 8/3.3-35: Maximaal toegelaten waarden voor de TMS 4416.

			MIN	NOM	MAX	UNIT
V_{DD}	Supply voltage		4.5	5	5.5	V
V_{SS}	Supply voltage			0		V
V_{IH}	High-level input voltage	V_{DD} = 4.5 V	2.4		4.8	V
		V_{DD} = 5.5 V	2.4		5.8	
V_{IL}	Low-level input voltage (see Notes 3 and 4)		-0.6	0	0.8	V
T_A	Operating free-air temperature		0		70	°C

Tabel 8/3.3-36: Aanbevolen bedrijfscondities voor de 4416.

PARAMETER		TEST CONDITIONS	TMS4416-12			TMS4416-15			TMS4416-20			UNIT
			MIN	TYP†	MAX	MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{OH}	High-level output voltage	I_{OH} = −2 mA	2.4			2.4			2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA			0.4			0.4			0.4	V
I_I	Input current (leakage)	V_I = 0 V to 5.8 V, V_{DD} = 5V, All other pins = 0 V			±10			±10			±10	µA
I_O	Output current (leakage)	V_O = 0.4 V to 5.5 V, V_{DD} = 5 V, $\overline{CAS}$ high			±10			±10			±10	µA
I_{DD1}	Average operating current during read or write cycle	t_c = minimum cycle, All outputs open			54		40	48		35	42	mA
I_{DD2}	Standby current (see Note 5)	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, All outputs open		3.5	5		3.5	5		3.5	5	mA
I_{DD3}	Average refresh current	t_c = minimum cycle, $\overline{RAS}$ cycling, $\overline{CAS}$ high, All outputs open			46		25	40		21	34	mA
I_{DD4}	Average page-mode current	$t_{c(P)}$ = minimum cycle, $\overline{RAS}$ low, $\overline{CAS}$ cycling, All outputs open			46		25	40		21	34	mA

Tabel 8/3.3-37: Gelijkspanningskarakteristieken voor 3 verschillende versies van de TMS 4416.

3.3 Type-beschrijving

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	TMS4416-12		TMS4416-15		TMS4416-20		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		70		80		120	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	t_{RLCL} = MAX, C_L = 100 pF, Load = 2 Series, 74 TTL gates	t_{RAC}		120		150		200	ns
$t_{a(G)}$	Access time after $\overline{G}$ low	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OEA}		30		40		50	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	30	0	30	0	40	ns
$t_{dis(G)}$	Output disable time after $\overline{G}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OEZ}	0	30	0	30	0	40	ns

Tabel 8/3.3-38: Kenmerkende schakeltijden van verschillende typen 4416.

PARAMETER		ALT. SYMBOL	TMS4416-12		TMS4416-15		TMS4416-20		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(P)}$	Page-mode cycle time	t_{PC}	120		140		210		ns
$t_{c(rd)}$	Read cycle time†	t_{RC}	230		260		330		ns
$t_{c(W)}$	Write cycle time	t_{WC}	230		260		330		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	315		365		445		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (precharge time)‡	t_{CP}	40		50		80		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low§	t_{CAS}	70	10,000	80	10,000	120	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge time)	t_{RP}	80		100		120		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low¶	t_{RAS}	120	10,000	150	10,000	200	10,000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	30		40		50		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	50	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{CAS}$ high	t_{CWL}	50		60		80		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	50		60		80		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	35		40		50		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	15		20		25		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	85		110		130		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DH}	40		60		80		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	90		130		160		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DH}	30		40		50		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{RAS}$ high	t_{RRH}	10		10		10		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{CAS}$ high	t_{RCH}	0		0		0		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	40		60		80		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	90		130		160		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	120		150		200		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	70		80		120		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (read-modify-write-cycle only)#	t_{CWD}	120		120		150		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	20	50	20	70	25	80	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write-cycle only)#	t_{RWD}	170		190		230		ns
t_{WLCL}	Delay time, $\overline{W}$ low to $\overline{CAS}$ low (early write cycle)	t_{WCS}	-5		-5		-5		ns
t_{GHD}	Delay time, $\overline{G}$ high before data applied at DQ	t_{OED}	30		30		40		ns
t_{rf}	Refresh time interval	t_{REF}		4		4		4	ms

Tabel 8/3.3-39: Vereiste schakeltijden voor 3 typen van de TMS 4416.

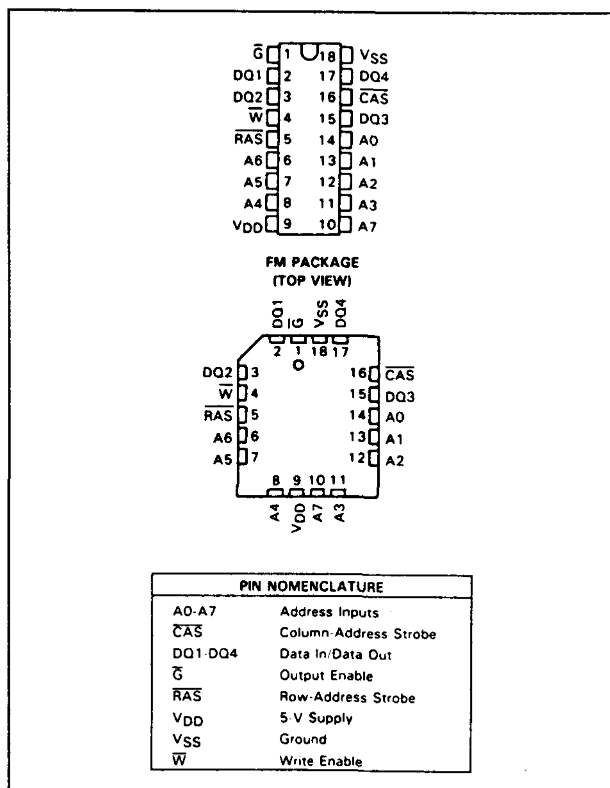
4464

64k x 4 DRAM

De 4464 is een 256 kB dynamisch, vrij toegankelijk, lees- en beschrijfbaar geheugen (DRAM) met een 65536 x 4-bits organisatie. Het geheugen heeft maximum $\overline{RAS}$ toegangstijden van 100, 120, 150 en 200 ns (het laatste type wordt niet meer gemaakt en wordt hier alleen ter kennisgeving genoemd). Alle ingangen en uitgangen, inclusief clocks, zijn TTL-compatibel. Alle adreslijnen en data-ingangen zijn voorzien van latches waardoor

3.3 Type-beschrijving

het ontwerpen van systemen gemakkelijker wordt, terwijl de uitgangen geen latches hebben om de systemen flexibeler te maken. De 4464 werkt op een enkele +5 V voeding, waarbij piekstromen van 125 mA voorkomen en een "undershoot"spanning van -1 V op de ingangen is toegestaan. De opgeslagen informatie moet telkens binnen 4 ms worden ververst door alle 256 rij-adressen met $\overline{RAS}$ te klokken. Als voorbeeld worden hier de gegevens van de Texas Instruments-typen TMS 4464 behandeld.



PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column-Address Strobe
DQ1-DQ4	Data In/Data Out
$\overline{G}$	Output Enable
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/3.3-79: Aansluitgegevens van de 4464 (DIL- en LCC-uitvoering).

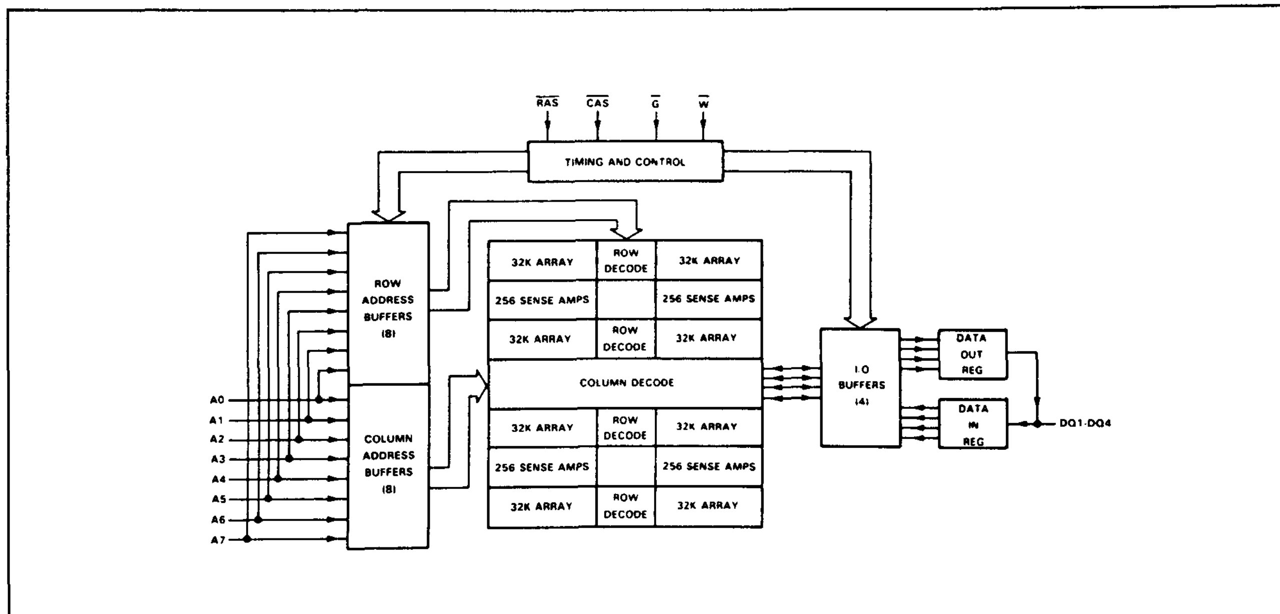
Specificaties

- 65536 x 4 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle in- en uitgangen en clocks TTL-compatibel
- niet-gelatchte 3-state uitgangen
- gemeenschappelijke data in-/uitgangen
- page-mode werking
- uitgangsbuffers bestuurbaar door "early-write" en $\overline{G}$
- refresh-periode: 4 ms
- $\overline{RAS}$-only refresh
- $\overline{CAS}$-voor-$\overline{RAS}$ refresh
- maximale dissipatie: 330 mW (aktief), 25 mW (standby)
- JEDEC gestandaardiseerde behuizingen: 18-pens 0,3" plastic DIL en 18-pens plastic LCC (leadless chip carrier) (figuur 8/3.3-79)
- aansluitingen identiek aan 4416 (16 kB x 4 DRAM)

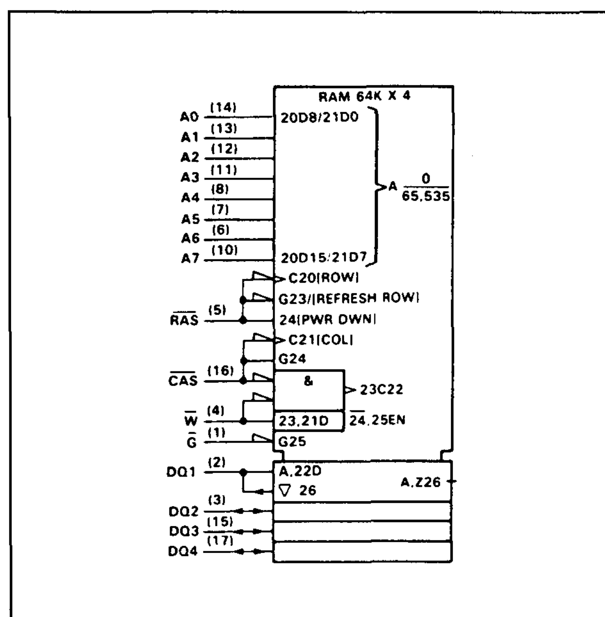
Werking

- Adreslijnen A0 tot en met A7
  Voor het decoderen van de 65536 adreslokaties zijn 16 bits nodig. Omdat de 4464 er slechts 8 heeft wordt elke lokatie dus in twee stappen geladen. Eerst worden de acht rij-adresbits op A0 tot en met A7 gezet en met behulp van de Row-Address Strobe ($\overline{RAS}$) in de op de chip aanwezige latches geklokt. Daarna worden de acht kolom-adresbits via dezelfde adresingangen met de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-80). Alle adressen moeten voor of op de dalende flank van $\overline{RAS}$ of $\overline{CAS}$ stabiel zijn. $\overline{RAS}$ komt overeen met een chip-enable, omdat dit signaal zowel de versterkers als de rij-decoder aktiveert. $\overline{CAS}$ wordt meestal als chip-select gebruikt, omdat hiermee de kolom-decoder en de in- en uitgangsbuffers aktief worden.
- Write enable ($\overline{W}$)
  Met $\overline{W}$ wordt de richting van het datatransport gekozen. Door $\overline{W}$ HOOG te maken wordt de 4464 uitgelezen, terwijl het geheugen data accepteert door een LAAG niveau op de (TTL-compatibele) $\overline{W}$-ingang. Gedurende het uitlezen zijn de data-ingangen gesperd. Wanneer $\overline{W}$ eerder LAAG gaat dan $\overline{CAS}$, dan blijven de data-uitgangen tijdens de gehele cyclus hoog-impedant, zodat een gemeenschappelijke I/O-operatie mag plaatsvinden.

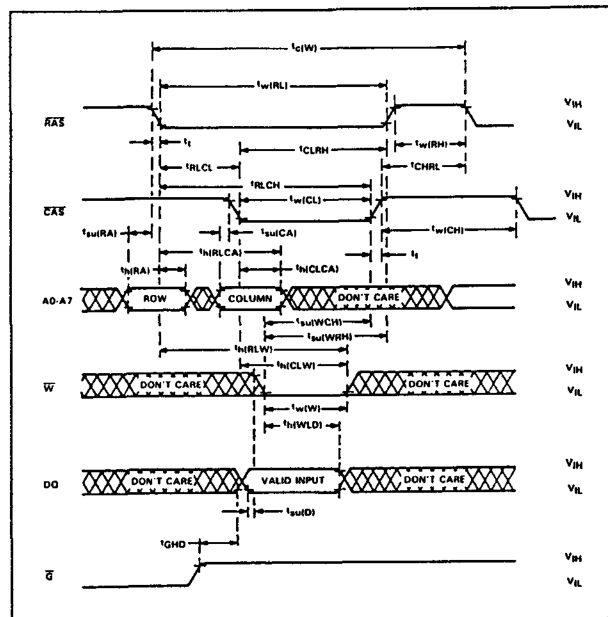
3.3 Type-beschrijving



Figuur 8/3.3-80: Functioneel blokschema van de 4464.



Figuur 8/3.3-81: Logisch symbool van de 4464.

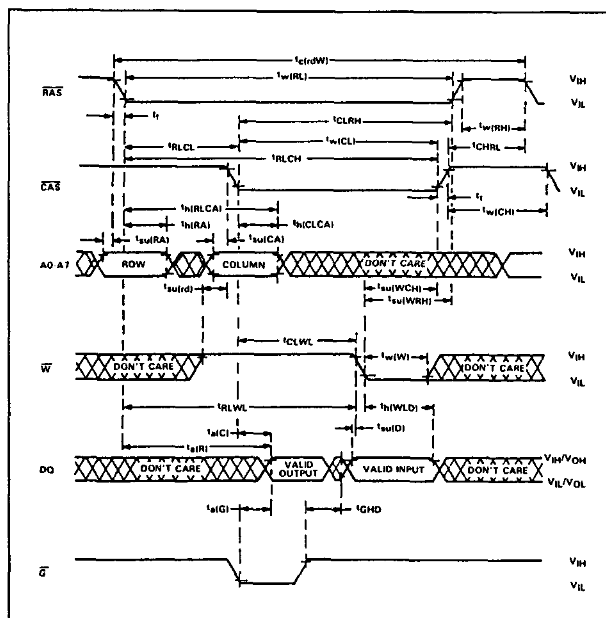


Figuur 8/3.3-82: Golfvormen en schakeltijden tijdens een schrijf cyclus bij de 4464.

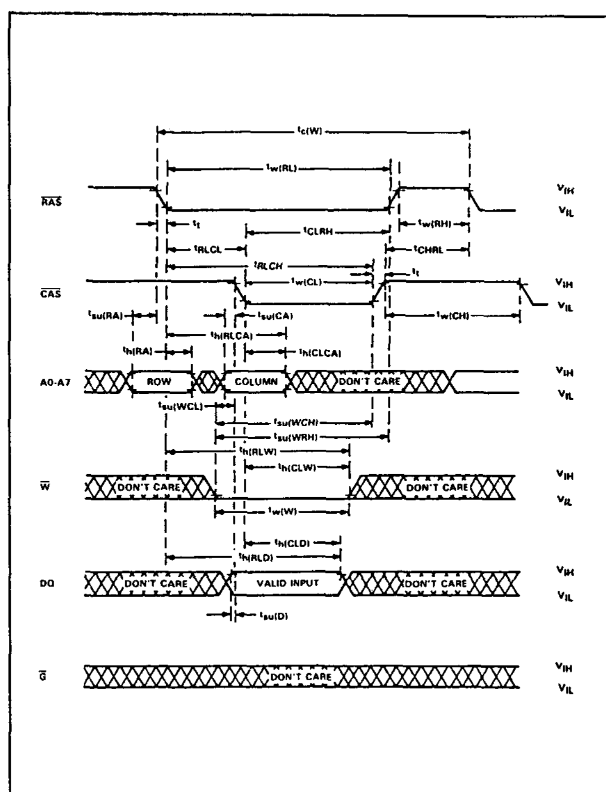
- Data-in (DQ1 tot en met DQ4)
  Data wordt in het geheugen geschreven tijdens een schrijf- of lees-modificeer-schrijf cyclus (zie de figuren 8/3.3-82 en 8/3.3-83).

Het is afhankelijk van de bedrijfsmode of data op de dalende flank van $\overline{CAS}$ of $\overline{W}$ in de data-latches wordt geschreven. Deze latches zijn eveneens TTL-compatibel (ook geen optrekweerstand nodig).

3.3 Type-beschrijving



Figuur 8/3.3-83: Timing bij de lees-modificeer-schrijf cyclus.



Figuur 8/3.3-84: Timing bij de vroege schrijf cyclus (early write).

Bij een vroege schrijf cyclus (early write) gaat $\overline{W}$ eerder LAAG dan $\overline{CAS}$ en wordt de data door $\overline{CAS}$ in de latches geklokt (figuur 8/3.3-84). In dit geval zijn de set-up en houdtijden gerelateerd aan $\overline{CAS}$. Bij een vertraagde schrijf cyclus (delayed write) of bij een lees-wijzig-schrijf cyclus (read-modify-write) is $\overline{CAS}$ al LAAG, zodat de data dan door $\overline{W}$ wordt ingeklokt. Tijdens een vertraagde- of lees-modificeer-schrijf cyclus moet $\overline{G}$ HOOG zijn om de uitgangsbuffers hoog-impedant te maken voordat data op de I/O-lijnen wordt gezet.

- Data-out (DQ1 tot en met DQ4)

  De niet-inverterende 3-state uitgangsbuffers zijn TTL-compatibel en hebben een fan-out van 2.

  De uitgangen bevinden zich in de "zwevende" toestand (hoog-impedant) totdat $\overline{CAS}$ LAAG wordt. Bij een lees cyclus worden de uitgangen $t_{a(C)}$ nanoseconden na het LAAG worden van $\overline{CAS}$ aktief wanneer tenminste aan $t_{a(R)}$ en $t_{a(G)}$ wordt voldaan (zie figuur 8/3.3-85). Nadat de toegangstijd is verstreken worden de uitgangen "waar" zolang $\overline{CAS}$ en $\overline{G}$ LAAG zijn.

  Bij een vroege schrijf cyclus blijft de uitgang steeds hoog-impedant. Bij een vertraagde schrijf- of lees-wijzig-schrijf cyclus moeten de uitgangen zwevend worden gemaakt voordat data op de DQ-ingangen wordt gezet. Dit wordt bereikt door $\overline{G}$ op tijd HOOG te maken, waarbij aan t_{GHD} moet worden voldaan.

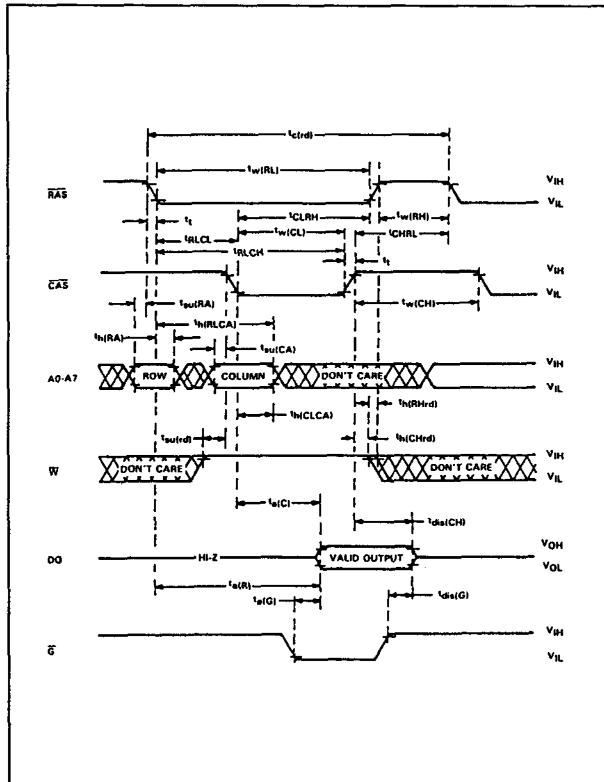
- Output enable ($\overline{G}$)

  Het $\overline{G}$-signaal regelt de impedantie van de uitgangsbuffers. Wanneer $\overline{G}$ HOOG is blijven de buffers hoog-impedant. Door $\overline{G}$ tijdens een normale cyclus LAAG te maken worden de uitgangsbuffers "waar" (laag-impedant).

  De uitgangsbuffers worden alleen laag-impedant als zowel $\overline{RAS}$ als $\overline{CAS}$ LAAG zijn.

  Wanneer de buffers eenmaal laag-impedant zijn dan blijven ze dat totdat $\overline{G}$ of $\overline{CAS}$ HOOG gaat.

3.3 Type-beschrijving

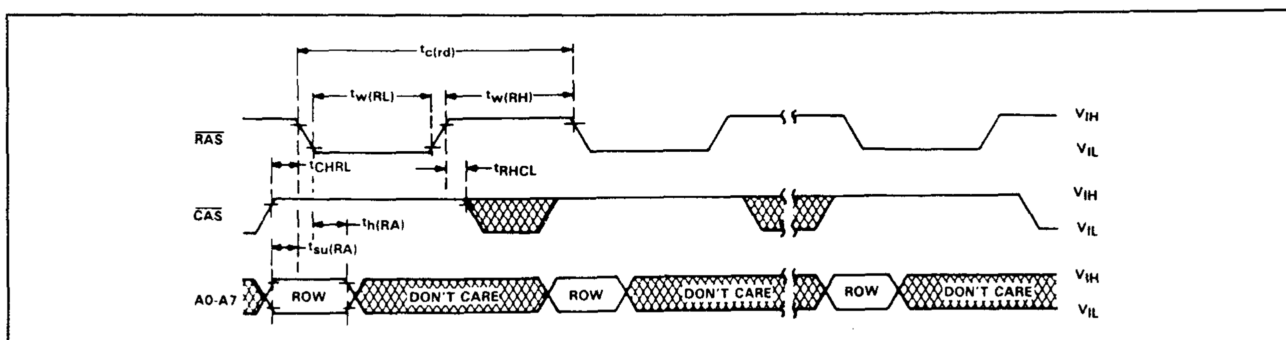


Figuur 8/3.3-85: Timing bij het uitlezen van de 4464.

Refresh

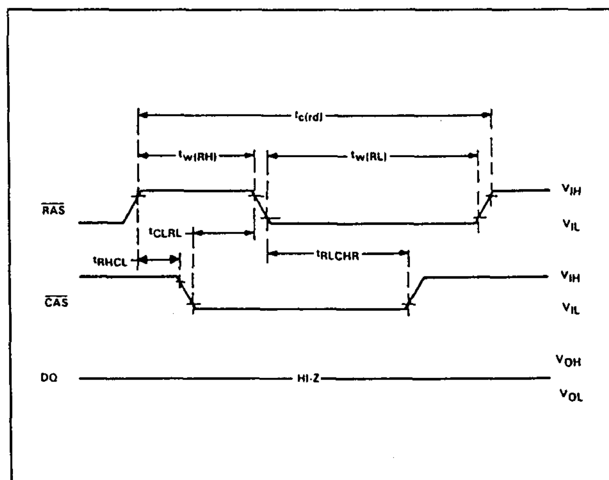
Om de data niet te verliezen moet tenminste iedere 4 ms een verversing (refresh) worden uitgevoerd.Dit kan worden gedaan door alle 256 rij-adressen (A0 tot en met A7) een $\overline{\text{RAS}}$-kloksignaal te geven. Tevens worden bij een gewone lees of schrijf cyclus alle bits in de geselecteerde rij ververst. Een "$\overline{\text{RAS}}$-only refresh" kan worden uitgevoerd door $\overline{\text{CAS}}$ HOOG te houden, waarbij minder vermogen wordt gedissipeerd en de uitgangsbuffers hoog-impedant blijven (zie figuur 8/3.3-86).

- $\overline{\text{CAS}}$-voor-$\overline{\text{RAS}}$ refresh
  De "$\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$" refresh treedt in werking door $\overline{\text{CAS}}$ eerder LAAG te maken dan $\overline{\text{RAS}}$ (zie parameter t_{CLRL}) en LAAG te houden na het dalen van $\overline{\text{RAS}}$ (zie parameter t_{RLCHR}). Bij achtereenvolgende $\overline{\text{CAS}}$-voor-$\overline{\text{RAS}}$ refresh cycli kan $\overline{\text{CAS}}$ LAAG blijven terwijl $\overline{\text{RAS}}$ wordt omgeschakeld. Hierbij wordt het externe adres genegeerd (het refresh-adres inwendig opgewekt).
- Hidden refresh
  Terwijl geldige data op de uitgangspen staat kan een verborgen refresh (hidden refresh) worden uitgevoerd (zie figuur 8/3.3-88).
  Dit wordt mogelijk door $\overline{\text{CAS}}$ na een leesoperatie LAAG te houden en $\overline{\text{RAS}}$ na een gespecificeerde voorlaadtijd om te schakelen (op dezelfde manier als bij een $\overline{\text{CAS}}$-voor-$\overline{\text{RAS}}$ refresh cyclus). Ook tijdens een verborgen refresh wordt het externe adres genegeerd.
  De op de uitgang aanwezige data blijft geldig zo lang de $\overline{\text{CAS}}$-puls LAAG is ($t_{w(CL)}$).



Figuur 8/3.3-86: Timing bij een "$\overline{\text{RAS}}$-only" refresh van de 4464.

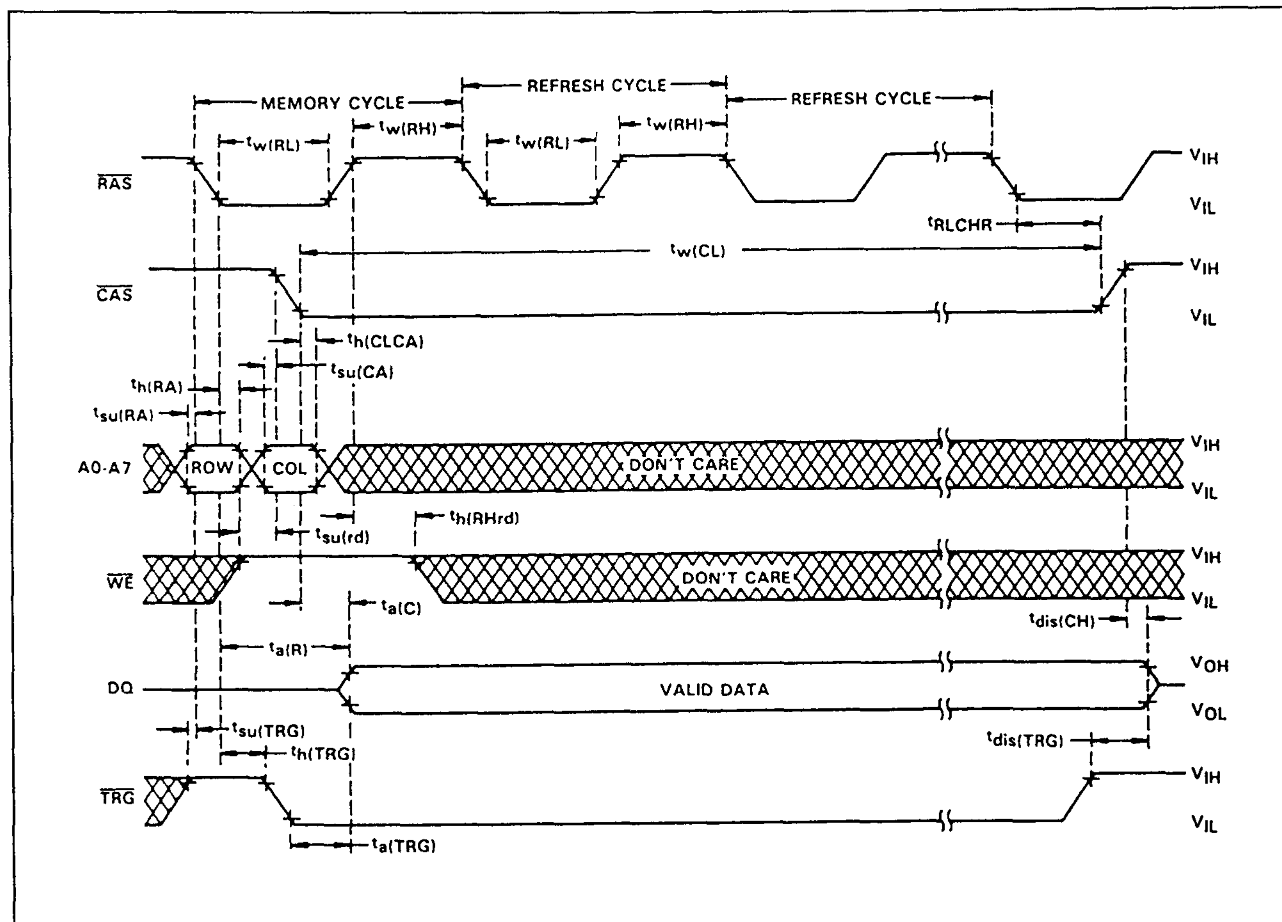
3.3 Type-beschrijving



Figuur 8/3.3-87: Automatische $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclus.

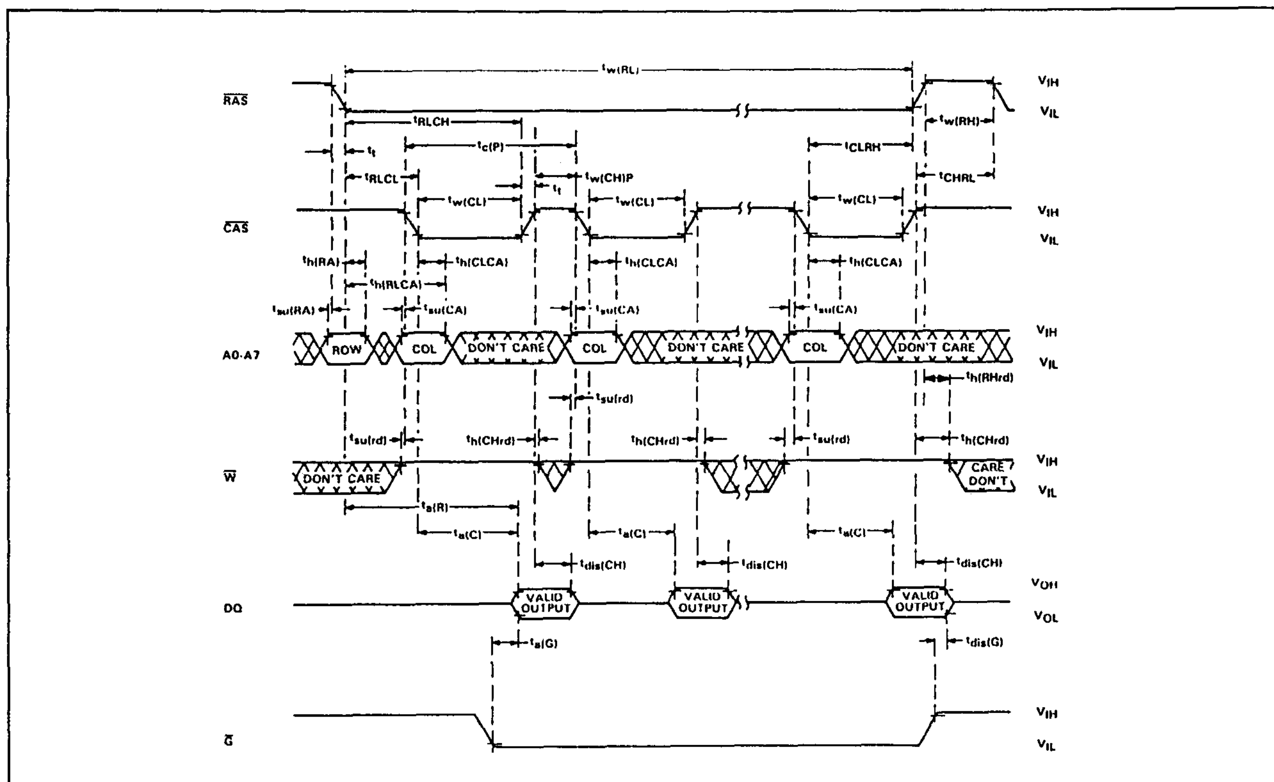
Page-mode

De page-mode operatie (vasthouden van hetzelfde rij-adres en inklokken van willekeurige kolom-adressen) maakt snellere toegang tot het geheugen mogelijk.
Er gaat dan geen tijd verloren met het steeds opnieuw kiezen van nieuwe rij-adressen op dezelfde pagina (figuren 8/3.3-89, -90 en -91).

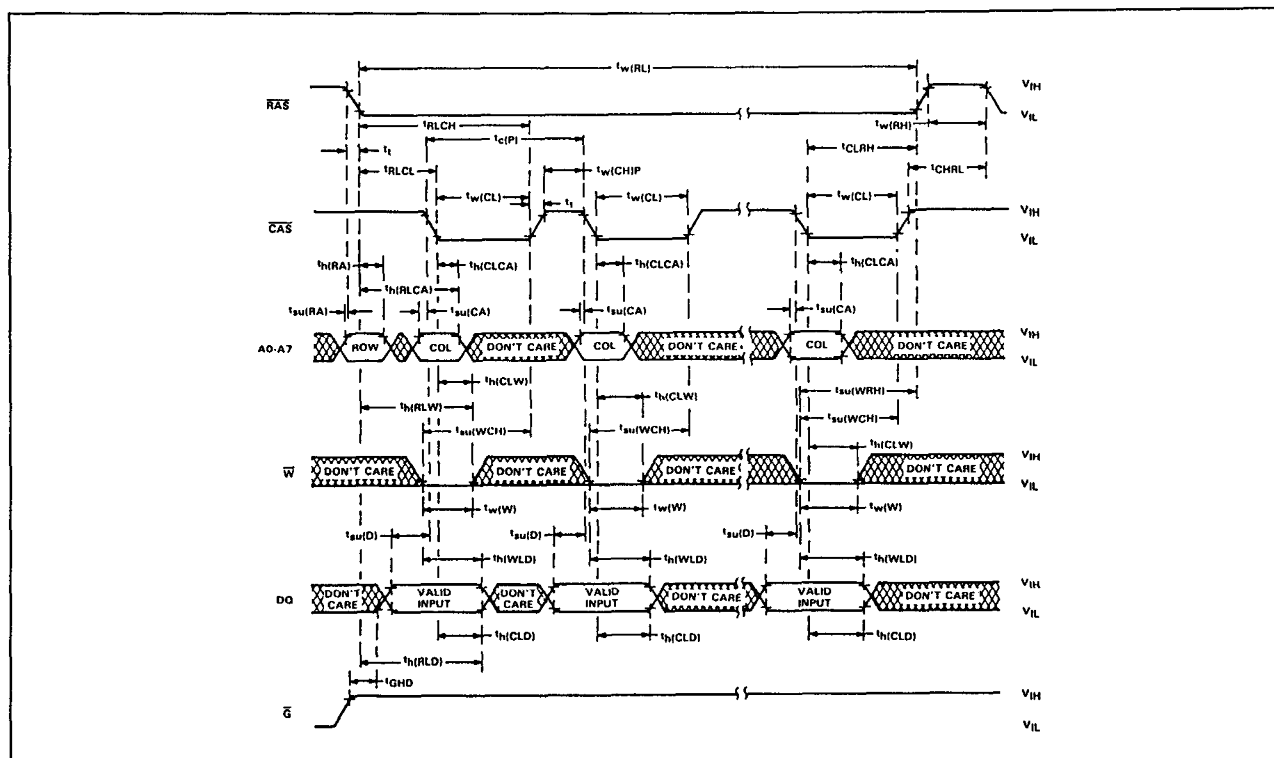


Figuur 8/3.3-88: Timing bij een "verborgen refresh" cyclus.

3.3 Type-beschrijving

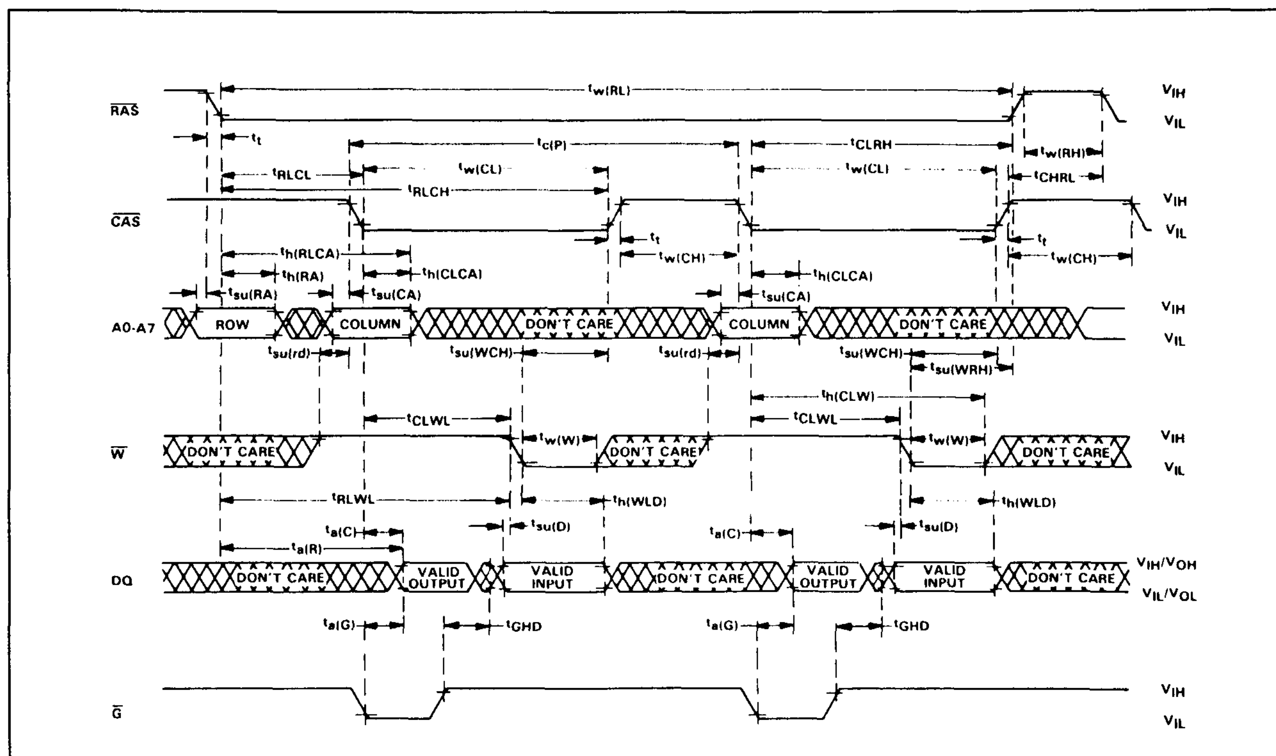


Figuur 8/3.3-89: Timing en golfvormen bij uitlezen van de 4464 in de page-mode.



Figuur 8/3.3-90: Schakeltijden en golfvormen bij schrijven in de page-mode.

3.3 Type-beschrijving



Figuur 8/3.3-91: Timing bij een lees-wijzig-schrijf cyclus van de 4464 in de page-mode.

Power-up

Voor een goede werking is een initiële pauze van 200 µs nodig na inschakeling de voedingsspanning. Daarna moeten minimaal acht $\overline{RAS}$-cycli worden uitgevoerd.

Overige kenmerken

In de tabellen 8/3.3-35 tot en met -39 en de bijbehorende figuren 8/3.3-71 tot en met -78 zijn de elektrische en timing karakteristieken van de TMS 4464 opgenomen.

absolute maximum ratings over operating free-air temperature range

Voltage on any pin including V_{DD} supply . . . . −1 V to 7 V
Short circuit output current . . . . 50 mA
Power dissipation . . . . 1 W
Operating free-air temperature . . . . 0°C to 70°C
Storage temperature range . . . . −65°C to 150°C

Tabel 8/3.3-40: Maximaal toegelaten waarden voor de TMS 4464.

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{DD}	Supply voltage	4.5	5	5.5	V
V_{SS}	Supply voltage		0		V
V_{IH}	High-level input voltage	2.4		$V_{DD}+1$	V
V_{IL}	Low-level input voltage (see Note 2)	−1		0.8	V
T_A	Operating free-air temperature	0		70	°C

NOTE 2: The algebraic convention, where the more negative (less positive) limit is designated as maximum, is used in this data sheet for logic voltage levels only.

Tabel 8/3.3-41: Aanbevolen bedrijfscondities voor de 4464.

3.3 Type-beschrijving

electrical characteristics over full ranges of recommended operating conditions (unless otherwise

PARAMETER		TEST CONDITIONS	TMS4464-10		TMS4464-12		TMS4464-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA		0.4		0.4		0.4	V
I_I	Input current (leakage)	V_I = 0 V to 6.5 V, V_{DD} = 5 V, All other pins = 0 V to 6.5 V		±10		±10		±10	µA
I_O	Output current (leakage)	V_O = 0 V to 5.5 V, V_{DD} = 5 V, $\overline{CAS}$ high, All outputs open		±10		±10		±10	µA
I_{DD1}	Average operating current during read or write cycle	t_c = minimum cycle, All outputs open		70		65		60	mA
I_{DD2}	Standby current	After 1 memory cycle, DQ1-DQ4 held at > 0 V, $\overline{RAS}$ and $\overline{CAS}$ high, All outputs open		4.5		4.5		4.5	mA
I_{DD3}	Average refresh current	t_c = minimum cycle, $\overline{RAS}$ low, CAS high, All outputs open		58		53		48	mA
I_{DD4}	Average page-mode current	$t_{c(P)}$ = minimum cycle, $\overline{RAS}$ low and $\overline{CAS}$ cycling, All outputs open		50		45		40	mA

Tabel 8/3.3-42: Gelijkspanningskarakteristieken voor 3 (snelheids-)versies van de TMS 4464.

capacitance over recommended supply voltage range and operating free-air temperature range, f = 1 MHz

PARAMETER		TMS4464		UNIT
		MIN	MAX	
$C_{i(A)}$	Input capacitance, address inputs		5	pF
$C_{i(RC)}$	Input capacitance, strobe inputs		7	pF
$C_{i(W)}$	Input capacitance, write enable input		7	pF
$C_{i o}$	Output capacitance		7	pF

Tabel 8/3.3-43: Capacitieve belastingen bij 1 MHz.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER		TEST CONDITIONS	ALT. SYMBOL	TMS4464-10		TMS4464-12		TMS4464-15		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$	t_{RLCL} ≥ MAX, C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{CAC}		50		60		75	ns
$t_{a(R)}$	Access time from $\overline{RAS}$	t_{RLCL} = MAX, C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{RAC}		100		120		150	ns
$t_{a(G)}$ †	Access time after $\overline{G}$ low	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{GAC}		30		35		40	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{OFF}	0	30	0	30	0	30	ns
$t_{dis(G)}$	Output disable time after $\overline{G}$ high	C_L = 100 pF, Load = 2 Series 74 TTL gates	t_{GOFF}	0	30	0	30	0	30	ns

Tabel 8/3.3-44: Karakteristieke schakeltijden van verschillende 4464's.

44C256 (514256)

256k x 4 DRAM (enhanced page-mode)

De 44C256 is een 1 MB dynamisch, vrij toegankelijk, lees- en beschrijfbaar geheugen (DRAM), georganiseerd in 262144 woorden van 4 bits. De 44C256 kan in een verbeterde page-mode worden gebruikt. Zoals gebruikelijk is geworden voor grotere geheugens wordt de 44C256 vervaardigd in CMOS-technologie.
Dit geldt ook voor de in de equivalentenlijst genoemde typen.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperatur (see Note 3)

		ALT. SYMBOL	TMS4464-10		TMS4464-12		TMS4464-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(P)}$	Page-mode cycle time	t_{PC}	100		120		145		ns
$t_{c(PM)}$	Page-mode cycle time (read-modify-write cycle)	t_{PCM}	170		195		230		ns
$t_{c(rd)}$	Read cycle time†	t_{RC}	200		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	200		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	270		295		345		ns
$t_{w(CH)P}$	Pulse duration, $\overline{CAS}$ high (page mode)	t_{CP}	40		50		60		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high (non-page mode)	t_{CPN}	25		25		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low‡	t_{CAS}	50	10.000	60	10.000	75	10.000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high	t_{RP}	90		90		100		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low§	t_{RAS}	100	10.000	120	10.000	150	10.000	ns
$t_{w(W)}$	Write pulse duration	t_{WP}	30		30		45		ns
t_t	Transition times (rise and fall) for $\overline{RAS}$ and $\overline{CAS}$	t_T	3	50	3	50	3	50	ns
$t_{su(CA)}$	Column-address setup time	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row-address setup time	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read-command setup time	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	Early write-command setup time before $\overline{CAS}$ low	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	Write-command setup time before $\overline{CAS}$ high	t_{CWL}	30		35		45		ns
$t_{su(WRH)}$	Write-command setup time before $\overline{RAS}$ high	t_{RWL}	30		35		45		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	15		20		25		ns
$t_{h(RA)}$	Row-address hold time	t_{RAH}	15		15		15		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low	t_{AR}	65		80		100		ns
$t_{h(CLD)}$	Data hold time after $\overline{CAS}$ low	t_{DH}	30		30		45		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low	t_{DHR}	80		90		120		ns
$t_{h(WLD)}$	Data hold time after $\overline{W}$ low	t_{DH}	30		30		45		ns
$t_{h(CHrd)}$	Read-command hold time after $\overline{CAS}$ high	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read-command hold time after $\overline{RAS}$ high	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write-command hold time after $\overline{CAS}$ low	t_{WCH}	30		30		45		ns
$t_{h(RLW)}$	Write-command hold time after $\overline{RAS}$ low	t_{WCR}	80		90		120		ns
t_{RLCHR}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high¶	t_{CHR}	20		25		30		ns
t_{RLCH}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
t_{CHRL}	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
t_{RHCL}	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low¶	t_{RPC}	0		0		0		ns
t_{CLRH}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	50		60		75		ns
t_{CLWL}	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (read-modify-write cycle only)#	t_{CWD}	85		95		110		ns
t_{CLRL}	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low¶	t_{CSR}	10		10		20		ns
t_{RLCL}	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (maximum value specified only to guarantee access time)	t_{RCD}	25	50	25	60	25	75	ns
t_{RLWL}	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (read-modify-write cycle only)#	t_{RWD}	135		155		185		ns
t_{GHD}	Delay time, $\overline{G}$ high before data applied at DQ	t_{GDD}	30		30		30		ns
t_{rf}	Refresh time interval	t_{REF}		4		4		4	ms

NOTE 3: Timing measurements are referenced to V_{IL} MAX and V_{IH} MIN.
† All cycle times assume t_t = 5 ns.
‡ In a read-modify-write cycle, t_{CLWL} and $t_{su(WCH)}$ must be observed. Depending on the user's transition times, this may require additiona $\overline{CAS}$ low time ($t_{w(CL)}$).
§ In a read-modify-write cycle, t_{RLWL} and $t_{su(WRH)}$ must be observed. Depending on the user's transition times, this may require additiona $\overline{RAS}$ low time ($t_{w(RL)}$).

Tabel 8/3.3-45: Vereiste schakeltijden voor 3 snelheidsversies van de TMS 4464.

De TMS 44C256 van Texas Instruments die hier als basis dient voor de beschrijving is leverbaar in een aantal versies met verschillende snelheden.

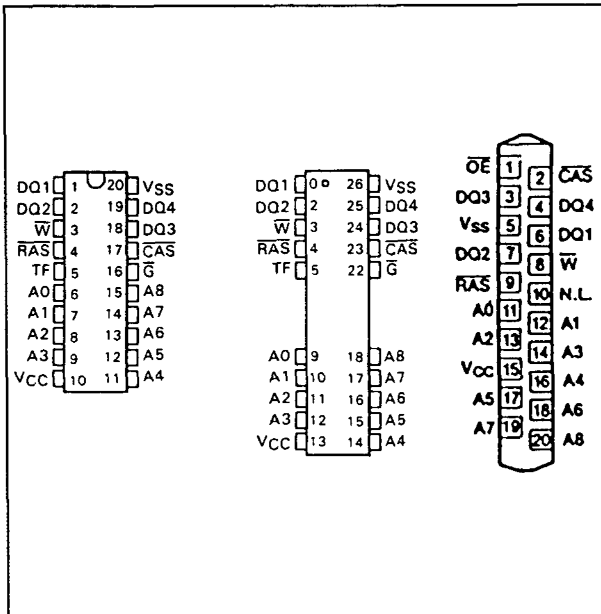
- De 44C256-8 (die 5 % variatie in de voedingsspanning toelaat) heeft een maximum $\overline{RAS}$ toegangstijd van 80 ns.
- De 44C256-10, -12, -15 en -20 (met een tolerantie van 10 %) hebben toegangstijden van respectievelijk 100, 120, 150 en 200 ns.

Van de langzaamste en de snelste versies worden de gegevens hier niet vermeld.

Specificaties

- 262144 x 4 bit organisatie
- enkele +5 V voeding (+/-10 %) (44C256-8: +/-5 %)

3.3 Type-beschrijving



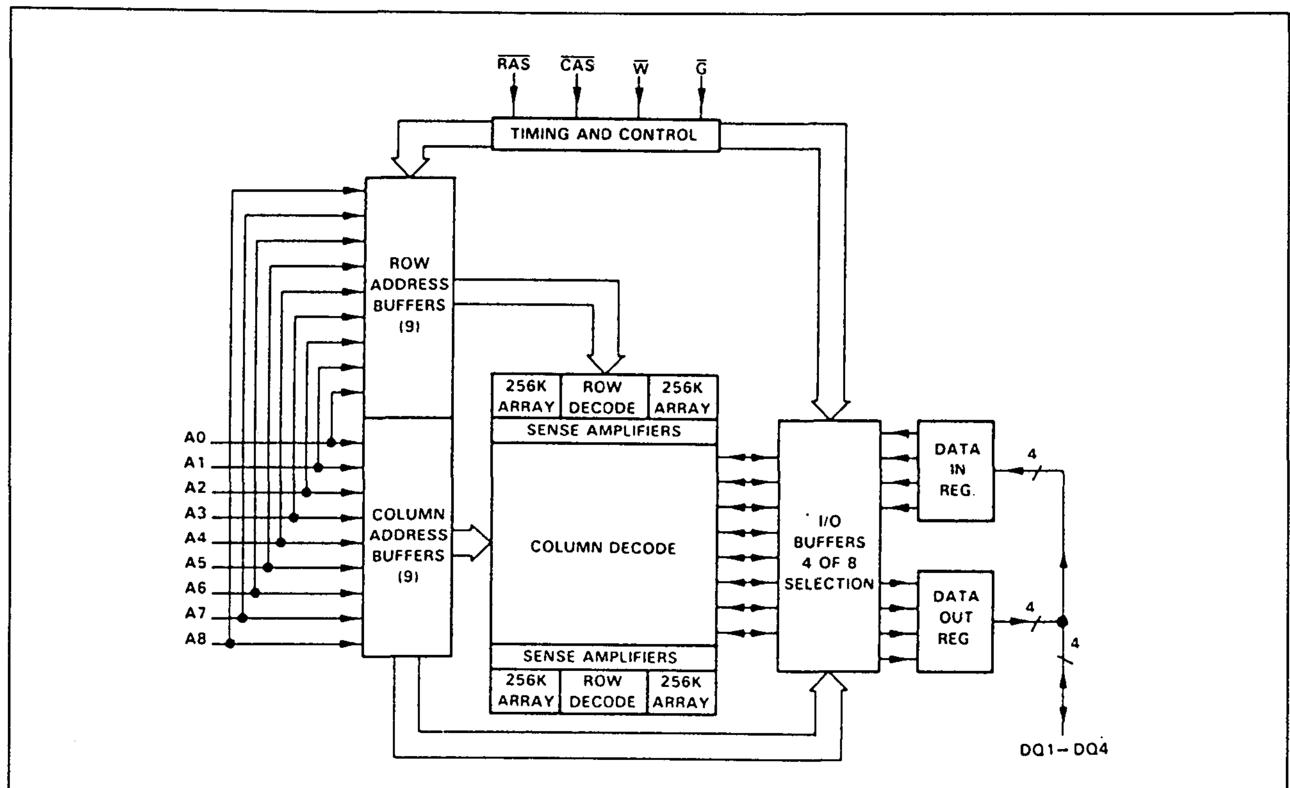
Figuur 8/3.3-92: Aansluitingen van de 20- en 26-pens DIL- en SOJ-versies en de 20-pens ZIP-behuizing van de 44C256.

- alle ingangen, uitgangen en clocks TTL-compatibel
- niet-gelatchte 3-state uitgangen
- gemeenschappelijke in-/uitgangen
- verbeterde page-mode werking
- bestuurbaar met 74ALS6301 en/of 74ALS6302 DRAM-controllers
- 512 cyclus refresh in 8 ms
- $\overline{RAS}$-Only refresh, hidden refresh en $\overline{CAS}$-before-$\overline{RAS}$ refresh
- JEDEC standaard behuizingen:
  20-pens 0,3" plastic DIL, 20- of 26-pens 0,3" surface mount (SOJ) en 20-pens 0,4" plastic ZIP (zig-zag in-line package) (figuur 8/3.3-92)

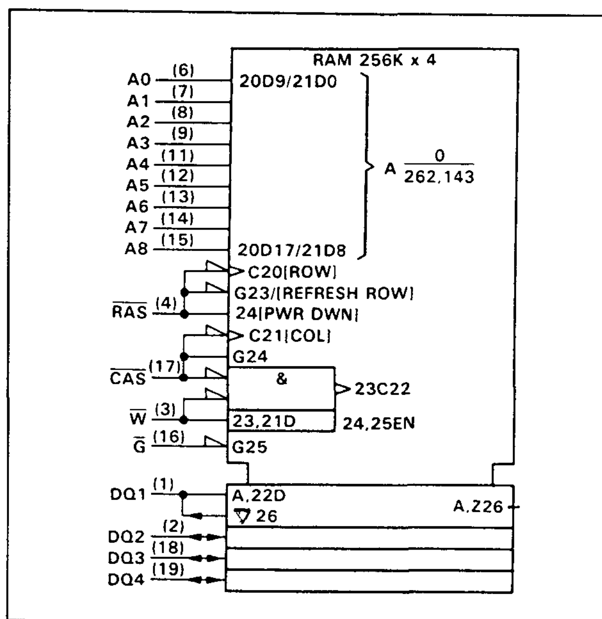
Werking

- Adreslijnen A0 tot en met A8
  Voor het decoderen van de 262144 4-bits geheugenlokaties heeft de 44C256 eigenlijk 18 adresbits nodig.
  Dit wordt als volgt opgelost.
  Eerst worden negen rij-adresbits op de ingangen A0 tot en met A8 gezet en met behulp van de Row-Address Strobe ($\overline{RAS}$) in de bijbehorende latches geklokt. Daarna worden negen kolom-adresbits op dezelfde adres-ingangen gezet en door middel van de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-93). Alle adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$ en $\overline{CAS}$ stabiel zijn.
  $\overline{RAS}$ komt overeen met een chip-enable, omdat het zowel de sense-versterkers als de rij-decoder aktiveert. $\overline{CAS}$ wordt ook als chip-select gebruikt en aktiveert dan de uitgangsbuffers.
- Write enable ($\overline{W}$)
  Het lezen uit of schrijven naar het geheugen wordt met behulp van het $\overline{W}$-signaal geselecteerd.
  Als $\overline{W}$ HOOG is is de leesmode gekozen, terwijl een LAAG niveau op deze ingang de schrijfmode selecteert.
  Bij het lezen zijn de data-ingangen gesperd.
  Wanneer $\overline{W}$ LAAG gaat voor $\overline{CAS}$ ("early write"), blijven de data-uitgangen gedurende de gehele cyclus hoog-impedant en is een schrijf cyclus met geaarde $\overline{G}$ mogelijk.
- Data-in (DQ1 tot en met DQ4)
  Data wordt tijdens een schrijf- of een lees-modificeer-schrijf cyclus in de data-latch opgeslagen (voor timing: zie de figuren 8/3.3-95 en -96). Data wordt, afhankelijk van de bedrijfsmode, op de dalende flank van $\overline{CAS}$ of $\overline{W}$ in de data-latches opgeslagen.
  Bij een vroege schrijf cyclus (early write: figuur 8/3.3-97) wordt eerst $\overline{W}$ LAAG gemaakt en daarna $\overline{CAS}$, waarbij de data door het $\overline{CAS}$-signaal wordt ingeklokt. De set-up en houdtijden hebben dan betrekking op $\overline{CAS}$.
  Bij een vertraagde- of een lees-modificeer-schrijf cyclus zal $\overline{CAS}$ al LAAG zijn, zodat de data door $\overline{W}$ wordt ingeklokt. Hierbij moet $\overline{G}$ HOOG zijn om de uitgangsbuffers hoog-impedant te maken voordat data op de in-/uitgangslijnen wordt gezet.

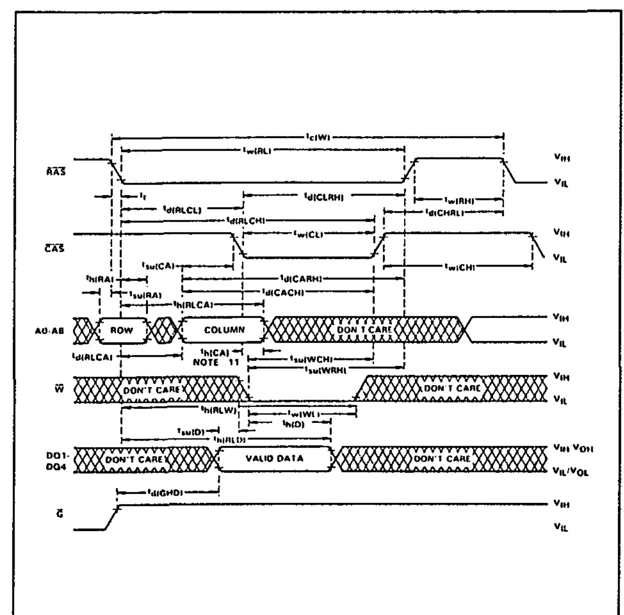
3.3 Type-beschrijving



Figuur 8/3.3-93: Functioneel blokschema van de 44C256.



Figuur 8/3.3-94: Logisch symbool van de 44C256.



Figuur 8/3.3-95: Timing en golfvormen bij een schrijf cyclus.

3.3 Type-beschrijving

Figuur 8/3.3-96: Schakeltijden en golfvormen bij de lees-modificeer-schrijf cyclus.

Figuur 8/3.3-97: Timing van een vroege schrijf cyclus ("early write").

- Data-out (DQ1 tot en met DQ4)
  De niet-geïnverteerde 3-state uitgangsbuffers zijn direct TTL-compatibel (er zijn geen optrekweerstanden nodig). De uitgangen zweven (zijn hoog-impedant) zolang $\overline{CAS}$ en $\overline{G}$ HOOG zijn. Bij een lees cyclus worden de uitgangen $t_{a(C)}$ ns na de dalende flank van $\overline{CAS}$ "waar" als tenminste aan $t_{a(R)}$ wordt voldaan (zie figuur 8/3.3-98). De uitgangssignalen blijven "waar" totdat $\overline{CAS}$ en/of $\overline{G}$ weer HOOG worden.
- Output Enable ($\overline{G}$)
  $\overline{G}$ bestuurt de impedantie van de uitgangsbuffers. Als $\overline{G}$ HOOG is verkeren de buffers in de hoog-impedante toestand. Door $\overline{G}$ gedurende een normale cyclus LAAG te maken worden de uitgangsbuffers geaktiveerd en komen zij in de laag-impedante toestand. Zowel $\overline{CAS}$ als $\overline{RAS}$ moeten LAAG gaan voordat de uitgangsbuffers laag-impedant worden. Zijn ze eenmaal laag-impedant dan blijven ze in die toestand totdat $\overline{G}$ of $\overline{CAS}$ HOOG wordt gemaakt.

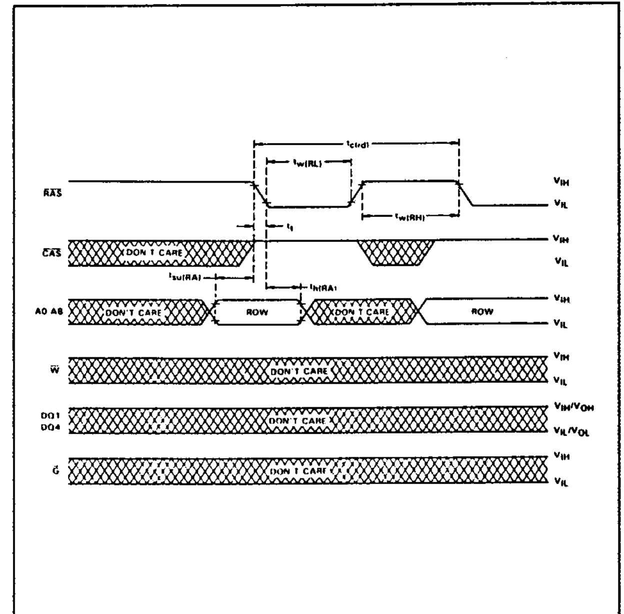
Figuur 8/3.3-98: Timing bij het uitlezen van de 44C256.

Refresh
Om te voorkomen dat de data verloren gaat moet minimaal elke 8 ms een verversing

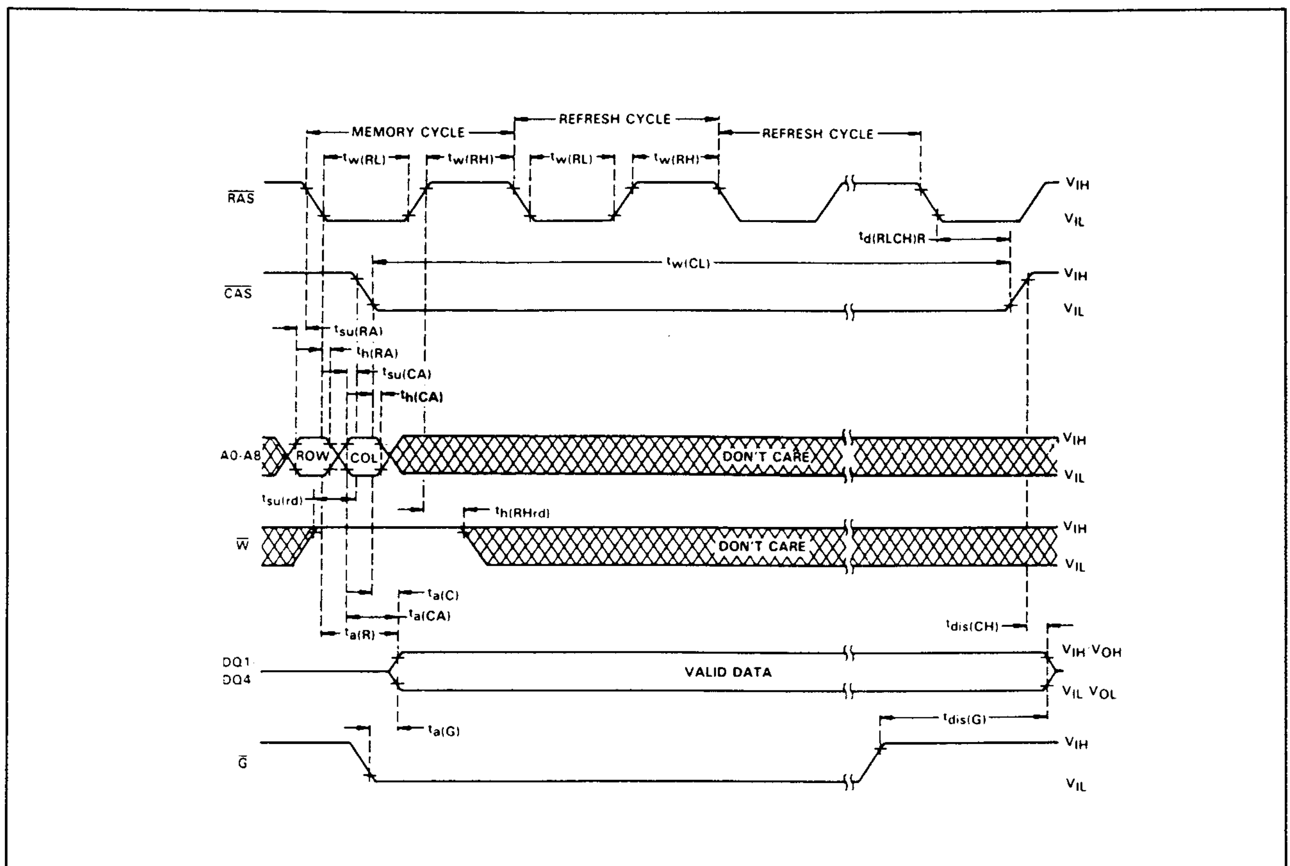
3.3 Type-beschrijving

(refresh) worden uitgevoerd. Dit kan worden bereikt door alle 512 rijen (A0 tot en met A8) te stroben. Een normale lees of schrijf cyclus ververst alle bits in de geselecteerde rij. Door $\overline{CAS}$ op het inaktieve HOOG niveau te houden kan een $\overline{RAS}$-only operatie worden uitgevoerd (zie figuur 8/3.3-99). Doordat de uitgangsbuffers dan in de hoog-impedante toestand blijven wordt minder vermogen gedissipeerd. Voor een $\overline{RAS}$-only refresh moeten extern opgewekte adressen worden gebruikt.

Terwijl geldige data op de uitgangspennen staat kan een verborgen refresh (hidden refresh) worden uitgevoerd (zie figuur 8/3.3-100). Dit wordt bereikt door $\overline{CAS}$ na een lees-operatie LAAG te houden en $\overline{RAS}$ na een gespecificeerde voorlaadtijd om te schakelen (net als bij een $\overline{RAS}$-only refresh cyclus).



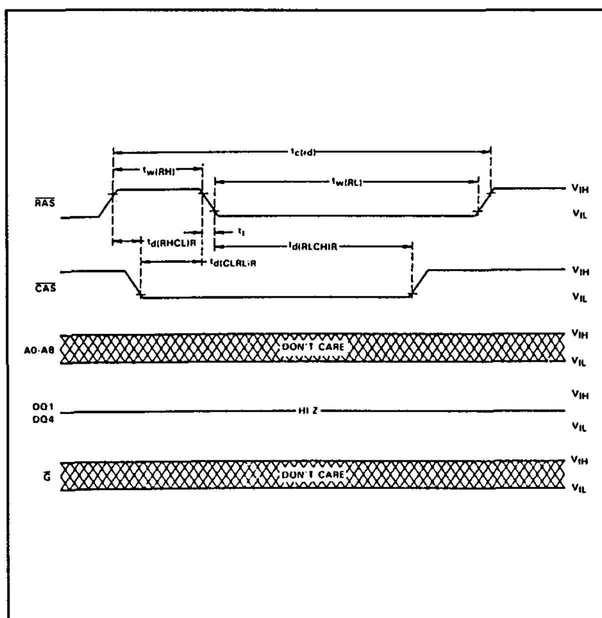
Figuur 8/3.3-99: Timing bij een "$\overline{RAS}$-only" refresh.



Figuur 8/3.3-100: Timing van een "verborgen refresh" cyclus in de verbeterde page-mode.

3.3 Type-beschrijving

- CAS-voor-RAS refresh
  De "CAS-before-RAS" refresh (figuur 8/3.3-101) wordt gebruikt door CAS eerder LAAG te maken dan RAS (zie parameter $t_{d(CLRL)R}$) en LAAG te houden na het dalen van RAS (zie parameter $t_{d(RLCH)R}$). Bij opeenvolgende CAS-voor-RAS refresh cycli mag CAS LAAG blijven terwijl RAS geschakeld wordt. Hierbij wordt het externe adres genegeerd en wordt het refresh-adres inwendig opgewekt.
  Ook tijdens de verborgen refresh wordt het externe adres genegeerd.



Figuur 8/3.3-101: Automatische CAS-voor-RAS refresh cyclus.

Power-up

Voor een goede werking moet na inschakeling van de voedingsspanning een pauze van 200 µs worden ingelast, gevolgd door minimaal acht initialisatie-cycli.

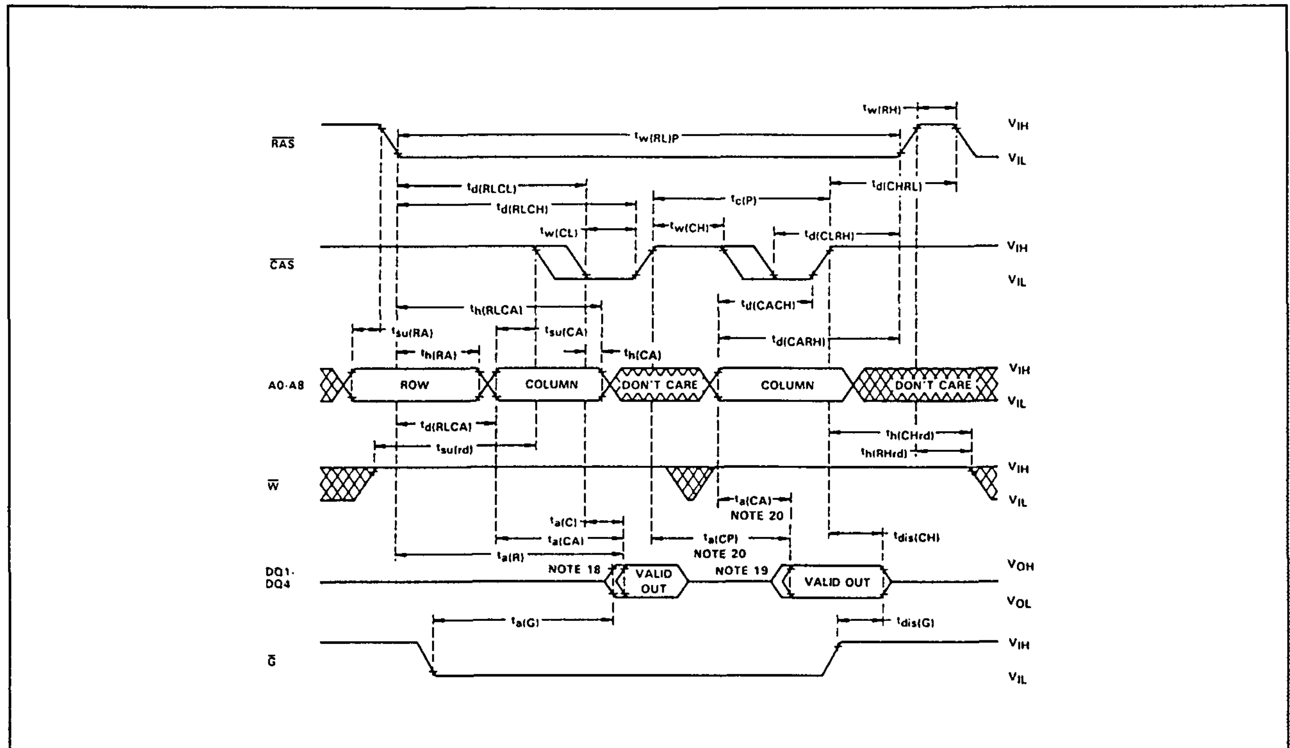
Verbeterde page-mode

De page-mode operatie maakt snellere toegang tot het geheugen mogelijk. Omdat het rij-adres hierbij hetzelfde blijft, terwijl willekeurige kolom-adressen worden ingeklokt, wordt geen tijd verloren met het kiezen van rij-adressen op dezelfde pagina en multiplexen van de adressen (figuren 8/3.3-102, -103 en -104).

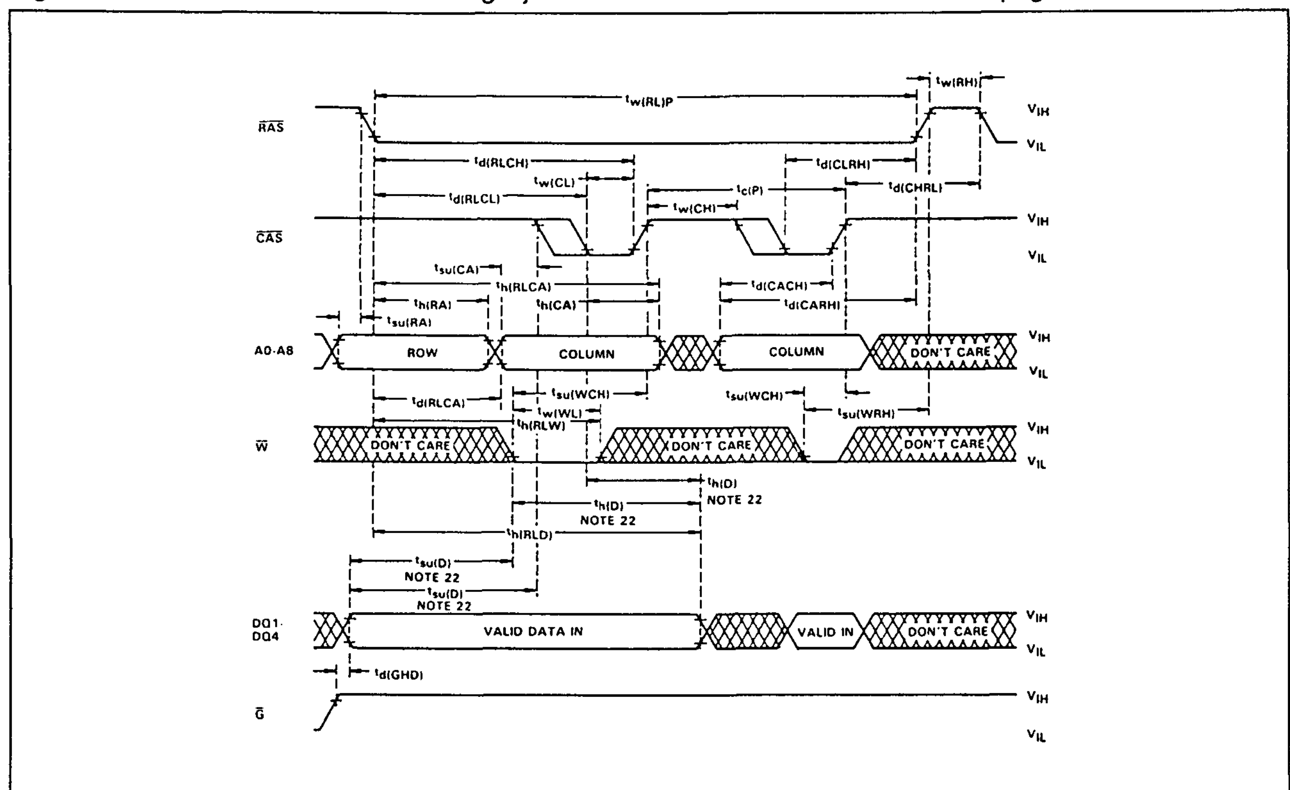
Het maximale aantal kolommen dat kan worden bereikt is afhankelijk van de maximum tijd dat RAS LAAG is en van de door de CAS page-mode gebruikte cyclustijd.
Met de minimale CAS page-mode cyclustijd zijn alle 512 kolommen bereikbaar die door het kolomadres (A0 tot en met A8) worden aangewezen zonder tussenkomst van RAS-cycli.

In tegenstelling tot conventionele page-mode DRAM's worden de kolom-adresbuffers in de 44C256 geaktiveerd op de dalende flank van RAS. De buffers werken als transparante of doorstroom (flow-through) latches als CAS HOOG is.
Op de dalende flank van CAS worden de kolomadressen gelatched. Deze eigenschap stelt de 44C256 in staat met een grotere data-bandbreedte te werken dan conventionele page-mode DRAM's omdat het terugzoeken van data al begint op het moment dat het kolomadres geldig is en niet bij het LAAG gaan van CAS.
Deze verbetering wordt "verbeterde page-mode" (enhanced page-mode) genoemd. Onmiddellijk na $t_{h(RA)}$ (houdtijd van het rij-adres) mag een geldig kolomadres worden aangeboden.
Meestal gebeurt dit ruim voor de dalende flank van CAS. In dit geval wordt data na $t_{a(C)max}$ (toegangstijd vanaf het LAAG worden van CAS) verkregen, als aan $t_{a(CA)max}$ (toegangstijd vanaf het kolomadres) wordt voldaan. Voor het geval dat kolomadressen voor de volgende pagina-cyclus geldig zijn op het moment dat CAS HOOG gaat, wordt de toegangstijd voor de volgende cyclus bepaald door de nakomende $t_{a(C)}$ of $t_{a(CP)}$ (toegangstijd vanaf de stijgende flank van CAS.

3.3 Type-beschrijving

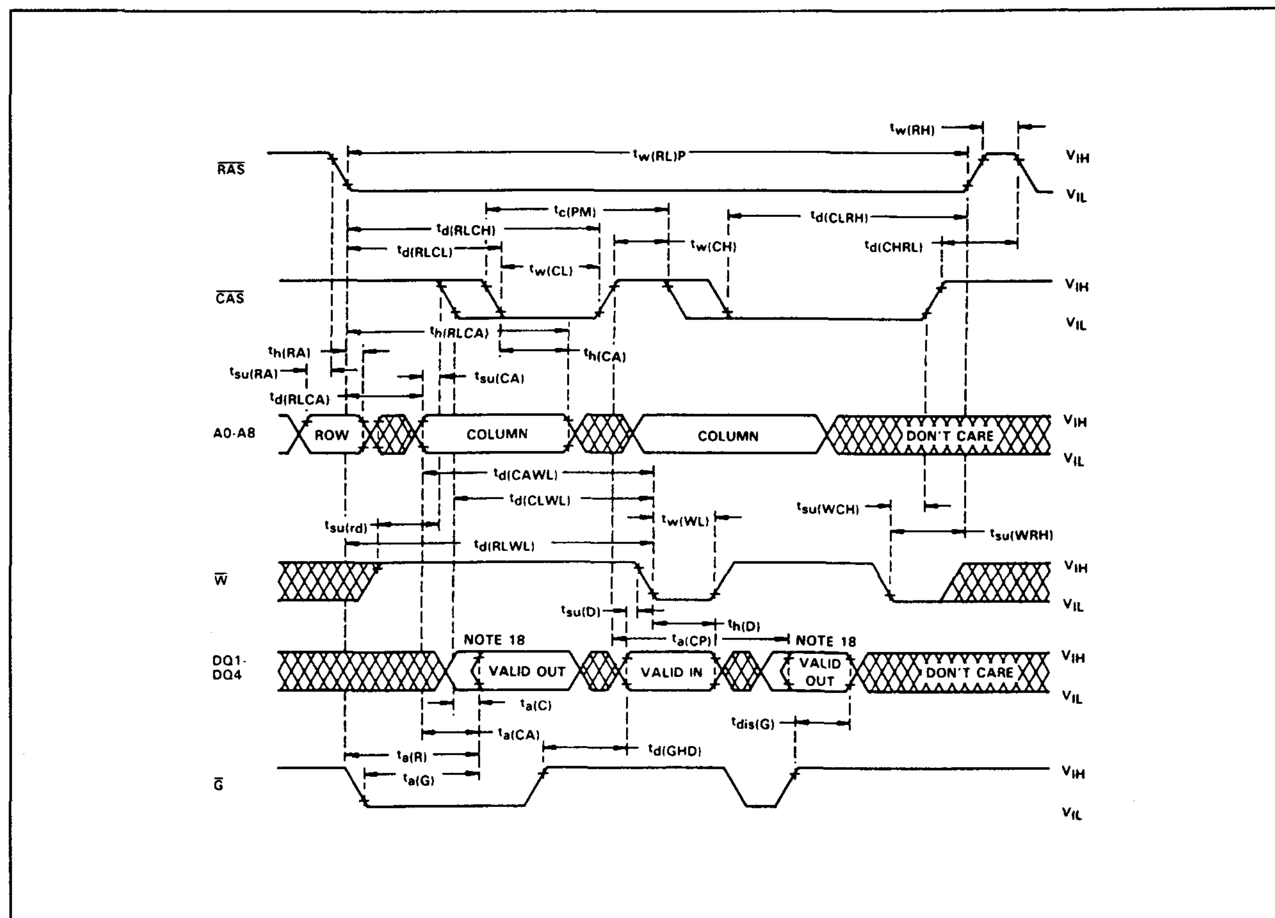


Figuur 8/3.3-102: Golfvormen en timing bij uitlezen van de 44C256 in de enhanced page-mode.



Figuur 8/3.3-103: Schakeltijden bij schrijven in de enhanced page-mode.

3.3 Type-beschrijving



Figuur 8/3.3-104: Timing van de lees-wijzig-schrijf cyclus in de enhanced page-mode.

Testfunctie-pen

Alleen de DRAM's van Texas Instruments (TMS44C256) zijn uitgerust met een testfunctie-pen TF (pen 5) die tijdens normaal gebruik "open" moet worden gelaten of HOOG (maximaal gelijk aan V_{CC}).

absolute maximum ratings over operating free-air temperature range

Voltage range on any pin (see Note 1)	−1 V to 7 V
Voltage range on V_{CC}	0 V to 7 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-46: Maximaal toegelaten waarden voor de 44C256.

Overige kenmerken

In de tabellen 8/3.3-46 tot en met 8/3.3-50 zijn de elektrische en timing karakteristieken van de TMS 44C256 van Texas Instruments vermeld. De in de tabel 8/3.3-50 genoemde schakeltijden hebben betrekking op de figuren 8/3.3-95 tot en met 8/3.3-104.

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{SS}	Supply voltage		0		V
V_{IH}	High-level input voltage	2.4		6.5	V
V_{IL}	Low-level input voltage (see Note 2)	−1		0.8	V
T_A	Operating free-air temperature	0		70	°C

Tabel 8/3.3-47: Aanbevolen bedrijfscondities voor de 44C256.

3.3 Type-beschrijving

	PARAMETER	TEST CONDITIONS	TMS44C25_-10		TMS44C25_-12		TMS44C25_-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA		0.4		0.4		0.4	V
I_I	Input current (leakage)	V_I = 0 V to 5.8 V, V_{CC} = 5 V, All other pins = 0 V to V_{CC}		± 10		± 10		± 10	µA
I_O	Output current (leakage)	V_O = 0 V to V_{CC}, V_{CC} = 5.5 V, $\overline{CAS}$ high		± 10		± 10		± 10	µA
I_{CC1}	Read/write cycle current	$t_{c(rdW)}$ = minimum, V_{CC} = 5.5 V		70		60		55	mA
I_{CC2}	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, V_{IH} = 2.4 V		3		3		3	mA
I_{CC3}	Average refresh current	$t_{c(rdW)}$ = minimum, V_{CC} = 5.5 V, $\overline{RAS}$ cycling, $\overline{CAS}$ high		65		55		50	mA
I_{CC4}	Average page current	$t_{c(P)}$ = minimum, V_{CC} = 5.5 V, $\overline{RAS}$ low, $\overline{CAS}$ cycling		45		35		30	mA
I_{CC6}	Average static column decode current	$t_{c(rdW)}$ = minimum, V_{CC} = 5.5 V, $\overline{RAS}$ low, $\overline{CAS}$ cycling		45		35		30	mA

Tabel 8/3.3-48: Gelijkspanningskarakteristieken voor verschillende (snelheids-)versies van de 44C256.

	PARAMETER	ALT. SYMBOL	TMS44C25_-10		TMS44C25_-12		TMS44C25_-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$ low	t_{CAC}		25		30		40	ns
$t_{a(CA)}$	Access time from column address	t_{CAA}		45		55		70	ns
$t_{a(R)}$	Access time from $\overline{RAS}$ low	t_{RAC}		100		120		150	ns
$t_{a(G)}$	Access time from $\overline{G}$ low	t_{GAC}		25		30		40	ns
$t_{a(CP)}$	Access time from column precharge (TMS44C256 only)	t_{CAP}		50		60		75	ns
$t_{a(WHQ)}$	Access time from $\overline{W}$ high, Static column decode mode (see Note 4) (TMS44C257 only)	t_{WRA}		30		35		40	ns
$t_{a(WLQ)}$	Access time from $\overline{W}$ low, Static column decode mode (see Note 4) (TMS44C257 only)	t_{ALW}		95		115		120	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high (see Note 5)	t_{OFF}	0	25	0	30	0	35	ns
$t_{dis(G)}$	Output disable time after $\overline{G}$ high (see Note 5)	t_{GOFF}	0	25	0	30	0	35	ns

Tabel 8/3.3-49: Schakeltijden van verschillende (snelheids-)versies van de 44C256.

44C257 (514257/514258)

256k x 4 DRAM (static column decode-mode)

De 44C257 is, wat grootte, aansluitingen en snelheid betreft, identiek aan de hiervoor behandelde 44C256. De 44C257 is ook een 1 MB dynamisch, vrij toegankelijk, lees- en beschrijfbaar geheugen (DRAM), georganiseerd in 262144 woorden van 4 bits. De 44C257 kan echter niet in de verbeterde page-mode worden gebruikt maar wel in de statische kolom-decodeer mode (static column decode).

De TMS 44C257 van Texas Instruments die hier als basis dient voor de beschrijving is leverbaar in een aantal versies met verschillende snelheden.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

		ALT. SYMBOL	TMS44C256-10 MIN	TMS44C256-10 MAX	TMS44C256-12 MIN	TMS44C256-12 MAX	TMS44C256-15 MIN	TMS44C256-15 MAX	UNIT
$t_{c(rd)}$	Read cycle time (see Note 7)	t_{RC}	190		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	190		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	220		255		305		ns
$t_{c(P)}$	Page-mode read or write cycle time (see Note 8)	t_{PC}	55		65		80		ns
$t_{c(PM)}$	Page-mode read-modify-write cycle time	t_{PCM}	85		100		125		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high	t_{CP}	10		15		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low (see Note 9)	t_{CAS}	25	10,000	30	10,000	40	10,000	ns
$t_{w(RH)}$	Pulse duration $\overline{RAS}$ high (precharge)	t_{RP}	80		90		100		ns
$t_{w(RL)}$	Non-page-mode pulse duration, $\overline{RAS}$ low (see Note 10)	t_{RAS}	100	10,000	120	10,000	150	10,000	ns
$t_{w(RL)P}$	Page-mode pulse duration, $\overline{RAS}$ low (see Note 10)	t_{RASP}	100	100,000	120	100,000	150	100,000	ns
$t_{w(WL)}$	Write pulse duration	t_{WP}	15		20		25		ns
$t_{su(CA)}$	Column-address setup time before $\overline{CAS}$ low	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row-address setup time before $\overline{RAS}$ low	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time before $\overline{W}$ low (see Note 11)	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read setup time before $\overline{CAS}$ low	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	$\overline{W}$-low setup time before $\overline{CAS}$ low (see Note 12)	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	$\overline{W}$-low setup time before $\overline{CAS}$ high	t_{CWL}	25		30		40		ns
$t_{su(WRH)}$	$\overline{W}$-low setup time before $\overline{RAS}$ high	t_{RWL}	25		30		40		ns
$t_{h(CA)}$	Column-address hold time after $\overline{CAS}$ low (see Note 11)	t_{CAH}	20		20		25		ns
$t_{h(RA)}$	Row-address hold time after $\overline{RAS}$ low	t_{RAH}	15		15		20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low (see Note 13)	t_{AR}	70		80		100		ns
$t_{h(D)}$	Data hold time after $\overline{CAS}$ low (see Note 11)	t_{DH}	20		25		30		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low (see Note 13)	t_{DHR}	70		85		110		ns
$t_{h(CHrd)}$	Read hold time after $\overline{CAS}$ high (see Note 15)	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read hold time after $\overline{RAS}$ high (see Note 15)	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write hold time after $\overline{CAS}$ low (see Note 12)	t_{WCH}	20		25		30		ns
$t_{h(RLW)}$	Write hold time after $\overline{RAS}$ low (see Note 13)	t_{WCR}	70		85		100		ns
$t_{d(RLCH)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
$t_{d(CHRL)}$	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
$t_{d(CLRH)}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	25		30		40		ns
$t_{d(CLWL)}$	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (see Note 4)	t_{CWD}	50		60		70		ns
$t_{d(RLCL)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (see Note 14)	t_{RCD}	25	75	25	90	30	110	ns
$t_{d(RLCA)}$	Delay time, $\overline{RAS}$ low to column address (see Note 14)	t_{RAD}	20	55	20	65	25	80	ns
$t_{d(CARH)}$	Delay time, column address to $\overline{RAS}$ high	t_{RAL}	45		55		70		ns
$t_{d(CACH)}$	Delay time, column address to $\overline{CAS}$ high	t_{CAL}	45		55		70		ns
$t_{d(RLWL)}$	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (see Note 4)	t_{RWD}	100		120		150		ns
$t_{d(CAWL)}$	Delay time, column address to $\overline{W}$ low (see Note 4)	t_{AWD}	45		55		70		ns
$t_{d(GHD)}$	Delay time, $\overline{G}$ high before data at DQ	t_{GDD}	25		30		40		ns
$t_{d(GLRH)}$	Delay time, $\overline{G}$ low to $\overline{RAS}$ high	t_{GSR}	20		25		35		ns
$t_{d(RLCH)R}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high (see Note 16)	t_{CHR}	25		25		30		ns
$t_{d(CLRL)R}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low (see Note 16)	t_{CSR}	10		10		15		ns
$t_{d(RHCL)R}$	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low (see Note 16)	t_{RPC}	0		0		0		ns
t_{rf}	Refresh time interval	t_{REF}		8		8		8	ms
t_t	Transition time	t_T	3	50	3	50	3	50	ns

NOTE 16: $\overline{CAS}$-before-$\overline{RAS}$ refresh only.

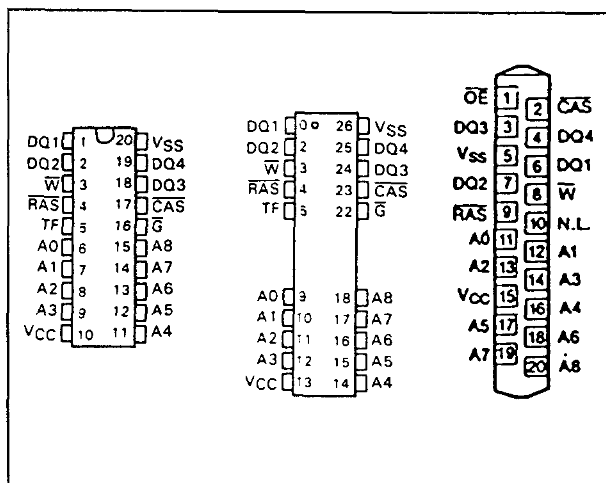
6. Timing measurements are referenced to V_{IL} max and V_{IH} min.
7. All cycle times assume t_t = 5 ns.
8. $t_{c(P)} > t_{w(CH)}$ min + $t_{w(CL)}$ min + $2t_t$.
9. In a read-modify-write cycle, $t_{d(CLWL)}$ and $t_{su(WCH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{CAS}$ low time [$t_{w(CL)}$].
10. In a read-modify-write cycle, $t_{d(RLWL)}$ and $t_{su(WRH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{RAS}$ low time [$t_{w(RL)}$].
11. Later of $\overline{CAS}$ or $\overline{W}$ in write operations.
12. *Early write operation only.*
4. Read-modify-write operation only.
13. The minimum value is measured when $t_{d(RLCL)}$ is set to $t_{d(RLCL)}$ min as a reference.
14. Maximum value specified only to guarantee access time.
15. Either $t_{h(RHrd)}$ or $t_{h(CHrd)}$ must be satisfied for a read cycle.

Tabel 8/3.3-50: Overzicht van alle optredende schakeltijden.

3.3 Type-beschrijving

- De 44C257-10, -12 en -15 hebben toegangstijden van respectievelijk 100, 120 en 150 ns.
- De 44C257 wordt vervaardigd in CMOS-technologie, evenals de in de equivalentenlijst vermelde typen.

Voor de elektrische eigenschappen en schakeltijden wordt verwezen naar de 44C256 (tabellen 8/3.3-46 tot en met 8/3.3-49 en de figuren 8/3.3-95, -99 en -101). In dit gedeelte worden de overige eigenschappen die specifiek op de 44C257 betrekking hebben (timing) behandeld.



Figuur 8/3.3-105: Aansluitingen van de 20-pens DIL, 26-pens SOJ-versies en de 20-pens ZIP-behuizing van de 44C257.

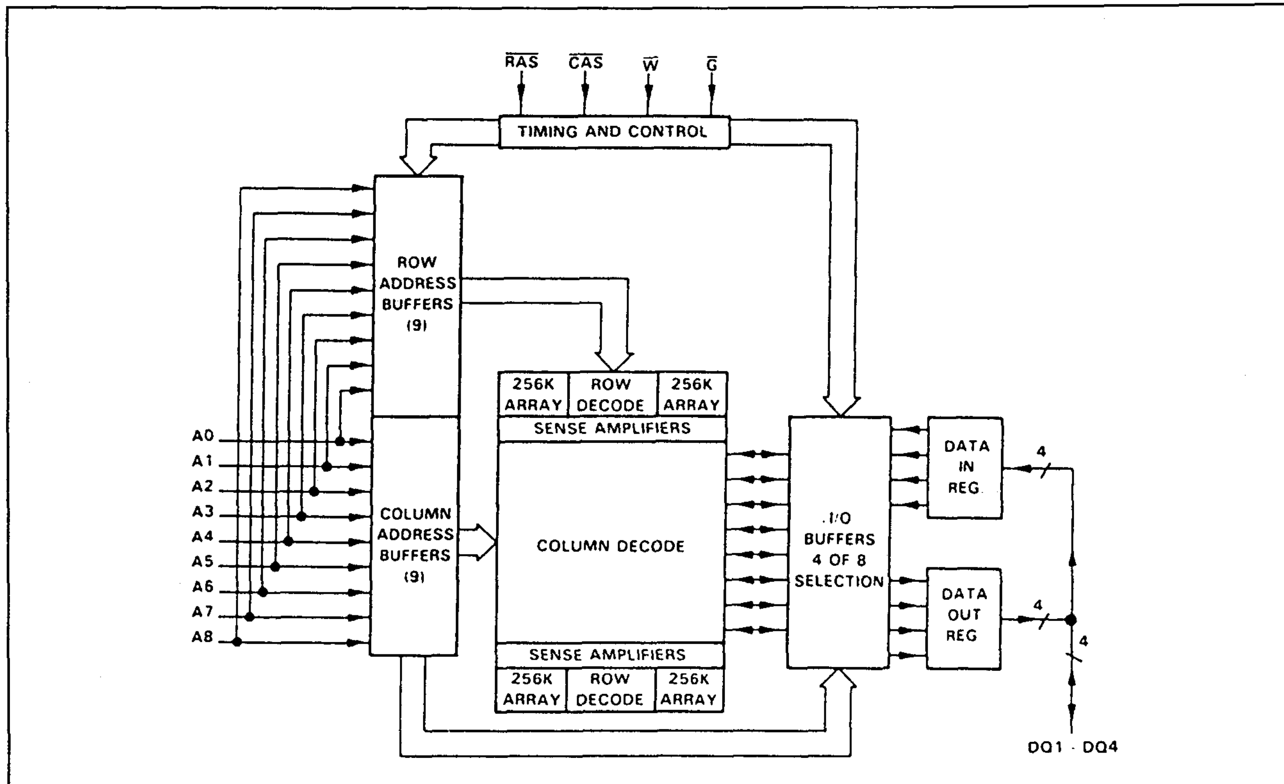
Specificaties

- 262144 x 4 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen, uitgangen en clocks TTL-compatibel
- niet-gelatchte 3-state uitgangen
- gemeenschappelijke in-/uitgangen
- statische kolom decodeer-mode werking
- bestuurbaar met 74ALS6301 en/of 74ALS6302 DRAM-controllers
- 512 cyclus refresh in 8 ms
- $\overline{RAS}$-Only refresh, hidden refresh en $\overline{CAS}$-before-$\overline{RAS}$ refresh
- JEDEC standaard behuizingen:
  20-pens 0,3" plastic DIL, 20/26-pens 0,3" surface mount (SOJ) en 20-pens 0,4" plastic ZIP (zig-zag in-line package) (figuur 8/3.3-105)

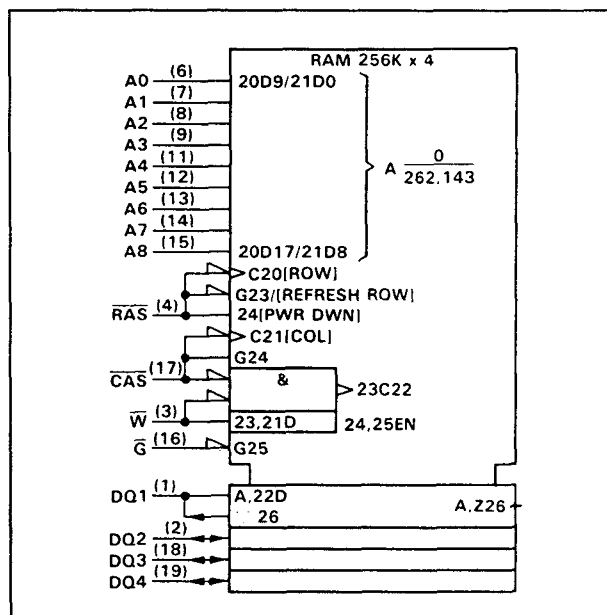
Werking

- Adreslijnen A0 tot en met A8
  Voor het decoderen van alle 262144 4-bits geheugen lokaties heeft de 44C257 eigenlijk 18 adresbits nodig. Aangezien er slechts 9 beschikbaar zijn worden eerst de negen rij-adresbits op de ingangen A0 tot en met A8 gezet en door de Row-Address Strobe ($\overline{RAS}$) in de bijbehorende latches geklokt. Daarna worden de negen kolomadresbits op dezelfde adres-ingangen gezet en door middel van de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-106). Alle adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$ en $\overline{CAS}$ stabiel zijn. $\overline{RAS}$ komt overeen met een chip-enable, omdat dit signaal zowel de sense-versterkers als de rij-decoder aktiveert. De kolomadressen worden alleen tijdens schrijf cycli op de laatst komende dalende flank van $\overline{CAS}$ of $\overline{W}$ ingeklokt.
- Write enable ($\overline{W}$)
  Met behulp van het $\overline{W}$-signaal kan worden gekozen uit lezen uit of schrijven. Als $\overline{W}$ HOOG is wordt er gelezen, terwijl met een LAAG niveau op deze ingang in het geheugen wordt geschreven. Tijdens het uitlezen zijn de data-ingangen gesperd. Wanneer $\overline{W}$ eerder LAAG gaat dan $\overline{CAS}$ ("early write"), blijven de data-uitgangen gedurende de gehele cyclus hoogimpedant en is een schrijf cyclus met geaarde $\overline{G}$ mogelijk.
  Bij de 44C257 worden de kolomadressen alleen tijdens schrijf cycli op de laatst komende dalende flank van $\overline{CAS}$ of $\overline{W}$ ingeklokt.
- Data-in (DQ1 tot en met DQ4)
  Bij een schrijf- of een lees-modificeer-schrijf cyclus wordt data in de data-latch opgeslagen (zie ook figuur 8/3.3-95).

3.3 Type-beschrijving



Figuur 8/3.3-106: Functioneel blokschema van de 44C257.



Figuur 8/3.3-107: Logisch symbool van de 44C257.

Afhankelijk van de bedrijfsmode wordt data op de dalende flank van $\overline{CAS}$ of $\overline{W}$ in de data-latches opgeslagen.

Bij een vroege schrijf cyclus (early write: figuur 8/3.3-108) wordt $\overline{W}$ LAAG gemaakt voor $\overline{CAS}$, waarbij de data door het $\overline{CAS}$-signaal wordt ingeklokt. Hierbij worden de set-up en houdtijden gerefereerd aan $\overline{CAS}$. Bij een vertraagde- of een lees-modificeer-schrijf cyclus zal $\overline{CAS}$ al LAAG zijn, zodat de data dan door $\overline{W}$ wordt ingeklokt. Hierbij moet $\overline{G}$ HOOG zijn om ervoor te zorgen dat de uitgangsbuffers hoogimpedant zijn voordat data op de in-/uitgangslijnen wordt gezet.

- Data-out (DQ1 tot en met DQ4)

De niet-geïnverteerde 3-state uitgangsbuffers zijn direct TTL-compatibel (geen optrekweerstanden nodig). De uitgangen zijn zwevend (hoog-impedant) zolang $\overline{CAS}$ en $\overline{G}$ HOOG zijn. Bij een lees cyclus worden de uitgangen $t_{a(C)}$ na de dalende

3.3 Type-beschrijving

flank van $\overline{CAS}$ "waar" op voorwaarde dat aan $t_{a(R)}$ wordt voldaan (zie figuur 8/3.3-109). De uitgangssignalen blijven geldig totdat $\overline{CAS}$ en/of $\overline{G}$ weer HOOG worden. Dit wordt gedaan door $\overline{G}$ HOOG te maken voordat data wordt aangeboden.

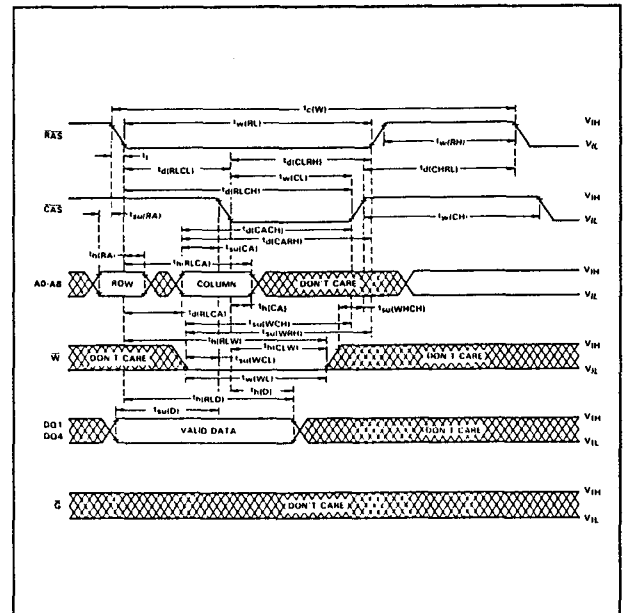
- Output Enable ($\overline{G}$)
  Met behulp van $\overline{G}$ wordt de impedantie van de uitgangsbuffers bestuurd. Wanneer $\overline{G}$ HOOG is staan de buffers in de hoog-impedante toestand. Door $\overline{G}$ tijdens een normale cyclus LAAG te maken worden de uitgangsbuffers geaktiveerd (laag-impedant). Het is nodig dat zowel $\overline{CAS}$ als $\overline{RAS}$ LAAG gaan voordat de uitgangsbuffers laag-impedant worden. Zijn ze eenmaal laag-impedant dan blijven ze in die toestand totdat $\overline{G}$ of $\overline{CAS}$ HOOG wordt gemaakt.

Refresh

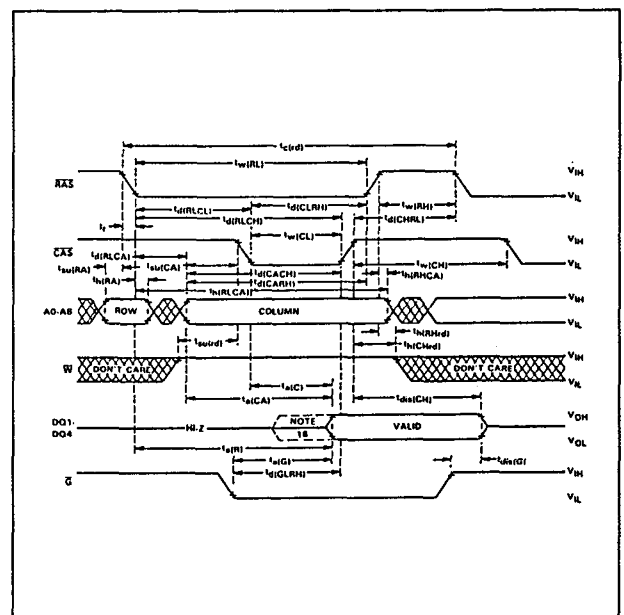
Om gegevensverlies te voorkomen moet minimaal elke 8 ms een verversing (refresh) worden uitgevoerd. Dit kan worden bereikt door alle 512 rijen (A0 tot en met A8) te stroben. Door een normale lees of schrijf cyclus worden alle bits in de geselecteerde rij ververst. Door $\overline{CAS}$ HOOG (niet-aktief) te houden kan een $\overline{RAS}$-only operatie worden uitgevoerd (zie figuur 8/3.3-99). Aangezien de uitgangsbuffers dan hoog-impedant blijven wordt minder vermogen verbruikt. Voor een $\overline{RAS}$-only refresh moeten extern opgewekte adressen worden gebruikt.

Er kan een verborgen refresh (hidden refresh) worden uitgevoerd terwijl geldige data op de uitgangspennen staat (zie figuur 8/3.3-110). Dit wordt bereikt door $\overline{CAS}$ na een lees-operatie LAAG te houden en $\overline{RAS}$ na een bepaalde voorlaadtijd om te schakelen (net als bij een $\overline{RAS}$-only refresh cyclus).

- $\overline{CAS}$-voor-$\overline{RAS}$ refresh
  De "$\overline{CAS}$-before-$\overline{RAS}$" refresh (figuur 8/3.3-101) wordt gebruikt door $\overline{CAS}$ eerder LAAG te maken dan $\overline{RAS}$ (zie parameter $t_{d(CLRL)R}$) en LAAG te houden nadat $\overline{RAS}$ LAAG is gegaan (zie parameter $t_{d(RLCH)R}$). Bij achtereenvolgende $\overline{CAS}$-voor-$\overline{RAS}$ refresh cycli mag $\overline{CAS}$ LAAG blijven terwijl $\overline{RAS}$ geschakeld wordt.

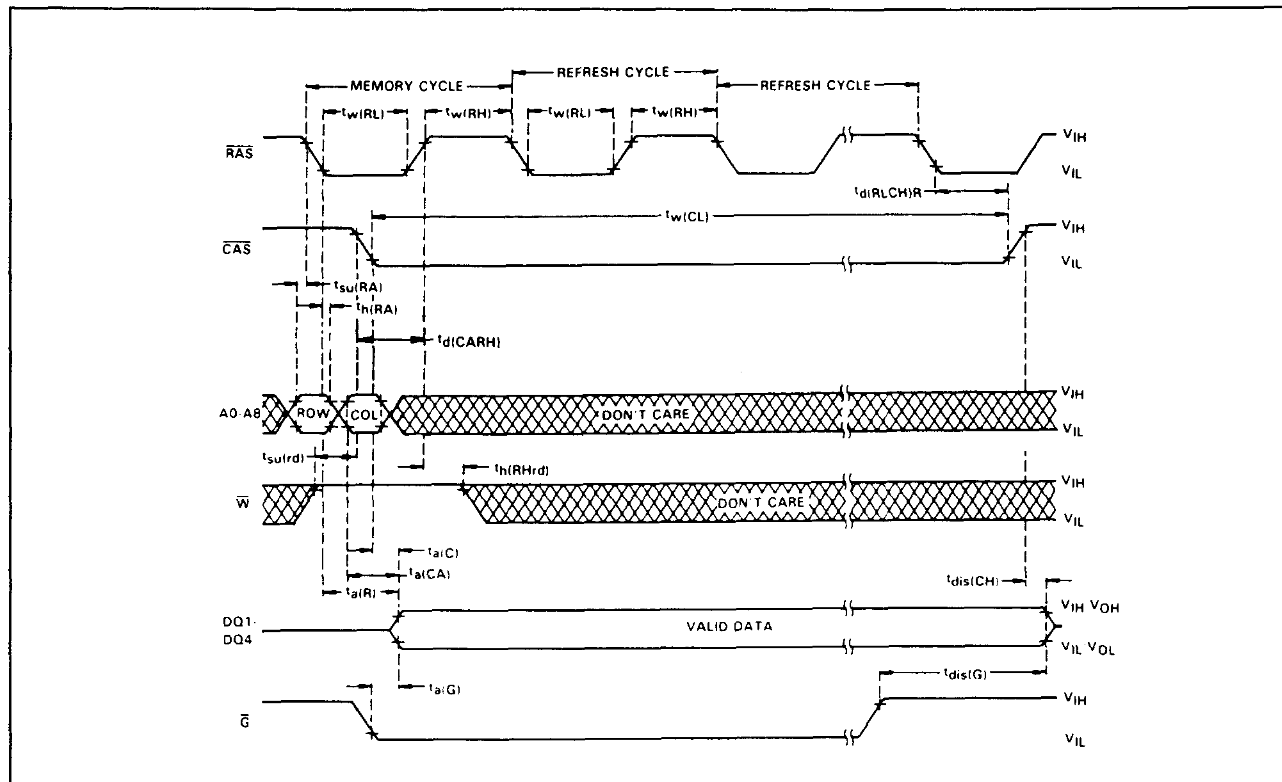


Figuur 8/3.3-108: Timing van een vroege schrijf cyclus ("early write").



Figuur 8/3.3-109: Timing bij het uitlezen van de 44C257.

3.3 Type-beschrijving



Figuur 8/3.3-110: Timing van een "verborgen refresh" cyclus in de static column decode-mode.

Hierbij wordt het externe adres genegeerd omdat het refresh-adres inwendig wordt opgewekt.
Ook tijdens de verborgen refresh wordt het externe adres genegeerd.

Power-up

Voor een goede werking moet na het inschakelen een pauze van 200 µs worden ingelast waarna minimaal acht initialisatie-cycli moeten worden uitgevoerd.

Testfunctie-pen

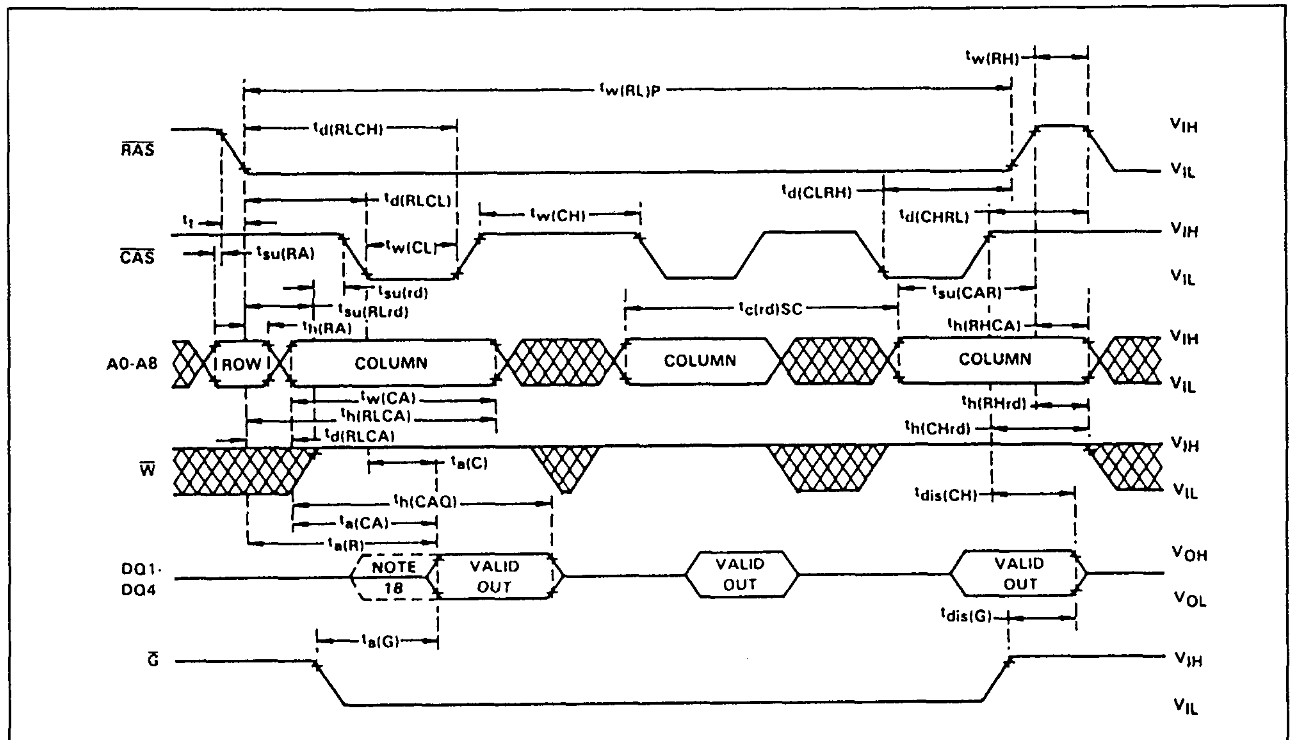
Alleen de DRAM's van Texas Instruments (TMS44C257) zijn uitgerust met een testfunctie-pen TF (pen 5) die tijdens normaal gebruik "open" moet worden gelaten of HOOG (maximaal gelijk aan V_{CC}).

Statische kolom decodeer-mode

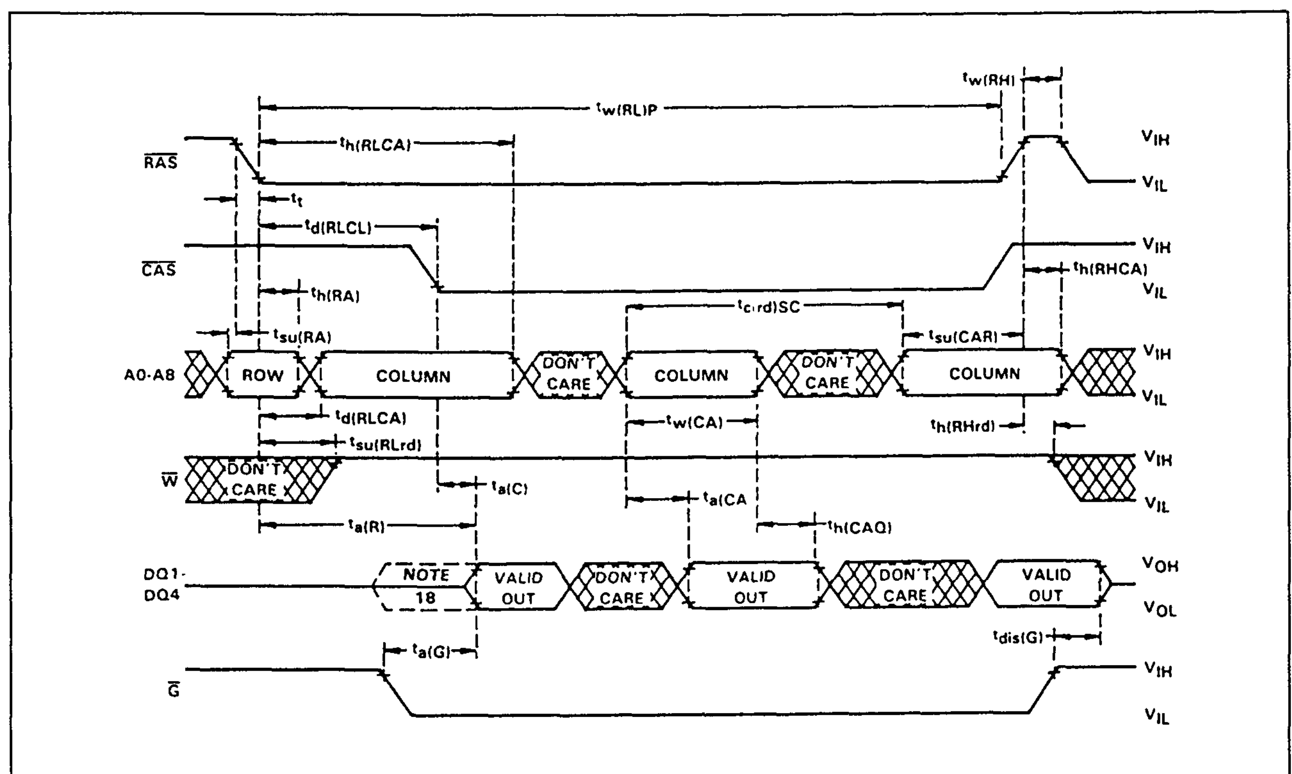
Door in de statische kolom decodeer-mode (static column decode) te werken kunnen zeer snelle lees-, schrijf- en lees-modificeer-schrijf operaties worden uitgevoerd omdat de aantallen set-up-, houd- en transitietijden hierbij drastisch worden verminderd.
Dit wordt bereikt door eerst de rij en de kolom op de normale manier te adresseren, maar na de eerste toegang $\overline{CAS}$ LAAG te houden.
Door achtereenvolgens de kolom-adressen te veranderen wordt geldige data geproduceerd op het tijdstip $t_{a(CA)}$. Het eerste bit wordt op de normale manier bereikt waarbij data kan worden uitgelezen op het tijdstip $t_{a(C)}$.

Op dezelfde manier kunnen schrijf- of lees-modificeer-schrijf cyclustijden worden verkregen door $\overline{W}$ op de juiste wijze op en neer te schakelen. De adressen worden wel tijdens de schrijf-operatie gelatched, maar niet bij de uitvoering van de interne schrijf-operatie.

3.3 Type-beschrijving

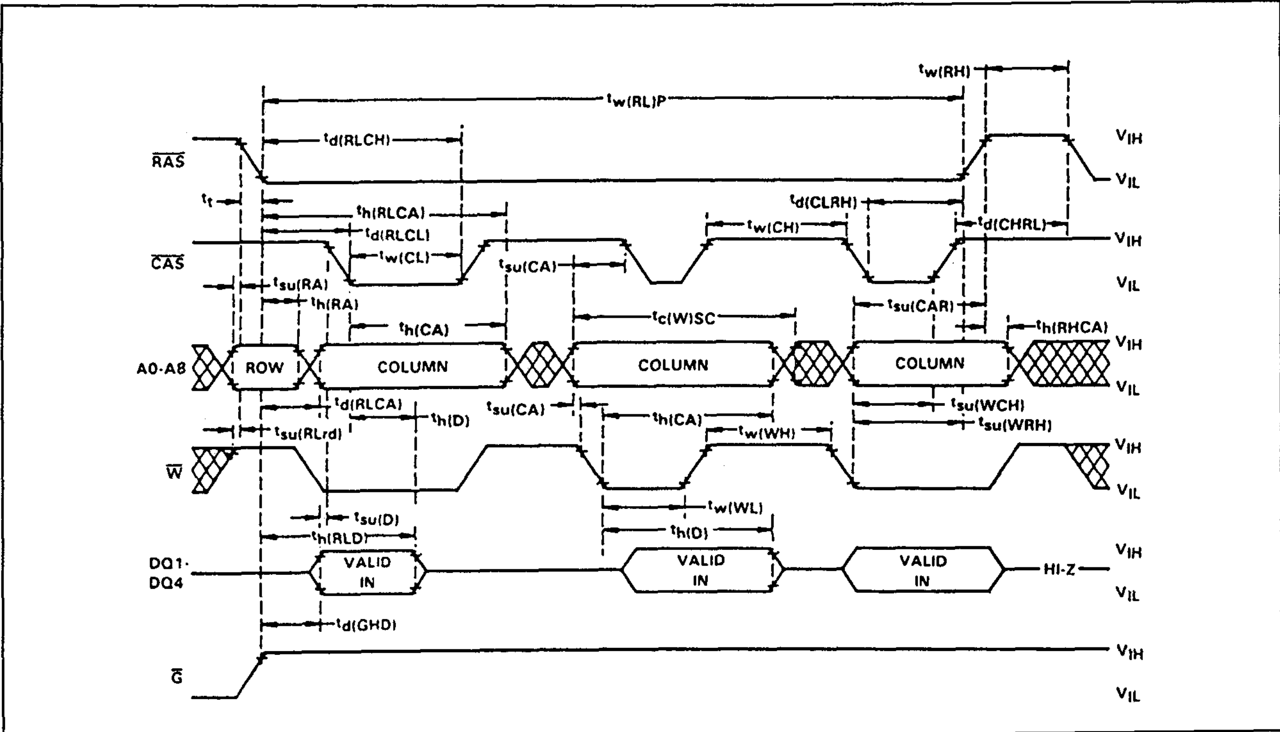


Figuur 8/3.3-111: Timing bij uitlezen in de statische kolom decodeer-mode waarbij $\overline{CAS}$ wordt omgeschakeld.

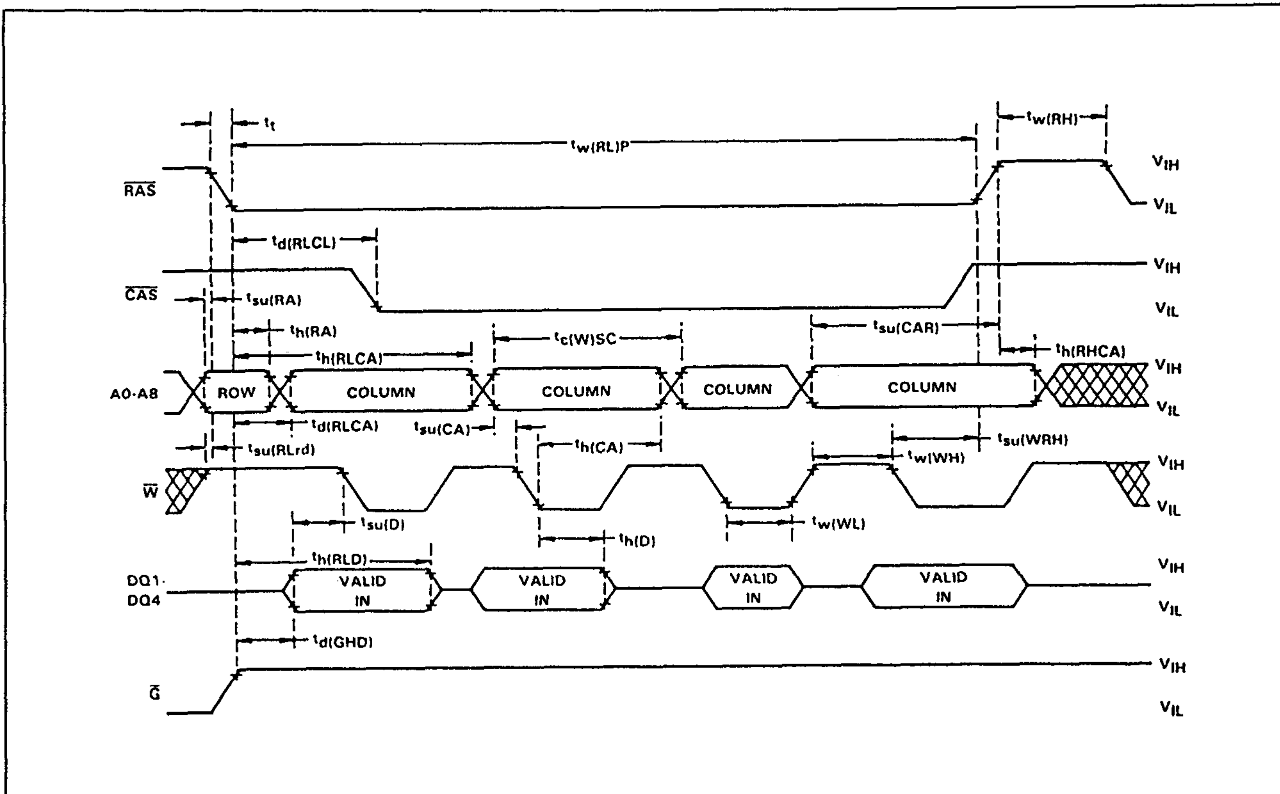


Figuur 8/3.3-112: Timing bij uitlezen in de statische kolom decodeer-mode.

3.3 Type-beschrijving

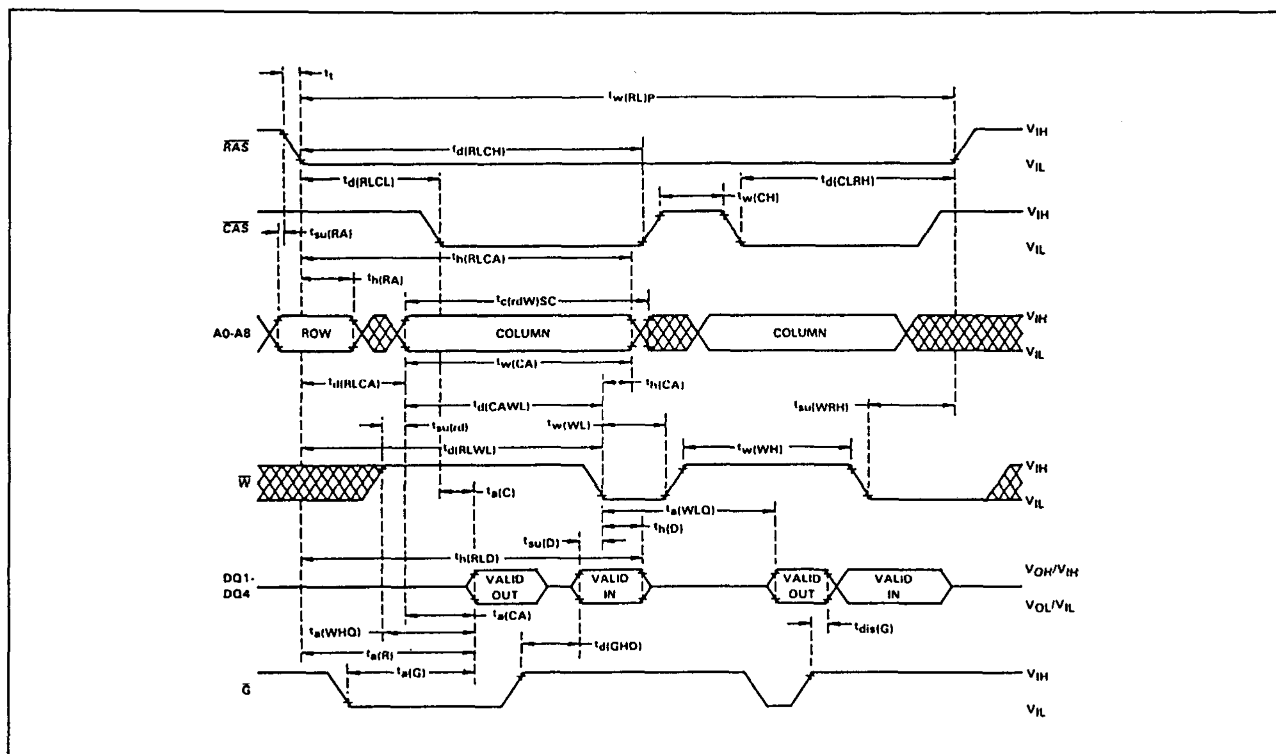


Figuur 8/3.3-113: Timing en golfvormen bij "vroeg" uitlezen in de statische kolom decodeer-mode.

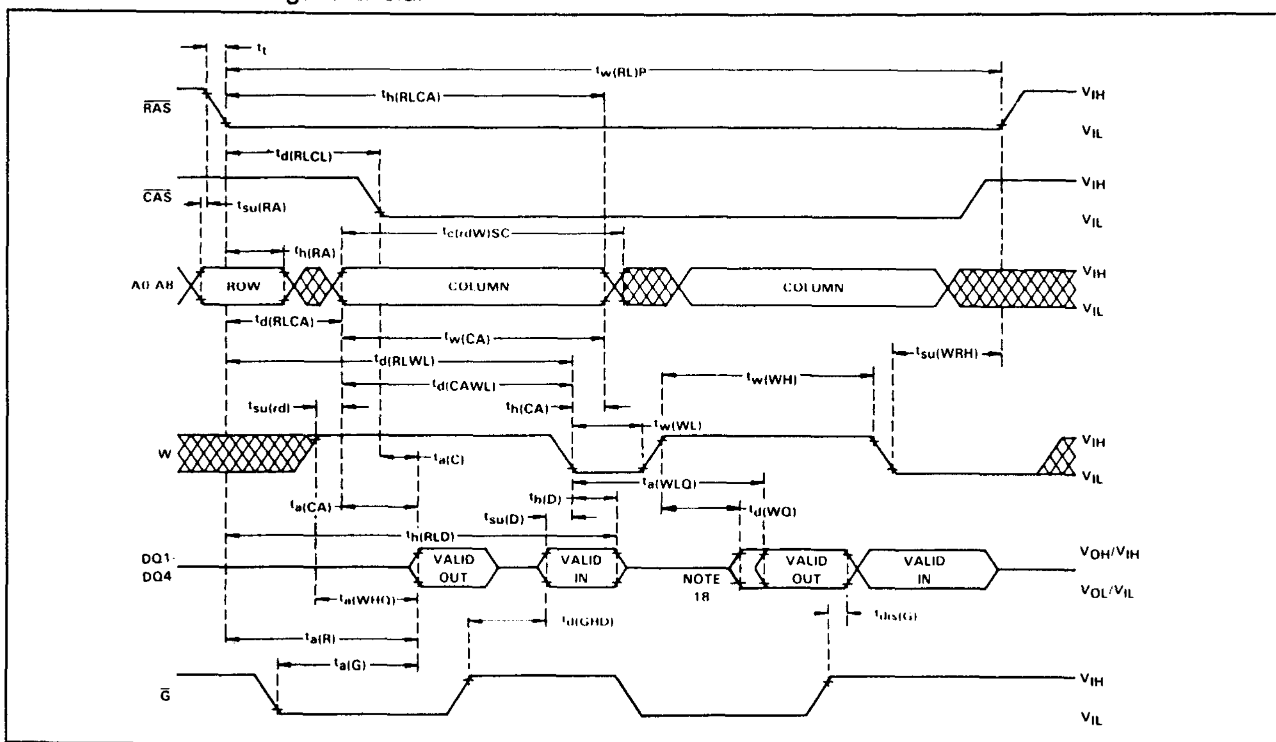


Figuur 8/3.3-114: Timing bij beschrijven van de 44C257 in de statische kolom decodeer-mode.

3.3 Type-beschrijving



Figuur 8/3.3-115: Een lees-modificeer-schrijf cyclus in de statische kolom decodeer-mode, waarbij $\overline{CAS}$ wordt omgeschakeld.



Figuur 8/3.3-116: Timing en golfvormen van een lees-modificeer-schrijf cyclus in de statische kolom decodeer-mode.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

		ALT. SYMBOL	TMS44C257-10		TMS44C257-12		TMS44C257-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time (see Note 7)	t_{RC}	190		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	190		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	220		255		305		ns
$t_{c(rd)SC}$	Static column decode mode read-only cycle time	t_{SCR}	50		60		90		ns
$t_{c(W)SC}$	Static column decode mode write-only cycle time	t_{CSW}	50		60		90		ns
$t_{c(rdW)SC}$	Static column decode mode read-modify-write cycle time	t_{SCRDW}	100		120		150		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high	t_{CP}	10		15		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low (see Note 9)	t_{CAS}	20	10,000	25	10,000	35	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge)	t_{RP}	80		90		100		ns
$t_{w(RL)}$	Non-static column decode mode pulse duration, $\overline{RAS}$ low (see Note 10)	t_{RAS}	100	10,000	120	10,000	150	10,000	ns
$t_{w(RL)P}$	Static column decode mode pulse duration, $\overline{RAS}$ low (see Note 10)	t_{RASP}	100	100,000	120	100,000	150	100,000	ns
$t_{w(WL)}$	Write pulse duration	t_{WP}	15		20		25		ns
$t_{w(CA)}$	Static column decode mode column address pulse duration	t_{ADP}	45		55		70		ns
$t_{w(WH)}$	Static column decode mode $\overline{W}$ high pulse duration	t_{WI}	10		15		25		ns
$t_{su(CA)}$	Column-address setup times before $\overline{CAS}$ low or $\overline{W}$ low (see Note 11)	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row address setup time before $\overline{RAS}$ low	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time before $\overline{W}$ low (see Note 11)	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read setup time before $\overline{CAS}$ low	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	$\overline{W}$-low setup time before $\overline{CAS}$ low (see Note 12)	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	$\overline{W}$-low setup time before $\overline{CAS}$ high	t_{CWL}	25		30		40		ns
$t_{su(WHCH)}$	$\overline{W}$-high setup time before $\overline{CAS}$ high (see Note 12)	t_{WHCH}	0		0		0		ns

Continued next page.

NOTES: 6. Timing measurements are referenced to V_{IL} max and V_{IH} min.
7. All cycle times assume t_t = 5 ns.
9. In a read-modify-write cycle, $t_{d(CLWL)}$ and $t_{su(WCH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{CAS}$ low time [$t_{w(CL)}$].
10. In a read-modify-write cycle, $t_{d(RLWL)}$ and $t_{su(WRH)}$ must be observed. Depending on the user's transition times, this may require additional $\overline{RAS}$ low time [$t_{w(RL)}$].
11. Later of $\overline{CAS}$ or $\overline{W}$ in write operations.
12. Early write operation only.

Tabel 8/3.3-51a: Overzicht van alle bij de 44C257 optredende schakeltijden (1e deel).

Overige kenmerken

In de tabellen 8/3.3-46 tot en met -49 (zie 44C256) en 8/3.3-51 worden de elektrische en timing karakteristieken van de TMS 44C257 van Texas Instruments vermeld. Ook de figuren 8/3.3-95, -99 en -101 hebben betrekking op de 44C257.

4C1024 (511000)

1M x 1 DRAM (enhanced page-mode)

De 4C1024 is een 1 MB dynamisch, rondom toegankelijk, uitlees- en beschrijfbaar geheugen (DRAM) met een 1048576 x 1 bit organisatie.
Voor snellere toegang kan de 4C1024 in een verbeterde page-mode worden gebruikt.
Zoals alle grotere geheugens worden ook de 4C1024 en de in de equivalentenlijst genoemde typen vervaardigd in CMOS-technologie.
Als basis voor de beschrijving van dit type DRAM wordt hier de TMS 4C1024 van Texas Instruments genomen. De TMS 4C1024 is leverbaar met verschillende snelheden (100, 120 en 150 ns).

3.3 Type-beschrijving

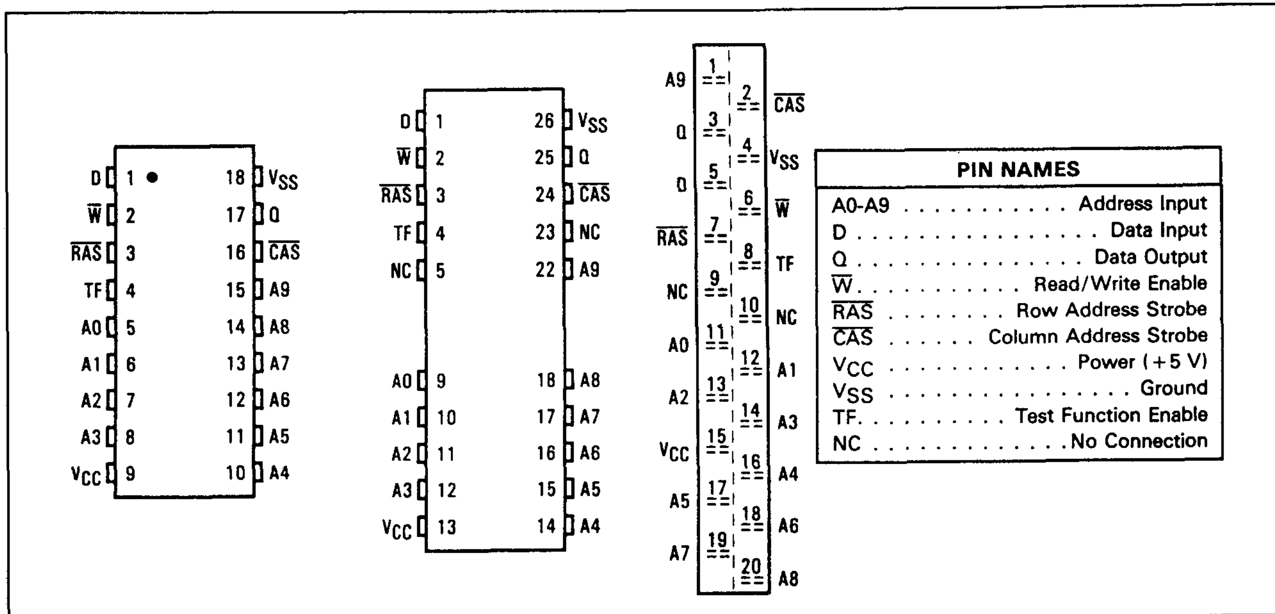
timing requirements over recommended supply voltage range and operating free-air temperature range (continued)

		ALT. SYMBOL	TMS44C257-10		TMS44C257-12		TMS44C257-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{su(WRH)}$	$\overline{W}$-low setup time before $\overline{RAS}$ high	t_{RWL}	25		30		40		ns
$t_{su(RLrd)}$	Read-command setup time before $\overline{RAS}$ low	t_{WRP}	0		0		0		ns
$t_{su(CAR)}$	Column-address setup time before $\overline{RAS}$ high	t_{CAR}	50		60		75		ns
$t_{h(CA)}$	Column-address hold time after $\overline{CAS}$ low, $\overline{W}$ low (see Note 11)	t_{CAH}	20		20		25		ns
$t_{h(RA)}$	Row-address hold time after $\overline{RAS}$ low	t_{RAH}	15		15		20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low (see Note 17)	t_{AR}	100		120		150		ns
$t_{h(D)}$	Data hold time after $\overline{CAS}$ low (see Note 11)	t_{DH}	20		25		30		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low (see Note 17)	t_{DHR}	70		85		110		ns
$t_{h(CHrd)}$	Read hold time after $\overline{CAS}$ high (see Note 15)	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read hold time after $\overline{RAS}$ high (see Note 15)	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write hold time after $\overline{CAS}$ low	t_{WCH}	20		25		30		ns
$t_{h(RLW)}$	Write hold time after $\overline{RAS}$ low (see Note 17)	t_{WCR}	70		85		100		ns
$t_{h(RHCA)}$	Column-address hold time after $\overline{RAS}$ high	t_{AH}	10		15		15		ns
$t_{h(CAQ)}$	Output hold time after address change	t_{OH}	5		5		5		ns
$t_{d(RLCH)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
$t_{d(CHRL)}$	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
$t_{d(CLRH)}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	25		30		40		ns
$t_{d(CLWL)}$	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (see Note 4)	t_{CWD}	25		30		40		ns
$t_{d(RLCL)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (see Note 14)	t_{RCD}	25	75	25	90	30	110	ns
$t_{d(RLCA)}$	Delay time, $\overline{RAS}$ low to column address (see Note 14)	t_{RAD}	20	55	20	65	25	80	ns
$t_{d(CARH)}$	Delay time, column address to $\overline{RAS}$ high	t_{RAL}	45		55		70		ns
$t_{d(CACH)}$	Delay time, column address to $\overline{CAS}$ high	t_{CAL}	45		55		70		ns
$t_{d(RLWL)}$	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (see Note 4)	t_{RWD}	100		120		150		ns
$t_{d(CAWL)}$	Delay time, column address to $\overline{W}$ low (see Note 4)	t_{AWD}	45		55		70		ns
$t_{d(GHD)}$	Delay time, $\overline{G}$ high before data at DQ	t_{GDD}	25		30		40		ns
$t_{d(GLRH)}$	Delay time, $\overline{G}$ low to $\overline{RAS}$ high	t_{GSR}	20		25		35		ns
$t_{d(WQ)}$	Delay time, $\overline{W}$ high to output transition from high impedance to active	t_{OW}	0		0		0		ns
$t_{d(RLCH)R}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high (see Note 16)	t_{CHR}	25		25		30		ns
$t_{d(CLRL)R}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low (see Note 16)	t_{CSR}	10		10		15		ns
$t_{d(RHCL)R}$	Delay time $\overline{RAS}$ high to $\overline{CAS}$ low (see Note 16)	t_{RPC}	0		0		0		ns
t_{rf}	Refresh time interval	t_{REF}		8		8		8	ms
t_t	Transition time	t_T	3	50	3	50	3	50	ns

NOTES: 4. Read-modify-write operation only.
14. Maximum value specified only to guarantee access time.
16. $\overline{CAS}$-before-$\overline{RAS}$ refresh only.
11. Later of $\overline{CAS}$ or $\overline{W}$ in write operations.
15. Either $t_{h(RHrd)}$ or $t_{h(CHrd)}$ must be satisfied for a read cycle.
17. The minimum value is measured when $t_{d(RLCA)}$ is set to $t_{d(RLCA)}$ min as a reference.

Tabel 8/3.3-51b: Overzicht van alle bij de 44C257 optredende schakeltijden (2e deel).

3.3 Type-beschrijving



Figuur 8/3.3-117: Aansluitingen van de 18-pens DIL, 20/26-pens SOJ- en 20-pens ZIP-versies van de 4C1024.

Verschillende equivalente typen zijn zelfs nog sneller (bijvoorbeeld HYB511000A: 70 en 80 ns $\overline{RAS}$ toegangstijd).

1 MB familie

De 4C1024, 4C1025 en 4C1027 zijn alle leden van dezelfde 1M x 1-bit DRAM-familie. Zij verschillen onderling van elkaar door de toegangswijze. De 4C1024 kan in de verbeterde page-mode werken, de 4C1025 heeft een 4-bit nibble-mode en de 4C1027 wordt gekenmerkt door een statische kolom decodeer-mode.
In dit gedeelte wordt de 4C1024 uitvoerig behandeld en deze beschrijving dient tevens als leidraad voor de 4C1025 en 4C1027, waarvan dan verder zo veel mogelijk alleen de afwijkende gegevens worden opgenomen.

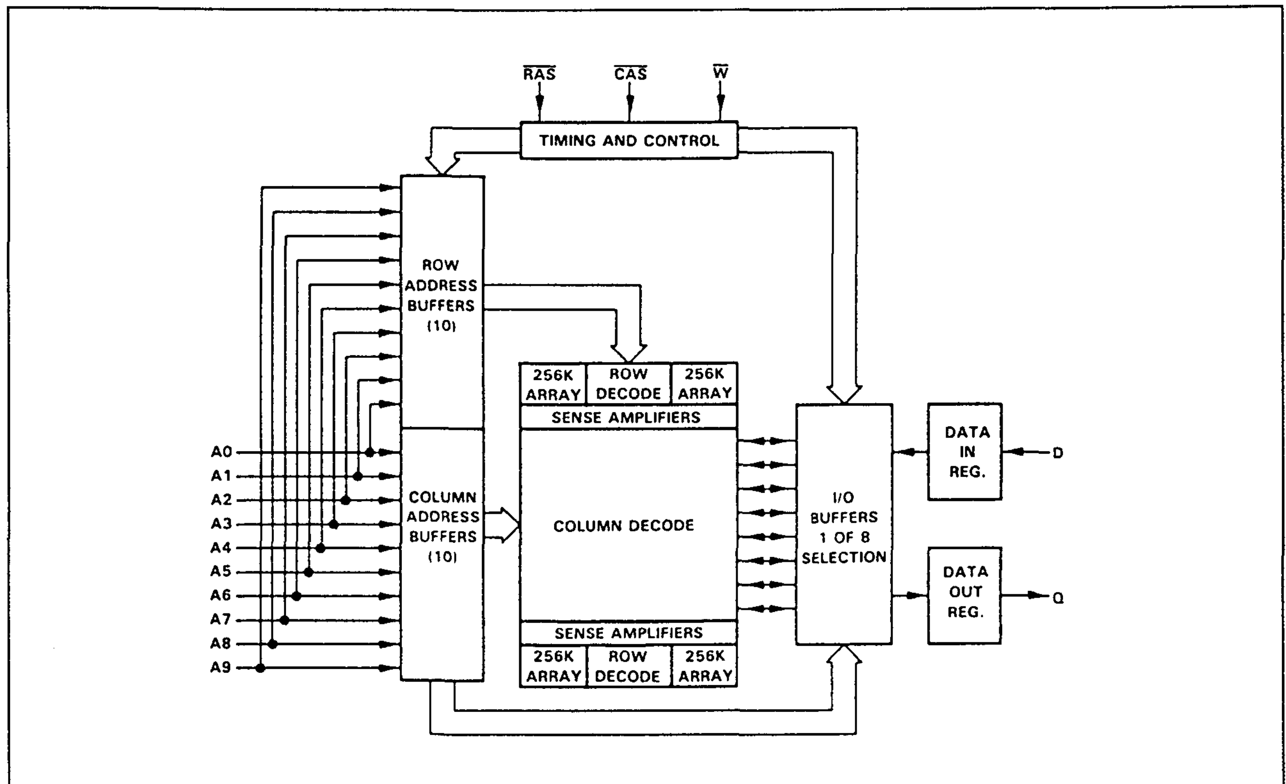
Specificaties

- 1048576 x 1 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- aparte data in- en uitgang
- verbeterde page-mode werking
- bestuurbaar met 74ALS6301 en/of 74ALS6302 DRAM-controllers
- 512 cyclus refresh in 8 ms
- $\overline{RAS}$-Only refresh, hidden refresh en $\overline{CAS}$-before-$\overline{RAS}$ refresh
- Behuizing:
  18-pens 0,3" plastic DIL en 20/26-pens 0,3" surface mount (SOJ) behuizing en 20-pens ZIP (figuur 8/3.3-117)

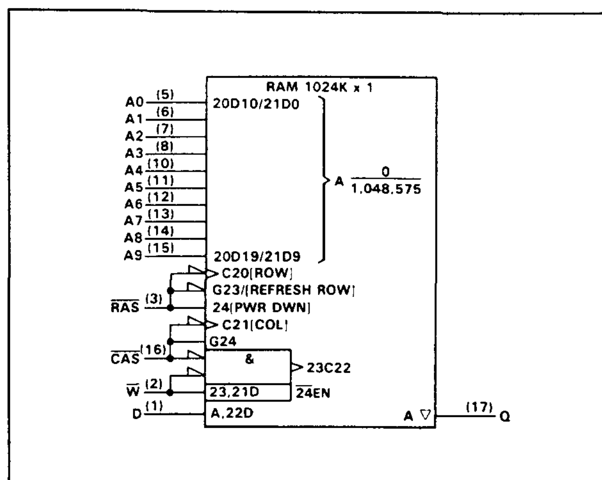
Werking

- Adreslijnen A0 tot en met A9
  Om alle 1048576 geheugenlokaties te decoderen zijn 20 adresbits nodig. Aangezien de 4C1024 er slechts 10 heeft (A0 tot en met A9) wordt dit als volgt opgelost. Eerst worden de tien rij-adresbits met behulp van de Row-Address Strobe ($\overline{RAS}$) ingeklokt. Daarna worden de tien kolom-adresbits via dezelfde adres-ingangen door middel van de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-118). Alle adressen moeten voor of op de dalende flank van $\overline{RAS}$ en $\overline{CAS}$ stabiel zijn. $\overline{RAS}$ heeft het kenmerk van een chip-enable, omdat hiermee zowel de senseversterkers als de rij-decoder wordt geaktiveerd.

3.3 Type-beschrijving



Figuur 8/3.3-118: Functioneel blokschema van de 4C1024.

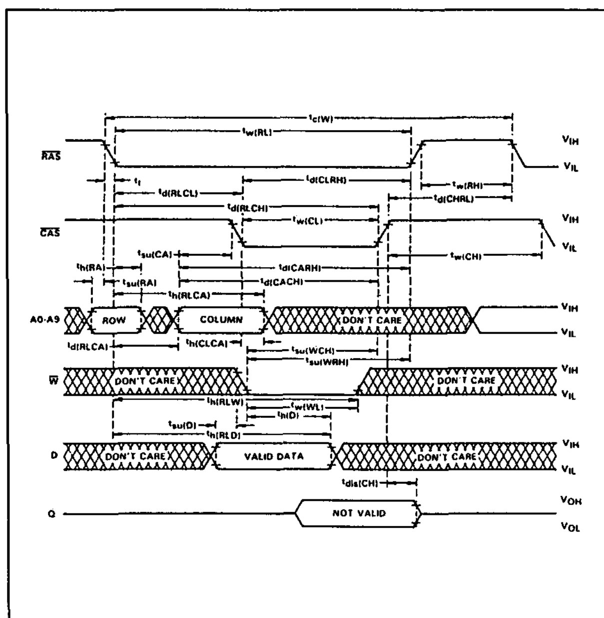


Figuur 8/3.3-119: Logisch symbool van de 4C1024.

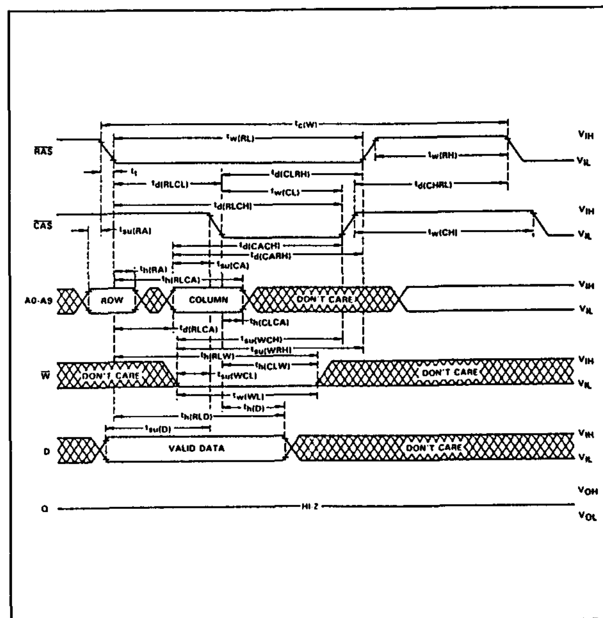
$\overline{CAS}$ wordt als chip-select gebruikt om de uitgangsbuffer te aktiveren en de adrebits in de kolom-adresbuffer te latchen.

- Write enable ($\overline{W}$)
  Met behulp van het $\overline{W}$-signaal wordt geselecteerd uit lezen of schrijven. Wanneer $\overline{W}$ TTL-compatibel HOOG is wordt het geheugen uitgelezen, terwijl een LAAG niveau op deze ingang de schrijfmode selecteert. Bij het uitlezen zijn de data-ingangen gesperd. Wanneer $\overline{W}$ eerder LAAG gaat dan $\overline{CAS}$ ("early write"), blijft de data-uitgang gedurende de gehele cyclus hoog-impedant en is een gemeenschappelijke I/O-operatie mogelijk.
- Data-in (D)
  Data wordt gedurende een schrijf- of een lees-modificeer-schrijf cyclus opgeslagen (figuren 8/3.3-120 en -121). Afhankelijk van de gekozen bedrijfsmode wordt data op de dalende flank van $\overline{CAS}$ of $\overline{W}$ in de op de chip aanwezige data-latch opgeslagen. Bij een vroege schrijf cyclus (early write: figuur 8/3.3-122) wordt eerst $\overline{W}$ LAAG gemaakt en vervolgens $\overline{CAS}$, waarbij de data door het $\overline{CAS}$-signaal wordt ingeklokt.
  De set-up en houdtijden worden in dit geval gerelateerd aan $\overline{CAS}$.

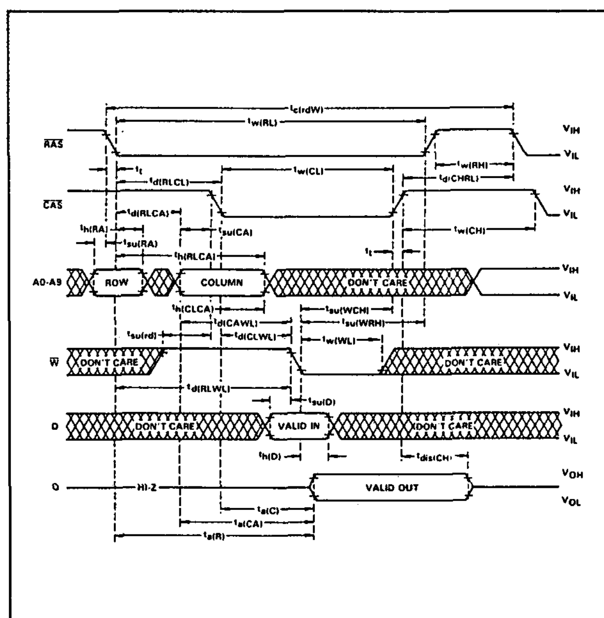
3.3 Type-beschrijving



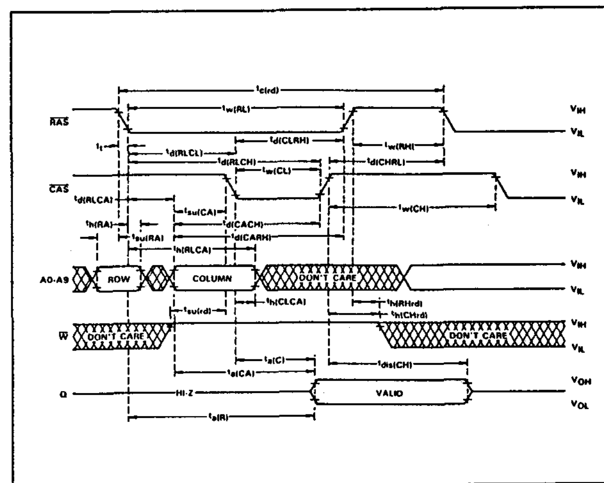
Figuur 8/3.3-120: Timing en golfvormen bij een schrijf cyclus (zowel voor 4C1024 als voor 4C1025).



Figuur 8/3.3-122: Timing van een vroege schrijf cyclus "early write" (voor 4C1024 en 4C1025).



Figuur 8/3.3-121: Schakeltijden en golfvormen bij een lees-schrijf of lees-modificeer-schrijf cyclus (4C1024 en 4C1025).



Figuur 8/3.3-123: Timing bij het uitlezen van de 4C1024 of 4C1025.

Bij een vertraagde- of een lees-modificeer-schrijf cyclus zal $\overline{CAS}$ reeds LAAG zijn, zodat de data dan door $\overline{W}$ wordt ingeklokt.

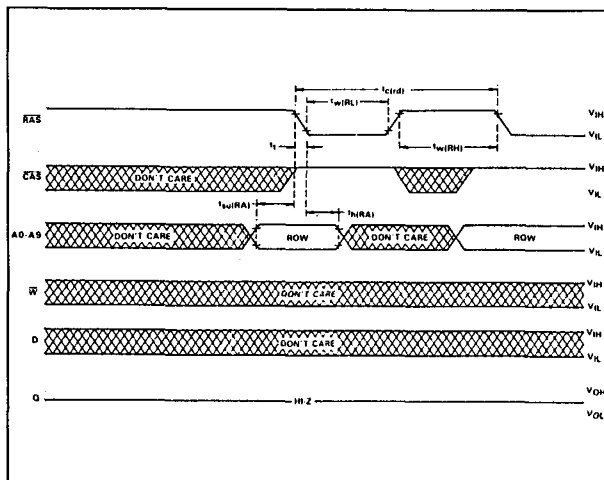
- Data-out (D)

  De niet-geïnverteerde 3-state uitgangsbuffer is direct TTL-compatibel (geen optrekweerstand nodig). De uitgang zweeft

(is hoog-impedant) totdat CAS LAAG wordt.
Bij een lees cyclus wordt de uitgang $t_{a(C)}$ ns na de dalende flank van CAS geldig als tenminste aan $t_{a(R)}$ en $t_{a(CA)}$ wordt voldaan (zie figuur 8/3.3-123). Het uitgangssignaal blijft "waar" zolang CAS LAAG is. Het HOOG gaan van CAS brengt de uitgang weer in de hoog-impedante toestand. Bij een vertraagde schrijf- of lees-modificeer-schrijf cyclus verandert de uitgang op dezelfde manier als bij een lees cyclus.

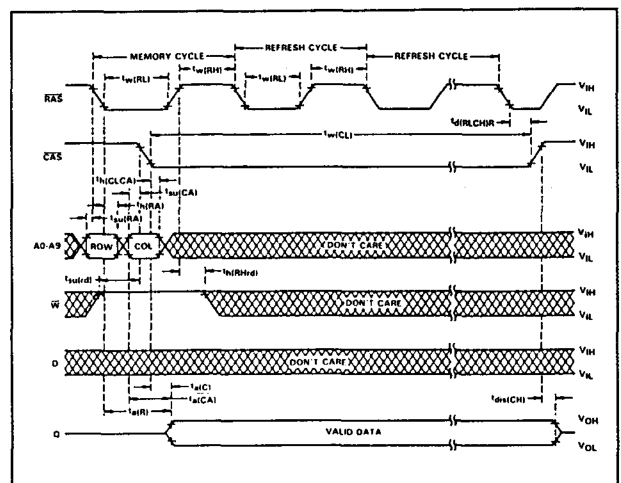
Refresh

Om te voorkomen dat de data verloren gaat moet ten minste elke 8 ms een verversing (refresh) worden uitgevoerd. Dit kan worden gedaan door alle 512 rijen (A0 tot en met A8) te stroben.
Door een normale lees of schrijf cyclus worden alle bits in de geselecteerde rij ververst. Door CAS op het niet-aktieve HOGE niveau te houden kan een RAS-only operatie worden uitgevoerd (zie figuur 8/3.3-124). Doordat de uitgangsbuffer dan in de hoog-impedante toestand blijft wordt minder vermogen gedissipeerd. Voor een RAS-only refresh moeten extern opgewekte adressen worden gebruikt.



Figuur 8/3.3-124: Timing bij een "RAS-only" refresh van de 4C1024, 4C1025 en 4C1027.

Terwijl geldige data op de uitgangspen staat kan een verborgen refresh (hidden refresh) worden uitgevoerd (zie figuur 8/3.3-125).
Dit wordt gedaan door CAS na een lees-operatie LAAG te houden en RAS na een gespecificeerde voorlaadtijd om te schakelen (zoals ook bij een RAS-only refresh cyclus gebeurt).



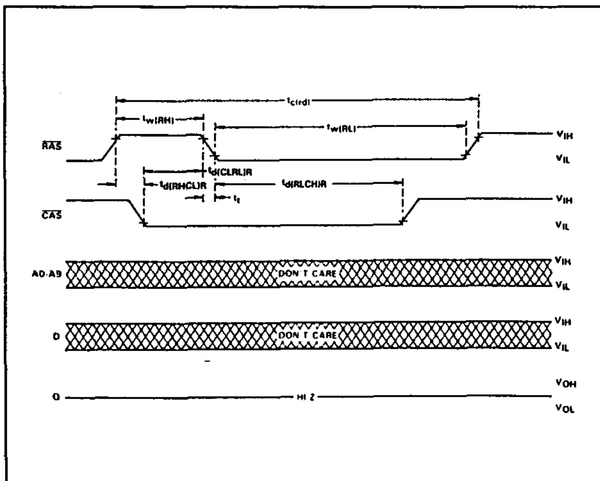
Figuur 8/3.3-125: Timing van een "verborgen refresh" cyclus van de 4C1024, 4C1025 en 4C1027.

– CAS-voor-RAS refresh
  De automatische CAS-voor-RAS refresh (figuur 8/3.3-126) wordt uitgevoerd door CAS eerder LAAG te maken dan RAS (zie parameter $t_{d(CLRL)R}$) en LAAG te houden na het dalen van RAS (zie parameter $t_{d(RLCH)R}$). Bij elkaar opvolgende CAS-voor-RAS refresh cycli mag CAS LAAG blijven, terwijl RAS telkens omgeschakeld wordt. Hierbij wordt het externe adres genegeerd omdat het refresh-adres inwendig wordt opgewekt. Ook tijdens de verborgen refresh wordt het externe adres genegeerd.

Power-up

Om gegarandeerd goed te werken moet na inschakeling van de voedingsspanning een pauze van 200 µs in acht worden genomen, gevolgd door minimaal acht initialisatie-cycli.

3.3 Type-beschrijving



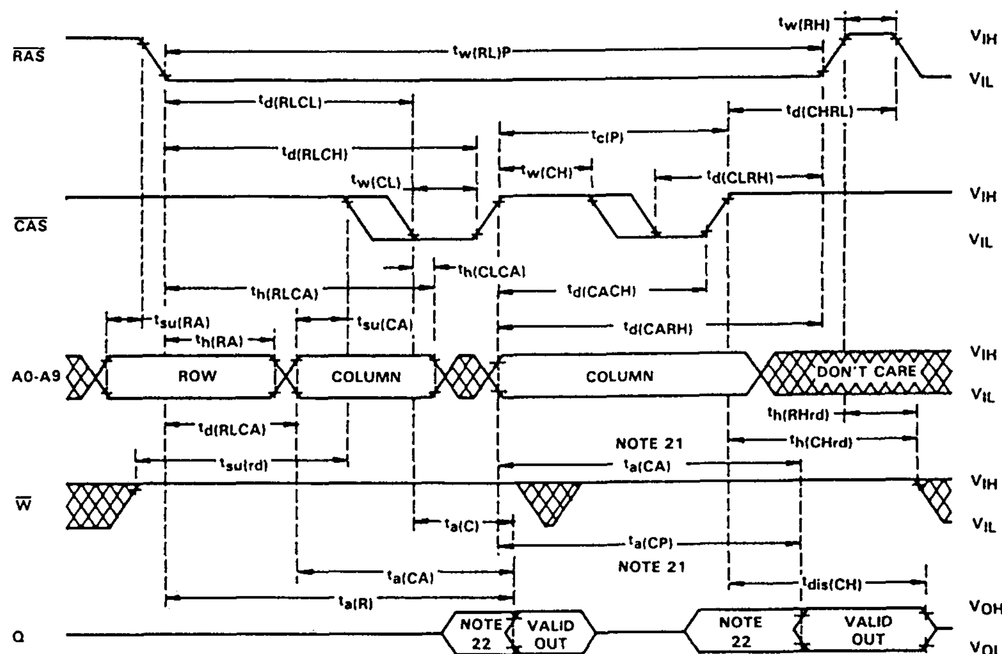
Figuur 8/3.3-126: Automatische $\overline{CAS}$-voor-$\overline{RAS}$ refresh cyclus van de 4C1024, 4C1025 en 4C1027.

Testfunctie-pen

De testfunctie-pen TF moet tijdens normaal gebruik "open" worden gelaten of HOOG zijn (maximaal gelijk aan V_{CC}).

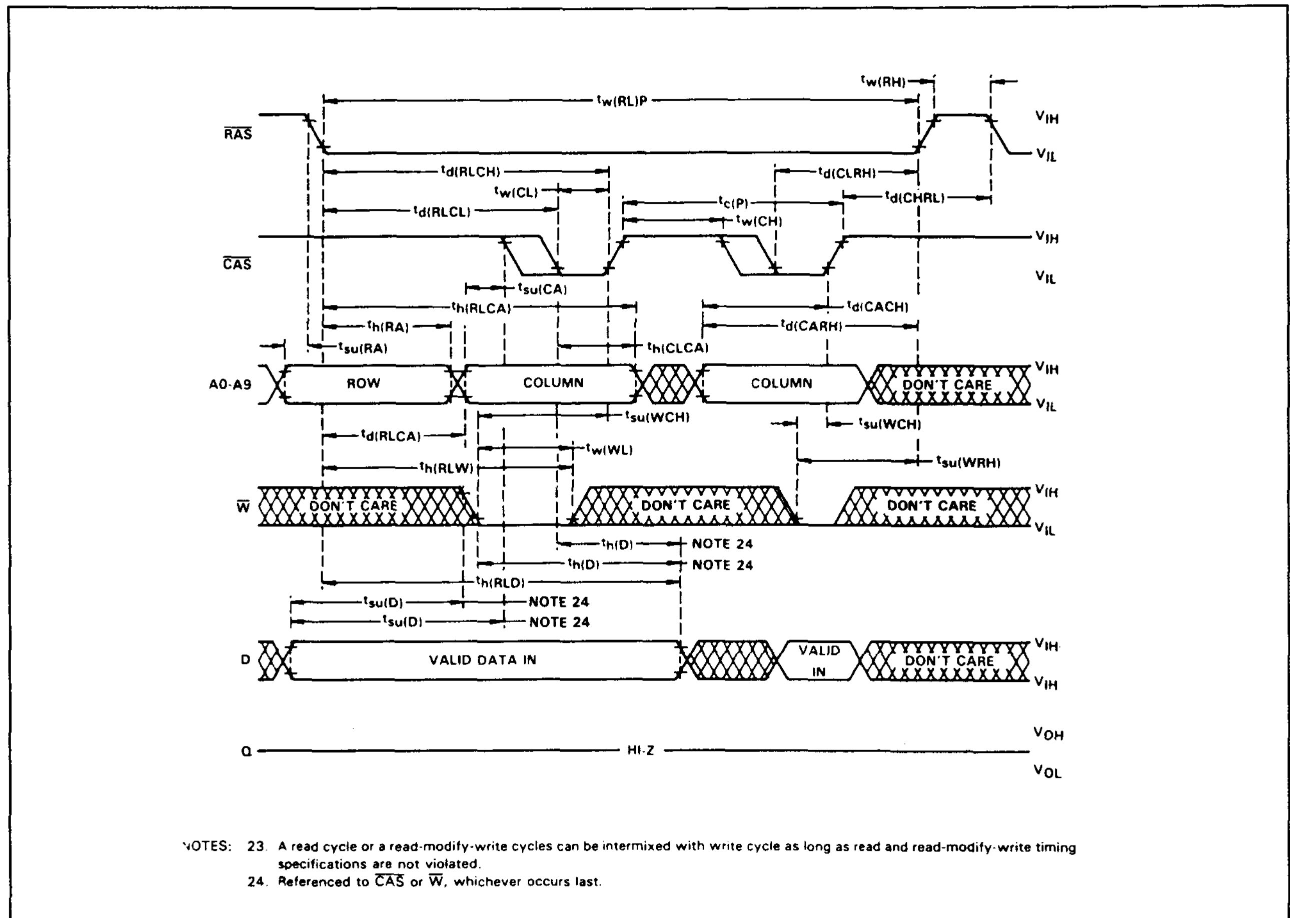
Verbeterde page-mode

Werken in de verbeterde page-mode maakt snellere toegang tot het geheugen mogelijk. Hierbij blijft het rij-adres hetzelfde, terwijl willekeurige kolom-adressen worden ingeklokt. Er wordt dus geen tijd verloren met het kiezen en vasthouden van rij-adressen en multiplexen van adressen (figuren 8/3.3-127, -128 en -129).



Figuur 8/3.3-127: Golfvormen en timing bij uitlezen van de 4C1024 in de enhanced page-mode.

3.3 Type-beschrijving

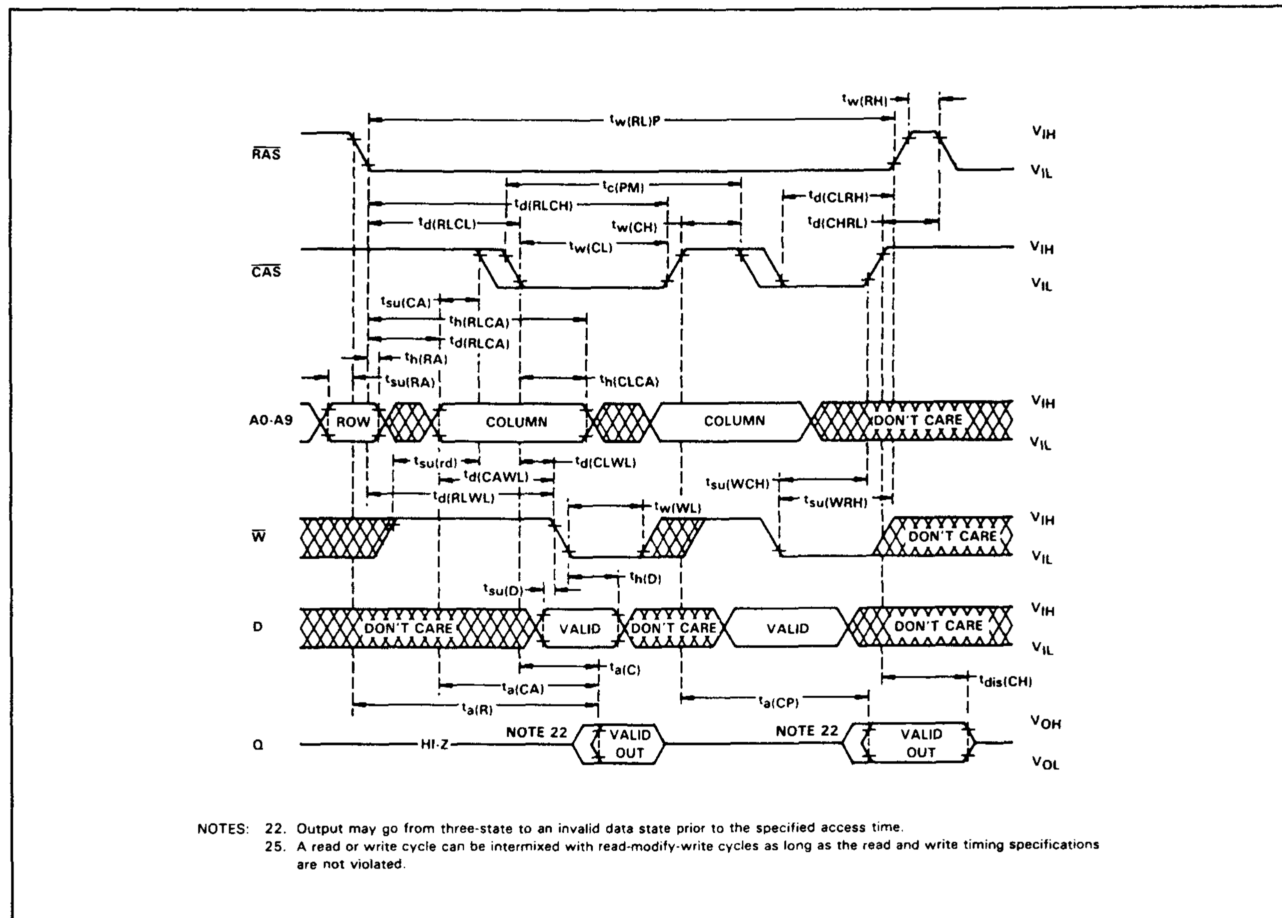


Figuur 8/3.3-128: Schakeltijden bij beschrijven van de 4C1024 in de enhanced page-mode.

Het maximale aantal kolommen dat kan worden bereikt is afhankelijk van de tijd dat RAS LAAG is en van de door de CAS page-mode gebruikte cyclustijd. Met een minimale CAS page-mode cyclustijd kunnen alle 1024 kolommen worden bereikt die door het kolomadres (A0 tot en met A9) worden gespecificeerd zonder tussenkomst van RAS-cycli.

In tegenstelling tot conventionele page-mode DRAM's worden de kolom-adresbuffers in dit geheugen aktief op de dalende flank van RAS. Zolang CAS HOOG is werken de buffers als transparante of doorstroom (flow-through) latches. Op de dalende flank van CAS worden de kolomadressen gelatched. Deze eigenschap stelt de 4C1024 in staat met een grotere data-bandbreedte te werken dan conventionele page-mode DRAM's omdat het terugzoeken van data al begint op het moment dat het kolomadres geldig is en niet pas bij het LAAG gaan van CAS. Deze verbetering werking wordt "verbeterde page-mode" (enhanced page-mode) genoemd. Onmiddellijk na de houdtijd van het rijadres mag een geldig kolomadres worden aangeboden. Dit gebeurt meestal ruim voor de dalende flank van CAS. In dit geval komt data na $t_{a(C)max}$ (toegangstijd vanaf het LAAG worden van CAS) beschikbaar, als aan $t_{a(CA)max}$ (toegangstijd vanaf het kolomadres) wordt voldaan. Voor het geval dat kolomadressen voor de volgende pagina cyclus geldig zijn op het moment dat CAS HOOG gaat, wordt de toegangstijd voor de volgende cyclus bepaald door de laatst optredende $t_{a(C)}$ of $t_{a(CP)}$ (toegangstijd vanaf de stijgende flank van CAS.

3.3 Type-beschrijving



Figuur 8/3.3-129: Timing van een lees-modificeer-schrijf cyclus voor de 4C1024 in de enhanced page-mode.

absolute maximum ratings over operating free-air temperature range

Voltage range on any pin	−1 V to 7 V
Voltage range on V_{CC}	−1 V to 7 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/3.3-52: Maximaal toegelaten waarden voor de 4C1024, 4C1025 en 4C1027.

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2.4		6.5	V
V_{IL}	Low-level input voltage (see Note 2)	−1		0.8	V
T_A	Operating free-air temperature	0		70	°C

Tabel 8/3.3-53: Aanbevolen bedrijfscondities voor de 4C1024, 4C1025 en 4C1027.

Overige kenmerken

In de tabellen 8/3.3-52 tot en met 8/3.3-55 zijn de gemeenschappelijke elektrische en timing karakteristieken van de TMS 4C1024, TMS 4C1025 en TMS 4C1027 van Texas Instruments vermeld.

De tabellen 8/3.3-56 en -57 gelden alleen voor de 4C1024 en hebben betrekking op de figuren 8/3.3-120 tot en met 8/3.3-129.

3.3 Type-beschrijving

electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TMS4C1024-10 TMS4C1025-10 TMS4C1027-10		TMS4C1024-12 TMS4C1025-12 TMS4C1027-12		TMS4C1024-15 TMS4C1025-15 TMS4C1027-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA		0.4		0.4		0.4	V
I_I	Input current (leakage)	V_I = 0 V to 6.5 V, V_{CC} = 5.5 V, All other pins = 0 V to V_{CC}		±10		±10		±10	µA
I_O	Output current (leakage)	V_O = 0 V to V_{CC}, V_{CC} = 5.5 V, $\overline{CAS}$ high		±10		±10		±10	µA
I_{CC1}	Read or write cycle current	Minimum cycle, V_{CC} = 5.5 V		70		60		55	mA
I_{CC2}	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, V_{IH} = 2.4 V		3		3		3	mA
I_{CC3}	Average refresh current	Minimum cycle, V_{CC} = 5.5 V, $\overline{RAS}$ cycling, $\overline{CAS}$ high		65		55		50	mA
I_{CC4}	Average page current (TMS4C1024)	$t_{c(P)}$ = minimum, V_{CC} = 5.5 V, $\overline{RAS}$ low, $\overline{CAS}$ cycling		45		35		30	mA

Tabel 8/3.3-54: Gelijkspanningskarakteristieken voor verschillende (snelheids-)versies van de 4C1024.

capacitance over recommended supply voltage range and operating free-air temperature range, f = 1 MHz *(see Note 3)*

PARAMETER		MIN	MAX	UNIT
$C_{i(A)}$	Input capacitance, address inputs		6	pF
$C_{i(D)}$	Input capacitance, data input		5	pF
$C_{i(RC)}$	Input capacitance, strobe inputs		7	pF
$C_{i(W)}$	Input capacitance, write-enable input		7	pF
C_o	Output capacitance		7	pF

NOTE 3: V_{CC} equal to 5.0 V ± 0.5 V and the bias on pins under test is 0.0 V.

Tabel 8/3.3-55: Capaciteiten bij 1 MHz.

switching characteristics over recommended supply voltage range and operating free-air temperature

PARAMETER		ALT. SYMBOL	TMS4C102_-10		TMS4C102_-12		TMS4C102_-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$ low†	t_{CAC}		25		30		40	ns
$t_{a(CA)}$	Access time from column-address†	t_{CAA}		45		55		70	ns
$t_{a(R)}$	Access time from $\overline{RAS}$ low†	t_{RAC}		100		120		150	ns
$t_{a(CP)}$	Access time from column precharge (TMS4C1024 only)	t_{CAP}		50		60		75	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high (see Note 4)†	t_{OFF}	0	25	0	30	0	35	ns

†Parameters apply uniformly to TMS4C1024, TMS4C1025, TMS4C1027.
NOTE 4: $t_{dis(CH)}$ is specified when the output is no longer driven.

Tabel 8/3.3-56: Schakeltijden van verschillende (snelheids-)versies van de 4C1024.

4C1025 (511001)

1M x 1 DRAM (4-bit nibble-mode)

De 4C1025 is, net als de 4C1024, een 1 MB dynamisch rondom toegankelijk uitlees- en beschrijfbaar geheugen (DRAM) met een 1048576 x 1 bit organisatie. De 4C1025 kan echter in een 1- tot 4-bit nibble-mode worden gebruikt. Net als de in de equivalentenlijst genoemde typen wordt de 4C1025 in CMOS-technologie vervaardigd.

Voor de beschrijving van dit type DRAM wordt de TMS 4C1025 van Texas Instruments genomen. De TMS 4C1025 is leverbaar met verschillende toegangstijden (100, 120 en 150 ns).
Sommige equivalente typen zijn zelfs nog sneller (de MCM 511001A heeft bijvoorbeeld 70, 80 en 100 ns $\overline{RAS}$ toegangstijd).

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

		ALT. SYMBOL	TMS4C1024-10 MIN	TMS4C1024-10 MAX	TMS4C1024-12 MIN	TMS4C1024-12 MAX	TMS4C1024-15 MIN	TMS4C1024-15 MAX	UNIT
$t_{c(rd)}$	Read cycle time (see Note 6)	t_{RC}	190		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	190		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	220		255		305		ns
$t_{c(P)}$	Page-mode read or write cycle time (see Note 7)	t_{PC}	55		65		80		ns
$t_{c(PM)}$	Page-mode read-modify-write cycle time	t_{PCM}	85		100		125		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high	t_{CP}	10		15		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low (see Note 8)	t_{CAS}	25	10,000	30	10,000	40	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge)	t_{RP}	80		90		100		ns
$t_{w(RL)}$	Non-page-mode pulse duration, $\overline{RAS}$ low (see Note 9)	t_{RAS}	100	10,000	120	10,000	150	10,000	ns
$t_{w(RL)P}$	Page-mode pulse duration, $\overline{RAS}$ low (see Note 9)	t_{RASP}	100	100,000	120	100,000	150	100,000	ns
$t_{w(WL)}$	Write pulse duration	t_{WP}	15		20		25		ns
$t_{su(CA)}$	Column-address setup time before $\overline{CAS}$ low	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row-address setup time before $\overline{RAS}$ low	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time (see Note 10)	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read setup time before $\overline{CAS}$ low	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	$\overline{W}$-low setup time before $\overline{CAS}$ low (see Note 11)	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	$\overline{W}$-low setup time before $\overline{CAS}$ high	t_{CWL}	25		30		40		ns
$t_{su(WRH)}$	$\overline{W}$-low setup time before $\overline{RAS}$ high	t_{RWL}	25		30		40		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	20		20		25		ns
$t_{h(RA)}$	Row-address hold time after $\overline{RAS}$ low	t_{RAH}	15		15		20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low (see Note 12)	t_{AR}	70		80		100		ns
$t_{h(D)}$	Data hold time (see Note 10)	t_{DH}	20		25		30		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low (see Note 12)	t_{DHR}	70		85		110		ns
$t_{h(CHrd)}$	Read hold time after $\overline{CAS}$ high (see Note 15)	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read hold time after $\overline{RAS}$ high (see Note 15)	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write hold time after $\overline{CAS}$ low (see Note 11)	t_{WCH}	20		25		30		ns
$t_{h(RLW)}$	Write hold time after $\overline{RAS}$ low (see Note 12)	t_{WCR}	70		85		100		ns
$t_{d(RLCH)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
$t_{d(CHRL)}$	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
$t_{d(CLRH)}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	25		30		40		ns
$t_{d(CLWL)}$	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (see Note 13)	t_{CWD}	25		30		40		ns
$t_{d(RLCL)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (see Note 14)	t_{RCD}	25	80	25	95	30	115	ns
$t_{d(RLCA)}$	Delay time, $\overline{RAS}$ low to column-address (see Note 14	t_{RAD}	20	55	20	65	25	80	ns
$t_{d(CARH)}$	Delay time, column-address to $\overline{RAS}$ high	t_{RAL}	45		55		70		ns
$t_{d(CACH)}$	Delay time, column-address to $\overline{CAS}$ high	t_{CAL}	45		55		70		ns
$t_{d(RLWL)}$	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (see Note 13)	t_{RWD}	100		120		150		ns
$t_{d(CAWL)}$	Delay time, column address to $\overline{W}$ low (see Note 13)	t_{AWD}	45		55		70		ns
$t_{d(RLCH)R}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high, (see Note 16)	t_{CHR}	25		25		30		ns
$t_{d(CLRL)R}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low, (see Note 16)	t_{CSR}	10		10		15		ns
$t_{d(RHCL)R}$	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low	t_{RPC}	0		0		0		ns
t_{rf}	Refresh time interval	t_{REF}		8		8		8	ms
t_t	Transition time	t_T	3	50	3	50	3	50	ns

NOTES:

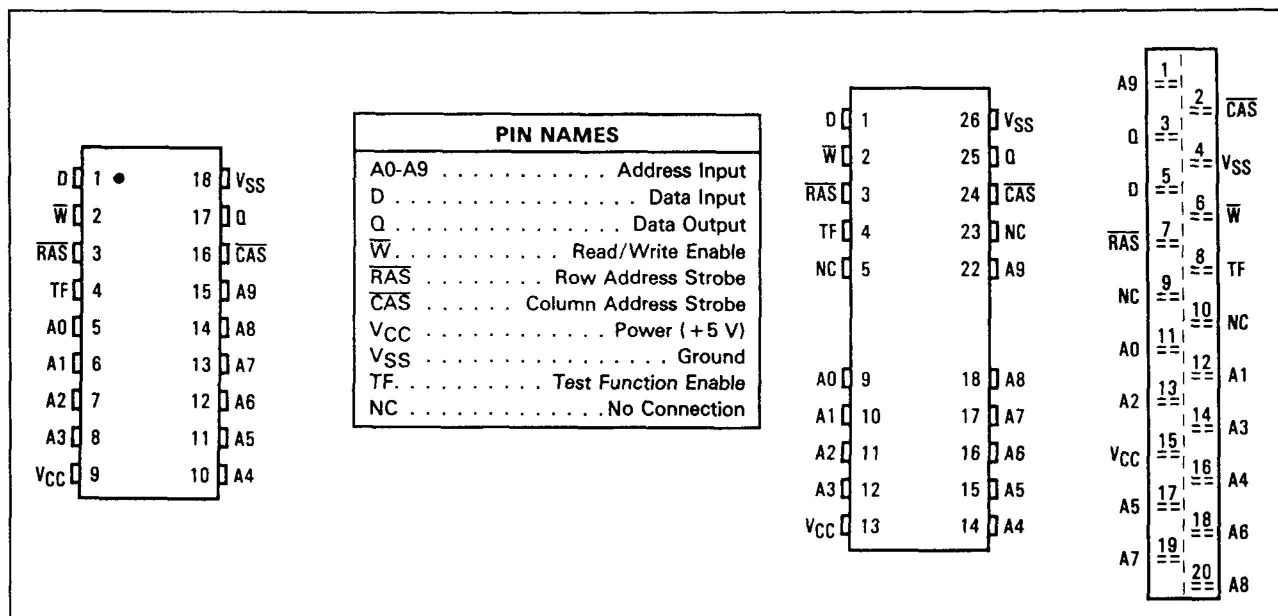
5. Timing measurements in this table are referenced to V_{IL} max and V_{IH} min.
6. All cycle times assume t_t = 5 ns.
7. To guarantee $t_{c(P)}$ min, $t_{su(CA)}$ should be greater than or equal to $t_{w(CH)}$.
8. In a read-modify-write cycle, $t_{d(CLWL)}$ and $t_{su(WCH)}$ must be observed.
9. In a read-modify-write cycle, $t_{d(RLWL)}$ and $t_{su(WRH)}$ must be observed.
10. Referenced to the later of $\overline{CAS}$ or $\overline{W}$ in write operations.
11. Early write operation only.
12. The minimum value is measured when $t_{d(RLCL)}$ is set to $t_{d(RLCL)}$ min as a reference.
13. Read-modify-write operation only.
14. Maximum value specified only to guarantee access time.
15. Either $t_{h(RHrd)}$ or $t_{h(CHrd)}$ must be satisfied for a read cycle.
16. $\overline{CAS}$-before-$\overline{RAS}$ refresh only.

Tabel 8/3.3-57: Overzicht van alle schakeltijden bij de 4C1024.

Specificaties

- 1048576 x 1 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- gescheiden data in- en uitgang
- 4-bit nibble-mode werking
- bestuurbaar met 74ALS6301 en/of 74ALS6302 DRAM-controllers

3.3 Type-beschrijving



Figuur 8/3.3-130: Aansluitingen van de 18-pens DIL, 20/26-pens SOJ- en 20-pens ZIP-versies van de 4C1025.

- 512 cyclus refresh in 8 ms
- RAS-Only refresh, hidden refresh en CAS-before-RAS refresh
- behuizing:
  18-pens 0,3" plastic DIL en 20/26-pens 0,3" surface mount (SOJ) behuizing en 20-pens ZIP (figuur 8/3.3-130)

Werking

- Adreslijnen A0 tot en met A9
  Voor het decoderen van alle 1048576 geheugenlokaties zijn eigenlijk 20 adresbits nodig. Bij de 4C1025 wordt dit als volgt opgelost.
  Eerst worden de tien rij-adresbits op de adresingangen A0 tot en met A9 gezet en met de Row-Address Strobe (RAS) ingeklokt. Vervolgens worden de tien kolomadresbits op dezelfde adres-ingangen gezet en door middel van de Column-Address Strobe (CAS) ingeklokt (zie figuur 8/3.3-131). Alle adressen dienen uiterlijk op de dalende flank van RAS en CAS stabiel te zijn. RAS heeft de eigenschappen van een chip-enable, omdat hiermee zowel de sense-versterkers als de rij-decoder aktief worden gemaakt.

CAS dient als chip-select om de uitgangsbuffer te aktiveren en de adresbits in de kolom-adresbuffer te latchen.
De functies Write enable (W), Data-in (D) (figuren 8/3.3-120, -121 en -122), Data-out (D) (figuur 8/3.3-123), Refresh (figuren 8/3.3-124, -125 en -126), Power-up en Testfunctie-pen zijn bij de 4C1024 reeds uitvoerig beschreven.

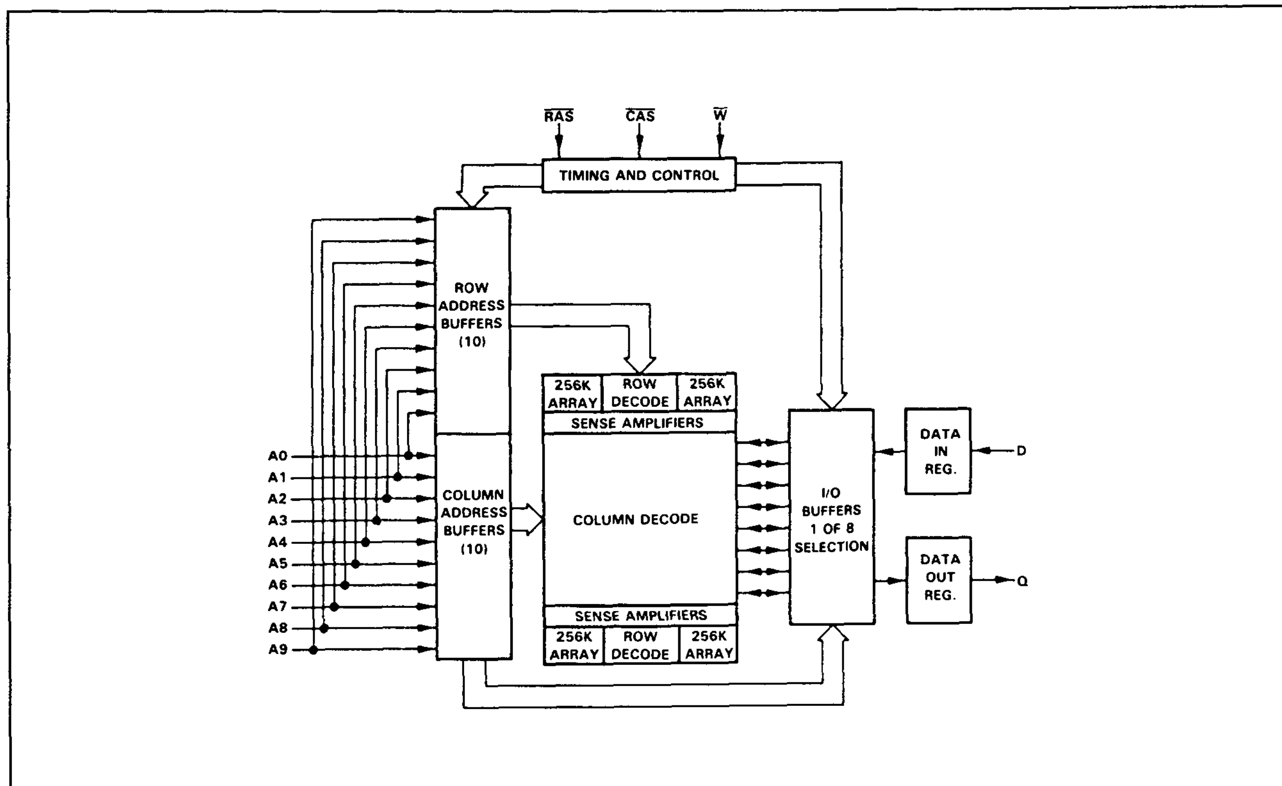
Nibble-mode

De nibble-mode maakt snelle lees-, schrijf- en lees-modificeer-schrijf operaties mogelijk met 1 tot 4 bits data. Toegang tot de eerste bit wordt op de normale wijze verkregen, waarbij data op het tijdstip $t_{a(C)}$ beschikbaar komt, als tenminste aan $t_{a(R)}$ en $t_{a(CA)}$ wordt voldaan (zie de figuren 8/3.3-133, -134 en -135).

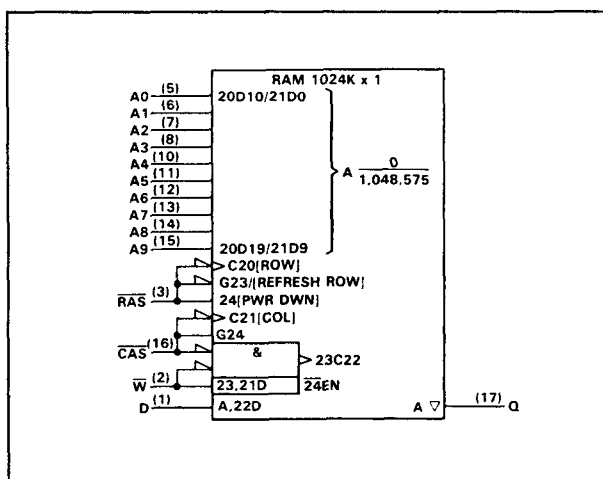
De volgende sequentiële bits kunnen worden uitgelezen of ingeschreven door CAS om te schakelen terwijl RAS LAAG blijft. De eerste bit wordt bepaald door de rij- en kolomadressen die alleen nodig zijn voor de eerste toegang. Rij A9 en kolom A9 leveren de twee binaire bits voor de initiële selectie

3.3 Type-beschrijving

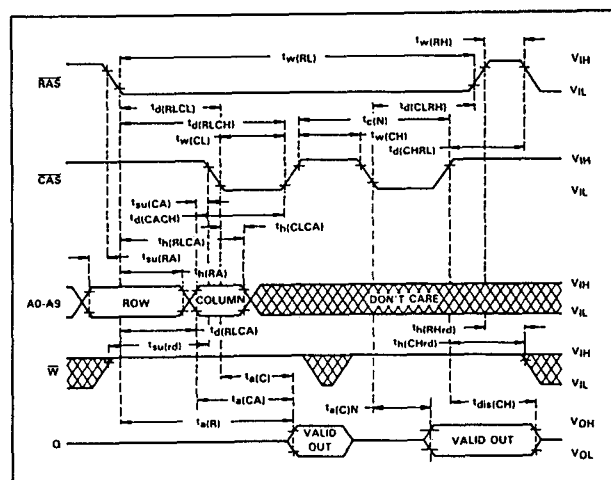
(rij A9 is hierbij het minst-belangrijke adres en kolom A9 het meest-belangrijke). Daarna wordt de volgende bit van de rondgaande 4-bit nibble op de dalende flank van $\overline{CAS}$ bereikt, zoals te zien is in figuur 8/3.3-136.



Figuur 8/3.3-131: Functioneel blokschema van de 4C1025.

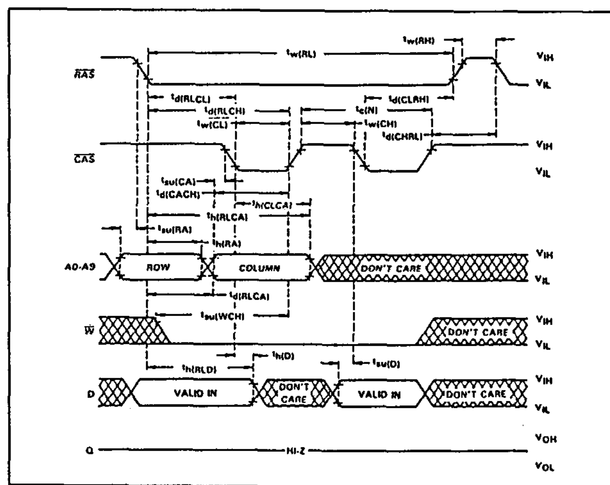


Figuur 8/3.3-132: Logisch symbool van de 4C1025.

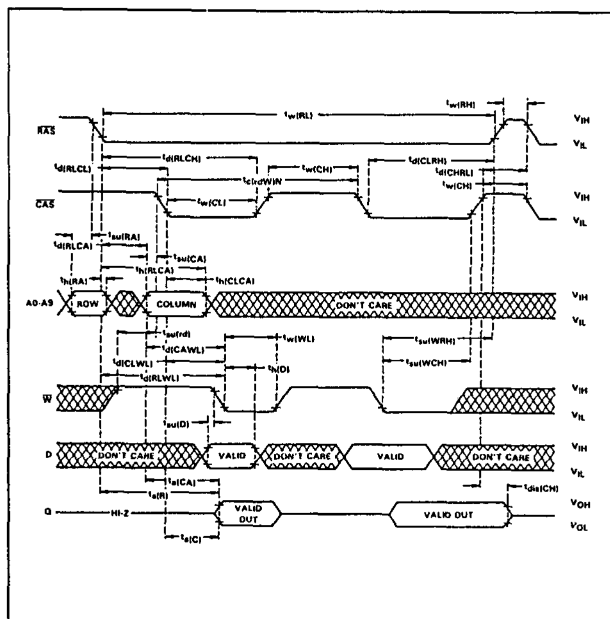


Figuur 8/3.3-133: Timing van een lees cyclus van de 4C1025 in de nibble-mode.

3.3 Type-beschrijving

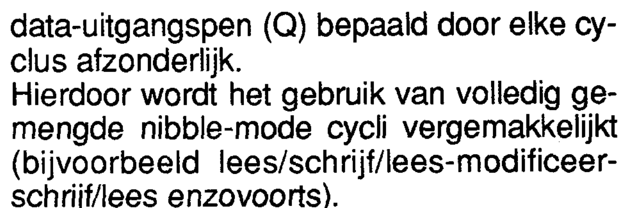


Figuur 8/3.3-134: Golfvormen bij schrijven naar de 4C1025 in de nibble-mode.



Figuur 8/3.3-135: Timing en golfvormen bij een lees-modificeer-schrijf cyclus voor de 4C1025 in de nibble-mode.

Data die in een volgorde van meer dan 4 opeenvolgende cycli wordt ingeschreven kan weer worden uitgelezen zonder de nibble-mode te verlaten. In een serie opeenvolgende nibble-mode cycli wordt de regeling van de hoog-impedante toestand van de data-uitgangspen (Q) bepaald door elke cyclus afzonderlijk.
Hierdoor wordt het gebruik van volledig gemengde nibble-mode cycli vergemakkelijkt (bijvoorbeeld lees/schrijf/lees-modificeer-schrijf/lees enzovoorts).



Figuur 8/3.3-136: Sequentiële toegang tot de 4-bit nibble.

Overige kenmerken
In de tabellen 8/3.3-52, -53 en -55 zijn de gemeenschappelijke elektrische en timing karakteristieken van de TMS 4C1024, TMS 4C1025 en TMS 4C1027 van Texas Instruments vermeld. De tabellen 8/3.3-58, -59 en -60 gelden alleen voor de 4C1025 evenals de figuren 8/3.3-133 tot en met 8/3.3-136.

4C1027 (511002)
1M x 1 DRAM (statische kolom decodeer-mode)

Ook de 4C1027 is, evenals de 4C1024, een 1 MB dynamisch, vrij toegankelijk lees- en beschrijfbaar geheugen (DRAM) met een 1048576 x 1 bit organisatie. De 4C1027 kan voor snelle toegankelijkheid in de zogenaamde statische kolom decodeer-mode worden gebruikt. Net als alle in de equivalentenlijst genoemde typen wordt de 4C1027 in CMOS-technologie vervaardigd. Als leidraad voor de beschrijving van dit type DRAM wordt de TMS 4C1027 van Texas Instruments genomen. De TMS 4C1027 is leverbaar in versies met verschillende toegangstijden (100, 120 en 150 ns). Sommige equivalente typen kunnen sneller zijn (zoals de TC 511002P-85 die een toegangstijd van 85 ns heeft.

3.3 Type-beschrijving

electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TMS4C1024-10 TMS4C1025-10 TMS4C1027-10		TMS4C1024-12 TMS4C1025-12 TMS4C1027-12		TMS4C1024-15 TMS4C1025-15 TMS4C1027-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	$I_{OH} = -5$ mA	2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	$I_{OL} = 4.2$ mA		0.4		0.4		0.4	V
I_I	Input current (leakage)	$V_I = 0$ V to 6.5 V, $V_{CC} = 5.5$ V, All other pins = 0 V to V_{CC}		±10		±10		±10	μA
I_O	Output current (leakage)	$V_O = 0$ V to V_{CC}, $V_{CC} = 5.5$ V, $\overline{CAS}$ high		±10		±10		±10	μA
I_{CC1}	Read or write cycle current	Minimum cycle, $V_{CC} = 5.5$ V		70		60		55	mA
I_{CC2}	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, $V_{IH} = 2.4$ V		3		3		3	mA
I_{CC3}	Average refresh current	Minimum cycle, $V_{CC} = 5.5$ V, $\overline{RAS}$ cycling, $\overline{CAS}$ high		65		55		50	mA
I_{CC5}	Average nibble current (TMS4C1025)	$t_{c(N)}$ = minimum, $V_{CC} = 5.5$ V, $\overline{RAS}$ low, $\overline{CAS}$ cycling for 4 cycles		45		40		30	mA

Tabel 8/3.3-58: Gelijkspanningskarakteristieken voor verschillende (snelheids-)versies van de 4C1025.

switching characteristics over recommended supply voltage range and operating free-air temperature range (see Figure 1)

PARAMETER		ALT. SYMBOL	TMS4C102_-10		TMS4C102_-12		TMS4C102_-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$ low†	t_{CAC}		25		30		40	ns
$t_{a(CA)}$	Access time from column-address†	t_{CAA}		45		55		70	ns
$t_{a(R)}$	Access time from $\overline{RAS}$ low†	t_{RAC}		100		120		150	ns
$t_{a(C)N}$	Access time from $\overline{CAS}$ low (TMS4C1025 only)	t_{NCAC}		20		25		35	ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high (see Note 4)†	t_{OFF}	0	25	0	30	0	35	ns

†Parameters apply uniformly to TMS4C1024, TMS4C1025, TMS4C1027.

Tabel 8/3.3-59: Schakeltijden van verschillende (snelheids-)versies van de 4C1025.

Specificaties

- 1048576 x 1 bit organisatie
- enkele +5 V voeding (+/-10 %)
- alle ingangen, uitgang en clocks TTL-compatibel
- niet-gelatchte 3-state uitgang
- gescheiden data in- en uitgang
- statische kolom decodeer-mode werking
- bestuurbaar met 74ALS6301 en/of 74ALS6302 DRAM-controllers
- 512 cyclus refresh in 8 ms
- $\overline{RAS}$-Only refresh, hidden refresh en $\overline{CAS}$-before-$\overline{RAS}$ refresh
- behuizing:
  18-pens 0,3" plastic DIL en 20/26-pens 0,3" surface mount (SOJ) behuizing en 20-pens ZIP (figuur 8/3.3-130)

Werking

- Adreslijnen A0 tot en met A9

Voor het decoderen van elk der 1048576 geheugenlokaties zijn eigenlijk 20 adresbits nodig.
Bij de 4C1027 worden eerst tien rij-adresbits op de adresingangen A0 tot en met A9 gezet en met het signaal Row-Address Strobe ($\overline{RAS}$) ingeklokt. Daarna worden tien kolom-adresbits op de pennen A0 tot en met A9 gezet en door middel van de Column-Address Strobe ($\overline{CAS}$) ingeklokt (zie figuur 8/3.3-138). De rij-adressen moeten uiterlijk op de dalende flank van $\overline{RAS}$ stabiel zijn.
$\overline{RAS}$ komt overeen met chip-enable, omdat hiermee zowel de sense-versterkers als de rij-decoder worden geaktiveerd.
Tijdens een schrijf cyclus klokt het laatstkomende signaal $\overline{CAS}$ of $\overline{W}$ de kolom-adres bits in.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

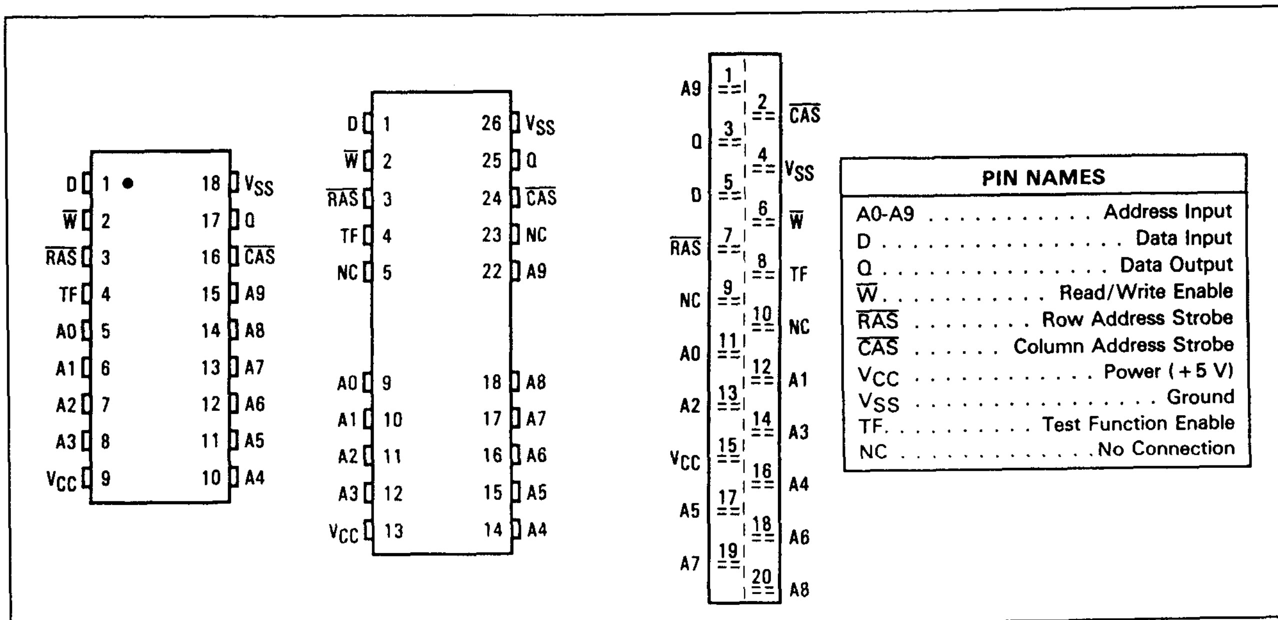
		ALT. SYMBOL	TMS4C1025-10 MIN	TMS4C1025-10 MAX	TMS4C1025-12 MIN	TMS4C1025-12 MAX	TMS4C1025-15 MIN	TMS4C1025-15 MAX	UNIT
$t_{c(rd)}$	Read cycle time (see Note 6)	t_{RC}	190		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	190		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	220		255		305		ns
$t_{c(N)}$	Nibble-mode read or write cycle time	t_{NC}	40		50		70		ns
$t_{c(rdW)N}$	Nibble-mode read-modify-write cycle time	t_{NRMW}	65		75		110		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high	t_{CP}	10		15		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low (see Note 8)	t_{CAS}	20	10,000	25	10,000	35	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge)	t_{RP}	80		90		100		ns
$t_{w(RL)}$	Pulse duration, $\overline{RAS}$ low (see Note 9)	t_{RAS}	100	10,000	120	10,000	150	10,000	ns
$t_{w(WL)}$	Write pulse duration	t_{WP}	15		20		25		ns
$t_{su(CA)}$	Column-address setup time before $\overline{CAS}$ low	t_{ASC}	0		0		0		ns
$t_{su(RA)}$	Row-address setup time before $\overline{RAS}$ low	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time (see Note 10)	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read setup time before $\overline{CAS}$ low	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	$\overline{W}$-low setup time before $\overline{CAS}$ low (see Note 11)	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	$\overline{W}$-low setup time before $\overline{CAS}$ high	t_{CWL}	20		25		35		ns
$t_{su(WRH)}$	$\overline{W}$-low setup time before $\overline{RAS}$ high	t_{RWL}	20		25		35		ns
$t_{h(CLCA)}$	Column-address hold time after $\overline{CAS}$ low	t_{CAH}	20		20		25		ns
$t_{h(RA)}$	Row-address hold time after $\overline{RAS}$ low	t_{RAH}	15		15		20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low (see Note 12)	t_{AR}	70		80		100		ns
$t_{h(D)}$	Data hold time (see Note 10)	t_{DH}	20		25		35		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low (see Note 12)	t_{DHR}	70		85		110		ns
$t_{h(CHrd)}$	Read hold time after $\overline{CAS}$ high	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read hold time after $\overline{RAS}$ high	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write hold time after $\overline{CAS}$ low (see Note 11)	t_{WCH}	20		25		30		ns
$t_{h(RLW)}$	Write hold time after $\overline{RAS}$ low (see Notes 11 and 12)	t_{WCR}	70		85		100		ns
$t_{d(RLCH)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
$t_{d(CHRL)}$	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
$t_{d(CLRH)}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	20		25		35		ns
$t_{d(CLWL)}$	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (see Note 13)	t_{CWD}	20		25		35		ns
$t_{d(RLCL)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (see Note 14)	t_{RCD}	25	80	25	95	30	115	ns
$t_{d(RLCA)}$	Delay time, $\overline{RAS}$ low to column-address (see Note 14)	t_{RAD}	20	55	20	65	25	80	ns
$t_{d(CARH)}$	Delay time, column-address to $\overline{RAS}$ high	t_{RAL}	45		55		70		ns
$t_{d(CACH)}$	Delay time, column-address to $\overline{CAS}$ high	t_{CAL}	45		55		70		ns
$t_{d(RLWL)}$	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (see Note 13)	t_{RWD}	100		120		150		ns
$t_{d(CAWL)}$	Delay time, column address to $\overline{W}$ low (see Note 13)	t_{AWD}	45		55		70		ns
$t_{d(RLCH)R}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high (see Note 16)	t_{CHR}	25		25		30		ns
$t_{d(CLRL)R}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low (see Note 16)	t_{CSR}	10		10		15		ns
$t_{d(RHCL)R}$	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low	t_{RPC}	0		0		0		ns
t_{rf}	Refresh time interval	t_{REF}		8		8		8	ms
t_t	Transition time	t_T	3	50	3	50	3	50	ns

NOTES:

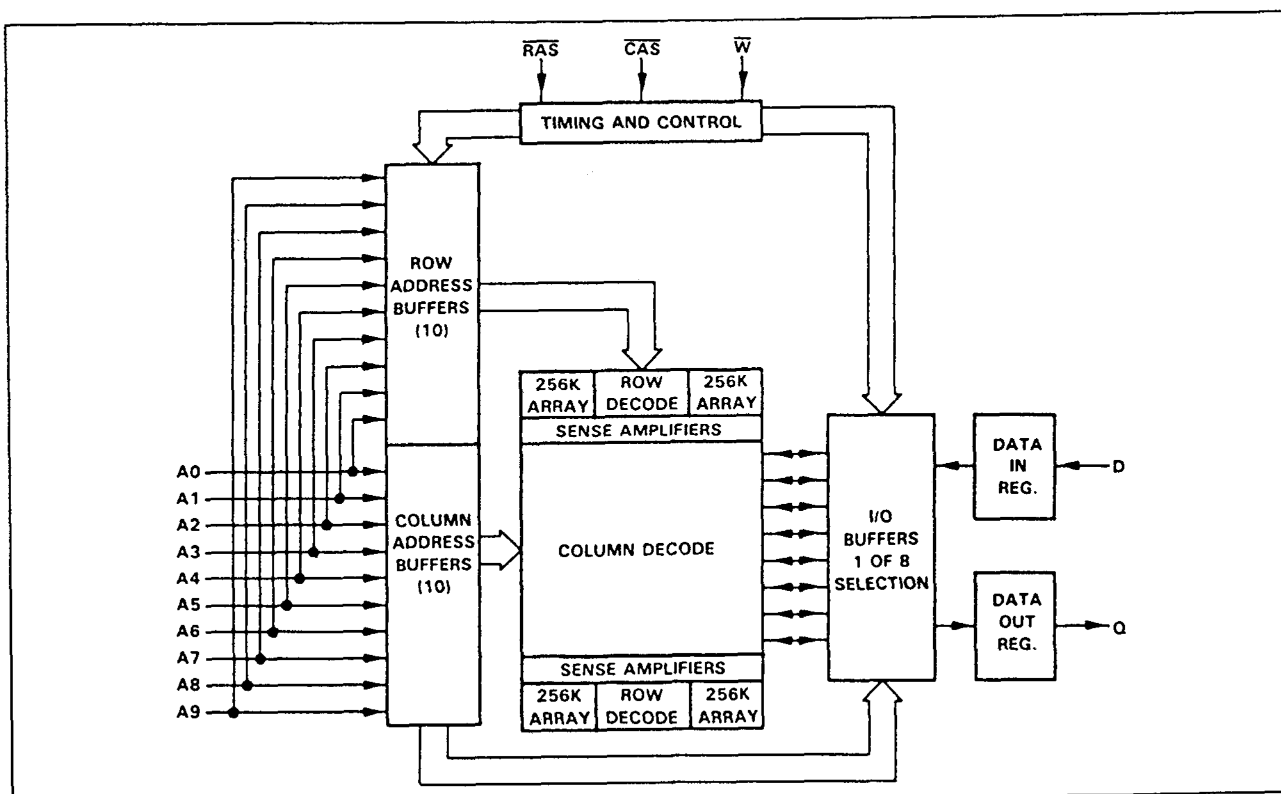
5. Timing measurements in this table are referenced to V_{IL} max and V_{IH} min.
6. All cycle times assume t_t = 5 ns.
8. In a read-modify-write cycle, $t_{d(CLWL)}$ and $t_{su(WCH)}$ must be observed.
9. In a read-modify-write cycle, $t_{d(RLWL)}$ and $t_{su(WRH)}$ must be observed.
10. Referenced to the later of $\overline{CAS}$ or $\overline{W}$ in write operations.
11. Early write operation only.
12. The minimum value is measured when $t_{d(RLCL)}$ is set to $t_{d(RLCL)}$ min as a reference.
13. Read-modify-write operation only.
14. Maximum value specified only to guarantee access time.
16. $\overline{CAS}$-before-$\overline{RAS}$ refresh only.

Tabel 8/3.3-60: Overzicht van alle schakeltijden bij de 4C1025.

3.3 Type-beschrijving

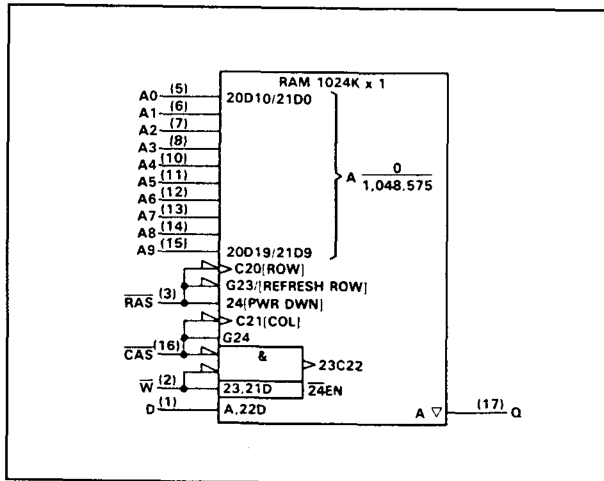


Figuur 8/3.3-137: Aansluitingen van de 18-pens DIL, 20/26-pens SOJ- en 20-pens ZIP-versies van de 4C1027.



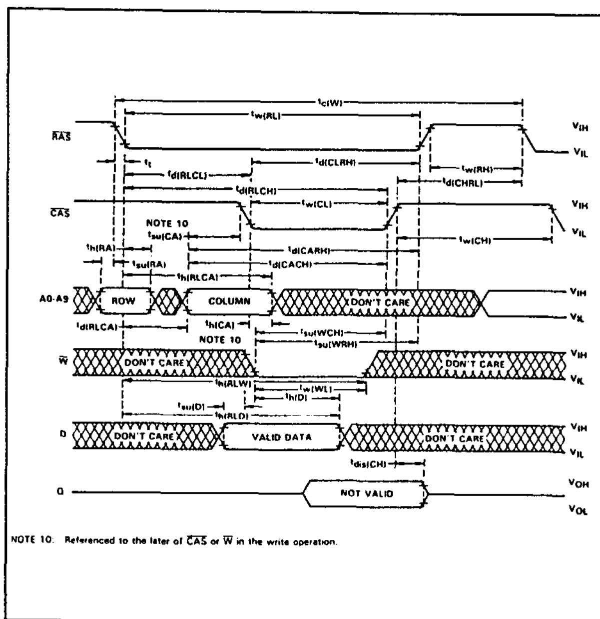
Figuur 8/3.3-138: Functioneel blokschema van de 4C1027.

3.3 Type-beschrijving

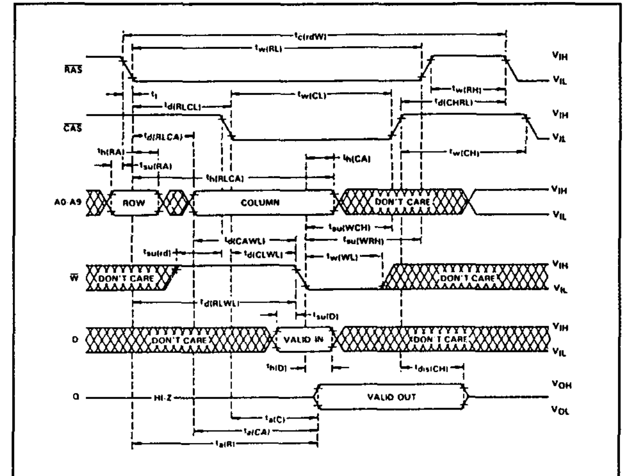


Figuur 8/3.3-139: Logisch symbool van de 4C1027.

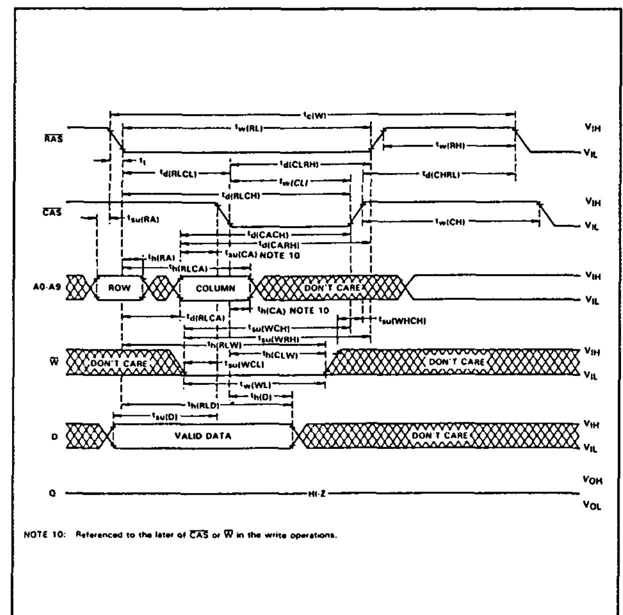
De functies Write enable ($\overline{W}$), Data-in (D), Data-out (D), Refresh (figuren 8/3.3-124, -125 en -126) en Power-up zijn bij de 4C1024 reeds uitvoerig beschreven.
Voor de 4C1027 moeten de figuren 8/3.3-120 tot en met 8/3.3-123 echter worden vervangen door respectievelijk de figuren 8/3.3-140, -141, -142 en -143.
De figuren 8/3.3-124 tot en met -126 blijven ook voor de 4C1027 geldig.



Figuur 8/3.3-140: Timing van een schrijf cyclus voor de 4C1027.



Figuur 8/3.3-141: Golfvormen en timing van een lees-modificeer- schrijf cyclus voor de 4C1027.



Figuur 8/3.3-142: Timing van een vroege schrijf cyclus voor de 4C1027.

Statische kolom decodeer-mode

Met de statische kolom decodeer-mode zijn snelle lees-, schrijf- en lees-modificeer-schrijf handelingen mogelijk doordat hiermee minder tijd wordt besteed aan setup-, hold- en overdrachts-timingen. Deze tijdsbesparing wordt bereikt door eerst de rij en de

3.3 Type-beschrijving

kolom op de normale manier te adresseren, maar na de eerste toegang CAS LAAG te houden. Door achtereenvolgens het kolom-adres te veranderen wordt op het tijdstip $t_{a(CA)}$ geldige data geproduceerd. De eerste bit wordt op de normale wijze bereikt, waarbij data op $t_{a(R)}$ kan worden uitgelezen.
Op overeenkomstige manier kunnen schrijf- of lees-modificeer-schrijf cycli worden uitgevoerd door W op de juiste wijze op en neer te schakelen. Bij schrijf-operaties worden de adressen weliswaar gelatched, maar bij het beëindigen van de interne schrijfhandeling worden de adressen weer vrijgemaakt.

Test-mode

De interne organisatie van de geheugens uit deze familie (4C1024, 4C1025 en 4C1027) in 4 banken van 256 kB maakt het mogelijk dat deze geheugens worden getest alsof het 256 kB x 1 DRAM's waren. In de test-mode worden slechts 9 van de 10 adreslijnen (A0 tot en met A8) gebruikt, A9 wordt inwendig losgekoppeld. Bij een schrijf cyclus in de test-mode wordt data parallel in een bit van elk van de vier 256 kB x 1 blokken (B0 tot en met B3) geschreven.

Figuur 8/3.3-143: Golfvormen en schakeltijden bij een lees cyclus van de 4C1027.

Bij een test-mode lees cyclus vindt het omgekeerde plaats. Er wordt een bit uit elk van de vier blokken uitgelezen. Indien alle vier bits dezelfde data bevatten is Q (data-uit) gelijk aan alle vier bits.
Als de data niet gelijk is in alle vier bits is Q hoog-impedant (zie de waarheidstabel 8/3.3-61 en figuur 8/3.3-150).

Figuur 8/3.3-144: Timing van een lees cyclus van de 4C1027 in de statische kolom decodeer-mode met periodiek omschakelen van CAS.

Figuur 8/3.3-145: Timing van een lees cyclus van de 4C1027 in de statische kolom decodeer-mode met LAAG gehouden CAS.

3.3 Type-beschrijving

Figuur 8/3.3-146: Timing van een vroege schrijf cyclus voor de 4C1027 in de statische kolom decodeer-mode.

Figuur 8/3.3-147: Golfvormen bij schrijven naar de 4C1027 in de statische kolom decodeer-mode.

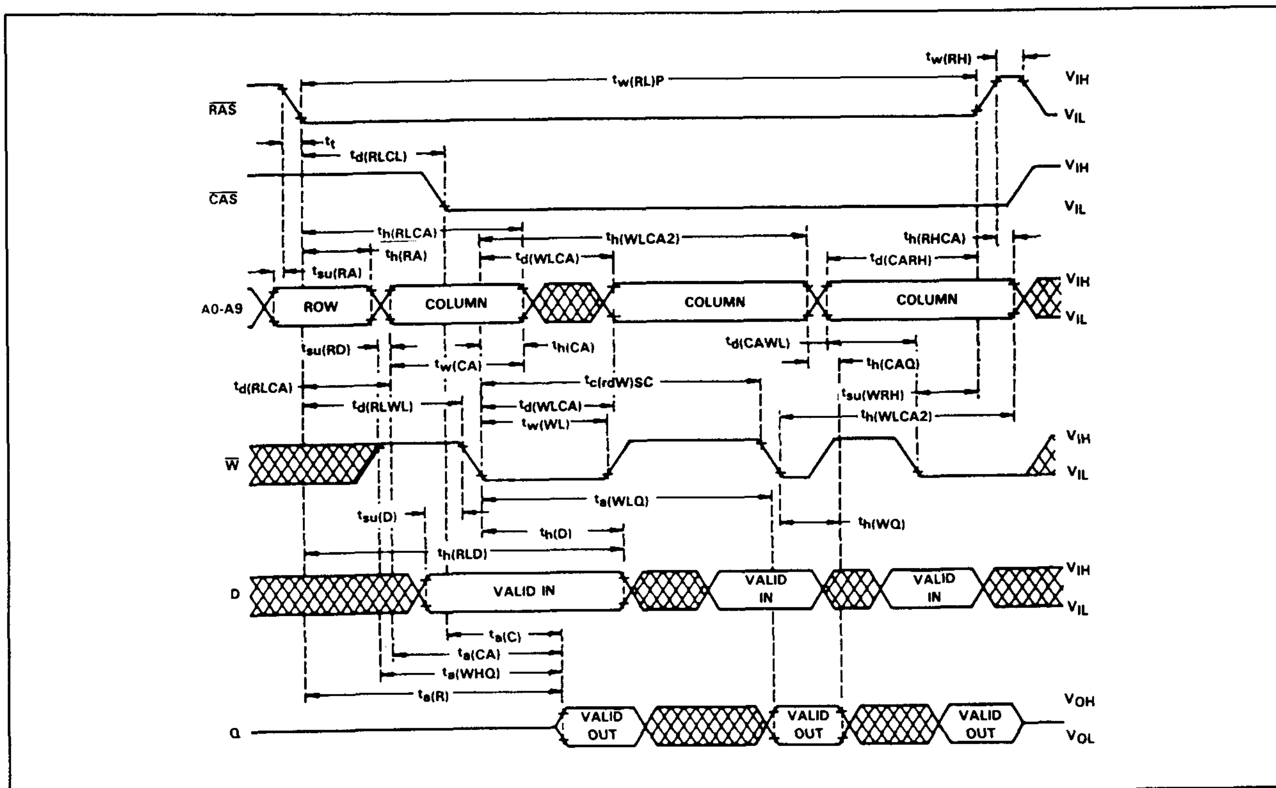
Testfunctie-pen

De testfunctie-pen TF moet tijdens normaal gebruik "open" worden gelaten of HOOG zijn (maximaal gelijk aan V_{CC}).

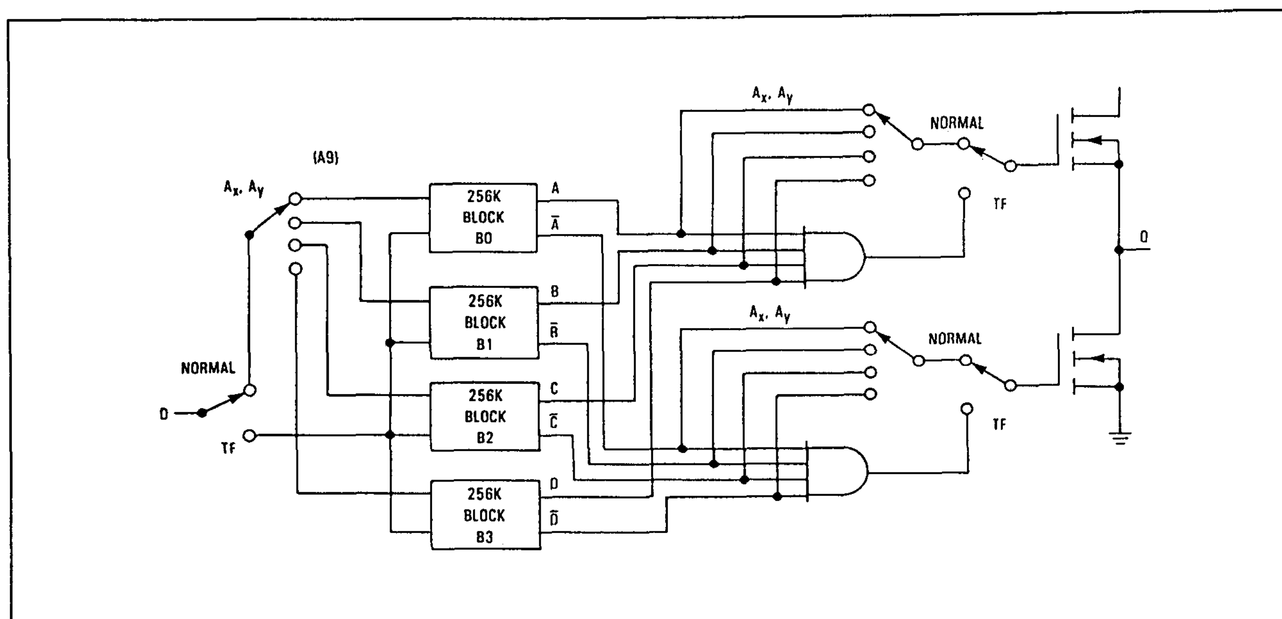
NOTE 19: Output may go from high impedance to an invalid data state prior to the specified access time.

Figuur 8/3.3-148: Timing en golfvormen bij een lees-modificeer-schrijf cyclus voor de 4C1027 in de statische kolom decodeer-mode met omschakelen van $\overline{CAS}$.

3.3 Type-beschrijving



Figuur 8/3.3-149: Timing van een lees-modificeer-schrijf cyclus van de 4C1027 in de statische kolom decodeer-mode met LAAG gehouden $\overline{CAS}$.



Figuur 8/3.3-150: Blokschema voor de testfunctie (voor 4C1024, 4C1025 en 4C1027).

3.3 Type-beschrijving

D	B0	B1	B2	B3	Q
0	0	0	0	0	0
1	1	1	1	1	1
—	Any Other				High-Z

Tabel 8/3.3-61: Waarheidstabel voor de test-mode.

Overige kenmerken

In de tabellen 8/3.3-52, -53 en -55 (bij de 4C1024) zijn de gemeenschappelijke elektrische en timing karakteristieken van de TMS 4C1024, TMS 4C1025 en TMS 4C1027 van Texas Instruments vermeld. De tabellen 8/3.3-62, -63 en -64 gelden alleen voor de 4C1027.

electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TMS4C1024-10 TMS4C1025-10 TMS4C1027-10		TMS4C1024-12 TMS4C1025-12 TMS4C1027-12		TMS4C1024-15 TMS4C1025-15 TMS4C1027-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
V_{OH}	High-level output voltage	I_{OH} = −5 mA	2.4		2.4		2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4.2 mA		0.4		0.4		0.4	V
I_I	Input current (leakage)	V_I = 0 V to 6.5 V, V_{CC} = 5.5 V, All other pins = 0 V to V_{CC}		±10		±10		±10	μA
I_O	Output current (leakage)	V_O = 0 V to V_{CC}, V_{CC} = 5.5 V, $\overline{CAS}$ high		±10		±10		±10	μA
I_{CC1}	Read or write cycle current	Minimum cycle, V_{CC} = 5.5 V		70		60		55	mA
I_{CC2}	Standby current	After 1 memory cycle, $\overline{RAS}$ and $\overline{CAS}$ high, V_{IH} = 2.4 V		3		3		3	mA
I_{CC3}	Average refresh current	Minimum cycle, V_{CC} = 5.5 V, $\overline{RAS}$ cycling, $\overline{CAS}$ high		65		55		50	mA
I_{CC6}	Average static column decode current (TMS4C1027)	$t_{c(rdW)SC}$ = minimum, V_{CC} = 5.5 V, $\overline{RAS}$ low, $\overline{CAS}$ cycling		45		35		30	mA

Tabel 8/3.3-62: Gelijkspanningskarakteristieken voor verschillende (snelheids-)versies van de 4C1027.

PARAMETER		ALT. SYMBOL	TMS4C102_-10		TMS4C102_-12		TMS4C102_-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(C)}$	Access time from $\overline{CAS}$ low†	t_{CAC}		25		30		40	ns
$t_{a(CA)}$	Access time from column-address†	t_{CAA}		45		55		70	ns
$t_{a(R)}$	Access time from $\overline{RAS}$ low†	t_{RAC}		100		120		150	ns
$t_{a(WHQ)}$	Access time from $\overline{W}$ high (TMS4C1027 only)	t_{WRA}		30		35		40	ns
$t_{a(WLQ)}$	Access time from $\overline{W}$ low (TMS4C1027 only)	t_{ALW}		95		115		120	ns
$t_{h(CAQ)}$	Static column decode mode output hold time after address change (TMS4C1027 only)	t_{AOH}	5		5		5		ns
$t_{h(WQ)}$	Static column decode mode output hold time after $\overline{W}$ low (TMS4C1027 only)	t_{WOH}	0		0		0		ns
$t_{dis(CH)}$	Output disable time after $\overline{CAS}$ high (see Note 4)†	t_{OFF}	0	25	0	30	0	35	ns

Tabel 8/3.3-63: Schakeltijden van verschillende (snelheids-)versies van de 4C1027.

3.3 Type-beschrijving

timing requirements over recommended supply voltage range and operating free-air temperature range

		ALT. SYMBOL	TMS4C1027-10		TMS4C1027-12		TMS4C1027-15		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$	Read cycle time (see Note 6)	t_{RC}	190		220		260		ns
$t_{c(W)}$	Write cycle time	t_{WC}	190		220		260		ns
$t_{c(rdW)}$	Read-write/read-modify-write cycle time	t_{RWC}	220		255		305		ns
$t_{c(rd)SC}$	Static column decode mode read cycle time	t_{SCR}	50		60		90		ns
$t_{c(W)SC}$	Static column decode mode write cycle time	t_{SCW}	50		60		90		ns
$t_{c(rdW)SC}$	Static column decode mode, read-modify-write cycle time	t_{SCRDW}	100		120		150		ns
$t_{w(CH)}$	Pulse duration, $\overline{CAS}$ high	t_{CP}	10		15		25		ns
$t_{w(CL)}$	Pulse duration, $\overline{CAS}$ low (see Note 8)	t_{CAS}	25	10,000	30	10,000	40	10,000	ns
$t_{w(RH)}$	Pulse duration, $\overline{RAS}$ high (precharge)	t_{RP}	80		90		100		ns
$t_{w(RL)}$	Non-static column decode mode pulse duration, $\overline{RAS}$ low (see Note 9)	t_{RAS}	100	10,000	120	10,000	150	10,000	ns
$t_{w(RL)P}$	Static column decode mode pulse duration, $\overline{RAS}$ low (see Note 9)	t_{RASP}	100	100,000	120	100,000	150	100,000	ns
$t_{w(WL)}$	Write pulse duration	t_{WP}	15		20		25		ns
$t_{w(CA)}$	Static column decode mode column-address pulse duration	t_{ADP}	45		55		70		ns
$t_{w(WH)}$	Static column decode mode $\overline{W}$ high pulse duration, inactive	t_{WI}	10		15		25		ns
$t_{su(CA)}$	Column-address setup time before $\overline{CAS}$, $\overline{W}$ low (see Note 10)	t_{ASC}	0		0		0		ns
$t_{su(CAR)}$	Column-address setup time before $\overline{RAS}$	t_{CAR}	50		60		75		ns
$t_{su(RA)}$	Row-address setup time before $\overline{RAS}$ low	t_{ASR}	0		0		0		ns
$t_{su(D)}$	Data setup time	t_{DS}	0		0		0		ns
$t_{su(rd)}$	Read setup time before $\overline{CAS}$ low	t_{RCS}	0		0		0		ns
$t_{su(WCL)}$	$\overline{W}$-low setup time before $\overline{CAS}$ low (see Note 11)	t_{WCS}	0		0		0		ns
$t_{su(WCH)}$	$\overline{W}$-low setup time before $\overline{CAS}$ high	t_{CWL}	25		30		40		ns
$t_{su(WRH)}$	$\overline{W}$-low setup time before $\overline{RAS}$ high	t_{RWL}	25		30		40		ns
$t_{su(WHCH)}$	Setup time, $\overline{W}$ high to $\overline{CAS}$ high for early write, high impedance	t_{WH}	0		0		0		ns
$t_{h(CA)}$	Column-address hold time after $\overline{CAS}$, $\overline{W}$ low (see Note 10)	t_{CAH}	20		20		25		ns
$t_{h(RA)}$	Row-address hold time after $\overline{RAS}$ low	t_{RAH}	15		15		20		ns
$t_{h(RLCA)}$	Column-address hold time after $\overline{RAS}$ low (see Note 18)	t_{AR}	100		120		150		ns
$t_{h(D)}$	Data hold time (see Note 10)	t_{DH}	20		25		30		ns
$t_{h(RLD)}$	Data hold time after $\overline{RAS}$ low (see Note 17)	t_{DHR}	70		85		110		ns
$t_{h(CHrd)}$	Read hold time after $\overline{CAS}$ high (see Note 18)	t_{RCH}	0		0		0		ns
$t_{h(RHrd)}$	Read hold time after $\overline{RAS}$ high (see Note 18)	t_{RRH}	10		10		10		ns
$t_{h(CLW)}$	Write hold time after $\overline{CAS}$ low (see Note 11)	t_{WCH}	20		25		30		ns
$t_{h(RLW)}$	Write hold time after $\overline{RAS}$ low (see Note 17)	t_{WCR}	70		85		100		ns
$t_{h(RHCA)}$	Column-address hold time after $\overline{RAS}$ high	t_{AH}	10		15		15		ns
$t_{h(WLCA2)}$	Static column decode mode second column-address hold time after $\overline{W}$ low (see Note 13)	t_{AHLW}	95		115		135		ns
$t_{d(RLCH)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high	t_{CSH}	100		120		150		ns
$t_{d(CHRL)}$	Delay time, $\overline{CAS}$ high to $\overline{RAS}$ low	t_{CRP}	0		0		0		ns
$t_{d(CLRH)}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ high	t_{RSH}	25		30		40		ns
$t_{d(CLWL)}$	Delay time, $\overline{CAS}$ low to $\overline{W}$ low (see Note 13)	t_{CWD}	25		30		40		ns
$t_{d(RLCL)}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ low (see Note 14)	t_{RCD}	25	80	25	95	30	115	ns
$t_{d(RLCA)}$	Delay time, $\overline{RAS}$ low to column address (see Note 14)	t_{RAD}	20	55	20	65	25	80	ns
$t_{d(WLCA)}$	Delay time, $\overline{W}$ low to column address	t_{LWAD}	25	50	30	60	35	70	ns
$t_{d(CARH)}$	Delay time, column-address to $\overline{RAS}$ high	t_{RAL}	45		55		70		ns
$t_{d(CACH)}$	Delay time, column-address to $\overline{CAS}$ high	t_{CAL}	45		55		70		ns
$t_{d(RLWL)}$	Delay time, $\overline{RAS}$ low to $\overline{W}$ low (see Note 13)	t_{RWD}	100		120		150		ns
$t_{d(RLWL2)}$	Static column decode mode delay time, $\overline{RAS}$ low to second $\overline{W}$ low	t_{RSW}	100		120		150		ns
$t_{d(CAWL)}$	Delay time, column address to $\overline{W}$ low (see Note 13)	t_{AWD}	45		55		70		ns
$t_{d(WO)}$	Delay time, $\overline{W}$ high to output transition from high impedance to active	t_{OW}	0		0		0		ns
$t_{d(RLCH)R}$	Delay time, $\overline{RAS}$ low to $\overline{CAS}$ high, (see Note 16)	t_{CHR}	25		25		30		ns
$t_{d(CLRL)R}$	Delay time, $\overline{CAS}$ low to $\overline{RAS}$ low (see Note 16)	t_{CSR}	10		10		15		ns
$t_{d(RHCL)R}$	Delay time, $\overline{RAS}$ high to $\overline{CAS}$ low (see Note 16)	t_{RPC}	0		0		0		ns
t_{rf}	Refresh time interval	t_{REF}		8		8		8	ms
t_t	Transition time	t_T	3	50	3	50	3	50	ns

NOTES:

5. Timing measurements in this table are referenced to V_{IL} max and V_{IH} min.
6. All cycle times assume $t_t = 5$ ns.
8. In a read-modify-write cycle, $t_{d(CLWL)}$ and $t_{su(WCH)}$ must be observed.
9. In a read-modify-write cycle, $t_{d(RLWL)}$ and $t_{su(WRH)}$ must be observed.
10. Referenced to the later of $\overline{CAS}$ or $\overline{W}$ in write operations.
11. Early write operation only.
18. Either $t_{h(RHrd)}$ or $t_{h(CHrd)}$ must be satisfied for a read cycle.
13. Read-modify-write operation only.
14. Maximum value specified only to guarantee access time.
16. $\overline{CAS}$-before-$\overline{RAS}$ refresh only.
17. The minimum value is measured when $t_{d(RLCA)}$ is set to $t_{d(RLCA)}$ min as a reference.

Tabel 8/3.3-64: Overzicht van alle schakeltijden bij de 4C1027.

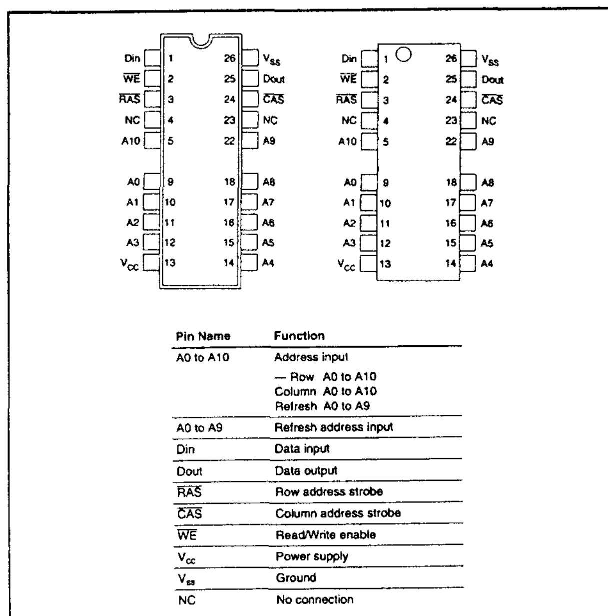
8/3.4.1

Type-beschrijving EDO RAM's

HM514105D

4 M x 1 bit EDO RAM

De HM514105D is een CMOS dynamische RAM, georganiseerd in 4.194.304 woorden van 1 bit. Dit geheugen kan worden gebruikt in de zogenaamde Extended Data-Out mode (EDO): door middel van een speciaal uitgangsregister blijft de informatie langer op de uitgang beschikbaar, zodat een nieuw adres al kan worden aangeboden terwijl de data van het vorige adres nog wordt gelezen.



Pin Name	Function
A0 to A10	Address input — Row A0 to A10 Column A0 to A10 Refresh A0 to A9
A0 to A9	Refresh address input
Din	Data input
Dout	Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-1: Aansluitingen en pen-functies van de HM 514105D (links de SOJ-versie HM514105DS en rechts de TSOP II-versie HM514105DTT).

Doordat met gemultiplexte adreslijnen wordt gewerkt, zijn veel minder aansluitpennen nodig en is het geheugen opgenomen in een 0,3" plastic 26-pens SOJ- of TSOP II-behuizing.

Specificaties

- 4 M x 1 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding
- toegangstijden:
  60 ns of 70 ns (HM514105D-6 of -7)
- 1024 refresh-cycli in 16 ms
- 3 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden refresh
- behuizingen:
  300-mil 26-pens plastic SOJ
  TSOP II (figuur 8/3.4.1-1)
- gering opgenomen vermogen:
  in bedrijf: 715 mW/660 mW (max.)
  standby: 11 mW (max.)
- test-functie
- fabrikant: Hitachi

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	-1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	-1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	-55 to +125	°C

Tabel 8/3.4.1-1: Maximaal toegelaten waarden voor de HM514105D.

3.4 Speciale DRAM's

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.5	5.0	5.5	V
Input high voltage	V_{IH}	2.4	—	6.5	V
Input low voltage	V_{IL}	−1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/3.4.1-2: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

(Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

		HM514105D					
		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Unit	Test Conditions
Operating current*1 2	I_{CC1}	—	110	—	100	mA	RAS, CAS cycling; t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	mA	TTL interface; RAS, CAS = V_{IH}; Dout = High-Z
		—	1	—	1	mA	CMOS interface; RAS, CAS ≥ V_{CC} − 0.2 V; Dout = High-Z
RAS-only refresh current*2	I_{CC3}	—	110	—	100	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	5	—	5	mA	RAS = V_{IH}, CAS = V_{IL}; Dout = enable
CAS-before-RAS refresh current	I_{CC6}	—	110	—	100	mA	t_{RC} = min
EDO page mode current*1 3	I_{CC7}	—	130	—	120	mA	t_{HPC} = min
Input leakage current	I_{LI}	−10	10	−10	10	µA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	−10	10	−10	10	µA	0 V ≤ Vout ≤ 7 V; Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed twice or less while RAS = V_{IL}.
3. Address can be changed once or less while CAS = V_{IH}.

Tabel 8/3.4.1-3: Gelijkspanningskarakteristieken van de HM514105D.

(Ta = 25°C, V_{CC} = 5 V ± 10%)

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address, Data-in)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-out)	C_O	—	7	pF	1, 2

Notes: 1 Capacitance measured with Boonton Meter or effective capacitance measuring method
2 RAS and CAS = V_{IH} to disable Dout.

Tabel 8/3.4.1-4: In/uitgangs-capaciteiten van de HM514105D.

(Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

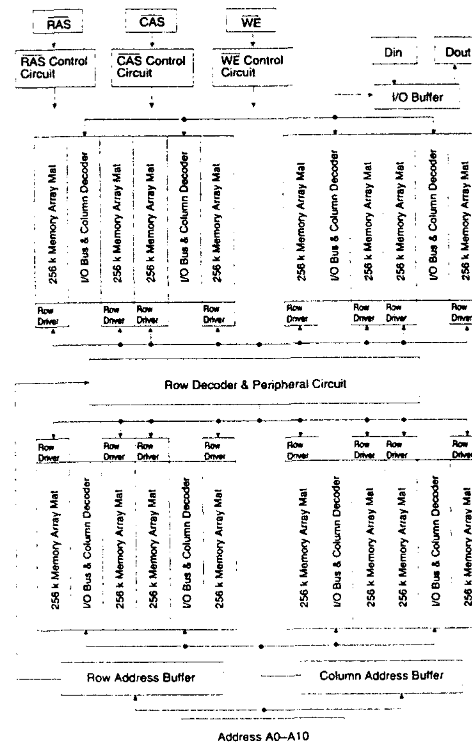
Test Conditions

- Input rise and fall time : 2 ns
- Input level : V_{IL} = 0 V, V_{IH} = 3.0 V
- Input timing reference levels : 0.8 V, 2.4 V
- Output timing reference levels : 0.8 V, 2.0 V
- Output load: 1 TTL gate + C_L (100 pF) (Including scope and jig)

Read, Write, Read-Modify-Write and Refresh Cycles (Common parameters)

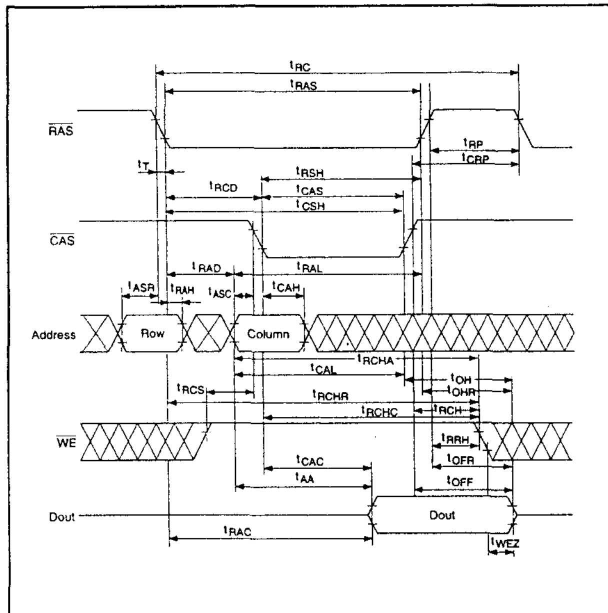
		HM514105D				
		-6		-7		
Parameter	Symbol	Min	Max	Min	Max	Unit
Random read or write cycle time	t_{RC}	104	—	124	—	ns
RAS precharge time	t_{RP}	40	—	50	—	ns
RAS pulse width	t_{RAS}	60	10000	70	10000	ns
CAS pulse width	t_{CAS}	10	10000	13	10000	ns
Row address setup time	t_{ASR}	0	—	0	—	ns
Row address hold time	t_{RAH}	10	—	10	—	ns
Column address setup time	t_{ASC}	0	—	0	—	ns
Column address hold time	t_{CAH}	10	—	13	—	ns
RAS to CAS delay time	t_{RCD}	20	45	20	52	ns
RAS to column address delay time	t_{RAD}	15	30	15	35	ns
RAS hold time	t_{RSH}	15	—	18	—	ns
CAS hold time	t_{CSH}	48	—	58	—	ns
CAS to RAS precharge time	t_{CRP}	10	—	10	—	ns
Transition time (rise and fall)	t_T	2	50	2	50	ns
Refresh period	t_{REF}	—	16	—	16	ms

Tabel 8/3.4.1-5: Gemiddelde schakeltijden bij de HM514105D.

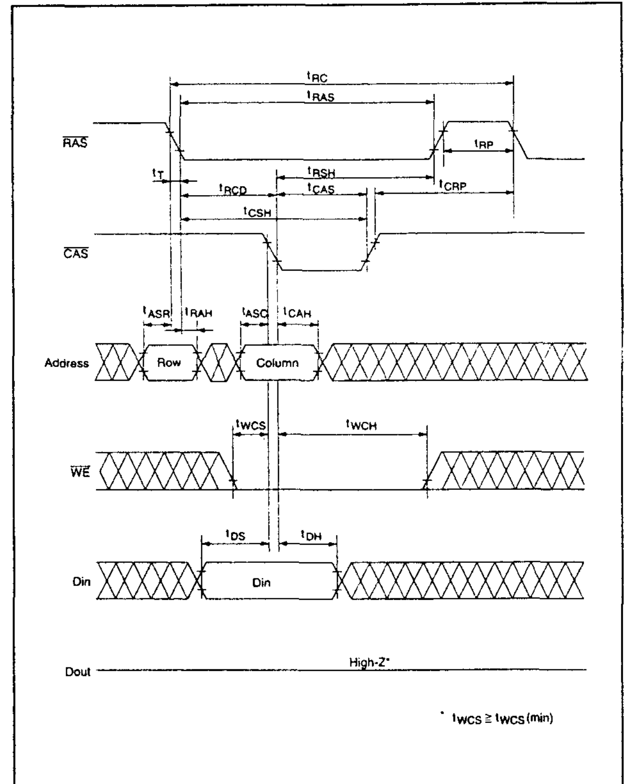


Figuur 8/3.4.1-2: Blokschema van de HM514105D.

3.4 Speciale DRAM's



Figuur 8/3.4.1-3: Golfvormen en timing van een gewone leescyclus.



Figuur 8/3.4.1-4: Golfvormen en timing van een gewone schrijfcyclus.

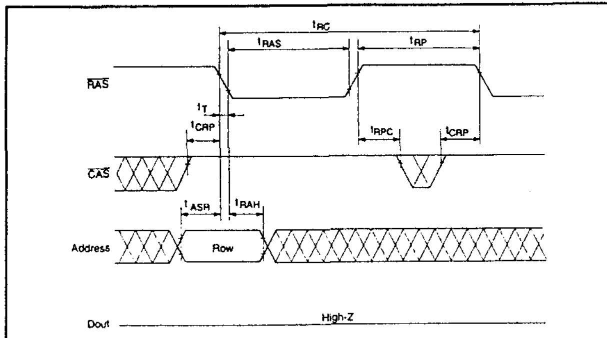
Parameter	Symbol	HM514105D -6 Min	-6 Max	-7 Min	-7 Max	Unit
Access time from $\overline{RAS}$	t_{RAC}	—	60	—	70	ns
Access time from $\overline{CAS}$	t_{CAC}	—	15	—	18	ns
Access time from address	t_{AA}	—	30	—	35	ns
Read command setup time	t_{RCS}	0	—	0	—	ns
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	ns
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	ns
Column address to $\overline{RAS}$ lead time	t_{RAL}	30	—	35	—	ns
Column address to $\overline{CAS}$ lead time	t_{CAL}	18	—	23	—	ns
Output buffer turn-off time	t_{OFF}	—	15	—	15	ns
Turn-off to $\overline{RAS}$	t_{OFR}	—	15	—	15	ns
Turn-off to $\overline{WE}$	t_{WEZ}	—	15	—	15	ns
Output data hold time	t_{OH}	5	—	5	—	ns
Output data hold time from $\overline{RAS}$	t_{OHR}	5	—	5	—	ns
Read command hold time from $\overline{RAS}$	t_{RCHR}	60	—	70	—	ns
Read command hold time from $\overline{CAS}$	t_{RCHC}	15	—	18	—	
Read command hold time from column address	t_{RCHA}	30	—	35	—	ns

Tabel 8/3.4.1-6: Timing van een gewone leescyclus.

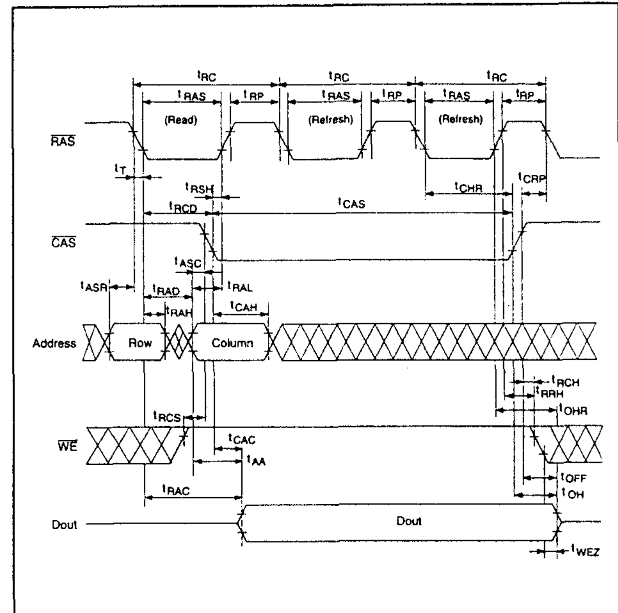
Parameter	Symbol	HM514105D -6 Min	-6 Max	-7 Min	-7 Max	Unit
Write command setup time	t_{WCS}	0	—	0	—	ns
Write command hold time	t_{WCH}	10	—	13	—	ns
Write command pulse width	t_{WP}	10	—	10	—	ns
Write command to $\overline{RAS}$ lead time	t_{RWL}	10	—	13	—	ns
Write command to $\overline{CAS}$ lead time	t_{CWL}	10	—	13	—	ns
Data-in setup time	t_{DS}	0	—	0	—	ns
Data-in hold time	t_{DH}	10	—	13	—	ns

Tabel 8/3.4.1-7: Timing van een vroege schrijfcyclus: als $t_{WCS} > t_{WCS(min.)}$ is dit een "early" write-cyclus en blijft de data-uit pen gedurende de gehele cyclus hoog-impedant.

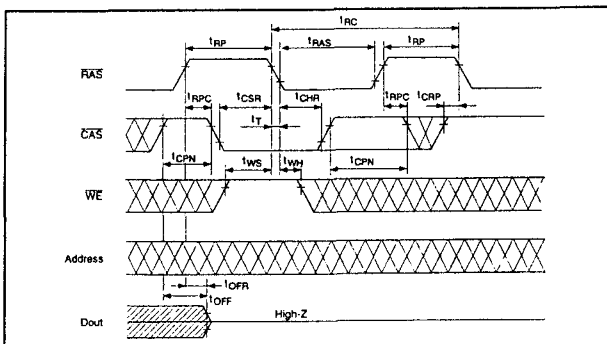
3.4 Speciale DRAM's



Figuur 8/3.4.1-5: Timing en golfvormen bij de RAS-only refresh cyclus.



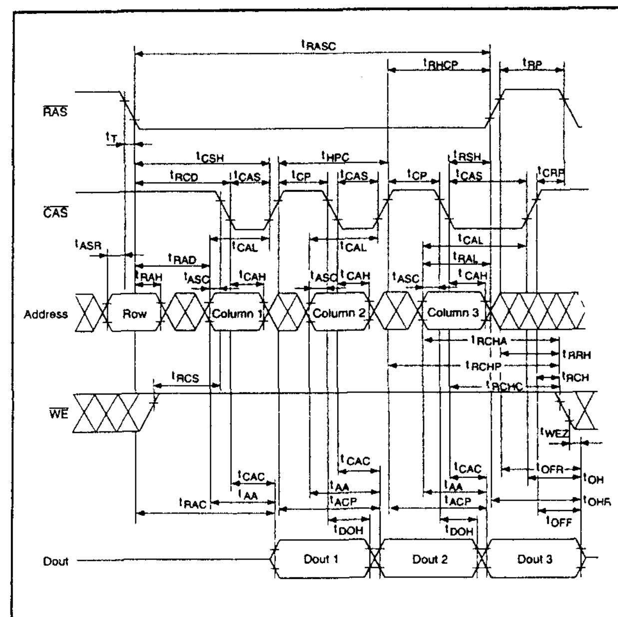
Figuur 8/3.4.1-7: Timing en golfvormen bij de hidden refresh cyclus.



Figuur 8/3.4.1-6: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.

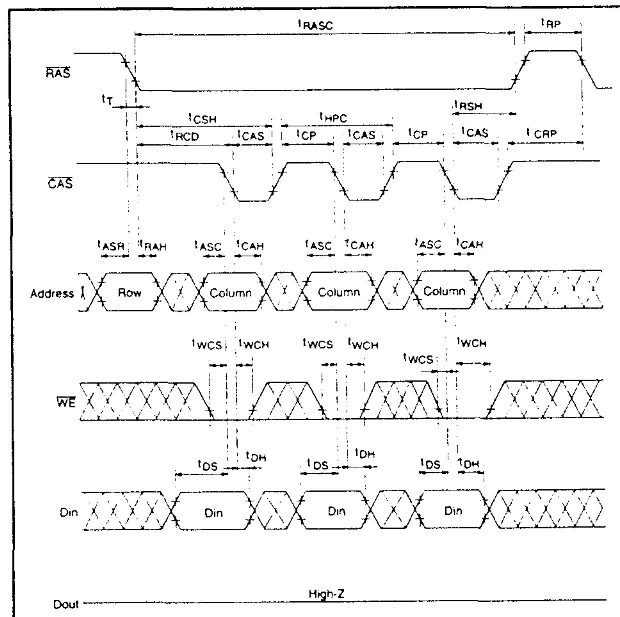
Parameter	Symbol	HM514105D -6 Min	Max	-7 Min	Max	Unit	Notes
CAS setup time (CBR refresh cycle)	t_{CSR}	10	—	10	—	ns	
CAS hold time (CBR refresh cycle)	t_{CHR}	10	—	10	—	ns	
RAS precharge to CAS hold time	t_{RPC}	10	—	10	—	ns	
CAS precharge time in normal mode	t_{CPN}	10	—	13	—	ns	

Tabel 8/3.4.1-8: Schakeltijden waarmee rekening gehouden moet worden bij de drie mogelijke refresh-cycli.



Figuur 8/3.4.1-8: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (t_{HPC} minimum cyclustijd-operatie).

3.4 Speciale DRAM's



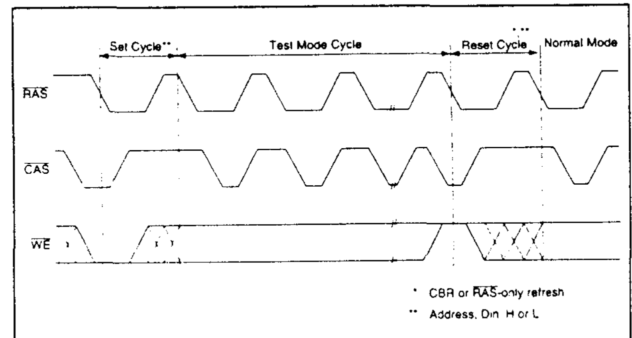
Figuur 8/3.4.1-9: Timing en golfvormen bij de EDO Page Mode Early Write cyclus (t_{HPC} minimum cyclus-operatie).

Parameter	Symbol	HM514105D -6 Min	HM514105D -6 Max	HM514105D -7 Min	HM514105D -7 Max	Unit
EDO page mode cycle time	t_{HPC}	25	—	30	—	ns
EDO page mode $\overline{CAS}$ precharge time	t_{CP}	10	—	13	—	ns
EDO page mode $\overline{RAS}$ pulse width	t_{RASC}	—	100000	—	100000	ns
Access time from $\overline{CAS}$ precharge	t_{ACP}	—	35	—	40	ns
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{RHCP}	35	—	40	—	ns
Output data hold time from $\overline{CAS}$ low	t_{DOH}	3	—	3	—	ns
Read command hold time from $\overline{CAS}$ precharge	t_{RCHP}	35	—	40	—	ns

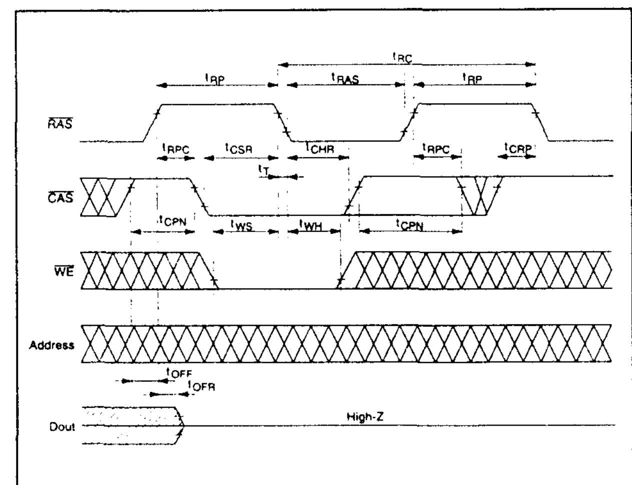
Tabel 8/3.4.1-9: Timingen, behorend bij de EDO Page Mode cycli.

Parameter	Symbol	HM514105D -6 Min	HM514105D -6 Max	HM514105D -7 Min	HM514105D -7 Max	Unit
Test mode $\overline{WE}$ setup time	t_{WS}	0	—	0	—	ns
Test mode $\overline{WE}$ hold time	t_{WH}	10	—	10	—	ns

Tabel 8/3.4.1-10: Testmode Setup en Hold tijden.



Figuur 8/3.4.1-10: De complete testmode cyclus.



Figuur 8/3.4.1-11: Het instellen van de testmode cyclus (Test Mode Cycle Set): WE-and-CAS-before-RAS refresh cyclus.

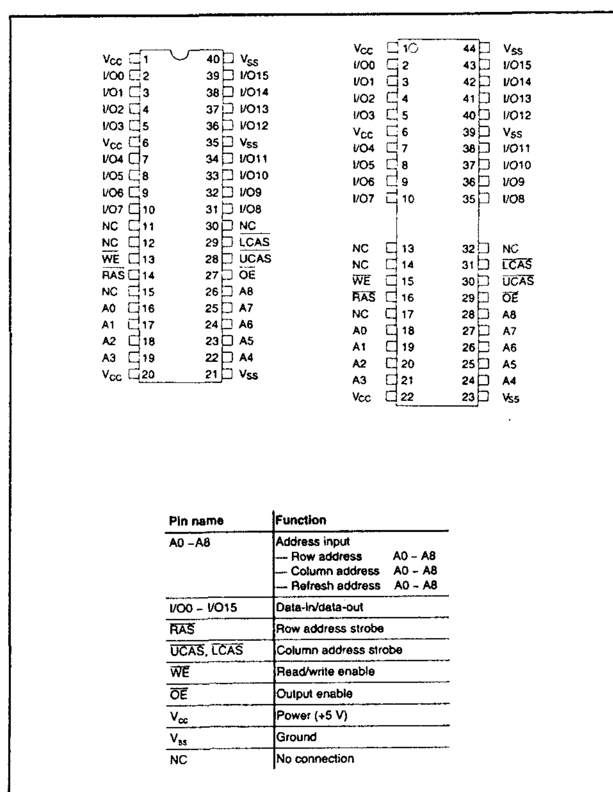
HM514265D, HM51S4265D

256 k x 16 bit EDO RAM

De HM514265D en HM51S4265D zijn CMOS dynamische RAM's, georganiseerd in 262.144 woorden van 16 bit. De HM51S4265 heeft een interne refresh-timer voor het uitvoeren van een self-refresh functie. Door de aanwezigheid van een speciaal uitgangsregister kan de HM51(S)4265 worden gebruikt in de zogenaamde Extended Data-Out mode (EDO). Omdat de informatie dan langer op de uitgang beschikbaar blijft, kan een nieuw adres al tijdens het uitlezen van de data van het vorige adres worden

3.4 Speciale DRAM's

aangeboden. Het aantal aansluitpennen is beperkt doordat met gemultiplexte adreslijnen wordt gewerkt. Het geheugen is verkrijgbaar in een 40-pens 0,4" plastic SOJ-behuizing of in een 44-pens 0,4" TSOP II-behuizing.

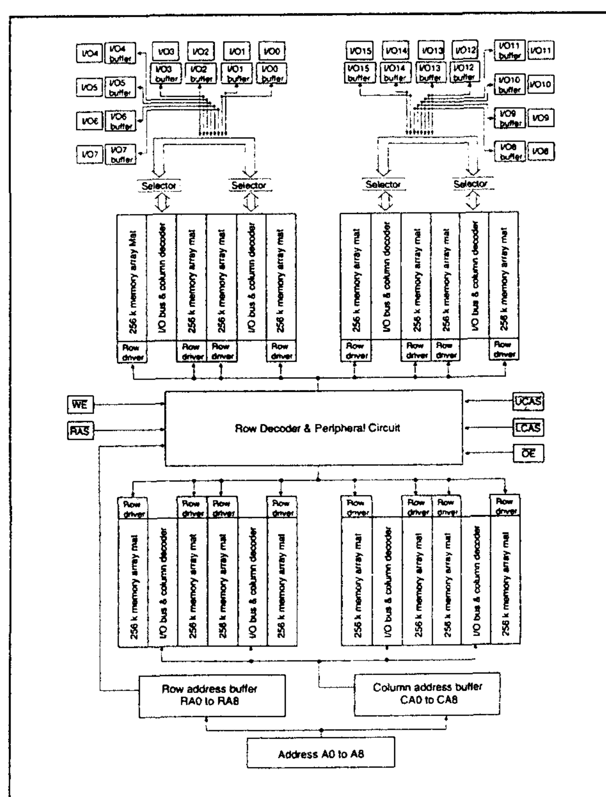


Pin name	Function
A0 - A8	Address input — Row address A0 - A8 — Column address A0 - A8 — Refresh address A0 - A8
I/O0 - I/O15	Data-in/data-out
$\overline{\text{RAS}}$	Row address strobe
$\overline{\text{UCAS}}$, $\overline{\text{LCAS}}$	Column address strobe
$\overline{\text{WE}}$	Read/write enable
$\overline{\text{OE}}$	Output enable
V_{cc}	Power (+5 V)
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-12: Aansluitingen en pen-functies van de HM 51(S)4265D (links de SOJ-versie HM51(S)4265DJ/DLJ en rechts de TSOP II-versie HM51(S)4265DTT/DLTT).

Specificaties

- 256 k x 16 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding of +5 V +/-5 % (HM51(S)4265-6R)
- toegangstijden: 50, 60, 70 of 80 ns (HM51(S)4265D-5/6/7/8)
- 512 refresh-cycli in 8 ms (L-versie: 128 ms)
- 2 soorten refresh: $\overline{\text{RAS}}$-only, $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$
- HM51S4265D: self refresh
- behuizingen: 400-mil 40-pens plastic SOJ 400-mil 44-pens plastic TSOP II (figuur 8/3.4.1-12)
- gering opgenomen vermogen: in bedrijf: 945/990/825/715 mW (max.) standby: 11 mW (max.) (L-versie: 1,1 mW)
- 2$\overline{\text{CAS}}$-byte control
- fabrikant: Hitachi



Figuur 8/3.4.1-13: Blokschema van de HM51(S) 4265D.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{ss}	V_T	-1.0 to +7.0	V
Supply voltage relative to V_{ss}	V_{cc}	-1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	-55 to +125	°C

Tabel 8/3.4.1-12: Maximaal toegelaten waarden voor de HM51(S)4265D.

3.4 Speciale DRAM's

1. Read cycle
2. Early write cycle
3. Delayed write cycle
4. Read-modify-write cycle
5. $\overline{RAS}$-only refresh cycle
6. $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle
7. Self refresh cycle (HM51S4265D)
8. EDO page mode read cycle
9. EDO page mode early write cycle
10. EDO page mode delayed write cycle
11. EDO page mode read-modify-write cycle

Figuur 8/3.4.1-14: De HM51(S)4265D heeft 11 bedrijfsmodes.

Inputs						
$\overline{RAS}$	$\overline{LCAS}$	$\overline{UCAS}$	$\overline{WE}$	$\overline{OE}$	Output	Operation
H	H	H	D	D	Open	Standby
H	L	L	H	L	Valid	Standby
L	L	L	H	L	Valid	Read cycle
L	L	L	L*2	D	Open	Early write cycle
L	L	L	L*2	H	Undefined	Delayed write cycle
L	L	L	H to L	L to H	Valid	Read-modify-write cycle
L	H	H	D	D	Open	$\overline{RAS}$-only refresh cycle
H to L	H	L	D	D	Open	$\overline{CAS}$-before-$\overline{RAS}$ refresh cycle
	L	H				Self refresh cycle (HM51S4265D)
	L	L				
L	H to L	H to L	H	L	Valid	EDO page mode read cycle
L	H to L	H to L	L*3	D	Open	EDO page mode early write cycle
L	H to L	H to L	L*3	H	Undefined	EDO page mode delayed write cycle
L	H to L	H to L	H to L	L to H	Valid	EDO page mode read-modify-write cycle
L	L	L	H	H	Open	Read cycle (Output disabled)

Notes:
1. H: High(inactive) L: Low(active) D: H or L (H: V_{IH} (min) ≤ V_{IH} ≤ V_{IH} (max), L: V_{IL} (min) ≤ V_{IL} ≤ V_{IL} (max))
2. $t_{wcs} \geq 0$ ns Early write cycle
   $t_{wcs} < 0$ ns Delayed write cycle
3. Mode is determined by the OR function of the *$\overline{UCAS}$ and $\overline{LCAS}$*. *(Mode* is set by the earliest of $\overline{UCAS}$ and $\overline{LCAS}$ active edge and reset by the latest of $\overline{UCAS}$ and $\overline{LCAS}$ inactive edge.) However write OPERATION and output HIZ control are done independently by each $\overline{UCAS}$, $\overline{LCAS}$.
   ex. if $\overline{RAS}$ = H to L, $\overline{LCAS}$ = L, $\overline{UCAS}$ = H, then $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle is selected.

Tabel 8/3.4.1-11: Waarheidstabel van de HM51(S)4265D.

		HM514265D, HM51S4265D									
		-5		-6/6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1 *2	I_{CC1}	—	160	—	150	—	140	—	125	mA	$\overline{RAS}$ cycling, $\overline{UCAS}$ or $\overline{LCAS}$ cycling, t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	—	2	mA	TTL interface, $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IH}, Dout = High-Z
		—	1	—	1	—	1	—	1	mA	CMOS interface, $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$, $\overline{WE}$, $\overline{OE}$ ≥ V_{CC} − 0.2 V, Dout = High-Z
Standby current (L-version)	I_{CC2}	—	200	—	200	—	200	—	200	µA	CMOS interface, $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$, $\overline{WE}$, $\overline{OE}$ ≥ V_{CC} − 0.2 V, Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	150	—	140	—	130	—	110	mA	t_{RC} = min
$\overline{CAS}$-before-$\overline{RAS}$ refresh current*2	I_{CC6}	—	150	—	140	—	130	—	110	mA	t_{RC} = min
EDO page mode current*1 *3	I_{CC4}	—	180	—	180	—	150	—	130	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	300	—	300	—	300	—	300	µA	Standby, CMOS interface, Dout = High-Z, CBR refresh: t_{RC} = 250 µs, t_{RAS} ≤ 1 µs, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IL}, $\overline{WE}$, $\overline{OE}$ = V_{IH}
Self-refresh mode current (HM51S4265D)	I_{CC11}	—	1	—	1	—	1	—	1	mA	CMOS interface, $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V, Dout = High-Z
Self-refresh mode current (HM51S4265DL)	I_{CC11}	—	200	—	200	—	200	—	200	µA	CMOS interface, $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V, Dout = High-Z
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	−10	10	µA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	−10	10	µA	0 V ≤ Vout ≤ 7 V, Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes:
1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed twice or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one EDO page cycle.
4. $V_{IH} \geq V_{CC} - 0.2$ V, $0 \leq V_{IL} \leq 0.2$ V, Address can be changed once or less while $\overline{RAS}$ = V_{IL}.

Tabel 8/3.4.1-14: Gelijkspanningskarakteristieken bij 70 °C en 5 V van de HM51(S) 4265D.

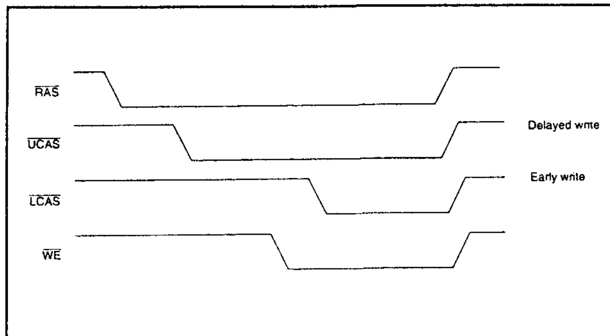
Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC} (HM51(S)4265D-5/6R)	4.75	5 0	5 25	V
	V_{CC} (HM51(S)4265D-6/7/8)	4 5	5 0	5 5	V
Input high voltage	V_{IH}	2 4	—	6 5	V
Input low voltage	V_{IL}	−1 0	—	0 8	V

Tabel 8/3.4.1-13: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

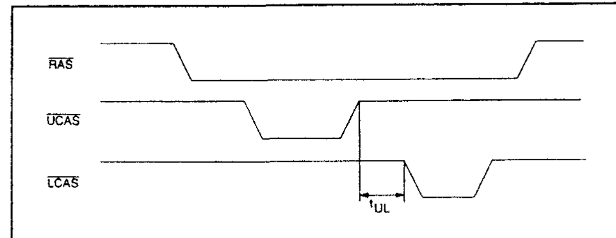
Parameter	Symbol	Typ	Max	Unit
Input capacitance (Address)	C_{I1}	—	5	pF
Input capacitance (Clocks)	C_{I2}	—	7	pF
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	10	pF

Tabel 8/3.4.1-15: In- en uitgangs-capaciteiten van de HM51(S)4265D (en HM51W4265C).

3.4 Speciale DRAM's



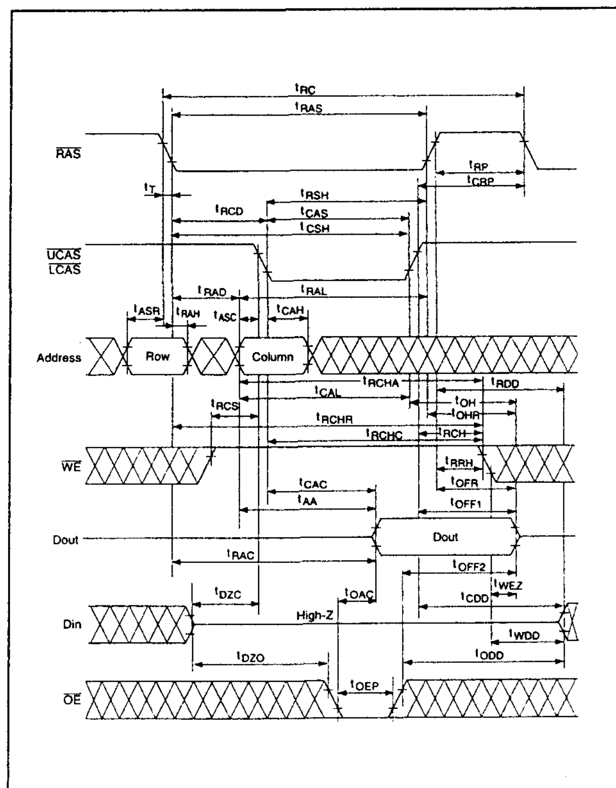
Figuur 8/3.4.1-15: Opmerkingen bij de $2\overline{\text{CAS}}$-besturing: 1. Beide golfvormen $\overline{\text{UCAS}}/\overline{\text{LCAS}}$ dienen aan de specificaties te voldoen. 2. Afwijkende bedrijfsmodes voor upper- en lower byte zijn niet toegestaan (zie figuur voor VERBODEN SITUATIE).



Figuur 8/3.4.1-16: Opmerkingen bij de $2\overline{\text{CAS}}$-besturing: 3. Vlak na elkaar komende upper/lower byte control is niet toegestaan. Wanneer echter aan $t_{CP} < t_{UL}$ wordt voldaan, kan de snelle page-mode worden uitgevoerd. 4. Wanneer $\overline{\text{UCAS}}$ of $\overline{\text{LCAS}}$ HOOG blijft vindt byte-besturing plaats.

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Random read or write cycle time	t_{RC}	64	—	104	—	124	—	144	—	ns	
$\overline{\text{RAS}}$ precharge time	t_{RP}	30	—	40	—	50	—	60	—	ns	
$\overline{\text{RAS}}$ pulse width	t_{RAS}	50	10000	60	10000	70	10000	80	10000	ns	27
$\overline{\text{CAS}}$ pulse width	t_{CAS}	8	10000	10	10000	13	10000	15	10000	ns	28
Row address setup time	t_{ASR}	0	—	0	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	8	—	10	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	0	—	0	—	0	—	0	—	ns	19
Column address hold time	t_{CAH}	8	—	10	—	13	—	15	—	ns	19
$\overline{\text{RAS}}$ to $\overline{\text{CAS}}$ delay time	t_{RCD}	18	35	20	45	20	50	20	60	ns	8
$\overline{\text{RAS}}$ to column address delay time	t_{RAD}	10	25	15	30	15	35	15	40	ns	9
$\overline{\text{RAS}}$ hold time	t_{RSH}	13	—	15	—	18	—	20	—	ns	
$\overline{\text{CAS}}$ hold time	t_{CSH}	40	—	48	—	58	—	68	—	ns	29
$\overline{\text{CAS}}$ to $\overline{\text{RAS}}$ precharge time	t_{CRP}	10	—	10	—	10	—	10	—	ns	20
$\overline{\text{OE}}$ to Din delay time	t_{ODD}	13	—	15	—	18	—	20	—	ns	
$\overline{\text{OE}}$ delay time from Din	t_{DZO}	0	—	0	—	0	—	0	—	ns	
$\overline{\text{CAS}}$ setup time from Din	t_{DZC}	0	—	0	—	0	—	0	—	ns	
Transition time (rise and fall)	t_T	2	50	2	50	2	50	2	50	ns	7
Refresh period	t_{REF}	—	8	—	8	—	8	—	8	ms	
Refresh period (L-version)	t_{REF}	—	128	—	128	—	128	—	128	ms	

Tabel 8/3.4.1-16: Timing bij Read, Read-Modify-Write en Refresh cycli (gemeenschappelijke parameters).



Figuur 8/3.4.1-17: Golfvormen en timing bij het uitlezen van de HM51(S)4265D en HM51W4265C (zie tabel 8/3.4.1-17).

3.4 Speciale DRAM's

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	50	—	60	—	70	—	80	ns	2, 3
Access time from $\overline{CAS}$	t_{CAC}	—	15	—	15	—	20	—	20	ns	3, 4, 13
Access time from address	t_{AA}	—	25	—	30	—	35	—	40	ns	3, 5, 13
Access time from $\overline{OE}$	t_{OAC}	—	15	—	15	—	20	—	20	ns	3, 23
Read command setup time	t_{RCS}	0	—	0	—	0	—	0	—	ns	19
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	0	—	0	—	ns	16, 20
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	0	—	0	—	ns	16
Column address to $\overline{RAS}$ lead time	t_{RAL}	25	—	30	—	35	—	40	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	13	—	18	—	23	—	28	—	ns	
Output buffer turn-off time	t_{OFF1}	—	13	—	15	—	15	—	15	ns	6, 25
Output buffer turn-off time to $\overline{OE}$	t_{OFF2}	—	13	—	15	—	15	—	15	ns	6
$\overline{CAS}$ to Din delay time	t_{CDD}	13	—	15	—	18	—	20	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	13	—	15	—	18	—	20	—	ns	
$\overline{WE}$ to Din delay time	t_{WDD}	13	—	15	—	18	—	20	—	ns	
$\overline{OE}$ pulse width	t_{OEP}	13	—	15	—	20	—	20	—	ns	23
Turn-off to $\overline{RAS}$	t_{OFR}	—	13	—	15	—	15	—	15	ns	6, 25
Turn-off to $\overline{WE}$	t_{WEZ}	—	13	—	15	—	15	—	15	ns	6
Output data hold time	t_{OH}	5	—	5	—	5	—	5	—	ns	
Output data hold time from $\overline{RAS}$	t_{OHR}	5	—	5	—	5	—	5	—	ns	
Read command hold time from $\overline{RAS}$	t_{RCHR}	50	—	60	—	70	—	80	—	ns	
Read command hold time from $\overline{CAS}$	t_{RCHC}	15	—	15	—	18	—	20	—	ns	
Read command hold time from column address	t_{RCHA}	25	—	30	—	35	—	40	—	ns	

Tabel 8/3.4.1-17: Timing van een leescyclus.

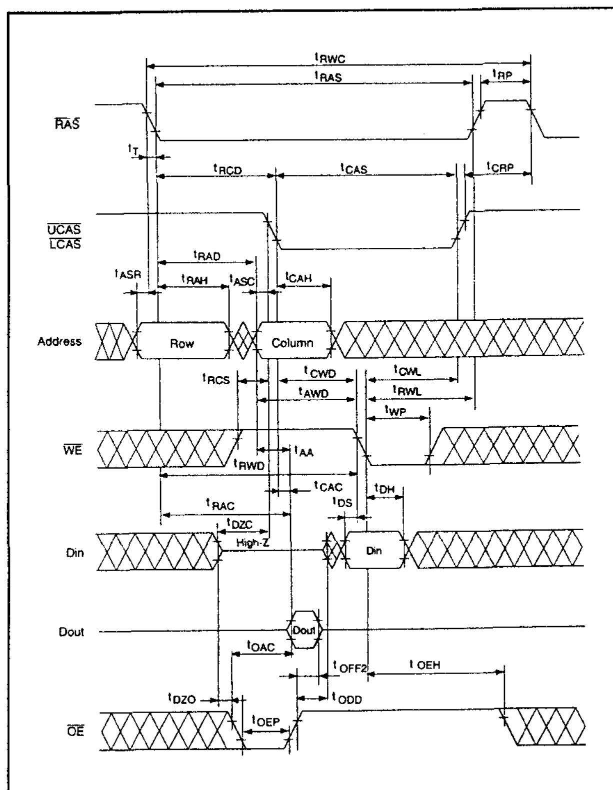
Figuur 8/3.4.1-19: Golfvormen en timing van een vertraagde schrijfcyclus (Delayed Write Cycle).

Figuur 8/3.4.1-18: Golfvormen en timing van een vroege schrijfcyclus (Early Write Cycle).

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Write command setup time	t_{WCS}	0	—	0	—	0	—	0	—	ns	10, 19
Write command hold time	t_{WCH}	8	—	10	—	13	—	15	—	ns	19
Write command pulse width	t_{WP}	8	—	10	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	8	—	10	—	13	—	15	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	8	—	10	—	13	—	15	—	ns	21
Data-in setup time	t_{DS}	0	—	0	—	0	—	0	—	ns	11, 21
Data-in hold time	t_{DH}	8	—	10	—	13	—	15	—	ns	11, 21

Tabel 8/3.4.1-18: De timing van schrijfcycli.

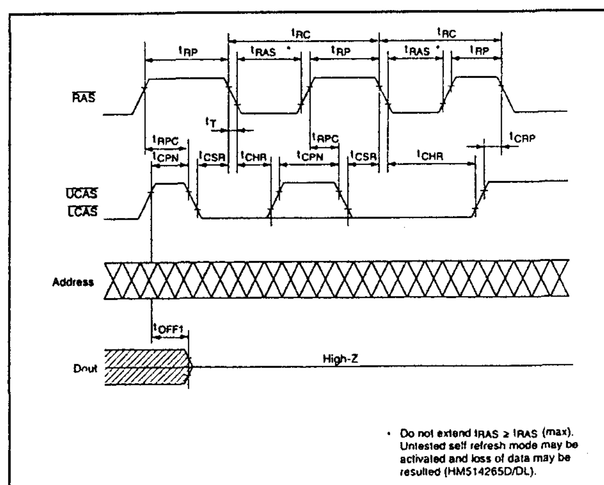
3.4 Speciale DRAM's



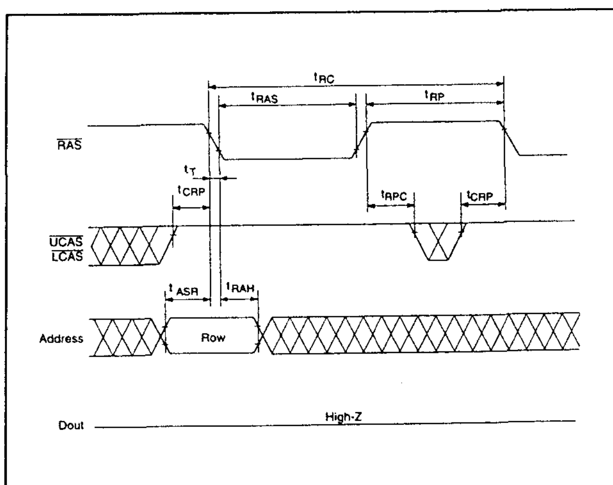
Figuur 8/3.4.1-20: Golfvormen en timing van een Read-Modify-Write cyclus, uitgevoerd op de HM51(S)4265D of HM51W4265C.

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	109	—	133	—	159	—	183	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	65	—	77	—	90	—	102	—	ns	10
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	30	—	32	—	38	—	42	—	ns	10
Column address to $\overline{WE}$ delay time	t_{AWD}	42	—	47	—	55	—	62	—	ns	10
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	13	—	15	—	18	—	20	—	ns	

Tabel 8/3.4.1-19: De timing van Read-Modify-Write cycli.



Figuur 8/3.4.1-22: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.



Figuur 8/3.4.1-21: Timing en golfvormen bij de RAS-only refresh cyclus.

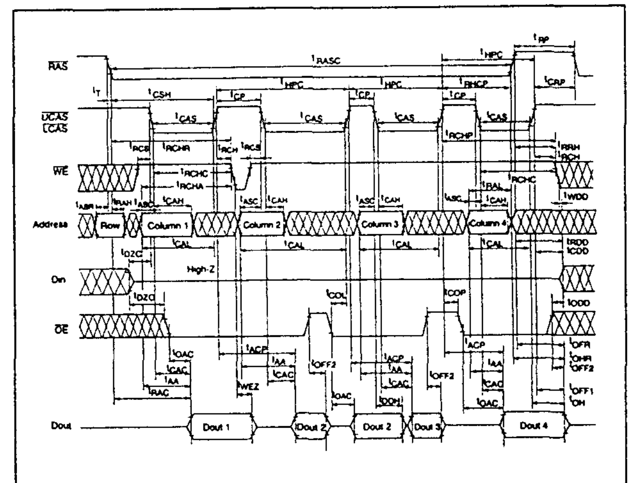
		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	10	—	10	—	10	—	10	—	ns	19
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	10	—	10	—	10	—	10	—	ns	20
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	10	—	10	—	10	—	10	—	ns	19
$\overline{CAS}$ precharge time in normal mode	t_{CPN}	8	—	10	—	13	—	15	—	ns	22

Tabel 8/3.4.1-20: Schakeltijden van de refresh-cycli.

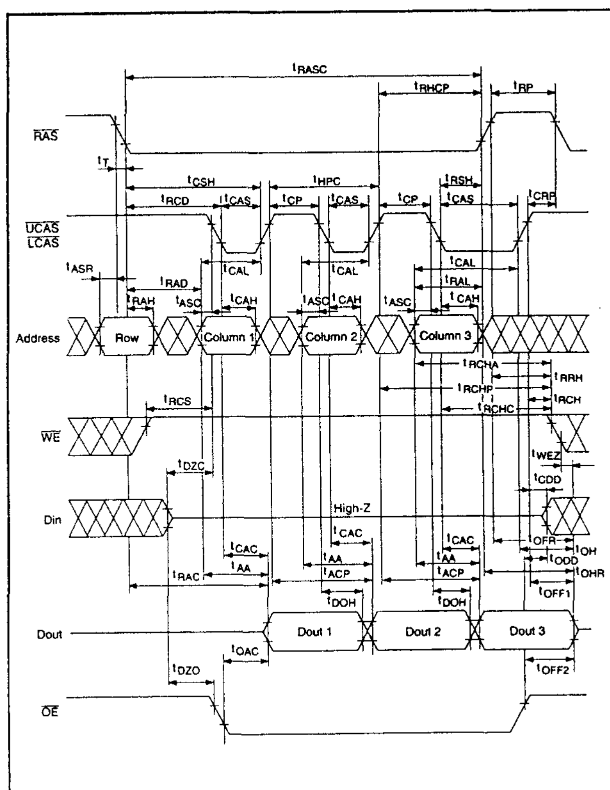
3.4 Speciale DRAM's

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	20	—	25	—	30	—	35	—	ns	24
EDO page mode $\overline{CAS}$ precharge time	t_{CP}	8	—	10	—	13	—	15	—	ns	
EDO page mode $\overline{RAS}$ pulse width	t_{RASC}	—	100000	—	100000	—	100000	—	100000	ns	12
Access time from $\overline{CAS}$ precharge	t_{ACP}	—	28	—	35	—	40	—	45	ns	3, 13, 17
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{RHCP}	30	—	35	—	40	—	45	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	5	—	5	—	5	—	5	—	ns	26
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	8	—	10	—	13	—	20	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	5	—	5	—	5	—	5	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHP}	30	—	35	—	40	—	45	—	ns	

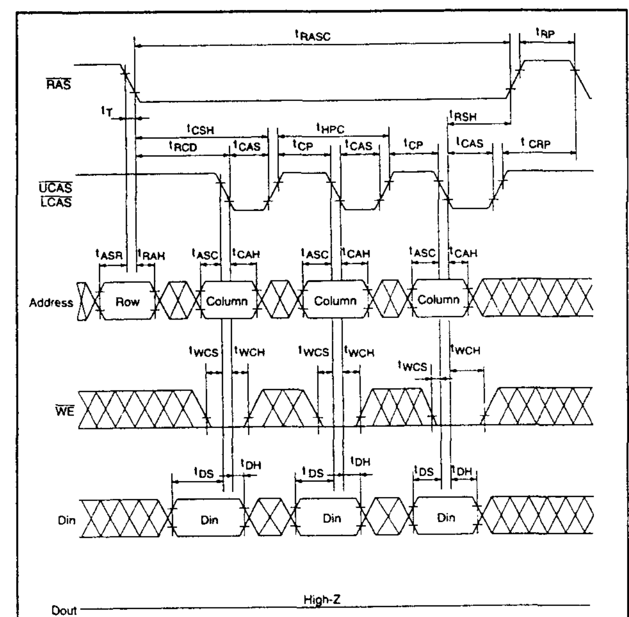
Tabel 8/3.4.1-21: Timingen van de EDO Page Mode cycli.



Figuur 8/3.4.1-24: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (High-Z besturing met $\overline{WE}$ en $\overline{OE}$).



Figuur 8/3.4.1-23: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (t_{HPC} minimum cyclustijd-operatie).



Figuur 8/3.4.1-25: Timing en golfvormen bij de EDO Page Mode Early Write cyclus (t_{HPC} minimum cyclustijd-operatie).

3.4 Speciale DRAM's

Figuur 8/3.4.1-26: Timing en golfvormen bij de EDO Page Mode Delayed Write cyclus.

Figuur 8/3.4.1-27: Signalen bij de EDO Page Mode Read-Modify-Write cyclus.

Figuur 8/3.4.1-28: EDO Page Mode Mix Cyclus 1.

Figuur 8/3.4.1-29: EDO Page Mode Mix Cyclus 2 (zie ook opmerking bij figuur 8/3.4.1-28).

Opmerking

Een minimale page-mode cyclustijd ($t_{HPC(min.)}$) kan worden verkregen tijdens een reeks EDO page-mode early write-cycli of EDO page-mode leescycli. Wanneer zowel schrijf- als lees-operaties worden toegepast in een EDO page-mode $\overline{RAS}$-cyclus, dan wordt de minimum waarde van de $\overline{CAS}$-cyclus ($t_{CAS} + t_{CP} + 2t_T$) groter dan de gespecificeerde $t_{HPC(min.)}$ waarde.

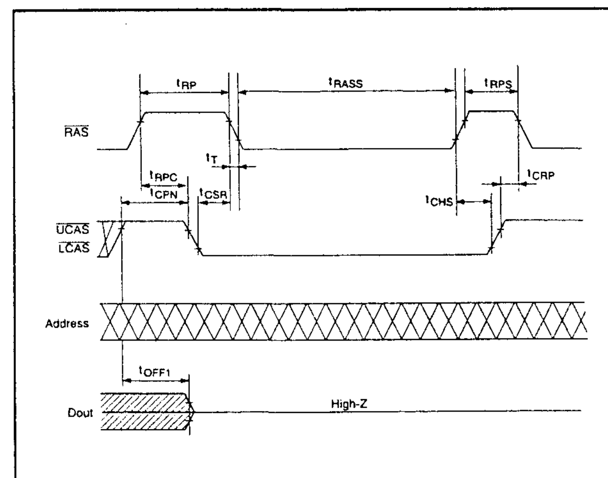
3.4 Speciale DRAM's

		HM514265D, HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read-modify-write cycle time	t_{HPCM}	57	—	66	—	77	—	86	—	ns	
EDO page mode read-modify-write cycle $\overline{CAS}$ precharge to $\overline{WE}$ delay time	t_{CPW}	45	—	52	—	60	—	67	—	ns	10

Tabel 8/3.4.1-22: Schakeltijden bij de EDO Page Mode Read-Modify-Write cyclus.

		HM51S4265D									
		-5		-6/-6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{RAS}$ pulse width (self refresh)	t_{RASS}	100	—	100	—	100	—	100	—	ns	30, 31, 32
$\overline{RAS}$ precharge time (self refresh)	t_{RPS}	90	—	110	—	130	—	150	—	ns	
$\overline{CAS}$ hold time (self refresh)	t_{CHS}	-50	—	-50	—	-50	—	-50	—	ns	21

Tabel 8/3.4.1-23: Schakeltijden van de Self Refresh Mode van de S-versie van de HM514265D: de HM51S4265D.



Figuur 8/3.4.1-30: Golfvormen en timing tijdens de self-refresh cycli van de HM51S4265D.

1. AC measurements assume t_T = 2 ns, V_{IH} = 3.0 V, V_{IL} = 0.0 V
2. Assumes that $t_{RCD} \le t_{RCD}$ (max) and $t_{RAD} \le t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
3. Measured with a load circuit equivalent to 1 TTL loads and 50 pF.
4. Assumes that $t_{RCD} \ge t_{RCD}$ (max) and $t_{RAD} \le t_{RAD}$ (max).
5. Assumes that $t_{RCD} \le t_{RCD}$ (max) and $t_{RAD} \ge t_{RAD}$ (max).
6. t_{OFF1} (max), t_{OFF2} (max), t_{OFR} (max) and t_{WEZ} (max) define the time at which the output achieves the open circuit condition and is not referred to output voltage levels.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} and V_{IL}.
8. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only, if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
9. Operation with the t_{RAC} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only, if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
10. t_{WCS}, t_{RWD}, t_{CWD} and t_{AWD} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only: if $t_{WCS} \ge t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \ge t_{RWD}$ (min), $t_{CWD} \ge t_{CWD}$ (min), $t_{AWD} \ge t_{AWD}$ (min) and $t_{CPW} \ge t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell, if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
11. These parameters are referred to $\overline{CAS}$ leading edge in an early write cycle and to $\overline{WE}$ leading edge in a delayed write or a read-modify-write cycle
12. t_{RASC} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
13. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{ACP}.
14. An initial pause of 100 µs is required after power up followed by a minimum of eight initialization cycles ($\overline{RAS}$-only refresh cycle or $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle). If the internal refresh counter is used, a minimum of eight $\overline{CAS}$-before-$\overline{RAS}$ refresh cycles is required.
15. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
16. Either t_{RCH} or t_{RRH} must be satisfied for a read cycle
17. When both $\overline{UCAS}$ and $\overline{LCAS}$ go low at the same time, all 16-bit data are written into the device. $\overline{UCAS}$ and $\overline{LCAS}$ cannot be staggered within the same write/read cycles.
18. All the V_{CC} and V_{SS} pins shall be supplied with the same voltages.
19. t_{ASC}, t_{CAH}, t_{RCS}, t_{WCS}, t_{WCH}, t_{CSR} and t_{HPC} are determined by the earlier falling edge of $\overline{UCAS}$ or $\overline{LCAS}$
20. t_{CRP}, t_{CHR}, t_{ACP}, t_{RCH} and t_{CPW} are determined by the later rising edge of $\overline{UCAS}$ or $\overline{LCAS}$.
21. t_{CWL}, t_{DH}, t_{DS} and t_{CHS} should be satisfied by both $\overline{UCAS}$ and $\overline{LCAS}$.
22. t_{CPN} and t_{CP} are determined by the time that both $\overline{UCAS}$ and $\overline{LCAS}$ are high.
23. When output buffers are enabled once, sustain the low impedance state until valid data is obtained. When output buffer is turned on and off within a very short time, generally it causes large V_{CC}/V_{SS} line noise, which causes to degrade V_{IH} min/V_{IL} max level.
24. t_{HPC} (min) can be achieved during a series of EDO page mode early write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle t_{HPC} ($t_{CAS} + t_{CP} + 2t_T$) becomes greater than the specified t_{HPC} (min) value.
25. t_{OFF1} and t_{OFR} are determined by the later rising edge of $\overline{RAS}$ or $\overline{CAS}$.
26. t_{DOH} defines the time at which the output level satisfies the output timing reference levels. Measured with the test conditions.
27. t_{RAS} (min) = t_{RWD} (min) + t_{RWL} (min) + t_T in read-modify-write cycle.
28. t_{CAS} (min) = t_{CWD} (min) + t_{CWL} (min) + t_T in read-modify-write cycle.
29. t_{CSH} (min) can be achieved when $t_{RCD} \le t_{CSH}$ (min) − t_{CAS} (min).
30. Please do not use t_{RASS} timing, 10 µs ≤ t_{RASS} ≤ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If t_{RASS} > 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
31. If you use distributed CBR refresh mode with 15.6 µs interval in normal read/write cycle, CBR refresh should be executed within 15.6 µs immediately after exiting from and before entering into self refresh mode.
32. If you use $\overline{RAS}$ only refresh or CBR burst refresh mode in normal read/write cycle, 512 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 8 ms immediately after exiting from and before entering into the self refresh mode
33. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self refresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.
34. XXX: H or L (H: V_{IH} (min) ≤ V_{IN} ≤ V_{IH} (max), L: V_{IL} (min) ≤ V_{IN} ≤ V_{IL} (max))

    ///////: Invalid Dout

    When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-24: Aanwijzingen bij de tabellen 8/3.4.1-16 tot en met -23.

HM51W4265C

256 k x 16 bit EDO RAM, 3,3 V

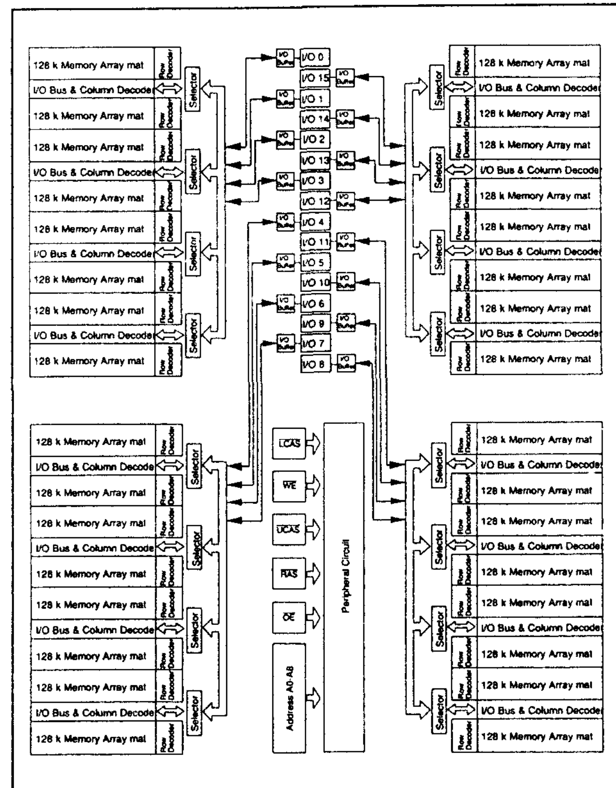
De HM514265 is ook leverbaar in een Low Voltage uitvoering met toegangstijden van 60, 70 en 80 ns: de HM51W4265C. Deze EDO RAM is, afgezien van de voedings- en

3.4 Speciale DRAM's

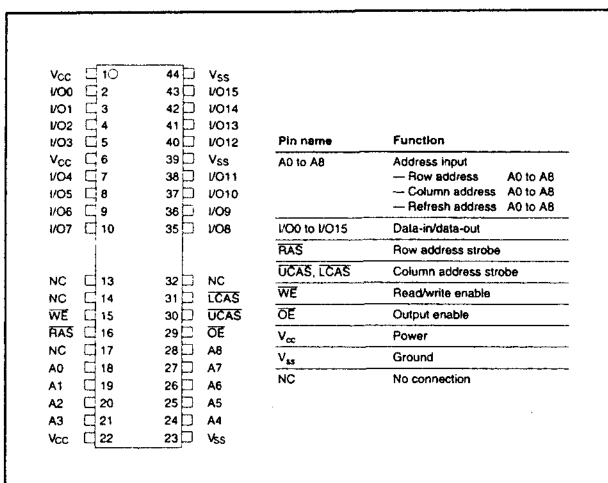
signaalspanningen, gelijk aan de "gewone" HM514265. In dit gedeelte zijn dan ook alleen de afwijkende tabellen geplaatst en zijn verwijzingen naar de "gewone" HM514265 opgenomen. De (262.144 x 16 bit) HM51W4265C is alleen leverbaar in een standaard 44-pens TOSPII-behuizing.

Specificaties

- 256 k x 16 bit organisatie
- EDO page-mode mogelijk
- voeding:
  +3,3 V +/-0,3 V of +3,3 V +/-0,15 V (HM51W4265C-6R)
- toegangstijden:
  60, 70 of 80 ns (HM51W4265C-6/7/8)
- 512 refresh-cycli in 8 ms
  (L-versie: 128 ms)
- 3 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, self refresh
- behuizing: 400-mil 400-mil 44-pens plastic TSOP II (figuur 8/3.4.1-31)
- gering opgenomen vermogen:
  in bedrijf: 576/552/468/396 mW (max.)
  standby: 7 mW (max.) (L-versie: 0,7 mW)
- 2$\overline{CAS}$-byte control
- fabrikant: Hitachi

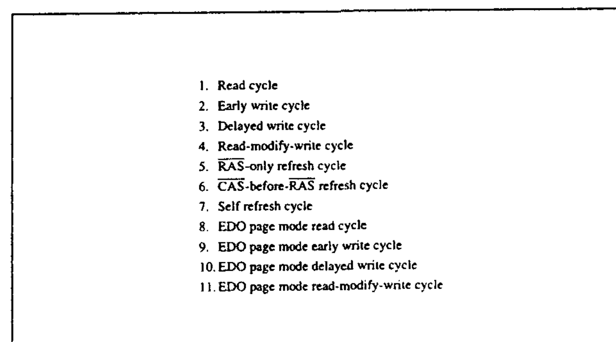


Figuur 8/3.4.1-32: Blokschema van de HM51W4265C.



Pin name	Function
A0 to A8	Address input — Row address A0 to A8 — Column address A0 to A8 — Refresh address A0 to A8
I/O0 to I/O15	Data-in/data-out
$\overline{RAS}$	Row address strobe
$\overline{UCAS}$, $\overline{LCAS}$	Column address strobe
$\overline{WE}$	Read/write enable
$\overline{OE}$	Output enable
V_{cc}	Power
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-31: Aansluitingen en pen-functies van de HM 51W4265C.



1. Read cycle
2. Early write cycle
3. Delayed write cycle
4. Read-modify-write cycle
5. $\overline{RAS}$-only refresh cycle
6. $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle
7. Self refresh cycle
8. EDO page mode read cycle
9. EDO page mode early write cycle
10. EDO page mode delayed write cycle
11. EDO page mode read-modify-write cycle

Figuur 8/3.4.1-33: Ook de HM51W4265C heeft 11 bedrijfsmodes.

3.4 Speciale DRAM's

Inputs						
$\overline{RAS}$	$\overline{LCAS}$	$\overline{UCAS}$	$\overline{WE}$	$\overline{OE}$	Output	Operation
H	H	H	D	D	Open	Standby
H	L	L	H	L	Valid	Standby
L	L	L	H	L	Valid	Read cycle
L	L	L	L*2	D	Open	Early write cycle
L	L	L	L*2	H	Undefined	Delayed write cycle
L	L	L	H to L	L to H	Valid	Read-modify-write cycle
L	H	H	D	D	Open	$\overline{RAS}$-only refresh cycle
H to L	H	L	D	D	Open	$\overline{CAS}$-before-$\overline{RAS}$ refresh cycle
	L	H				Self refresh cycle
	L	L				
L	H to L	H to L	H	L	Valid	EDO page mode read cycle
L	H to L	H to L	L*2	D	Open	EDO page mode early write cycle
L	H to L	H to L	L*2	H	Undefined	EDO page mode delayed write cycle
L	H to L	H to L	H to L	L to H	Valid	EDO page mode read-modify-write cycle
L	L	L	H	H	Open	Read cycle (Output disabled)

Notes: 1. H: High(inactive) L: Low(active) D: H or L
2. $t_{wcs} \geq 0$ ns Early write cycle
$t_{wcs} < 0$ ns Delayed write cycle
3. Mode is determined by the OR function of the $\overline{UCAS}$ and $\overline{LCAS}$. (Mode is set by the earliest of $\overline{UCAS}$ and $\overline{LCAS}$ active edge and reset by the latest of $\overline{UCAS}$ and $\overline{LCAS}$ inactive edge.) However write OPERATION and output HIZ control are done independently by each $\overline{UCAS}$, $\overline{LCAS}$.
ex. If $\overline{RAS}$ = H to L, $\overline{UCAS}$ = H, $\overline{LCAS}$ = L, then $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle is selected.

Tabel 8/3.4.1-25: Waarheidstabel van de HM51W4265C.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	−0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	−0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C

Tabel 8/3.4.1-26: Maximaal toegelaten waarden van de HM51W4265C.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC} (HM51W4265C-6R)	3.15	3.3	3.45	V
	V_{CC} (HM51W4265C-6/7/8)	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	−0.3	—	0.8	V

Tabel 8/3.4.1-27: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

		HM51W4265C							
		-6/6R		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1 *2	I_{CC1}	—	120	—	110	—	95	mA	RAS cycling $\overline{UCAS}$ or $\overline{LCAS}$ cycling t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ $\overline{WE}$, $\overline{OE}$ ≥ V_{CC} − 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC8}	—	200	—	200	—	200	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$, $\overline{WE}$, $\overline{OE}$ ≥ V_{CC} − 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	120	—	105	—	92	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{UCAS}$ or $\overline{LCAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current*2	I_{CC6}	—	120	—	105	—	92	mA	t_{RC} = min
EDO page mode current*1 *3	I_{CC7}	—	160	—	130	—	110	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	200	—	200	—	200	µA	Standby: CMOS interface Dout = High-Z CBR refresh: t_{RC} = 250 µs t_{RAS} ≤ 1 µs, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IL} $\overline{WE}$, $\overline{OE}$ = V_{IH}
Self-refresh mode current	I_{CC11}	—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V Dout = High-Z
Self-refresh mode current (L-version)	I_{CC11}	—	200	—	200	—	200	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	µA	0 V ≤ Vin ≤ 4.6 V
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	µA	0 V ≤ Vout ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one EDO page cycle.
4. $V_{IH} \geq V_{CC} - 0.2$ V, $0 \leq V_{IL} \leq 0.2$ V. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.

Tabel 8/3.4.1-28: Gelijkspanningskarakteristieken van de HM51W4265C (bij 70 °C en 3,3 V).

Overig kenmerken

- De in- en uitgangs-capaciteiten van de HM51W4265C zijn identiek aan die van de HM51(S)4265D (zie tabel 8/3.4.1-15).
- De timingen van de Read, Read-Modify-Write en Refresh cycli (gemeenschappelijke parameters) zijn gelijk aan die van de HM51(S)4265D (zie de tabellen 8/3.4.1-16 tot en met -20 en de figuren 8/3.4.1-17 tot en met -22 en -30).
- Ook de timing van de EDO Page Mode cycli komen overeen met die van de HM51(S)4265D (zie de tabellen 8/3.4.1-21 tot en met -24 en de figuren 8/3.4.1-23 tot en met -29).

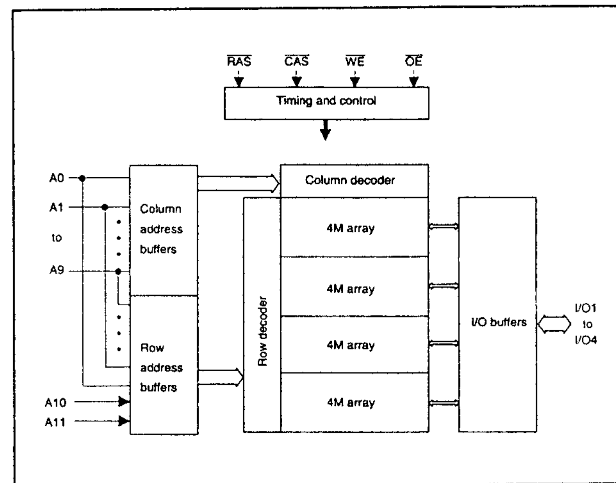
3.4 Speciale DRAM's

HM5116405, HM5117405

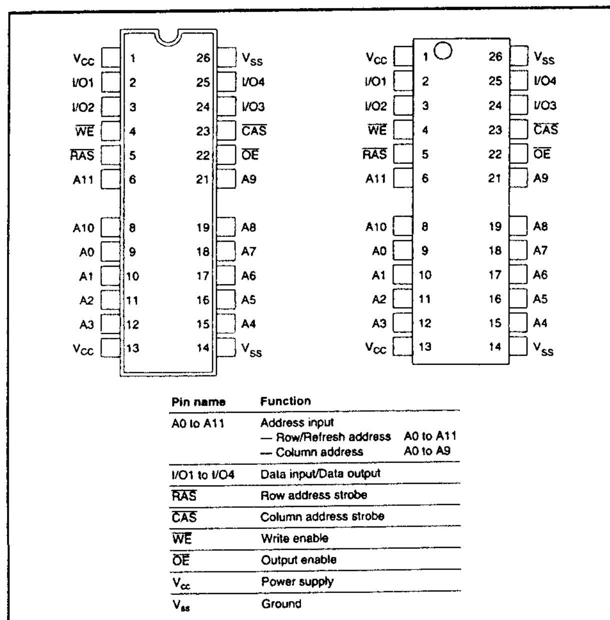
4 M x 4 bit EDO RAM

De HM5116405 en HM5117405 zijn CMOS dynamische RAM's, georganiseerd in 4.194.304 woorden van elk 4 bit. Deze geheugens kunnen worden gebruikt in de zogenaamde Extended Data-Out mode (EDO) waardoor de informatie langer op de uitgang beschikbaar blijft. Hierdoor is het mogelijk om een nieuw adres al aan te bieden terwijl de data van het vorige adres nog wordt gelezen. Doordat gemultiplexte adreslijnen worden gebruikt, zijn veel minder aansluitpennen nodig en passen de geheugens in een 0,3" plastic 26-pens SOJ- of TSOP II-behuizing.

De HM5116405 ververst 4.096 adressen per keer, terwijl de HM5117405 de helft per keer doet: 2.048. De HM5116405 heeft daarom 12 adreslijnen en de HM5117405 slechts 11.

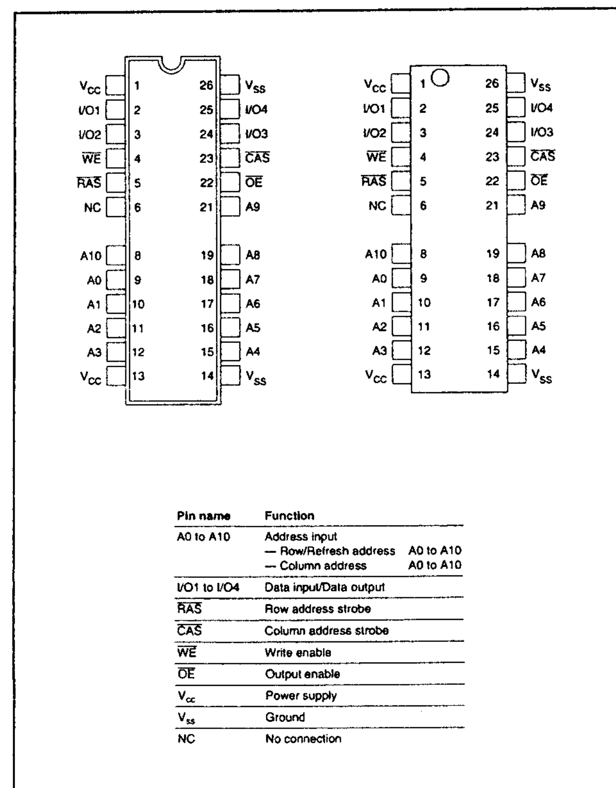


Figuur 8/3.4.1-35: Blokschema van de HM5116405.



Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A9
I/O1 to I/O4	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground

Figuur 8/3.4.1-34: Aansluitingen en pen-functies van de HM5116405 (links de SOJ-versie HM5116405S en rechts de TSOP II-versie HM5116405TS).



Pin name	Function
A0 to A10	Address input — Row/Refresh address A0 to A10 — Column address A0 to A10
I/O1 to I/O4	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-36: Aansluitingen en pen-functies van de HM5117405 (links de SOJ-versie HM5117405S en rechts de TSOP II-versie HM5117405TS).

3.4 Speciale DRAM's

Specificaties

- 4 M x 4 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding
- toegangstijden:
  50, 60 en 70 ns (HM5116405-5/-6/-7 en HM5116405-5/-6/-7)
- lange refresh-periode:
- HM5116405: 4.096 refresh-cycli in 64 ms (L-versie: 128 ms)
- HM5117405: 2.048 refresh-cycli in 32 ms (L-versie: 128 ms)
- 3 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden refresh
- behuizingen:
  300-mil 26-pens plastic SOJ
  TSOP II (figuren 8/3.4.1-34 en -36)
- gering opgenomen vermogen:
  in bedrijf: HM5116405:
  495/440/385 mW (max.)
  HM5117405: 550/495/440 mW (max.)
  standby:
  11 mW (max.) of 0,83 mW (L-versie)
- fabrikant: Hitachi

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	-1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	-1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	-55 to +125	°C

Tabel 8/3.4.1-29: Maximaal toegelaten waarden voor de HM5116405 en HM5117405.

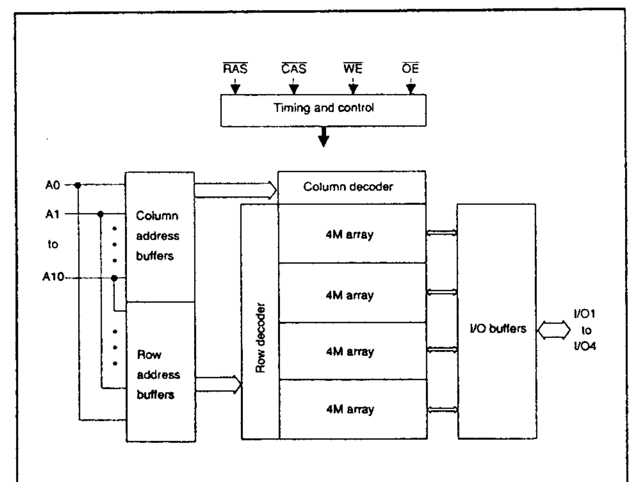
Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
Input high voltage	V_{IH}	2.4	—	6.5	V
Input low voltage	V_{IL}	-1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/3.4.1-30: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

Parameter	Symbol	Typ	Max	Unit
Input capacitance (Address)	C_{I1}	—	5	pF
Input capacitance (Clocks)	C_{I2}	—	7	pF
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF

Tabel 8/3.4.1-31: In/uitgangs-capaciteiten van de HM5116405 en HM5117405.



Figuur 8/3.4.1-37: Blokschema van de HM5117405.

Parameter	Symbol	HM5116405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current[*1, *2]	I_{CC1}	—	90	—	80	—	70	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current[*2]	I_{CC3}	—	90	—	80	—	70	mA	t_{RC} = min
Standby current[*1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	90	—	80	—	70	mA	t_{RC} = min
EDO page mode current[*1, *3]	I_{CC7}	—	80	—	70	—	65	mA	t_{PC} = min
Battery backup current	I_{CC10}	—	350	—	350	—	350	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Input leakage current	I_{LI}	-10	10	-10	10	-10	10	µA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	-10	10	-10	10	-10	10	µA	0 V ≤ Vin ≤ 7 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = -2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.

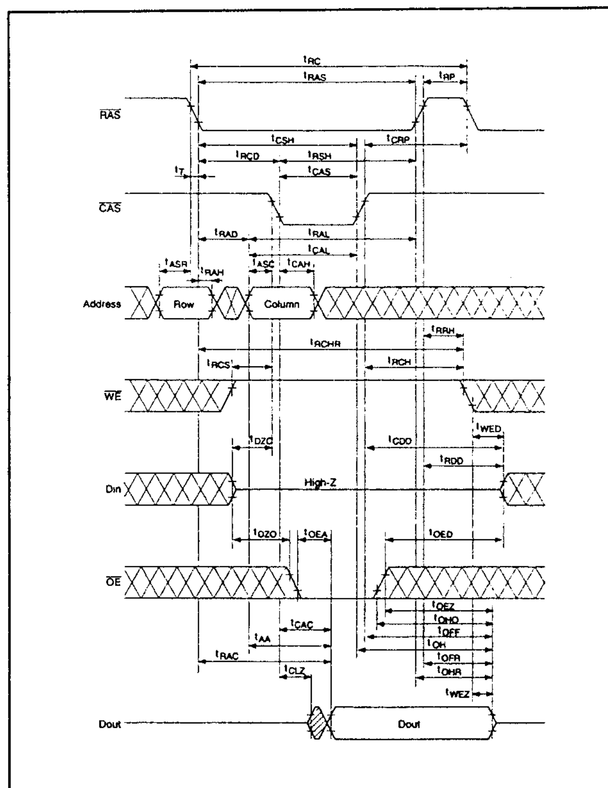
Tabel 8/3.4.1-32: Gelijkspanningskarakteristieken van de HM5116405.

3.4 Speciale DRAM's

Parameter	Symbol	HM5117405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current*1, *2	I_{CC1}	—	100	—	90	—	80	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	μA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	100	—	90	—	80	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	100	—	90	—	80	mA	t_{RC} = min
EDO page mode current*1, *3	I_{CC7}	—	90	—	80	—	75	mA	t_{HPC} = min
Battery backup current	I_{CC10}	—	350	—	350	—	350	μA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 62.5 μs t_{RAS} ≤ 0.3 μs
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	μA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	μA	0 V ≤ Vin ≤ 7 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.

Tabel 8/3.4.1-33: Gelijkspanningskarakteristieken van de HM5117405.



Figuur 8/3.4.1-38: Golfvormen en timing van een leescyclus op de HM5116405 en HM5117405 (en HM51W16405/HM51W17405).

Parameter	Symbol	HM5116405/HM5117405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Random read or write cycle time	t_{RC}	84	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	30	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	7	—	10	—	13	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	50	10000	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	7	10000	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	0	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	7	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	0	—	0	—	0	—	ns	
Column address hold time	t_{CAH}	7	—	10	—	13	—	ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	11	37	14	45	14	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	9	25	12	30	12	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	10	—	13	—	13	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	35	—	40	—	45	—	ns	
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	5	—	5	—	5	—	ns	
$\overline{OE}$ to Din delay time	t_{OED}	13	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	0	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	0	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	2	50	2	50	2	50	ns	7

Tabel 8/3.4.1-34: Schakeltijden van read, read-modify-write en refresh van de HM5116405 en HM5117405 (en HM51W16405/HM51W17405).

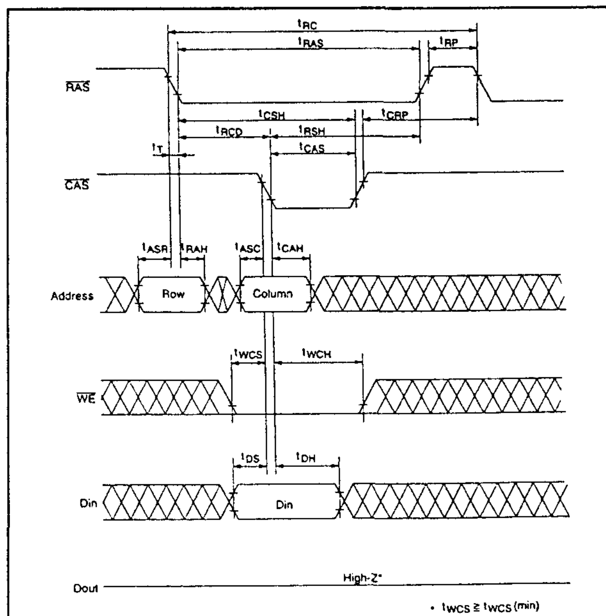
Parameter	Symbol	HM5116405/HM5117405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Write command setup time	t_{WCS}	0	—	0	—	0	—	ns	14
Write command hold time	t_{WCH}	7	—	10	—	13	—	ns	
Write command pulse width	t_{WP}	7	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	7	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	7	—	10	—	13	—	ns	
Data-in setup time	t_{DS}	0	—	0	—	0	—	ns	15
Data-in hold time	t_{DH}	7	—	10	—	13	—	ns	15

Tabel 8/3.4.1-36: Schakeltijden bij het schrijven (zie de figuren 8/3.4.1-39 en -40).

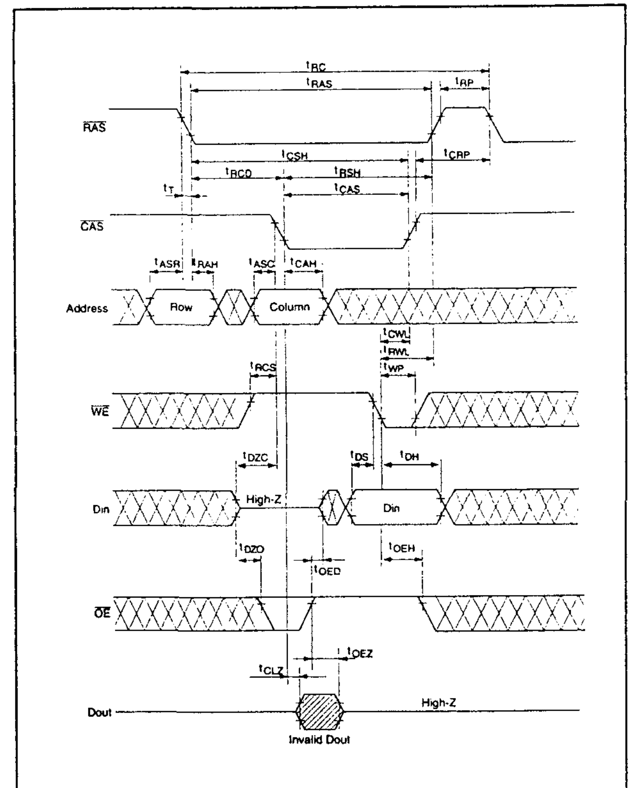
3.4 Speciale DRAM's

Parameter	Symbol	HM5116405/HM5117405 -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	50	—	60	—	70	ns	8, 9, 20
Access time from $\overline{CAS}$	t_{CAC}	—	13	—	15	—	18	ns	9, 10, 17, 20
Access time from address	t_{AA}	—	25	—	30	—	35	ns	9, 11, 17, 20
Access time from $\overline{OE}$	t_{OEA}	—	13	—	15	—	18	ns	9, 20
Read command setup time	t_{RCS}	0	—	0	—	0	—	ns	
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	0	—	ns	12
Read command hold time from $\overline{RAS}$	t_{RCHR}	50	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	25	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	15	—	18	—	23	—	ns	
$\overline{CAS}$ to output in low-Z	t_{CLZ}	0	—	0	—	0	—	ns	
Output data hold time	t_{OH}	3	—	3	—	3	—	ns	22
Output data hold time from $\overline{OE}$	t_{OHO}	3	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	13	—	15	—	15	ns	13, 22
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	13	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	13	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	3	—	3	—	3	—	ns	22
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	13	—	15	—	15	ns	22
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	13	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	13	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	13	—	15	—	18	—	ns	
$\overline{RAS}$ next $\overline{CAS}$ delay time	t_{RNCD}	50	—	60	—	70	—	ns	

Tabel 8/3.4.1-35: Timing van een leescyclus op de HM5116405/HM5117405 (en HM51W16405/HM51W17405).



Figuur 8/3.4.1-39: Golfvormen en timing van een vroege schrijfcyclus ("early write"). Als twcs > twcs(min.) is blijft de data-uit pen gedurende de gehele cyclus hoog-impedant.

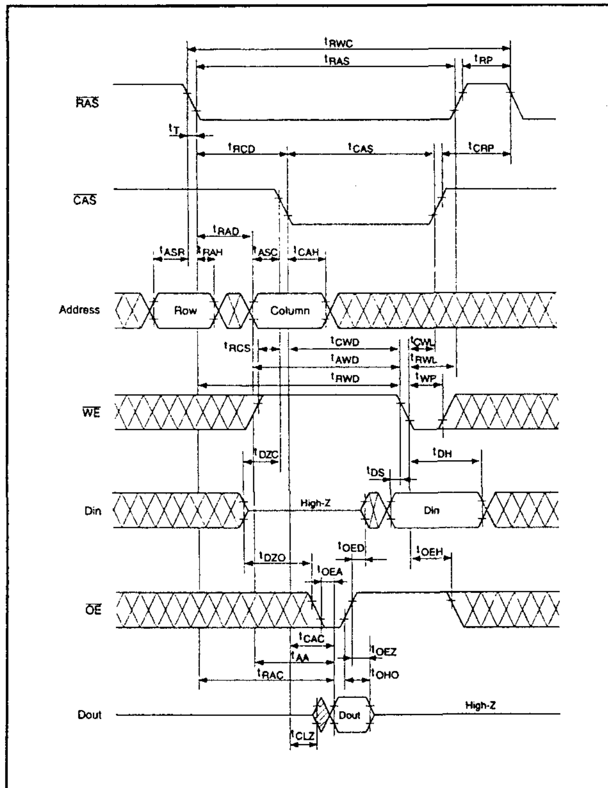


Figuur 8/3.4.1-40: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").

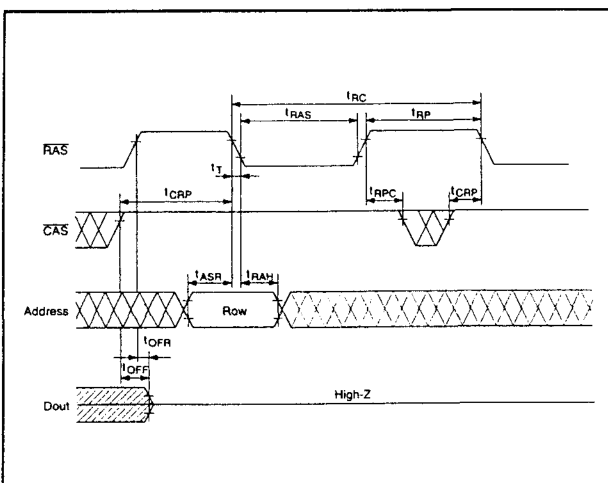
Parameter	Symbol	HM5116405/HM5117405 -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	111	—	135	—	161	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	67	—	79	—	92	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	30	—	34	—	40	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	42	—	49	—	57	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	13	—	15	—	18	—	ns	

Tabel 8/3.4.1-37: Schakeltijden bij Read-Modify-Write cycli (figuur 8/3.4.1-41).

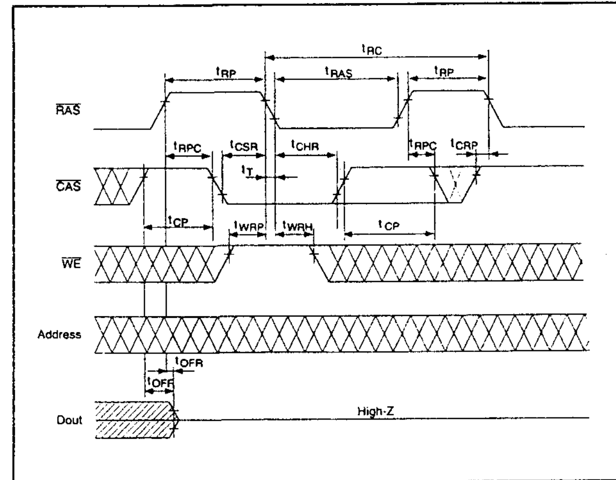
3.4 Speciale DRAM's



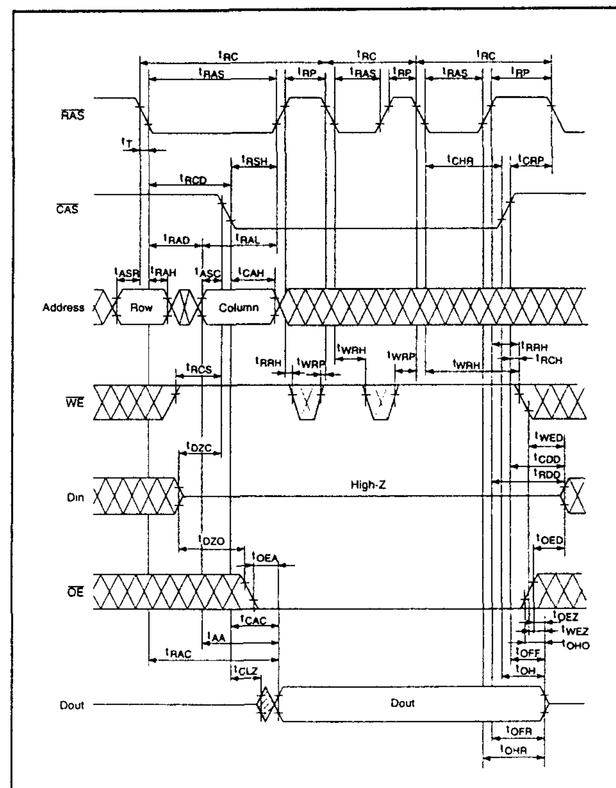
Figuur 8/3.4.1-41: Timing en golfvormen bij Read-Modify-Write cycli.



Figuur 8/3.4.1-42: Timing en golfvormen bij de RAS-only refresh cyclus.

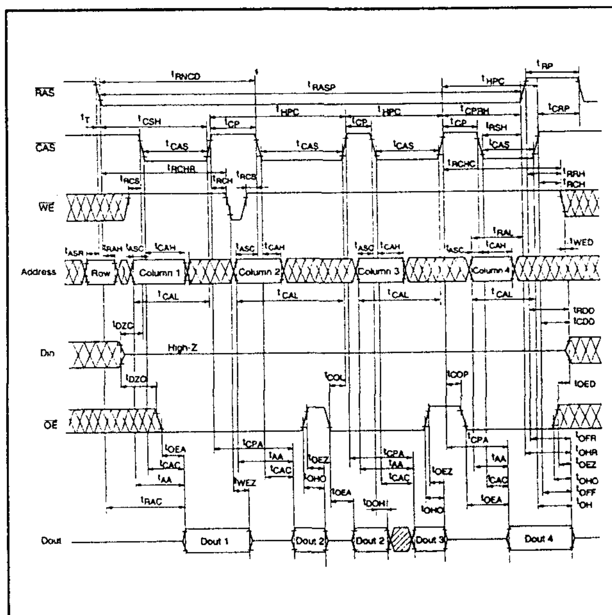


Figuur 8/3.4.1-43: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.

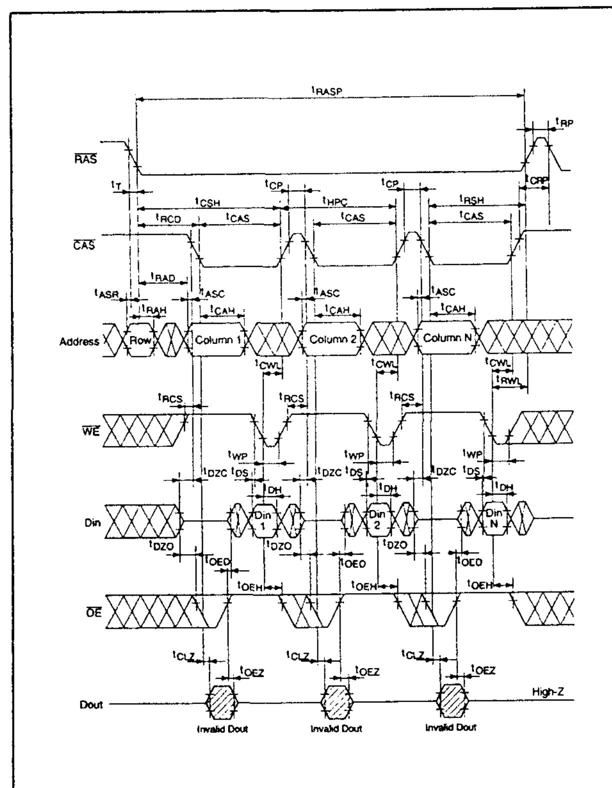


Figuur 8/3.4.1-44: Timing en golfvormen bij de hidden refresh cyclus.

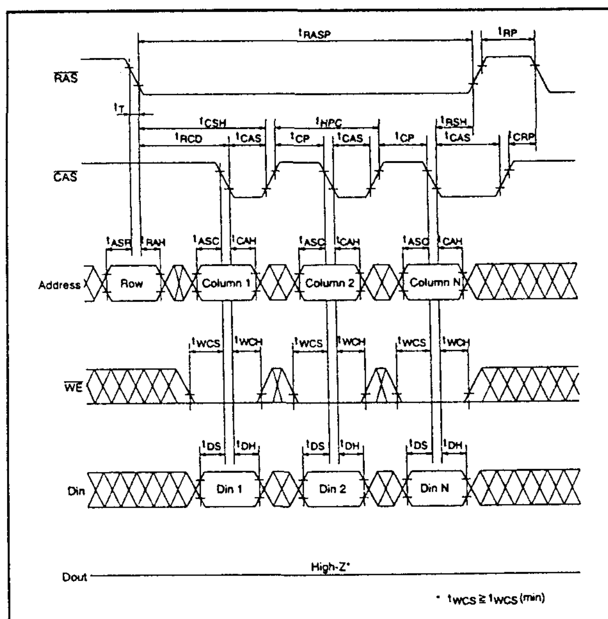
3.4 Speciale DRAM's



Figuur 8/3.4.1-45: Timing en golfvormen bij de EDO Page Mode Lees-cyclus.



Figuur 8/3.4.1-47: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).



Figuur 8/3.4.1-46: Timing en golfvormen bij de EDO Page Mode vroege schrijfcyclus (Early Write) (t_{WCS} > $t_{WCS(min.)}$).

		HM5116405/HM5117405							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	5	—	5	—	5	—	ns	
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	7	—	10	—	10	—	ns	
$\overline{WE}$ setup time (CBR refresh cycle)	t_{WRP}	0	—	0	—	0	—	ns	
$\overline{WE}$ hold time (CBR refresh cycle)	t_{WRH}	7	—	10	—	10	—	ns	
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	5	—	5	—	5	—	ns	

Tabel 8/3.4.1-38: Schakeltijden, optredend bij de refresh-cycli.

3.4 Speciale DRAM's

		HM51 16405/HM51 17405							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	20	—	25	—	30	—	ns	21
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	100000	—	100000	—	100000	ns	16
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	28	—	35	—	40	ns	9, 17, 20
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	28	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	3	—	3	—	3	—	ns	9, 17
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	7	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	5	—	5	—	5	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	28	—	35	—	40	—	ns	

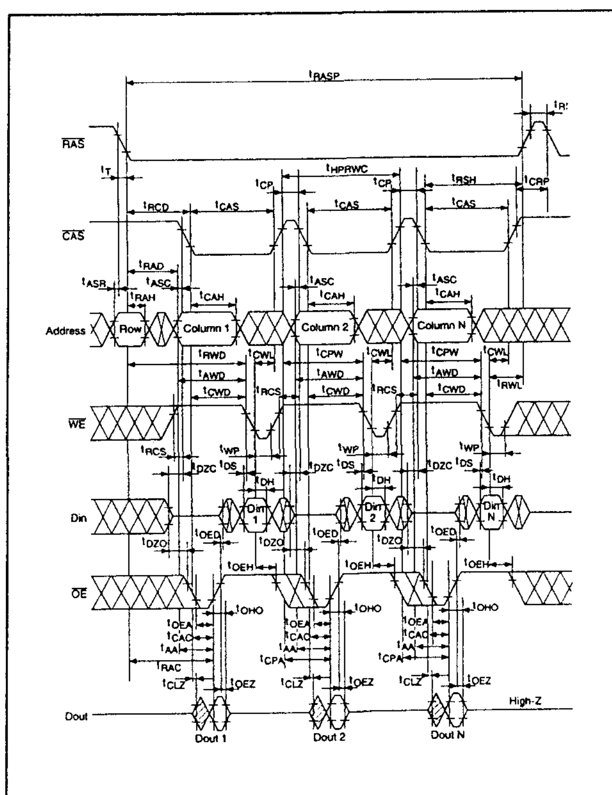
Tabel 8/3.4.1-39: Timingen, behorend bij de EDO Page Mode cycli.

		HM5116405/HM5117405							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read- modify-write cycle time	t_{HPRWC}	57	—	68	—	79		ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	45	—	54	—	62		ns	14

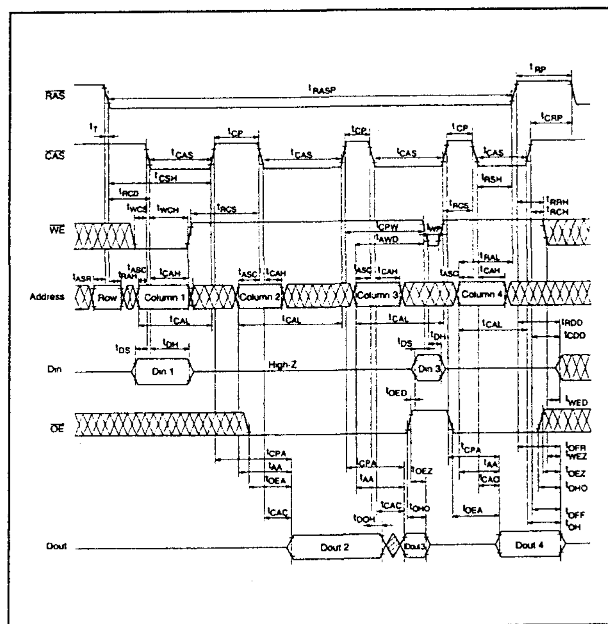
Tabel 8/3.4.1-40: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.

		HM5116405/HM5117405							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Test mode $\overline{WE}$ setup time	t_{WTS}	0	—	0	—	0	—	ns	
Test mode $\overline{WE}$ hold time	t_{WTH}	7	—	10	—	10	—	ns	

Tabel 8/3.4.1-41: Testmode Setup en Hold tijden.

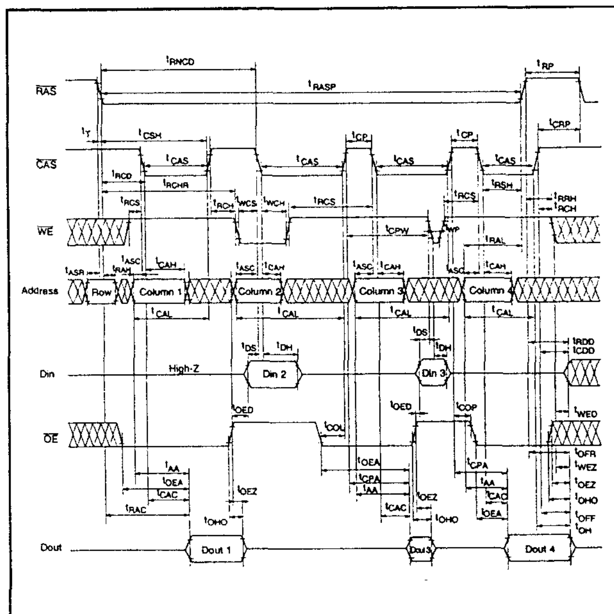


Figuur 8/3.4.1-48: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.



Figuur 8/3.4.1-49: EDO Page Mode Mix Cyclus 1.

3.4 Speciale DRAM's

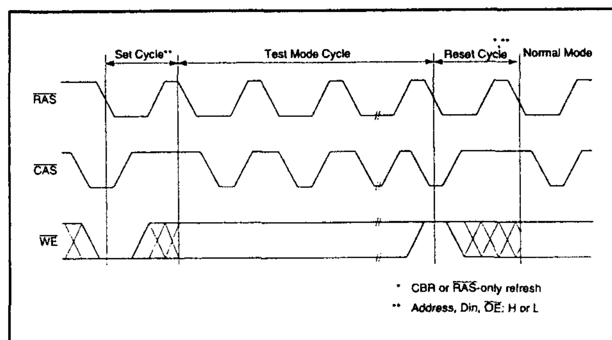


Figuur 8/3.4.1-50: EDO Page Mode Mix Cyclus 2.

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh). If the internal refresh counter is used, a minimum of eight $\overline{CAS}$-before-$\overline{RAS}$ refresh cycles are required.
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{ODD} or t_{CDD} must be satisfied.
6. Either t_{DZO} or t_{DZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\geq t_{RAD} + t_{AA}$ (max).
11. Assumes that $t_{RAD} \geq t_{RAD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\leq t_{RAD} + t_{AA}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max) and t_{OEZ} (max) define the time at which the outputs achieve *the open circuit condition* and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle, if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), and $t_{AWD} \geq t_{AWD}$ (min), or $t_{CWD} \geq t_{CWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min) and $t_{CPW} \geq t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. These parameters are referred to $\overline{CAS}$ leading edge in early write cycles and to $\overline{WE}$ leading edge in delayed write or read-modify-write cycles
16. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
17. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
18. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to device.
19. The 16M DRAM offers a 16-bit time saving parallel test mode. Address CA0 and CA1 for the 4M ×4 are don't care during test mode. Test mode is set by performing a $\overline{WE}$-and-$\overline{CAS}$-before-$\overline{RAS}$ (WCBR) cycle. In 16-bit parallel test mode, data is written into 4 bits in parallel at each I/O (I/O1 to I O4) and read out from each I/O.
    If 4 bits of each I/O are equal (all 1s or 0s), data output pin is a high state during test mode read cycle, then the device has passed. If they are not equal, data output pin is a low state, then the device has failed.

    Refresh during test mode operation can be performed by normal read cycles or by WCBR refresh cycles.
    To get out of test mode and enter a normal operation mode, perform either a regular $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle or $\overline{RAS}$-only refresh cycle.
20. In a test mode read cycle, the value of t_{RAC}, t_{AA}, t_{CAC} and t_{CPA} is delayed by 2 ns to 5 ns for the specified value. These parameters should be specified in test mode cycles by adding the above value to the specified value in this data sheet.
21. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\,t_T$) becomes greater than the specified t_{HPC} (min) value. The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
    Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH}, and between t_{OFR} and t_{OFF}.
22. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH} and between t_{OFR} and t_{OFF}.
23. XXX: H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))
    ///////: Invalid Dout
    When the address, clock and input pins are not described on timing waveforms, their pins must *be applied V_{IH} or V_{IL}.*

Tabel 8/3.4.1-43: Voorwaarden en opmerkingen bij de tabellen 8/3.4.1-34 tot en met -40.



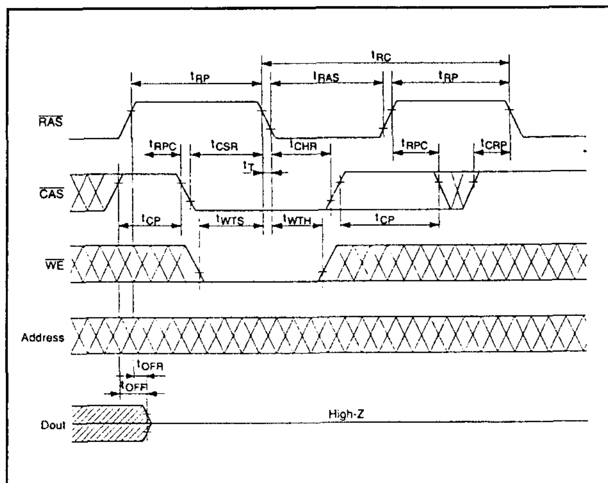
Figuur 8/3.4.1-51: De testmode cyclus.

Refresh (HM5116405 Series)

Parameter	Symbol	Max	Unit	Notes
Refresh period	t_{REF}	64	ms	4096 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-42: Lange refresh-periode bij de HM5116405 (HM5117405: 2.048 cycli in 32 ms). Geldt ook voor HM51W16405 en HM51W17405.

3.4 Speciale DRAM's



Figuur 8/3.4.1-52: Het instellen van de testmode cyclus (Test Mode Cycle Set): $\overline{WE}$-and-$\overline{CAS}$-before-$\overline{RAS}$ refresh cyclus.

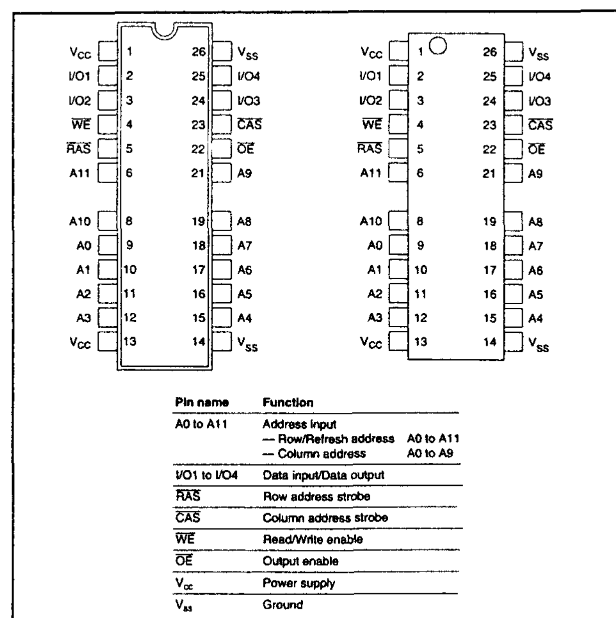
HM51W16405, HM51W17405

4 M x 4 bit EDO RAM, 3,3 V

De HM5116405 en HM5117405 zijn ook leverbaar in Low Voltage uitvoeringen met toegangstijden van 50, 60 en 70 ns: de HM51W16405 en HM51W17405 . Deze EDO RAM's zijn, behalve de voedings- en signaalspanningen, gelijk aan de "gewone" versies. Hier zijn dan ook alleen de tabellen met afwijkende waarden geplaatst, terwijl naar de hieraan vooraf gaande "gewone" HM51W16405 en HM51W17405 wordt verwezen.

Specificaties

- 4 M x 4 bit organisatie
- EDO page-mode mogelijk
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 50, 60 en 70 ns
- lange refresh-periode:
  HM51W16405: 4.096 refresh-cycli in 64 ms (L-versie: 128 ms)
  HM51W17405: 2.048 refresh-cycli in 32 ms (L-versie: 128 ms)
- 4 soorten refresh: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self- refresh (L-versie)
- behuizingen:
  300-mil 26-pens plastic SOJ
  TSOP II (figuren 8/3.4.1-53 en -55)
- gering opgenomen vermogen:
  in bedrijf:
  HM51W16405: 324/288/252 mW (max.)
  HM51W17405: 360/324/288 mW (max.)
  standby:
  7,2 mW (max.) of 0,36 mW (L-versie)
- fabrikant: Hitachi



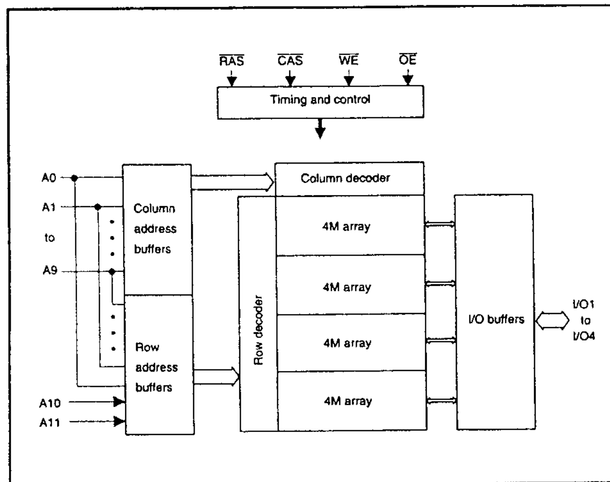
Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A9
I/O1 to I/O4	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground

Figuur 8/3.4.1-53: Aansluitingen en pen-functies van de SOJ- (links) en de TSOPII-versie (rechts) van de HM51W16405.

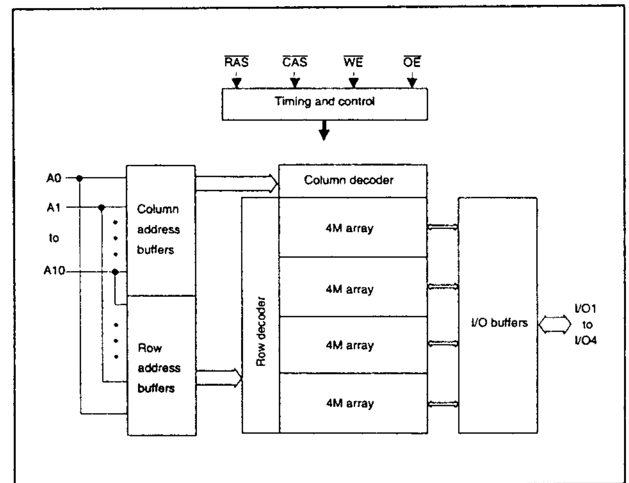
Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to V_{CC} + 0.5 (≤ +4.6 V (max))	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4 6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1 0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/3.4.1-44: Maximaal toegelaten waarden van de HM51W16405 en HM51W17405.

3.4 Speciale DRAM's



Figuur 8/3.4.1-54: Blokschema van de HM 51W16405.

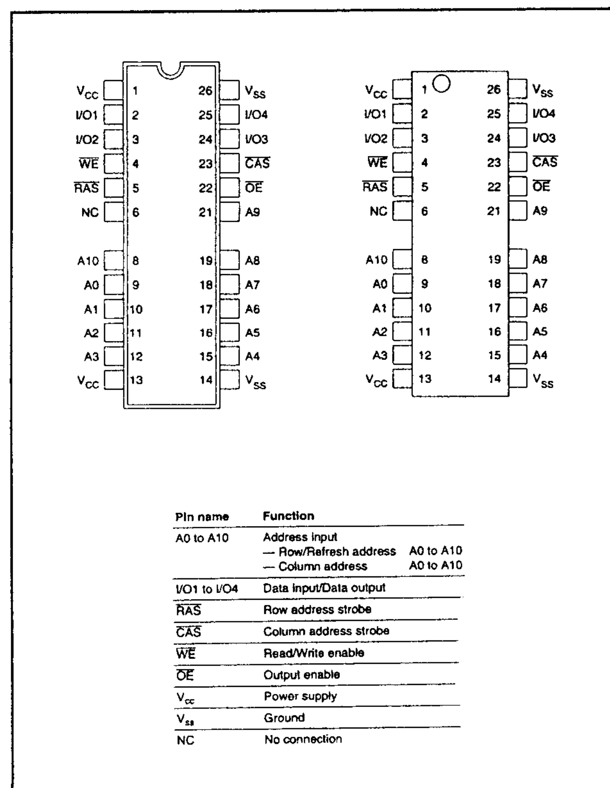


Figuur 8/3.4.1-56: Blokschema van de HM 51W17405.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	-0.3	—	0.8	V

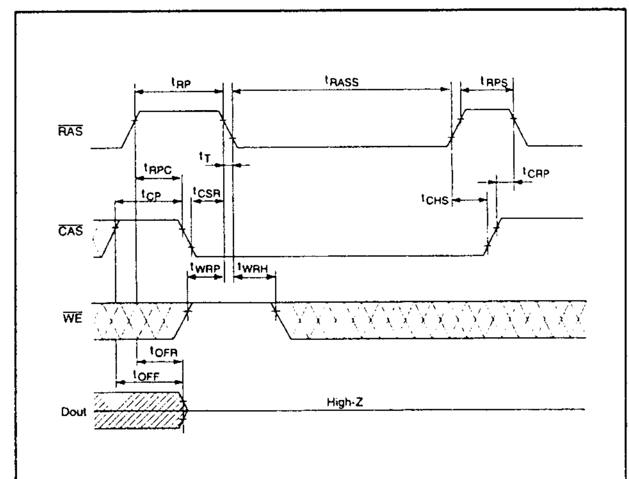
Note: 1. All voltage referred to V_{SS}.

Tabel 8/3.4.1-45: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).



Pin name	Function
A0 to A10	Address input — Row/Refresh address A0 to A10 — Column address A0 to A10
I/O1 to I/O4	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Figuur 8/3.4.1-55: Aansluitingen en pen-functies van de HM51W17405 (SOJ links en TSOPII rechts).



Figuur 8/3.4.1-57: Bij de L-versie van de HM51W16405 en HM51W 17405 is Self Refresh mogelijk.

3.4 Speciale DRAM's

Parameter	Symbol	HM51W16405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current[*1, *2]	I_{CC1}	—	90	—	80	—	70	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	100	—	100	—	100	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current[*2]	I_{CC3}	—	90	—	80	—	70	mA	t_{RC} = min
Standby current[*1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC4}	—	90	—	80	—	70	mA	t_{RC} = min
EDO page mode current[*1, *3]	I_{CC7}	—	80	—	70	—	65	mA	t_{HPC} = min
Battery backup current	I_{CC10}	—	300	—	300	—	300	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	200	—	200	—	200	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4.6 V
Output leakage current	I_{LO}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.

Tabel 8/3.4.1-46: Gelijkspanningskarakteristieken van de HM51W16405 bij 70 °C en 3,3 V.

Parameter	Symbol	HM51W17405 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current[*1, *2]	I_{CC1}	—	100	—	90	—	80	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0 2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	100	—	100	—	100	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0 2 V Dout = High-Z
$\overline{RAS}$-only refresh current[*2]	I_{CC3}	—	100	—	90	—	80	mA	t_{RC} = min
Standby current[*1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC4}	—	100	—	90	—	80	mA	t_{RC} = min
EDO page mode current[*1, *3]	I_{CC7}	—	90	—	80	—	75	mA	t_{HPC} = min
Battery backup current	I_{CC10}	—	300	—	300	—	300	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 62.5 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	200	—	200	—	200	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4 6 V
Output leakage current	I_{LO}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2 4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.

Tabel 8/3.4.1-47: Gelijkspanningskarakteristieken van de HM51W17405 bij 70 °C en 3,3 V.

Overig kenmerken

- De in- en uitgangs-capaciteiten van de HM51W16405 en HM51W17405 zijn identiek aan die van de HM5116405 en HM5117405 (zie tabel 8/3.4.1-31).
- De timingen van de Read, Write, Read-Modify-Write en Refresh cycli zijn gelijk aan die van de HM5116405 en HM5117405 (zie de tabellen 8/3.4.1-34 tot en met -38 en de figuren 8/3.4.1-38 tot en met -44 en -51 en -52).
- Ook de timing van de EDO Page Mode cycli en Test Mode cycli komen overeen met die van de HM5116405 en HM5117405 (zie de tabellen 8/3.4.1-39 tot en met -43 en de figuren 8/3.4.1-45 tot en met -50).

HM5117805

2 M x 8 bit EDO RAM

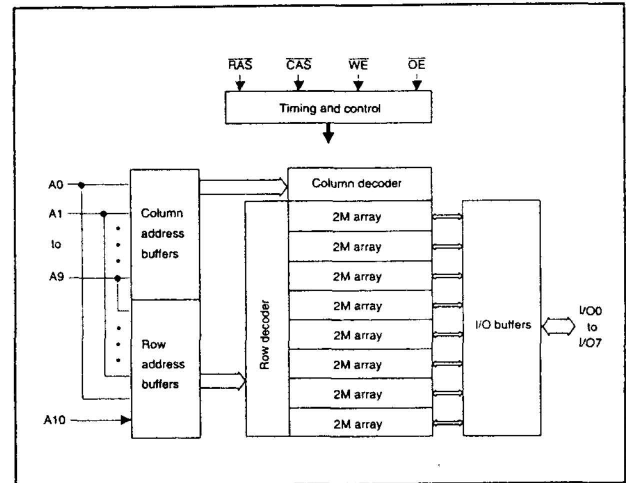
De HM5117805 is een CMOS dynamische RAM, georganiseerd in 2.097.152 woorden van 8 bit. Dit geheugen kan in de zogenaamde Extended Data-Out mode (EDO) worden gebruikt, waardoor de informatie langer op de uitgang beschikbaar blijft. Hierdoor is het mogelijk om een nieuw adres aan te bieden terwijl de data van het vorige adres nog wordt gelezen. Doordat gemultiplexte adreslijnen worden toegepast zijn veel minder aansluitpennen nodig en zijn 28-pens behuizingen voldoende. De HM5117805 ververst 2.048 adressen per keer in 32 ms.

Specificaties

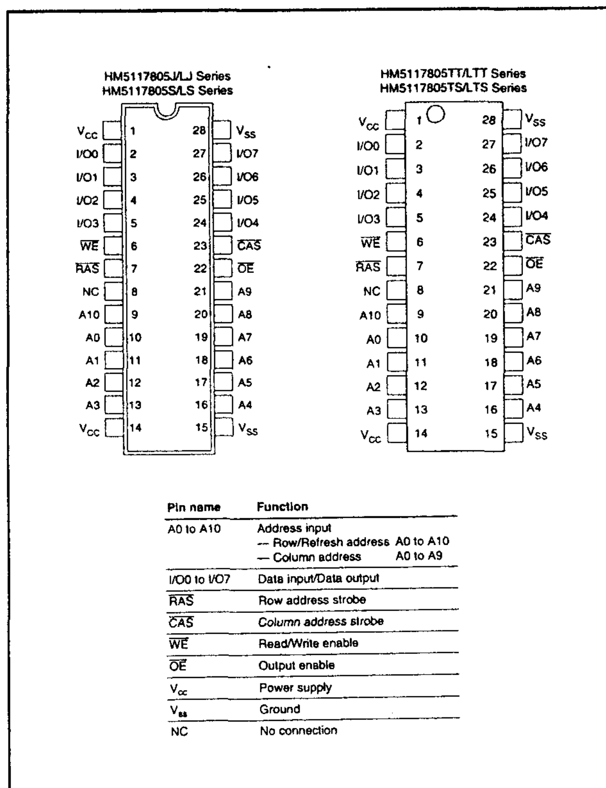
- 2 M x 8 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding

3.4 Speciale DRAM's

- toegangstijden:
  50, 60 en 70 ns (HM5117805-5/-6/-7)
- lange refresh-periode:
  2.048 refresh-cycli in 32 ms
  (L-versie: 128 ms)
- 4 soorten refresh:
  $\overline{\text{RAS}}$-only, $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$, hidden refresh en self-refresh (L-versie)
- behuizingen:
  300-mil of 400-mil 28-pens plastic SOJ TSOP II (figuur 8/3.4.1-58)
- gering opgenomen vermogen:
  in bedrijf: 605/550/495 mW (max.)
  standby: 11 mW (max.) of 0,83 mW (L-versie)
- batterij backup (L-versie)
- fabrikant: Hitachi



Figuur 8/3.4.1-59: Blokschema van de HM 5117805.



Pin name	Function
A0 to A10	Address input — Row/Refresh address A0 to A10 — Column address A0 to A9
I/O0 to I/O7	Data input/Data output
$\overline{\text{RAS}}$	Row address strobe
$\overline{\text{CAS}}$	Column address strobe
$\overline{\text{WE}}$	Read/Write enable
$\overline{\text{OE}}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Figuur 8/3.4.1-58: Aansluitingen en pen-functies van de HM5117805 (links de SOJ- en rechts de TSOP II-versie).

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/3.4.1-48: Maximaal toegelaten waarden voor de HM5117805.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
Input high voltage	V_{IH}	2.4	—	6.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1 All voltage referred to V_{SS}.

Tabel 8/3.4.1-49: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

3.4 Speciale DRAM's

Parameter	Symbol	Typ	Max	Unit
Input capacitance (Address)	C_{I1}	—	5	pF
Input capacitance (Clocks)	C_{I2}	—	7	pF
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF

Notes: 1. Capacitance measured with Boonton Meter or effective capacitance measuring method.
2. $\overline{CAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-50: In/uitgangs-capaciteiten van de HM5117805.

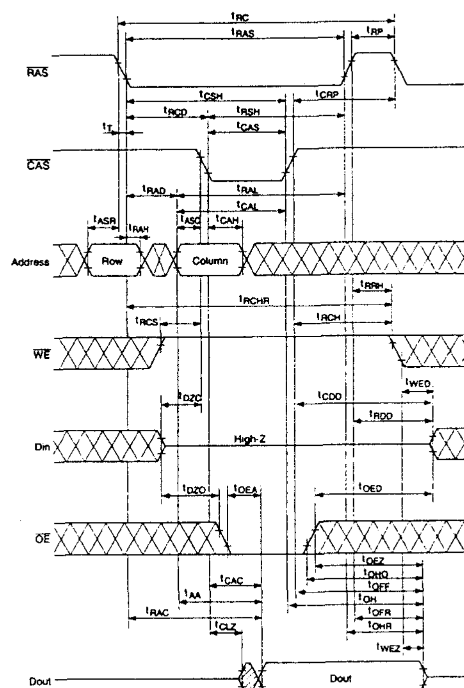
Parameter	Symbol	HM5117805 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Random read or write cycle time	t_{RC}	84	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	30	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	7	—	10	—	13	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	50	10000	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	7	10000	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	0	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	7	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	0	—	0	—	0	—	ns	
Column address hold time	t_{CAH}	7	—	10	—	13	—	ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	11	37	14	45	14	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	9	25	12	30	12	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	10	—	13	—	13	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	35	—	40	—	45	—	ns	
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	5	—	5	—	5	—	ns	
$\overline{OE}$ to Din delay time	t_{OED}	13	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	0	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	0	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	2	50	2	50	2	50	ns	7

Tabel 8/3.4.1-52: Schakeltijden van read, read-modify-write en refresh van de HM5117805 en HM51W17805 (gemeenschappelijke parameters).

Parameter	Symbol	HM5117805 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current*1 *2	I_{CC1}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	110	—	100	—	90	mA	t_{RC} = min
EDO page mode current*1 *3	I_{CC7}	—	100	—	90	—	85	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	500	—	500	—	500	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 62.5 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	300	—	300	—	300	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2V Dout = High-Z
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	µA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	µA	0 V ≤ Vout ≤ 7 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.
4. $\overline{CAS}$ = L (≤ 0.2 V) while $\overline{RAS}$ = L (≤ 0.2 V).

Tabel 8/3.4.1-51: Gelijkspanningskarakteristieken van de HM5117805.

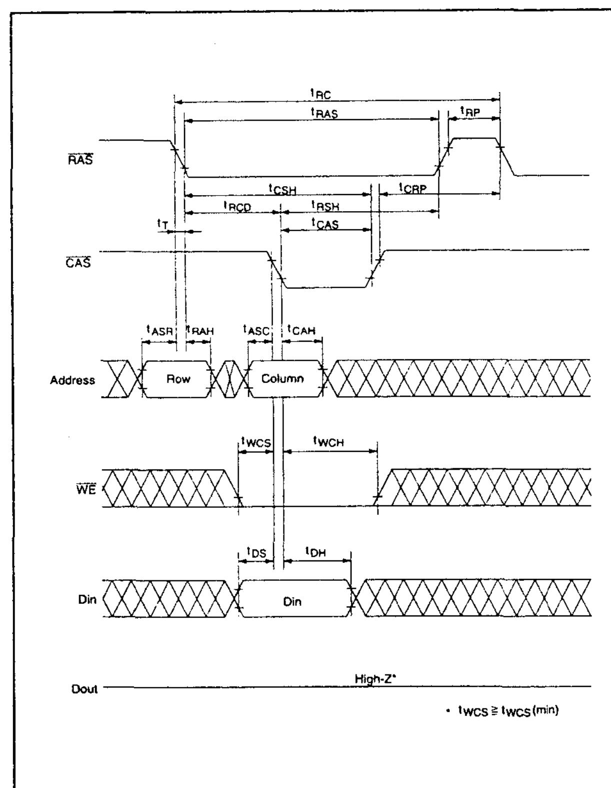


Figuur 8/3.4.1-60: Golfvormen en timing van een leescyclus bij de HM5117805 en HM51W17805.

3.4 Speciale DRAM's

		HM5117805							
		-5		-6		-7			
Parameter	**Symbol**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Unit**	**Notes**
Access time from $\overline{RAS}$	t_{RAC}	—	50	—	60	—	70	ns	8, 9
Access time from $\overline{CAS}$	t_{CAC}	—	13	—	15	—	18	ns	9, 10, 17
Access time from address	t_{AA}	—	25	—	30	—	35	ns	9, 11, 17
Access time from $\overline{OE}$	t_{OEA}	—	13	—	15	—	18	ns	9
Read command setup time	t_{RCS}	0	—	0	—	0	—	ns	
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	0	—	ns	12
Read command hold time from $\overline{RAS}$	t_{RCHR}	50	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	25	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	15	—	18	—	23	—	ns	
$\overline{CAS}$ to output in low-Z	t_{CLZ}	0	—	0	—	0	—	ns	
Output data hold time	t_{OH}	3	—	3	—	3	—	ns	20
Output data hold time from $\overline{OE}$	t_{OHO}	3	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	13	—	15	—	15	ns	13, 20
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	13	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	13	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	3	—	3	—	3	—	ns	20
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	13	—	15	—	15	ns	20
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	13	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	13	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	13	—	15	—	18	—	ns	
$\overline{RAS}$ next $\overline{CAS}$ delay time	t_{RNCD}	50	—	60	—	70	—	ns	

Tabel 8/3.4.1-53: Timing van de leescycli bij de HM5117805 en HM51W17805.



Figuur 8/3.4.1-61: Golfvormen en timing van een vroege schrijfcyclus ("early write"), $t_{WCS} > t_{WCS(min.)}$: data-uit pen gedurende de gehele cyclus hoog-impedant.

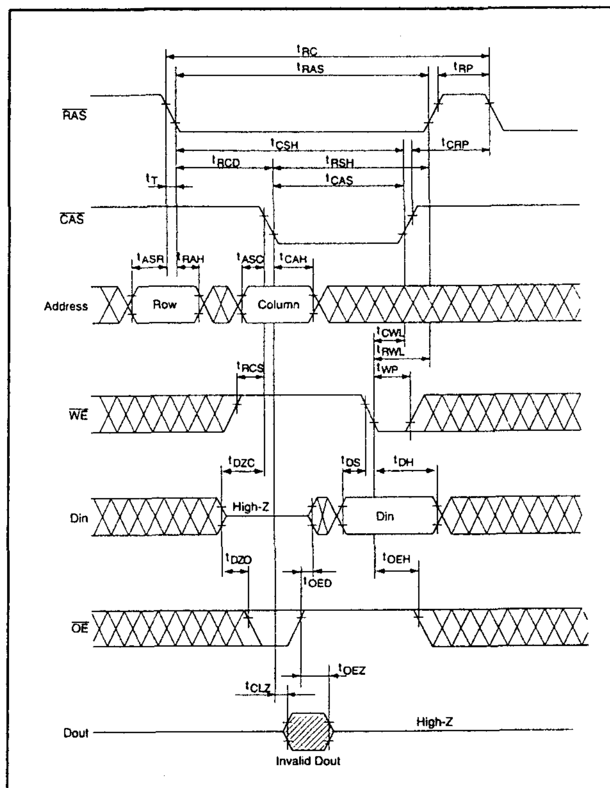
		HM5117805							
		-5		-6		-7			
Parameter	**Symbol**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Unit**	**Notes**
Write command setup time	t_{WCS}	0	—	0	—	0	—	ns	14
Write command hold time	t_{WCH}	7	—	10	—	13	—	ns	
Write command pulse width	t_{WP}	7	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	7	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	7	—	10	—	13	—	ns	
Data-in setup time	t_{DS}	0	—	0	—	0	—	ns	15
Data-in hold time	t_{DH}	7	—	10	—	13	—	ns	15

Tabel 8/3.4.1-54: Schakeltijden bij schrijfcycli (zie de figuren 8/3.4.1-61 en -62).

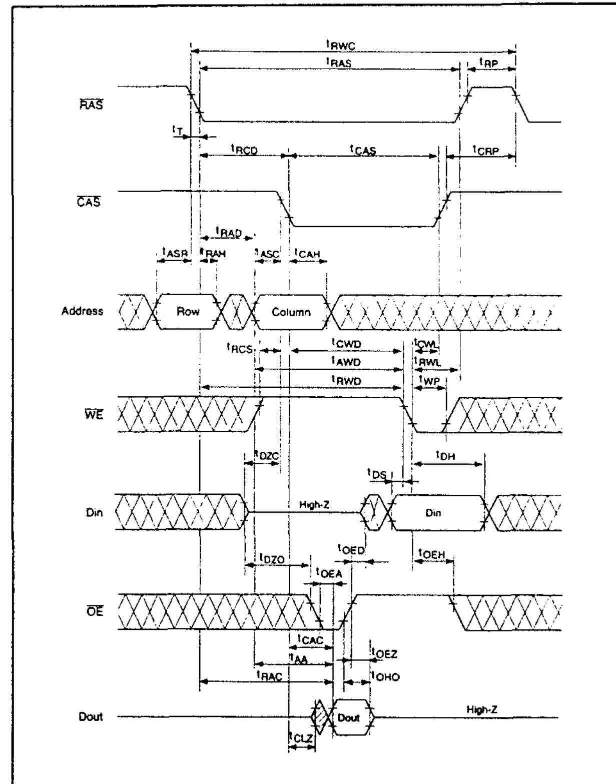
		HM5117805							
		-5		-6		-7			
Parameter	**Symbol**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Unit**	**Notes**
Read-modify-write cycle time	t_{RWC}	111	—	135	—	161	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	67	—	79	—	92	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	30	—	34	—	40	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	42	—	49	—	57	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	13	—	15	—	18	—	ns	

Tabel 8/3.4.1-55: Schakeltijden bij Read-Modify-Write cycli (figuur 8/3.4.1-63).

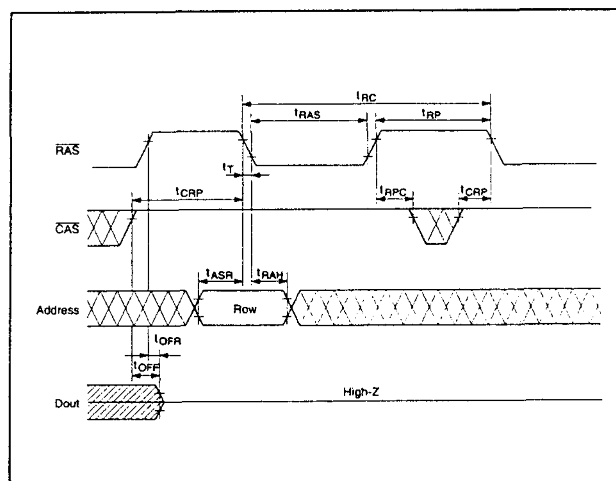
3.4 Speciale DRAM's



Figuur 8/3.4.1-62: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").

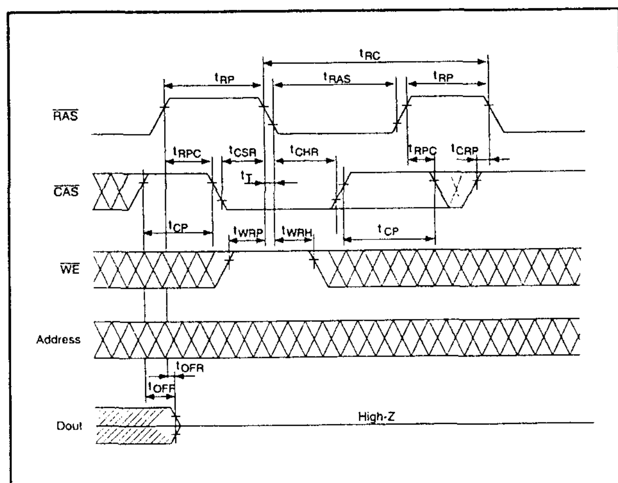


Figuur 8/3.4.1-63: Timing en golfvormen bij Read-Modify-Write cycli.



Figuur 8/3.4.1-64: Timing en golfvormen bij de RAS-only refresh cyclus.

3.4 Speciale DRAM's



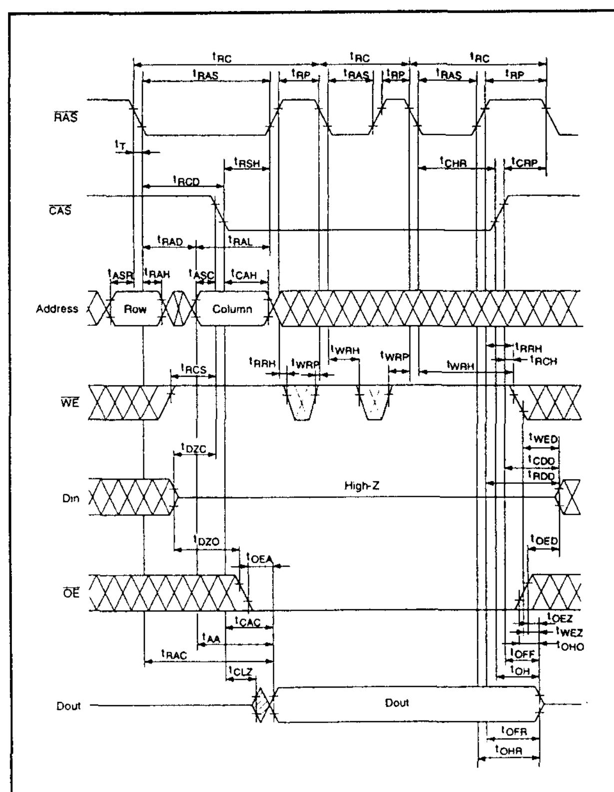
Figuur 8/3.4.1-65: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.

Parameter	Symbol	HM5117805 -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	5	—	5	—	5	—	ns	
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	7	—	10	—	10	—	ns	
$\overline{WE}$ setup time (CBR refresh cycle)	t_{WRP}	0	—	0	—	0	—	ns	
$\overline{WE}$ hold time (CBR refresh cycle)	t_{WRH}	7	—	10	—	10	—	ns	
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	5	—	5	—	5	—	ns	

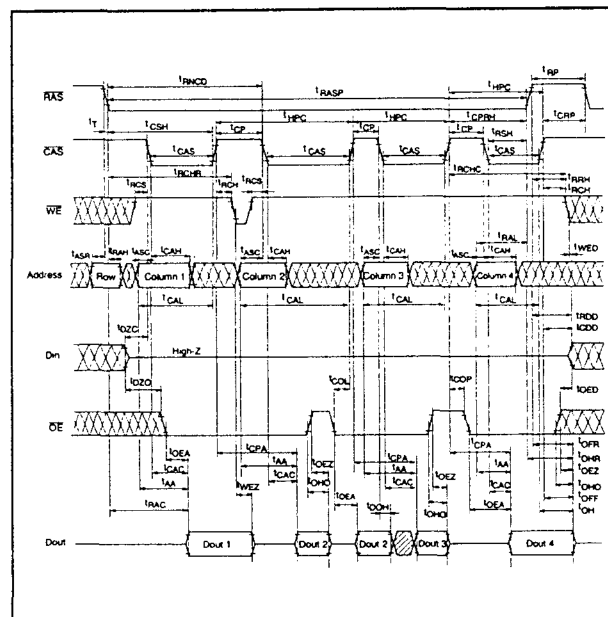
Tabel 8/3.4.1-56: Schakeltijden bij de refresh-cycli.

Parameter	Symbol	HM5117805 -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	20	—	25	—	30	—	ns	19
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	100000	—	100000	—	100000	ns	16
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	28	—	35	—	40	ns	9, 17
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	28	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{COH}	3	—	3	—	3	—	ns	9, 17
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	7	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	5	—	5	—	5	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	28	—	35	—	40	—	ns	

Tabel 8/3.4.1-57: Schakeltijden van de EDO Page Mode cycli.

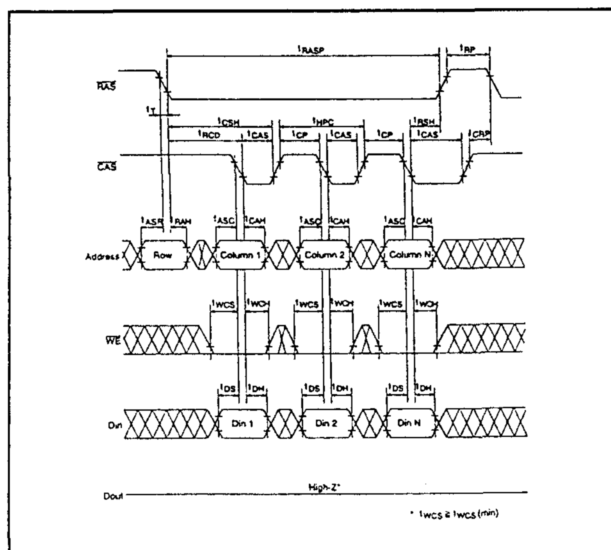


Figuur 8/3.4.1-66: Timing en golfvormen bij de hidden refresh cyclus.

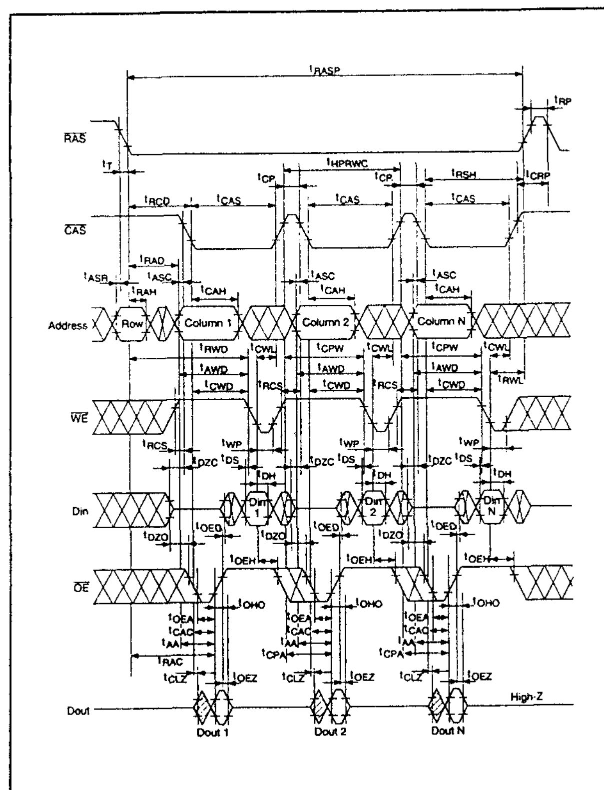


Figuur 8/3.4.1-67: Timing en golfvormen bij de EDO Page Mode Lees-cyclus.

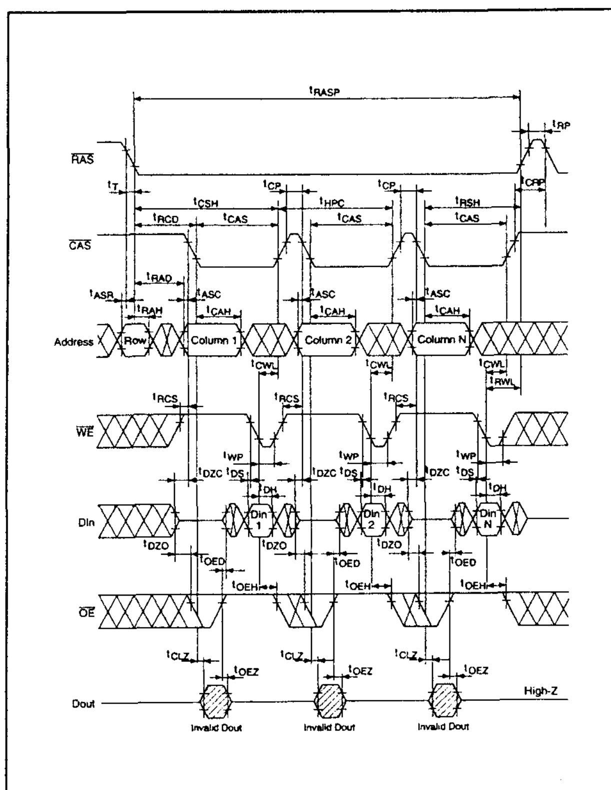
3.4 Speciale DRAM's



Figuur 8/3.4.1-68: Timing en golfvormen bij de EDO Page Mode vroege schrijfcyclus (Early Write) (twcs > twcs(min.)).



Figuur 8/3.4.1-70: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.

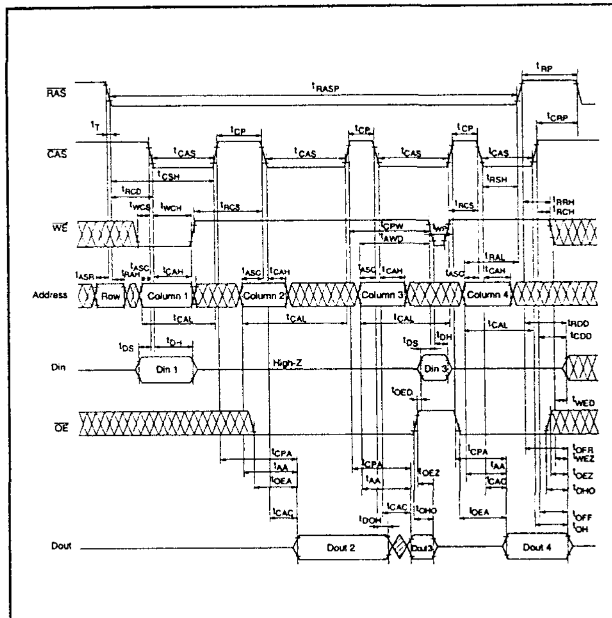


Figuur 8/3.4.1-69: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).

		HM5117805							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read- modify-write cycle time	t_{HPRWC}	57	—	68	—	79		ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	45	—	54	—	62		ns	14

Tabel 8/3.4.1-58: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.

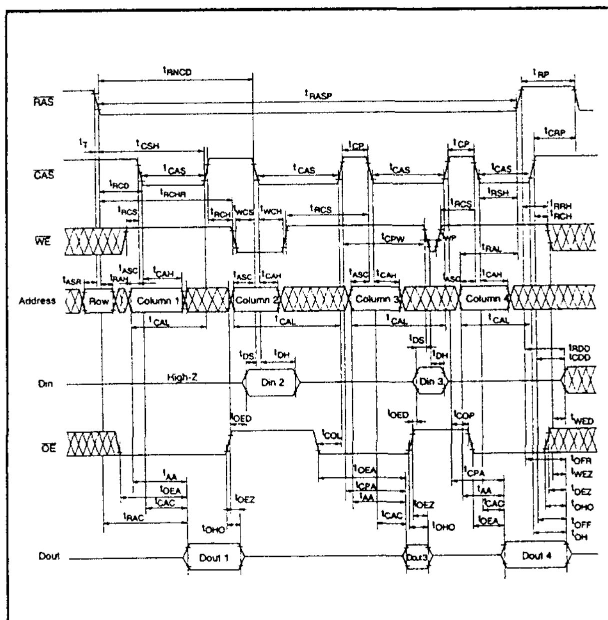
3.4 Speciale DRAM's



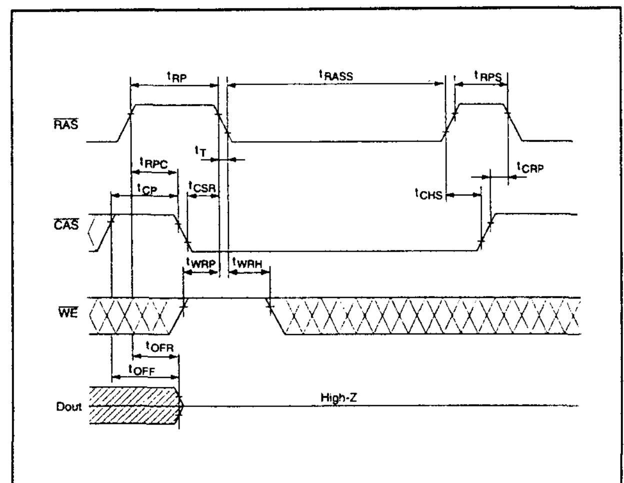
Figuur 8/3.4.1-71: EDO Page Mode Mix-Cyclus type 1.

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	32	ms	2048 cycles
Refresh period (L-version)	t_{REF}	128	ms	2048 cycles

Tabel 8/3.4.1-59: Lange refresh-periode bij de HM5117805 en HM51W17805.



Figuur 8/3.4.1-72: EDO Page Mode Mix-Cyclus type 2.



Figuur 8/3.4.1-73: Self refresh-periode (L-versie van de HM5117805 en HM 51W17805).

		HM5117805L							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{RAS}$ pulse width (self refresh)	t_{RASS}	100	—	100	—	100	—	µs	
$\overline{RAS}$ precharge time (self refresh)	t_{RPS}	90	—	110	—	130	—	ns	
$\overline{CAS}$ hold time (self refresh)	t_{CHS}	-50	—	-50	—	-50	—	ns	

Tabel 8/3.4.1-60: Timing van de self refresh-periode (L-versie van de HM 5117805/HM51W17805).

3.4 Speciale DRAM's

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh). If the internal refresh counter is used, a minimum of eight $\overline{CAS}$-before-$\overline{RAS}$ refresh cycles are required.
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{OED} or t_{CDD} must be satisfied.
6. Either t_{DZO} or t_{DZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max).
11. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \geq t_{RAD}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max) and t_{OEZ} (max) define the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), and $t_{AWD} \geq t_{AWD}$ (min), or $t_{CWD} \geq t_{CWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min) and $t_{CPW} \geq t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. These parameters are referred to $\overline{CAS}$ leading edge in early write cycles and to $\overline{WE}$ leading edge in delayed write or read-modify-write cycles.
16. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
17. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
18. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
19. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\,t_T$) becomes greater than the specified t_{HPC} (min) value. The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
20. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH} and between t_{OFR} and t_{OFF}.
21. Please do not use t_{RASS} timing, 10 µs $\leq t_{RASS} \leq$ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If $t_{RASS} \geq$ 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
22. If you use $\overline{RAS}$ only refresh or CBR burst refresh mode in normal read/write cycles, 2048 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 32 ms immediately after exiting from and before entering into the self refresh mode.
23. If you use distributed CBR refresh mode with 15.6 µs interval in normal read/write cycle, CBR refresh should be executed within 15.6 µs immediately after exiting from and before entering into self refresh mode.
24. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self fresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.
25. XXX: H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))
    //////: Invalid Dout
    When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-61: Opmerkingen bij de tabellen 8/3.4.1-52 tot en met -58.

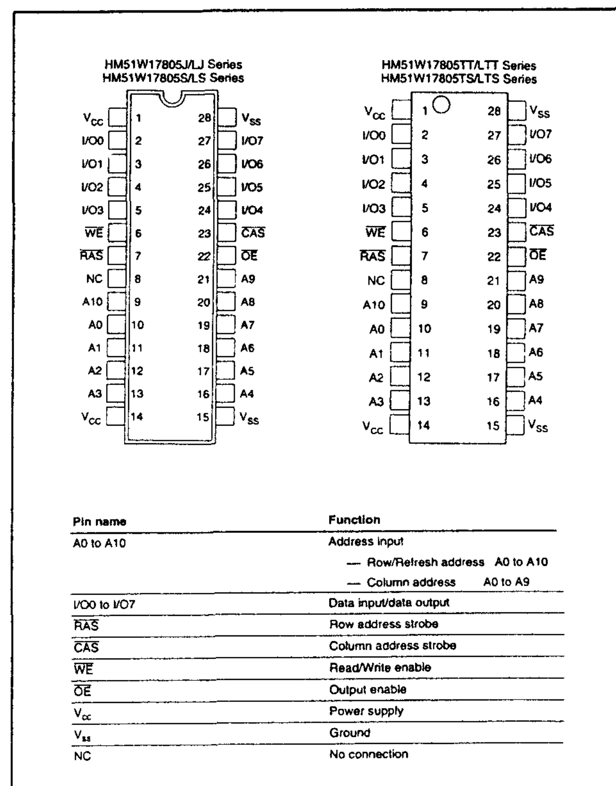
HM51W17805

2 M x 8 bit EDO RAM, 3,3 V

De HM5117805 is ook leverbaar in een Low Voltage uitvoering met toegangstijden van 50, 60 en 70 ns: de HM51W17805. Deze EDO RAM is, behalve de voedings- en signaalspanningen, gelijk aan de "gewone" versie. In dit gedeelte zijn dan ook alleen de tabellen met afwijkende waarden geplaatst, terwijl naar de hieraan vooraf gaande "gewone" HM51W17805 wordt verwezen.

Specificaties

- 2 M x 8 bit organisatie
- EDO page-mode mogelijk
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 50, 60 en 70 ns
- lange refresh-periode:
  2.048 refresh-cycli in 32 ms
  (L-versie: 128 ms)
- 4 soorten refresh: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self-refresh (L-versie)
- behuizingen:
  300- of 400-mil 28-pens plastic SOJ
  TSOP II (figuur 8/3.4.1-74)
- batterij backup mogelijk (L-versie)
- gering opgenomen vermogen:
  in bedrijf: 396/360/324 mW (max.)
  standby: 7,2 mW (max.) of 0,54 mW (L-versie)
- fabrikant: Hitachi



Pin name	Function
A0 to A10	Address input
	— Row/Refresh address A0 to A10
	— Column address A0 to A9
I/O0 to I/O7	Data input/data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-74: Aansluitingen en pen-functies van de SOJ- (links) en de TSOPII-versie (rechts) van de HM51W17805.

3.4 Speciale DRAM's

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to V_{CC} + 0.5 (≤ 4.6 V (max))	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1 0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/3.4.1-62: Maximaal toegelaten waarden van de HM51W17805.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	3 0	3 3	3.6	V
Input high voltage	V_{IH}	2 0	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0 3	—	0.8	V

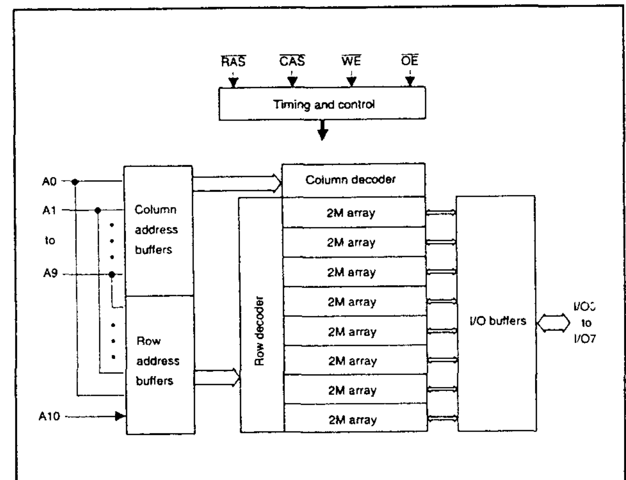
Note: 1. All voltage referred to V_{SS}.

Tabel 8/3.4.1-63: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current[1, 2]	I_{CC1}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface RAS, CAS = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface RAS, CAS ≥ V_{CC} – 0.2V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface RAS, CAS ≥ V_{CC} – 0.2V Dout = High-Z
RAS-only refresh current[2]	I_{CC3}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current[1]	I_{CC5}	—	5	—	5	—	5	mA	RAS = V_{IH}, CAS = V_{IL} Dout = enable
CAS-before-RAS refresh current	I_{CC6}	—	110	—	100	—	90	mA	t_{RC} = min
EDO page mode current[1, 3]	I_{CC7}	—	100	—	90	—	85	mA	t_{HPC} = min
Battery backup current[4] (Standby with CBR refresh) (L-version)	I_{CC10}	—	400	—	400	—	400	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 62.5 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	250	—	250	—	250	µA	CMOS interface RAS, CAS ≤ 0.2V Dout = High-Z
Input leakage current	I_{LI}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4 6 V
Output leakage current	I_{LO}	–10	10	–10	10	–10	10	µA	0 V ≤ Vout ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while RAS = V_{IL}.
3. Address can be changed once or less while CAS = V_{IH}.
4. CAS = L (≤ 0.2 V) while RAS = L (≤ 0.2 V).

Tabel 8/3.4.1-64: Gelijkspanningskarakteristieken van de HM51W17805 bij 3,3 V +/-0,3 V en 0 tot 70 °C.



Figuur 8/3.4.1-75: Blokschema van de HM 51W17805.

Overig kenmerken:

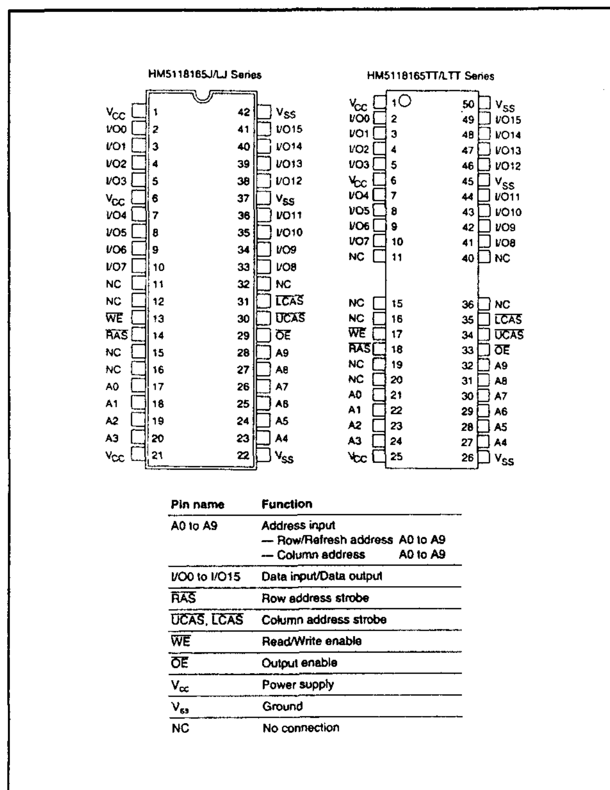
- De in- en uitgangs-capaciteiten van de HM51W17805 zijn identiek aan die van de HM5117805 (zie tabel 8/3.4.1-50).
- De timingen van de Read, Write, Read-Modify-Write en Refresh cycli zijn gelijk aan die van de HM5117805 (zie de tabellen 8/3.4.1-52 tot en met -56 en de figuren 8/3.4.1-60 tot en met -66 en -73).
- Ook de timing van de EDO Page Mode cycli komen overeen met die van de HM5117805 (zie de tabellen 8/3.4.1-57 en -58 en de figuren 8/3.4.1-67 tot en met -72).

HM 5118165

1 M x 16 bit EDO RAM

De HM5118165 is een CMOS dynamische RAM met een organisatie van 1.048.576 16 bit woorden. Dit geheugen kan in de zogenaamde Extended Data-Out mode (EDO) worden gebruikt, waardoor de informatie langer op de uitgang beschikbaar blijft. Hierdoor is het mogelijk om een nieuw adres aan te bieden terwijl de processor nog bezig is de data van het vorige adres te lezen. Doordat gemultiplexte adreslijnen worden toegepast zijn veel minder aansluitpennen nodig en kan de schakeling in een 42-pens SOJ of 50-

pens TSOP II behuizing worden opgenomen. De HM5118165 ververst 1.024 adressen per keer in 16 ms.

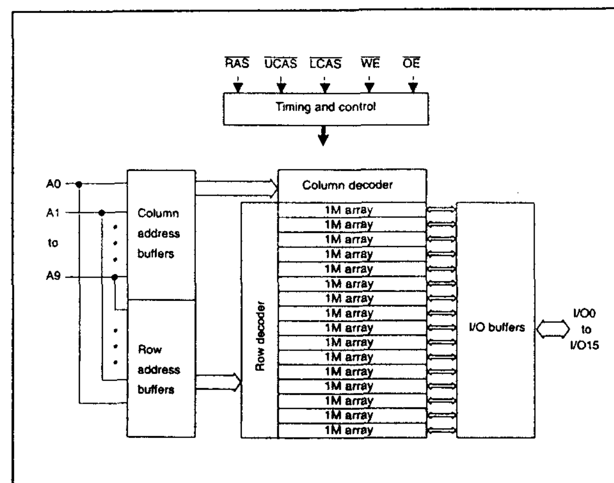


Pin name	Function
A0 to A9	Address input — Row/Refresh address A0 to A9 — Column address A0 to A9
I/O0 to I/O15	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{UCAS}$, $\overline{LCAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-76: Aansluitingen en pen-functies van de HM5118165 (links de 42-pens SOJ- en rechts de 50-pens TSOP II-versie).

Specificaties

- 1 M x 16 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding
- 2$\overline{CAS}$ byte-control
- toegangstijden:
  50, 60 en 70 ns (HM5118165-5/-6/-7)
- lange refresh-periode:
  1.024 refresh-cycli in 16 ms
  (L-versie: 128 ms)
- 4 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self-refresh
  (L-versie)
- behuizingen:
  400-mil 42-pens plastic SOJ
  50-pens TSOP II (figuuren 8/3.4.1-76)
- gering opgenomen vermogen:
  in bedrijf: 1045/935/825 mW (max.)
  standby: 11 mW (max.) of 0,83 mW
  (L-versie)
- batterij backup (L-versie)
  fabrikant: Hitachi



Figuur 8/3.4.1-77: Blokschema van de HM 5118165.

$\overline{RAS}$	$\overline{LCAS}$	$\overline{UCAS}$	$\overline{WE}$	$\overline{OE}$	Output		Operation
H	D	D	D	D	Open		Standby
L	L	H	H	L	Valid	Lower byte	Read cycle
L	H	L	H	L	Valid	Upper byte	
L	L	L	H	L	Valid	Word	
L	L	H	L*2	D	Open	Lower byte	Early write cycle
L	H	L	L*2	D	Open	Upper byte	
L	L	L	L*2	D	Open	Word	
L	L	H	L*2	H	Undefined	Lower byte	Delayed write cycle
L	H	L	L*2	H	Undefined	Upper byte	
L	L	L	L*2	H	Undefined	Word	
L	L	H	H to L	L to H	Valid	Lower byte	Read-modify-write cycle
L	H	L	H to L	L to H	Valid	Upper byte	
L	L	L	H to L	L to H	Valid	Word	
L	H	H	D	D	Open	Word	$\overline{RAS}$-only refresh cycle
H to L	H	L	D	D	Open	Word	$\overline{CAS}$-before-$\overline{RAS}$ refresh cycle or
H to L	L	H	D	D	Open	Word	Self refresh cycle (L-version)
H to L	L	L	D	D	Open	Word	
L	L	L	H	H	Open		Read cycle (Output disabled)

Notes: 1. H: High (inactive) L: Low (active) D: H or L
2. $t_{WCS} \geq 0$ ns Early write cycle
$t_{WCS} < 0$ ns Delayed write cycle
3. Mode is determined by the OR function of the $\overline{UCAS}$ and $\overline{LCAS}$. (Mode is set by the earliest of $\overline{UCAS}$ and $\overline{LCAS}$ active edge and reset by the latest of $\overline{UCAS}$ and $\overline{LCAS}$ inactive edge.) However write OPERATION and output High-Z control are done independently by each $\overline{UCAS}$, $\overline{LCAS}$.
ex. if $\overline{RAS}$ = H to L, $\overline{UCAS}$ = H, $\overline{LCAS}$ = L, then $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle is selected.

Figuur 8/3.4.1-78: Waarheidstabel van de HM 5118165.

3.4 Speciale DRAM's

Figuur 8/3.4.1-79: Golfvormen en timing van een leescyclus bij de HM5118165 (en HM51W18165/ HM 51W18165).

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	−1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	−1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C

Tabel 8/3.4.1-65: Maximaal toegelaten waarden voor de HM5118165.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	4.5	5.0	5.5	V	1, 2
Input high voltage	V_{IH}	2.4	—	6.5	V	1
Input low voltage	V_{IL}	−1.0	—	0.8	V	1

Notes: 1. All voltage referred to V_{SS}

2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/3.4.1-66: Aanbevolen bedrijfscondities tussen 0 en 70 °C.

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF	1, 2

Notes: 1. Capacitance measured with Boonton Meter or effective capacitance measuring method.

2. $\overline{RAS}$, $\overline{UCAS}$ and $\overline{LCAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-67: In/uitgangs-capaciteiten van de HM5118165 (ook de HM 51W18165 en HM51W18165).

		HM5118165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current[1,2]	I_{CC1}	—	200	—	170	—	150	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} − 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current[2]	I_{CC3}	—	200	—	170	—	150	mA	t_{RC} = min
Standby current[1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{UCAS}$, $\overline{LCAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	190	—	170	—	150	mA	t_{RC} = min
EDO page mode current[1,3]	I_{CC7}	—	185	—	165	—	145	mA	t_{HPC} = min
Battery backup current[4] (Standby with CBR refresh) (L-version)	I_{CC10}	—	500	—	500	—	500	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 125 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	300	—	300	—	300	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	µA	0 V ≤ Vin ≤ 7 V
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	µA	0 V ≤ Vout ≤ 7 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.

2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.

3. Address can be changed once or less while $\overline{UCAS}$ and $\overline{LCAS}$ = V_{IH}

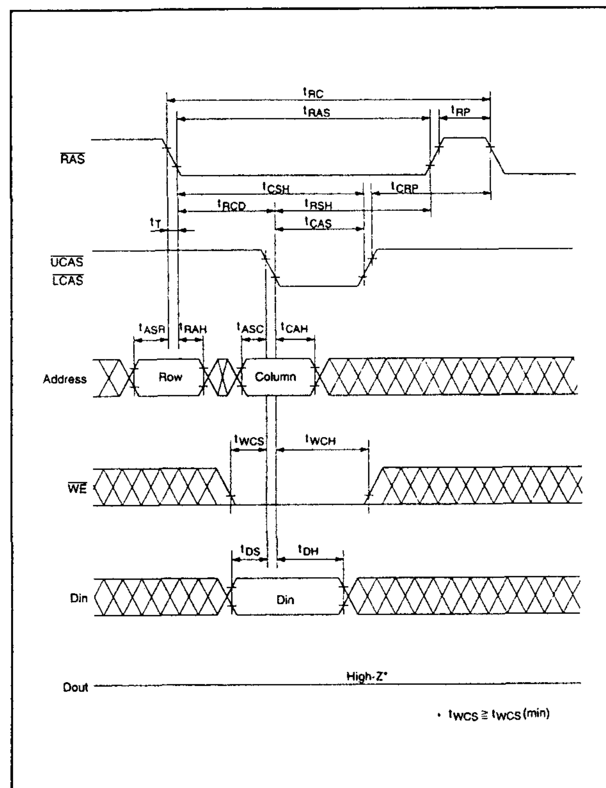
4. V_{IH} ≥ V_{CC} − 0.2 V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-68: Gelijkspanningskarakteristieken van de HM5118165.

3.4 Speciale DRAM's

		HM5118165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Random read or write cycle time	t_{RC}	84	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	30	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	7	—	10	—	13	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	50	10000	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	7	10000	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	0	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	7	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	0	—	0	—	0	—	ns	21
Column address hold time	t_{CAH}	7	—	10	—	13	—	ns	21
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	11	37	14	45	14	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	9	25	12	30	12	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	10	—	13	—	13	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	35	—	40	—	45	—	ns	23
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	5	—	5	—	5	—	ns	22
$\overline{OE}$ to Din delay time	t_{OED}	13	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	0	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	0	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	2	50	2	50	2	50	ns	7

Tabel 8/3.4.1-69: Schakeltijden van read, read-modify-write en refresh van de HM5118165 (en HM51W18165/ HM51W18165): gemeenschappelijke parameters.



Figuur 8/3.4.1-80: Golfvormen en timing van een vroege schrijfcyclus ("early write"), twcs > twcs(min.): data-uit pen gedurende de gehele cyclus hoog-impedant.

		HM5118165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	50	—	60	—	70	ns	8, 9
Access time from $\overline{CAS}$	t_{CAC}	—	13	—	15	—	18	ns	9, 10, 17
Access time from address	t_{AA}	—	25	—	30	—	35	ns	9, 11, 17
Access time from $\overline{OE}$	t_{OEA}	—	13	—	15	—	18	ns	9
Read command setup time	t_{RCS}	0	—	0	—	0	—	ns	21
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	0	—	ns	12, 22
Read command hold time from $\overline{RAS}$	t_{RCHR}	50	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	25	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	15	—	18	—	23	—	ns	,
$\overline{CAS}$ to output in low-Z	t_{CLZ}	0	—	0	—	0	—	ns	
Output data hold time	t_{OH}	3	—	3	—	3	—	ns	27
Output data hold time from $\overline{OE}$	t_{OHO}	3	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	13	—	15	—	15	ns	13, 27
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	13	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	13	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	3	—	3	—	3	—	ns	27
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	13	—	15	—	15	ns	27
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	13	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	13	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	13	—	15	—	18	—	ns	
$\overline{RAS}$ next $\overline{CAS}$ delay time	t_{RNCD}	50	—	60	—	70	—	ns	

Tabel 8/3.4.1-70: Timing van de leescycli bij de HM5118165 (HM51W18165 en HM51W18165).

		HM5118165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write command setup time	t_{WCS}	0	—	0	—	0	—	ns	14, 21
Write command hold time	t_{WCH}	7	—	10	—	13	—	ns	21
Write command pulse width	t_{WP}	7	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	7	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	7	—	10	—	13	—	ns	23
Data-in setup time	t_{DS}	0	—	0	—	0	—	ns	15, 23
Data-in hold time	t_{DH}	7	—	10	—	13	—	ns	15, 23

Tabel 8/3.4.1-71: Schakeltijden bij schrijfcycli (zie de figuren 8/3.4.1-80 en -81).

3.4 Speciale DRAM's

Figuur 8/3.4.1-81: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").

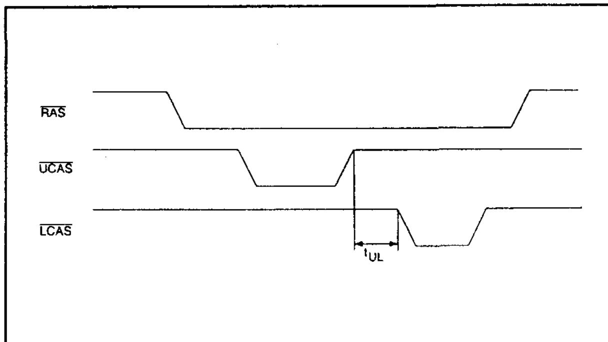
Figuur 8/3.4.1-82: Timing en golfvormen bij Read-Modify-Write cycli.

Figuur 8/3.4.1-83: Opmerkingen bij de 2$\overline{CAS}$-besturing: voer geen doelbewust gescheiden $\overline{UCAS}$/$\overline{LCAS}$-operaties uit. Onder de volgende omstandigheden zijn afwijkende $\overline{UCAS}$/$\overline{LCAS}$-pulsen echter wel toegestaan: 1. Beide golfvormen $\overline{UCAS}$/$\overline{LCAS}$ dienen aan de specificaties te voldoen. 2. Afwijkende bedrijfsmodes voor upper- en lower byte zijn niet toegestaan (zie figuur voor VERBODEN SITUATIE).

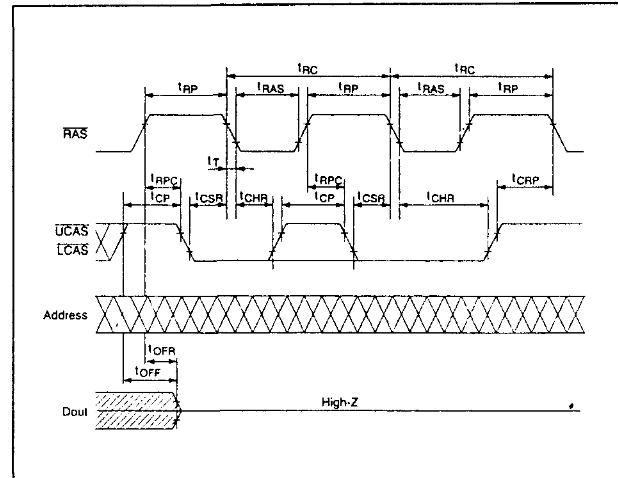
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	111	—	135	—	161	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	67	—	79	—	92	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	30	—	34	—	40	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	42	—	49	—	57	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	13	—	15	—	18	—	ns	

Tabel 8/3.4.1-72: Schakeltijden bij Read-Modify-Write cycli (figuur 8/3.4.1-82).

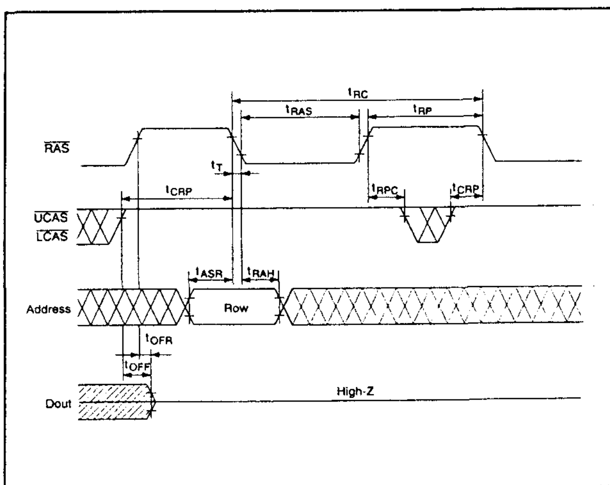
3.4 Speciale DRAM's



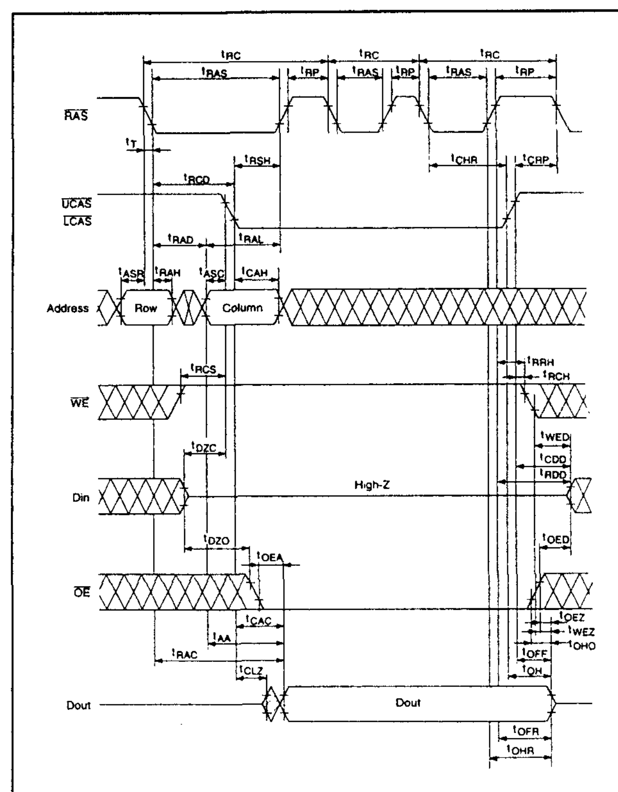
Figuur 8/3.4.1-84: Opmerkingen bij de 2$\overline{CAS}$-besturing: 3. Vlak na elkaar komende upper/lower byte control is niet toegestaan. Wanneer echter aan $t_{CP} < t_{UL}$ wordt voldaan, kan de snelle page-mode worden uitgevoerd. 4. Wanneer $\overline{UCAS}$ of $\overline{LCAS}$ HOOG blijft vindt byte-besturing plaats.



Figuur 8/3.4.1-86: Timing en golfvormen bij de $\overline{CAS}$-before-$\overline{RAS}$ refresh cyclus.

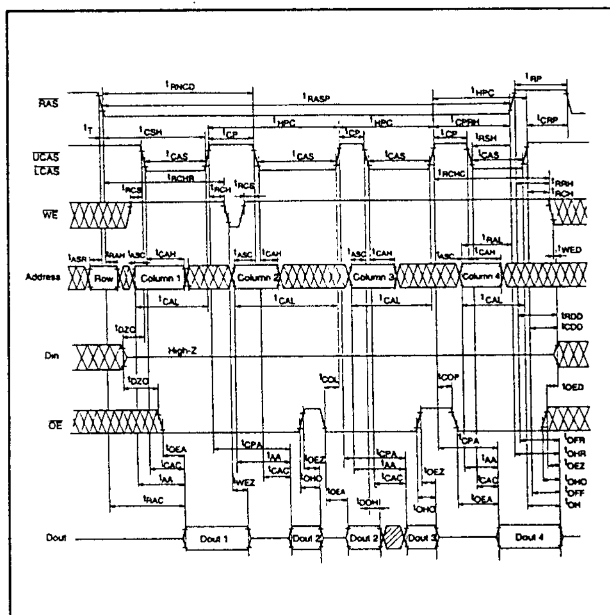


Figuur 8/3.4.1-85: Timing en golfvormen bij de $\overline{RAS}$-only refresh cyclus.

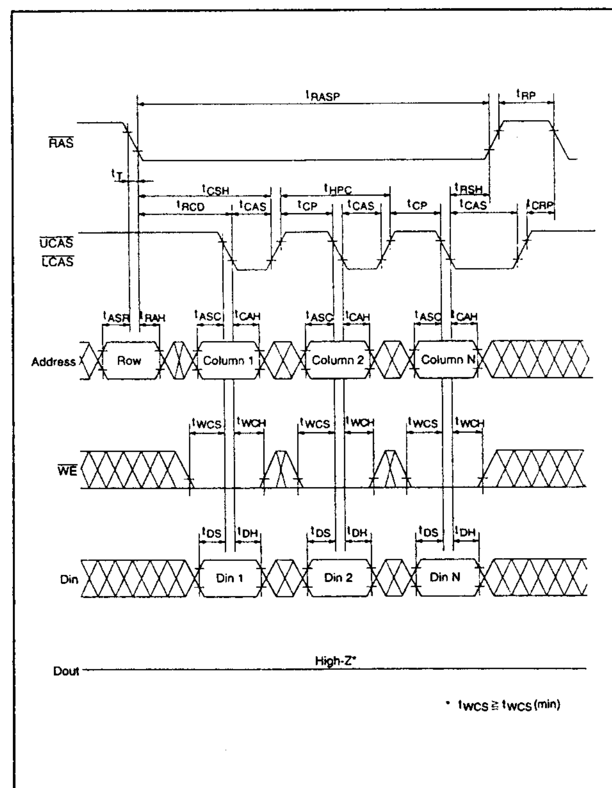


Figuur 8/3.4.1-87: Timing en golfvormen bij de hidden refresh cyclus.

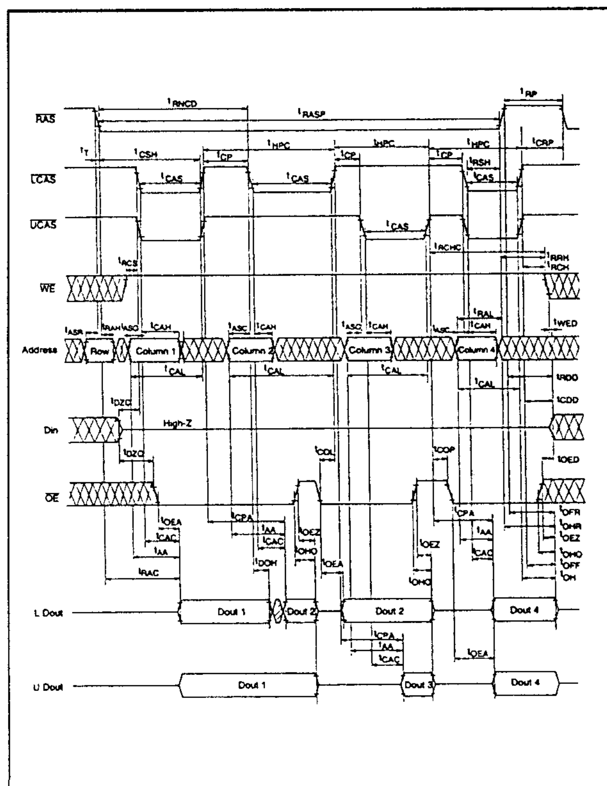
3.4 Speciale DRAM's



Figuur 8/3.4.1-88: Timing en golfvormen bij de EDO Page Mode Lees-cyclus.



Figuur 8/3.4.1-90: Timing en golfvormen bij de EDO Page Mode vroege schrijf-cyclus (Early Write), twcs > twcs(min.).

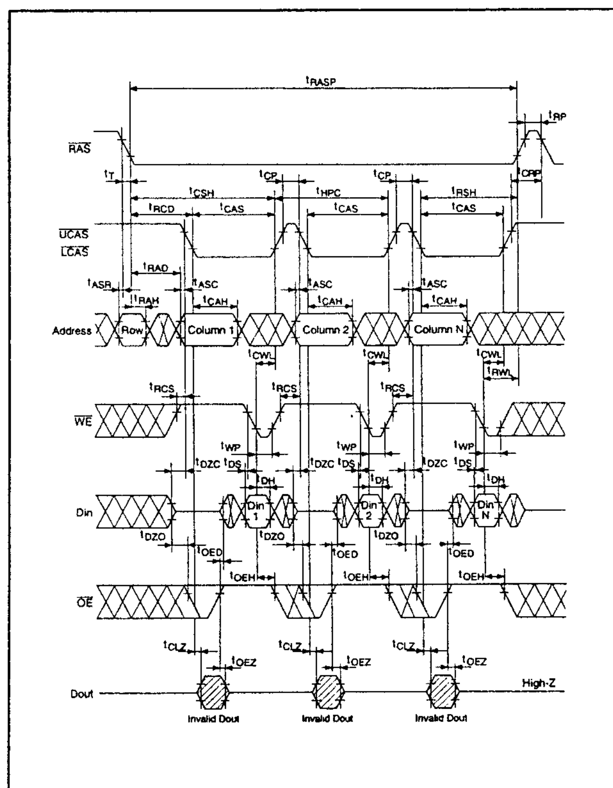


Figuur 8/3.4.1-89: Timing en golfvormen bij de EDO 2CAS Page Mode Lees-cyclus.

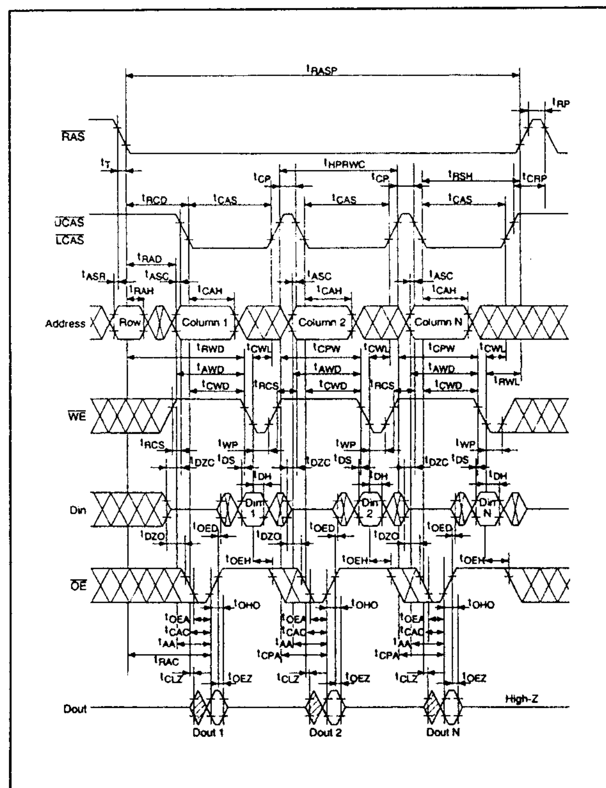
Parameter	Symbol	HM5118165 -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	5	—	5	—	5	—	ns	21
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	7	—	10	—	10	—	ns	22
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	5	—	5	—	5	—	ns	21

Tabel 8/3.4.1-73: Schakeltijden bij de refresh-cycli.

3.4 Speciale DRAM's



Figuur 8/3.4.1-91: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).



Figuur 8/3.4.1-92: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.

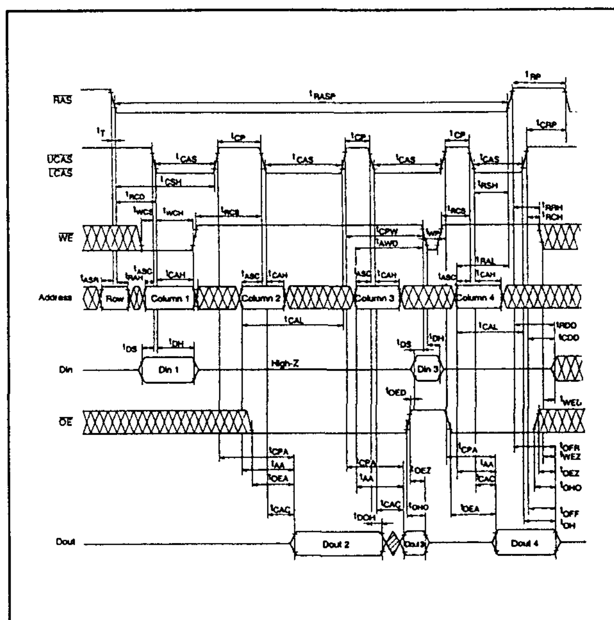
		HM5118165							
		-5		-6		-7			
Parameter	**Symbol**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Unit**	**Notes**
EDO page mode cycle time	t_{HPC}	20	—	25	—	30	—	ns	25
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	100000	—	100000	—	100000	ns	16
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	28	—	35	—	40	ns	9, 17, 22
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	28	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	3	—	3	—	3	—	ns	9
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	7	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	5	—	5	—	5	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	28	—	35	—	40	—	ns	

Tabel 8/3.4.1-74: Schakeltijden van de EDO Page Mode cycli.

		HM5118165							
		-5		-6		-7			
Parameter	**Symbol**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Unit**	**Notes**
EDO page mode read-modify-write cycle time	t_{HPRWC}	57	—	68	—	79	—	ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	45	—	54	—	62	—	ns	14, 22

Tabel 8/3.4.1-75: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.

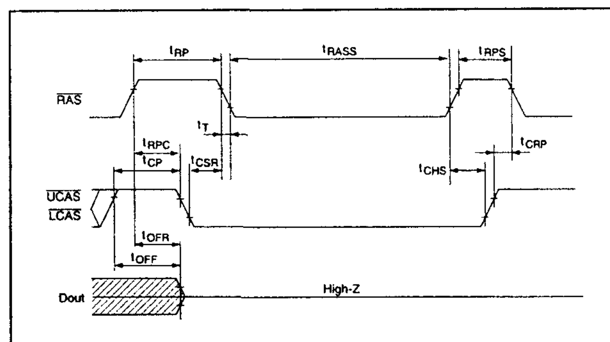
3.4 Speciale DRAM's



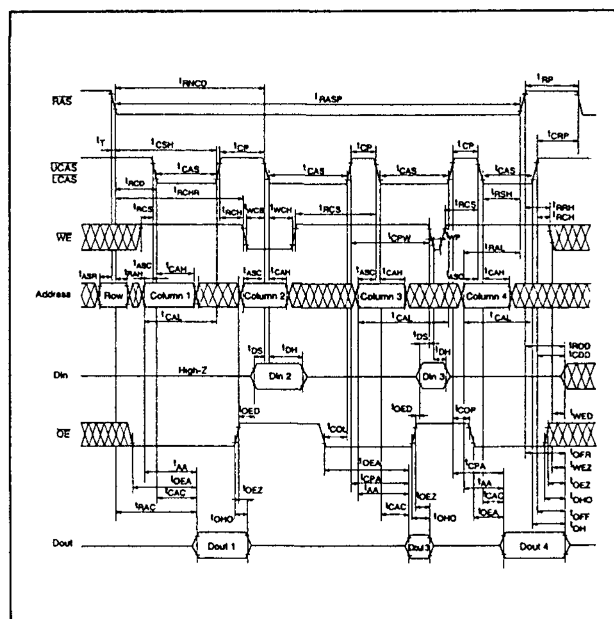
Figuur 8/3.4.1-93: EDO Page Mode Mix-Cyclus type 1.

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	16	ms	1024 cycles
Refresh period (L-version)	t_{REF}	128	ms	1024 cycles

Tabel 8/3.4.1-76: Lange refresh-periode bij de HM5118165.



Figuur 8/3.4.1-95: Self refresh-periode (L-versie van de HM5118165, HM 51W16165 en HM51W18165).



Figuur 8/3.4.1-94: EDO Page Mode Mix-Cyclus type 2.

		HM5118165L							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
RAS pulse width (self refresh)	t_{RASS}	100	—	100	—	100	—	µs	28, 29, 30, 31
RAS precharge time (self refresh)	t_{RPS}	90	—	110	—	130	—	ns	
CAS hold time (self refresh)	t_{CHS}	−50	—	−50	—	−50	—	ns	

Tabel 8/3.4.1-77: Timing van de self refresh-periode (L-versie van de HM 5118165, HM51W16165 en HM 51W18165).

3.4 Speciale DRAM's

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh).
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if $t_{RCD} \geq t_{RAD}$ (max) + t_{AA} (max) – t_{CAC} (max), then access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{OED} or t_{CDD} must be satisfied
6. Either t_{CZO} or t_{OZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\geq t_{RAD} + t_{AA}$ (max).
11. Assumes that $t_{RAD} \geq t_{RAD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\leq t_{RAD} + t_{AA}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max) and t_{OEZ} (max) define the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), and $t_{AWD} \geq t_{AWD}$ (min), or $t_{CWD} \geq t_{CWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min) and $t_{CPW} \geq t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. These parameters are referred to $\overline{UCAS}$ and $\overline{LCAS}$ leading edge in early write cycles and to $\overline{WE}$ leading edge in delayed write or read-modify-write cycles.
16. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles
17. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
18. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
19. When both $\overline{UCAS}$ and $\overline{LCAS}$ go low at the same time, all 16-bit data are written into the device. $\overline{UCAS}$ and $\overline{LCAS}$ cannot be staggered within the same write/read cycles.

20 All the V_{CC} and V_{SS} pins shall be supplied with the same voltages.
21. t_{ASC}, t_{CAH}, t_{RCS}, t_{WCS}, t_{WCH}, t_{CSR} and t_{RPC} are determined by the earlier falling edge of $\overline{UCAS}$ or $\overline{LCAS}$.
22. t_{CRP}, t_{CHR}, t_{RCH}, t_{CPA} and t_{CPW} are determined by the later rising edge of $\overline{UCAS}$ or $\overline{LCAS}$.
23. t_{CWL}, t_{DH}, t_{DS} and t_{CSH} should be satisfied by both $\overline{UCAS}$ and $\overline{LCAS}$.
24. t_{CP} is determined by the time that both $\overline{UCAS}$ and $\overline{LCAS}$ are high.
25. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\, t_T$) becomes greater than the specified t_{HPC} (min) value. The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
26. When output buffers are enabled once, sustain the low impedance state until valid data is obtained. When output buffer is turned on and off within a very short time, generally it causes large V_{CC}/V_{SS} line noise, which causes to degrade V_{IH} min/V_{IL} max level.
27. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH}, and between t_{OFR} and t_{OFF}.
28. Please do not use t_{RASS} timing, 10 µs ≤ t_{RASS} ≤ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If t_{RASS} ≥ 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
29. If you use distributed CBR refresh mode with 15.6 µs interval in normal read/write cycle, CBR refresh should be executed within 15.6 µs immediately after exiting from and before entering into self refresh mode.
30. If you use $\overline{RAS}$ only refresh or CBR burst refresh mode in normal read/write cycle, 1024 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 16 ms immediately after exiting from and before entering into the self refresh mode.
31. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self fresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.

32 XXX: H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))

///////: Invalid Dout

When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-78: Opmerkingen bij de tabellen 8/3.4.1-52 tot en met -58.

HM51W16165, HM51W18165

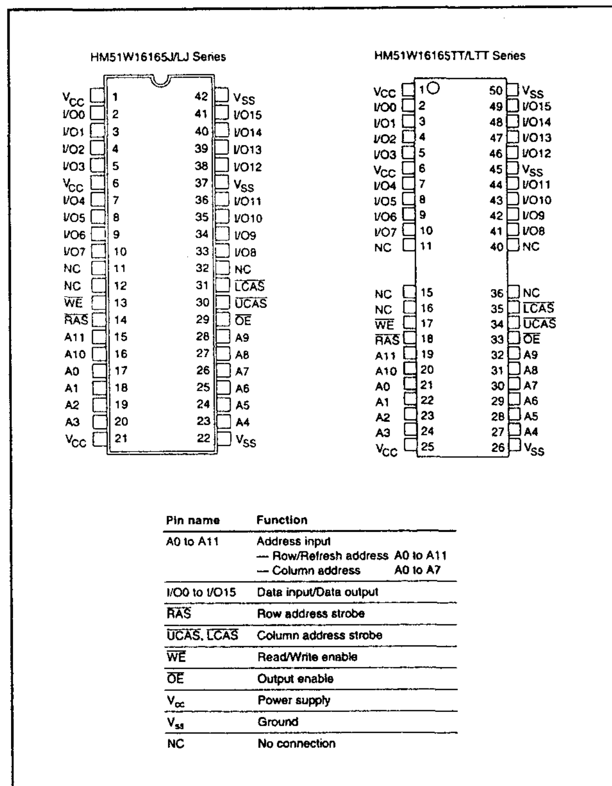
1 M x 16 bit EDO RAM, 3,3 V

De HM51W16165 en HM51W18165 zijn de Low Voltage uitvoeringen van de HM5118165. Deze EDO RAM's hebben toegangstijden van 50, 60 en 70 ns en verschillen onderling in het aantal adressen dat per cyclus ververst wordt: de HM51W16165 doet er 4.096 en de HM51W18165 1.024. Deze EDO RAM's zijn, behalve de voedings- en signaalspanningen, gelijk aan de "gewone" versie. In dit gedeelte worden daarom alleen tabellen met afwijkende waarden geplaatst, terwijl voor de overige kenmerken naar de hiervoor staande HM51W18165 wordt verwezen.

Specificaties

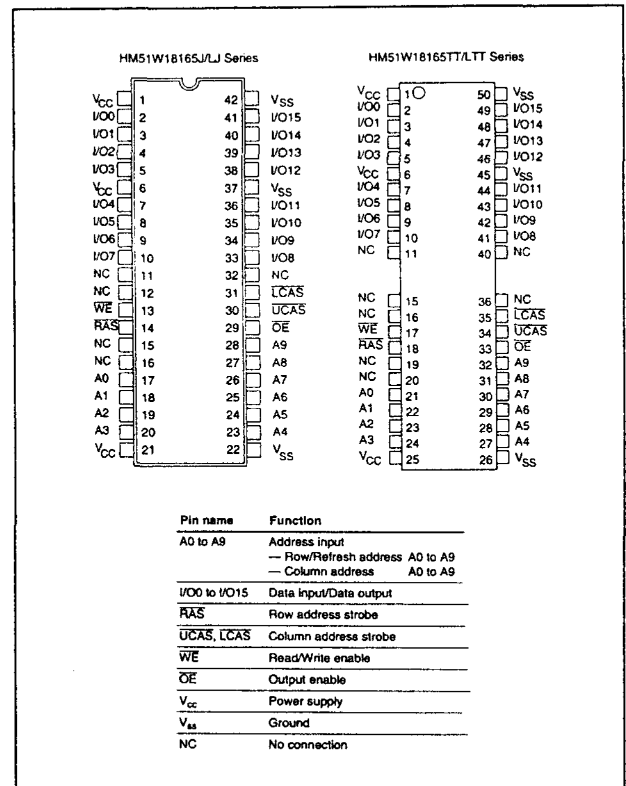
- 1 M x 16 bit organisatie
- EDO page-mode mogelijk
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 50, 60 en 70 ns
- lange refresh-periode:
  HM51W16165:
  4.096 refresh-cycli in 64 ms
  (L-versie: 128 ms)
  HM51W18165:
  1.024 refresh-cycli in 16 ms
  (L-versie: 128 ms)
- 4 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self-refresh (L-versie)
- behuizingen:
  400-mil 42-pens plastic SOJ
  400-mil 50-pens TSOP II
  (figuren 8/3.4.1-96 en -98)
- 2$\overline{CAS}$ byte-control
- batterij backup mogelijk (L-versie)
- gering opgenomen vermogen:
  in bedrijf:
  HM51W16165:
  396/360/324 mW (max.)
  HM51W18165:
  684/612/540 mW (max.)
  standby (beide):
  7,2 mW (max.) of 0,54 mW (L-versie)
- fabrikant: Hitachi

3.4 Speciale DRAM's



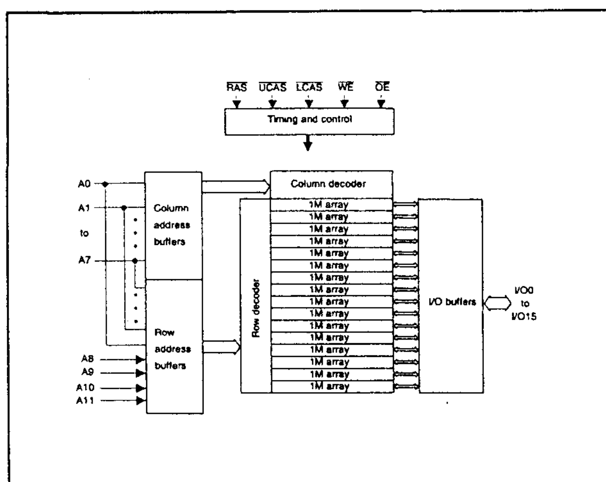
Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A7
I/O0 to I/O15	Data input/Data output
RAS	Row address strobe
UCAS, LCAS	Column address strobe
WE	Read/Write enable
OE	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-96: Aansluitingen en pen-functies van de SOJ- (links) en de TSOPII-versie (rechts) van de HM51W16165.

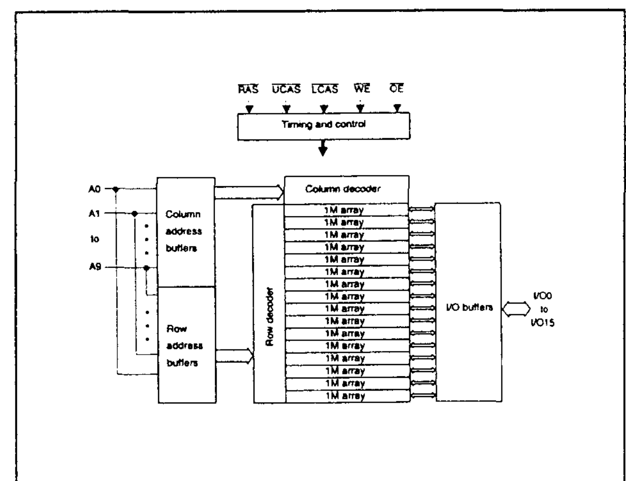


Pin name	Function
A0 to A9	Address input — Row/Refresh address A0 to A9 — Column address A0 to A9
I/O0 to I/O15	Data input/Data output
RAS	Row address strobe
UCAS, LCAS	Column address strobe
WE	Read/Write enable
OE	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-98: Aansluitingen en pen-functies van de SOJ- (links) en de TSOPII-versie (rechts) van de HM51W18165.



Figuur 8/3.4.1-97: Blokschema van de HM 51W16165.



Figuur 8/3.4.1-99: Blokschema van de HM 51W18165.

3.4 Speciale DRAM's

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to V_{CC} + 0.5 (≤ +4.6 V (max))	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/3.4.1-79: Maximaal toegelaten waarden van de HM51W18165 en HM 51W18165.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Notes: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/3.4.1-80: Aanbevolen bedrijfscondities tussen 0 en 70 °C.

		HM51W16165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current[*1] [*2]	I_{CC1}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current[*2]	I_{CC3}	—	110	—	100	—	90	mA	t_{RC} = min
Standby current[*1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{UCAS}$, $\overline{LCAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	110	—	100	—	90	mA	t_{RC} = min
EDO page mode current[*1] [*3]	I_{CC7}	—	105	—	95	—	85	mA	t_{HPC} = min
Battery backup current[*4] (Standby with CBR refresh) (L-version)	I_{CC10}	—	400	—	400	—	400	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	250	—	250	—	250	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4.6 V
Output leakage current	I_{LO}	–10	10	–10	10	–10	10	µA	0 V ≤ Vout ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{UCAS}$ and $\overline{LCAS}$ = V_{IH}.
4. $V_{IH} \geq V_{CC} - 0.2$ V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-81: Gelijkspanningskarakteristieken van de HM51W16165 bij 3,3 V +/-0,3 V en 0 tot 70 °C.

		HM51W18165							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current[*1] [*2]	I_{CC1}	—	190	—	170	—	150	mA	t_{RC} = min
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = V_{IH} Dout = High-Z
		—	1	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	150	—	150	—	150	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current[*2]	I_{CC3}	—	190	—	170	—	150	mA	t_{RC} = min
Standby current[*1]	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH} $\overline{UCAS}$, $\overline{LCAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	190	—	170	—	150	mA	t_{RC} = min
EDO page mode current[*1] [*3]	I_{CC7}	—	185	—	165	—	145	mA	t_{HPC} = min
Battery backup current[*4] (Standby with CBR refresh) (L-version)	I_{CC10}	—	400	—	400	—	400	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 125 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	250	—	250	—	250	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	–10	10	–10	10	–10	10	µA	0 V ≤ Vin ≤ 4.6 V
Output leakage current	I_{LO}	–10	10	–10	10	–10	10	µA	0 V ≤ Vout ≤ 4.6 V Dout = disable
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{UCAS}$ and $\overline{LCAS}$ = V_{IH}.
4. $V_{IH} \geq V_{CC} - 0.2$ V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-82: Gelijkspanningskarakteristieken van de HM51W18165 bij 3,3 V +/-0,3 V en 0 tot 70 °C.

$\overline{RAS}$	$\overline{LCAS}$	$\overline{UCAS}$	$\overline{WE}$	$\overline{OE}$	Output		Operation
H	D	D	D	D	Open		Standby
L	L	H	H	L	Valid	Lower byte	Read cycle
L	H	L	H	L	Valid	Upper byte	
L	L	L	H	L	Valid	Word	
L	L	H	L[*2]	D	Open	Lower byte	Early write cycle
L	H	L	L[*2]	D	Open	Upper byte	
L	L	L	L[*2]	D	Open	Word	
L	L	H	L[*2]	H	Undefined	Lower byte	Delayed write cycle
L	H	L	L[*2]	H	Undefined	Upper byte	
L	L	L	L[*2]	H	Undefined	Word	
L	L	H	H to L	L to H	Valid	Lower byte	Read-modify-write cycle
L	H	L	H to L	L to H	Valid	Upper byte	
L	L	L	H to L	L to H	Valid	Word	
L	H	H	D	D	Open	Word	$\overline{RAS}$-only refresh cycle
H to L	H	L	D	D	Open	Word	$\overline{CAS}$-before-$\overline{RAS}$ refresh cycle or
H to L	L	H	D	D	Open	Word	Self refresh cycle (L-version)
H to L	L	L	D	D	Open	Word	
L	L	L	H	H	Open		Read cycle (Output disabled)

Notes: 1. H: High (inactive) L: Low (active) D: H or L
2. $t_{WCS} \geq 0$ ns Early write cycle
$t_{WCS} < 0$ ns Delayed write cycle
3. Mode is determined by the OR function of the $\overline{UCAS}$ and $\overline{LCAS}$. (Mode is set by the earliest of $\overline{UCAS}$ and $\overline{LCAS}$ active edge and reset by the latest of $\overline{UCAS}$ and $\overline{LCAS}$ inactive edge.) · However write OPERATION and output HIZ control are done independently by each $\overline{UCAS}$, $\overline{LCAS}$.
ex. if $\overline{RAS}$ = H to L, $\overline{UCAS}$ = H, $\overline{LCAS}$ = L, then $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle is selected.

Figuur 8/3.4.1-100: Waarheidstabel van de HM 51W18165/HM51W18165.

3.4 Speciale DRAM's

Refresh (HM51W16165 Series)

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	64	ms	4096 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-83: Lange refresh-periode bij de HM 51W16165.

Refresh (HM51W18165 Series)

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	16	ms	1024 cycles
Refresh period (L-version)	t_{REF}	128	ms	1024 cycles

Tabel 8/3.4.1-84: Lange refresh-periode bij de HM 51W18165.

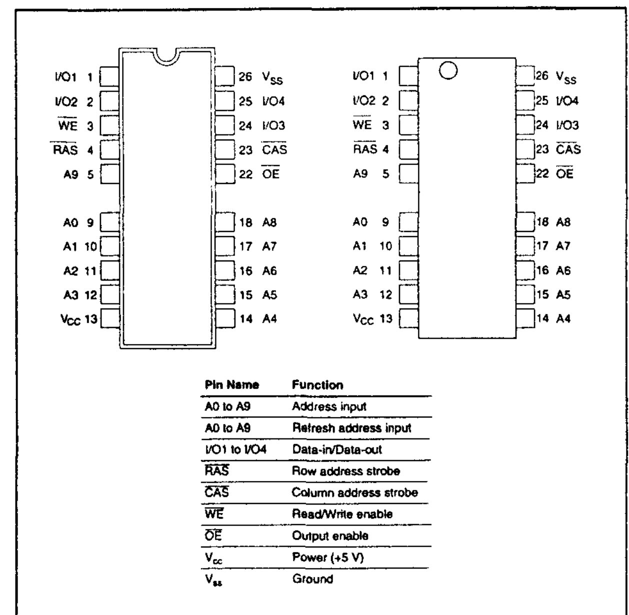
Overig kenmerken

- De in- en uitgangs-capaciteiten van de HM51W16165 en HM51W18165 zijn identiek aan die van de HM5118165 (zie tabel 8/3.4.1-67).
- De timingen van de Read, Write, Read-Modify-Write en Refresh cycli zijn gelijk aan die van de HM5118165 (zie de tabellen 8/3.4.1-69 tot en met -73 en -79 en de figuren 8/3.4.1-79 tot en met -87 en -95). Tevens zijn dezelfde voorwaarden van kracht voor de 2$\overline{CAS}$-besturing (figuur 8/3.4.1-83 en -84).
- Ook de timing van de EDO Page Mode cycli komen overeen met die van de HM5117805 (zie de tabellen 8/3.4.1-74 en -75 en de figuren 8/3.4.1-88 tot en met -94).

HM514405C

1 M x 4 bit EDO RAM

De HM514405C is een CMOS dynamische RAM, georganiseerd in 1.048.576 woorden van 4 bit per stuk. Dit geheugen kan worden gebruikt in de zogenaamde Extended Data-Out mode (EDO): door middel van een speciaal uitgangsregister blijft de informatie langer op de uitgang beschikbaar, zodat een nieuw adres al kan worden aangeboden terwijl de data van het vorige adres nog wordt gelezen door de processor. Doordat met gemultiplexte adreslijnen wordt gewerkt, zijn veel minder aansluitpennen nodig en kan het geheugen worden opgenomen in een 0,3" plastic 26-pens SOJ- of TSOP II-behuizing.



Pin Name	Function
A0 to A9	Address input
A0 to A9	Refresh address input
I/O1 to I/O4	Data-in/Data-out
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power (+5 V)
V_{ss}	Ground

Figuur 8/3.4.1-101: Aansluitingen en pen-functies van de HM 514405C (links de SOJ-versie en rechts de TSOP II-versie).

Specificaties

- 1 M x 4 bit organisatie
- EDO page-mode mogelijk
- enkele +5 V +/-10 % voeding
- toegangstijden:
  60, 70 of 80 ns (HM514405C-6,-7,-8)
- 1.024 refresh-cycli in 16 ms
- 3 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden refresh
- testfunctie
- behuizingen:
  300-mil 26-pens plastic SOJ
  TSOP II (figuur 8/3.4.1-101)

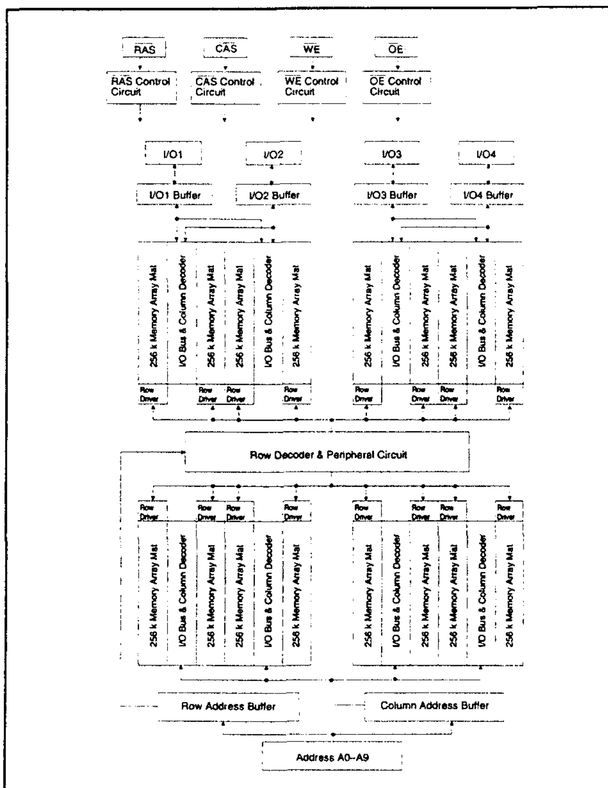
3.4 Speciale DRAM's

- gering opgenomen vermogen:
  in bedrijf: 605/550/495 mW (max.)
  standby: 11 mW (max.)
- test-functie
- fabrikant: Hitachi

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.5	5.0	5.5	V
Input high voltage	V_{IH}	2.4	—	6.5	V
Input low voltage	V_{IL}	−1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/3.4.1-86: Aanbevolen bedrijfscondities tussen 0 en 70 °C.



Figuur 8/3.4.1-102: Blokschema van de HM 514405C.

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF	1, 2

Notes: 1. Capacitance measured with Boonton Meter or effective capacitance measuring method.
2. $\overline{RAS}$ and $\overline{CAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-87: In/uitgangs-capaciteiten van de HM514105D.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	−1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	−1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C

Tabel 8/3.4.1-85: Maximaal toegelaten waarden voor de HM514405C.

		HM514405C								
		-6		-7		-8				
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test Conditions	Notes
Operating current	I_{CC1}	—	110	—	100	—	90	mA	$\overline{RAS}$, $\overline{CAS}$ cycling; t_{RC} = min	1, 2
Standby current	I_{CC2}	—	2	—	2	—	2	mA	TTL interface; $\overline{RAS}$, $\overline{CAS}$ = V_{IH}; Dout = High-Z	
		—	1	—	1	—	1	mA	CMOS interface; $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} − 0.2 V; Dout = High-Z	
$\overline{RAS}$-only refresh current	I_{CC3}	—	110	—	100	—	90	mA	t_{RC} = min	2
Standby current	I_{CC5}	—	5	—	5	—	5	mA	$\overline{RAS}$ = V_{IH}; $\overline{CAS}$ = V_{IL}; Dout = enable	1
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	110	—	100	—	90	mA	t_{RC} = min	
EDO page mode current	I_{CC4}	—	130	—	120	—	110	mA	t_{HPC} = min	1, 3
Input leakage current	I_{LI}	−10	10	−10	10	−10	10	µA	0 V ≤ Vin ≤ 7 V	
Output leakage current	I_{LO}	−10	10	−10	10	−10	10	µA	0 V ≤ Vout ≤ 7 V; Dout = disable	
Output high voltage	V_{OH}	2.4	V_{CC}	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA	
Output low voltage	V_{OL}	0	0.4	0	0.4	0	0.4	V	Low Iout = 2 mA	

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed twice or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less while $\overline{CAS}$ = V_{IH}.

Tabel 8/3.4.1-88: Gelijkspanningskarakteristieken van de HM514405C.

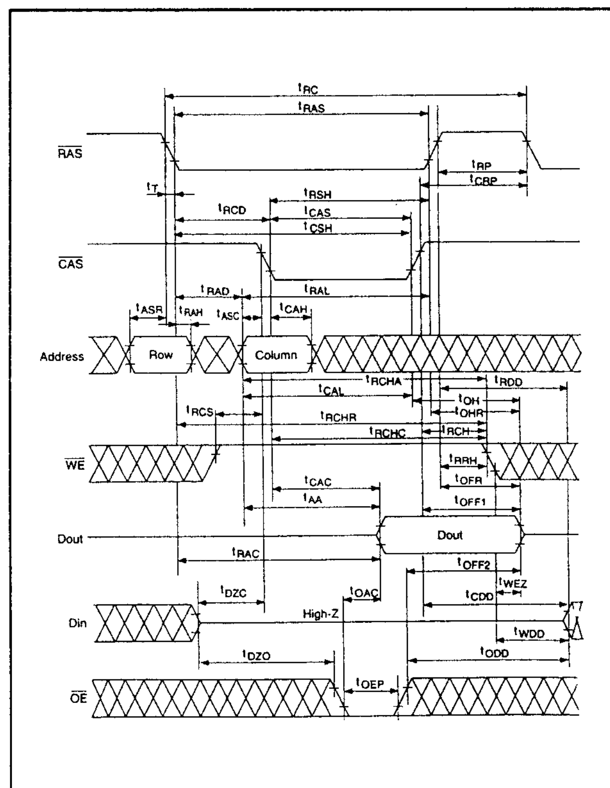
3.4 Speciale DRAM's

Parameter	Symbol	HM514405C -6 Min	-6 Max	-7 Min	-7 Max	-8 Min	-8 Max	Unit	Notes
Random read or write cycle time	t_{RC}	104	—	124	—	144	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	40	—	50	—	60	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	60	10000	70	10000	80	10000	ns	19
$\overline{CAS}$ pulse width	t_{CAS}	10	10000	13	10000	15	10000	ns	20
Row address setup time	t_{ASR}	0	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	10	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	0	—	0	—	0	—	ns	
Column address hold time	t_{CAH}	10	—	13	—	15	—	ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	20	45	20	52	20	60	ns	8
$\overline{RAS}$ to column address delay time	t_{RAD}	15	30	15	35	15	40	ns	9
$\overline{RAS}$ hold time	t_{RSH}	15	—	18	—	20	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	48	—	58	—	68	—	ns	23
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	10	—	10	—	10	—	ns	
$\overline{OE}$ to Din delay time	t_{ODD}	15	—	18	—	20	—	ns	
$\overline{OE}$ delay time from Din	t_{DZO}	0	—	0	—	0	—	ns	
$\overline{CAS}$ setup time from Din	t_{DZC}	0	—	0	—	0	—	ns	
Transition time (rise and fall)	t_T	2	50	2	50	2	50	ns	7
Refresh period	t_{REF}	—	16	—	16	—	16	ms	

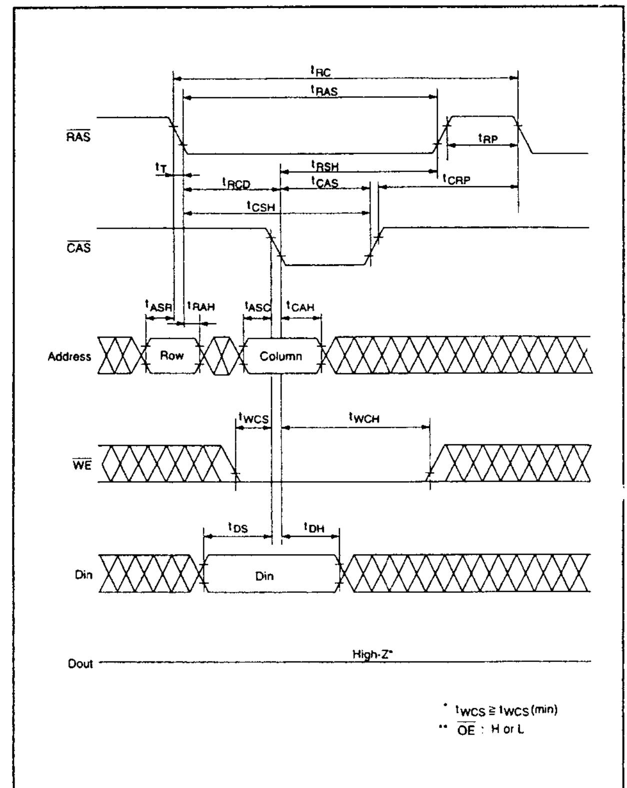
Tabel 8/3.4.1-89: Schakeltijden bij lezen, schrijven en lezen-modificeren-schrijven van de HM514405C.

Parameter	Symbol	HM514405C -6 Min	-6 Max	-7 Min	-7 Max	-8 Min	-8 Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	60	—	70	—	80	ns	2, 3, 17
Access time from $\overline{CAS}$	t_{CAC}	—	15	—	18	—	20	ns	3, 4, 13, 17
Access time from address	t_{AA}	—	30	—	35	—	40	ns	3, 5, 13, 17
Access time from $\overline{OE}$	t_{OAC}	—	15	—	18	—	20	ns	3, 17
Read command setup time	t_{RCS}	0	—	0	—	0	—	ns	
Read command hold time to $\overline{CAS}$	t_{RCH}	0	—	0	—	0	—	ns	18
Read command hold time to $\overline{RAS}$	t_{RRH}	0	—	0	—	0	—	ns	18
Column address to $\overline{RAS}$ lead time	t_{RAL}	30	—	35	—	40	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	18	—	23	—	28	—	ns	
Output buffer turn-off time	t_{OFF1}	—	15	—	15	—	15	ns	6, 21
Output buffer turn-off time to $\overline{OE}$	t_{OFF2}	—	15	—	15	—	15	ns	6
$\overline{CAS}$ to Din delay time	t_{CDD}	15	—	18	—	20	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	15	—	18	—	20	—	ns	
$\overline{WE}$ to Din delay time	t_{WDD}	15	—	18	—	20	—	ns	
$\overline{OE}$ pulse width	t_{OEP}	15	—	18	—	20	—	ns	
Turn-off to $\overline{RAS}$	t_{OFR}	—	15	—	15	—	15	ns	6, 21
Turn-off to $\overline{WE}$	t_{WEZ}	—	15	—	15	—	15	ns	6
Output data hold time	t_{OH}	5	—	5	—	5	—	ns	
Output data hold time from $\overline{RAS}$	t_{OHR}	5	—	5	—	5	—	ns	
Read command hold time from $\overline{RAS}$	t_{RCHR}	60	—	70	—	80	—	ns	
Read command hold time from $\overline{CAS}$	t_{RCHC}	15	—	18	—	20	—	ns	
Read command hold time from column address	t_{RCHA}	30	—	35	—	40	—	ns	

Tabel 8/3.4.1-90: Timing van een leescyclus (zie figuur 8/3.4.1-103).

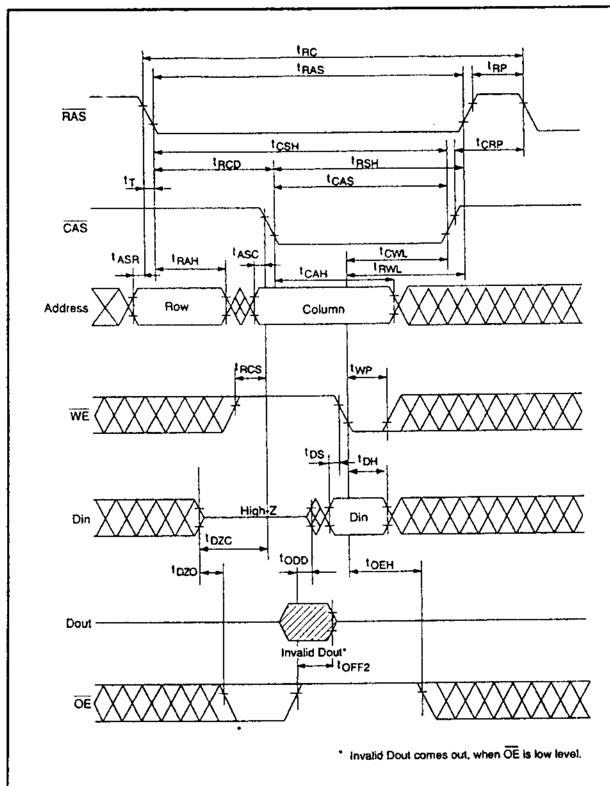


Figuur 8/3.4.1-103: Golfvormen en timing van een leescyclus bij de HM514405C.

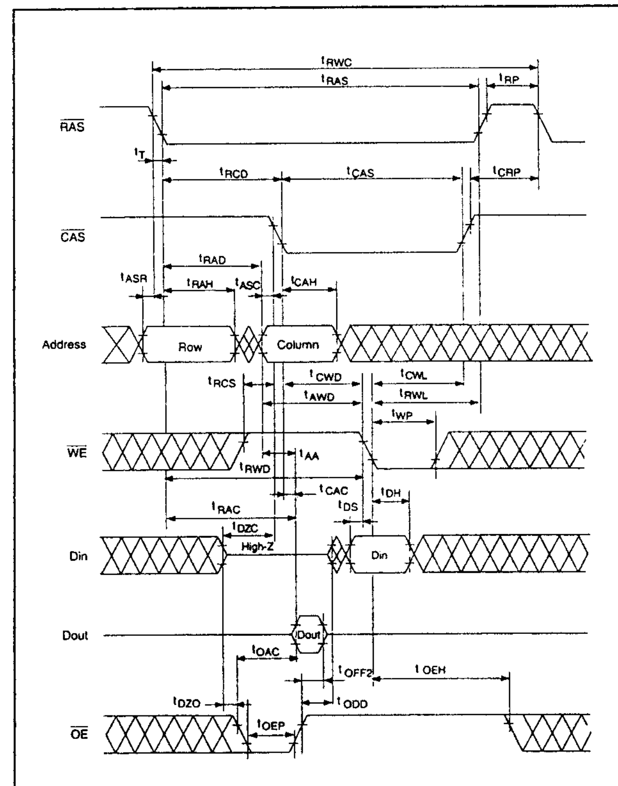


Figuur 8/3.4.1-104: Golfvormen en timing van een vroege (early) schrijfcyclus.

3.4 Speciale DRAM's



Figuur 8/3.4.1-105: Golfvormen en timing van een vertraagde (delayed) schrijfcyclus.



Figuur 8/3.4.1-106: Golfvormen en timing van read-modify-write cycli.

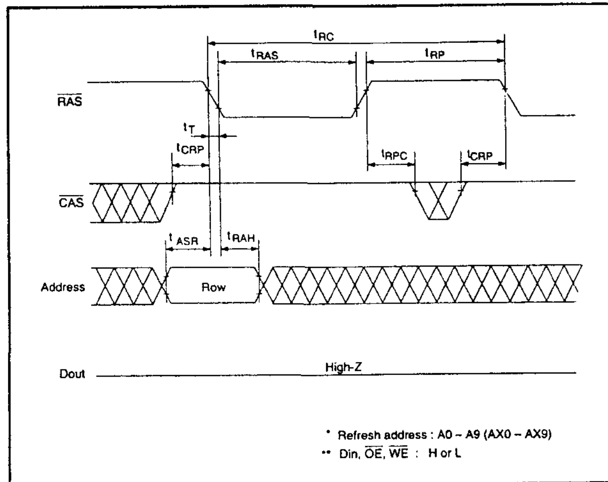
		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write command setup time	t_{WCS}	0	—	0	—	0	—	ns	10
Write command hold time	t_{WCH}	10	—	13	—	15	—	ns	
Write command pulse width	t_{WP}	10	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	10	—	13	—	15	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	10	—	13	—	15	—	ns	
Data-in setup time	t_{DS}	0	—	0	—	0	—	ns	11
Data-in hold time	t_{DH}	10	—	13	—	15	—	ns	11

Tabel 8/3.4.1-91: Timing van de schrijfcycli.

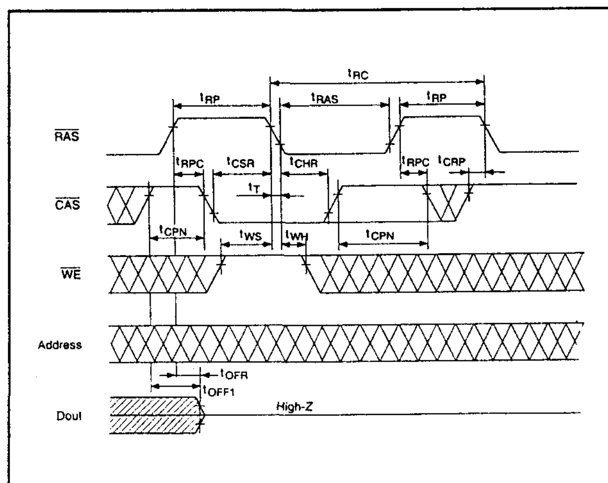
		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	133	—	159	—	183	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	77	—	90	—	102	—	ns	10
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	32	—	38	—	42	—	ns	10
Column address to $\overline{WE}$ delay time	t_{AWD}	47	—	55	—	62	—	ns	10
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	15	—	18	—	20	—	ns	

Tabel 8/3.4.1-92: Timing van de read-modify-write cycli.

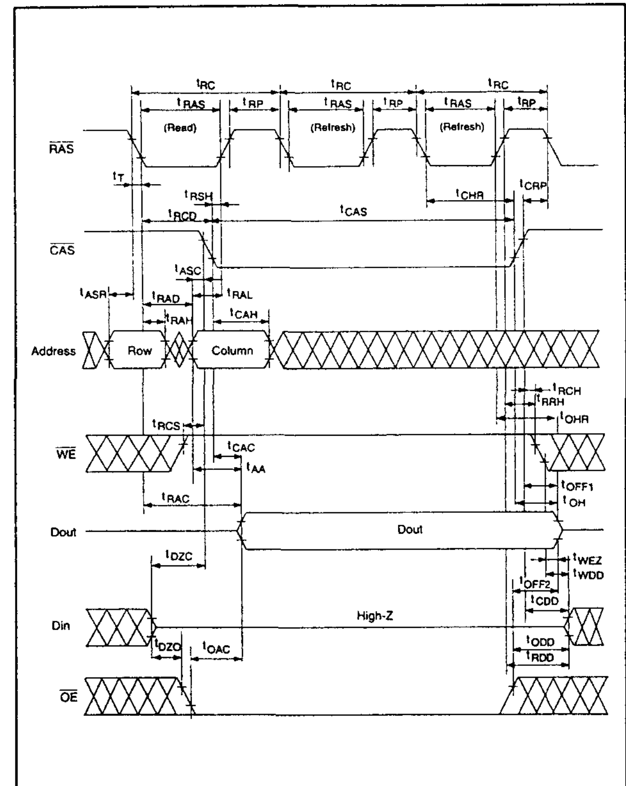
3.4 Speciale DRAM's



Figuur 8/3.4.1-107: Timing en golfvormen bij de RAS-only refresh cyclus.



Figuur 8/3.4.1-108: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.



Figuur 8/3.4.1-109: Timing en golfvormen bij de hidden refresh cyclus.

		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
CAS setup time (CBR refresh cycle)	t_{CSR}	10	—	10	—	10	—	ns	
CAS hold time (CBR refresh cycle)	t_{CHR}	10	—	10	—	10	—	ns	
RAS precharge to CAS hold time	t_{RPC}	10	—	10	—	10	—	ns	
CAS precharge time in normal mode	t_{CPN}	10	—	13	—	15	—	ns	

Tabel 8/3.4.1-93: Schakeltijden die optreden bij de refresh-cycli.

		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	25	—	30	—	35	—	ns	22
EDO page mode CAS precharge time	t_{CP}	10	—	13	—	15	—	ns	
EDO page mode RAS pulse width	t_{RASC}	—	100000	—	100000	—	100000	ns	12
Access time from CAS precharge	t_{ACP}	—	35	—	40	—	45	ns	3, 13 17
RAS hold time from CAS precharge	t_{RHCP}	35	—	40	—	45	—	ns	
Output data hold time from CAS low	t_{DOH}	3	—	3	—	3	—	ns	
CAS hold time referred OE	t_{COL}	10	—	13	—	20	—	ns	
CAS to OE setup time	t_{COP}	5	—	5	—	5	—	ns	
Read command hold time from CAS precharge	t_{RCHP}	35	—	40	—	45	—	ns	

Tabel 8/3.4.1-94: Timingen, behorend bij de EDO Page Mode cycli.

3.4 Speciale DRAM's

Figuur 8/3.4.1-110: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (t_{HPC} minimum cyclustijd-operatie).

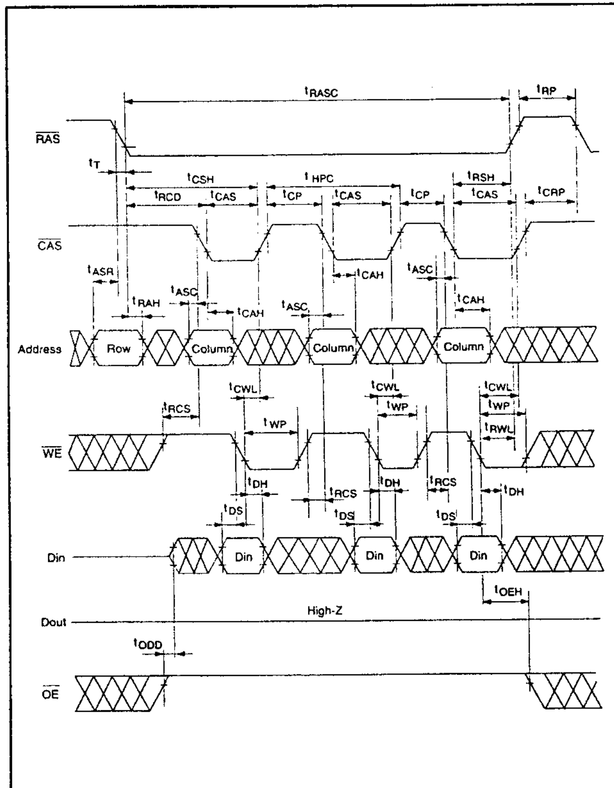
Figuur 8/3.4.1-112: Timing en golfvormen bij de EDO Page Mode Early Write cyclus (t_{HPC} minimum cyclus-operatie).

Figuur 8/3.4.1-111: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (High-Z besturing met $\overline{WE}$ en $\overline{OE}$).

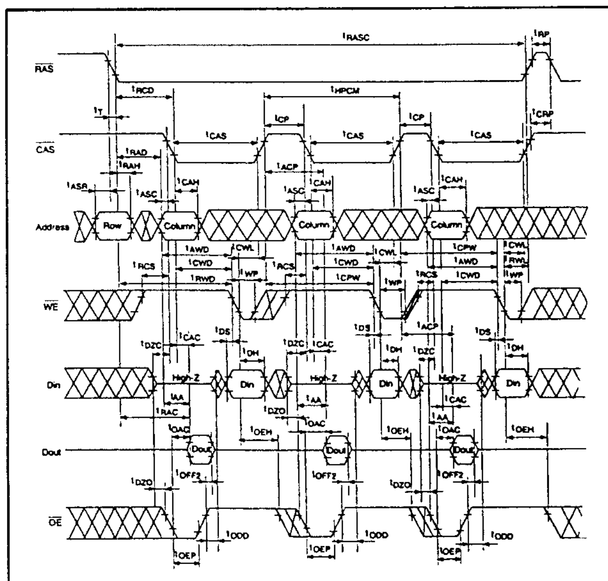
		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read-modify-write cycle time	t_{HPCM}	66	—	77	—	86	—	ns	
EDO page mode read-modify-write cycle $\overline{CAS}$ precharge to $\overline{WE}$ delay time	t_{CPW}	52	—	60	—	67	—	ns	10

Tabel 8/3.4.1-95: Timingen, behorend bij de EDO Page Mode Read-Modify-Write cycli.

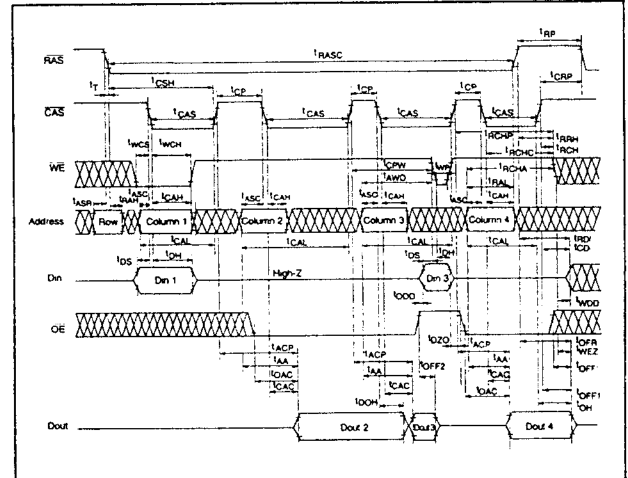
3.4 Speciale DRAM's



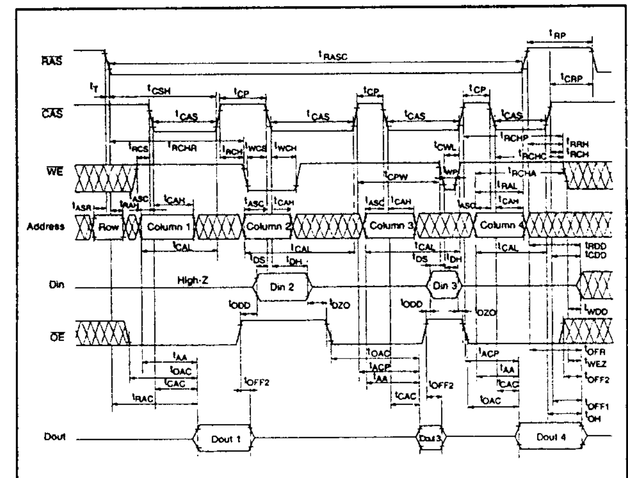
Figuur 8/3.4.1-113: Timing en golfvormen bij de EDO Page Mode Delayed Write cyclus.



Figuur 8/3.4.1-114: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus.



Figuur 8/3.4.1-115: Timing en golfvormen bij de EDO Page Mode Gemengde type-1 cyclus.

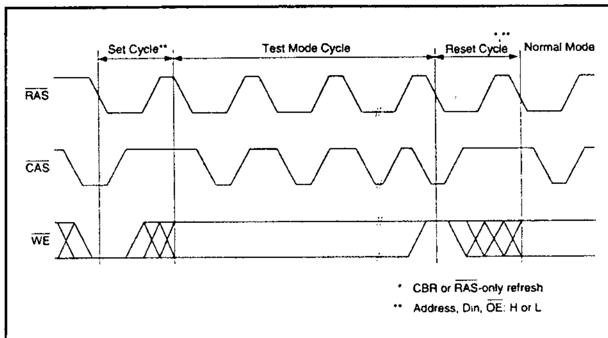


Figuur 8/3.4.1-116: Timing en golfvormen bij de EDO Page Mode Gemengde type-2 cyclus.

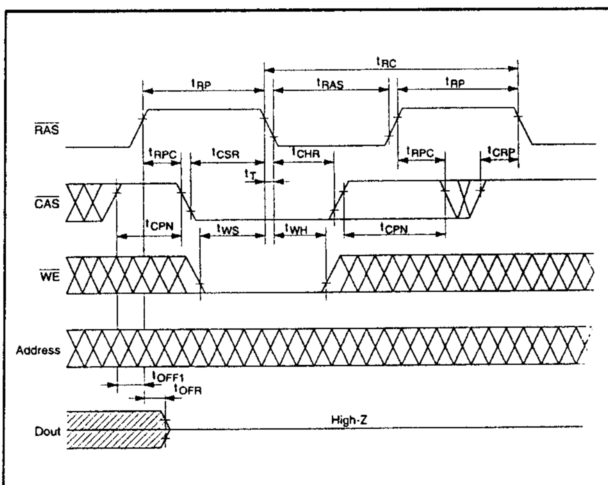
		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Test mode $\overline{WE}$ setup time	t_{WS}	0	—	0	—	0	—	ns	
Test mode $\overline{WE}$ hold time	t_{WH}	10	—	10	—	10	—	ns	

Tabel 8/3.4.1-96: Testmode Setup en Hold tijden.

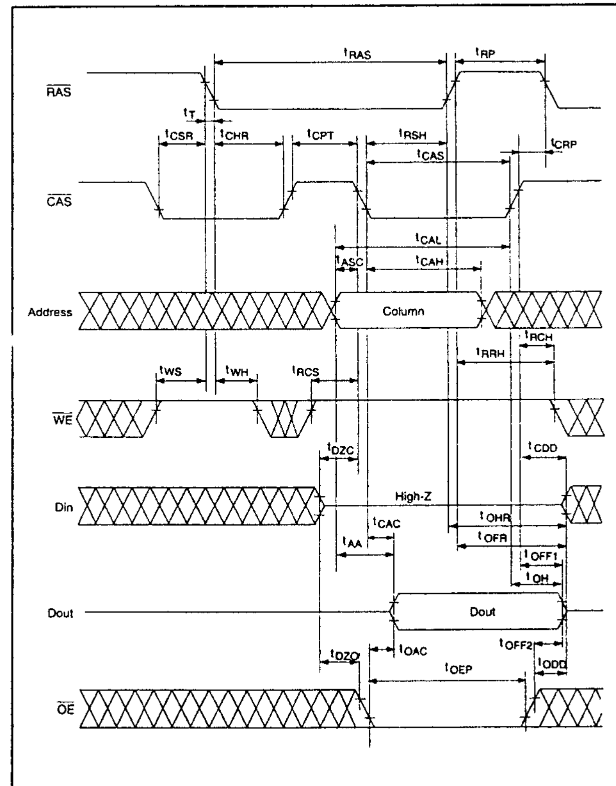
3.4 Speciale DRAM's



Figuur 8/3.4.1-117: De complete testmode cyclus.



Figuur 8/3.4.1-118: Het instellen van de testmode cyclus (Test Mode Cycle Set): $\overline{WE}$-and-$\overline{CAS}$-before-$\overline{RAS}$ refresh cyclus.

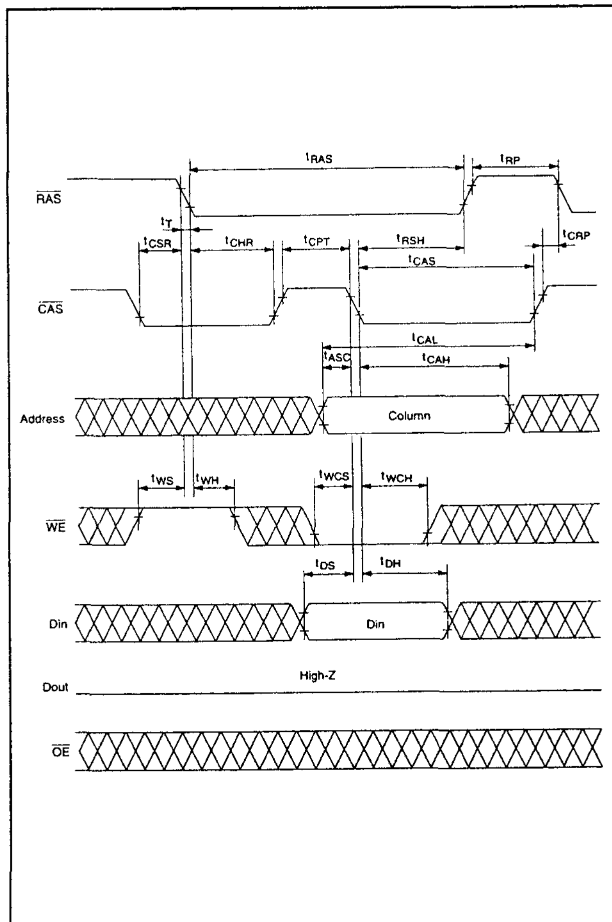


Figuur 8/3.4.1-119: $\overline{CAS}$-before-$\overline{RAS}$ Refresh Counter Check Cyclus (Read).

		HM514405C							
		-6		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{CAS}$ precharge time in counter test cycle	t_{CPT}	40	—	40	—	40	—	ns	

Tabel 8/3.4.1-97: $\overline{CAS}$-timing voor de Counter Test Cyclus.

3.4 Speciale DRAM's



Figuur 8/3.4.1-120: $\overline{CAS}$-before-$\overline{RAS}$ Refresh Counter Check Cyclus (Write).

1. AC measurements assume t_T = 2 ns
2. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
3. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
4. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max).
5. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \geq t_{RAD}$ (max).
6. t_{OFF1} (max), t_{OFF2} (max), t_{OFR} (max) and t_{WEZ} (max) define the time at which the output achieves the open circuit condition and is not referred to output voltage levels
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, *transition* times are measured between V_{IH} and V_{IL}.
8. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only, if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
9. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only, if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
10. t_{WCS}, t_{RWD}, t_{CWD}, t_{CPW} and t_{AWD} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle, if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), $t_{CPW} \geq t_{CPW}$ (min) and $t_{AWD} \geq t_{AWD}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
11. These parameters are referred to $\overline{CAS}$ leading edge in an early write cycle and to $\overline{WE}$ leading edge in a delayed write or read-modify-write cycle.
12. t_{RASC} defines $\overline{RAS}$ pulse width in fast page mode cycles.
13. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{ACP}.
14. An initial pause of 100 µs is required after power up followed by a minimum of eight initialization cycles ($\overline{RAS}$-only refresh cycle or $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle). If the internal refresh counter is used, a minimum of eight $\overline{CAS}$-before-$\overline{RAS}$ refresh cycles is required.
15. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
16. Test mode operation specified in this data sheet is 2-bit test function controlled by control address bits - - - CA0. This test mode operation can be performed by $\overline{WE}$-and-$\overline{CAS}$-before-$\overline{RAS}$ (WCBR) refresh cycle. Refresh during test mode operation will be performed by normal read cycles or by WCBR refresh cycles. When the state of two test bits accord each other, the condition of the output data is high level. When the state of test bits do not accord, the condition of the output data is low level. In order to end this test mode operation, perform a $\overline{RAS}$-only refresh cycle or a $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle.
17. In a test mode read cycle, the value of t_{RAC}, t_{AA}, t_{CAC}, t_{OAC} and t_{ACP} is delayed for 2 ns to 5 ns for the specified value. These parameters should be specified in test mode cycles by adding the above value to the specified value in this data sheet.
18. Either t_{RCH} or t_{RRH} must be satisfied
19. t_{RAS} (min) = t_{RWD} (min) + t_{RWL} (min) + t_T in read-modify-write cycle.
20. t_{CAS} (min) = t_{CWD} (min) + t_{CWL} (min) + t_T in read-modify-write cycle.
21. t_{OFF1} and t_{OFR} are determined by the later rising edge of $\overline{RAS}$ or $\overline{CAS}$.
22. t_{HPC} (min) can be achieved during a series of EDO page mode early write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle t_{HPC} ($t_{CAS} + t_{CP} + 2t_T$) becomes greater than the specified t_{HPC} (min) value.
23. t_{CSH} (min) can be achieved when $t_{RCD} \leq t_{CSH}$ (min) – t_{CAS} (min).
24. XXXX H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))

    ////// Invalid Dout

Tabel 8/3.4.1-98: Opmerkingen bij de tabellen 8/3.4.1-89 tot en met -95.

HM5164165A, HM5165165A

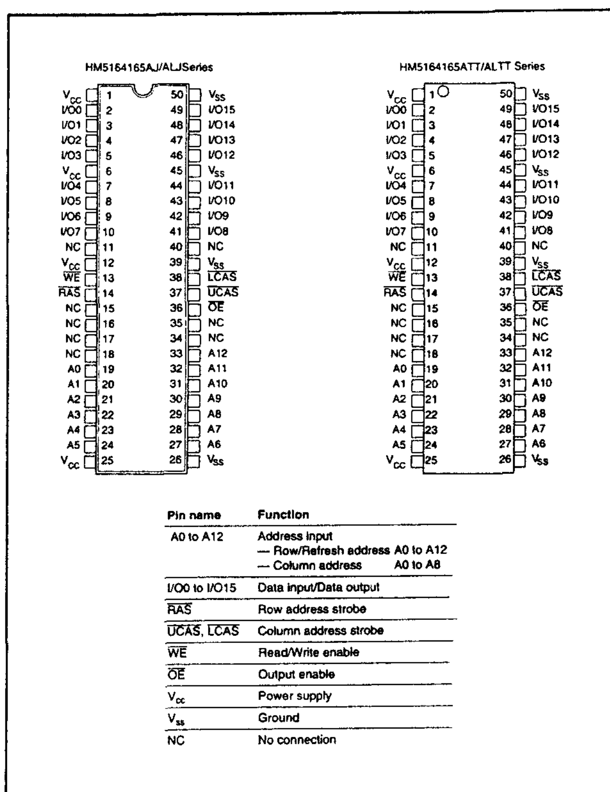
4 M x 16 bit EDO RAM

De HM5164165A en HM5165165A zijn 64 M CMOS dynamische RAM's, beide georganiseerd in 4.194.304 woorden van elk 16 bit. Deze geheugens kunnen worden gebruikt in de zogenaamde Extended Data-Out mode (EDO).

Doordat de informatie hierbij langer op de uitgang beschikbaar blijft is het mogelijk om al een nieuw adres aan te bieden terwijl de data van het vorige adres nog wordt uitgelezen. Door het gebruik van gemultiplexte adreslijnen kan het aantal aansluitpennen worden beperkt. Deze grote geheugens passen in 0,4" plastic SOJ- of TSOP II-behuizingen met 50 pennen.

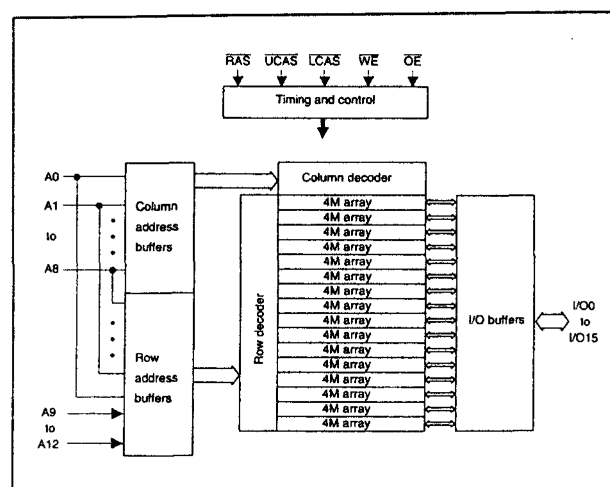
3.4 Speciale DRAM's

De HM5164165A ververst 8.192 adressen per cyclus, terwijl de HM5165165A er 4.096 doet. De eerste heeft daarom 13 adreslijnen en de tweede 12. Bij beide typen wordt de hidden-refresh uitgevoerd op 4.096 adressen.



Figuur 8/3.4.1-121: Aansluitingen en pen-functies van de HM5164165A (links de SOJ-versie en rechts de TSOP II-versie).

- lange refresh-periode:
  HM5164165A: 8.192 cycli in 64 ms
  (L-versie: 128 ms)
  HM5165165A: 4.096 cycli in 64 ms
  (L-versie: 128 ms)
  CBR/Hidden refresh:
  4.096 cycli in 64 ms (L-versie: 128 ms)
- 4 soorten refresh:
  RAS-only, CAS-before-RAS, hidden refresh en self-refresh (L-versie)
- 2CAS-byte besturing
- behuizingen:
  400-mil 50-pens plastic SOJ
  TSOP II (figuren 8/3.4.1-121 en -123)
- batterij backup operatie (L-versie)
- fabrikant: Hitachi



Figuur 8/3.4.1-122: Blokschema van de HM 5164165A.

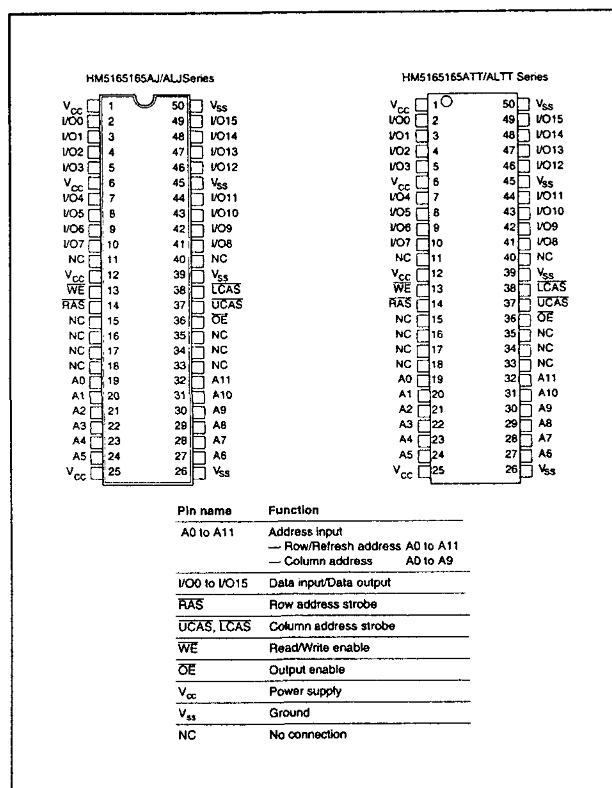
Specificaties

- 4 M x 16 bit organisatie
- EDO page-mode mogelijk
- enkele 3,3 V +/-0,3 V voeding
- toegangstijden: 50, 60 en 70 ns
- opgenomen vermogen:
  in bedrijf: HM5164165A:
  TBD/450/378 mW (max.)
  HM5165165A:
  TBD/648/558 mW (max.)
  standby: 7,2 mW (max.) of
  0,72 mW (L-versie)

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{ss}	V.	–0.5 to V_{cc} + 0.5 (≤ 4.6 V (max))	V
Supply voltage relative to V_{ss}	V_{cc}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

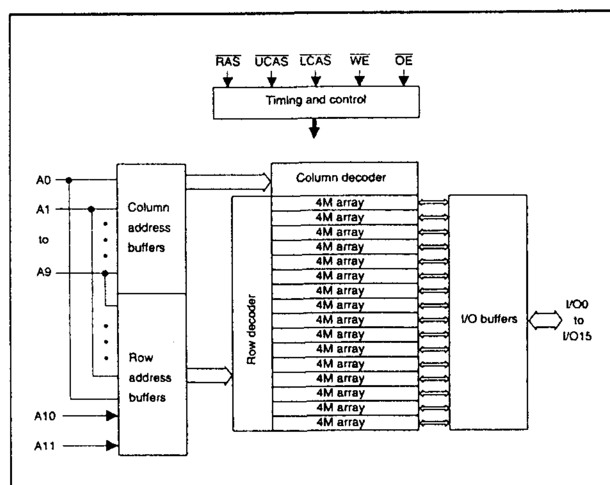
Tabel 8/3.4.1-99: Maximaal toegelaten waarden voor de HM5164165A en HM 5165165A.

3.4 Speciale DRAM's



Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A9
I/O0 to I/O15	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{UCAS}$, $\overline{LCAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-123: Aansluitingen en pen-functies van de HM5165165A (links de SOJ-versie en rechts de TSOP II-versie).



Figuur 8/3.4.1-124: Blokschema van de HM 5165165A.

$\overline{RAS}$	$\overline{LCAS}$	$\overline{UCAS}$	$\overline{WE}$	$\overline{OE}$	Output		Operation
H	D	D	D	D	Open		Standby
L	L	H	H	L	Valid	Lower byte	Read cycle
L	H	L	H	L	Valid	Upper byte	
L	L	L	H	L	Valid	Word	
L	L	H	L*2	D	Open	Lower byte	Early write cycle
L	H	L	L*2	D	Open	Upper byte	
L	L	L	L*2	D	Open	Word	
L	L	H	L*2	H	Undefined	Lower byte	Delayed write cycle
L	H	L	L*2	H	Undefined	Upper byte	
L	L	L	L*2	H	Undefined	Word	
L	L	H	H to L	L to H	Valid	Lower byte	Read-modify-write cycle
L	H	L	H to L	L to H	Valid	Upper byte	
L	L	L	H to L	L to H	Valid	Word	
L	H	H	D	D	Open	Word	$\overline{RAS}$-only refresh cycle
H to L	H	L	H	D	Open	Word	$\overline{CAS}$-before-$\overline{RAS}$ refresh cycle or
H to L	L	H	H	D	Open	Word	Self refresh cycle (L-version)
H to L	L	L	H	D	Open	Word	
L	L	L	H	H	Open		Read cycle (Output disabled)

Notes: 1. H: High (inactive) L: Low (active) D: H or L
2. $t_{wcs} \geq 0$ ns Early write cycle
$t_{wcs} < 0$ ns Delayed write cycle
3. Mode is determined by the OR function of the $\overline{UCAS}$ and $\overline{LCAS}$. (Mode is set by the earliest of $\overline{UCAS}$ and $\overline{LCAS}$ active edge and reset by the latest of $\overline{UCAS}$ and $\overline{LCAS}$ inactive edge.) However write OPERATION and output HIZ control are done independently by each $\overline{UCAS}$, $\overline{LCAS}$.
ex. If $\overline{RAS}$ = H to L, $\overline{UCAS}$ = H, $\overline{LCAS}$ = L, then $\overline{CAS}$-before-$\overline{RAS}$ refresh cycle is selected.

Figuur 8/3.4.1-125: Waarheidstabel van de HM 5164165A/HM5165165A.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Notes: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/3.4.1-100: Aanbevolen bedrijfscondities (tussen 0 en 70 °C).

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF	1, 2

Notes 1. Capacitance measured with Boonton Meter or effective capacitance measuring method
2. $\overline{RAS}$, $\overline{UCAS}$ and $\overline{LCAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-101: In/uitgangs-capaciteiten van de HM5164165A en HM5165165A.

3.4 Speciale DRAM's

		HM5164165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1 *2	I_{CC1}	—	TBD	—	125	—	105	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS}$ = VIH Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \geq V_{CC} - 0.2$ V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \geq V_{CC} - 0.2$ V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	125	—	105	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS} = V_{IH}$ $\overline{UCAS}$, $\overline{LCAS} = V_{IL}$ Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ *refresh* current	I_{CC6}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1 *3	I_{CC7}	—	TBD	—	120	—	105	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	TBD	—	TBD	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 31.3 µs $t_{RAS} \leq 0.3$ µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \leq 0.2$ V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	−10	10	−10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3 V
Output leakage current	I_{LO}	TBD	TBD	−10	10	−10	10	µA	0 V ≤ Vout ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

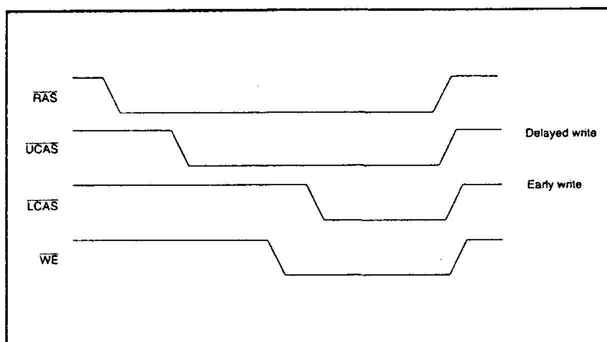
Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS} = V_{IL}$.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. $V_{IH} \geq V_{CC} - 0.2$ V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-102: Gelijkspanningskarakteristieken van de HM5164165A bij 3,3 V +/-0,3 V en 0 tot 70 °C (TBD = to be determined: moet nog worden vastgesteld).

		HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1 *2	I_{CC1}	—	TBD	—	180	—	155	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} = V_{IH}$ Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \geq V_{CC} - 0.2$ V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	200	—	200	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \geq V_{CC} - 0.2$ V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	180	—	155	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS} = V_{IH}$ $\overline{UCAS}$, $\overline{LCAS} = V_{IL}$ Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1 *3	I_{CC7}	—	TBD	—	150	—	135	mA	t_{HPC} = *min*
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	650	—	650	µA	CMOS interface Dout = High-Z CBR refresh: t_{RC} = 31.3 µs $t_{RAS} \leq 0.3$ µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	500	—	500	µA	CMOS interface $\overline{RAS}$, $\overline{UCAS}$, $\overline{LCAS} \leq 0.2$ V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	−10	10	−10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3 V
Output leakage current	I_{LO}	TBD	TBD	−10	10	−10	10	µA	0 V ≤ Vout ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = −2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes: 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS} = V_{IL}$.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. $V_{IH} \geq V_{CC} - 0.2$ V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-103: Gelijkspanningskarakteristieken van de HM5165165A bij 3,3 V +/-0,3 V en 0 tot 70 °C.



Figuur 8/3.4.1-126: Opmerkingen bij de 2$\overline{CAS}$-besturing:

		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Random read or write cycle time	t_{RC}	TBD	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	TBD	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	TBD	—	10	—	13	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	TBD	TBD	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	TBD	TBD	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	TBD	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	TBD	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	TBD	—	0	—	0	—	ns	21
Column address hold time	t_{CAH}	TBD	—	10	—	13	-	ns	21
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	TBD	TBD	20	45	20	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	TBD	TBD	15	30	15	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	TBD	—	15	—	18	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	TBD	—	48	—	58	—	ns	23
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	TBD	—	5	—	5	—	ns	22
$\overline{OE}$ to Din delay time	t_{OED}	TBD	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	TBD	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	TBD	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	TBD	TBD	2	50	2	50	ns	7

Tabel 8/3.4.1-104: Schakeltijden van read, read-modify-write en refresh van de HM5164165A en HM5165165A.

(wordt vervolgd)

3.4 EDO RAM's

Voer geen gescheiden $\overline{UCAS}/\overline{LCAS}$-operaties uit. Onder de volgende omstandigheden zijn afwijkende $\overline{UCAS}/\overline{LCAS}$-pulsen echter wel toegestaan: 1. Beide golfvormen $\overline{UCAS}/\overline{LCAS}$ dienen aan de specificaties te voldoen. 2. Afwijkende bedrijfsmodes voor upper- en lower byte zijn niet toegestaan (zie figuur voor VERBODEN SITUATIE).

		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	TBD	—	60	—	70	ns	8, 9
Access time from $\overline{CAS}$	t_{CAC}	—	TBD	—	15	—	18	ns	9, 10, 17
Access time from address	t_{AA}	—	TBD	—	30	—	35	ns	9, 11, 17
Access time from $\overline{OE}$	t_{OEA}	—	TBD	—	15	—	18	ns	9
Read command setup time	t_{RCS}	TBD	—	0	—	0	—	ns	21
Read command hold time to $\overline{CAS}$	t_{RCH}	TBD	—	0	—	0	—	ns	12, 22
Read command hold time from $\overline{RAS}$	t_{RCHR}	TBD	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	TBD	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	TBD	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	TBD	—	18	—	23	—	ns	
$\overline{CAS}$ to output in low-Z	t_{CLZ}	TBD	—	0	-	0	—	ns	
Output data hold time	t_{OH}	TBD	—	3	—	3	—	ns	27
Output data hold time from $\overline{OE}$	t_{OHO}	TBD	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	TBD	—	15	—	15	ns	13, 27
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	TBD	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	TBD	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	TBD	—	3	—	3	—	ns	27
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	TBD	—	15	—	15	ns	27
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	TBD	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	TBD	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	TBD	—	15	—	18	—	ns	

Tabel 8/3.4.1-105: Timing van een leescyclus op de HM5164165A en HM5165165A (zie figuur 8/3.4.1-128).

		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write command setup time	t_{WCS}	TBD	—	0	—	0	—	ns	14, 21
Write command hold time	t_{WCH}	TBD	—	10	—	13	—	ns	21
Write command pulse width	t_{WP}	TBD	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	TBD	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	TBD	—	10	—	13	—	ns	23
Data-in setup time	t_{DS}	TBD	—	0	—	0	—	ns	15, 23
Data-in hold time	t_{DH}	TBD	—	10	—	13	—	ns	15, 23

Tabel 8/3.4.1-106: Schakeltijden bij het schrijven (zie de figuren 8/3.4.1-129 en -130).

Figuur 8/3.4.1-127: Opmerkingen bij de 2$\overline{CAS}$-besturing: 3. Vlak na elkaar komende upper/lower byte control is niet toegestaan. Wanneer echter aan de conditie $t_{CP} < t_{UL}$ wordt voldaan, kan de page-mode worden uitgevoerd. 4. Wanneer $\overline{UCAS}$ of $\overline{LCAS}$ HOOG blijft vindt byte-besturing plaats.

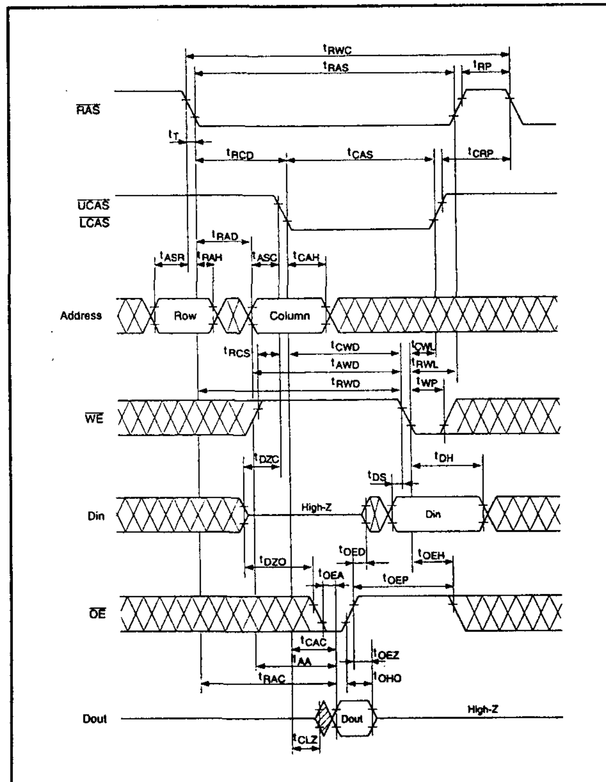
Figuur 8/3.4.1-128: Golfvormen en timing van een leescyclus op de HM5164165A en HM5165165A.

3.4 EDO RAM's

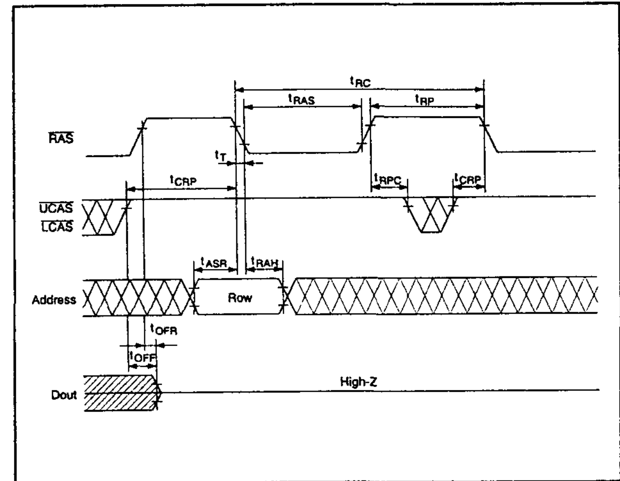
Figuur 8/3.4.1-129: Golfvormen en timing van een vroege schrijfcyclus ("early write"). Als $t_{WCS} > t_{WCS(min.)}$ is blijft de data-uit pen gedurende de gehele cyclus hoog-impedant.

Figuur 8/3.4.1-130: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").

3.4 EDO RAM's



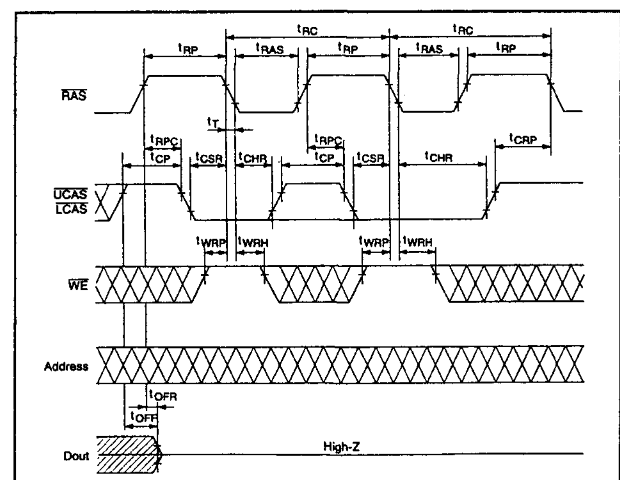
Figuur 8/3.4.1-131: Timing en golfvormen bij Read-Modify-Write cycli.



Figuur 8/3.4.1-132: Timing en golfvormen bij de RAS-only refresh cyclus.

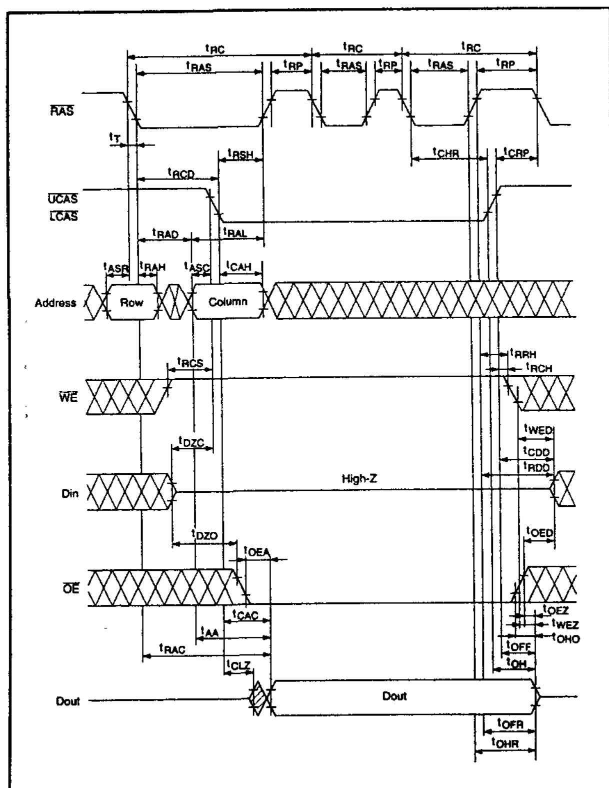
		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	TBD	—	149	—	175	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	TBD	—	78	—	91	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	TBD	—	33	—	39	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	TBD	—	48	—	56	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	TBD	—	15	—	18	—	ns	

Tabel 8/3.4.1-107: Schakeltijden bij Read-Modify-Write cycli (zie figuur 8/3.4.1-131).

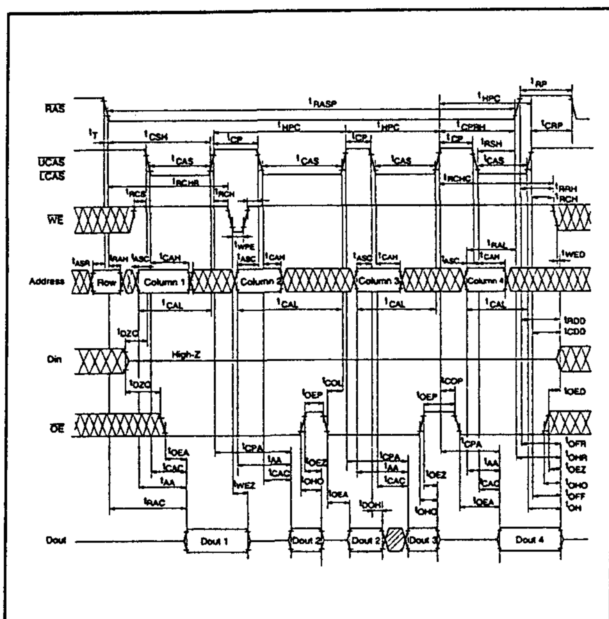


Figuur 8/3.4.1-133: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.

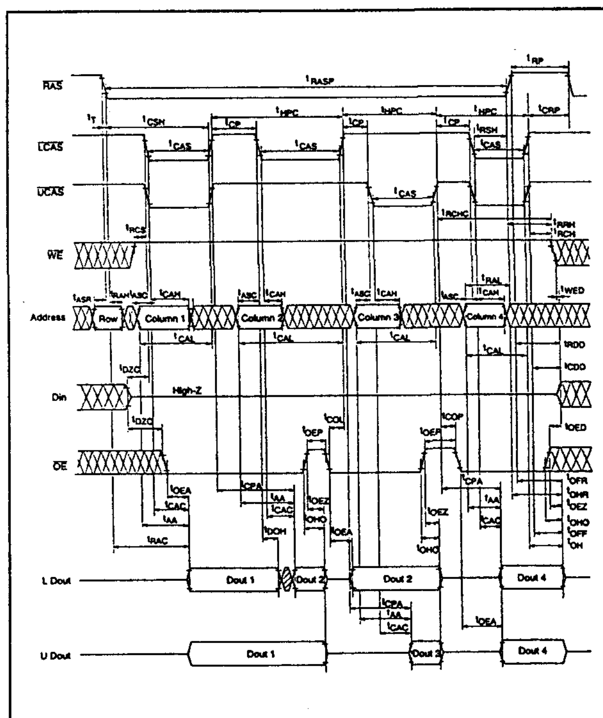
3.4 EDO RAM's



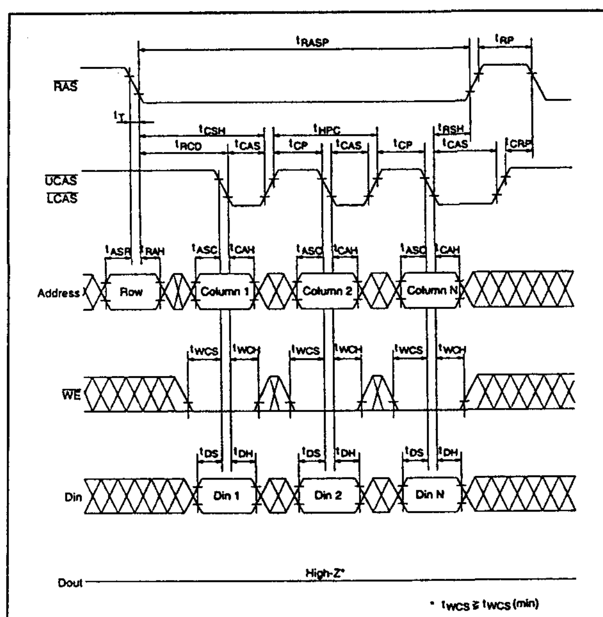
Figuur 8/3.4.1-134: Timing en golfvormen bij de hidden refresh cyclus.



Figuur 8/3.4.1-135: Timing en golfvormen bij de EDO Page Mode Lees-cyclus.



Figuur 8/3.4.1-136: Timing en golfvormen bij de EDO 2CAS Page Mode Lees-cyclus.



Figuur 8/3.4.1-137: Timing en golfvormen bij de EDO Page Mode vroege schrijfcyclus (Early Write), twcs > twcs(min.).

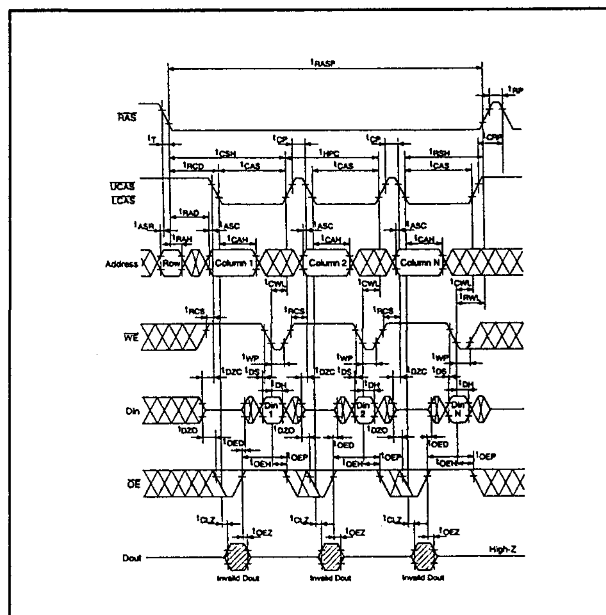
3.4 EDO RAM's

		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	TBD	—	5	—	5	—	ns	21
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	TBD	—	10	—	10	—	ns	22
$\overline{WE}$ setup time (CBR refresh cycle)	t_{WRP}	TBD	—	0	—	0	—	ns	
$\overline{WE}$ hold time (CBR refresh cycle)	t_{WRH}	TBD	—	10	—	10	—	ns	
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	TBD	—	0	—	0	—	ns	21

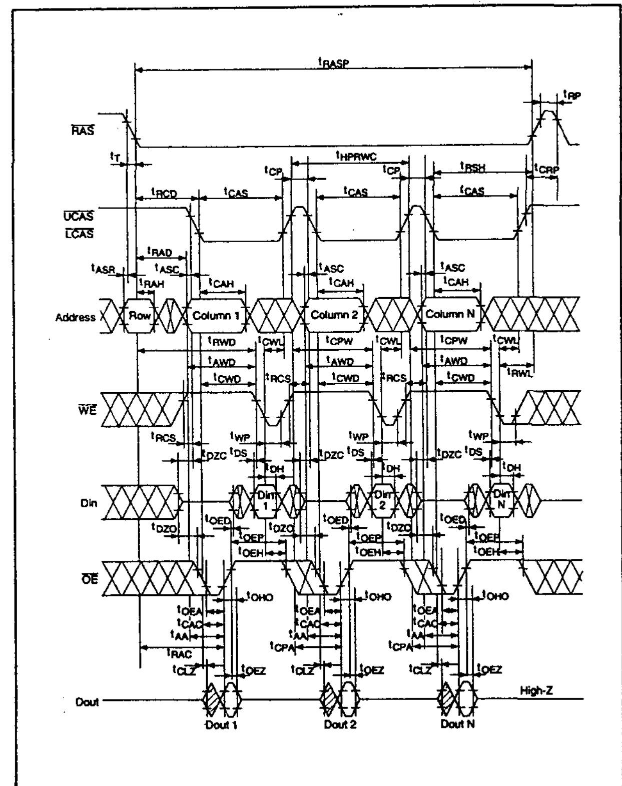
Tabel 8/3.4.1-108: Schakeltijden, optredend bij de refresh-cycli.

		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	TBD	—	25	—	30	—	ns	25
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	TBD	—	100000	—	100000	ns	16
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	TBD	—	35	—	40	ns	9, 17
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	TBD	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	TBD	—	3	—	3	—	ns	9, 17
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	TBD	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	TBD	—	10	—	10	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	TBD	—	35	—	40	—	ns	
Write pulse width during $\overline{CAS}$ precharge	t_{WPE}	TBD	—	10	—	10	—	ns	
$\overline{OE}$ precharge time	t_{OEP}	TBD	—	10	—	10	—	ns	

Tabel 8/3.4.1-109: Timingen, behorend bij de EDO Page Mode cycli.



Figuur 8/3.4.1-138: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).

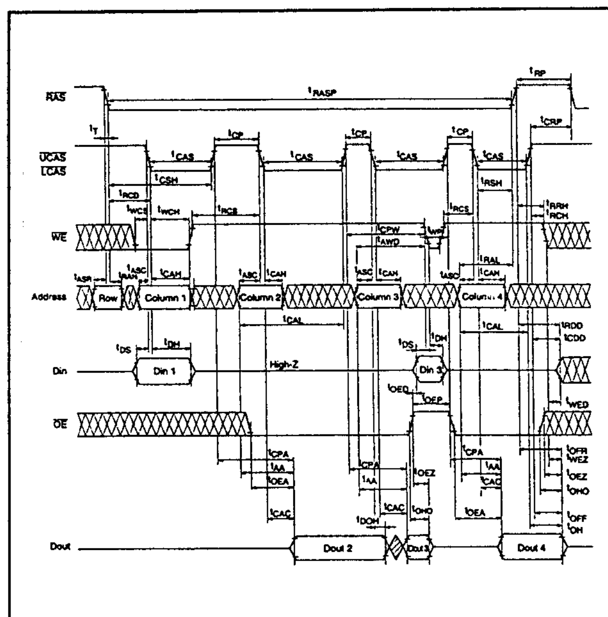


Figuur 8/3.4.1-139: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.

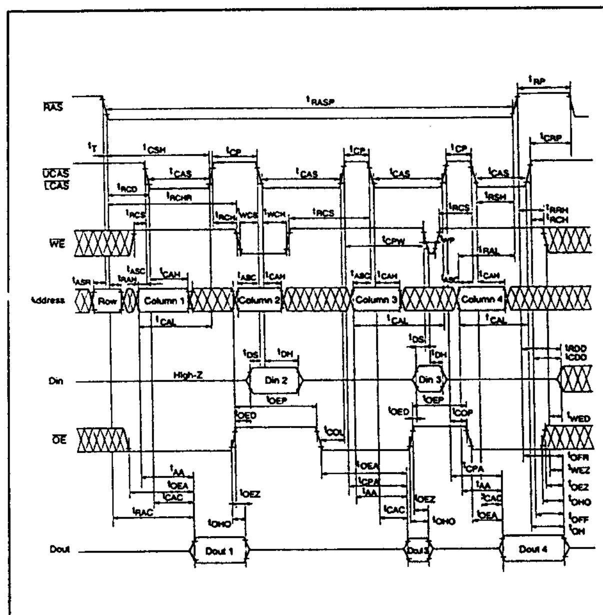
		HM5164165A/HM5165165A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read-modify-write cycle time	t_{HPRWC}	TBD	—	68	—	79	—	ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	TBD	—	54	—	62	—	ns	14

Tabel 8/3.4.1-110: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.

3.4 EDO RAM's



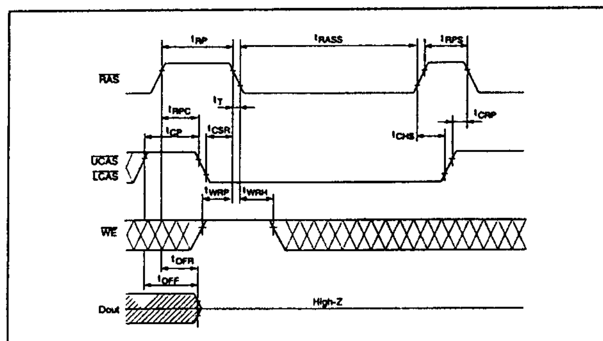
Figuur 8/3.4.1-140: EDO Page Mode Mix Cyclus 1.



Figuur 8/3.4.1-141: EDO Page Mode Mix Cyclus 2.

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	64	ms	8192 cycles
Refresh period (L-version)	t_{REF}	TBD	ms	8192 cycles

Tabel 8/3.4.1-111: Lange refresh-periode bij de HM 5164165A.



Figuur 8/3.4.1-142: Golfvormen en schakeltijden bij de self-refresh cyclus.

Parameter	Symbol	Max	Unit	Note
Refresh period	t_{REF}	64	ms	4096 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-112: Lange refresh-periode bij de HM 5165165A.

		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
$\overline{RAS}$ pulse width (self refresh)	t_{RASS}	TBD	—	100	—	100	—	µs	
$\overline{RAS}$ precharge time (self refresh)	t_{RPS}	TBD	—	110	—	130	—	ns	
$\overline{CAS}$ hold time (self refresh)	t_{CHS}	TBD	—	-50	—	-50	—	ns	

Tabel 8/3.4.1-113: Schakeltijden bij de Self refresh-periode (L-versie van HM 5164165A en HM5165165A).

3.4 EDO RAM's

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh).
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, than the access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{OED} or t_{CDD} must be satisfied.
6. Either t_{DZO} or t_{DZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\geq t_{RAD} + t_{AA}$ (max).
11. Assumes that $t_{RAD} \geq t_{RAD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\leq t_{RAD} + t_{AA}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max), t_{OEZ} (max), t_{WEZ} (max) and t_{OFR} (max) define the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), and $t_{AWD} \geq t_{AWD}$ (min), or $t_{CWD} \geq t_{CWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min) and $t_{CPW} \geq t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. These parameters are referred to $\overline{UCAS}$ and $\overline{LCAS}$ leading edge in early write cycles and to $\overline{WE}$ leading edge in delayed write or read-modify-write cycles.
16. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
17. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
18. When both $\overline{UCAS}$ and $\overline{LCAS}$ go low at the same time, all 16-bit data are written into the device. $\overline{UCAS}$ and $\overline{LCAS}$ cannot be staggered within the same write/read cycles.
19 All the V_{CC} and V_{SS} pins shall be supplied with the same voltages.
20. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
21. t_{ASC}, t_{CAH}, t_{RCS}, t_{WCS}, t_{WCH}, t_{CSR} and t_{RPC} are determined by the earlier falling edge of $\overline{UCAS}$ or $\overline{LCAS}$.
22. t_{CRP}, t_{CHR}, t_{RCH}, t_{CPA} and t_{CPW} are determined by the later rising edge of $\overline{UCAS}$ or $\overline{LCAS}$.
23. t_{CWL}, t_{DH}, t_{DS} and t_{CSH} should be satisfied by both $\overline{UCAS}$ and $\overline{LCAS}$.
24. t_{CP} is determined by the time that both $\overline{UCAS}$ and $\overline{LCAS}$ are high.
25. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\ t_T$) becomes greater than the specified t_{HPC} (min) value.The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
26. When output buffers are enabled once, sustain the low impedance state until valid data is obtained. When output buffer is turned on and off within a very short time, generally it causes large V_{CC}/V_{SS} line noise, which causes to degrade V_{IH} min/V_{IL} max level.
27. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH}, and between t_{OFR} and t_{OFF}.
28. Please do not use t_{RASS} timing, 10 µs $\leq t_{RASS} \leq$ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If $t_{RASS} \geq$ 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
29. CBR burst refresh or 4096 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 64 ms immediately after exiting from and before entering into the self refresh mode.
30. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self refresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.
31. XXX: H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))

 ///////: Invalid Dout

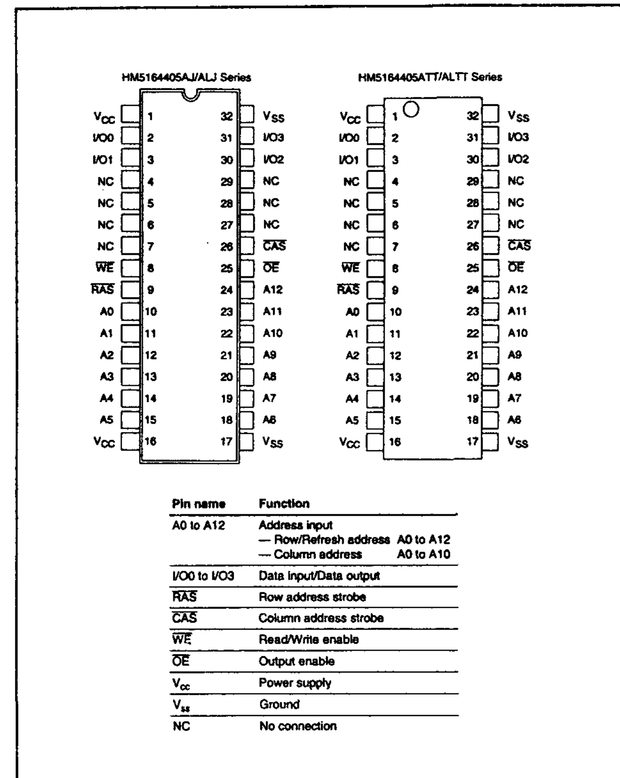
 When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-114: Voorwaarden en opmerkingen bij de tabellen 8/3.4.1-104 tot en met -110.

HM5164405A, HM5165405A

16 M x 4 bit EDO RAM

De HM5164405A en HM5165405A zijn 64 M CMOS dynamische RAM's, georganiseerd in 16.777.216 woorden van 4 bit per stuk. Deze geheugens zijn bruikbaar in de zogenaamde Extended Data-Out mode (EDO), waarbij de informatie langer op de uitgang beschikbaar blijft. Hierdoor is het mogelijk om tijdens het uitlezen van de data van het vorige adres al een nieuw adres aan te bieden. Door het gebruik van gemultiplexte adreslijnen kan het aantal aansluitpennen sterk worden beperkt. Deze grote geheugens passen daardoor in 0,4" plastic SOJ- of TSOP II-behuizingen met slechts 32 pennen. Bij de HM5164405A worden 8.192 adressen per cyclus ververst, terwijl dat er bij de HM5165405A 4.096 zijn. De eerste is daarom uitgerust met 12 adreslijnen en de tweede met 11. Bij beide typen wordt de hidden-refresh uitgevoerd op 4.096 adressen.



Pin name	Function
A0 to A12	Address input — Row/Refresh address A0 to A12 — Column address A0 to A10
I/O0 to I/O3	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Figuur 8/3.4.1-143: Aansluitingen en pen-functies van de HM5164405A (links SOJ en rechts TSOP).

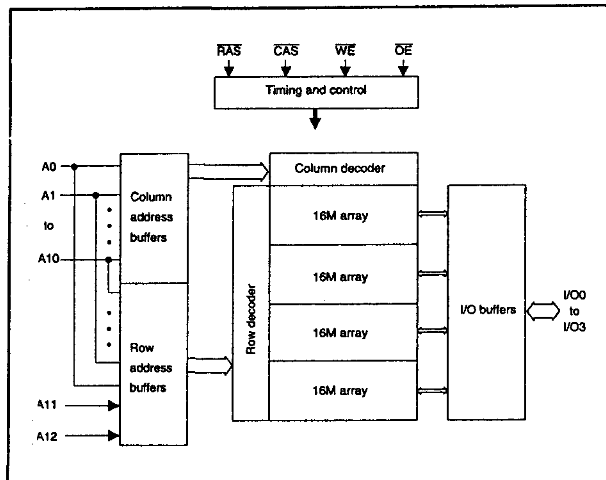
Specificaties

- 16 M x 4 bit organisatie
- EDO page-mode mogelijk
- enkele 3,3 V +/-0,3 V voeding
- toegangstijden: 50, 60 en 70 ns
- opgenomen vermogen:

3.4 EDO RAM's

in bedrijf:
HM5164405A: TBD/396/342 mW (max.)
HM5165405A: TBD/576/504 mW (max.)
standby: 7,2 mW (max.)

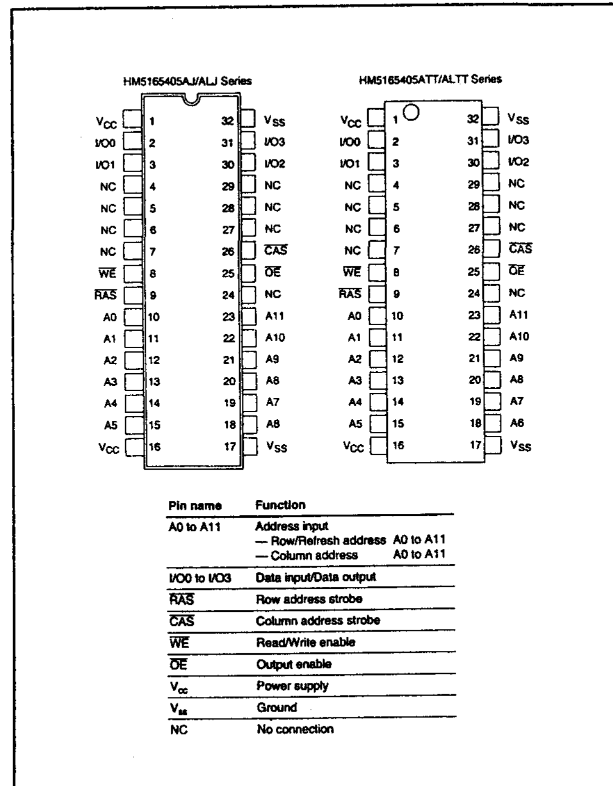
- lange refresh-periode:
  HM5164405A: 8.192 cycli in 64 ms (L-versie: 128 ms)
  HM5165405A: 4.096 cycli in 64 ms (L-versie: 128 ms)
  CBR/Hidden refresh:
  4.096 cycli in 64 ms (L-versie: 128 ms)
- 4 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self-refresh (L-versie)
- behuizingen:
  400-mil 32-pens plastic SOJ
  TSOP II (figuren 8/3.4.1-143 en -145)
- batterij backup operatie (L-versie)
- fabrikant: Hitachi



Figuur 8/3.4.1-144: Blokschema van de HM 5164405A.

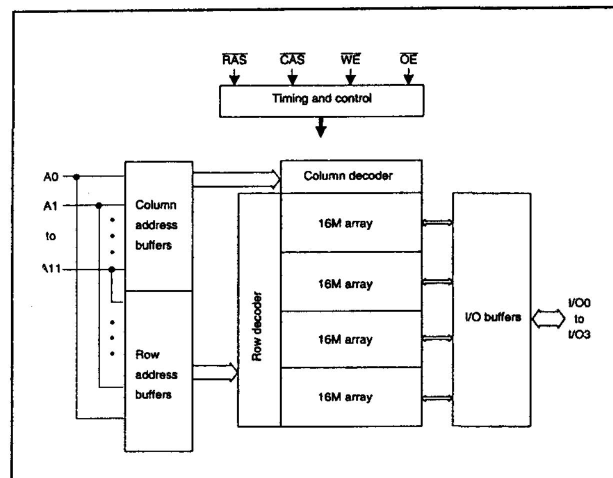
Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{ss}	V_T	–0.5 to V_{CC} + 0.5 (≤ 4.6 V (max))	V
Supply voltage relative to V_{ss}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/3.4.1-115: Maximaal toegelaten waarden van de HM5164405A en HM 5165405A.



Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A11
I/O0 to I/O3	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-145: Aansluitingen en pen-functies van de HM5165405A (links de SOJ-versie en rechts de TSOP II-versie).



Figuur 8/3.4.1-146: Blokschema van de HM 5165405A.

3.4 EDO RAM's

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/3.4.1-116: Aanbevolen bedrijfscondities tussen 0 en 70 °C.

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF	1, 2

Notes : 1. Capacitance measured with Boonton Meter or effective capacitance measuring method.
2. $\overline{RAS}$ and $\overline{CAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-117: In/uitgangs-capaciteiten van de HM5164405A en HM5165405A.

Figuur 8/3.4.1-147: Golfvormen en timing van een leescyclus op de HM5164405A en HM5165405A.

		HM5164405A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1, *2	I_{CC1}	—	TBD	—	110	—	95	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	110	—	95	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS}$ = V_{IH}, $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1, *3	I_{CC7}	—	TBD	—	105	—	90	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	TBD	—	TBD	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3
Output leakage current	I_{LO}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. $V_{IH} \geq V_{CC} - 0.2$ V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-118: Gelijkspanningskarakteristieken van de HM5164405A bij 3,3 V +/-0,3 V en 0 tot 70 °C (TBD = to be determined: moet nog worden vastgesteld).

3.4 EDO RAM's

Parameter	Symbol	HM5165405A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Test conditions
Operating current*1, *2	I_{CC1}	—	TBD	—	160	—	140	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	160	—	140	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS}$ = V_{IH}, $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1, *3	I_{CC7}	—	TBD	—	120	—	105	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	TBD	—	TBD	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3 V
Output leakage current	I_{LO}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. V_{IH} ≥ V_{CC} – 0.2 V, 0 V ≤ V_{IL} ≤ 0.2 V.

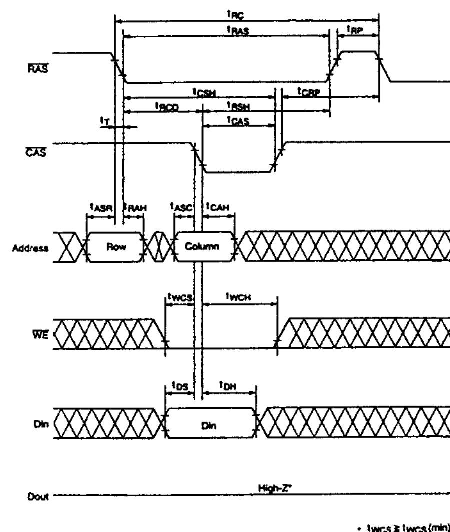
Tabel 8/3.4.1-119: Gelijkspanningskarakteristieken van de HM5165405A bij 3,3 V +/-0,3 V en 0 tot 70 °C.

Parameter	Symbol	HM5164405A/HM5165405A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	TBD	—	60	—	70	ns	8, 9
Access time from $\overline{CAS}$	t_{CAC}	—	TBD	—	15	—	18	ns	9, 10, 16
Access time from address	t_{AA}	—	TBD	—	30	—	35	ns	9, 11, 16
Access time from $\overline{OE}$	t_{OEA}	—	TBD	—	15	—	18	ns	9
Read command setup time	t_{RCS}	TBD	—	0	—	0	—	ns	
Read command hold time to $\overline{CAS}$	t_{RCH}	TBD	—	0	—	0	—	ns	12
Read command hold time from $\overline{RAS}$	t_{RCHR}	TBD	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	TBD	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	TBD	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	TBD	—	18	—	23	—	ns	
$\overline{CAS}$ to output in low-Z	t_{CLZ}	TBD	—	0	—	0	—	ns	
Output data hold time	t_{OH}	TBD	—	3	—	3	—	ns	
Output data hold time from $\overline{OE}$	t_{OHO}	TBD	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	TBD	—	15	—	15	ns	13, 19
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	TBD	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	TBD	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	TBD	—	3	—	3	—	ns	
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	TBD	—	15	—	15	ns	19
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	TBD	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	TBD	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	TBD	—	15	—	18	—	ns	

Tabel 8/3.4.1-121: Timing van een leescyclus op de HM5164405A en HM5165405A (zie figuur 8/3.4.1-147).

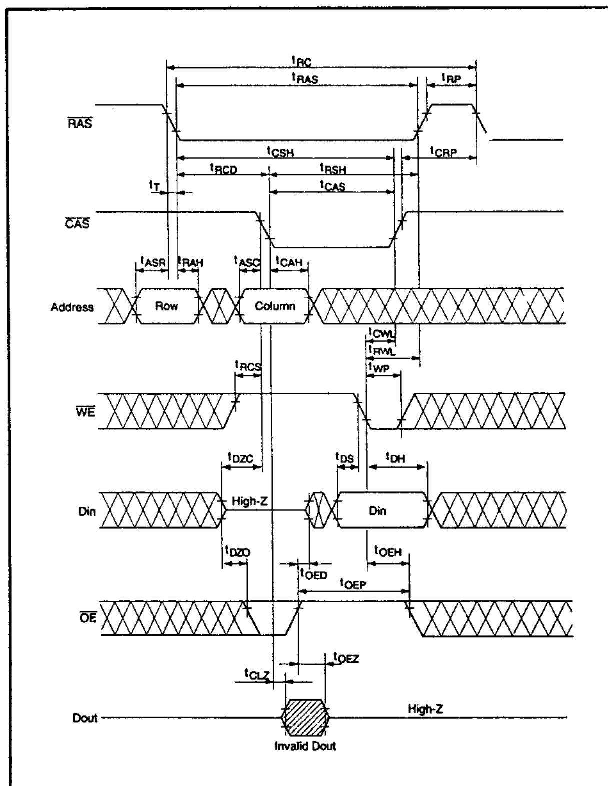
Parameter	Symbol	HM5164405A/HM5165405A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Random read or write cycle time	t_{RC}	TBD	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	TBD	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	TBD	—	10	—	13	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	TBD	TBD	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	TBD	TBD	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	TBD	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	TBD	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	TBD	—	0	—	0	—	ns	
Column address hold time	t_{CAH}	TBD	—	10	—	13	—	ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	TBD	TBD	20	45	20	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	TBD	TBD	15	30	15	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	TBD	—	15	—	18	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	TBD	—	48	—	58	—	ns	20
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	TBD	—	5	—	5	—	ns	
$\overline{OE}$ to Din delay time	t_{OED}	TBD	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	TBD	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	TBD	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	TBD	TBD	2	50	2	50	ns	7

Tabel 8/3.4.1-120: Schakeltijden (gemeenschappelijke parameters) van read, read-modify-write en refresh van de HM5164405A en HM 5165405A.

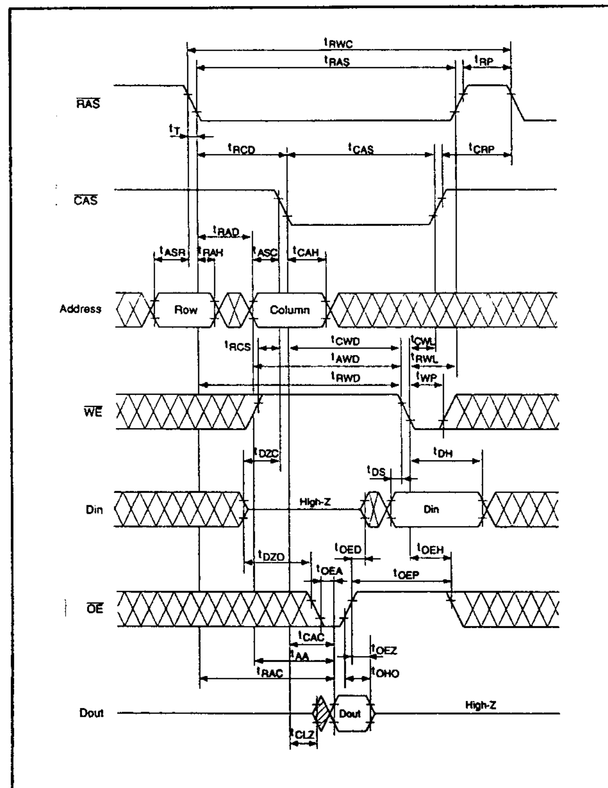


Figuur 8/3.4.1-148: Golfvormen en timing van een vroege schrijfcyclus ("early write"). Als twcs > twcs(min.) is blijft de data-uit pen gedurende de gehele cyclus hoog-impedant.

3.4 EDO RAM's



Figuur 8/3.4.1-149: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").



Figuur 8/3.4.1-150: Timing en golfvormen bij Read-Modify-Write cycli.

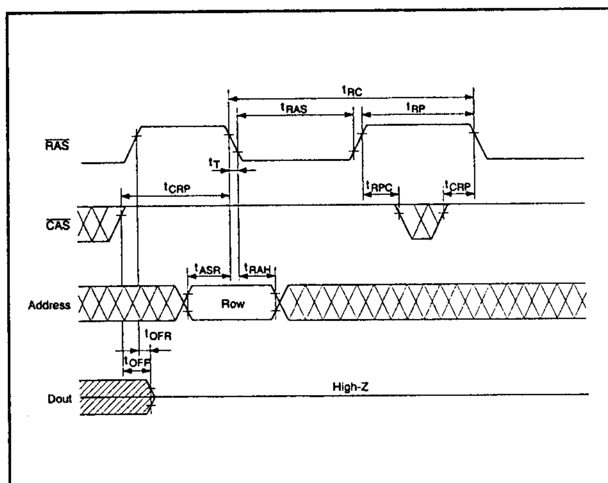
		HM5164405A/HM5165405A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write command setup time	t_{WCS}	TBD	—	0	—	0	—	ns	14
Write command hold time	t_{WCH}	TBD	—	10	—	13	—	ns	
Write command pulse width	t_{WP}	TBD	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	TBD	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	TBD	—	10	—	13	—	ns	
Data-in setup time	t_{DS}	TBD	—	0	—	0	—	ns	
Data-in hold time	t_{DH}	TBD	—	10	—	13	—	ns	

Tabel 8/3.4.1-122: Schakeltijden bij het schrijven (zie de figuren 8/3.4.1-148 en -149).

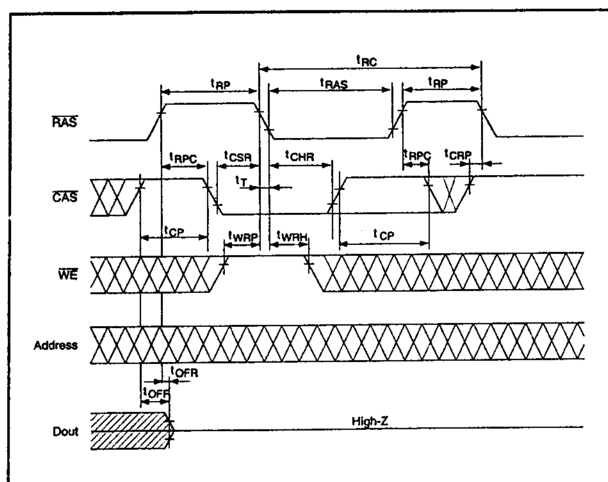
		HM5164405A/HM5165405A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	TBD	—	149	—	175	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	TBD	—	78	—	91	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	TBD	—	33	—	39	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	TBD	—	48	—	56	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	TBD	—	15	—	18	—	ns	

Tabel 8/3.4.1-123: Schakeltijden bij Read-Modify-Write cycli (zie figuur 8/3.4.1-150).

3.4 EDO RAM's



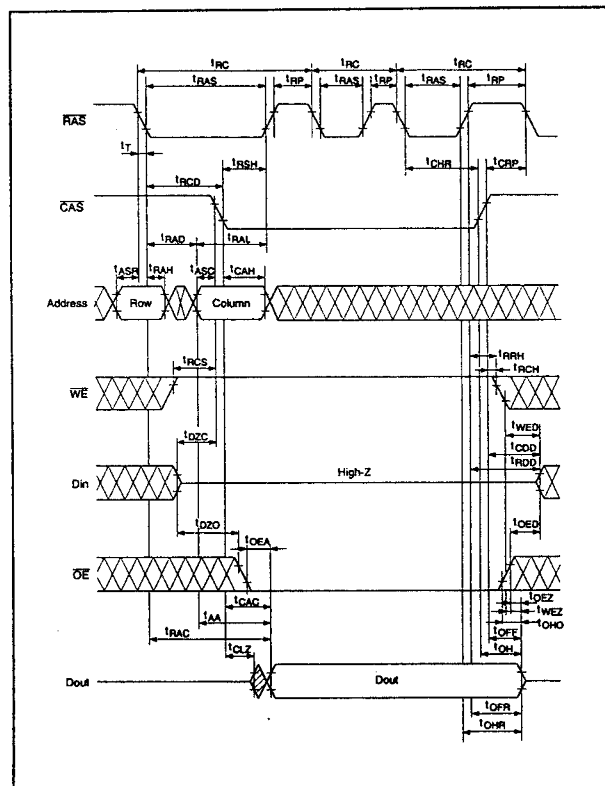
Figuur 8/3.4.1-151: Timing en golfvormen bij de RAS-only refresh cyclus.



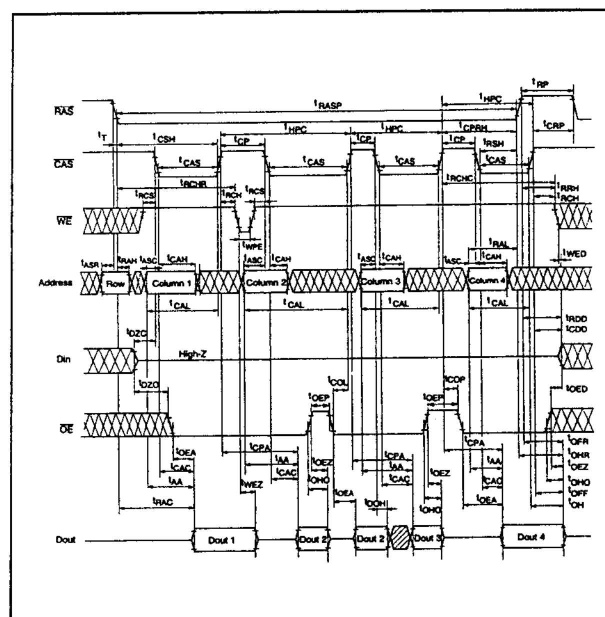
Figuur 8/3.4.1-152: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.

Parameter	Symbol	HM5164405A/HM5165405A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
CAS setup time (CBR refresh cycle)	t_{CSR}	TBD	—	5	—	5	—	ns	
CAS hold time (CBR refresh cycle)	t_{CHR}	TBD	—	10	—	10	—	ns	
WE setup time (CBR refresh cycle)	t_{WRP}	TBD	—	0	—	0	—	ns	
WE hold time (CBR refresh cycle)	t_{WRH}	TBD	—	10	—	10	—	ns	
RAS precharge to CAS hold time	t_{RPC}	TBD	—	0	—	0	—	ns	

Tabel 8/3.4.1-124: Schakeltijden, optredend bij de refresh-cycli.

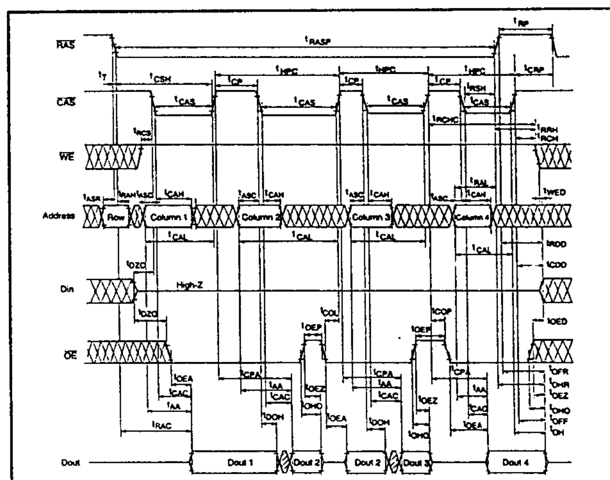


Figuur 8/3.4.1-153: Timing en golfvormen bij de hidden refresh cyclus.

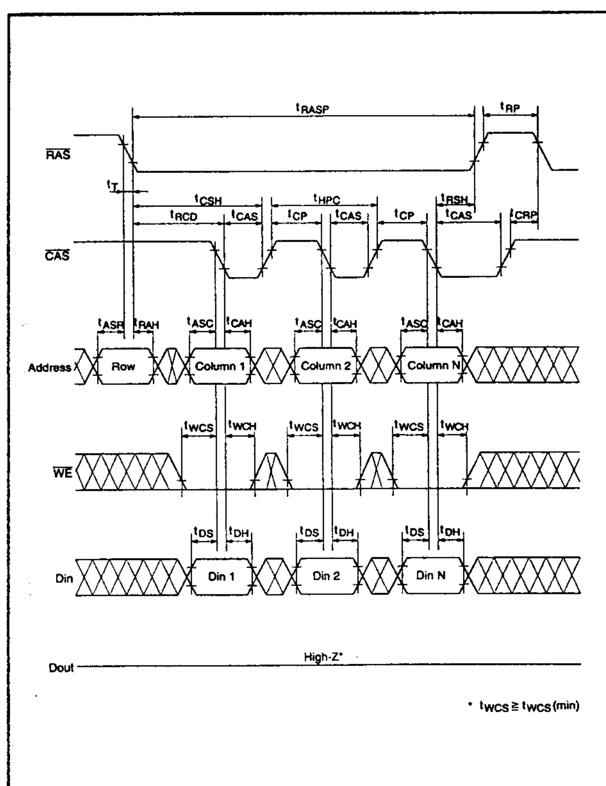


Figuur 8/3.4.1-154: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (type 1).

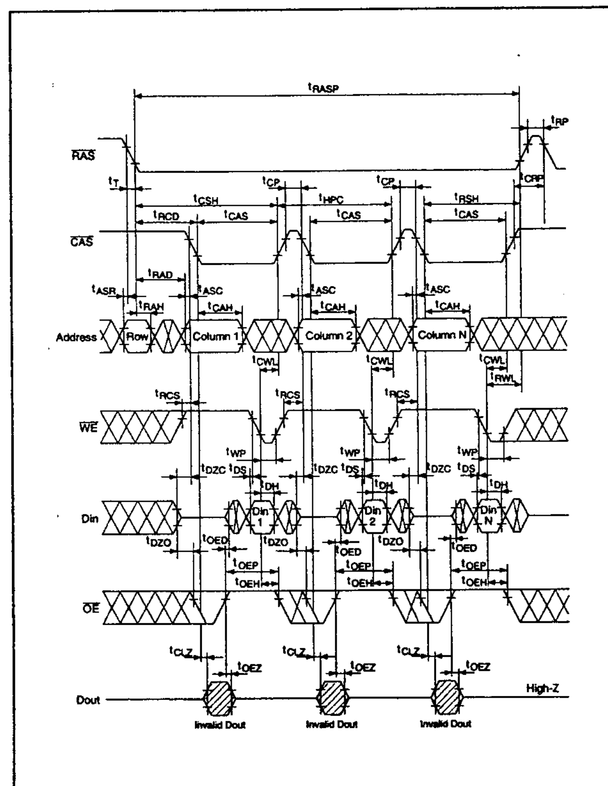
3.4 EDO RAM's



Figuur 8/3.4.1-155: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (type 2).



Figuur 8/3.4.1-156: Timing en golfvormen bij de EDO Page Mode vroege schrijfcyclus (Early Write), twcs > twcs(min.).

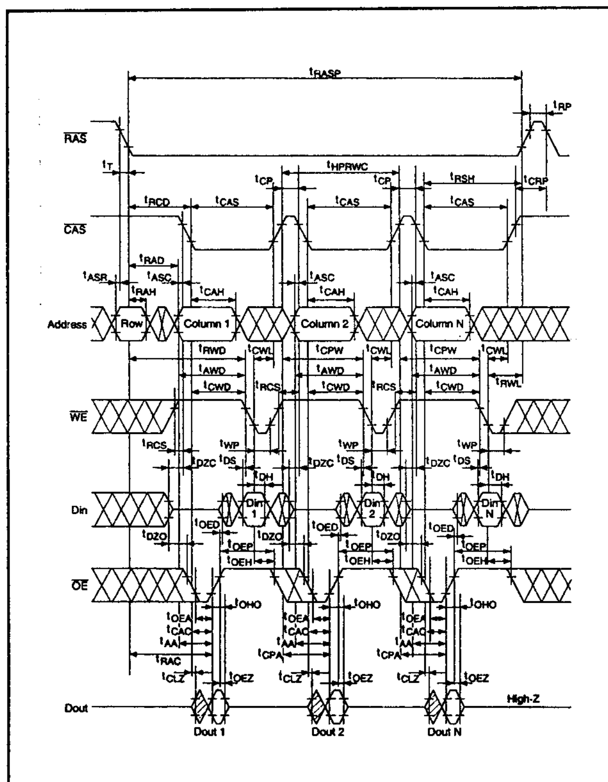


Figuur 8/3.4.1-157: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).

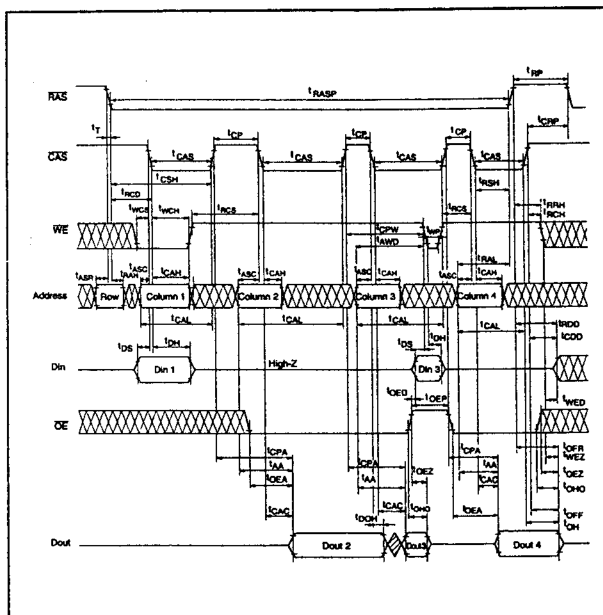
Parameter	Symbol	HM5164405A/HM5165405A -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	TBD	—	25	—	30	—	ns	18
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	TBD	—	100000	—	100000	ns	15
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	TBD	—	35	—	40	ns	9, 16
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	TBD	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	TBD	—	3	—	3	—	ns	9, 16
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	TBD	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	TBD	—	10	—	10	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	TBD	—	35	—	40	—	ns	
Write pulse width during $\overline{CAS}$ precharge	t_{WPE}	TBD	—	10	—	10	—	ns	
$\overline{OE}$ precharge time	t_{OEP}	TBD	—	10	—	10	—	ns	

Tabel 8/3.4.1-125: Timingen, behorend bij de EDO Page Mode cycli.

3.4 EDO RAM's



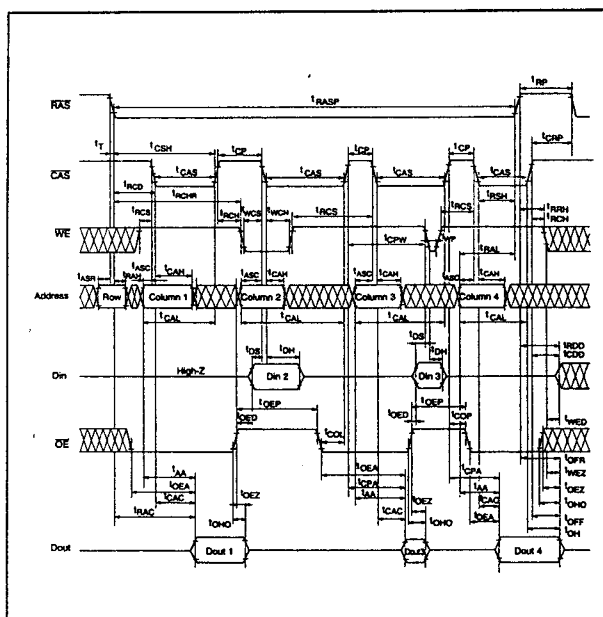
Figuur 8/3.4.1-158: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.



Figuur 8/3.4.1-159: EDO Page Mode Mix Cyclus 1.

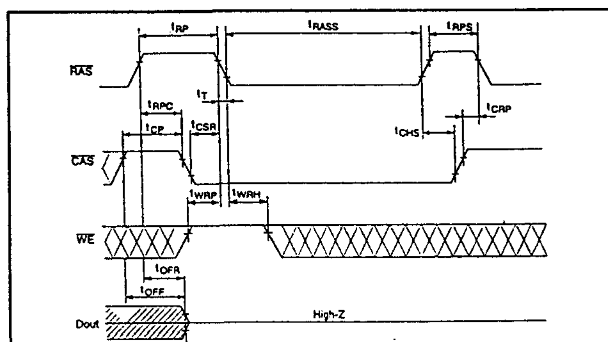
		HM5164405A/HM5165405A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
EDO page mode read- modify-write cycle time	t_{HPRWC}	TBD	—	68	—	79	—	ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	TBD	—	54	—	62	—	ns	14

Tabel 8/3.4.1-126: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.



Figuur 8/3.4.1-160: EDO Page Mode Mix Cyclus 2.

3.4 EDO RAM's



Figuur 8/3.4.1-161: Golfvormen en schakeltijden bij de self-refresh cyclus.

Parameter	Symbol	Max	Unit	Notes
Refresh period	t_{REF}	64	ms	8192 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-127: Lange refresh-periode bij de HM 5164405A.

Parameter	Symbol	Max	Unit	Notes
Refresh period	t_{REF}	64	ms	4096 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-128: Lange refresh-periode bij de HM 5165405A.

		HM5164405AL/HM5165405AL						
		-5		-6		-7		
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit
$\overline{RAS}$ pulse width (self refresh)	t_{RASS}	TBD	—	100	—	100	—	µs
$\overline{RAS}$ precharge time (self refresh)	t_{RPS}	TBD	—	110	—	130	—	ns
$\overline{CAS}$ hold time (self refresh)	t_{CHS}	TBD	—	-50	—	-50	—	ns

Tabel 8/3.4.1-129: Schakeltijden bij de Self refresh-periode (L-versie).

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh).
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{OED} or t_{CDD} must be satisfied.
6. Either t_{DZO} or t_{DZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \le t_{RCD}$ (max) and $t_{RAD} \le t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \ge t_{RCD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\ge t_{RAD} + t_{AA}$ (max).
11. Assumes that $t_{RAD} \ge t_{RAD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\le t_{RAD} + t_{AA}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max), t_{OEZ} (max), t_{WEZ} (max) and t_{OFR} (max) define the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \ge t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \ge t_{RWD}$ (min), $t_{CWD} \ge t_{CWD}$ (min), and $t_{AWD} \ge t_{AWD}$ (min), or $t_{CWD} \ge t_{CWD}$ (min), $t_{AWD} \ge t_{AWD}$ (min) and $t_{CPW} \ge t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
16. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
17. All the V_{CC} and V_{SS} pins shall be supplied with the same voltages.
18. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
19. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\,t_T$) becomes greater than the specified t_{HPC} (min) value. The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
20. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH} and between t_{OFR} and t_{OFF}.
21. t_{CSH} (min) can be achieved when $t_{RCD} \le t_{CSH}$ (min) $- t_{CAS}$ (min).
22. Please do not use t_{RASS} timing, 10 µs $\le t_{RASS} \le$ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If t_{RASS} > 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
23. CBR burst refresh or 4096 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 64 ms immediately after exiting from and before entering into the self refresh mode.
24. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self refresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.
25. XXX: H or L (H: V_{IH} (min) $\le V_{IN} \le V_{IH}$ (max), L: V_{IL} (min) $\le V_{IN} \le V_{IL}$ (max))
    //////: Invalid Dout
    When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-130: Voorwaarden en opmerkingen bij de tabellen 8/3.4.1-120 tot en met -126.

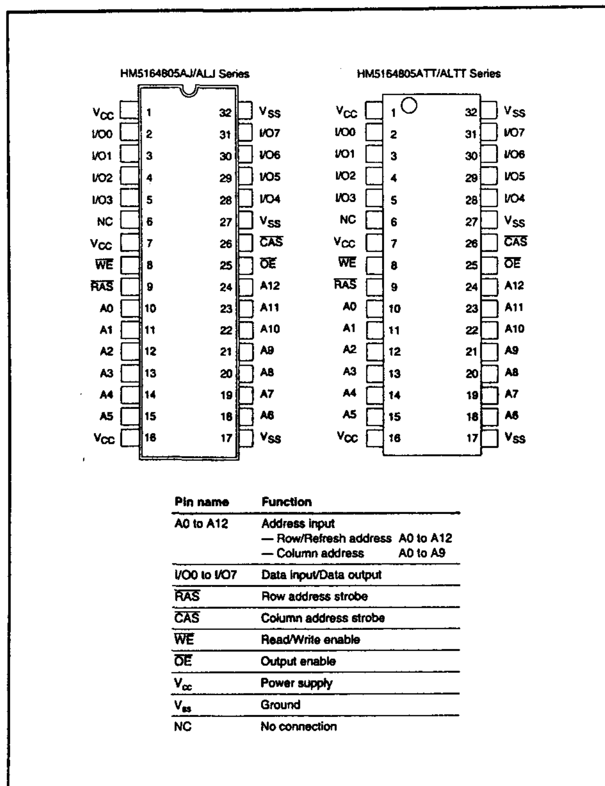
HM5164805A, HM5165805A

8 M x 8 bit EDO RAM

De HM5164805A en HM5165805A zijn 64 M CMOS dynamische RAM's met een 8.388.608 x 8 bit organisatie. Deze geheugens kunnen in de zogenaamde Extended Data-Out mode (EDO) worden toegepast, waarbij de informatie langer op de uitgang beschikbaar blijft. Hierdoor is het mogelijk om reeds tijdens het uitlezen van de data van het vorige adres een nieuw adres aan te bieden. Het gebruik van gemultiplexte adreslijnen maakt beperking van het aantal aansluitpennen mogelijk. Deze geheugens passen daardoor in 0,4" plastic SOJ- of

3.4 EDO RAM's

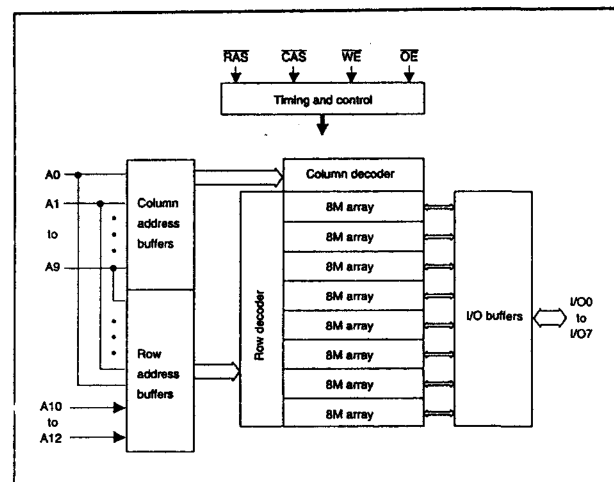
TSOP II-behuizingen met slechts 32 pennen. Bij de HM5164805A worden per cyclus 8.192 adressen ververst, terwijl dat er bij de HM5165805A 4.096 zijn. De eerste heeft daarom 13 adreslijnen en de tweede 12. Bij beide typen wordt de hidden-refresh uitgevoerd op 4.096 adressen.



Figuur 8/3.4.1-162: Aansluitingen en pen-functies van de HM5164805A (links de SOJ-uitvoering en rechts de TSOP II).

Specificaties

- 8 M x 8 bit organisatie
- EDO page-mode mogelijk
- enkele 3,3 V +/-0,3 V voeding
- toegangstijden: 50, 60 en 70 ns
- opgenomen vermogen:
  in bedrijf:
  HM5164805A: TBD/414/360 mW (max.)
  HM5165805A: TBD/594/522 mW (max.)
  standby: 7,2 mW (max.)
- lange refresh-periode:
  HM5164805A:
  8.192 cycli in 64 ms (L-versie: 128 ms)
  HM5165805A:
  4.096 cycli in 64 ms (L-versie: 128 ms)
  CBR/Hidden refresh (beide typen):
  4.096 cycli in 64 ms (L-versie: 128 ms)
- 4 soorten refresh:
  $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden refresh en self-refresh (L-versie)
- behuizingen:
  400-mil 32-pens plastic SOJ
  TSOP II (figuren 8/3.4.1-143 en -145)
- batterij backup operatie (L-versie)
- fabrikant: Hitachi

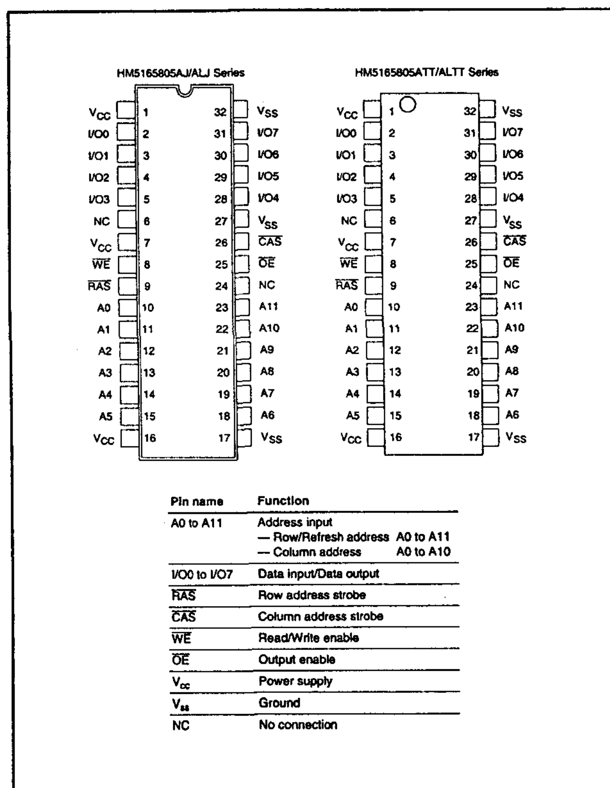


Figuur 8/3.4.1-163: Blokschema van de HM 5164805A.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{ss}	V_T	–0.5 to V_{cc} + 0.5 (≤ 4.6 V (max))	V
Supply voltage relative to V_{ss}	V_{cc}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

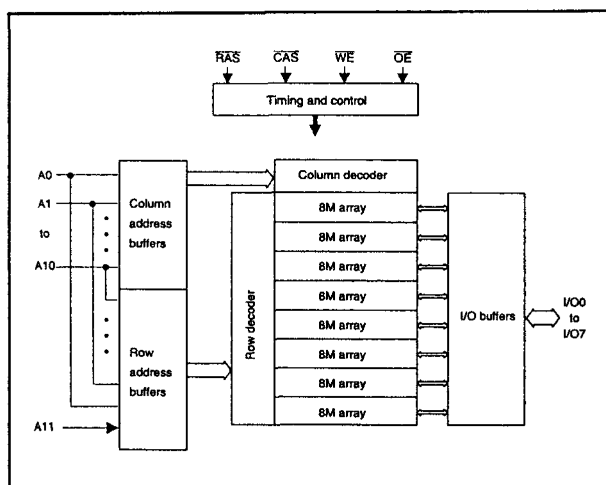
Tabel 8/3.4.1-131: Maximaal toegelaten waarden van de HM5164805A en HM 5165805A.

3.4 EDO RAM's



Pin name	Function
A0 to A11	Address input — Row/Refresh address A0 to A11 — Column address A0 to A10
I/O0 to I/O7	Data input/Data output
$\overline{RAS}$	Row address strobe
$\overline{CAS}$	Column address strobe
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

Figuur 8/3.4.1-164: Aansluitingen en pen-functies van de HM5165805A (links de SOJ-versie en rechts de TSOP II-versie).



Figuur 8/3.4.1-165: Blokschema van de HM 5165805A.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/3.4.1-132: Aanbevolen bedrijfscondities tussen 0 en 70 °C.

Parameter	Symbol	Typ	Max	Unit	Notes
Input capacitance (Address)	C_{I1}	—	5	pF	1
Input capacitance (Clocks)	C_{I2}	—	7	pF	1
Output capacitance (Data-in, Data-out)	$C_{I/O}$	—	7	pF	1, 2

Notes : 1. Capacitance measured with Boonton Meter or effective capacitance measuring method.
2. $\overline{RAS}$ and $\overline{CAS}$ = V_{IH} to disable Dout.

Tabel 8/3.4.1-133: In/uitgangs-capaciteiten van de HM5164805A en HM5165805A.

		HM5164805A							
		-5		-6		-7			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test conditions
Operating current*1, *2	I_{CC1}	—	TBD	—	115	—	100	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	115	—	100	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS}$ = V_{IH}, $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC6}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1, *3	I_{CC7}	—	TBD	—	110	—	95	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	TBD	—	TBD	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3
Output leakage current	I_{LO}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. V_{IH} ≥ V_{CC} – 0.2 V, 0 V ≤ V_{IL} ≤ 0.2 V.

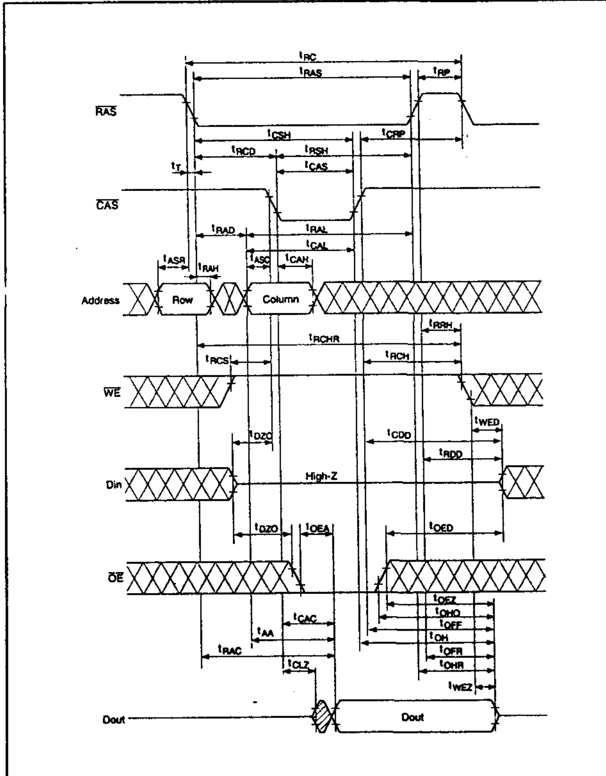
Tabel 8/3.4.1-134: Gelijkspanningskarakteristieken van de HM5164805A bij 3,3 V +/-0,3 V en 0 tot 70 °C (TBD = to be determined: moet nog worden vastgesteld).

3.4 EDO RAM's

Parameter	Symbol	HM5165805A -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Test conditions
Operating current*1, *2	I_{CC1}	—	TBD	—	165	—	145	mA	t_{RC} = min
Standby current	I_{CC2}	—	TBD	—	2	—	2	mA	TTL interface $\overline{RAS}$, $\overline{CAS}$ = V_{IH} Dout = High-Z
		—	TBD	—	1	—	1	mA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout = High-Z
Standby current (L-version)	I_{CC2}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≥ V_{CC} – 0.2 V Dout High-Z
$\overline{RAS}$-only refresh current*2	I_{CC3}	—	TBD	—	165	—	145	mA	t_{RC} = min
Standby current*1	I_{CC5}	—	TBD	—	5	—	5	mA	$\overline{RAS}$ = V_{IH}, $\overline{CAS}$ = V_{IL} Dout = enable
$\overline{CAS}$-before-$\overline{RAS}$ refresh current	I_{CC4}	—	TBD	—	140	—	120	mA	t_{RC} = min
EDO page mode current*1, *3	I_{CC7}	—	TBD	—	125	—	110	mA	t_{HPC} = min
Battery backup current*4 (Standby with CBR refresh) (L-version)	I_{CC10}	—	TBD	—	TBD	—	TBD	µA	CMOS interface Dout = High-Z, CBR refresh: t_{RC} = 31.3 µs t_{RAS} ≤ 0.3 µs
Self refresh mode current (L-version)	I_{CC11}	—	TBD	—	TBD	—	TBD	µA	CMOS interface $\overline{RAS}$, $\overline{CAS}$ ≤ 0.2 V Dout = High-Z
Input leakage current	I_{LI}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} + 0.3 V
Output leakage current	I_{LO}	TBD	TBD	–10	10	–10	10	µA	0 V ≤ Vin ≤ V_{CC} Dout = disable
Output high voltage	V_{OH}	TBD	TBD	2.4	V_{CC}	2.4	V_{CC}	V	High Iout = –2 mA
Output low voltage	V_{OL}	TBD	TBD	0	0.4	0	0.4	V	Low Iout = 2 mA

Notes : 1. I_{CC} depends on output load condition when the device is selected. I_{CC} max is specified at the output open condition.
2. Address can be changed once or less while $\overline{RAS}$ = V_{IL}.
3. Address can be changed once or less within one page mode cycle t_{HPC}.
4. V_{IH} ≥ V_{CC} – 0.2 V, 0 V ≤ V_{IL} ≤ 0.2 V.

Tabel 8/3.4.1-135: Gelijkspanningskarakteristieken van de HM5165805A bij 3,3 V +/-0,3 V en 0 tot 70 °C.



Figuur 8/3.4.1-166: Golfvormen en timing van een leescyclus op de HM5164805A en HM5165805A (zie tabel 8/3.4.1-137).

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
Random read or write cycle time	t_{RC}	TBD	—	104	—	124	—	ns	
$\overline{RAS}$ precharge time	t_{RP}	TBD	—	40	—	50	—	ns	
$\overline{CAS}$ precharge time	t_{CP}	TBD	—	10	—	1[illegible]	—	ns	
$\overline{RAS}$ pulse width	t_{RAS}	TBD	TBD	60	10000	70	10000	ns	
$\overline{CAS}$ pulse width	t_{CAS}	TBD	TBD	10	10000	13	10000	ns	
Row address setup time	t_{ASR}	TBD	—	0	—	0	—	ns	
Row address hold time	t_{RAH}	TBD	—	10	—	10	—	ns	
Column address setup time	t_{ASC}	TBD	—	0	—	0	—	ns	
Column address hold time	t_{CAH}	TBD	—	10	—	13	—	ns	
$\overline{RAS}$ to $\overline{CAS}$ delay time	t_{RCD}	TBD	TBD	20	45	20	52	ns	3
$\overline{RAS}$ to column address delay time	t_{RAD}	TBD	TBD	15	30	15	35	ns	4
$\overline{RAS}$ hold time	t_{RSH}	TBD	—	15	—	18	—	ns	
$\overline{CAS}$ hold time	t_{CSH}	TBD	—	48	—	58	—	ns	21
$\overline{CAS}$ to $\overline{RAS}$ precharge time	t_{CRP}	TBD	—	5	—	5	—	ns	
$\overline{OE}$ to Din delay time	t_{OED}	TBD	—	15	—	18	—	ns	5
$\overline{OE}$ delay time from Din	t_{DZO}	TBD	—	0	—	0	—	ns	6
$\overline{CAS}$ delay time from Din	t_{DZC}	TBD	—	0	—	0	—	ns	6
Transition time (rise and fall)	t_T	TBD	TBD	2	50	2	50	ns	7

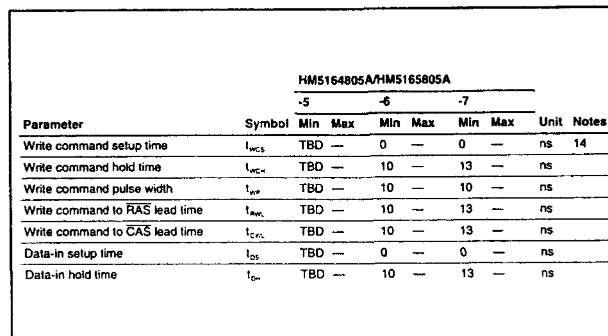
Tabel 8/3.4.1-136: Schakeltijden (gemeenschappelijke parameters) van read, read-modify-write en refresh van de HM5164805A en HM 5165805A.

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
Access time from $\overline{RAS}$	t_{RAC}	—	TBD	—	60	—	70	ns	8, 9
Access time from $\overline{CAS}$	t_{CAC}	—	TBD	—	15	—	18	ns	9, 10, 16
Access time from address	t_{AA}	—	TBD	—	30	—	35	ns	9, 11, 16
Access time from $\overline{OE}$	t_{OEA}	—	TBD	—	15	—	18	ns	9
Read command setup time	t_{RCS}	TBD	—	0	—	0	—	ns	
Read command hold time to $\overline{CAS}$	t_{RCH}	TBD	—	0	—	0	—	ns	12
Read command hold time from $\overline{RAS}$	t_{RCHR}	TBD	—	60	—	70	—	ns	
Read command hold time to $\overline{RAS}$	t_{RRH}	TBD	—	0	—	0	—	ns	12
Column address to $\overline{RAS}$ lead time	t_{RAL}	TBD	—	30	—	35	—	ns	
Column address to $\overline{CAS}$ lead time	t_{CAL}	TBD	—	18	—	23	—	ns	
$\overline{CAS}$ to output in low-Z	t_{CLZ}	TBD	—	0	—	0	—	ns	
Output data hold time	t_{OH}	TBD	—	3	—	3	—	ns	
Output data hold time from $\overline{OE}$	t_{OHO}	TBD	—	3	—	3	—	ns	
Output buffer turn-off time	t_{OFF}	—	TBD	—	15	—	15	ns	13, 20
Output buffer turn-off to $\overline{OE}$	t_{OEZ}	—	TBD	—	15	—	15	ns	13
$\overline{CAS}$ to Din delay time	t_{CDD}	TBD	—	15	—	18	—	ns	5
Output data hold time from $\overline{RAS}$	t_{OHR}	TBD	—	3	—	3	—	ns	
Output buffer turn-off to $\overline{RAS}$	t_{OFR}	—	TBD	—	15	—	15	ns	20
Output buffer turn-off to $\overline{WE}$	t_{WEZ}	—	TBD	—	15	—	15	ns	
$\overline{WE}$ to Din delay time	t_{WED}	TBD	—	15	—	18	—	ns	
$\overline{RAS}$ to Din delay time	t_{RDD}	TBD	—	15	—	18	—	ns	

Tabel 8/3.4.1-137: Timing van een leescyclus op de HM5164805A en HM5165805A.

3.4 EDO RAM's

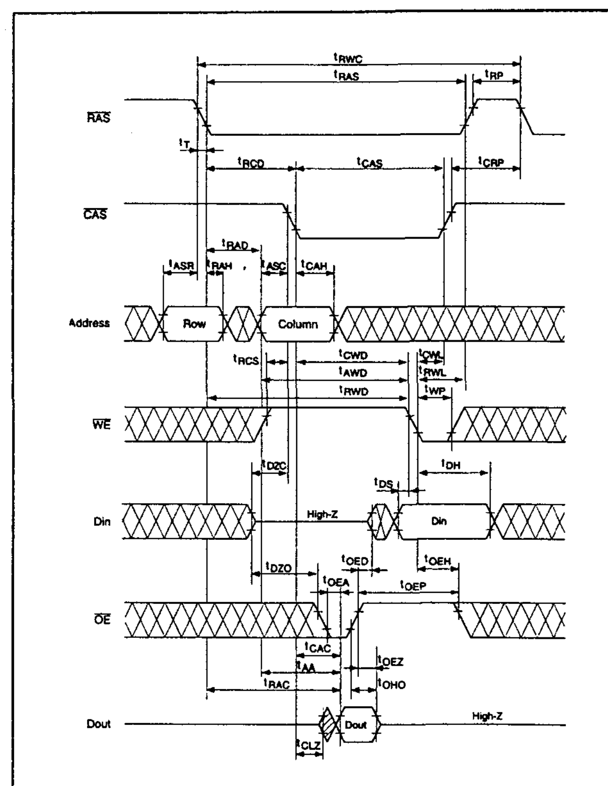
Figuur 8/3.4.1-167: Golfvormen en timing van een vroege schrijfcyclus ("early write"). Als twcs > twcs(min.) is blijft de data-uit pen gedurende de gehele cyclus hoog-impedant.



Parameter	Symbol	HM5164805A/HM5165805A -5 Min	Max	-6 Min	Max	-7 Min	Max	Unit	Notes
Write command setup time	t_{WCS}	TBD	—	0	—	0	—	ns	14
Write command hold time	t_{WCH}	TBD	—	10	—	13	—	ns	
Write command pulse width	t_{WP}	TBD	—	10	—	10	—	ns	
Write command to $\overline{RAS}$ lead time	t_{RWL}	TBD	—	10	—	13	—	ns	
Write command to $\overline{CAS}$ lead time	t_{CWL}	TBD	—	10	—	13	—	ns	
Data-in setup time	t_{DS}	TBD	—	0	—	0	—	ns	
Data-in hold time	t_{DH}	TBD	—	10	—	13	—	ns	

Tabel 8/3.4.1-138: Schakeltijden bij het schrijven (zie de figuren 8/3.4.1-167 en -168).

Figuur 8/3.4.1-168: Golfvormen en timing van een vertraagde schrijfcyclus ("delayed write").

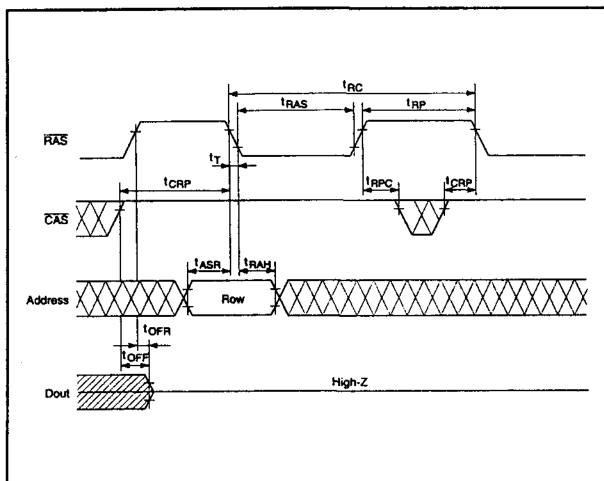


Figuur 8/3.4.1-169: Timing en golfvormen bij Read-Modify-Write cycli.

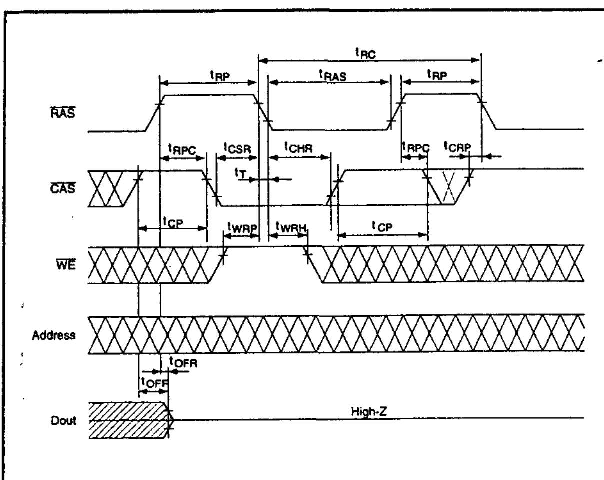
3.4 EDO RAM's

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
Read-modify-write cycle time	t_{RWC}	TBD	—	149	—	175	—	ns	
$\overline{RAS}$ to $\overline{WE}$ delay time	t_{RWD}	TBD	—	78	—	91	—	ns	14
$\overline{CAS}$ to $\overline{WE}$ delay time	t_{CWD}	TBD	—	33	—	39	—	ns	14
Column address to $\overline{WE}$ delay time	t_{AWD}	TBD	—	48	—	56	—	ns	14
$\overline{OE}$ hold time from $\overline{WE}$	t_{OEH}	TBD	—	15	—	18	—	ns	

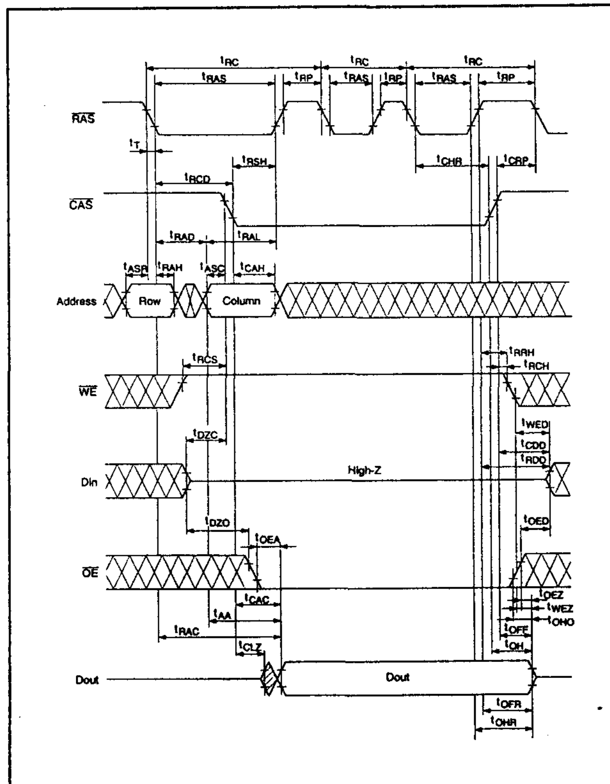
Tabel 8/3.4.1-139: Schakeltijden bij Read-Modify-Write cycli (zie figuur 8/3.4.1-169).



Figuur 8/3.4.1-170: Timing en golfvormen bij de RAS-only refresh cyclus.



Figuur 8/3.4.1-171: Timing en golfvormen bij de CAS-before-RAS refresh cyclus.



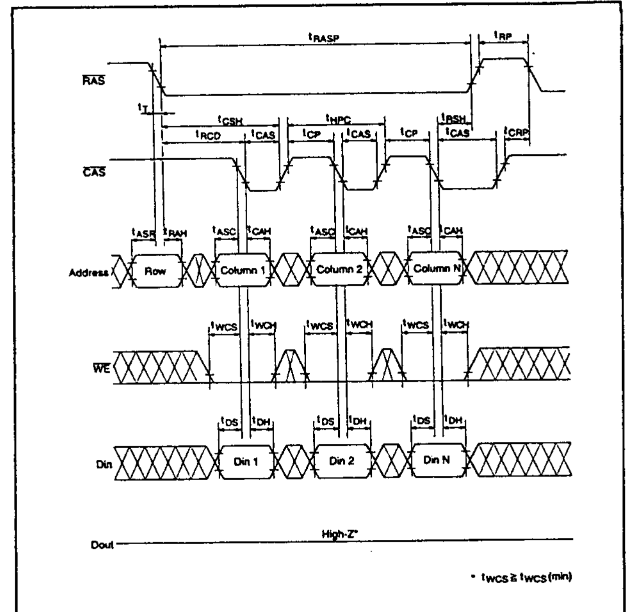
Figuur 8/3.4.1-172: Timing en golfvormen bij de hidden refresh cyclus.

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
$\overline{CAS}$ setup time (CBR refresh cycle)	t_{CSR}	TBD	—	5	—	5	—	ns	
$\overline{CAS}$ hold time (CBR refresh cycle)	t_{CHR}	TBD	—	10	—	10	—	ns	
$\overline{WE}$ setup time (CBR refresh cycle)	t_{WRP}	TBD	—	0	—	0	—	ns	
$\overline{WE}$ hold time (CBR refresh cycle)	t_{WRH}	TBD	—	10	—	10	—	ns	
$\overline{RAS}$ precharge to $\overline{CAS}$ hold time	t_{RPC}	TBD	—	0	—	0	—	ns	

Tabel 8/3.4.1-140: Schakeltijden, optredend bij de refresh-cycli.

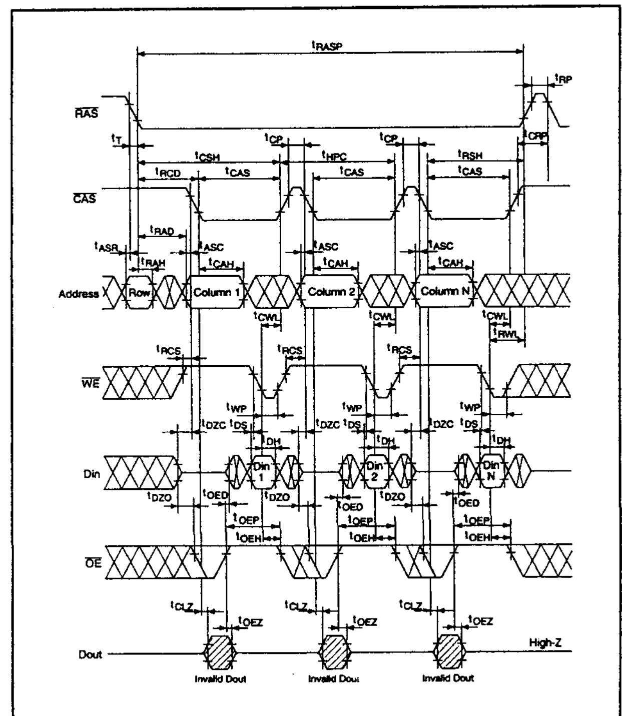
3.4 EDO RAM's

Figuur 8/3.4.1-173: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (type 1).



Figuur 8/3.4.1-175: Timing en golfvormen bij de EDO Page Mode vroege schrijf-cyclus (Early Write), twcs > twcs(min.).

Figuur 8/3.4.1-174: Timing en golfvormen bij de EDO Page Mode Lees-cyclus (type 2).



Figuur 8/3.4.1-176: Timing en golfvormen bij de EDO Page Mode vertraagde schrijfcyclus (Delayed Write).

3.4 EDO RAM's

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
EDO page mode cycle time	t_{HPC}	TBD	—	25	—	30	—	ns	19
EDO page mode $\overline{RAS}$ pulse width	t_{RASP}	—	TBD	—	100000	—	100000	ns	15
Access time from $\overline{CAS}$ precharge	t_{CPA}	—	TBD	—	35	—	40	ns	9, 16
$\overline{RAS}$ hold time from $\overline{CAS}$ precharge	t_{CPRH}	TBD	—	35	—	40	—	ns	
Output data hold time from $\overline{CAS}$ low	t_{DOH}	TBD	—	3	—	3	—	ns	9, 16
$\overline{CAS}$ hold time referred $\overline{OE}$	t_{COL}	TBD	—	10	—	13	—	ns	
$\overline{CAS}$ to $\overline{OE}$ setup time	t_{COP}	TBD	—	10	—	10	—	ns	
Read command hold time from $\overline{CAS}$ precharge	t_{RCHC}	TBD	—	35	—	40	—	ns	
Write pulse width during $\overline{CAS}$ precharge	t_{WPE}	TBD	—	10	—	10	—	ns	
$\overline{OE}$ precharge time	t_{OEP}	TBD	—	10	—	10	—	ns	

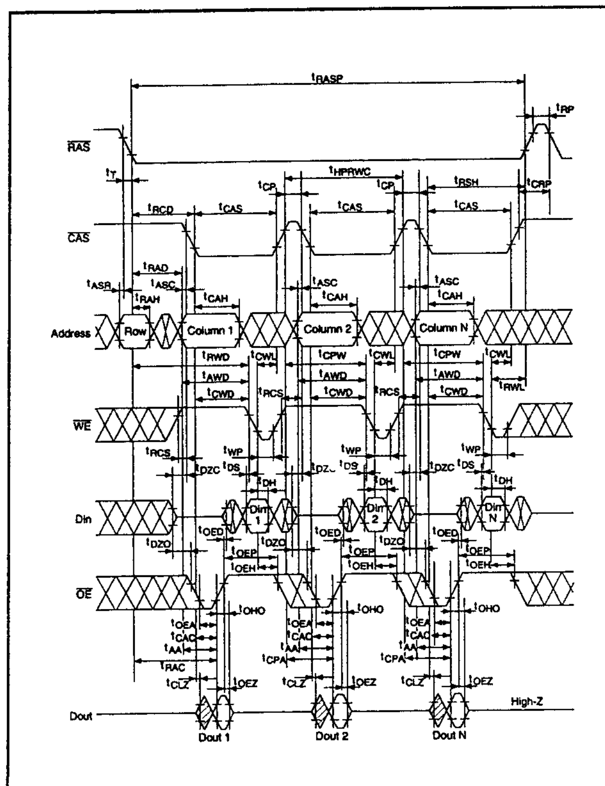
Tabel 8/3.4.1-141: Timingen, behorend bij de EDO Page Mode cycli.

Parameter	Symbol	HM5164805A/HM5165805A -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
EDO page mode read- modify-write cycle time	t_{HPRWC}	TBD	—	68	—	79	—	ns	
$\overline{WE}$ delay time from $\overline{CAS}$ precharge	t_{CPW}	TBD	—	54	—	62	—	ns	14

Tabel 8/3.4.1-142: Schakeltijden bij EDO Page Mode Read-Modify-Write cycli.

Parameter	Symbol	Max	Unit	Notes
Refresh period	t_{REF}	64	ms	8192 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-143: Lange refresh-periode bij de HM 5164805A.



Figuur 8/3.4.1-177: Timing en golfvormen bij de EDO Page Mode Read-Modify-Write cyclus. Bij vertraagde of read-modify-write cycli moeten de uitgangsbuffers met $\overline{OE}$ worden gesperd voordat nieuwe data wordt aangeboden.

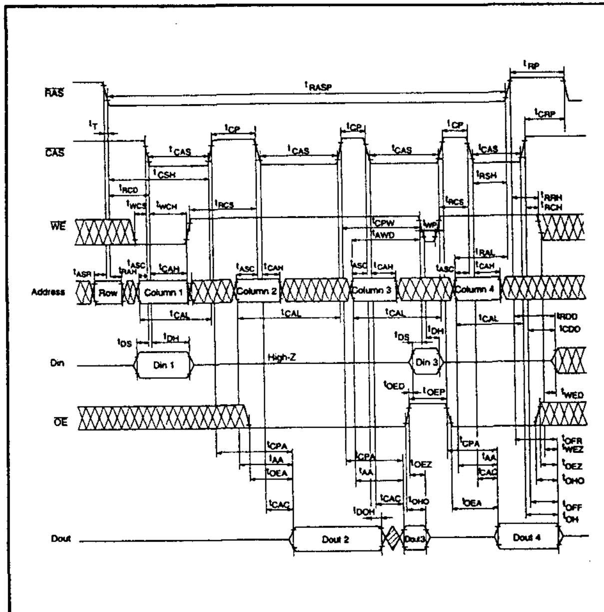
Parameter	Symbol	Max	Unit	Notes
Refresh period	t_{REF}	64	ms	4096 cycles
Refresh period (L-version)	t_{REF}	128	ms	4096 cycles

Tabel 8/3.4.1-144: Lange refresh-periode bij de HM 5165805A.

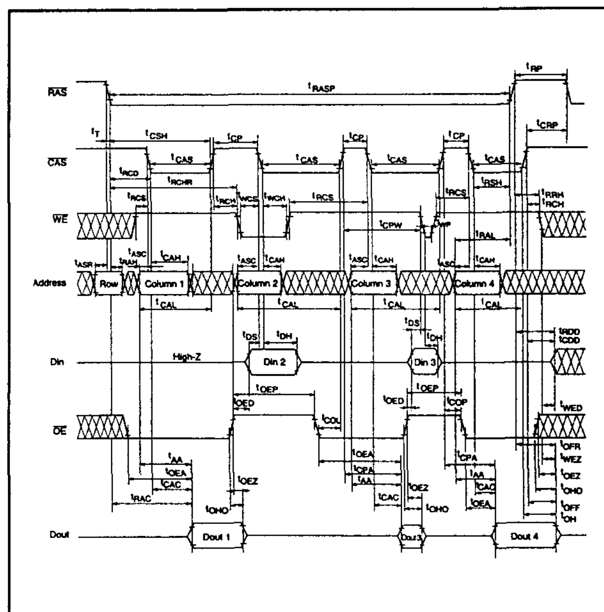
Parameter	Symbol	HM5164805AL/HM5165805AL -5 Min	-5 Max	-6 Min	-6 Max	-7 Min	-7 Max	Unit	Notes
$\overline{RAS}$ pulse width (self refresh)	t_{RASS}	TBD	—	100	—	100	—	µs	
$\overline{RAS}$ precharge time (self refresh)	t_{RPS}	TBD	—	110	—	130	—	ns	
$\overline{CAS}$ hold time (self refresh)	t_{CHS}	TBD	—	−50	—	−50	—	ns	

Tabel 8/3.4.1-145: Schakeltijden bij de Self refresh-periode (L-versie).

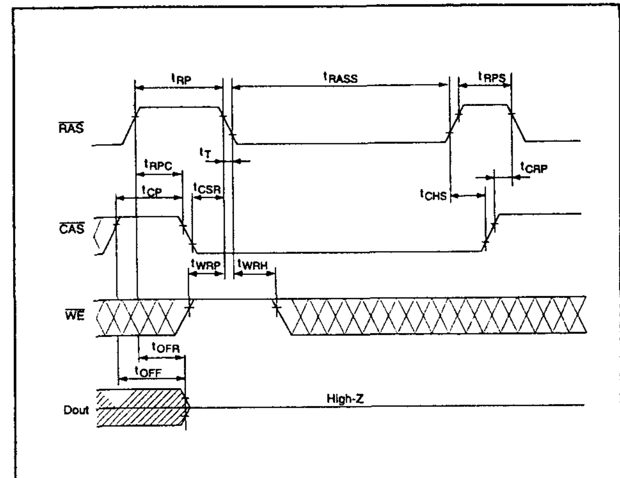
3.4 EDO RAM's



Figuur 8/3.4.1-178: EDO Page Mode Mix Cyclus 1.



Figuur 8/3.4.1-179: EDO Page Mode Mix Cyclus 2.



Figuur 8/3.4.1-180: Golfvormen en schakeltijden bij de self-refresh cyclus.

1. AC measurements assume t_T = 2 ns.
2. An initial pause of 200 µs is required after power up followed by a minimum of eight initialization cycles (any combination of cycles containing $\overline{RAS}$-only refresh or $\overline{CAS}$-before-$\overline{RAS}$ refresh).
3. Operation with the t_{RCD} (max) limit insures that t_{RAC} (max) can be met, t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CAC}.
4. Operation with the t_{RAD} (max) limit insures that t_{RAC} (max) can be met, t_{RAD} (max) is specified as a reference point only; if t_{RAD} is greater than the specified t_{RAD} (max) limit, then access time is controlled exclusively by t_{AA}.
5. Either t_{OED} or t_{CDD} must be satisfied.
6. Either t_{DZO} or t_{DZC} must be satisfied.
7. V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} (min) and V_{IL} (max).
8. Assumes that $t_{RCD} \leq t_{RCD}$ (max) and $t_{RAD} \leq t_{RAD}$ (max). If t_{RCD} or t_{RAD} is greater than the maximum recommended value shown in this table, t_{RAC} exceeds the value shown.
9. Measured with a load circuit equivalent to 1 TTL loads and 100 pF.
10. Assumes that $t_{RCD} \geq t_{RCD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\geq t_{RAD} + t_{AA}$ (max).
11. Assumes that $t_{RAD} \geq t_{RAD}$ (max) and $t_{RCD} + t_{CAC}$ (max) $\leq t_{RAD} + t_{AA}$ (max).
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycles.
13. t_{OFF} (max), t_{OEZ} (max), t_{WEZ} (max) and t_{OFR} (max) define the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.
14. t_{WCS}, t_{RWD}, t_{CWD}, t_{AWD} and t_{CPW} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only; if $t_{WCS} \geq t_{WCS}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{RWD} \geq t_{RWD}$ (min), $t_{CWD} \geq t_{CWD}$ (min), and $t_{AWD} \geq t_{AWD}$ (min), or $t_{CWD} \geq t_{CWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min) and $t_{CPW} \geq t_{CPW}$ (min), the cycle is a read-modify-write and the data output will contain data read from the selected cell; if neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.
15. t_{RASP} defines $\overline{RAS}$ pulse width in EDO page mode cycles.
16. Access time is determined by the longest among t_{AA}, t_{CAC} and t_{CPA}.
17. All the V_{CC} and V_{SS} pins shall be supplied with the same voltages.
18. In delayed write or read-modify-write cycles, $\overline{OE}$ must disable output buffer prior to applying data to the device.
19. t_{HPC} (min) can be achieved during a series of EDO page mode write cycles or EDO page mode read cycles. If both write and read operation are mixed in a EDO page mode $\overline{RAS}$ cycle (EDO page mode mix cycle (1), (2)), minimum value of $\overline{CAS}$ cycle ($t_{CAS} + t_{CP} + 2\ t_T$) becomes greater than the specified t_{HPC} (min) value. The value of $\overline{CAS}$ cycle time of mixed EDO page mode is shown in EDO page mode mix cycle (1) and (2).
20. Data output turns off and becomes high impedance from later rising edge of $\overline{RAS}$ and $\overline{CAS}$. Hold time and turn off time are specified by the timing specifications of later rising edge of $\overline{RAS}$ and $\overline{CAS}$ between t_{OHR} and t_{OH} and between t_{OFR} and t_{OFF}.
21. t_{CSH} (min) can be achieved when $t_{RCD} \leq t_{CSH}$ (min) − t_{CAS} (min).
22. Please do not use t_{RASS} timing, 10 µs $\leq t_{RASS} \leq$ 100 µs. During this period, the device is in transition state from normal operation mode to self refresh mode. If t_{RASS} > 100 µs, then $\overline{RAS}$ precharge time should use t_{RPS} instead of t_{RP}.
23. CBR burst refresh or 4096 cycles of distributed CBR refresh with 15.6 µs interval should be executed within 64 ms immediately after exiting from and before entering into the self refresh mode.
24. Repetitive self refresh mode without refreshing all memory is not allowed. Once you exit from self refresh mode, all memory cells need to be refreshed before re-entering the self refresh mode again.
25. XXX: H or L (H: V_{IH} (min) $\leq V_{IN} \leq V_{IH}$ (max), L: V_{IL} (min) $\leq V_{IN} \leq V_{IL}$ (max))
    //////: Invalid Dout
    When the address, clock and input pins are not described on timing waveforms, their pins must be applied V_{IH} or V_{IL}.

Tabel 8/3.4.1-146: Voorwaarden en opmerkingen bij de tabellen 8/3.4.1-136 tot en met -142.

3.4 EDO RAM's

8/4

PROM-geheugens

Inhoud

63S081(A)	32 x 8 bit PROM, TiW, 3-state, 16-pens DIL of 20-pens LCC
63S140	256 x 4 bit PROM, TiW, open-collector, 16-pens DIL of 20-pens LCC
63S141(A)	256 x 4 bit PROM, TiW, 3-state, 16-pens DIL of 20-pens LCC
63S240	512 x 4 bit PROM, TiW, open-collector, 16-pens DIL of 20-pens LCC
63S241(A)	512 x 4 bit PROM, TiW, 3-state, 16-pens DIL of 20-pens LCC
(aanvulling 84)	
63S280	256 x 8 bit PROM, TiW, open-collector, 20-pens DIL of 20-pens LCC
63S281(A)	256 x 8 bit PROM, TiW, 3-state, 20-pens DIL of 20-pens LCC
63S440	1.024 x 4 bit PROM, TiW, open-collector, 18-pens DIL of 20-pens LCC2
63S441(A)	1.024 x 4 bit PROM, TiW, 3-state, 18-pens DIL of 20-pens LCC
63S480	512 x 8 bit PROM, TiW, open-collector, 20-pens DIL of 20-pens LCC
63S481(A)	512 x 8 bit PROM, TiW, 3-state, 20-pens DIL of 20-pens LCC
63S841(A)	2.048 x 4 bit PROM, TiW, open-collector, 18-pens DIL of 20-pens LCC
63S1641(A)	4.096 x 4 bit PROM, TiW, open-collector, 20-pens DIL of 28-pens LCC
63S1681(A)	2.048 x 8 bit PROM, TiW, open-collector, 24-pens DIL of 28-pens LCC
63S3281(A)	4.096 x 8 bit PROM, TiW, open-collector, 24-pens DIL of 28-pens LCC
63RA441(A)	1.024 x 4 bit registered PROM, TiW, 3-state, 18-pens DIL
63RA481(A)	512 x 8 bit registered PROM, TiW, 3-state, 24-pens DIL of 28-pens LCC
63RS881(A)	1.024 x 8 bit registered PROM, TiW, 3-state, 24-pens DIL of 28-pens LCC
63RA1681(A)	2.048 x 8 bit registered PROM, TiW, 3-state, asynchrone enable, 24-pens DIL of 28-pens LCC
63RS1681(A)	2.048 x 8 bit registered PROM, TiW, 3-state, synchrone enable, 24-pens DIL of 28-pens LCC
63DA441	1.024 x 4 bit registered PROM met diagnostiek, TiW, 3-state, 2 x asynchrone enable, 24-pens DIL of 28-pens LCC
63DA442	1.024 x 4 bit registered PROM met diagnostiek, TiW, 3-state, 1 x asynchrone + 1 x synchrone enable, 24-pens DIL of 28-pens LCC
63DA841	2.048 x 4 bit registered PROM met diagnostiek, TiW, 3-state, asynchrone enable en output-initialisatie, 24-pens DIL of 28-pens LCC

63D1641	4.096 x 4 bit registered PROM met diagnostiek, TiW, 3-state, asynchrone enable, 24-pens DIL of 28-pens LCC
63DA1643	4.096 x 4 bit registered PROM met diagnostiek, TiW, asynchrone output-initialisatie, 24-pens DIL of 28-pens LCC

8/4.1

Achtergrond-informatie

Bipolar PROM Cross-Reference Guide

MEMORY DESCRIPTION				MMI	AMD	FAIR-CHILD	HARRIS	INTEL	INTERSIL	MOTOROLA	NATIONAL	RAYTHEON	SIGNETICS	TI
SIZE	ORGANIZATION	PINS	OUTPUT											
256	32x8	16	OC	6330-1	27S18 29750	—	7602	—	5600	—	74S188	—	82S23	18SA030 74S188
			TS	6331-1	27S19 29751	—	7603	—	5610	—	74S288	—	82S123	18S030 74S288
1024	256x4	16	OC	6300-1 63S140 63LS140	27S20 29760	93417	7610	—	5603A	—	74S287	29660/62	82S126	14SA10 74S387
			TS	6301-1 63S141 63LS141	27S21 29761	93427	7611	—	5623	—	74S387	29661/63	82S129	14S10 74S287
2048	256x8	20	OC	6308-1	—	—	—	—	—	—	74S470	29600/02	—	18SA22 74S470
			TS	6309-1	—	—	—	—	—	—	74S471	29601/03	—	18S22 74S471
		24	OC	6335-1	—	—	7629	—	—	—	—	—	82S114	—
			TS	6336-1	—	—	—	—	—	—	—	—	—	—
2048	512x4	16	OC	6305-1 63S240 63LS240	27S12 29770	93436	7620	—	5604	7620	74S570	29610/12	82S130	—
			TS	6306-1 63S240 63LS240	27S13 29771	93446	7621	—	5624	7621	74S571	29611/13	82S131	—
4096	512x8	20	OC	6348-1, -2	27S28	93438	7648	—	—	—	74S473	29620/22	82S146	18SA42 74S473
			TS	6349-1, -2	27S29	93448	7649	—	—	—	74S472	29621/23	82S147	18S42 74S472
4096	512x8	24	OC	6340-1, -2	27S30	—	7640	—	—	7640	74S475	2924/26	—	18SA46 74S475
			TS	6341-1, -2	27S31	—	7641	—	—	7641	74S474	29625/27	82S141	18S46 74S474
4096	1024x4	18	OC	6352-1	27S32	93452	7642	—	—	7642	74S572	29640	—	24SA41 74S477
			TS	6353-1	27S33	93453	7643	—	—	7643	74S573	29641	82S137	24S41 74S76
4096	1024x4	18	TS	63RA441	—	—	—	—	—	—	—	—	—	—
8192	1024x8	24	OC	6380-1, -2	27S180	93450	7680	3608	—	7680	87S180	29630	—	28SA86 74S479
			TS	6381-1, -2	27S181	93451	7681	3628	—	7681	87S181	29631	82S181	28S586 74S478
8192	2048x4	18	OC	6388-1	27S184	93514	7684	—	—	7684	87S184	29650/52	—	24SA81 74S455
			TS	6389-1, -2	27S185	93515	7685	—	—	7685	87S185	29651/53	82S185	24S81 74S454

Note: Only commercial specification part numbers are listed.

Figuur 8/4.1-1: Equivalentenlijst van bipolaire (NiCr) PROM's.

4.1 Achtergrond-informatie

PROM Part Number Cross-Reference

Memory Description			MMI	AMD	Fairchild	Fujitsu	Harris	Motorola	National	Raytheon	Signetics	TI
Organization	Pins	Output										
¼K 32 × 8	16	OC	63S080	27S18	–	–	7602	–	74S188	–	82S23	18SA030
		TS	63S081/A	27S19	–	–	7603	–	74S288	–	82S123	18S030
1K 256 × 4	16	OC	63S140	27S20	–	–	7610	–	74S387	–	82S126	24SA10
		TS	63S141/A	27S21	–	–	7611	–	74S287	–	82S129	24S10
2K 256 × 8	20	OC	6308-1	–	–	–	–	–	–	–	–	18SA22
		TS	6309-1	–	–	–	–	–	74LS471	–	82S135	18S22
		TS	63S281/A	–	–	–	–	–	74LS471	–	82S135	18S22
2K 512 × 4	16	OC	63S240	27S12	–	–	7620	7620	74S570	–	82S130	–
		TS	63S241/A	27S13	–	–	7621	7621	74S571	29611	82S131	–
4K 512 × 8	20	OC	6348-1	27S28	–	7123	–	–	74S473	–	–	–
		TS	6349-1, -2	27S29	–	7124	7649	–	74S472	29621	82S147	28S42
		TS	63S481/A	27S291	–	7124	7649	–	74S472	29621	82S147	28S42
	24	OC	6340-1	27S30	–	–	7640	7640	74S475	–	–	28SA46
		TS	6341-1, -2	27S31	–	–	7641	7641	74S474	–	82S141	28S46
4K Reg 512 × 8	24	TS	63RA481 63RA481A	27S25	–	–	–	–	87SR474	–	–	–
4K 1024 × 4	18	OC	63S440	27S32	–	–	7642	7642	74S572	–	–	24SA41
		TS	63S441/A	27S33	93453	–	7643	7643	74S573	–	82S137	24S41
4K Diag. 1024 × 4	24	TS	63DA441 63DA442	27S65	–	–	–	–	–	–	–	–
8K 2048 × 4	18	TS	63S841 63S841A	27S185	–	7128	7685	7685	87S185	29651	82S185	24S81
8K Diag. 2048 × 4	24	TS	63DA841	27S75	–	–	–	–	–	–	–	–
8K 1024 × 8	24	OC	6380-1, -2	27S180	93Z450	7131	–	7680	87S180	–	82S180	28SA86
		TS	6381-1, -2	27S181	93Z451	7132	7681	7681	87S181	29631	82S181	28S86
1024 × 8 SKINNYDIP	24	TS	6381-1 JS	27S281	–	7132E-SK	–	–	87S281	29631S	82S181N3	–
			6381-2 JS	27S281	–	7132E-SK	6-7681	–	87S281	29631S	82S181N3	–
8K Reg 1024 × 8	24	TS	63RS881	27S35/37	–	–	–	–	87SR181	–	–	–
			63RS881A		–	–	–	–	–	–	–	–
16K 2048 × 8	24	TS	63S1681 63S1681A	27S191	93Z511	7138	76161	76161	87S191	29681	82S191	28S166
2048 × 8 SKINNYDIP	24	TS	63S1681 NS	27S291	–	7138E-SK	6-76161	–	87S291	29681S	–	–
			63S1681ANS	27S291A	–	7138Y-SK	–	–	–	29681AS	82S191BN3	–
16K Reg 2048 × 8	24	TS	63RA1681/A	27S45/47	–	–	–	–	–	–	–	–
			63RS1681/A		–	–	–	–	–	–	–	–
16K 4096 × 4	20	TS	63S1641 63S1641A	27S41	–	7152	76165	–	–	–	–	–
16K Diag. 4096 × 4	24	TS	63D1641	27S85	–	–	–	–	–	–	–	–
		2S	63DA1643		–	–	–	–	–	–	–	–
32K 4096 × 8	24	TS	63S3281 63S3281A	27S43	–	7142	76321	–	87S321	29671	82S321	–

NOTE: Only Commercial Specification part numbers are listed.

Figuur 8/4.1-2: Equivalentenlijst van bipolaire (TiW) PROM's.

Inleiding

Hoewel PROM's tegenwoordig niet vaak meer gebruikt worden omdat er zoveel mooiere en betere schakelingen zijn, worden ze hier nog wel behandeld. Er zal namelijk geen gelegenheid zijn nog ergens anders achter de specificaties te komen. De fabrikant, Monolithic Memories, werd lang geleden overgenomen door AMD die daarna met de productie stopte. Toch kan het zijn dat er nog een apparaat gerepareerd moet worden waarin er een gebruikt is... De oudste typen hebben NiCr (Nichroom) zekeringen, de nieuwere hebben de betrouwbaarder TiW (Titanium-Wolfraam) zekeringen. Verder zijn er typen met en zonder registers en hebben de nieuwste ook diagnostiek aan boord. Er wordt een selectie gemaakt van de commerciële typen van de 63xx-serie, de militaire 53xx-serie blijt buiten beschouwing.

Programmeren van NiCr PROM's

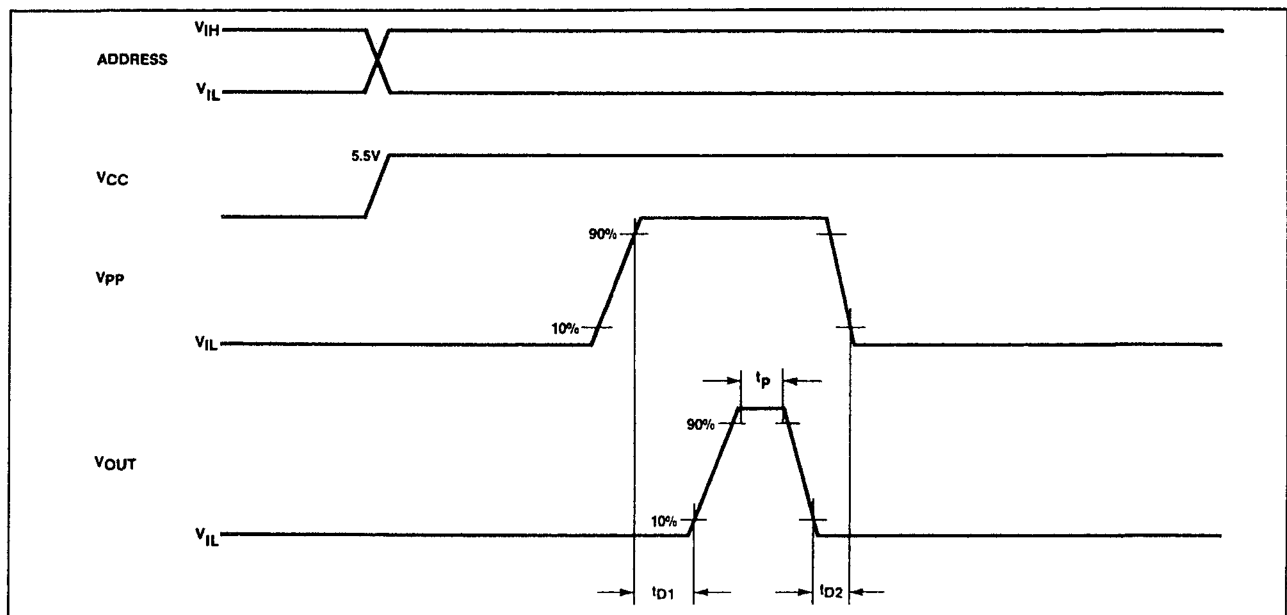
De 63xx-familie PROM's komt met alle uitgangen HOOG uit de fabriek. Om een uitgang van een bepaald woord LAAG te maken moet een doorbrandbare NiCr zekering

4.1 Achtergrond-informatie

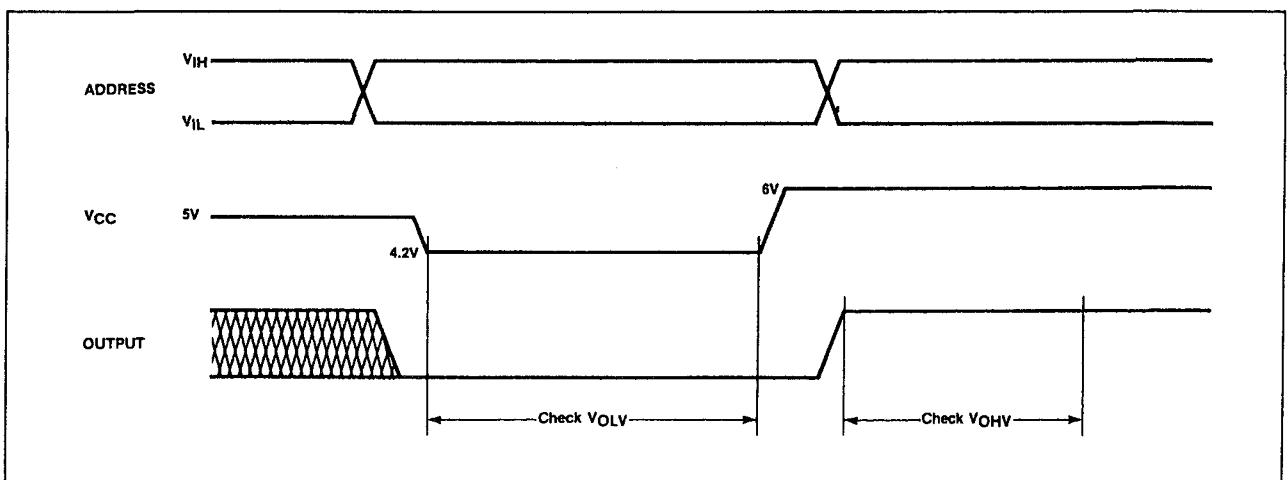
worden geopend. Deze procedure heet "programmeren".

Programmeer-procedure
Deze procedure wordt beschreven aan de hand van figuur 8/4.1-3.

- Zet het gewenste adres op de ingangen.
- Enable-ingangen mogen in een willekeurige toestand staan.
- Zet 5,5 V op Vcc.
- Zet Vpp op de programmeerpen (deze stap wordt niet gebruikt bij de 32 x 8 PROM).
- Zet VOUT op de te programmeren uitgang (één uitgang tegelijk programmeren).
- Haal VOUT weg.
- Haal Vpp weg.
- Verificatie kan plaatsvinden na elk bit of woord of nadat alle geheugenlocaties zijn geprogrammeerd.



Figuur 8/4.1-3: Tijdschema voor het programmeren.



Figuur 8/4.1-4: Tijdschema voor verificatie.

4.1 Achtergrond-informatie

SYMBOL	PARAMETER	CONDITIONS TA = +25° C	FIGURE	LIMITS MIN	TYP	MAX	UNIT
t_R	Slew rate of Programming Pulses †			0.3		0.5	V/μs
V_{CCP}	VCC During Programming			5.4	5.5	5.6	V
	Maximum Duty Cycle					25	%
V_{PP}	Programming Voltage on Program Pin *		1	27		33	V
V_{OUT}	Programming Voltage on Output Pin *		1	20		26	V
t_{D1}	Delay between VPP and VOUT		1	0	10	20	μs
t_{D2}				0	0.5	1	
t_p	Pulse width of V_{OUT}		1	10		40	μs
V_{OLV}	V_{OL} during verification	Chip enabled I_{OL} = 12 mA V_{CC} = 4.2V	2			0.8	V
V_{OHV}	V_{OH} during verification	Chip enabled I_{OH} = 0.3 mA V_{CC} = 6V	2	4.5			V

*Voltage supply must be capable of supplying at least 240 mA.

† Leading edge of VPP and VOUT

Tabel 8/4.1-1: Programmeer-parameters.

Verificatie-procedure

Deze procedure wordt beschreven aan de hand van figuur 8/4.1-4.

- Enable het IC.
- Om een LAAG-toestand te checken:
  - Zet een adres dat LAAG moet zijn op de ingangen.
  - Zet 4,2 V op Vcc.
  - Belast de uitgang met IOL = 12 mA.
  - Check dat de uitgang lager is dan 0,8 V.
- Om een HOOG-toestand te checken:
  - Zet een adres dat HOOG moet zijn op de ingangen.
  - Zet 6 V op Vcc.
  - Belast de uitgang met IOH = 0,3 mA.
  - Check dat de uitgang hoger is dan 4,5 V.

Geoptimaliseerde programmeer-algorithme

- Voer aan alle te programmeren zekeringen een enkele puls met minimale programmeerspanning toe (zie regel 1 in tabel 8/4.1-2).
- Check alle zekeringen bij een lage Vcc (4,2 V). Gedurende deze stap krijgen niet-geprogrammeerde zekeringen nog 8 pulsen (zie tabel).
- Verifieer nog een keer bij lage Vcc (4,2 V) en hoge Vcc (6 V).

PULSE NUMBER	PROGRAM PIN VOLTAGE	OUTPUT VOLTAGE
1 to 3	27V	20V
4 to 6	30V	23V
7 to 9	33V	26V

Tabel 8/4.1-2: Geoptimaliseerde programmeer-algorithme.

Programmeren van TiW PROM's

Alle high performance generieke TiW PROM's worden vervaardigd met alle uitgangen LAAG. Om een uitgang van een bepaald woord HOOG te maken moet een titanium-wolfraam zekering worden doorgebrand. Deze procedure wordt "programmeren" genoemd.

4.1 Achtergrond-informatie

SYMBOL	PARAMETER	MIN	RECOMMENDED VALUE	MAX	UNIT
V_{CCP}	Required V_{CC} for programming	10.5	11.0	11.5	V
V_{OP}	Required output voltage for programming	10.5	11.0	11.5	V
t_R	Rise time of V_{CC} or V_{OUT}	1.0	5.0	10.0	V/μs
I_{CCP}	Current limit of V_{CCP} supply	800	1000	—	mA
I_{OP}	Current limit of V_{OP} supply	15	20	—	mA
t_{PW}	Programming pulse width (enabled)	9	10	11	μs
V_{CC}	Low V_{CC} for verification	4.2	4.3	4.4	V
V_{CC}	High V_{CC} for verification	5.8	6.0	6.2	V
MDC	Maximum duty cycle of V_{CCP}	—	25	25	%
t_D	Delay time between programming steps	100	120	—	ns
V_{IL}	Input low level	0	0	0.5	V
V_{IH}	Input high level	2.4	3.0	5.5	V

Tabel 8/4.1-3: Programmeer-parameters (TiW).

Programmeer-procedure

Deze procedure wordt beschreven aan de hand van tabel 8/4.1-3. Om een bepaald bit te programmeren is het voldoende om normale TTL-niveaus op alle ingangen te zetten. Het programmeren vindt plaats als:

- Vcc op een hoger peil wordt gebracht.
- De te programmeren uitgang op een hoger niveau wordt gebracht.
- De schakeling wordt vrijgegeven (enabled).

Om verkeerd programmeren van de PROM te vermijden dient slechts één uitgang tegelijk te worden geprogrammeerd. De overige uitgangen moeten open worden gelaten of via weerstanden van 5 k aan Vcc gelegd (4,2 V tot 6,2 V).

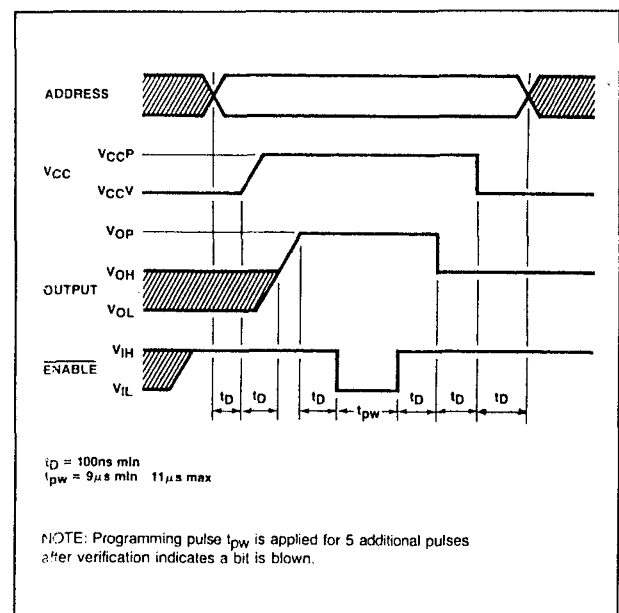
Programmeer-volgorde

Voor het programmeren is het niet toegestaan van de volgende volgorde af te wijken, zie ook figuur 8/4.1-5:

- Zet het gewenste adres op de ingangen als de chip nog niet is vrijgegeven.
- Verhoog Vcc tot de programmeerspanning.
- Zet de programmeerspanning op de te programmeren uitgang.
- Enable de chip voor de programmeerpulsbreedte.
- Verlaag VOUT en Vcc weer tot de gewone waarden.

Programmeer-timing

Om een correcte volgorde te garanderen moet tussen de stappen een vertraging van tenminste 100 ns worden aangebracht. De enable-puls mag niet eerder komen dan 100 ns nadat de uitgangsspanning op de programmeerwaarde is gekomen. De stijgtijd van de spanningen op Vcc en de uitgang moet tussen 1 en 10 V/s liggen.



Figuur 8/4.1-5: Tijdschema voor het programmeren.

4.1 Achtergrond-informatie

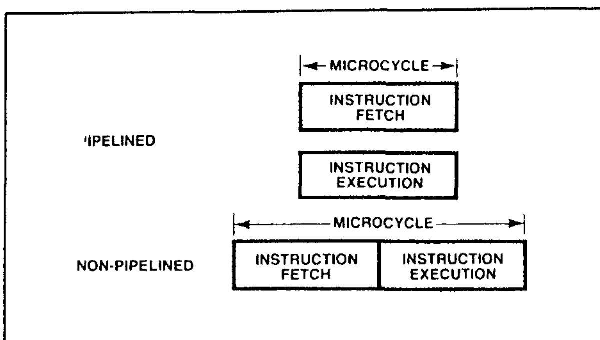
Verificatie
Na elke programmeerpuls dient het geprogrammeerde bit geverifieerd te worden bij zowel hoge als lage Vcc. De belasting van de uitgang is hierbij niet kritisch.

Extra pulsen
Er zijn maximaal 10 programmeerpulsen nodig voordat bij verificatie blijkt dat het bit goed is geprogrammeerd. Hierna moeten nog 5 programmeerpulsen worden gegeven om de programmering betrouwbaar te maken.

Programmeren op print-niveau
Het programmeren kan eenvoudig op printniveau gebeuren ("board-level programming") omdat alleen een vrijgegeven (enabled) PROM geprogrammeerd kan worden.

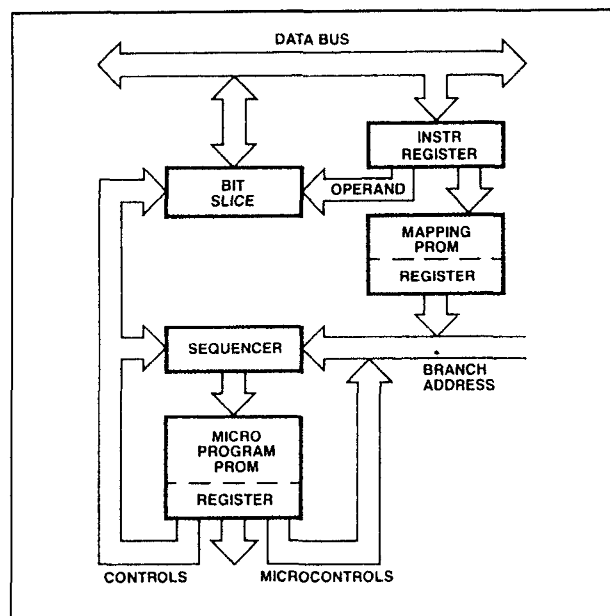
Programmeren van PROM's met registers
PROM's met registers worden op dezelfde manier geprogrammeerd als standaard PROM's.

Registered PROM's: toepassing in gepijplijnde micro-programmeerbare systemen
Micro-geprogrammeerde processoren en regelaars kunnen in het algemeen worden geklassificeerd als gepijplijnd of niet-gepijplijnd. Het verschil is te zien in het micro-cyclus tijddiagram, figuur 8/4.1-6.



Figuur 8/4.1-6: Micro-cyclus tijddiagrammen, boven: gepijplijnd, onder: niet-gepijplijnd.

Het voordeel van pijplijnen is duidelijk. De microcyclustijd wordt bepaald door welke de langste is: de fetch- of executietijd en niet door de som van beide tijden. Als de fetch- en executietijden gelijk zijn is de winst 2:1. Deze winst verdwijnt natuurlijk als er bij een branch-instructie geen look ahead fetch is. De verhouding van opeenvolgende fetches tot branches varieert naar gelang de toepassing. In zwaar beslissings-georiënteerde toepassingen kan de verhouding dalen tot 3:1. Door de bank genomen is de verhouding 5:1. Een voorbeeld van een gepijplijnde micro-geprogrammeerde processor is te zien in figuur 8/4.1-7. Het micro-programma bevindt zich in de registered PROM.



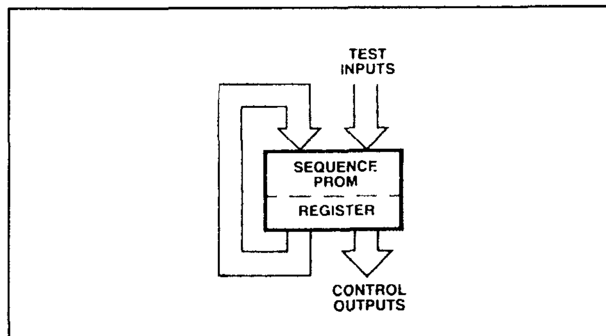
Figuur 8/4.1-7: Gepijplijnde micro-geprogrammeerde processor.

Voordelen
Voordelen van registered PROM's in gepijplijnde micro-programmeerbare systemen zijn:
- minder onderdelen nodig;
- lager stroomverbruik;
- kortere cyclustijden.

4.1 Achtergrond-informatie

Gestructureerde logica

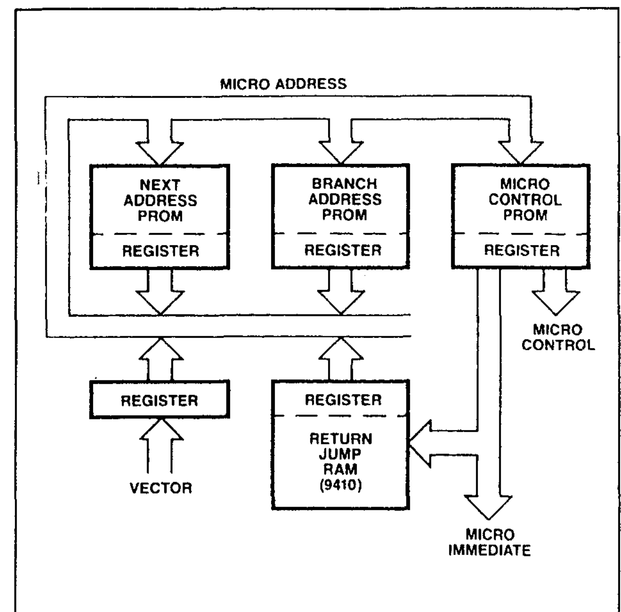
De registered PROM (PROM met uitgangsregister) is een gestructureerde logische component die, net als andere componenten, kan worden gebruikt als bouwsteen voor zeer verschillende processor- of regelsystemen. De meest elementaire architectuur wordt gevormd door de uitgangen van een registered PROM terug te koppelen naar de adres-ingangen. Welke volgende stap een zo gevormde "state-machine" kan uitvoeren hangt af van de huidige toestand en testsignalen.



Figuur 8/4.1-8: Een state-machine.

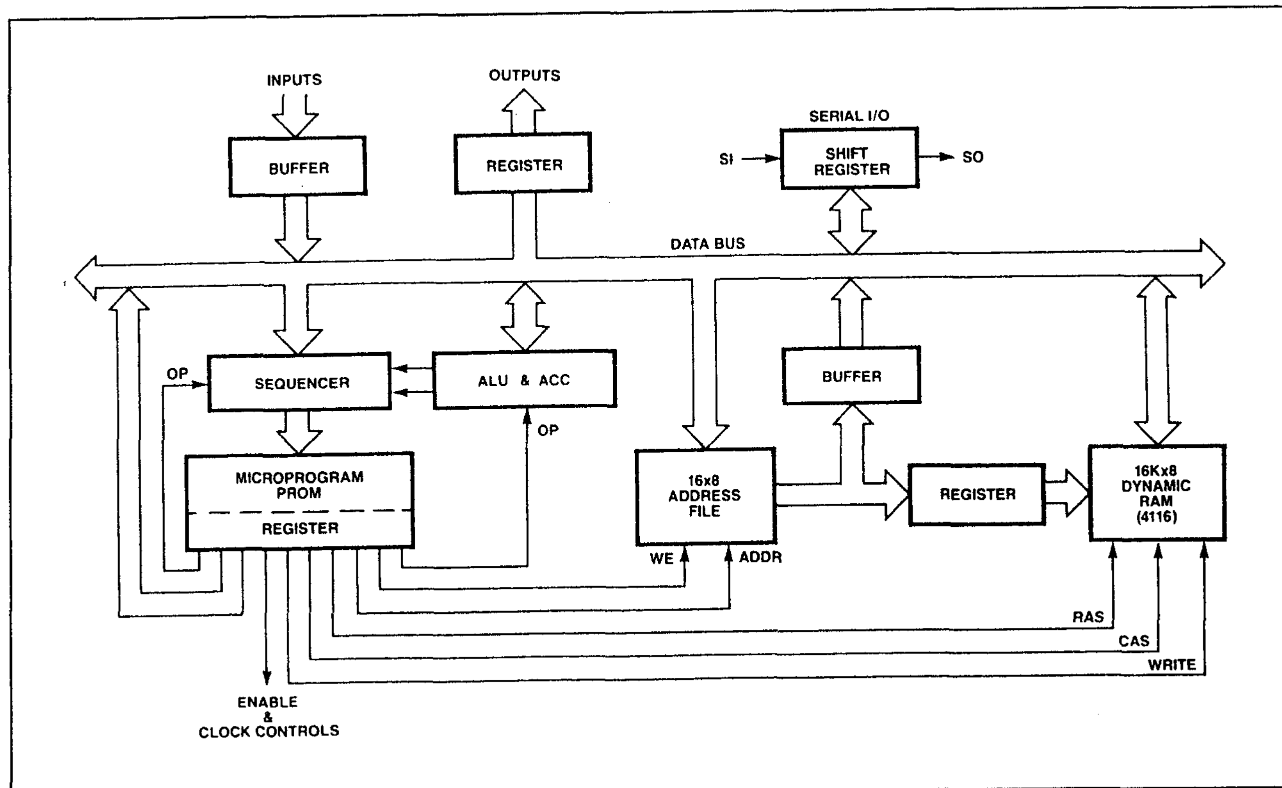
Zoals in figuur 8/4.1-9 te zien is, kan een krachtige micro-geprogrammeerde sequentiële machine worden opgebouwd uit registered PROM's. De Next Address PROM levert de normale volgorde, terwijl de Branch Address PROM kan zorgen voor de ogenblikkelijke beschikbaarheid van een alternatieve branch (als aan de branch-conditie wordt voldaan). De Return Jump RAM kan eventueel een micro-subroutine leveren.

Zoals figuur 8/4.1-10 laat zien kan een 8 bit micro-geprogrammeerde computer worden samengesteld met slechts 30 IC's. De decodering van de instructie-code wordt direct uitgevoerd door middel van de vector van een 8 bit macro-instructie in de micro-ruimte. De signalen voor de dynamische RAM (RAS, CAS en WRITE) staan onder directe besturing van het micro-programma. Deze 8 bit computer is een goed voorbeeld van de plaats van de registered PROM tussen de RAM's, registers en buffers.



Figuur 8/4.1-9: Een micro-geprogrammeerde sequentiële machine.

4.1 Achtergrond-informatie



Figuur 8/4.1-10: Toepassing van registered PROM's in een 8 bit computer.

8/4.2

Type-beschrijving generieke NiCr en TiW PROM-familie 63xx

6300-1, 6301-1, 6305-1, 6306-1, 6308-1, 6309-1, 6330-1, 6331-1, 6335-1, 6336-1, 6340-1, 6341-1, 6348-1, 6349-1, 6350-1, 6351-1, 6352-1, 6353-1, 6380-1, 6381-1, 6388-1, 6389-1

Beschrijving

De 63xx-familie generieke PROM's biedt de grootste keuze qua afmetingen en organisaties uit de industrie. De 4 bit brede PROM's variëren van 256 x 4 tot 2048 x 4 en zijn zowel op- als neerwaarts compatibel in 16- en 18-pens behuizingen. De 8 bit brede PROM's lopen van 32 x 8 tot 1024 x 8. Alle PROM's hebben dezelfde programmeer-specificaties, waardoor één enkel programmeerapparaat nodig is. De familie heeft PNP-ingangen (kleine ingangsstromen), volledige Schottky-clamping en 3-state en open-collector uitgangen. De NiCr zekeringen leveren een logisch HOOG op en worden LAAG geprogrammeerd. Door middel van speciale, op de chip aanwezige schakelingen en extra zekeringen kunnen voorprogrammeertests worden uitgevoerd, waardoor de betrouwbaarheid toeneemt. Ze worden onder andere toegepast als opzoektabel, opslag van microprogramma's, karaktergenerator, random logika of code-omzetter.

Specificaties

- standaard Schottky technologie
- betrouwbare NiCr doorbrandbare verbindingen (MIL-M-38510)
- PNP ingangen (kleine ingangsstromen)
- compatibele pen-configuraties voor opwaartse uitbreidingen
- 4 bit wide en 8 bit wide configuraties
- fabrikant: Monolithic Memories

MEMORY			PACKAGE	DEVICE TYPE		
SIZE	ORGANIZATION			COMMERCIAL	MILITARY	
1K	256x4	OC	J16, F16	6300-1	5300-1	4-bit-wide
		TS		6301-1	5301-1	
2K	512x4	OC	J16, F16	6305-1	5305-1	
		TS		6306-1	5306-1	
4K	1024x4	OC	J18, F18	6350-1	5350-1	
		TS		6351-1	5351-1	
		OC		6352-1	5352-1	
		TS		6353-1	5353-1	
8K	2048x4	OC	J18	6388-1	5388-1	
		TS		6389-1	5389-1	
1/4K	32x8	OC	J16, F16	6330-1	5330-1	8-bit-wide
		TS		6331-1	5331-1	
2K	256x8	OC	J20, F20	6308-1	5308-1	
		TS		6309-1	5309-1	
		OC	J24	6335-1		
		TS		6336-1		
4K	512x8	OC	J24, F24	6340-1	5340-1	
		TS		6341-1	5341-1	
		OC	J20, F20	6348-1	5348-1	
		TS		6349-1	5349-1	
8K	1024x8	OC	J24, JS24*	6380-1	5380-1	
		TS		6381-1	5381-1	

*JS is the .300 inch wide SKINNYDIP™ package.

Tabel 8/4.2-1: Keuzetabel van generieke PROM's.

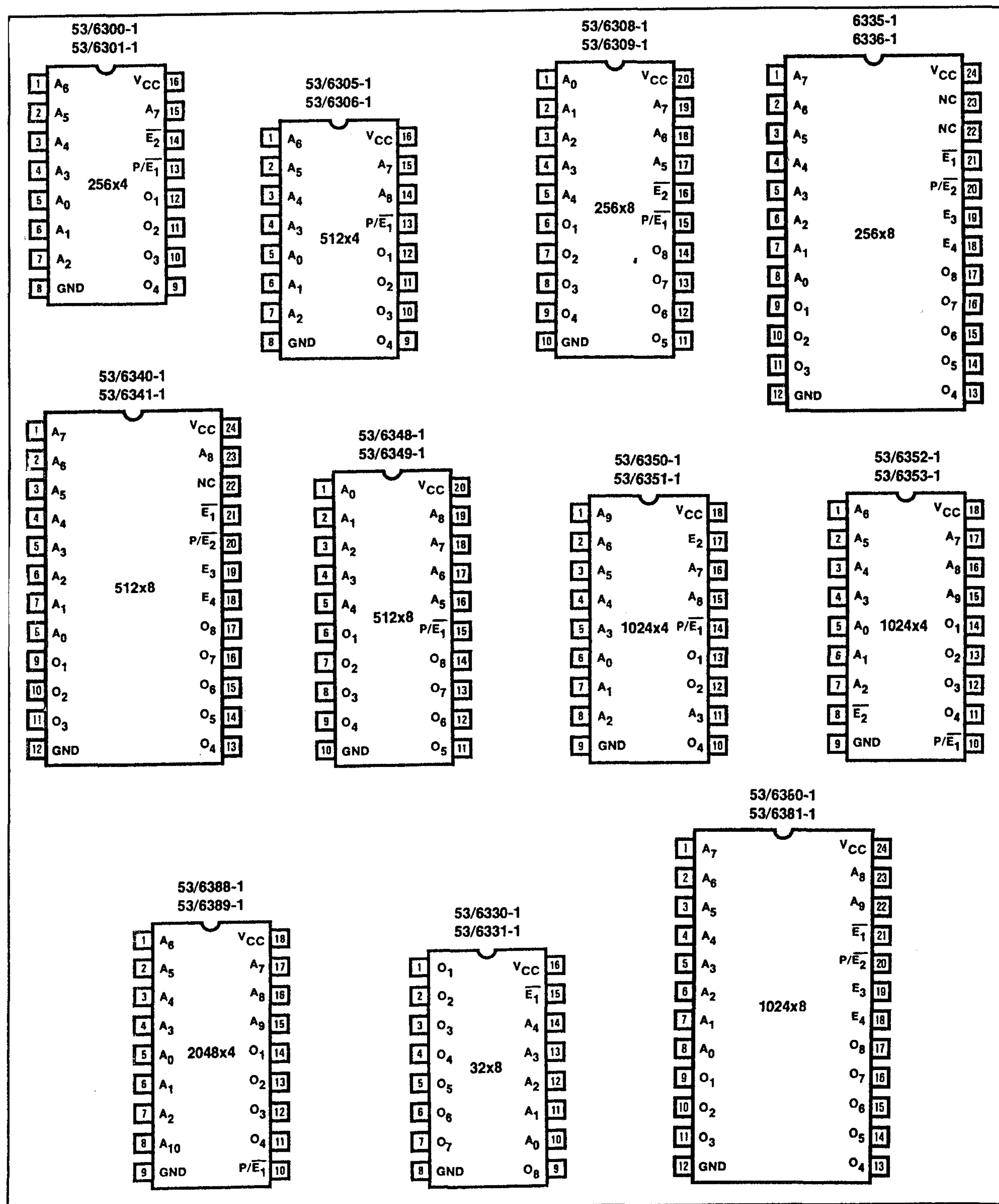
Supply voltage, V_{CC}	7V
Input voltage	7V
Off-state output voltage	5.5V
Storage temperature	-65° to +150°C

Tabel 8/4.2-2: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MILITARY			COMMERCIAL			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	-55		125	0		75	°C

Tabel 8/4.2-3: Aanbevolen bedrijfscondities.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xx



Figuur 8/4.2-1: Aansluitingen van de 63xx-1 familie PROM's.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xx

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.45V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 4.5V (Program pin) V_I = V_{CC} MAX (Other inputs)				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OL} = 12mA COM I_{OL} = 16mA	All PROMs except '30,'31,'80,'81			0.5	V
			MIL I_{OL} = 8mA COM I_{OL} = 12mA	'30,'31,'80,'81				
V_{OH}	High-level output voltage*	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = -2mA		2.4			V
			COM I_{OH} = -3.2mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.5V				-100	μA
I_{OZH}			V_O = 2.4V				100	μA
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4V				100	μA
I_{OS}	Output short-circuit current**	V_{CC} = 5V	V_O = 0V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX All inputs grounded. All outputs open.	'30, '31			78	125	mA
			'00, '01			88	130	
			'05, '06			98	130	
			'08, '09, '35, '36			100	155	
			'40, '41, '48, '49			100	155	
			'88, '89			110	170	
			'50, '51, '52, '53, '80, '81			121	175	

*Three-state only.
**Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typicals at 5.0V V_{CC} and 25°C T_A.

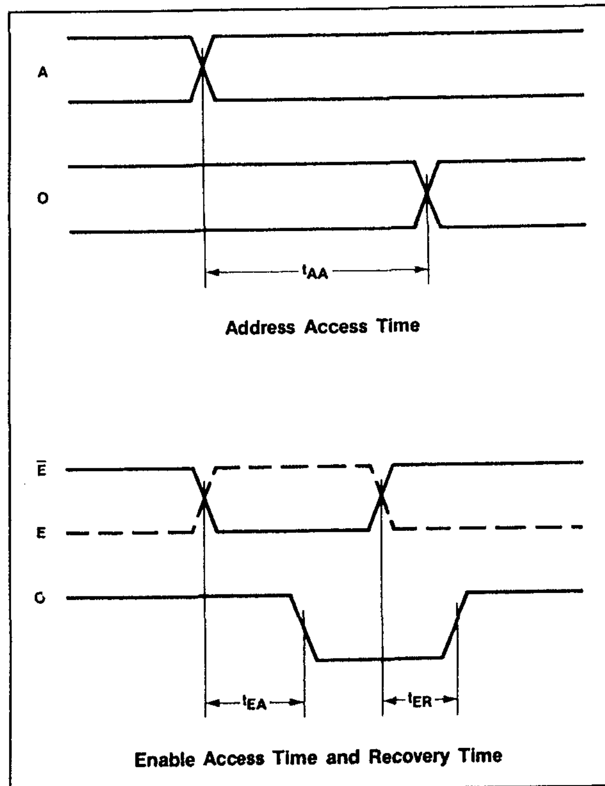
Tabel 8/4.2-4: Elektrische kenmerken.

Over Commercial Operating Conditions

DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS AND RECOVERY TIME		CONDITIONS (See standard test load)	
	TYP †	MAX	TYP †	MAX	R1(Ω)	R2(Ω)
6300-1, 6301-1	32	55	15	30	300	600
6305-1, 6306-1	44	60	17	30		
6308-1, 6309-1	39	70	14	30		
6335-1, 6336-1	52	70	17	30		
6340-1, 6341-1	52	70	17	30		
6348-1, 6349-1	52	70	17	30		
6350-1, 6351-1	43	60	15	30		
6352-1, 6353-1	43	60	15	30		
6388-1, 6389-1	49	70	19	30		
6330-1, 6331-1	37	50	21	30	375	750
6380-1, 6381-1	54	90	18	40		

Tabel 8/4.2-5: Schakeltijden van de 63xx-1 familie PROM's.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xx



Figuur 8/4.2-2: Golfvormen (zie ook tabel 8/4.2-5).

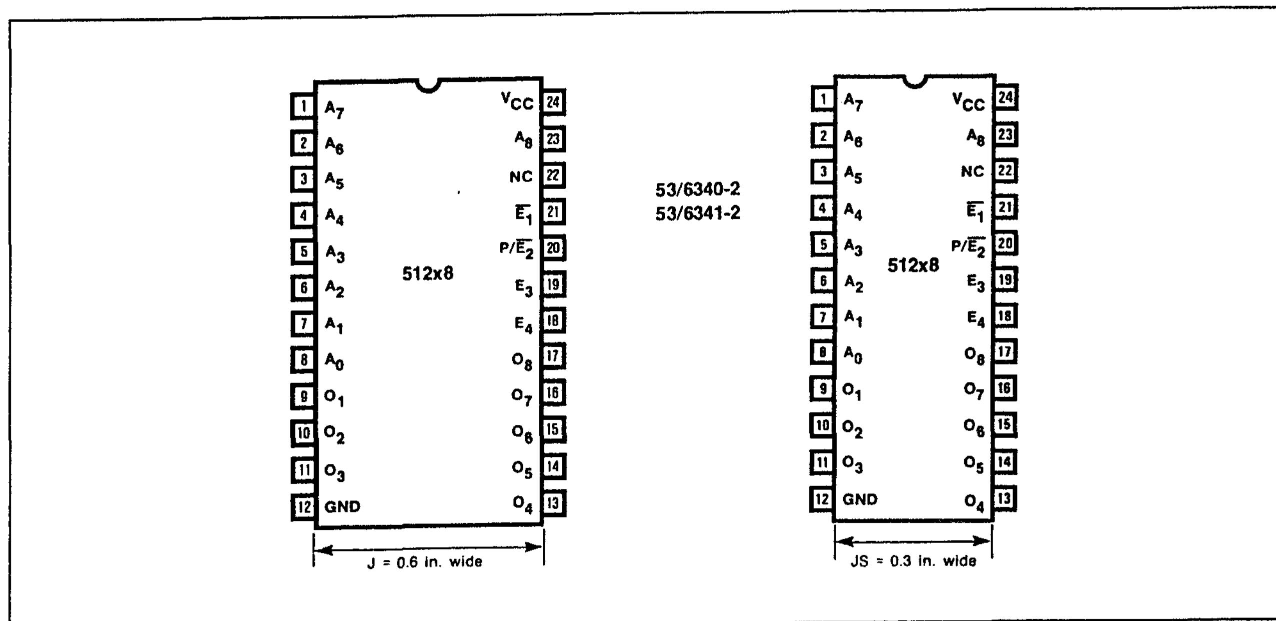
6340-2, 6341-2

High Performance 512x8 NiCr PROM

De 6340-2 en 6341-2 zijn snelle 512 x 8 PROM's met "industrie-standaard" aansluitingen.
Tevens zijn ze leverbaar in 24-pens 0,3" Skinny-DIP behuizingen. Ze hebben PNP-ingangen (kleine ingangsstromen), volledige Schottky-clamping en 3-state (6341) of open-collector (6340) uitgangen. Intacte NiCr zekeringen leveren een logisch HOOG op en worden LAAG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

- 4096 bit geheugen
- 55 ns toegangstijd
- betrouwbare NiCr doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- industrie-standaard aansluitingen
- fabrikant: Monolithic Memories



Figuur 8/4.2-3: Aansluitingen van de 6340-2 en 6341-2 (DIL en Skinny-DIP behuizing).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xx

Supply voltage, V_{CC}	7V
Input voltage	7V
Off-state output voltage	5.5V
Storage temperature	-65° to +150°C

Tabel 8/4.2-6: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	-55		125	0		75	°C

Tabel 8/4.2-7: Aanbevolen bedrijfscondities voor de 6340-2/6341-2.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.45V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 4.5V (Program pin) V_I = V_{CC} MAX (Other pins)				40	µA
V_{OL}	Low-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OL} = 12mA COM I_{OL} = 16mA				0.5	V
V_{OH}	High-level output voltage*	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = -2mA COM I_{OH} = -3.2mA		2.4			V
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.5V				-40	µA
I_{OZH}			V_O = 2.4V				40	µA
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4V V_O = 5.5V				40 100	µA
I_{OS}	Output short-circuit current**	V_{CC} = 5V	V_O = 0V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX	All inputs grounded All outputs open	MIL		120	175	mA
				COM		120	155	

*Three-state only.

**Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0V V_{CC} and 25°C T_A.

Tabel 8/4.2-8: Elektrische kenmerken.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xx

Over operating conditions

DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS AND RECOVERY TIME		CONDITIONS (See standard test load)	
	TYP†	MAX	TYP	MAX	R1(Ω)	R2(Ω)
6340-2	49	70	19	30	300	600
6341-2	45	55	19	30		
5340-2	49	90	19	40		
5341-2	45	70	19	40		

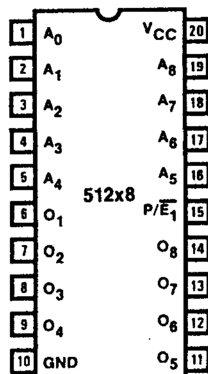
†Typicals at 5.0V V_{CC} and 25°C T_A.

Tabel 8/4.2-9: Schakeltijden van de 6340-2 en 6341-2.

6348-2, 6349-2

High Performance 512 x 8 NiCr PROM

Ook de 6348-2 en 6349-2 zijn snelle 512 x 8 PROM's met industrie-standaard aansluitingen. Deze zijn echter leverbaar in 20-pens behuizingen. Door de PNP-ingangen zijn de ingangsstromen gering; tevens hebben ze volledige Schottky-clamping en open-collector (6348) of 3-state (6349) uitgangen. Uitgangen met intacte NiCr zekeringen zijn logisch HOOG en worden LAAG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.



Figuur 8/4.2-4: Aansluitingen van de 6348-2 en 6349-2.

Specificaties

- 4096 bit geheugen
- betrouwbare NiCr doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- industrie-standaard 20-pens aansluitingen
- fabrikant: Monolithic Memories

Supply voltage, V_{CC}	7V
Input voltage	7V
Off-state output voltage	5.5V
Storage temperature	-65° to +150°C

Tabel 8/4.2-10: Maximaal toegelaten waarden.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	−55		125	0		75	°C

Tabel 8/4.2-11: Aanbevolen bedrijfscondities voor de 6348-2 en 6349-2.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18mA				−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.45V				−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 4.5V (Program pin) V_I = V_{CC} MAX (Other pins)				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OL} = 12mA COM I_{OL} = 16mA				0.5	V
V_{OH}	High-level output voltage*	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = −2mA COM I_{OH} = −3.2mA		2.4			V
I_{OZL} I_{OZH}	Off-state output current*	V_{CC} = MAX	V_O = 0.5V V_O = 2.4V				−40 40	μA μA
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4V V_O = 5.5V				40 100	μA
I_{OS}	Output short-circuit current**	V_{CC} = 5V	V_O = 0V		−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX	All inputs grounded All outputs open	MIL		120	175	mA
				COM		120	155	mA

*Three-state only.
**Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
†Typicals at 5.0V V_{CC} and 25°C T_A.

Tabel 8/4.2-12: Elektrische kenmerken van de 6348-2 en 6349-2.

Over Commercial Operating Conditions

DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS AND RECOVERY TIME		CONDITIONS (See standard test load)	
	TYP†	MAX	TYP	MAX	R1(Ω)	R2(Ω)
6348-2	49	70	19	30	300	600
6349-2	45	55	19	30		
5348-2	49	90	19	40		
5349-2	45	70	19	40		

†Typicals at 5.0V V_{CC} and 25°C T_A

Tabel 8/4.2-13: Schakeltijden van de 6348-2 en 6349-2.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

6380-2, 6381-2

High Performance 1024 x 8 NiCr PROM

De 6380-2 en 6381-2 zijn snelle 1024 x 8 PROM's met industrie-standaard aansluitingen (24-pens 0,6" en 0,3": "skinny-dip"). Beide hebben PNP-ingangen waardoor de ingangsstromen zeer klein zijn. Bovendien hebben ze volledige Schottky-clamping en open-collector (6380) of 3-state (6381) uitgangen. Uitgangen met intacte NiCr zekeringen zijn logisch HOOG en worden LAAG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

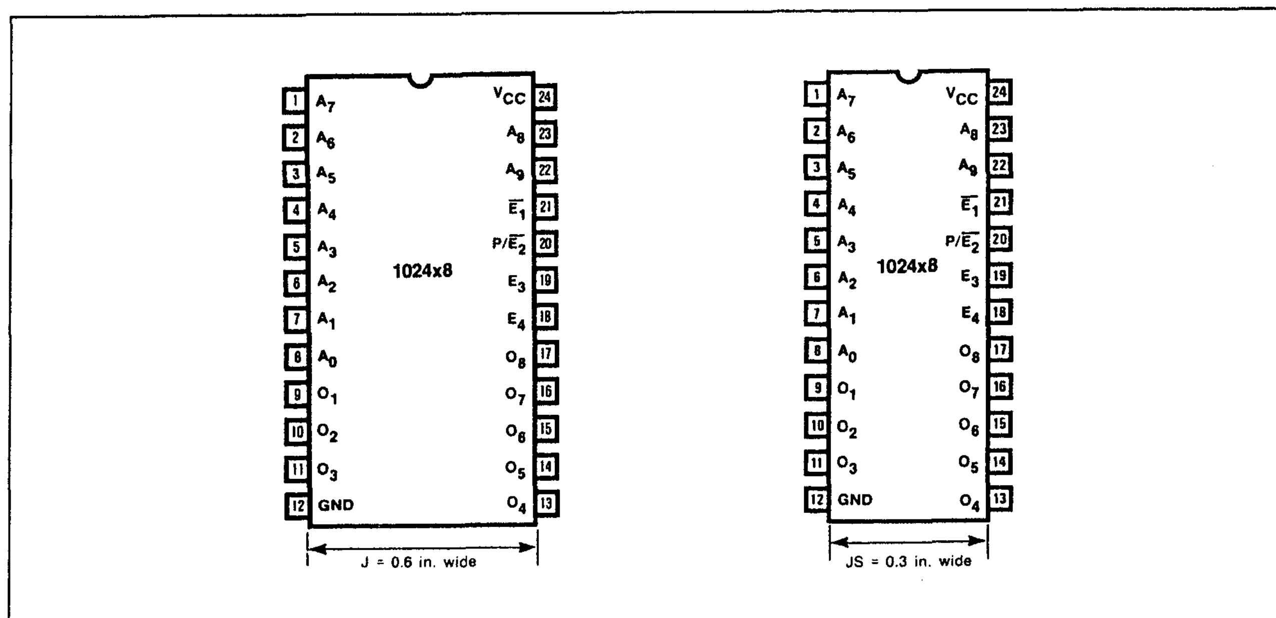
Specificaties

- 8192 bit geheugen
- betrouwbare NiCr doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- industrie-standaard 24-pens aansluitingen
- fabrikant: Monolithic Memories

Absolute Maximum

Supply voltage, V_{CC} 7V
Input voltage 7V
Off-state output voltage 5.5V
Storage temperature .... -65° to +150°C

Tabel 8/4.2-14: Maximaal toegelaten waarden.



Figuur 8/4.2-5: Aansluitingen van de 6380-2 en 6381-2.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	-55		125	0		75	°C

Tabel 8/4.2-15: Aanbevolen bedrijfscondities van de 6380-2 en 6381-2.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.45V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 4.5V (Program pin) V_I = V_{CC} MAX (Other pins)				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OL} = 12mA COM I_{OL} = 16mA				0.5	V
V_{OH}	High-level output voltage*	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = -2mA COM I_{OH} = -3.2mA		2.4			V
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.5V				-40	μA
I_{OZH}			V_O = 2.4V				40	μA
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4V				40	μA
			V_O = 5.5V				100	
I_{OS}	Output short-circuit current‡*	V_{CC} = 5V	V_O = 0V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX	All inputs grounded	MIL		120	175	mA
			All outputs open	COM		120	170	

*Three-state only.
**Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
†Typicals at 5.0V V_{CC} and 25°C T_A.

Tabel 8/4.2-16: Elektrische kenmerken van de 6380-2 en 6381-2.

Over Operating Conditions

DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS AND RECOVERY TIME		CONDITIONS (See standard test load)	
	TYP†	MAX	TYP	MAX	R1(Ω)	R2(Ω)
6380-2	49	70	19	30	300	600
6381-2	45	55	19	30		
5380-2	49	90	19	40		
5381-2	45	70	19	40		

†Typicals at 5.0V V_{CC} and 25°C T_A

Tabel 8/4.2-17: Schakeltijden van de 6380-2 en 6381-2.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

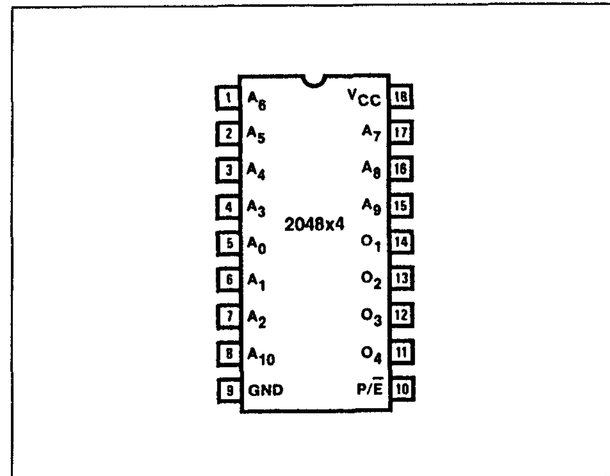
6389-2

High Performance 2048 x 4 NiCr PROM

De 6389-2 is een snelle 2048 x 8 PROM's met industrie-standaard aansluitingen. Door de PNP-ingangen zijn de ingangsstromen zeer klein. Deze PROM heeft volledige Schottky-clamping en 3-state uitgangen. Uitgangen met intacte NiCr zekeringen zijn logisch HOOG en worden LAAG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

- 8192 bit geheugen
- betrouwbare NiCr doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- industrie-standaard 18-pens aansluitingen
- fabrikant: Monolithic Memories



Figuur 8/4.2-6: Aansluitingen van de 6389-2.

Supply voltage, V_{CC} 7V
Input voltage 7V
Off-state output voltage 5.5V
Storage temperature .... −65° to +150°C

Tabel 8/4.2-18: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MILITARY			COMMERCIAL			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-19: Aanbevolen bedrijfscondities van de 6389-2.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18mA				−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.45V				−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 4.5V (Program pin) V_I = V_{CC} MAX (Other pins)				40	μA
V_{OL}	Low-level output voltage*	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OL} = 12 mA				0.5	V
			COM I_{OL} = 16 mA					
V_{OH}	High-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = −2mA		2.4			V
			COM I_{OH} = −3.2mA					
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.5V				−40	μA
I_{OZH}			V_O = 2.4V				40	μA
I_{OS}	Output short-circuit current*	V_{CC} = 5V	V_O = 0V		−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX	All inputs grounded. All outputs open	MIL		110	170	mA
				COM		110	155	

†Typicals at 5.0V V_{CC} and 25°C T_A.

*Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

Tabel 8/4.2-20: Elektrische kenmerken van de 6389-2.

DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		CONDITIONS (See standard test load)	
	TYP †	MAX	TYP†	MAX	R1(Ω)	R2(Ω)
6389-2	44	55	19	30	300	600
5389-2	44	70	19	40		

Tabel 8/4.2-21: Schakeltijden van de 6389-2.

63LS140, 63LS141, 63LS240, 63LS241

Low Power 256 x 4 en 512 x 4 TiW PROM

De 63LSxxx-familie zijn Low Power PROM's met 256 x 4 of 512 x 4 organisaties. Ze zijn verkrijgbaar in 16-pens industrie-standaard behuizingen. Ze hebben PNP-ingangen (kleine ingangsstromen), volledige Schottky-clamping en 3-state (63LS141, 63LS241) of open-collector (63LS140, 63LS240) uitgangen. Intacte TiW zekeringen leveren een logisch LAAG op en worden HOOG geprogrammeerd (anders dan bij NiCr-zekeringen!). Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

- 256 x 4 bit (63LS140/63LS141)
- 512 x 4 bit (63LS240/63LS241)
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- 16-pens industrie-standaard aansluitingen
- fabrikant: Monolithic Memories

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

Supply Voltage, V_{CC} 7V
Input Voltage 7V
Off-state output voltage 5.5V
Storage temperature .... −65° to +150°C

Tabel 8/4.2-22: Maximaal toegelaten waarden.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	−55		125	0		75	°C

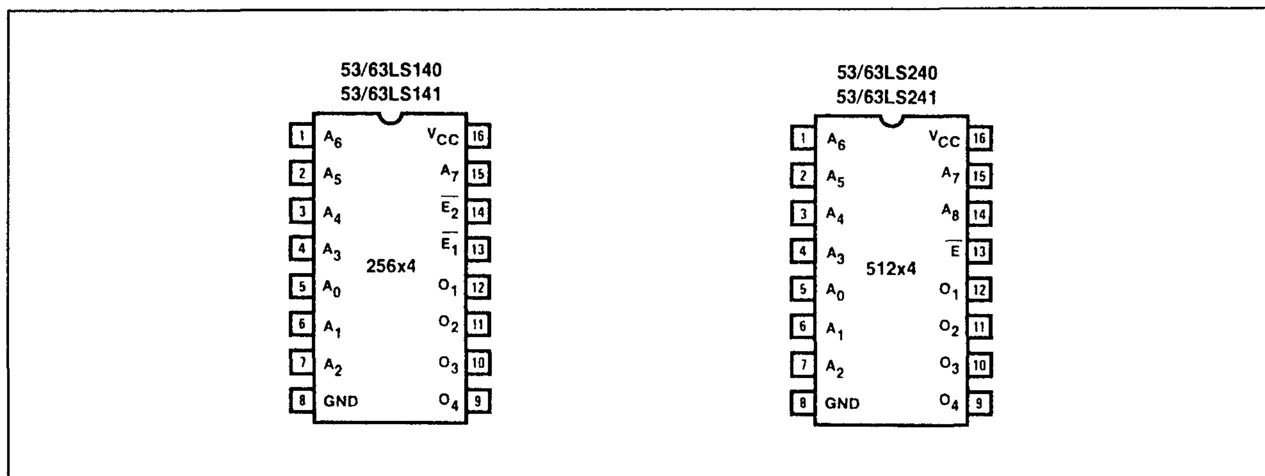
Tabel 8/4.2-23: Aanbevolen bedrijfscondities van de 63LSxxx-familie.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18mA				−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4V				−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = 0.8V, V_{IH} = 2V	I_{OL} = 16mA	MIL			0.5	V
				COM			0.45	V
V_{OH}	High-level output voltage*	V_{CC} = MIN, V_{IL} = 0.8V, V_{IH} = 2V	MIL I_{OH} = −2mA		2.4			V
			COM I_{OH} = −3.2mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4V				−40	μA
I_{OZH}			V_O = 2.4V				40	μA
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4V				40	μA
			V_O = 5.5V				100	
I_{OS}	Output short-circuit current**	V_{CC} = 5V	V_O = 0V		−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX All inputs grounded. All outputs open.	'LS140, 'LS141			50	70	mA
			'LS240, 'LS241			50	70	

* Three-state only.
** Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typicals at 5.0V V_{CC} and 25°C T_A

Tabel 8/4.2-24: Elektrische kenmerken.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-7: Aansluitingen van de 63LSxxx-familie (63LS140/141: 256 x 4, 63LS240/241: 512 x 4).

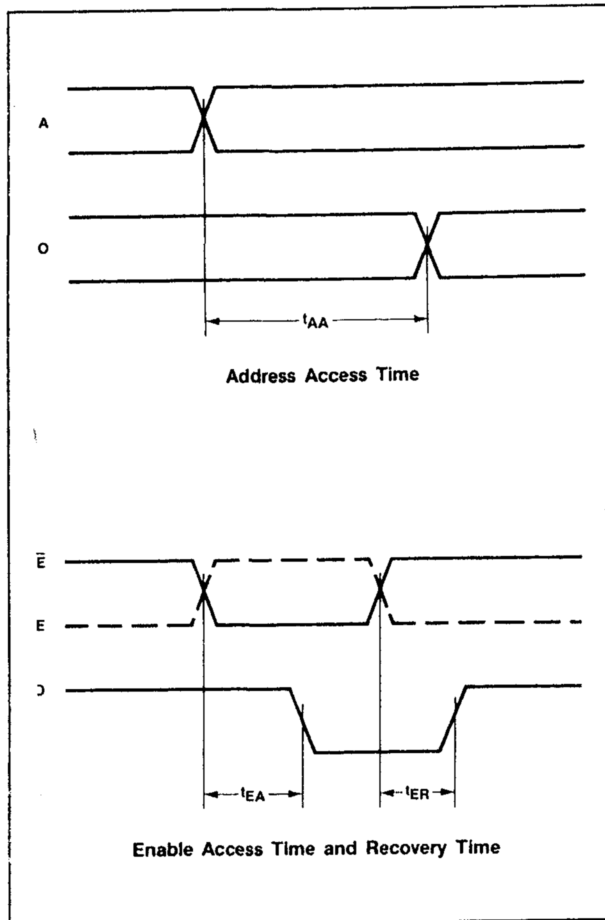
Over operating conditions

DEVICE TYPE	t_{AA}(ns) ADDRESS ACCESS TIME		t_{EA}(ns) ENABLE ACCESS TIME		t_{ER}(ns) ENABLE RECOVERY TIME	
	TYP†	MAX	TYP	MAX	TYP	MAX
63LS140/1	38	55	12	30	20	30
63LS240/1	44	60	16	30	15	30
53LS140/1	38	75	12	35	20	35
53LS240/1	44	75	16	35	21	35

†Typicals at 5.0V V_{CC} and 25°C T_A.

Tabel 8/4.2-25: Schakeltijden van de 63LSxxx-familie (zie ook figuur 8/4.2-8).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-8: Toegangstijd, respectievelijk enable-tijd en recovery-tijd.

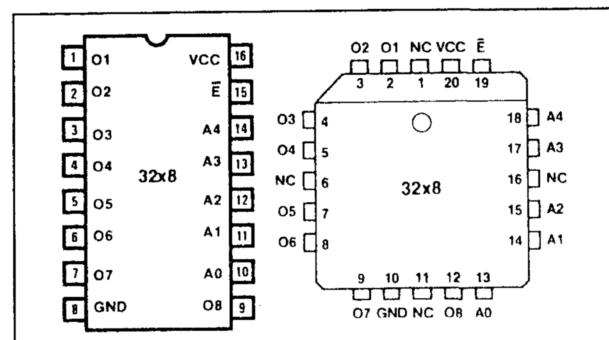
63S080, 63S081, 63S081A

32 x 8 TiW PROM

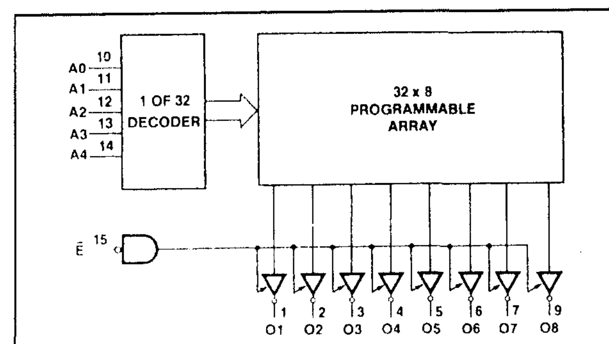
De 63S080 en 63S081(A) zijn PROM's met TiW zekeringen en een 32 x 8 organisatie. Ze zijn verkrijgbaar in 16-pens standaard behuizingen en als 20-pens Leadless Chip Carrier. Ze hebben PNP-ingangen (kleine ingangsstromen), volledige Schottky-clamping en 3-state (63S081, 63S081A) of open-collector (63S080) uitgangen. Intacte TiW zekeringen leveren een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests. De 63S081A is een iets snellere versie van de 63S081 (enhanced).

Specificaties

- 32 x 8 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- 16-pens DIL of 20-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-9: Aansluitingen van de 63S080/081(A).



Figuur 8/4.2-10: Blokschema van de 63S080/63S081(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65 °C to +150 °C	

Tabel 8/4.2-26: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-27: Aanbevolen bedrijfscondities van de 63S080/63S081(A).

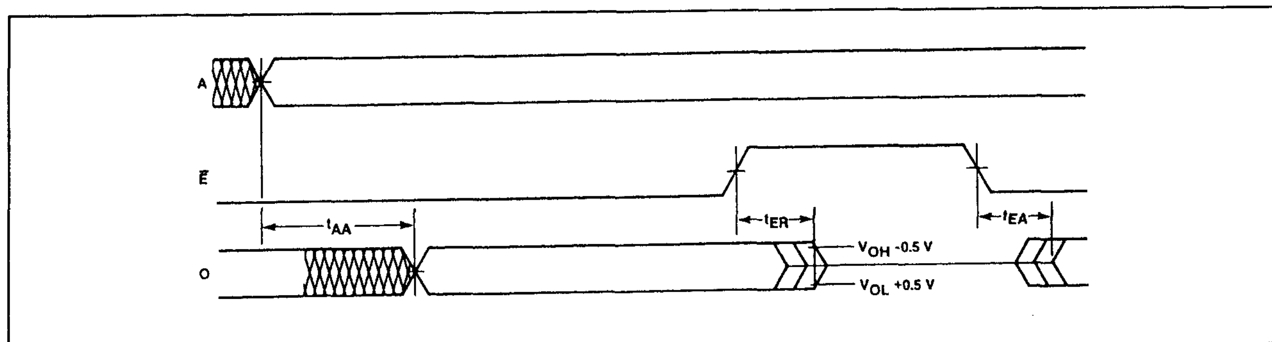
SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	MIL			0.5	V
				COM			0.45	
V_{OH}	High-level output voltage*	V_{CC} = MIN	MIL I_{OH} = -2 mA		2.4			V
			COM I_{OH} = -3.2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current*‡	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX All inputs grounded. All outputs open.				90	125	mA

Tabel 8/4.2-28: Elektrische kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S081A	9	15	9	20	ns
	63S080, 63S081	9	25	9	20	
MILITARY	53S080, 53S081	9	35	9	30	

Tabel 8/4.2-29: Schakeltijden van de 63S080/63S081(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

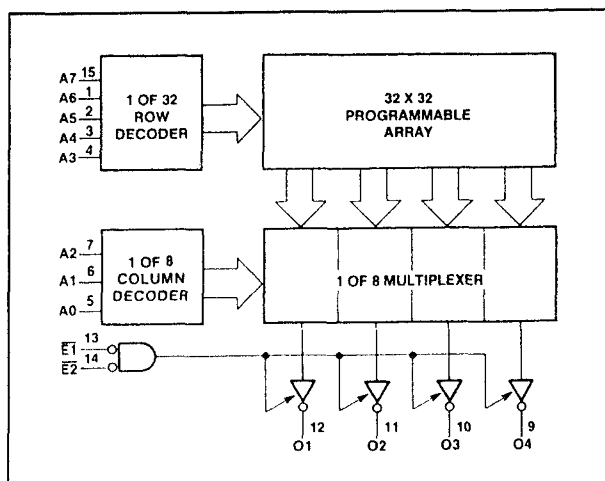


Figuur 8/4.2-11: Golfvormen bij de 63S080/63S081(A).

63S140, 63S141, 63S141A

256 x 4 TiW PROM

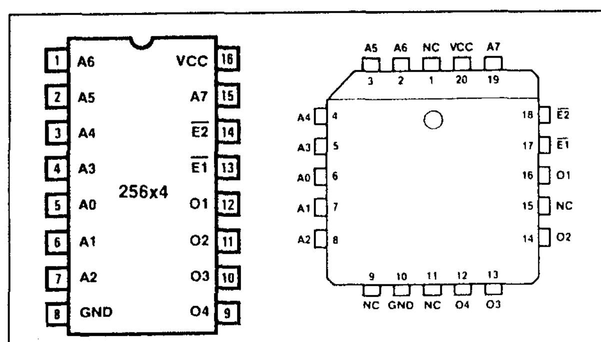
De 63S140 en 63S141(A) zijn 256 x 4 bit PROM's met TiW zekeringen. Ze hebben PNP-ingangen (kleine ingangsstromen), volledige Schottky-clamping en open-collector (63S140) of 3-state (63S141, 63S141A) uitgangen. Ze worden geleverd in 16-pens standaard behuizingen en als 20-pens Leadless Chip Carrier. Intacte TiW zekeringen leveren een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests. De 63S141A is een verbeterde versie van de 63S141 (enhanced).



Figuur 8/4.2-12: Blokschema van de 63S140/63S141(A).

Specificaties

- 256 x 4 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- open-collector of 3-state uitgangen
- 16-pens DIL of 20-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-13: Aansluitingen van de 63S140/63S141(A).

	Operating	Programming
Supply voltage V_{CC}	−0.5 V to 7 V	12 V
Input voltage	−1.5 V to 7 V	7 V
Input current	−30 mA to +5 mA	
Off-state output voltage	−0.5 V to 5.5 V	12 V
Storage temperature	−65° to +150°C	

Tabel 8/4.2-30: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-31: Aanbevolen bedrijfscondities van de 63S140/63S141(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	COM			0.45	V
				MIL			0.5	
V_{OH}	High-level output voltage*	V_{CC} = MIN	COM I_{OH} = -3.2 mA		2.4			V
			MIL I_{OH} = -2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current‡*	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.				80	130	mA

Tabel 8/4.2-32: Elektrische kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S141A	20	30	10	20	ns
	63S140, 63S141	20	45	10	25	
MILITARY	53S141A	20	40	10	25	
	53S140, 53S141	20	55	10	30	

Tabel 8/4.2-33: Schakeltijden van de 63S140/63S141(A).

63S240, 63S241, 63S241A
512 x 4 TiW PROM

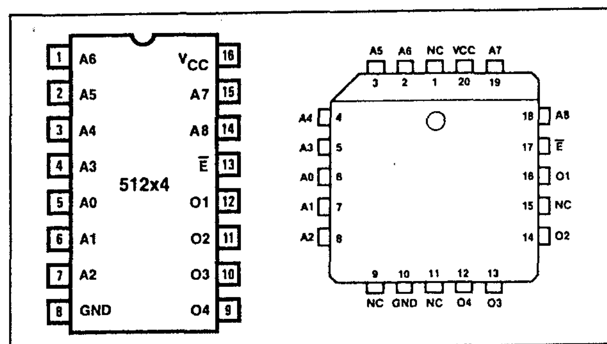
De 63S240 en 63S241(A) zijn 2 k grote (512 x 4 bit) PROM's met TiW zekeringen. Ze hebben PNP-ingangen met een kleine ingangsstroom, volledige Schottky-clamping en open-collector (63S240) of 3-state (63S241, 63S241A) uitgangen. De 63S241A is een snellere versie van de 63S241 (enhanced). Ze worden geleverd in 16-pens standaard behuizing of 20-pens Leadless Chip Carrier. Intacte TiW zekeringen leveren

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

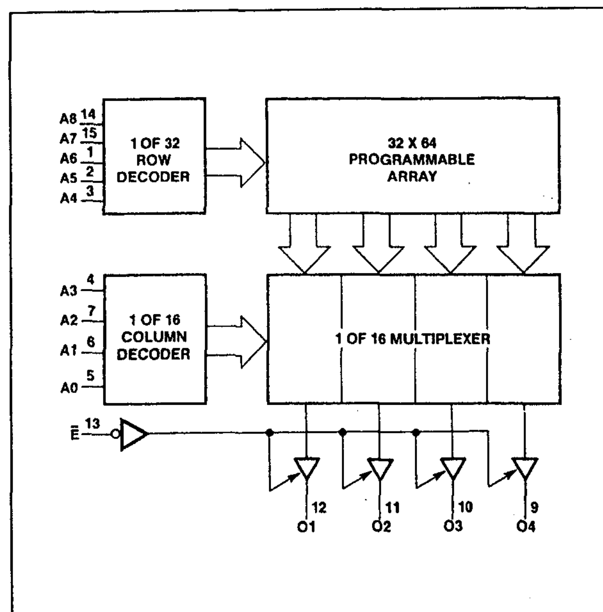
- 512 x 4 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- open-collector of 3-state uitgangen
- 16-pens DIL of 20-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-14: Aansluitingen van de 63S240/63S241(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-34: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).



Figuur 8/4.2-15: Blokschema van de 63S240/63S241(A).

(wordt vervolgd)

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-35: Aanbevolen bedrijfscondities van de 63S240 en 63S241(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	COM			0.45	V
				MIL			0.5	
V_{OH}	High-level output voltage*	V_{CC} = MIN	COM I_{OH} = -3.2 mA		2.4			V
			MIL I_{OH} = -2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current**	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX, all inputs grounded, all outputs open.				80	130	mA

Tabel 8/4.2-36: Elektrische kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S241A	25	35	12	20	ns
	63S240, 63S241	25	45	12	25	
MILITARY	53S241A	25	45	12	25	
	53S240, 53S241	25	55	12	30	

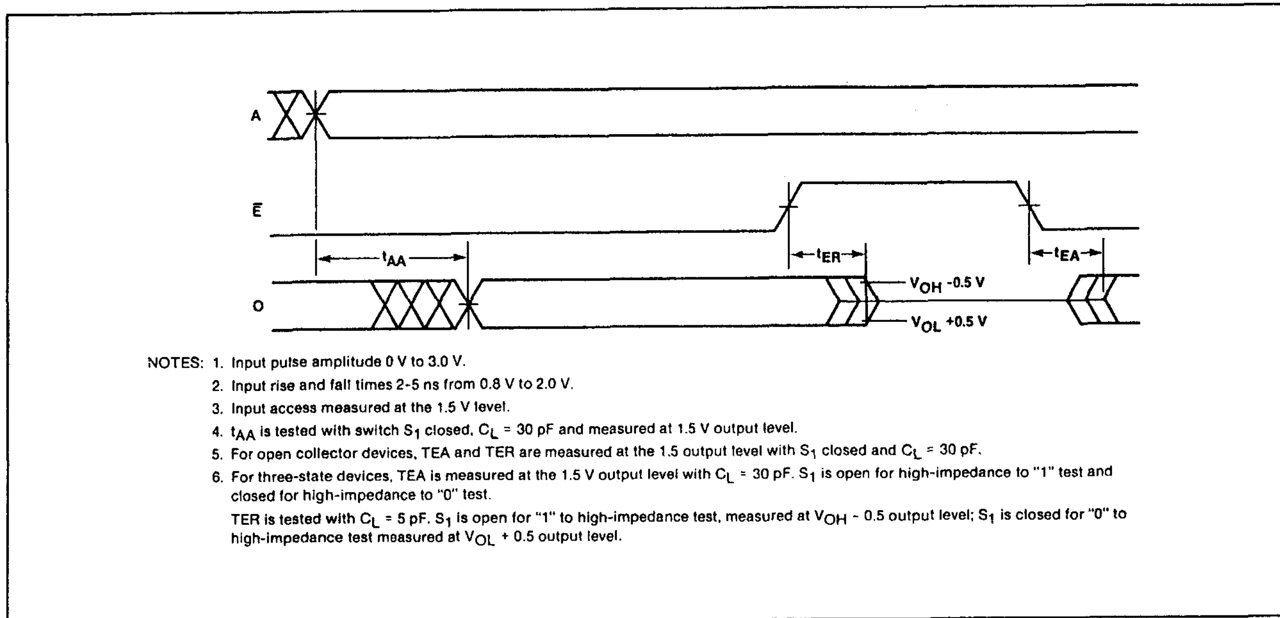
* Three-state only.

** Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-37: Schakeltijden van de 63S240/63S241(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-16: Golfvormen bij bedrijf van de 63S240/63S241(A).

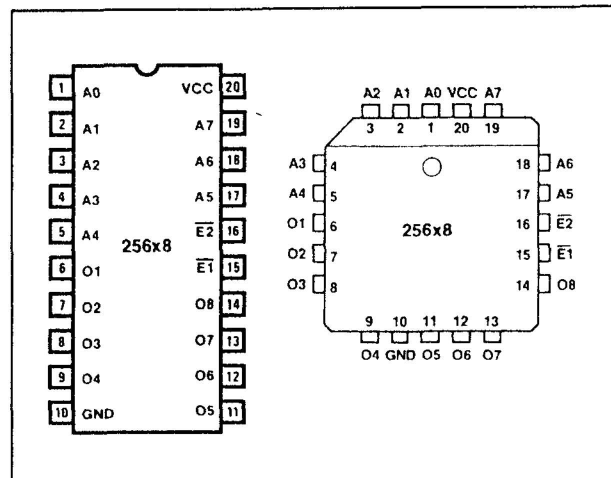
63S280, 63S281, 63S281A

256 x 8 TiW PROM

De 63S280 en 63S281(A) zijn ook 2 k grote PROM's met TiW zekeringen, maar dan met een 256 x 8 bit organisatie. De PNP-ingangen zorgen voor kleine ingangsstromen. Bovendien hebben ze volledige Schottky-clamping en open-collector (63S280) of 3-state (63S281, 63S281A) uitgangen. De 63S281A is een verbeterde (snellere) versie van de 63S281 (enhanced). Ze worden geleverd in een 20-pens standaard DIL of Leadless Chip Carrier behuizing. Intacte TiW zekeringen leveren een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

- 256 x 8 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- open-collector of 3-state uitgangen
- 20-pens DIL of LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-17: Aansluitingen van de 63S280/63S281(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-38: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-39: Aanbevolen bedrijfscondities van de 63S280 en 63S281(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage	Guaranteed input logical low voltage for all inputs††					0.8	V
V_{IH}	High-level input voltage	Guaranteed input logical high voltage for all inputs††			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	Com			0.45	V
				Mil			0.5	
V_{OH}	High-level output voltage*	V_{CC} = MIN	Com I_{OH} = -3.2 mA		2.4			V
			Mil I_{OH} = -2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current**	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.				90	140	mA

Tabel 8/4.2-40: Elektrische kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S281A	21	28	18	25	ns
	63S280, 63S281	21	45	18	25	
MILITARY	53S281A	21	40	18	30	
	53S280, 53S281	21	50	18	30	

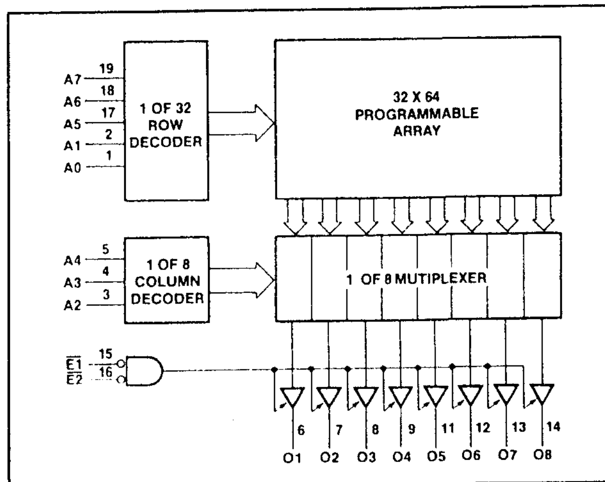
* Three-state only. ** Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0 V V_{CC} and 25°C T_A.

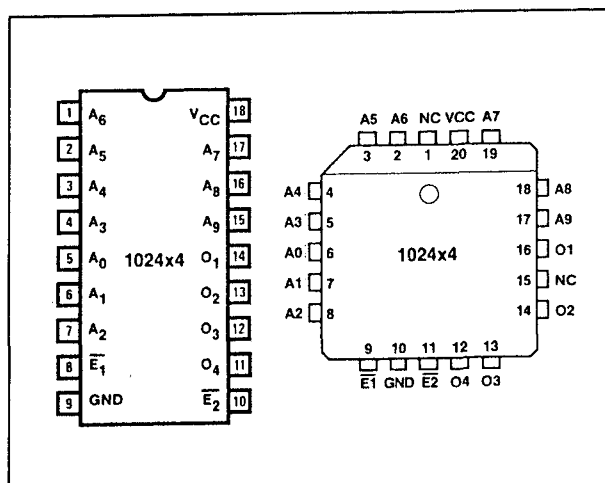
†† V_{IL} and V_{IH} limits are absolute values with respect to the device ground pin(s) and includes all overshoots due to test equipment noise.

Tabel 8/4.2-41: Schakeltijden van de 63S280/63S281(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-18: Blokschema van de 63S280/63S281 (A).



Figuur 8/4.2-19: Aansluitingen van de 63S440/63S441(A).

63S440, 63S441, 63S441A

1024 x 4 TiW PROM

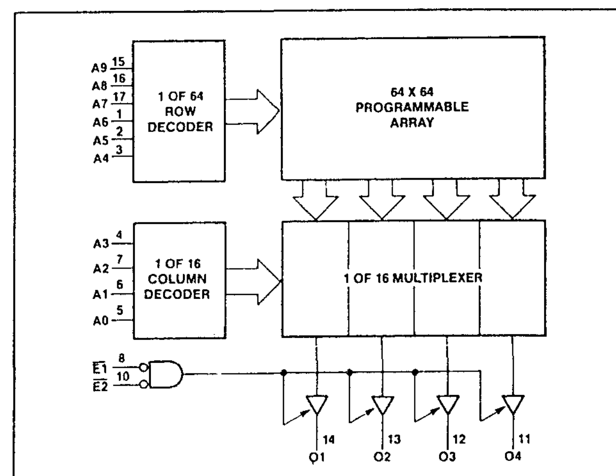
De 63S440 en 63S441(A) zijn 4 k PROM's met TiW zekeringen met een 1024 x 4 bit organisatie. Door de PNP-ingangen zijn de ingangsstromen klein. Deze PROM's hebben volledige Schottky-clamping en open-collector (63S440) of 3-state (63S441, 63S441A) uitgangen. De 63S441A is een verbeterde (snellere) versie van de 63S441. Ze worden geleverd in een 18-pens standaard DIL of 20-pens Leadless Chip Carrier behuizing. Intacte TiW zekeringen leveren een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

- 1024 x 4 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- open-collector of 3-state uitgangen
- 18-pens DIL of 20-pens LCC behuizing
- fabrikant: Monolithic Memories

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-42: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).



Figuur 8/4.2-20: Blokschema van de 63S440/63S441(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-43: Aanbevolen bedrijfscondities van de 63S440 en 63S441(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	MIL			0.5	V
				COM			0.45	
V_{OH}	High-level output voltage*	V_{CC} = MIN	MIL I_{OH} = -2 mA		2.4			V
			COM I_{OH} = -3.2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current**	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX All inputs grounded. All outputs open.				95	140	mA

Tabel 8/4.2-44: Elektrische kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S441A	24	35	16	25	ns
	63S440, 63S441	24	45	16	25	
MILITARY	53S441A	24	50	16	30	
	53S440, 53S441	24	55	16	30	

* Three-state only.

** Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-45: Schakeltijden van de 63S440/63S441(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

63S480, 63S481, 63S481A

512 x 8 TiW PROM

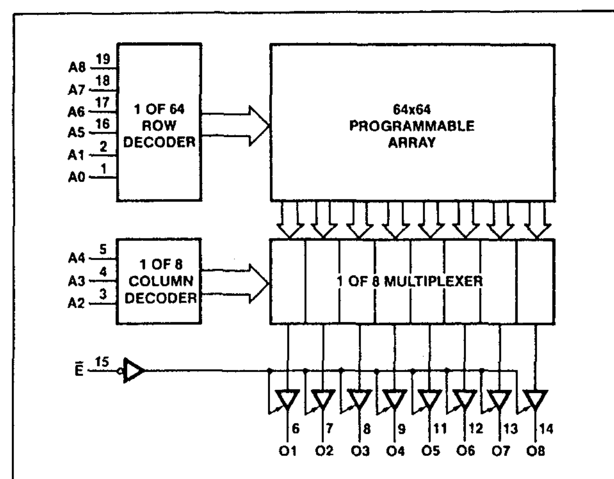
De 63S480 en 63S481(A) zijn 4 k PROM's met TiW zekeringen.
Deze keer met een 512 x 8 bit organisatie. Door de PNP-ingangen zijn de ingangsstromen zeer klein. Deze PROM's hebben volledige Schottky-clamping en open-collector (63S480) of 3-state (63S481, 63S481A) uitgangen. De A-uitvoering is een verbeterde (snellere) versie van de 63S481. Alle PROM's worden geleverd in een 20-pens standaard DIL of Leadless Chip Carrier behuizing. Intacte TiW zekeringen leveren, zoals gebruikelijk, een logisch LAAG op en worden HOOG geprogrammeerd. Op de chip zijn speciale schakelingen en extra zekeringen aanwezig voor het uitvoeren van voorprogrammeertests.

Specificaties

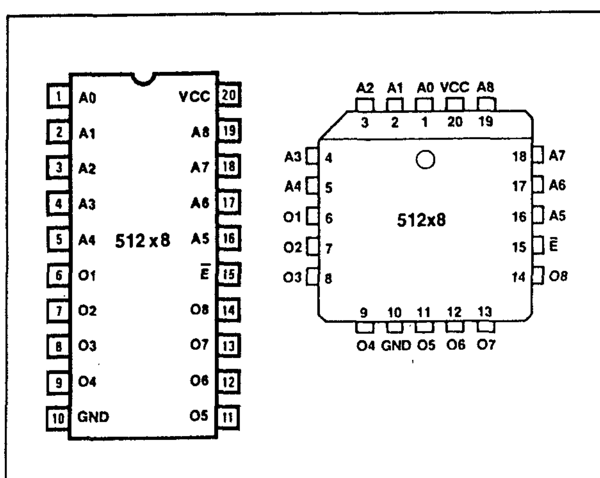
- 512 x 8 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- open-collector of 3-state uitgangen
- 20-pens DIL of LCC behuizing
- fabrikant: Monolithic Memories

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-46: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).



Figuur 8/4.2-22: Blokschema van de 63S480/63S481(A).



Figuur 8/4.2-21: Aansluitingen van de 63S480/63S481(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-47: Aanbevolen bedrijfscondities van de 63S480 en 63S481(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage	Guaranteed input logical low voltage for all inputs††					0.8	V
V_{IH}	High-level input voltage	Guaranteed input logical high voltage for all inputs††			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	Com			0.45	V
				Mil			0.5	
V_{OH}	High-level output voltage*	V_{CC} = MIN	Com I_{OH} = -3.2 mA		2.4			V
			Mil I_{OH} = -2 mA					
I_{OZL}	Off-state output current*	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{CEX}	Open collector output current	V_{CC} = MAX	V_O = 2.4 V				40	μA
			V_O = 5.5 V				100	
I_{OS}	Output short-circuit current**	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.				104	155	mA

Tabel 8/4.2-48: Elektrische (gelijkspannings) kenmerken.

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S481A	22	30	18	25	ns
	63S480, 63S481	22	45	18	25	
MILITARY	53S481A	22	40	18	30	
	53S480, 53S481	22	50	18	35	

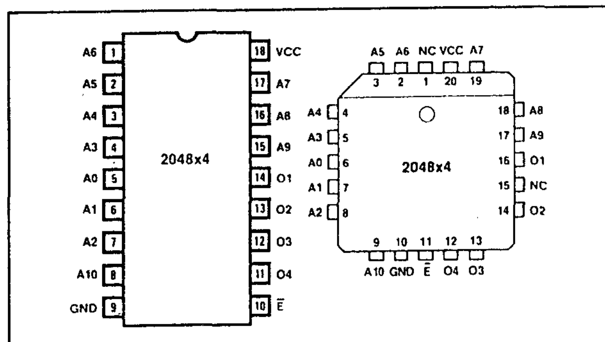
* Three-state only. ** Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0 V V_{CC} and 25°C T_A.

†† V_{IL} and V_{IH} limits are absolute values with respect to the device ground pin(s) and includes all overshoots due to test equipment noise.

Tabel 8/4.2-49: Schakeltijden van de 63S480/63S481(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-23: Aansluitingen van de 63S841(A).

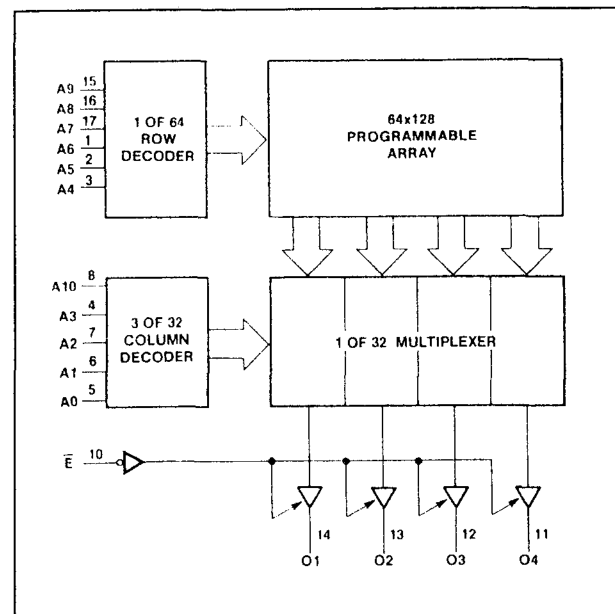
63S841, 63S841A

2048 x 4 TiW PROM

De 63S841(A) is een 8 k PROM met TiW zekeringen in een 2048 x 4 bit organisatie. De PNP-ingangen zorgen voor zeer kleine ingangsstromen. Deze PROM heeft volledige Schottky-clamping en 3-state uitgangen. De A-uitvoering is een verbeterde (enhanced) versie van de 63S841. De PROM wordt geleverd in een 18-pens standaard DIL of 20-pens Leadless Chip Carrier behuizing. Intacte TiW zekeringen leveren, zoals gebruikelijk, een logisch LAAG op en worden HOOG geprogrammeerd. De chip bevat speciale schakelingen en extra zekeringen voor het uitvoeren van voorprogrammeertests.

Specificaties

- 2048 x 4 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- 3-state uitgangen
- 18-pens DIL of 20-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-24: Blokschema van de 63S841(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-50: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-51: Aanbevolen bedrijfscondities van de 63S841(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	COM			0.45	V
				MIL			0.5	
V_{OH}	High-level output voltage	V_{CC} = MIN	COM I_{OH} = -3.2 mA		2.4			V
			MIL I_{OH} = -2 mA					
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.					150	mA

Tabel 8/4.2-52: Elektrische (gelijkspannings) kenmerken van de 63S841(A).

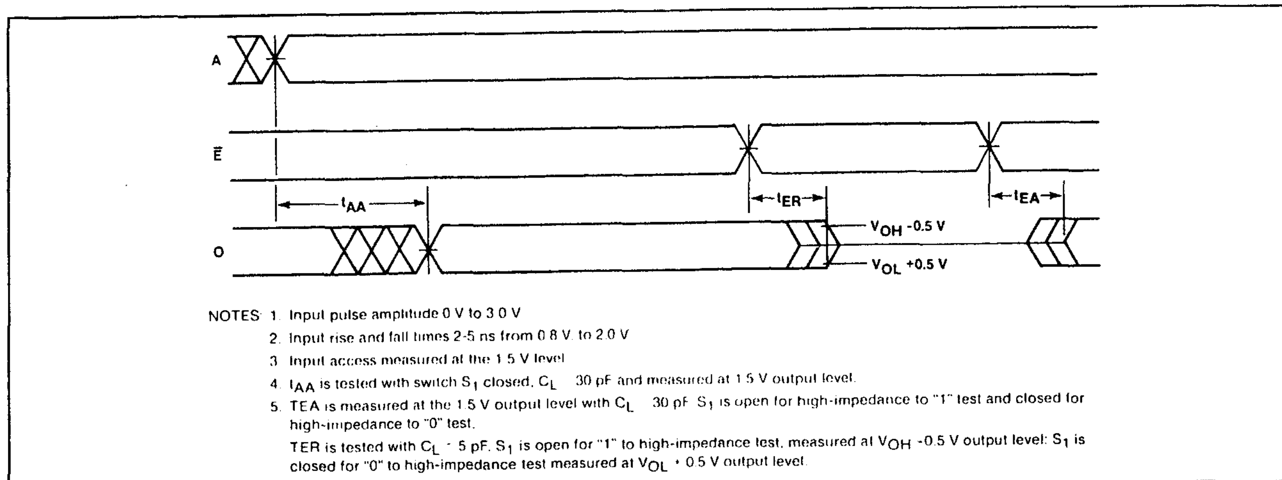
OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S841A		35		25	ns
	63S841		50		25	
MILITARY	53S841A		50		30	
	53S841		55		30	

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

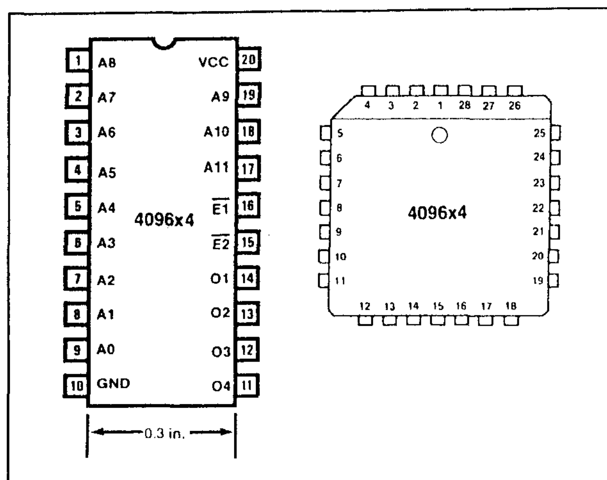
† Typicals at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-53: Schakeltijden van de 63S841(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-25: Golfvormen bij bedrijf van de 63S841(A).



Figuur 8/4.2-26: Aansluitingen van de 63S1641(A).

63S1641, 63S1641A
4096 x 4 TiW PROM

De 63S1641(A) is een 16 k PROM met TiW zekeringen in een 4096 x 4 bit organisatie. Deze PROM heeft PNP-ingangen (zeer kleine ingangsstromen), volledige Schottky-clamping en 3-state uitgangen. De A-uitvoering is, zoals gebruikelijk, een verbeterde (enhanced) versie van de 63S1641. De PROM wordt geleverd in een 20-pens standaard DIL of 28-pens Leadless Chip Carrier behuizing. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De chip bevat speciale schakelingen en extra zekeringen voor het uitvoeren van voorprogrammeertests.

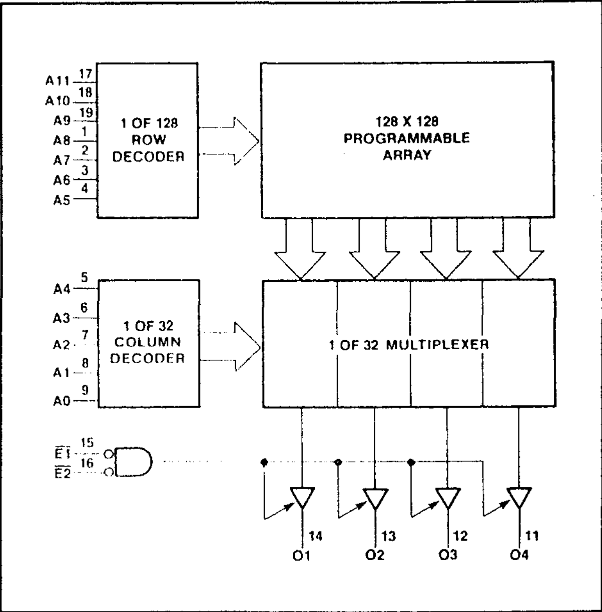
Specificaties

- 4096 x 4 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- 3-state uitgangen
- 20-pens DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories

	Operating	Programming
Supply voltage V_{CC}	-0.5V to 7V	12V
Input voltage	-1.5V to 7V	7V
Input current	-30mA to +5mA	
Off-state output voltage	-0.5V to 5.5V	12V
Storage temperature	-65°C to +150°C	

Tabel 8/4.2-54: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-27: Blokschema van de 63S1641(A).

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-55: Aanbevolen bedrijfscondities van de 63S1641(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	MIL			0.5	V
				COM			0.45	
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA		2.4			V
			COM I_{OH} = -3.2 mA					
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.				130	175	mA

Tabel 8/4.2-56: Elektrische (gelijkspannings) kenmerken van de 63S1641(A).

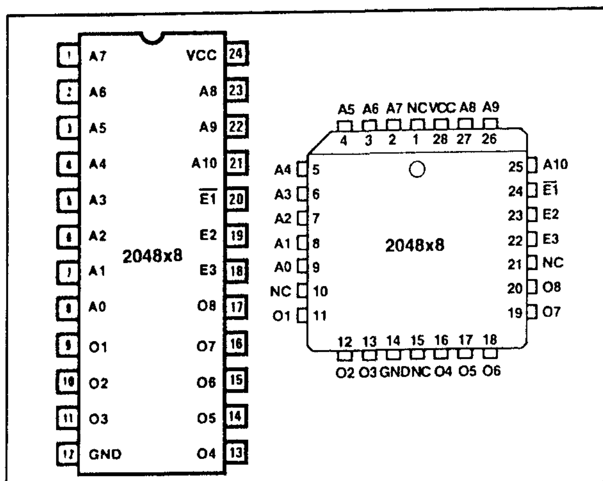
10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

OPERATING CONDITIONS	DEVICE TIME	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S1641A	28	35	12	25	ns
	63S1641	28	50	12	25	
MILITARY	53S1641A	28	50	12	30	
	53S1641	28	65	12	30	

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typicals at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-57: Schakeltijden van de 63S1641(A).



Figuur 8/4.2-28: Aansluitingen van de 63S1681(A).

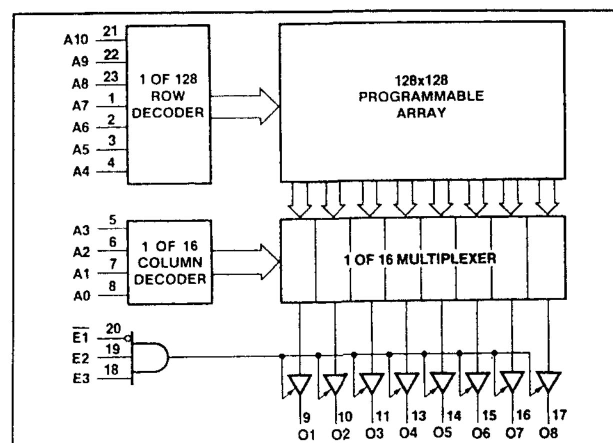
63S1681, 63S1681A

2048 x 8 TiW PROM

De 63S1681(A) is een 16K PROM met TiW zekeringen, maar nu met een 2048 x 8 bit organisatie. Deze PROM heeft PNP-ingangen (zeer kleine ingangsstromen), volledige Schottky-clamping en 3-state uitgangen. De A-uitvoering is de verbeterde (enhanced) versie van de 63S1681. De PROM wordt geleverd in een 24-pens skinny-DIP (0,3") behuizing of als 28-pens Leadless Chip Carrier. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De chip bevat speciale schakelingen en extra zekeringen voor het uitvoeren van voorprogrammeertests.

Specificaties

- 2048 x 8 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- 3-state uitgangen
- 24-pens DIL ("Skinny-DIP") of 28-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-29: Blokschema van de 63S1681(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65°C to +150°C	

Tabel 8/4.2-58: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

SYMBOL	PARAMETER	MILITARY MIN	TYP†	MAX	COMMERCIAL MIN	TYP†	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	-55		125	0		75	°C

Tabel 8/4.2-59: Aanbevolen bedrijfscondities van de 63S1681(A).

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18 mA				−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	MIL			0.5	V
				COM			0.45	
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = −2 mA		2.4			V
			COM I_{OH} = −3.2 mA					
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V				−40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V		−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL, all outputs open.				130	175	mA

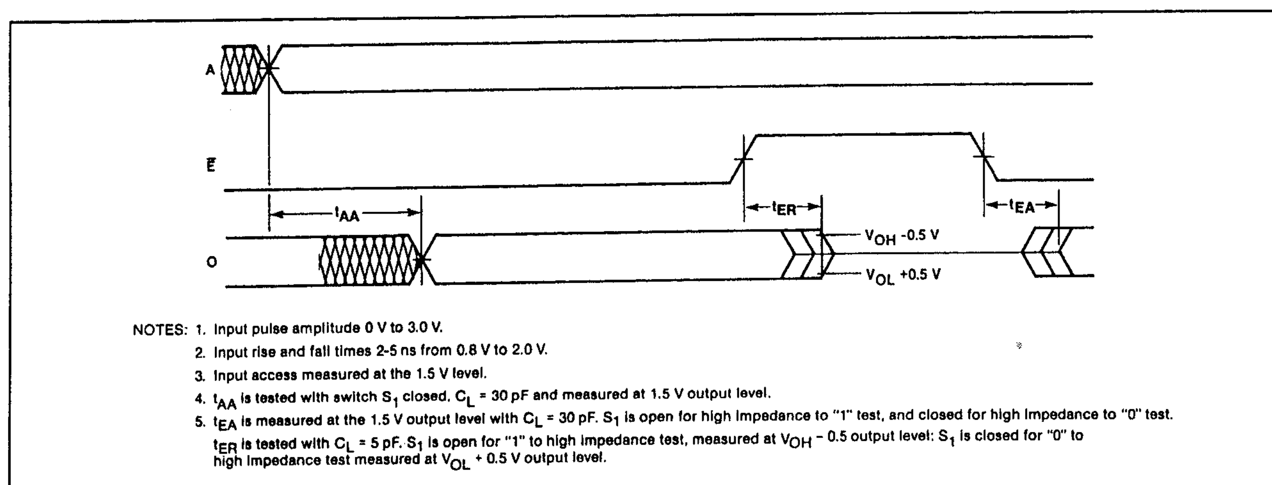
Tabel 8/4.2-60: Elektrische (gelijkspannings) kenmerken van de 63S1681(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S1681A	27	35	18	25	ns
	63S1681	27	50	18	30	
MILITARY	53S1681A	27	45	18	35	
	53S1681	27	60	18	35	

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typicals at 5.0 V V_{CC} and 25° C T_A.

Tabel 8/4.2-61: Schakeltijden van de 63S1681(A).



NOTES: 1. Input pulse amplitude 0 V to 3.0 V.
2. Input rise and fall times 2-5 ns from 0.8 V to 2.0 V.
3. Input access measured at the 1.5 V level.
4. t_{AA} is tested with switch S_1 closed, C_L = 30 pF and measured at 1.5 V output level.
5. t_{EA} is measured at the 1.5 V output level with C_L = 30 pF. S_1 is open for high impedance to "1" test, and closed for high impedance to "0" test.
t_{ER} is tested with C_L = 5 pF. S_1 is open for "1" to high impedance test, measured at V_{OH} - 0.5 output level: S_1 is closed for "0" to high impedance test measured at V_{OL} + 0.5 V output level.

Figuur 8/4.2-30: Golfvormen bij bedrijf van de 63S1681(A).

63S3281, 63S3281A

4096 x 8 TiW PROM

De 63S3281(A) is een 32 k PROM met TiW zekeringen en met een 2048 x 8 bit organisatie. De PROM heeft PNP-ingangen (zeer kleine ingangsstromen), volledige Schottky-clamping en 3-state uitgangen. De A-uitvoering is de verbeterde (enhanced) versie van de 63S3281. De PROM wordt geleverd in een 24-pens DIL behuizing of als 28-pens Leadless Chip Carrier. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De chip bevat speciale schakelingen en extra zekeringen voor het uitvoeren van voorprogrammeertests.

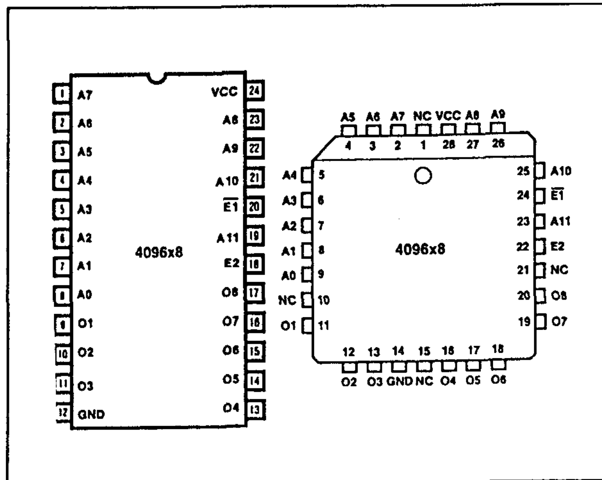
Specificaties

- 4096 x 8 bit organisatie
- betrouwbare TiW doorbrandbare verbindingen
- PNP ingangen (kleine ingangsstromen)
- laagspannings programmering
- 3-state uitgangen
- 24-pens DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories

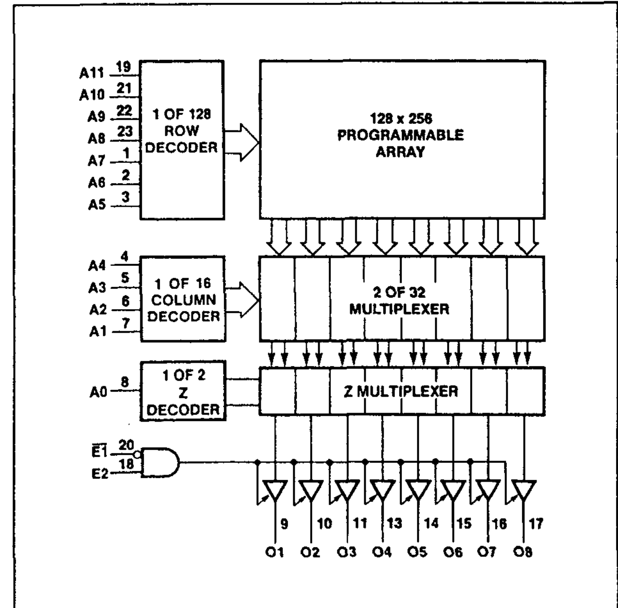
	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65°C to +150°C	

Tabel 8/4.2-62: Maximaal toegelaten waarden (in bedrijf en tijdens programmeren).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-31: Aansluitingen van de 63S3281(A).



Figuur 8/4.2-32: Blokschema van de 63S3281(A).

SYMBOL	PARAMETER	MILITARY MIN	MILITARY NOM	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL NOM	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-63: Aanbevolen bedrijfscondities van de 63S3281 (A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18 mA				−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V				−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	MIL			0.5	V
				COM			0.45	
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = −2 mA		2.4			V
			COM I_{OH} = −3.2 mA					
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V				−40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V		−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs grounded. All outputs open.				150	190	mA

Tabel 8/4.2-64: Elektrische (gelijkspannings) kenmerken van de 63S3281(A).

OPERATING CONDITIONS	DEVICE TYPE	t_{AA} (ns) ADDRESS ACCESS TIME		t_{EA} AND t_{ER} (ns) ENABLE ACCESS TIME RECOVERY TIME		UNIT
		TYP†	MAX	TYP†	MAX	
COMMERCIAL	63S3281A	31	40	18	20	ns
	63S3281	31	50	18	30	
MILITARY	53S3281A	31	50	18	35	
	53S3281	31	60	18	35	

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-65: Schakeltijden van de 63S3281(A).

63RA441

1024 x 4 TiW Registered PROM

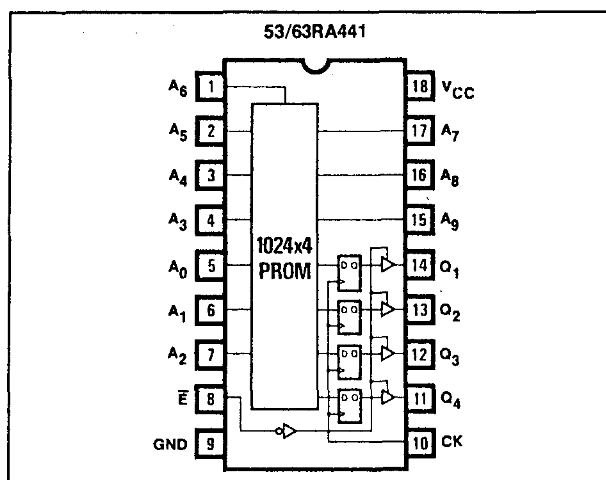
De 63RA441 is een 4 k PROM met TiW zekeringen in een 1024 x 4 bit organisatie met een uitgangsregister en 3-state uitgangen. De PROM wordt geleverd in een 18-pens DIL behuizing. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De uitgangssignalen van de PROM worden op de stijgende flank van de clock in een 4 bit register opgeslagen. Hier wordt met nadruk gesproken van "register" omdat dit master-slave flip-flop's bevat, in tegenstelling tot een "latch" die gated flip-flop's bevat. De voordelen van een register zijn de eenvoudiger timing en kortere cyclustijden. De uitgangen van het register worden gebufferd door low-power Schottky 3-state drivers.

Specificaties

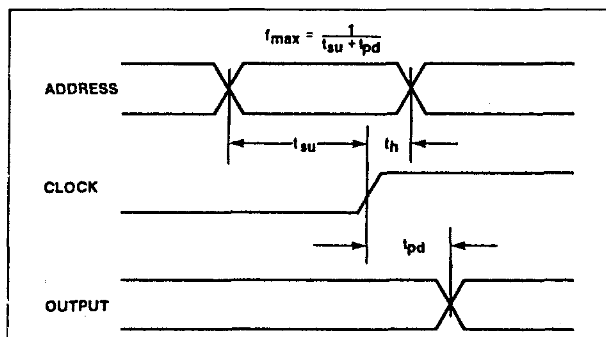
- 1024 x 4 bit organisatie
- edge-triggered D-registers
- geavanceerd Schottky proces

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

- betrouwbare TiW doorbrandbare verbindingen
- laagspannings programmering
- 3-state uitgangen
- 18-pens DIL behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-33: Aansluitingen inclusief blokschema van de 63RA441.



Figuur 8/4.2-34: Golfvormen, optredend bij de 63RA441.

Supply voltage, V_{CC}	7V
Input voltage	7V
Off-state output voltage	5.5V
Storage temperature	-65° to +150°C

Tabel 8/4.2-66: Maximaal toegelaten waarden van de 63RA441.

SYMBOL	PARAMETER	MILITARY			COMMERCIAL			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
t_{su}	Address set-up time	60	30		50	30		
t_h	Address hold time	0	-10		0	-10		
t_w	Clock pulse width	25	8		20	8		
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/4.2-67: Aanbevolen bedrijfscondities van de 63RA441.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18mA				-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4V				-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC}				40	µA
V_{OL}	Low-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	I_{OL} = 16mA				0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN V_{IL} = 0.8V V_{IH} = 2V	MIL I_{OH} = -2mA COM I_{OH} = -3.2mA		2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.5V				-40	µA
I_{OZH}			V_O = 2.4V				40	µA
I_{OS}	Output short-circuit current*	V_{CC} = 5V	V_O = 0V		-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX	All inputs grounded All outputs open	MIL		120	175	mA
				COM		120	165	

*Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

†Typicals at 5.0V V_{CC} and 25°C T_A

Tabel 8/4.2-68: Elektrische (gelijkspannings) kenmerken van de 63RA441.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
t_{pd}	Clock to output access time		20	35		20	30	
t_{ER}/t_{EA}	Enable to output access and recovery time		19	35		19	30	

Tabel 8/4.2-69: Schakeltijden van de 63RA441.

63RA481, 63RA481A

512 x 8 TiW Registered PROM

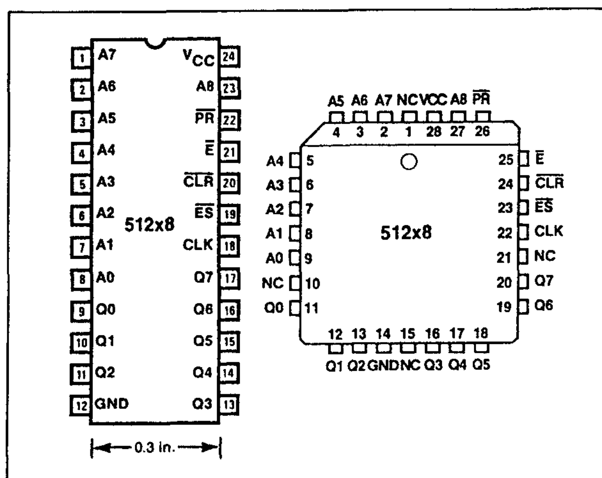
De 63RA481(A) is een 4 k PROM met TiW zekeringen in een 512 x 8 bit organisatie met een D-type uitgangsregister en naar keuze synchrone of asynchrone 3-state uitgangen. Bovendien zijn een asynchrone preset en clear aanwezig. De PROM is verkrijgbaar in een 24-pens skinny-DIP behuizing of in een 28-pens LCC. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De A-versie is weer de verbeterde (enhanced) uitvoering van de gewone 63RA481.

Data wordt op de stijgende flank van de clock in de uitgangs-registers opgeslagen. Als zowel de asynchrone $\overline{E}$ als de synchrone $\overline{ES}$ LAAG zijn verschijnt de data aan de uitgangen. Voorafgaand aan de stijgende flank van de clock blijft data in de registers gelijk bij veranderende adressen of synchrone enable-ingangen.

Geheugenuitbreiding en data-besturing worden door de synchrone en asynchrone enable-ingangen nog flexibeler. De uitgangen mogen op elk moment in de hoog-impedante toestand worden gezet door het HOOG maken van $\overline{E}$ of als $\overline{ES}$ HOOG is wanneer de

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

clock HOOG gaat. Als eerst V_{CC} wordt aangelegd zal de synchrone enable flip-flop in de set-conditie komen waardoor de uitgangen hoog-impedant zullen zijn. De uitgangsregisters zullen allemaal HOOG worden door het LAAG gaan van preset. Door het LAAG gaan van clear worden de uitgangen LAAG (in beide gevallen onafhankelijk van de toestand van de clock).



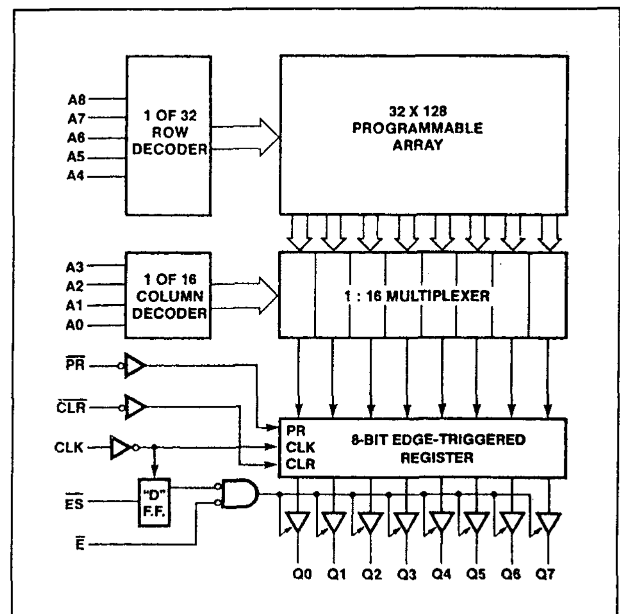
Figuur 8/4.2-35: Aansluitingen van de 63RA481(A).

	Operating	Programming
Supply voltage V_{CC}	−0.5 V to 7 V	12 V
Input voltage	−1.5 V to 7 V	7 V
Input current	−30 mA to +5 mA	
Off-state output voltage	−0.5 V to 5.5 V	12 V
Storage temperature	−65°C to +150°C	

Tabel 8/4.2-71: Maximaal toegelaten waarden van de 63RA481(A).

Specificaties

- 5124 x 8 bit organisatie
- edge-triggered D-registers
- handige synchrone en asynchrone enables
- asynchrone preset en clear
- betrouwbare TiW doorbrandbare verbindingen
- 3-state uitgangen
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-36: Functioneel blokschema van de 63RA481(A).

Function Table

$\overline{E}$	$\overline{ES}$	CLK	$\overline{PR}$	$\overline{CLR}$	A8-A0	Q7-Q0	Operation
H	X	X	X	X	X	Z	High-Impedance
X	H	↑	X	X	X	Z	High-Impedance
L	L	X	L	H	X	H	Preset
L	L	X	H	L	X	L	Clear
L	L	X	L	L	X	Illegal Operation	
L	L	↑	H	H	A	Data	Memory Access

Tabel 8/4.2-70: Waarheidstabel van de 63RA481(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TYP†	COMMERCIAL				MILITARY				UNIT
			63RA481A		63RA481		53RA481A		53RA481		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
V_{CC}	Supply voltage	5.0	4.75	5.25	4.75	5.25	4.5	5.5	4.5	5.5	V
T_A	Operating free-air temperature	25	0	75	0	75	-55	125	-55	125	°C
t_w	Width of clock (High or Low)	10	20		20		20		20		ns
t_{prw} t_{clrw}	Width of preset or clear (Low) to Output (High or Low)	10	20		20		20		20		ns
t_{prr} t_{clrr}	Recovery from preset or clear (Low) to clock High	11	20		20		25		25		ns
t_s (A)	Setup time from address to clock	22	30		35		35		45		ns
t_s ($\overline{ES}$)	Setup time from $\overline{ES}$ to clock	7	10		10		15		15		ns
t_h (A)	Hold time from address to clock	-5	0		0		0		0		ns
t_h ($\overline{ES}$)	Hold time from $\overline{ES}$ to clock	-3	5		5		5		5		ns

Tabel 8/4.2-72: Aanbevolen bedrijfscondities van de 63RA481(A).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC}			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-40	μA
I_{OZH}	Off-state output current	V_{CC} = MAX	V_O = 2.4 V			40	μA
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V	-20		-90	mA
I_{CC}	Supply Current	V_{CC} = MAX	All inputs TTL; all outputs open.		130	180	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typical at 5.0 V V_{CC} and 25° C T_A.

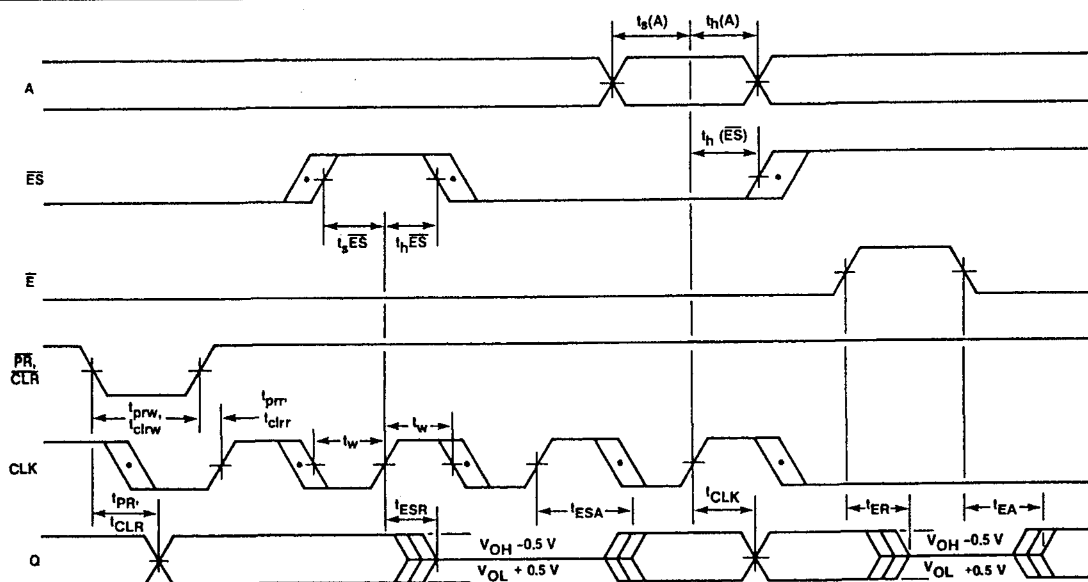
Tabel 8/4.2-73: Elektrische kenmerken van de 63RA481(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TYP†	COMMERCIAL 63RA481A MIN	COMMERCIAL 63RA481A MAX	COMMERCIAL 63RA481 MIN	COMMERCIAL 63RA481 MAX	MILITARY 53RA481A MIN	MILITARY 53RA481A MAX	MILITARY 53RA481 MIN	MILITARY 53RA481 MAX	UNIT
t_{CLK}	Clock to output Delay	11		15		20		20		25	ns
t_{ESA}	Clock to output access time ($\overline{ES}$)	14		25		30		30		35	ns
t_{ESR}	Clock to output recovery time ($\overline{ES}$)	14		25		30		30		35	ns
t_{EA}	Enable to output access time ($\overline{E}$)	10		20		30		25		35	ns
t_{ER}	Disable to output recovery time ($\overline{E}$)	10		20		30		25		35	ns
t_{PR}	Preset to output delay ($\overline{PR}$)	15		25		25		25		30	ns
t_{CLR}	Clear to output delay ($\overline{CLR}$)	18		25		30		35		40	ns

† Typical at 5.0 V V_{CC} and 25 °C T_A.

Tabel 8/4.2-74: Schakeltijden van de 63RA481(A).



NOTES:
1. Input pulse amplitude 0 V to 3.0 V.
2. Input rise and fall times 2-5 ns from 0.8 V to 2.0 V.
3. Input access measured at the 1.5 V level.
4. Switch S_1 is closed. C_L = 30 pF and outputs measured at 1.5 V output level for all tests except t_{ESA} and t_{ESR}.
5. t_{EA} and t_{ESA} are measured at the 1.5 V output level with C_L = 30 pF. S_1 is open for high impedance to "1" test, and closed for high impedance to "0" test.
t_{ER} and t_{ESR} is tested with C_L = 5 pF. S_1 is open for "1" to high impedance test, measured at V_{OH} -0.5 output level; S_1 is closed for "0" to high impedance test measured at V_{OL} + 0.5V output level.

Figuur 8/4.2-37: Golfvormen en timing bij de 63RA481(A).

63RS881, 63RS881A

1024 x 8 TiW Registered PROM

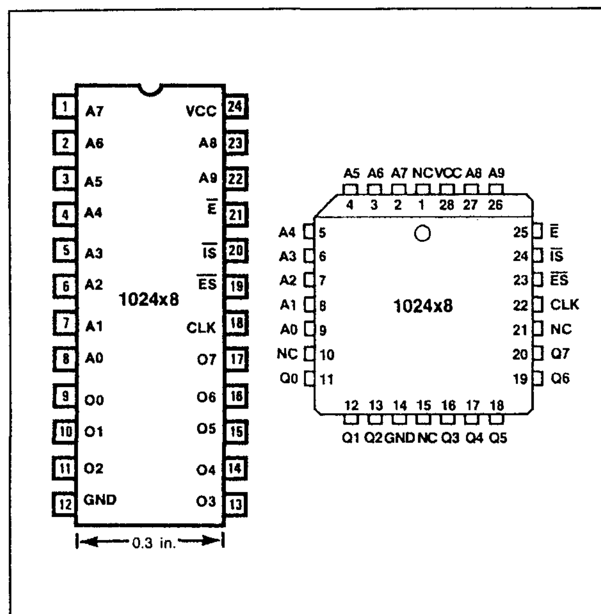
De 63RS881(A) is een 8 k PROM met TiW zekeringen in een 1024 x 8 bit organisatie met D-type uitgangsregisters en synchroon of asynchroon enablede 3-state uitgangen. Bovendien is er een programmeerbare initialisatie. De PROM is verkrijgbaar in een 24-pens skinny-DIP behuizing of in een 28-pens LCC. Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De 63RS881A is de verbeterde (enhanced) versie van de gewone 63RS881.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

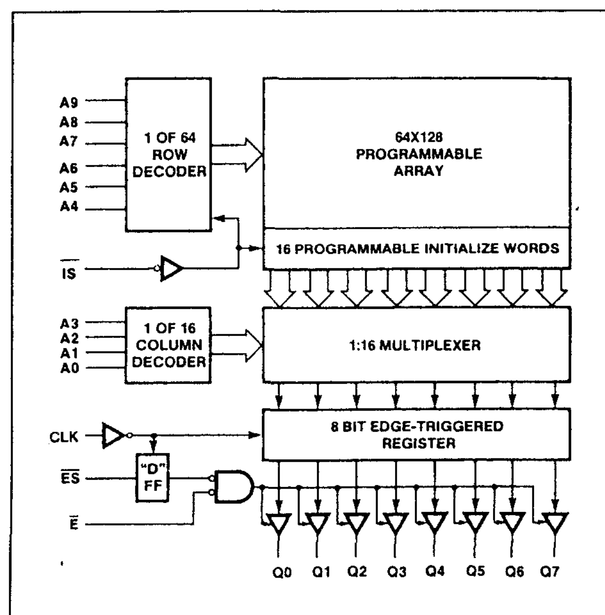
Data wordt op de stijgende flank van de clock in de uitgangsregisters opgeslagen. Als zowel de asynchrone $\overline{E}$ als de synchrone $\overline{ES}$ LAAG zijn verschijnt de data aan de uitgangen. Voordat de stijgende flank van de clock optreedt wordt data in de registers niet beïnvloed door veranderende adressen of synchrone enable-signalen. Door de synchrone en asynchrone enable-signalen is geheugenuitbreiding en data-besturing zeer flexibel. De uitgangen mogen op elk moment hoog-impedant worden gemaakt door $\overline{E}$ HOOG te maken of als $\overline{ES}$ al HOOG is wanneer de clock HOOG gaat. Als eerst V_{CC} wordt aangelegd zal de synchrone enable flip-flop in de set-conditie komen waardoor de uitgangen hoog-impedant zullen zijn.
Door de flexibele initialisatie kunnen de opstart- en de time-out volgorde met 1:16 programmeerbare woorden in de uitgangsregisters worden geladen. Als de synchrone INITIALIZE-pen ($\overline{IS}$) LAAG is kan één van de 16 kolom-woorden (A3 tot en met A0) in de uitgangsregisters worden gezet, onafhankelijk van de rij-adressen (A9 tot en met A4). De niet-geprogrammeerde toestand van de $\overline{IS}$-woorden is LAAG en geeft een CLEAR bij LAGE $\overline{IS}$. Zijn alle $\overline{IS}$-kolomwoorden (A3 tot en met A0) met hetzelfde patroon geprogrammeerd, dan zal de $\overline{IS}$-functie onafhankelijk zijn van zowel de rij- als de kolomadressering en kan dan gebruikt worden als éénpens besturing.
Als alle $\overline{IS}$-woorden HOOG zijn geprogrammeerd, wordt een PRESET-functie uitgevoerd.

Specificaties

- 1024 x 8 bit organisatie
- edge-triggered D-registers
- synchrone en asynchrone enables
- handige 1:16 initialisatie-woorden
- betrouwbare TiW doorbrandbare verbindingen
- 3-state uitgangen
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-38: Aansluitingen van de 63RS881(A).



Figuur 8/4.2-39: Functioneel blokschema van de 63RS881(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

	Operating	Programming
Supply voltage V_{CC}	−0.5 V to 7 V	12 V
Input voltage	−1.5 V to 7 V	7 V
Input current	−30 mA to +5 mA	
Off-state output voltage	−0.5 V to 5.5 V	12 V
Storage temperature	−65°C to +150°C	

Tabel 8/4.2-75: Maximaal toegelaten waarden van de 63RS881(A).

SYMBOL	PARAMETER	TYP†	MILITARY				COMMERCIAL				UNIT
			53RS881A		53RS881		63RS881A		63RS881		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_w	Width of clock (high or low)	10	20		20		20		20		ns
$t_{s(A)}$	Setup time from address to clock	25	40		45		30		35		ns
$t_{s(\overline{ES})}$	Setup time from $\overline{ES}$ to clock	8	15		15		15		15		ns
$t_{s(\overline{IS})}$	Setup time from $\overline{IS}$ to clock	20	30		35		25		30		ns
$t_{h(A)}$	Hold time address to clock	−5	0		0		0		0		ns
$t_{h(\overline{ES})}$	Hold time ($\overline{ES}$)	−3	5		5		5		5		ns
$t_{h(\overline{IS})}$	Hold time ($\overline{IS}$)	−5	0		0		0		0		ns
V_{CC}	Supply voltage	5	4.5	5.5	4.5	5.5	4.75	5.25	4.75	5.25	V
T_A	Operating free-air temperature	25	−55	125	−55	125	0	75	0	75	°C

Tabel 8/4.2-76: Aanbevolen bedrijfscondities van de 63RS881(A).

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-40	μA
I_{OZH}	Off-state output current	V_{CC} = MAX	V_O = 2.4 V			40	μA
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V	-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL; all outputs open			130	180	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

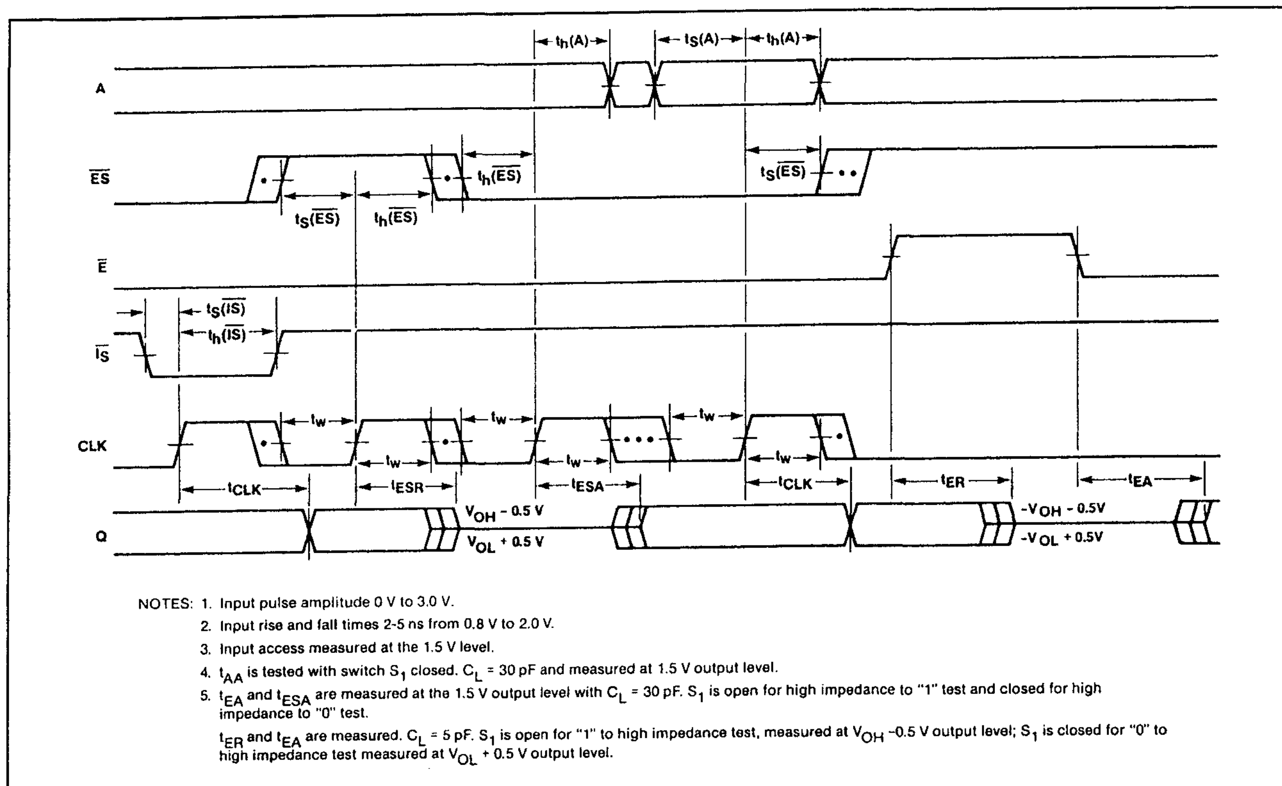
† Typicals at 5.0 V, V_{CC} and 25°C T_A.

Tabel 8/4.2-77: Elektrische kenmerken van de 63RS881(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TYP	MILITARY				COMMERCIAL				UNIT
			53RS881A		53RS881		63RS881A		63RS881		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{CLK}	Clock to output Delay	10		20		25		15		20	ns
t_{ESA}	Clock to output access time ($\overline{ES}$)	18		30		35		25		30	ns
t_{ESR}	Clock to output recovery time ($\overline{ES}$)	17		30		35		25		30	ns
t_{EA}	Enable to output access time ($\overline{E}$)	18		30		35		25		30	ns
t_{ER}	Disable to output recovery time ($\overline{E}$)	17		30		35		25		30	ns

Tabel 8/4.2-78: Schakeltijden van de 63RS881(A).



Figuur 8/4.2-40: Golfvormen en timing bij de 63RS881(A).

3RA1681, 63RA1681A
2048 x 8 TiW Registered PROM met asynchrone enable

De 63RA1681(A) is een 2 k x 8 PROM met TiW zekeringen met D-type uitgangsregisters, een asynchrone enable-ingang en een flexibele startup volgorde door middel van programmeerbare initialisatie-woorden. De PROM wordt geleverd in een 24-pens skinny-DIP behuizing of in een 28-pens LCC.

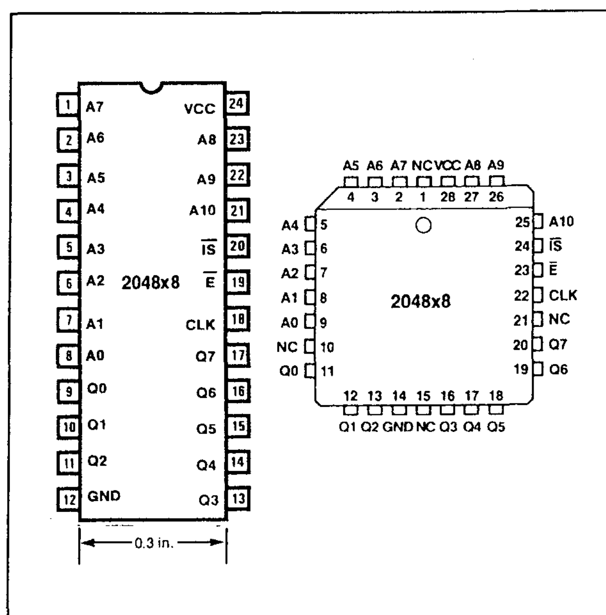
Intacte TiW zekeringen leveren een logisch LAAG op en kunnen HOOG worden geprogrammeerd. De 63RA1681A is een verbeterde (enhanced) versie van de gewone 63RA1681.

Data gaat op de stijgende flank van de clock naar de uitgangsregisters. Als de asynchrone enable $\overline{E}$ LAAG is verschijnt de data aan de uitgangen. Voordat de stijgende flank van de clock optreedt wordt data in de registers

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

niet beïnvloed door veranderende adressen. Door het asynchrone enable-signaal zijn geheugenuitbreiding en data-besturing zeer flexibel. De uitgangen mogen op elk moment hoog-impedant worden gemaakt door $\overline{E}$ HOOG te maken.

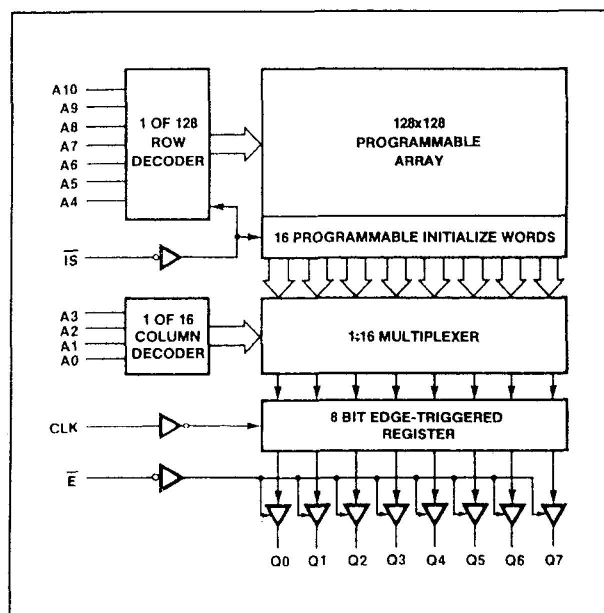
Door de flexibele initialisatie kunnen de opstart en time-out volgorde met 1:16 programmeerbare woorden in de uitgangsregisters worden geladen. Als de synchrone INITIALIZE-pen ($\overline{IS}$) LAAG is kan één van de 16 kolom-woorden (A3 tot en met A0) in de uitgangsregisters worden gezet, onafhankelijk van de rij-adressen (A10 tot en met A4). Als alle $\overline{IS}$-kolomwoorden (A3 tot en met A0) met hetzelfde patroon zijn geprogrammeerd, zal de $\overline{IS}$-functie onafhankelijk zijn van zowel de rij- als de kolom-adressering en kan dan gebruikt worden als éénpens besturing. Als alle $\overline{IS}$-woorden HOOG zijn geprogrammeerd, wordt een PRESET-functie uitgevoerd. De niet-geprogrammeerde toestand van de $\overline{IS}$-woorden is LAAG en geeft een CLEAR bij LAGE $\overline{IS}$.



Figuur 8/4.2-41: Aansluitingen van de 63RA1681(A).

Specificaties

- 2048 x 8 bit organisatie
- edge-triggered D-registers
- asynchrone output-enable
- handige 1:16 initialisatie-woorden
- betrouwbare TiW doorbrandbare verbindingen
- 3-state uitgangen
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-42: Functioneel blokschema van de 63RA1681(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65°C to +150°C	

Tabel 8/4.2-79: Maximaal toegelaten waarden van de 63RA1681(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TYP†	MILITARY				COMMERCIAL				UNIT
			53RA1681A		53RA1681		63RA1681A		63RA1681		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_w	Width of clock (high or low)	10	20		20		20		20		ns
$t_{s(A)}$	Setup time from address to clock	28	40		45		35		40		ns
$t_{s(\overline{IS})}$	Setup time from $\overline{IS}$ to clock	20	30		35		25		30		ns
$t_{h(A)}$	Hold time address to clock	−5	0		0		0		0		ns
$t_{h(\overline{IS})}$	Hold time ($\overline{IS}$)	−5	0		0		0		0		ns
V_{CC}	Supply voltage	5	4.5	5.5	4.5	5.5	4.75	5.25	4.75	5.25	V
T_A	Operating free-air temperature	25	−55	125	−55	125	0	75	0	75	°C

Tabel 8/4.2-80: Aanbevolen bedrijfscondities van de 63RA1681(A).

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18 mA			−1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = −2 mA	2.4			V
			COM I_{OH} = −3.2 mA				
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			−40	μA
I_{OZH}			V_O = 2.4 V			40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V	−20		−90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL; all outputs open			140	185	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typical at 5.0 V V_{CC} and 25°C T_A.

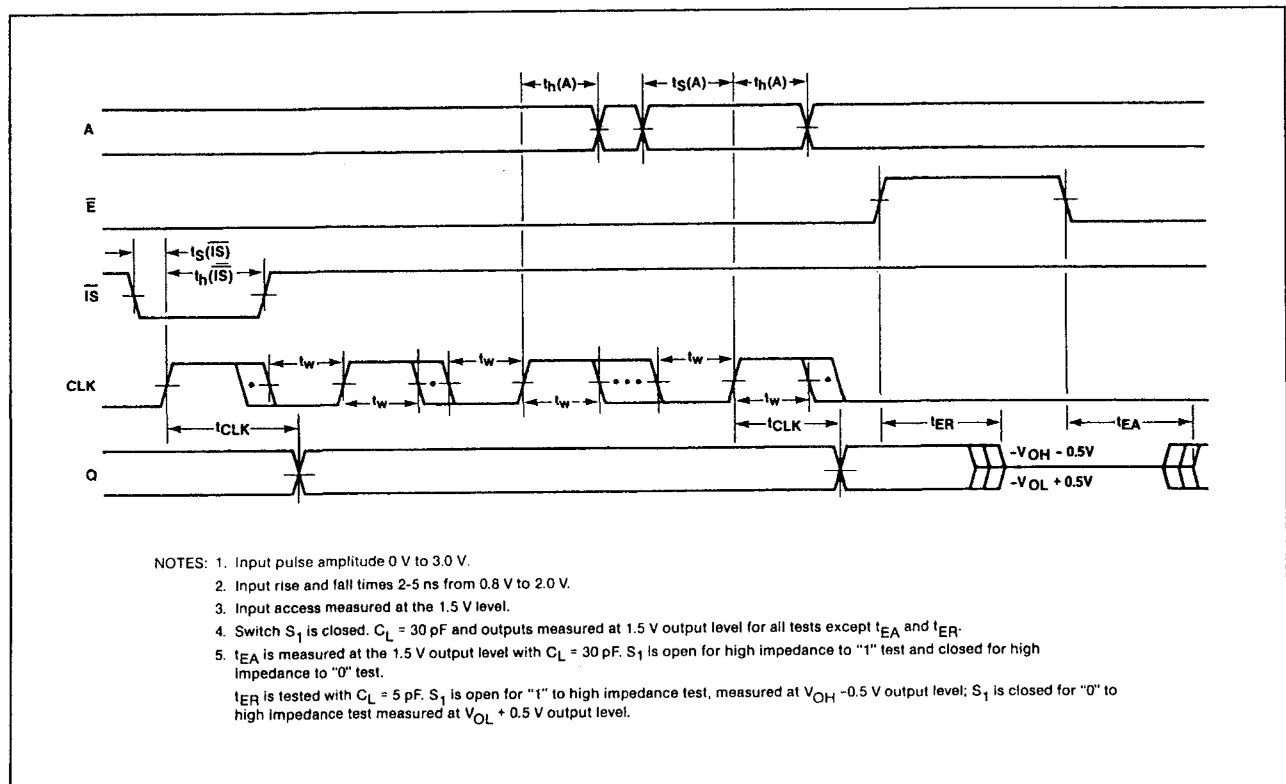
Tabel 8/4.2-81: Elektrische kenmerken van de 63RA1681(A).

SYMBOL	PARAMETER	TYP†	MILITARY				COMMERCIAL				UNIT
			53RA1681A		53RA1681		63RA1681A		63RA1681		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{CLK}	Clock to output Delay	10		20		25		15		20	ns
t_{EA}	Enable to output access time ($\overline{E}$)	15		30		35		25		30	ns
t_{ER}	Disable to output recovery time ($\overline{E}$)	15		30		35		25		30	ns

† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-82: Schakeltijden van de 63RA1681(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-43: Golfvormen en timing bij de 63RA1681(A).

63RS1681, 63RS1681A

2048 x 8 TiW Registered PROM met synchrone enable

De 63RS1681(A) is de tegenhanger van de 63RA1681(A). De 63RS1681(A) heeft immers een synchrone enable-ingang. Verder is de 63RS1681(A) gelijk: een 2 k x 8 PROM met TiW zekeringen met D-type uitgangsregisters en een flexibele startup volgorde door middel van programmeerbare initialisatiewoorden. De PROM heeft een 24-pens skinny-DIP behuizing of een 28-pens LCC. De 63RS1681A is weer de verbeterde (enhanced) versie van de gewone 63RS1681.

Data gaat op de stijgende flank van de clock naar de uitgangsregisters en verschijnt aan de uitgangen als de synchrone enable $\overline{SE}$ LAAG is. Voordat de clock HOOG gaat wordt data in de registers niet beïnvloed door veranderende adressen of de synchrone enable-ingang. Door het synchrone enablesignaal zijn geheugenuitbreiding en databesturing zeer flexibel. De uitgangen mogen hoog-impedant worden gemaakt door $\overline{SE}$ HOOG te maken voordat de clock HOOG gaat. Als eerst V_{CC} wordt aangelegd zal de synchrone enable flip-flop in de set-conditie komen waardoor de uitgangen hoogimpedant zullen zijn.

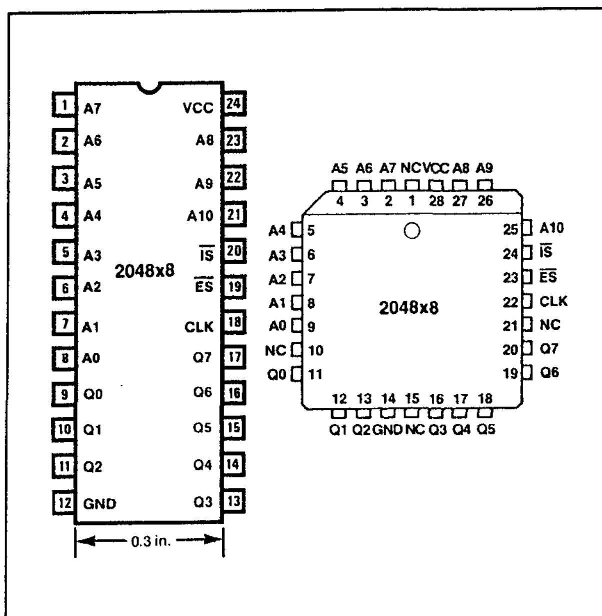
Door de flexibele initialisatie kunnen de opstart en time-out volgorde met 1:16 programmeerbare woorden in de uitgangsregisters worden geladen. Als de synchrone INITIALIZE-pen ($\overline{IS}$) LAAG is kan één van de 16 kolom-woorden (A3 tot en met A0) in de uitgangsregisters worden gezet, onafhankelijk van de rij-adressen (A10 tot en met A4). Als alle $\overline{IS}$-kolomwoorden (A3 tot en met A0) gelijkvormig zijn geprogrammeerd, zal de $\overline{IS}$-functie onafhankelijk zijn van zowel de rij- als de kolom-adressering en kan dan gebruikt worden als éénpens besturing. Als alle $\overline{IS}$-woorden HOOG zijn geprogrammeerd, wordt een PRESET-functie uitgevoerd. De

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

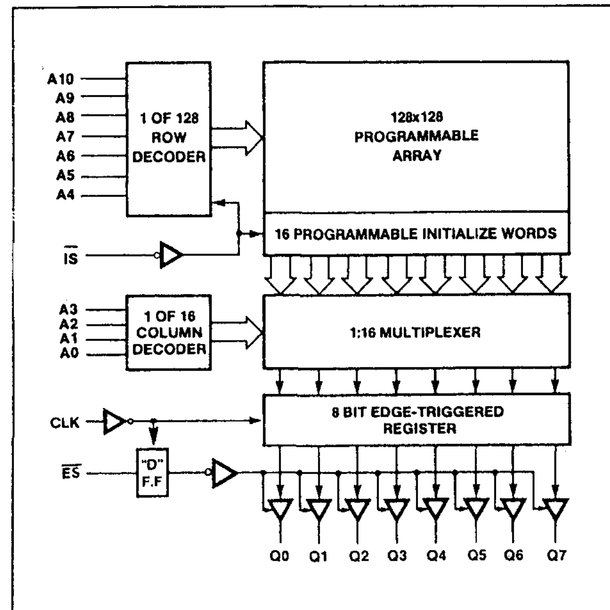
niet-geprogrammeerde toestand van de $\overline{IS}$-woorden is LAAG en geeft een CLEAR bij LAGE $\overline{IS}$.

Specificaties

- 2048 x 8 bit organisatie
- edge-triggered D-registers
- synchrone output-enable
- handige 1:16 initialisatie-woorden
- betrouwbare TiW doorbrandbare verbindingen
- 3-state uitgangen
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- fabrikant: Monolithic Memories



Figuur 8/4.2-44: Aansluitingen van de 63RS1681(A).



Figuur 8/4.2-45: Functioneel blokschema van de 63RS1681(A).

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65°C to +150°C	

Tabel 8/4.2-83: Maximaal toegelaten waarden van de 63RS1681(A).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	TYP†	MILITARY				COMMERCIAL				UNIT
			53RS1681A		53RS1681		63RS1681A		63RS1681		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_w	Width of clock (high or low)	10	20		20		20		20		ns
$t_{s(A)}$	Setup time from address to clock	28	40		45		35		40		ns
$t_{s(\overline{ES})}$	Setup time from $\overline{ES}$ to clock	7	15		15		15		15		ns
$t_{s(\overline{IS})}$	Setup time from $\overline{IS}$ to clock	20	30		35		25		30		ns
$t_{h(A)}$	Hold time address to clock	-5	0		0		0		0		ns
$t_{h(\overline{ES})}$	Hold time $(\overline{ES})$	-3	5		5		5		5		ns
$t_{h(\overline{IS})}$	Hold time $(\overline{IS})$	-5	0		0		0		0		ns
V_{CC}	Supply voltage	5	4.5	5.5	4.5	5.5	4.75	5.25	4.75	5.25	V
T_A	Operating free-air temperature	25	-55	125	-55	125	0	75	0	75	°C

Tabel 8/4.2-84: Aanbevolen bedrijfscondities van de 63RS1681(A).

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-40	μA
I_{OZH}			V_O = 2.4 V			40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V	-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL; all outputs open			140	185	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
† Typical at 5.0 V V_{CC} and 25°C T_A.

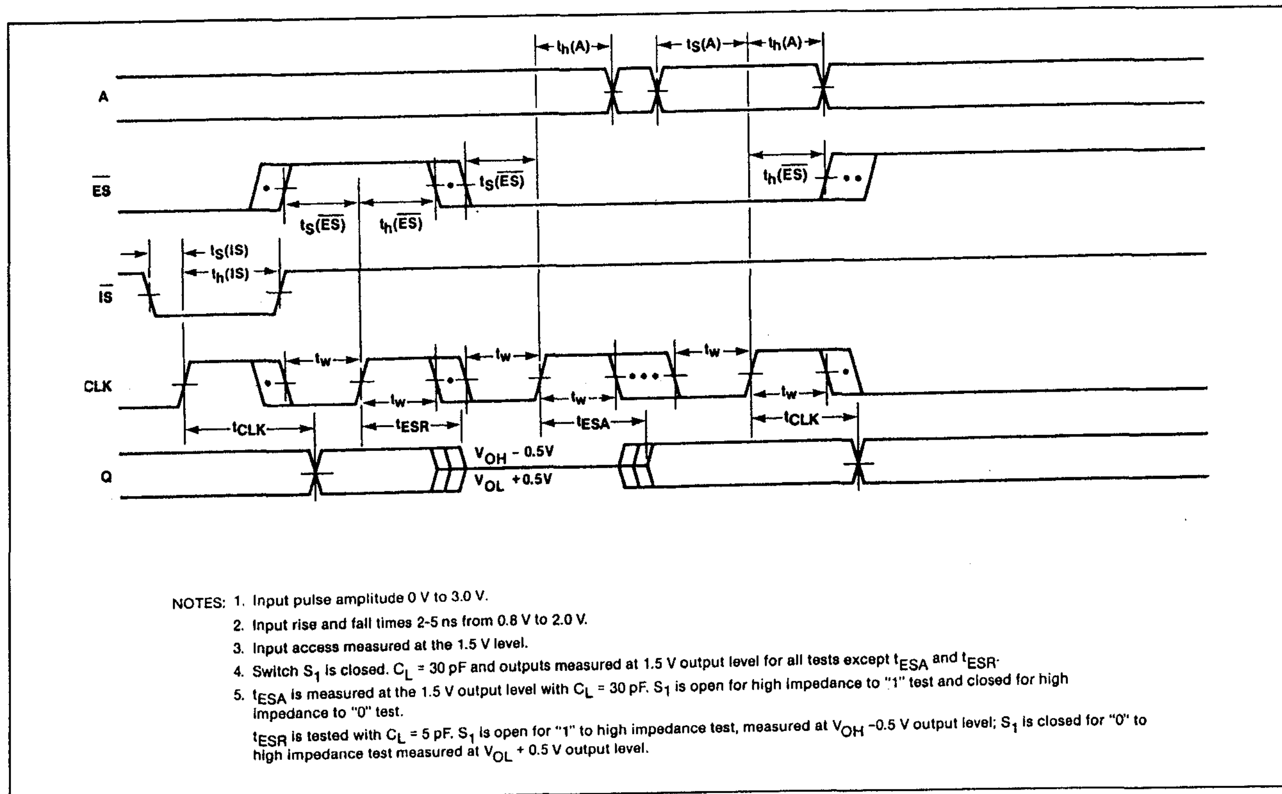
Tabel 8/4.2-85: Elektrische kenmerken van de 63RS1681(A).

SYMBOL	PARAMETER	TYP†	MILITARY				COMMERCIAL				UNIT
			53RS1681A		53RS1681		63RS1681A		63RS1681		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{CLK}	Clock to output Delay	10		20		25		15		20	ns
t_{ESA}	Clock to output access time $(\overline{ES})$	15		30		35		25		30	ns
t_{ESR}	Clock to output recovery time $(\overline{ES})$	15		30		35		25		30	ns

† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-86: Schakeltijden van de 63RS1681(A).

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-46: Golfvormen en timing bij de 63RS1681(A).

3DA441, 63DA442
1024 x 4 TiW Registered PROM met diagnostiek

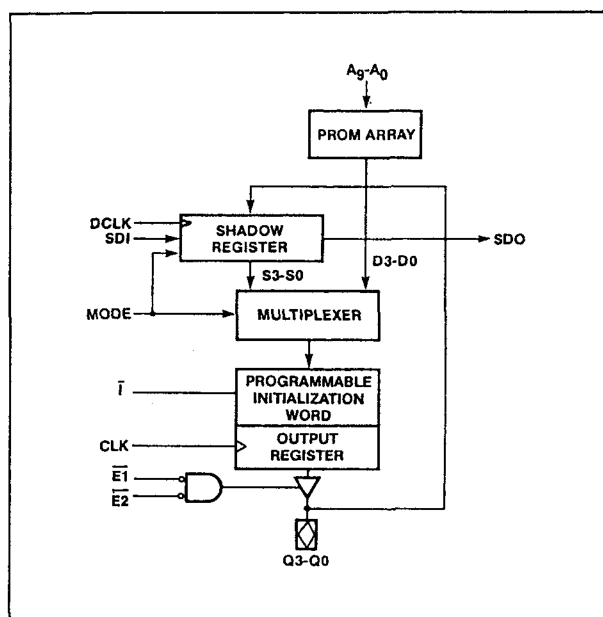
De 63DA441 en 63DA442 zijn 1 k x 4 PROM's met uitgangsregisters, programmeerbare asynchrone initialisatie, 3-state uitgangen met 2 enables en een schaduwregister voor diagnostische doeleinden. Het schaduwregister maakt het mogelijk om het systeem te observeren en besturen zonder dat er niet-toegestane toestanden ontstaan. Het uitgangsregister (dat parallelle data uit de PROM of uit het schaduwregister kan opnemen) wordt geladen op de stijgende flank van de clock. Het schaduwregister (dat parallelle data uit het uitgangsregister of seriële data uit SDI kan opnemen) wordt geladen op de stijgende flank van DCLK. Als de uitgangsdrivers gesperd zijn, ontvangt het schaduwregister parallelle data van de uitgangsbus.

Tijdens de diagnostiek kan data (die uit het PROM-array in het uitgangsregister is geladen) parallel in het schaduwregister worden geladen en in serie via SDO worden uitgeschoven, waardoor observatie van het systeem mogelijk is. Ook kan diagnostische data via SDI in serie in het schaduwregister worden geschoven en parallel in het uitgangsregister worden geladen. Aangezien het uitgangsregister en het schaduwregister door verschillende signalen worden geladen, kunnen zij onafhankelijk van elkaar werken. Daarnaast kunnen diagnostische PROM's in cascade worden geschakeld om zodoende brede besturingswoorden te vormen zoals die bij microprogrammering worden gebruikt. Indien nodig kan met het initialisatie-signaal een door de gebruiker programmeerbaar initialisatie-woord in het uitgangsregister worden gezet, onafhankelijk van de toestand van CLK. Deze mogelijkheid is een superset

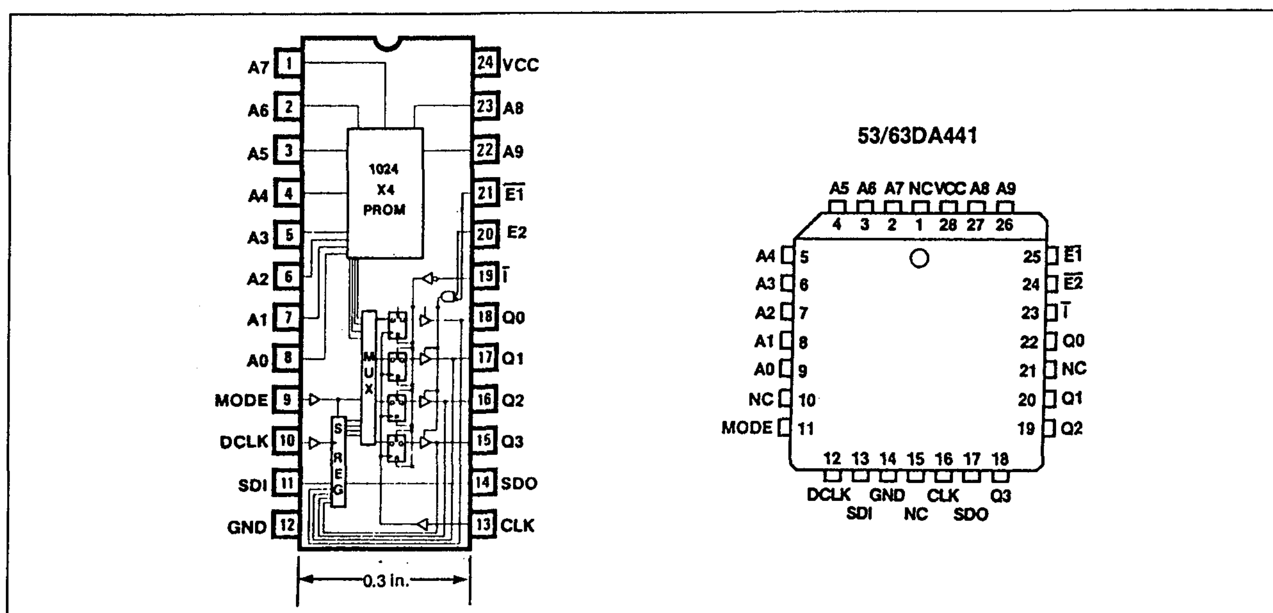
van de preset- en clear-functies en kan worden gebruikt om een aparte micro-instructie voor systeem-reset of interrupt te genereren. De 63DA441 en 63DA442 verschillen alleen wat betreft de output-enable structuur.
De 63DA441 heeft 2 asynchrone output-enables $\overline{E1}$ en $\overline{E2}$. De uitgangen worden vrijgegeven als deze allebei LAAG zijn. De 63DA442 heeft 1 asynchrone output-enable $\overline{E}$ en 1 synchrone $\overline{ES}$. De uitgangen worden vrijgegeven als $\overline{E}$ LAAG is en $\overline{ES}$ LAAG is tijdens de stijgende flank van CLK. De PROM's zijn leverbaar in een 24-pens skinny-DIP behuizing of een 28-pens LCC.

Specificaties

- 1024 x 4 bit organisatie
- edge-triggered D-registers
- programmeerbare asynchrone output-initialisatie
- TiW doorbrandbare verbindingen
- 3-state uitgangen met 2 enables
- geschikt voor systeem-diagnostiek
- schaduwregister voorkomt schuif-fouten
- grotere woorden mogelijk door cascade-schakeling
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- uitgangsstroom: 24 mA
- fabrikant: Monolithic Memories

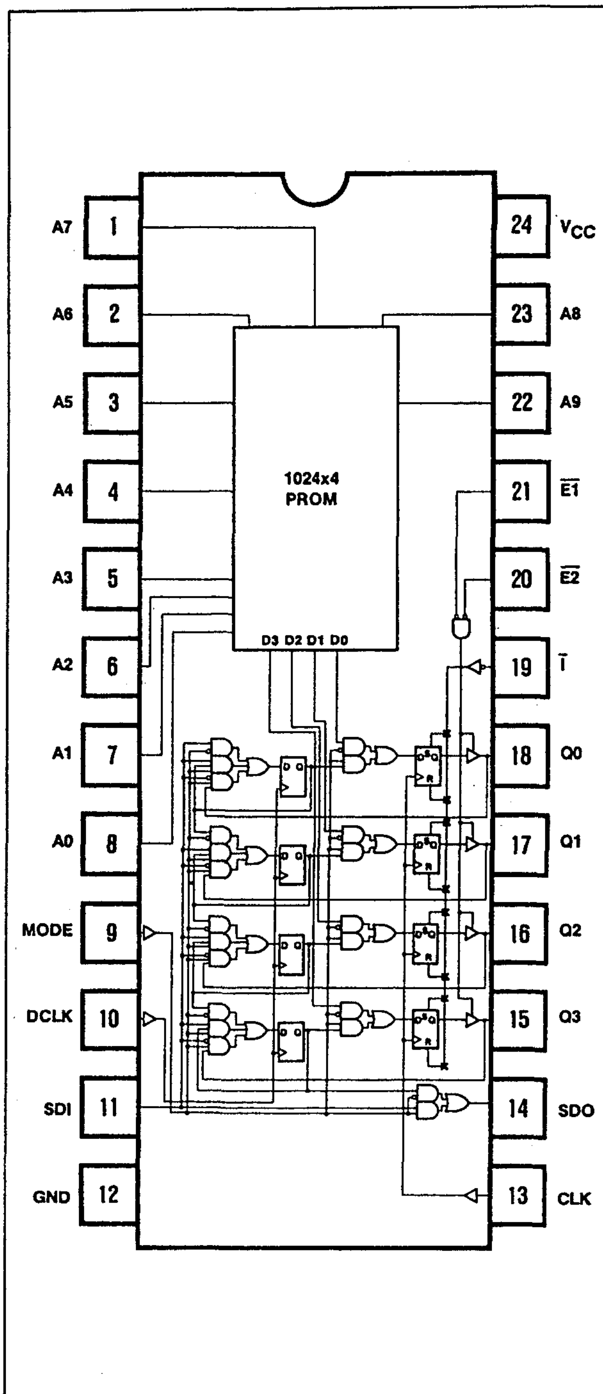


Figuur 8/4.2-48: Functioneel blokschema van de 63DA441.



Figuur 8/4.2-47: Aansluitingen van de 63DA441.

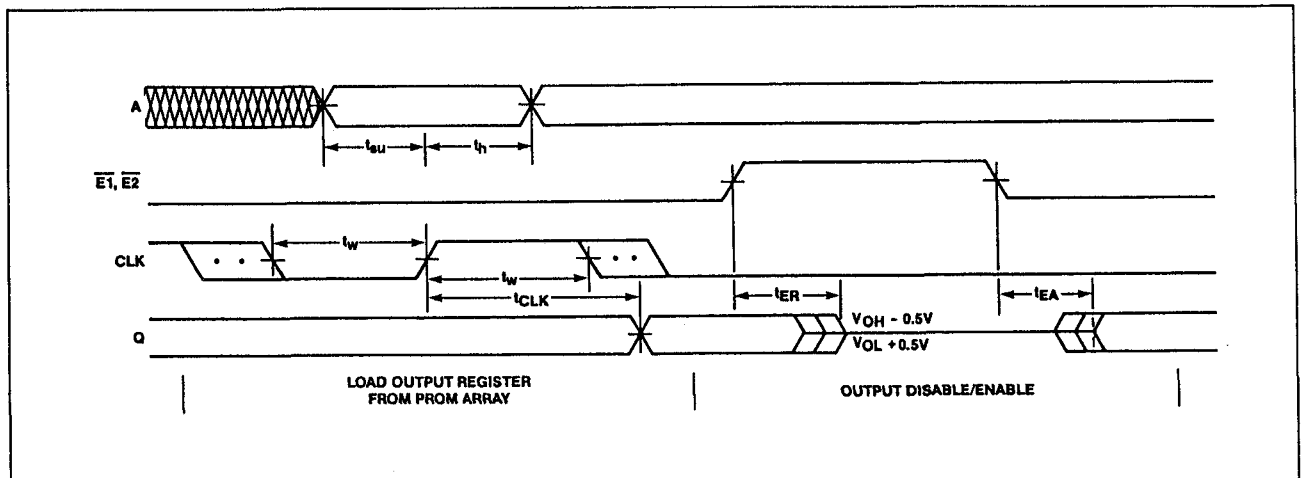
10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



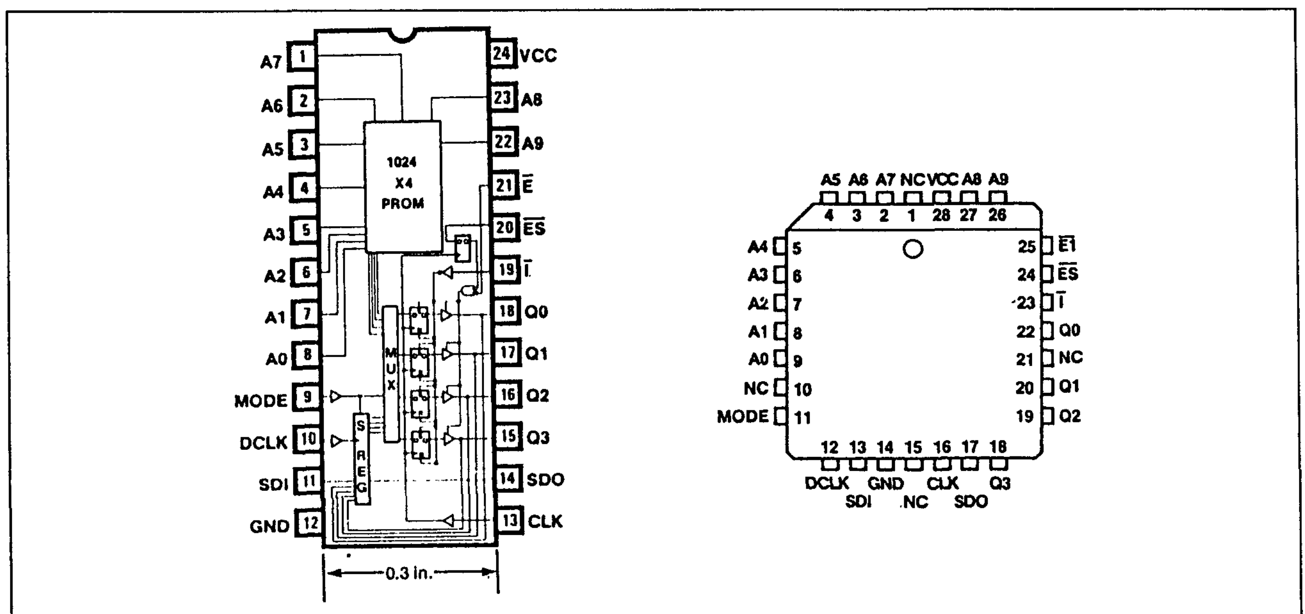
Figuur 8/4.2-49: Logisch schema van de 63DA441.

(wordt vervolgd)

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

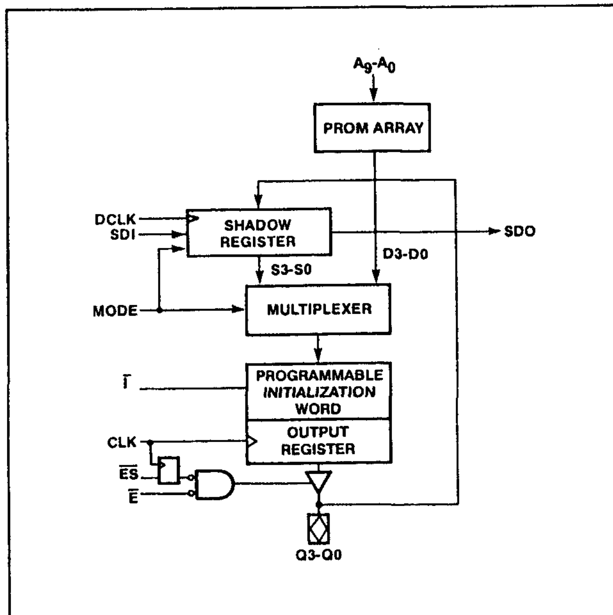


Figuur 8/4.2-50: Timing bij normaal PROM-bedrijf van de 63DA441 (Mode = LAAG, Ī = HOOG).

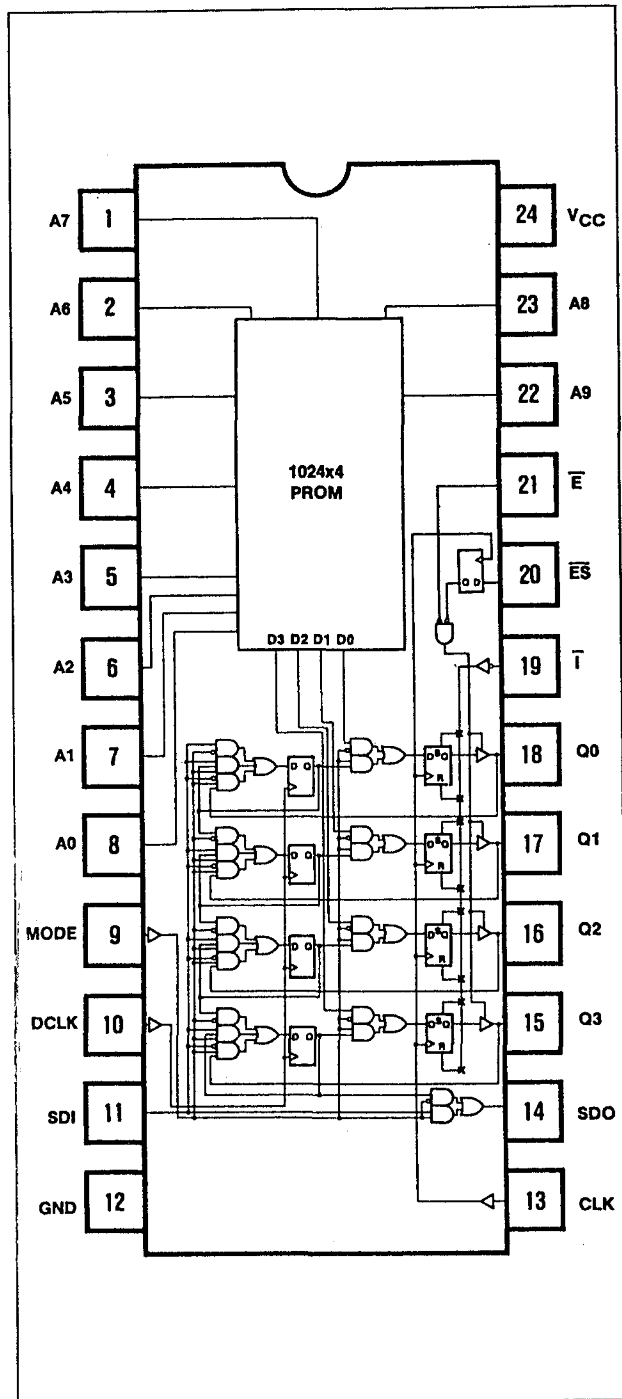


Figuur 8/4.2-51: Aansluitingen van de 63DA442.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

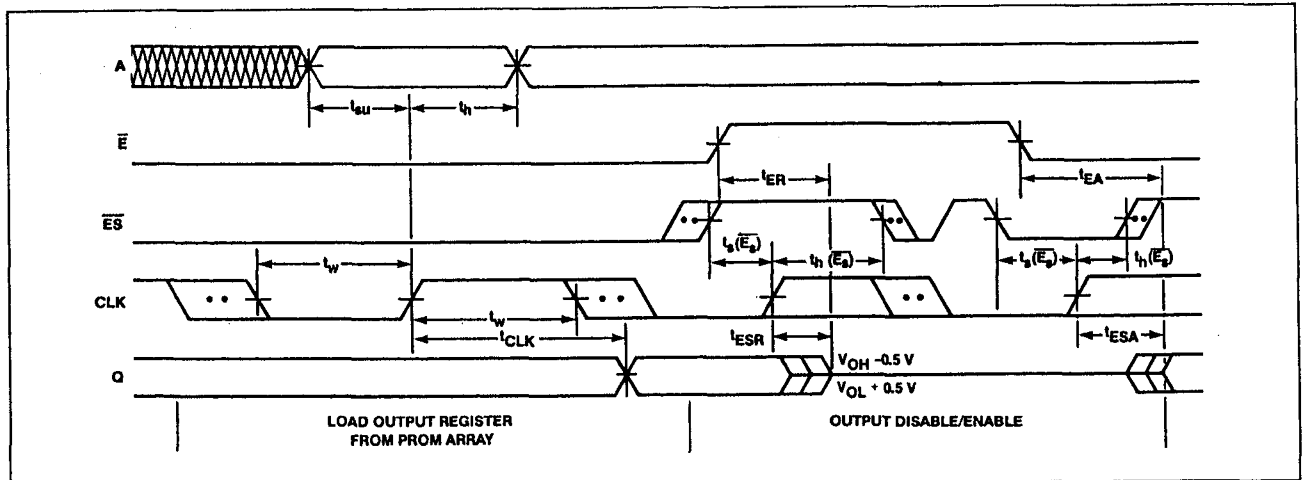


Figuur 8/4.2-52: Functioneel blokschema van de 63DA442.



Figuur 8/4.2-53: Logisch schema van de 63DA442.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-54: Timing bij normaal PROM-bedrijf van de 63DA442 (Mode = LAAG, Ī = HOOG).

INPUTS				OUTPUTS			OPERATION
MODE	SDI	CLK	DCLK	Q3-Q0	S3-S0	SDO	
L	X	↑	*	Qn ← PROM	HOLD	S3	Load output register from PROM array
L	X	*	↑	HOLD	Sn ← Sn-1 S0 ← SDI	S3	Shift shadow register data
L	X	↑	↑	Qn ← PROM	Sn ← Sn-1 S0 ← SDI	S3	Load output register from PROM array while shifting shadow register data
H	X	↑	*	Qn ← Sn	HOLD	SDI	Load output register from shadow register
H	L	*	↑	HOLD	Sn ← Qn	SDI	Load shadow register from output bus
H	H	*	↑	HOLD	HOLD	SDI	No operation†

* Clock must be steady or falling.
† Reserved operation for SN54/74S818 8-Bit Diagnostic Register.

Tabel 8/4.2-87: Waarheidstabel van de 63DA441 en 63DA442.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

MODE	The MODE pin controls the output register multiplexer and the shadow register. When MODE is LOW, the output register receives data from the PROM array and the shadow register is configured as a shift register with SDI as its input. When MODE is HIGH, the output register receives data from the shadow register. The shadow register is controlled by SDI as well as MODE With MODE HIGH and SDI LOW, the shadow register receives parallel data from the output bus. With MODE and SDI both HIGH, the shadow register holds its present data.
SDI	The Serial Data In pin is the input to the least-significant bit of the shadow register when operating in the shift mode. SDI is also a control input to the shadow register when it is not in the shift mode.
SDO	The Serial Data Out pin is the output from the most significant bit of the shadow register when operating in the shift mode. When the shadow register is not in the shift mode, SDO displays the logic level present at SDI, decreasing serial shift time for cascaded diagnostic PROMs.
CLK	The clock pin loads the output register on the rising edge of CLK.
DCLK	The diagnostic clock pin loads or shifts the shadow register on the rising edge of DCLK.
Q3-Q0	Qn represents the data outputs of the output register. During a shadow register load with outputs enabled, these pins are the internal data inputs to the shadow register. With the outputs three-stated, these pins are external data inputs to the shadow register.
S3-S0	Sn represents the internal shadow register outputs.
A9-A0	An represents the address inputs to the PROM array.
$\overline{E1}$,$\overline{E2}$, $\overline{E}$	These Output Enable pin(s) operate independent of CLK. For 'D441, outputs are enabled if, and only if, both $\overline{E1}$ and $\overline{E2}$ are LOW. For 'D442, outputs are enabled only when $\overline{ES}$ is LOW at the last rising edge of CLK and $\overline{E}$ is LOW.
$\overline{ES}$	Synchronous Output Enable for 'DA442 only. Outputs are enabled only when $\overline{ES}$ is LOW at the last rising edge of CLK and $\overline{E}$ is LOW.
$\overline{I}$	The asynchronous output register initialization input pin operates independent of CLK. When $\overline{I}$ is LOW, the output register is loaded with a user-programmable initialization word. Programmable initialization is a super set of preset and clear functions, and can be used to generate any microinstruction system reset or interrupt.

Tabel 8/4.2-88: Functies van de signalen van de 63DA441 en 63DA442.

	Operating	Programming
Supply voltage V_{CC}	−0.5 V to 7 V	12 V
Input voltage	−1.5 V to 7 V	7 V
Input current	−30 mA to +5 mA	
Off-state output voltage	−0.5 V to 5.5 V	12 V
Storage temperature	−65° to +150° C	

Tabel 8/4.2-89: Maximaal toegelaten waarden van de 63DA441 en 63DA442.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55	25	125	0	25	75	°C
t_w	Width of CLK (HIGH or LOW)	25	10		20	10		ns
t_{su}	Setup time from address to CLK	45	25		35	25		ns
t_h	Hold time for CLK	0	-15		0	-15		ns
t_{wd}	Width of DCLK (HIGH or LOW)	35	15		25	15		ns
t_{sud}	Setup time from control inputs (SDI, MODE) to CLK, DCLK	50	20		40	20		ns
t_{hd}	Hold time for DCLK	0	-5		0	-5		ns
$t_s(\overline{ES})$	Setup time from $\overline{ES}$ to CLK ('DA442 only)	20	10		15	10		ns
$t_h(\overline{ES})$	Hold time ($\overline{ES}$) ('DA442 only)	5	0		5	0		ns
t_{iw}	Initialization pulse width (LOW)	25	10		20	10		ns
t_{ir}	Initialization recovery time	45	30		40	30		ns

Tabel 8/4.2-90: Aanbevolen bedrijfscondities van de 63DA441 en 63DA442.

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL I_{OL} = 16 mA COM I_{OL} = 24 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-100	μA
I_{OZH}	Off-state output current	V_{CC} = MAX	V_O = 2.4 V			40	μA
I_{OS}	Output short-circuit current*	V_{CC} = MAX	V_O = 0 V	-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All outputs open. All inputs TTL.			130	180	mA

† Typical at 5.0 V V_{CC} and 25° C T_A.

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

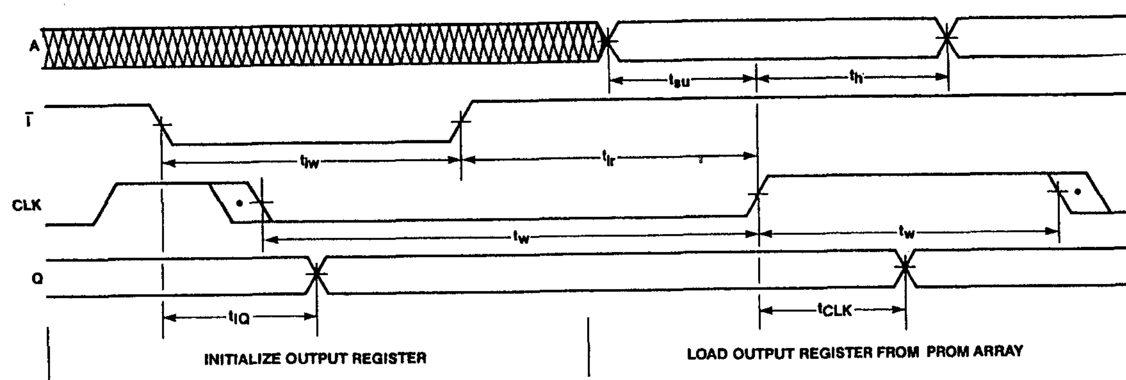
Tabel 8/4.2-91: Elektrische kenmerken van de 63DA441 en 63DA442.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
t_{CLK}	CLK to output		11	25		11	18	ns
t_{ER}	Disable time		14	30		14	25	ns
t_{EA}	Enable time		16	30		16	25	ns
t_{MAXD}	Maximum diagnostic clock frequency	7	20		10	20		MHz
t_{DS}	DCLK to SDO delay (MODE = LOW)		17	35		17	30	ns
t_{SS}	SDI to SDO delay (MODE = HIGH)		16	30		16	25	ns
t_{MS}	MODE to SDO delay		14	30		14	25	ns
t_{IQ}	Initialization to output delay		22	35		22	30	ns
t_{ESR}	CLK to output disable time ('DA442 only)		22	35		22	30	ns
t_{ESA}	CLK to output enable time ('DA442 only)		15	35		15	30	ns

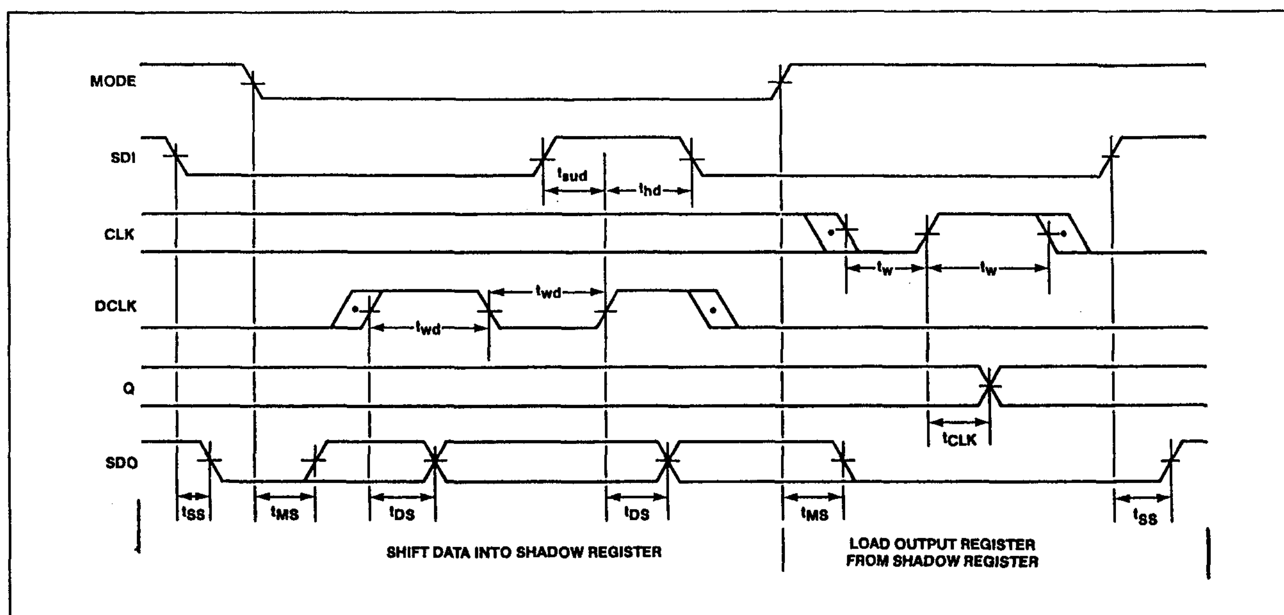
† Typical at 5.0 V V_{CC} and 25° C T_A

Tabel 8/4.2-92: Schakeltijden van de 63DA441 en 63DA442.

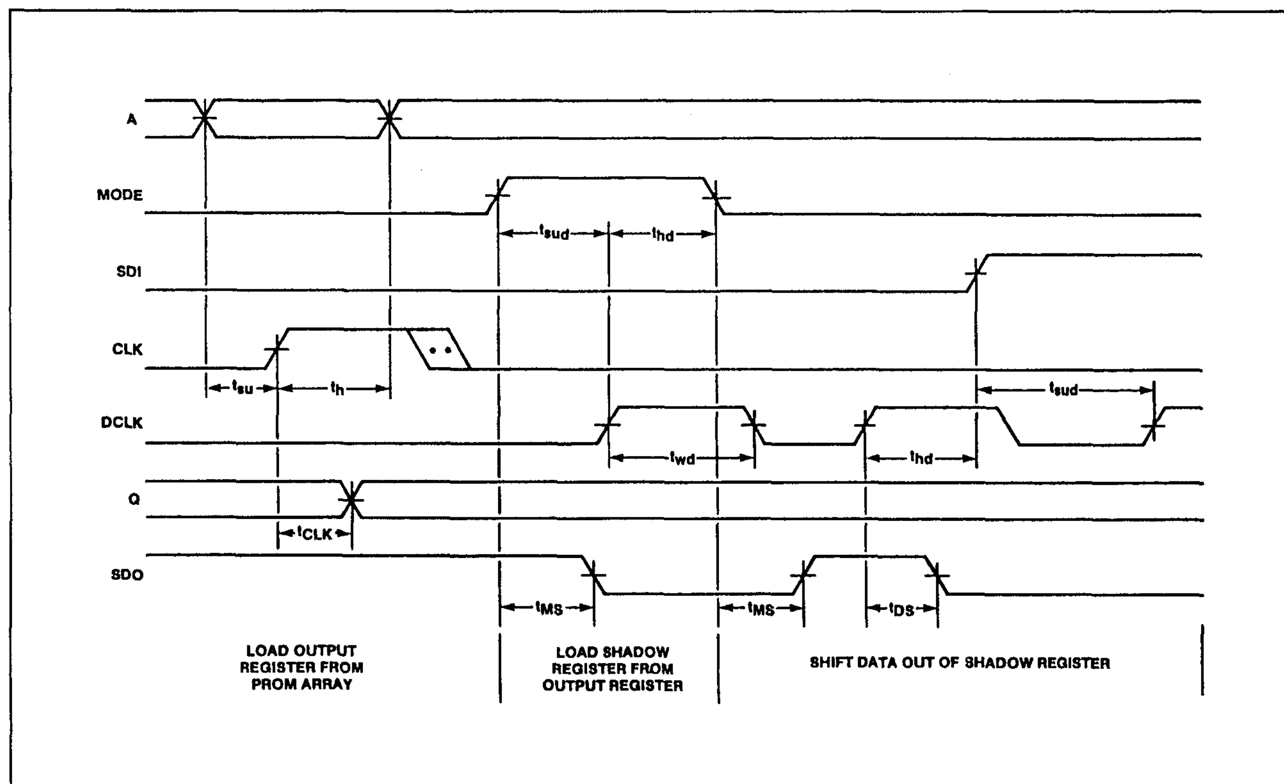


Figuur 8/4.2-55: Golfvormen en timing bij normaal PROM-bedrijf van de 63DA441 en 63DA442 (Mode = LAAG en outputs vrijgegeven).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-56: Golfvormen en timing bij systeem-besturing.



Figuur 8/4.2-57: Golfvormen en timing bij systeem-observatie.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

63DA841

2048 x 4 TiW Registered PROM met diagnostiek

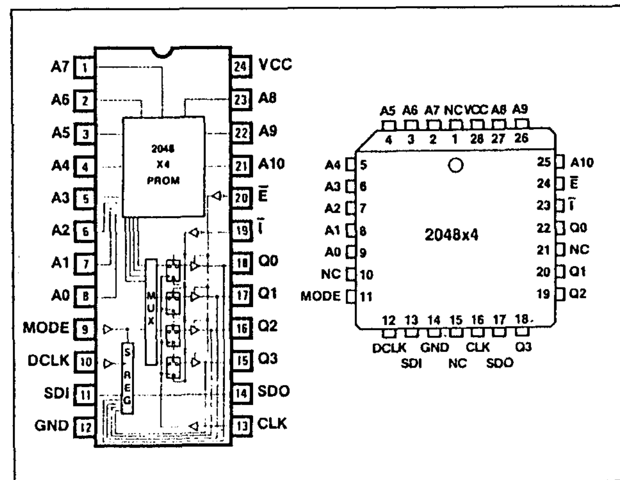
De 63DA841 is een 2 k x 4 PROM met uitgangsregisters, programmeerbare asynchrone initialisatie, 3-state uitgangen en een schaduwregister voor diagnostische doeleinden.

Het schaduwregister maakt het mogelijk om het systeem te observeren en besturen zonder dat er niet-toegestane toestanden ontstaan. Het uitgangsregister (dat parallelle data uit de PROM-array of uit het schaduwregister kan opnemen) wordt geladen op de stijgende flank van CLK. Het schaduwregister (dat parallelle data uit het uitgangsregister of seriële data uit SDI kan opnemen) wordt geladen op de stijgende flank van DCLK. Als de uitgangsdrivers gesperd zijn, ontvangt het schaduwregister zijn parallelle data van de uitgangsbus.

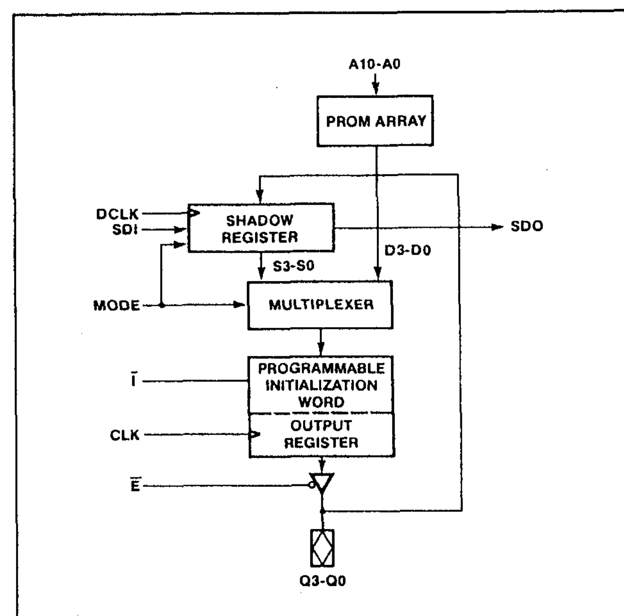
Tijdens de diagnostiek kan data (die uit het PROM-array in het uitgangsregister is geladen) parallel in het schaduwregister worden geladen en in serie via SDO worden uitgeschoven, waardoor observatie van het systeem mogelijk is. Ook kan diagnostische data via SDI in serie in het schaduwregister worden geschoven en parallel in het uitgangsregister worden geladen, waardoor besturing en testen van het systeem mogelijk is. Aangezien het uitgangsregister en het schaduwregister door verschillende signalen worden geladen, kunnen zij onafhankelijk van elkaar werken. Daarnaast kunnen diagnostische PROM's in cascade worden geschakeld om zodoende brede besturingswoorden te vormen zoals die bij microprogrammering worden gebruikt.

Indien nodig kan met het initialisatie-signaal een door de gebruiker programmeerbaar initialisatie-woord in het uitgangsregister worden gezet, onafhankelijk van de toestand van CLK.

Deze mogelijkheid is een superset van de preset- en clear-functies en kan worden gebruikt om een aparte micro-instructie voor systeem-reset of interrupt te genereren.



Figuur 8/4.2-58: Aansluitingen van de 63DA841.



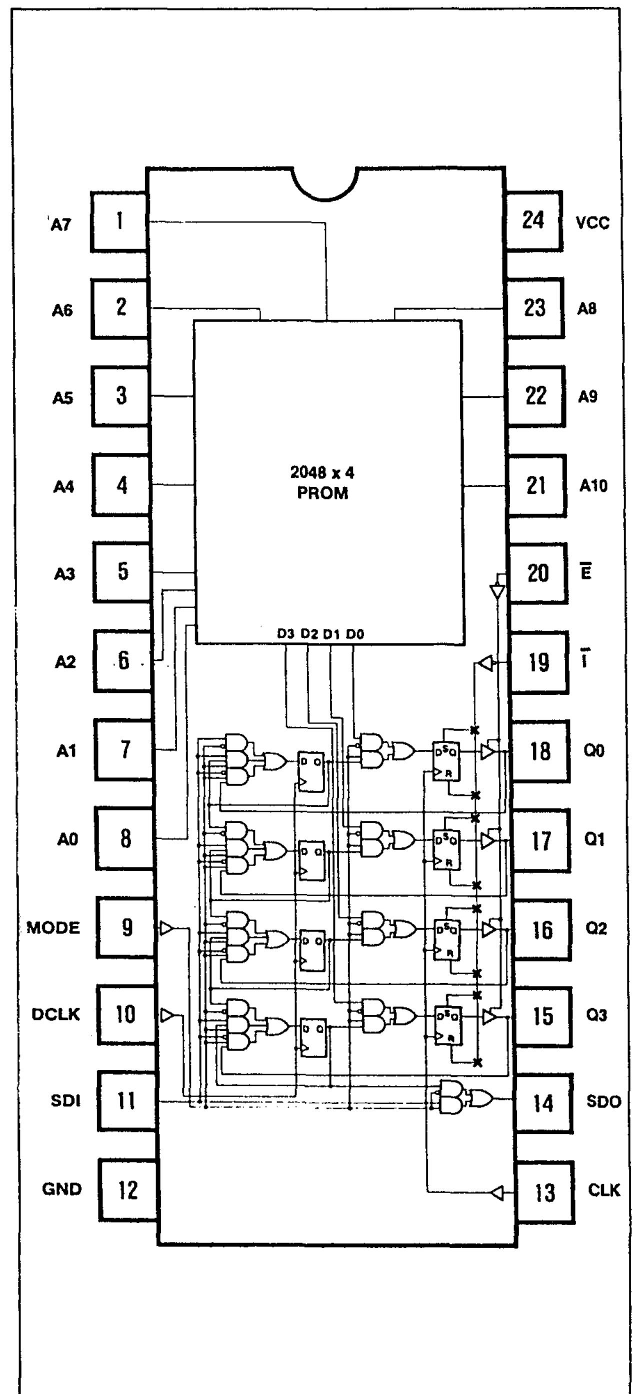
Figuur 8/4.2-59: Functioneel blokschema van de 63DA841.

Specificaties

- 2048 x 4 bit organisatie
- edge-triggered D-registers
- asynchrone output-enable
- programmeerbare asynchrone output-initialisatie
- TiW doorbrandbare verbindingen
- 3-state uitgangen
- geschikt voor systeem-diagnostiek
- schaduwregister voorkomt schuif-fouten

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

- grotere woorden mogelijk door cascade-schakeling
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- uitgangsstroom: 24 mA
- fabrikant: Monolithic Memories



Figuur 8/4.2-60: Logisch schema van de 63DA841.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

INPUTS				OUTPUTS			OPERATION
MODE	SDI	CLK	DCLK	Q3-Q0	S3-S0	SDO	
L	X	↑	*	Qn ← PROM	HOLD	S3	Load output register from PROM array
L	X	*	↑	HOLD	Sn ← Sn-1 S0 ← SDI	S3	Shift shadow register data
L	X	↑	↑	Qn ← PROM	Sn ← Sn-1 S0 ← SDI	S3	Load output register from PROM array while shifting shadow register data
H	X	↑	*	Qn ← Sn	HOLD	SDI	Load output register from shadow register
H	L	*	↑	HOLD	Sn ← Qn	SDI	Load shadow register from output bus
H	H	*	↑	HOLD	HOLD	SDI	No operation †

* Clock must be steady or falling.
† Reserved operation for SN54/74S818 8-Bit Diagnostic Register.

Tabel 8/4.2-93: Waarheidstabel van de 63DA841.

MODE	The MODE pin controls the output register multiplexer and the shadow register. When MODE is LOW, the output register receives data from the PROM array and the shadow register is configured as a shift register with SDI as its input. When MODE is HIGH, the output register receives data from the shadow register. The shadow register is controlled by SDI as well as MODE. With MODE HIGH and SDI LOW, the shadow register receives parallel data from the output register. With MODE and SDI both HIGH, the shadow register holds its present data.
SDI	The Serial Data In pin is the input to the least significant bit of the shadow register when operating in the shift mode. SDI is also a control input to the shadow register when it is not in the shift mode.
SDO	The Serial Data Out pin is the output from the most significant bit of the shadow register when operating in the shift mode. When the shadow register is not in the shift mode, SDO displays the logic level present at SDI, decreasing serial shift time for cascaded diagnostic PROMs.
CLK	The clock pin loads the output register on the rising edge of CLK.
DCLK	The diagnostic clock pin loads or shifts the shadow register on the rising edge of DCLK.
Q3-Q0	Qn represents the data outputs of the output register. During a shadow register load these pins are the internal data inputs to the shadow register.
S3-S0	Sn represents the internal shadow register outputs.
A10-A0	An represents the address inputs to the PROM array.
$\overline{E}$	The Output Enable pin operates independent of CLK. When $\overline{E}$ is LOW the outputs are enabled. When $\overline{E}$ is HIGH, the outputs are in the high-impedance state.
$\overline{I}$	The asynchronous output register initialization input pin operates independent of CLK. When $\overline{I}$ is LOW, the output register is loaded with a user-programmable initialization word. Programmable initialization is a super-set of preset and clear functions, and can be used to generate any microinstruction for system reset or interrupt.

Tabel 8/4.2-94: Functies van de signalen van de 63DA841.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150° C	

Tabel 8/4.2-95: Maximaal toegelaten waarden van de 63DA841.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55	25	125	0	25	75	°C
t_w	Width of CLK (HIGH or LOW)	25	10		20	10		ns
t_{su}	Set up time from address to CLK	45	27		40	27		ns
t_h	Hold time for CLK	0	-15		0	-15		ns
t_{wd}	Width of DCLK (HIGH or LOW)	45	15		40	15		ns
t_{sud}	Set up time from control inputs (SDI, MODE) to CLK, DCLK	50	20		45	20		ns
t_{hd}	Hold time for DCLK	0	-5		0	-5		ns
t_{iw}	Initialization pulse width (LOW)	25	10		20	10		ns
t_{ir}	Initialization recovery time	45	30		40	30		ns

Tabel 8/4.2-96: Aanbevolen bedrijfscondities van de 63DA841.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	*High-level input current*	V_{CC} = MAX	V_I = V_{CC}			40	µA
V_{OL}	Low-level output voltage	V_{CC} = MIN	Mil I_{OL} = 16 mA Com I_{OL} = 24 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	Mil I_{OH} = -2 mA Com I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-100	µA
I_{OZH}			V_O = 2.4 V			40	
I_{OS}	Output short-circuit current*	V_{CC} = MAX	V_O = 0 V	-20		-90	mA
I_{CC}	Supply Current	V_{CC} = MAX. All inputs TTL. All outputs open			140	185	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typical at 5.0 V V_{CC} and 25°C T_A.

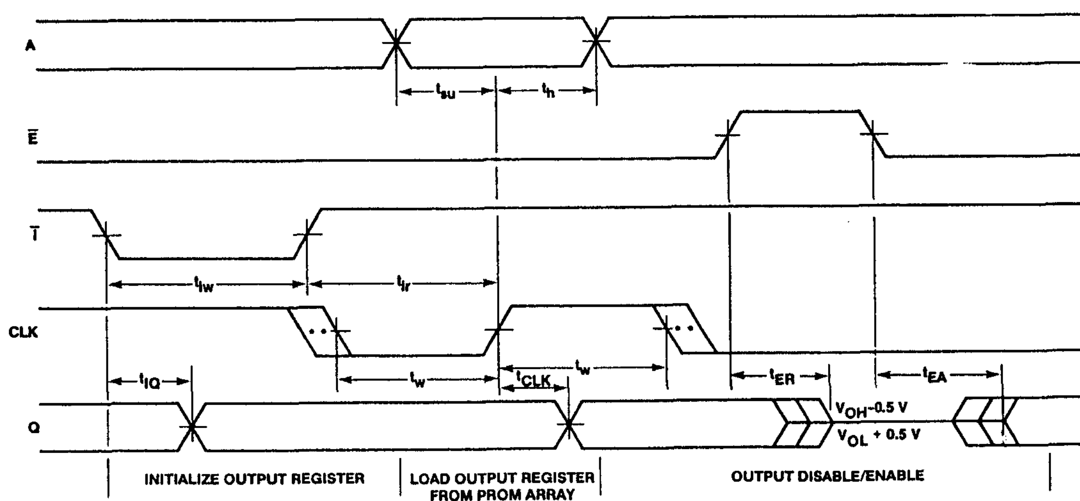
Tabel 8/4.2-97: Elektrische kenmerken van de 63DA841.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
t_{CLK}	CLK to output		13	25		13	20	ns
t_{ER}	Enable time		16	30		16	25	ns
t_{EA}	Disable time		16	30		16	25	ns
t_{IQ}	Initialization to output delay		23	40		23	35	ns
f_{MAXD}	Maximum diagnostic clock frequency	7	18		10	18		MHz
t_{DS}	DCLK to SDO delay (MODE = LOW)		19	35		19	30	ns
t_{SS}	SDI to SDO delay (MODE = HIGH)		16	30		16	25	ns
t_{MS}	MODE to SDO delay		14	30		14	25	ns

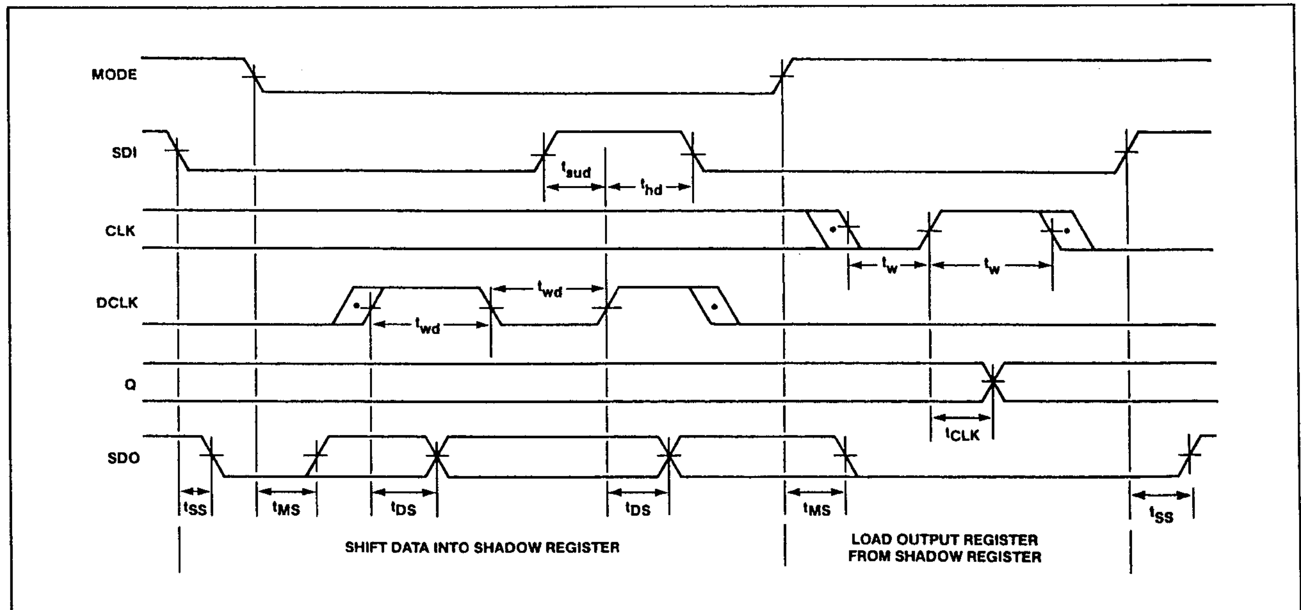
† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-98: Schakeltijden van de 63DA841.

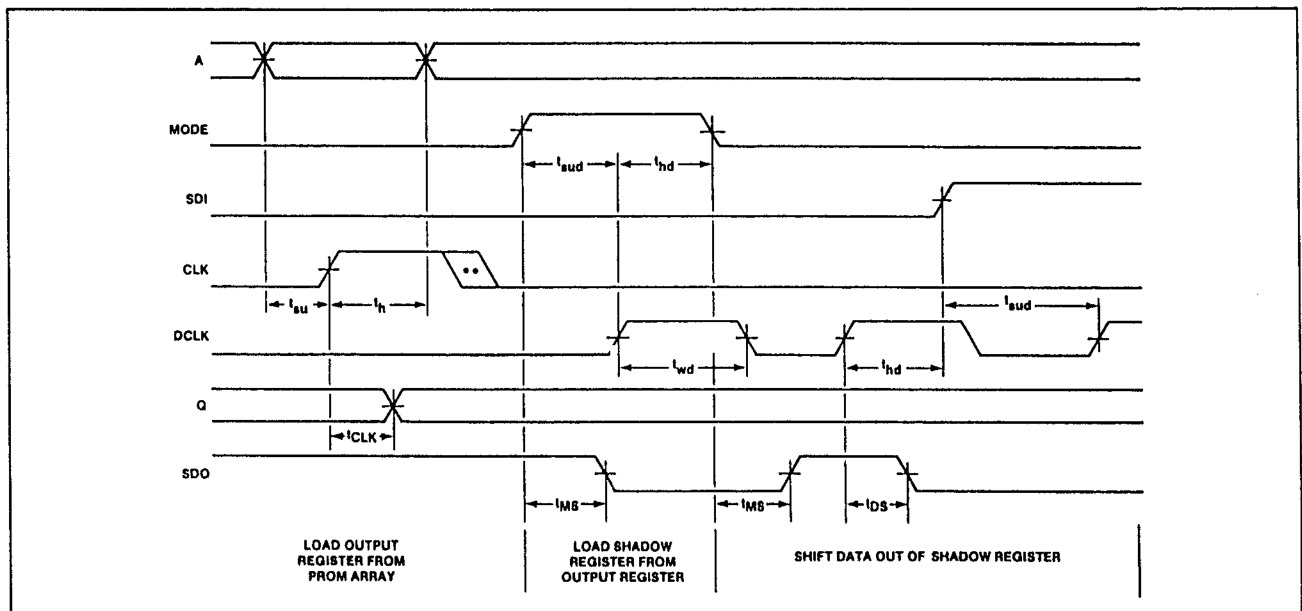


Figuur 8/4.2-61: Timing bij normaal PROM-bedrijf van de 63DA841 (Mode = LAAG).

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-62: Golfvormen en timing bij systeem-besturing.



Figuur 8/4.2-63: Golfvormen en timing bij systeem-observatie.

63D1641
4096 x 4 TiW Registered PROM met diagnostiek

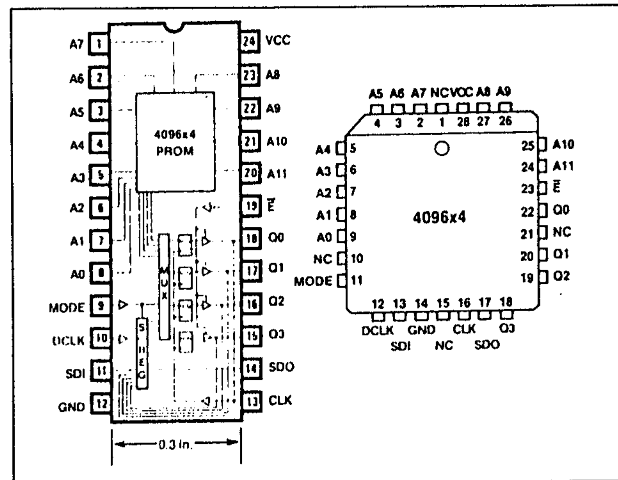
De 63D1641 is een 4 k x 4 PROM met uitgangsregisters, 3-state uitgangen en een schaduwregister voor diagnostische doeleinden. Door het schaduwregister kan het systeem worden geobserveerd en bestuurd zonder dat er niet-toegestane toestanden ontstaan. Het uitgangsregister (dat parallelle data uit de PROM-array of het schaduwregister kan opnemen) wordt geladen op de opgaande flank van CLK. Het schaduwregister (dat parallelle data uit het uitgangsregister of seriële data uit SDI kan opnemen) wordt geladen op de stijgende flank van DCLK. Als

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

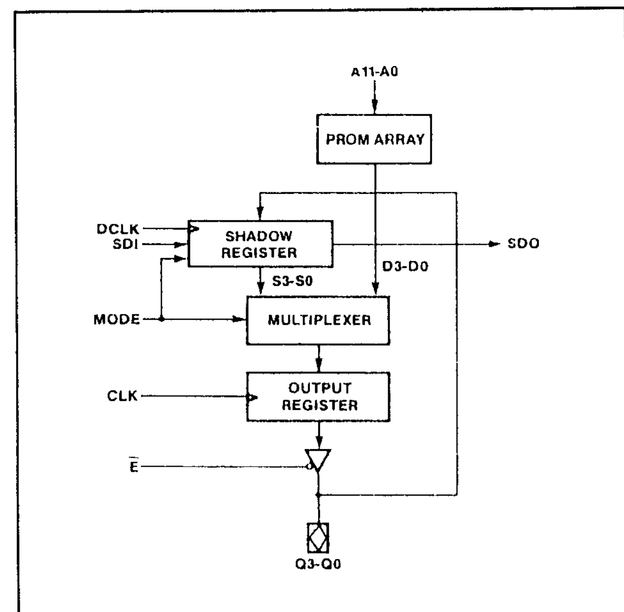
de uitgangsdrivers gesperd zijn, ontvangt het schaduwregister zijn parallelle data van de uitgangsbus.
Tijdens de diagnostiek kan data (die uit het PROM-array in het uitgangsregister is geladen) parallel in het schaduwregister worden geladen en serieel via SDO worden uitgeschoven, waardoor observatie van het systeem mogelijk is. Ook kan diagnostische data via SDI in serie in het schaduwregister worden geschoven en parallel in het uitgangsregister worden geladen, waardoor besturing en testen van het systeem mogelijk is. Omdat het uitgangsregister en het schaduwregister door verschillende signalen worden geladen, kunnen zij onafhankelijk van elkaar werken. Daarnaast kunnen diagnostische PROM's in cascade worden geschakeld om zodoende brede besturingswoorden te vormen zoals die bij microprogrammering worden gebruikt.

Specificaties

- 4096 x 4 bit organisatie
- edge-triggered D-registers
- asynchrone output-enable
- TiW doorbrandbare verbindingen
- geschikt voor systeem-diagnostiek
- schaduwregister voorkomt schuif-fouten
- grotere woorden mogelijk door cascadeschakeling
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- uitgangsstroom: 24 mA
- fabrikant: Monolithic Memories

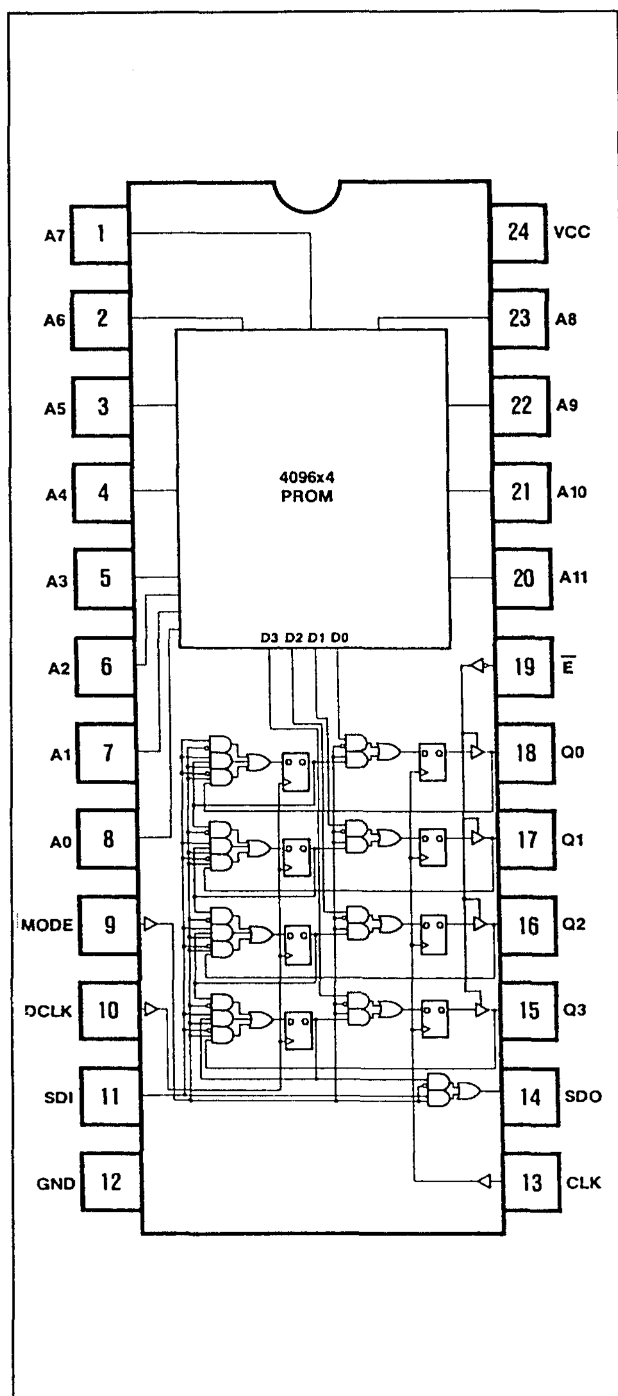


Figuur 8/4.2-64: Aansluitingen van de 63D1641.



Figuur 8/4.2-65: Functioneel blokschema van de 63D1641.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-66: Logisch schema van de 63D1641.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

INPUTS				OUTPUTS			OPERATION
MODE	SDI	CLK	DCLK	Q3-Q0	S3-S0	SDO	
L	X	↑	*	Qn ← PROM	HOLD	S3	Load output register from PROM array
L	X	*	↑	HOLD	Sn ← Sn-1 S0 ← SDI	S3	Shift shadow register data
L	X	↑	↑	Qn ← PROM	Sn ← Sn-1 S0 ← SDI	S3	Load output register from PROM array while shifting shadow register data
H	X	↑	*	Qn ← Sn	HOLD	SDI	Load output register from shadow register
H	L	*	↑	HOLD	Sn ← Qn	SDI	Load shadow register from output bus
H	H	*	↑	HOLD	HOLD	SDI	No operation†

* Clock must be steady or falling.

† Reserved operation for SN54/74S818 8-Bit Diagnostic Register.

Tabel 8/4.2-99: Waarheidstabel van de 63D1641.

MODE	The MODE pin controls the output register multiplexer and the shadow register. When MODE is LOW, the output register receives data from the PROM array and the shadow register is configured as a shift register with SDI as its input. When MODE is HIGH, the output register receives data from the shadow register. The shadow register is controlled by SDI as well as MODE. With MODE HIGH and SDI LOW, the shadow register receives parallel data from the output bus. With MODE and SDI both HIGH, the shadow register holds its present data.
SDI	The Serial Data In pin is the input to the least significant bit of the shadow register when operating in the shift mode. SDI is also a control input to the shadow register when it is not in the shift mode.
SDO	The Serial Data Out pin is the output from the most significant bit of the shadow register when operating in the shift mode. When the shadow register is not in the shift mode, SDO displays the logic level present at SDI, decreasing serial shift time for cascaded diagnostic PROMs.
CLK	The CLOCK pin loads the output register on the rising edge of CLK.
DCLK	The diagnostic clock pin loads or shifts the shadow register on the rising edge of DCLK.
Q3-Q0	Qn represents the data outputs of the output register. During a shadow register load with outputs enabled these pins are the internal data inputs to the shadow register. With the outputs three-stated these pins are external data inputs to the shadow register.
S3-S0	Sn represents the internal shadow register outputs.
A11-A0	An represents the address inputs to the PROM array.
$\overline{E}$	The Output Enable pin operates independent of CLK. When $\overline{E}$ is LOW the outputs are enabled. When $\overline{E}$ is HIGH, the outputs are in the high impedance state.

Tabel 8/4.2-100: Functies van de signalen van de 63D1641.

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input Current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/4.2-101: Maximaal toegelaten waarden van de 63D1641.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free air temperature	-55	25	125	0	25	75	°C
t_w	Width of CLK (HIGH or LOW)	25	10		20	10		ns
t_{su}	Set up time from address to CLK	45	25		40	25		ns
t_h	Hold time for CLK	0	-15		0	-15		ns
t_{wd}	Width of DCLK (HIGH or LOW)	45	15		40	15		ns
t_{sud}	Set up time from control inputs (SDI, MODE) to CLK, DCLK	50	20		45	20		ns
t_{hd}	Hold time for DCLK	0	-5		0	-5		ns

Tabel 8/4.2-102: Aanbevolen bedrijfscondities van de 63D1641.

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL I_{OL} = 16 mA COM I_{OL} = 24 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			-100	μA
I_{OZH}	Off-state output current	V_{CC} = MAX	V_O = 2.4 V			40	μA
I_{OS}	Output short-circuit current*	V_{CC} = MAX	V_O = 0 V	-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL; all outputs open			140	190	mA

† Typical at 5.0 V V_{CC} and 25°C T_A.
* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

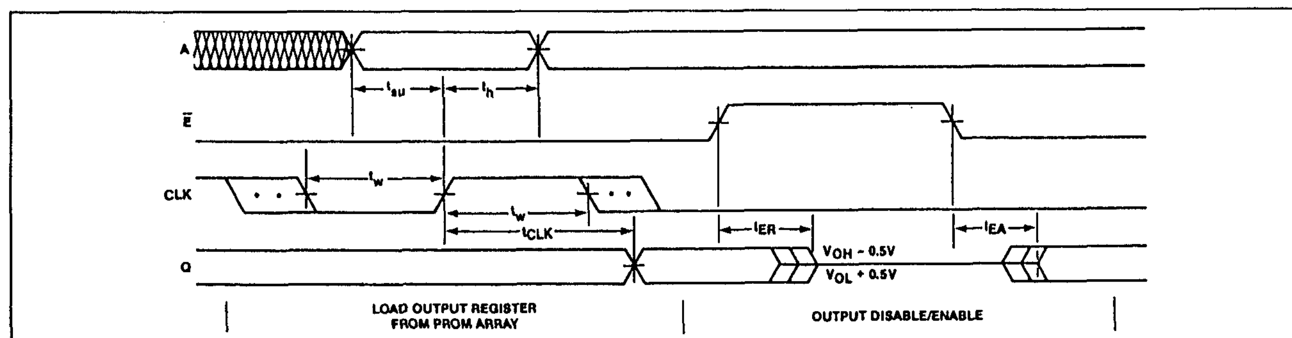
Tabel 8/4.2-103: Elektrische kenmerken van de 63D1641.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
t_{CLK}	CLK to output		11	25		11	20	ns
t_{ER}	Disable time		16	30		16	25	ns
t_{EA}	Enable time		16	30		16	25	ns
f_{MAXD}	Maximum diagnostic clock frequency	7	18		10	18		MHz
t_{DS}	DCLK to SDO delay (MODE = LOW)		17	35		17	30	ns
t_{SS}	SDI to SDO delay (MODE = HIGH)		16	30		16	25	ns
t_{MS}	MODE to SDO delay		14	30		14	25	ns

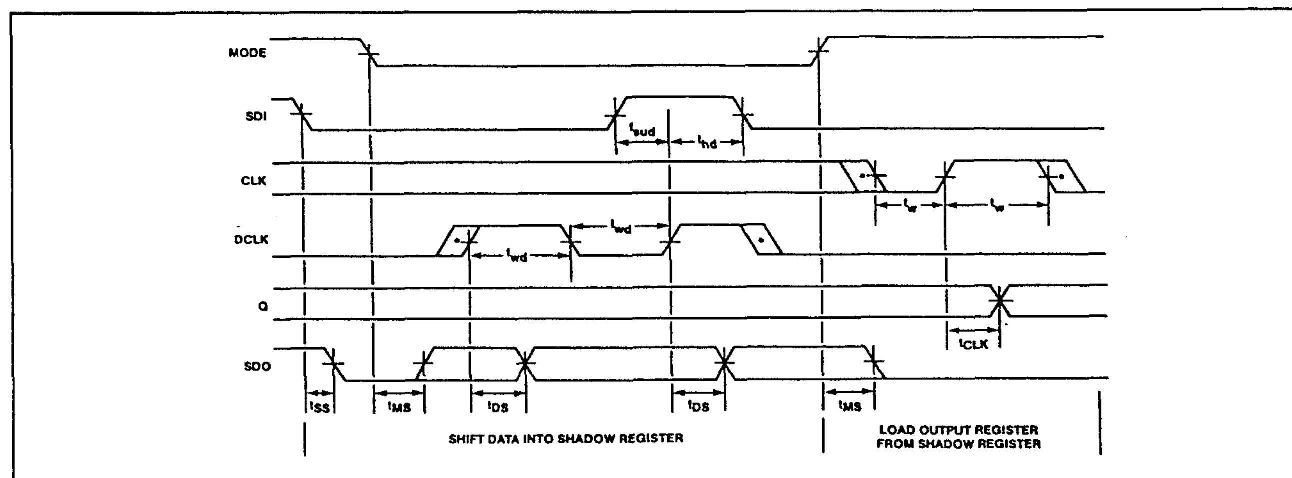
† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-104: Schakeltijden van de 63D1641.

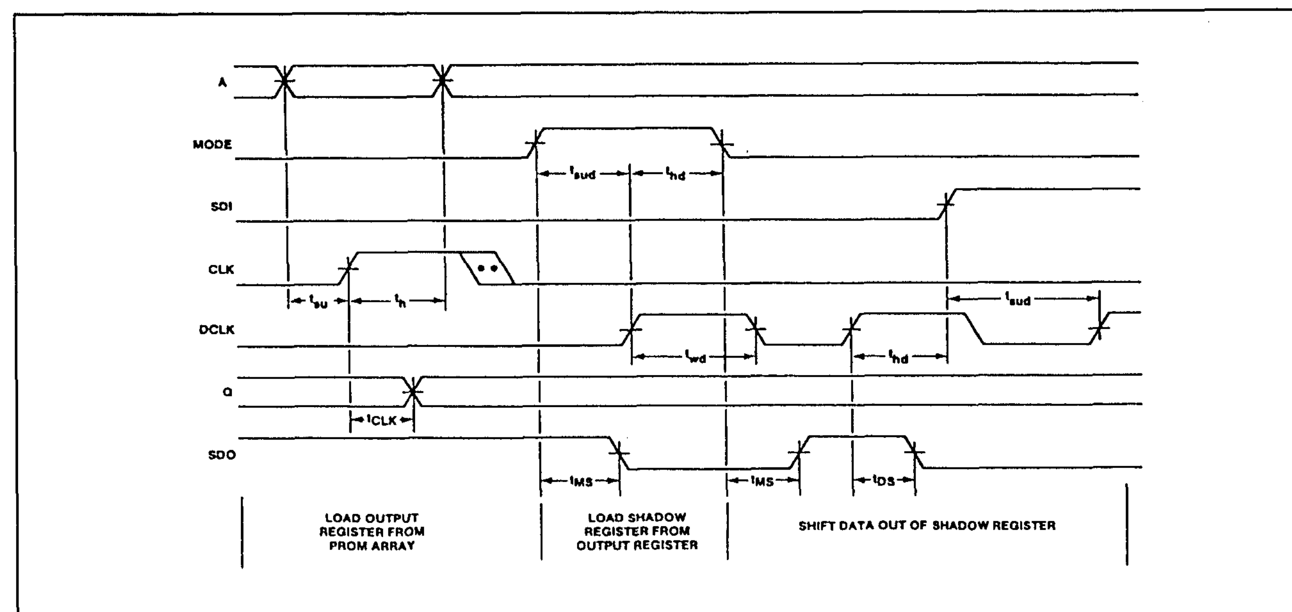
10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-67: Timing bij normaal PROM-bedrijf van de 63D1641 (Mode = LAAG).



Figuur 8/4.2-68: Golfvormen en timing bij systeem-besturing.



Figuur 8/4.2-69: Golfvormen en timing bij systeem-observatie.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

63DA1643

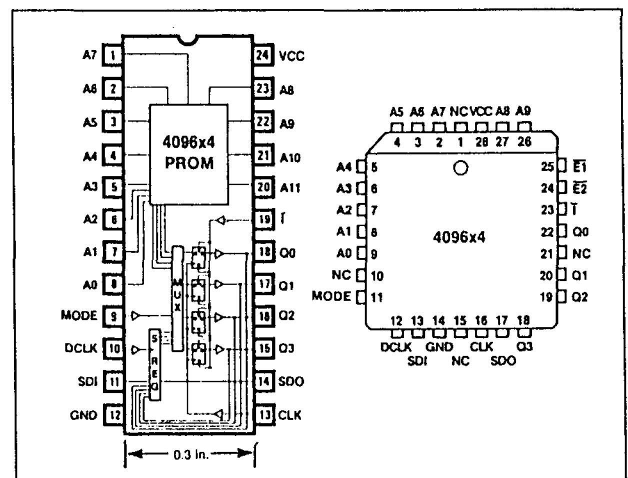
4096 x 4 TiW Registered PROM met diagnostiek

De 63DA1643 is een 4 k x 4 PROM met uitgangsregisters, programmeerbare asynchrone initialisatie en een schaduwregister voor diagnostische doeleinden. Het schaduwregister maakt het mogelijk om het systeem te observeren en besturen zonder dat er niet-toegestane toestanden ontstaan. Het uitgangsregister (dat parallelle data uit de PROM-array of uit het schaduwregister kan opnemen) wordt geladen op de stijgende flank van CLK. Het schaduwregister (dat parallelle data uit het uitgangsregister of seriële data uit SDI kan opnemen) wordt geladen op de stijgende flank van DCLK. Tijdens de diagnostiek kan data (die uit het PROM-array in het uitgangsregister is geladen) parallel in het schaduwregister worden geladen en via SDO in serie worden uitgeschoven, zodat het systeem geobserveerd kan worden. Ook kan diagnostische data via SDI in serie in het schaduwregister worden geschoven en parallel in het uitgangsregister worden geladen, waardoor besturing en testen van het systeem mogelijk is. Aangezien het uitgangsregister en het schaduwregister door verschillende signalen worden geladen, kunnen zij onafhankelijk van elkaar werken. Daarnaast kunnen diagnostische PROM's in cascade worden geschakeld om zodoende brede besturingswoorden te vormen zoals die bij microprogrammering worden gebruikt.

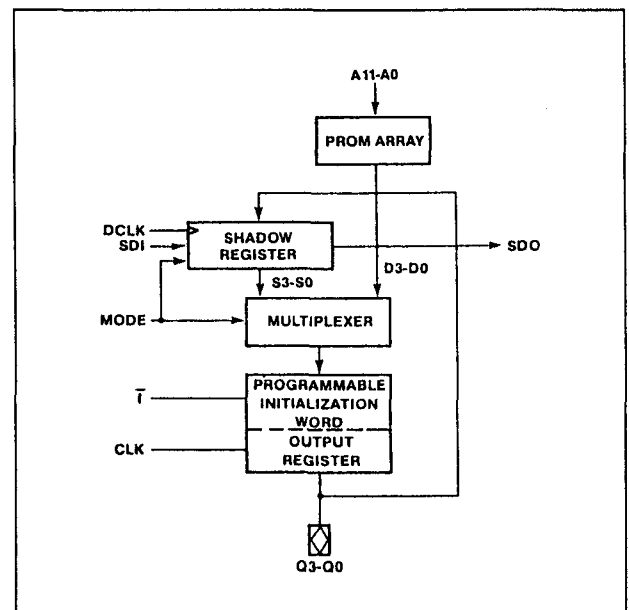
Indien nodig kan met het initialisatie-signaal een door de gebruiker programmeerbaar initialisatie-woord in het uitgangsregister worden gezet, onafhankelijk van de toestand van CLK. Deze mogelijkheid is een superset van de preset- en clear-functies en kan worden gebruikt om een aparte micro-instructie voor systeem-reset of interrupt te genereren.

Specificaties

- 4096 x 4 bit organisatie
- edge-triggered D-registers
- programmeerbare asynchrone output-initialisatie
- TiW doorbrandbare verbindingen
- geschikt voor systeem-diagnostiek
- schaduwregister voorkomt schuif-fouten
- grotere woorden mogelijk door cascade-schakeling
- 24-pens 0,3" DIL of 28-pens LCC behuizing
- uitgangsstroom: 24 mA
- fabrikant: Monolithic Memories

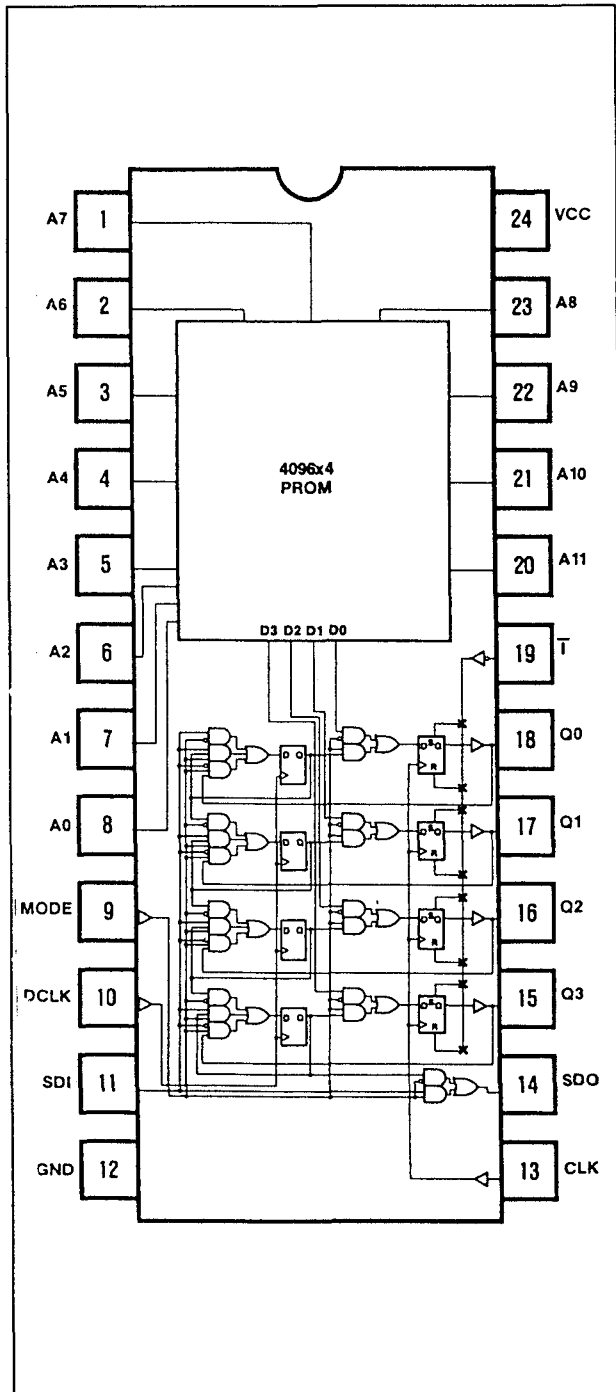


Figuur 8/4.2-70: Aansluitingen van de 63DA1643.



Figuur 8/4.2-71: *Functioneel blokschema van de 63DA1643.*

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-72: Logisch schema van de 63DA1643.

4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

INPUTS				OUTPUTS			OPERATION
MODE	SDI	CLK	DCLK	Q3-Q0	S3-S0	SDO	
L	X	↑	*	Qn ← PROM	HOLD	S3	Load output register from PROM array
L	X	*	↑	HOLD	Sn ← Sn-1 S0 ← SDI	S3	Shift shadow register data
L	X	↑	↑	Qn ← PROM	Sn ← Sn-1 S0 ← SDI	S3	Load output register from PROM array while shifting shadow register data
H	X	↑	*	Qn ← Sn	HOLD	SDI	Load output register from shadow register
H	L	*	↑	HOLD	Sn ← Qn	SDI	Load shadow register from output bus
H	H	*	↑	HOLD	HOLD	SDI	No operation†

* Clock must be steady or falling.
† Reserved operation for SN54/74S818 8-Bit Diagnostic Register.

Tabel 8/4.2-105: Waarheidstabel van de 63DA1643.

MODE	The MODE pin controls the output register multiplexer and the shadow register. When MODE is LOW, the output register receives data from the PROM array and the shadow register is configured as a shift register with SDI as its input. When MODE is HIGH, the output register receives data from the shadow register. The shadow register is controlled by SDI as well as MODE. With MODE HIGH and SDI LOW, the shadow register receives parallel data from the output register. With MODE and SDI both HIGH, the shadow register holds its present data.
SDI	The Serial Data In pin is the input to the least significant bit of the shadow register when operating in the shift mode. SDI is also a control input to the shadow register when it is not in the shift mode.
SDO	The Serial Data Out pin is the output from the most significant bit of the shadow register when operating in the shift mode. When the shadow register is not in the shift mode, SDO displays the logic level present at SDI, decreasing serial shift time for cascaded diagnostic PROMs.
CLK	The clock pin loads the output register on the rising edge of CLK.
DCLK	The diagnostic clock pin loads or shifts the shadow register on the rising edge of DCLK.
Q3-Q0	Qn represents the data outputs of the output register. During a shadow register load these pins are the internal data inputs to the shadow register.
S3-S0	Sn represents the internal shadow register outputs.
A11-A0	An represents the address inputs to the PROM array.
$\overline{I}$	The asynchronous output register initialization input pin operates independent of CLK. When $\overline{I}$ is LOW, the output register is loaded with a user programmable initialization word. Programmable initialization is a super set of preset and clear functions, and can be used to generate any microinstruction for system reset or interrupt.

Tabel 8/4.2-106: Functies van de signalen van de 63DA1643.

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Input current	-30 mA to +5 mA	
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150° C	

Tabel 8/4.2-107: Maximaal toegelaten waarden van de 63DA1643.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55	25	125	0	25	75	°C
t_w	Width of CLK (HIGH or LOW)	25	10		20	10		ns
t_{su}	Set up time from address to CLK	45	25		40	25		ns
t_h	Hold time for CLK	0	-15		0	-15		ns
t_{wd}	Width of DCLK (HIGH or LOW)	45	15		40	15		ns
t_{sud}	Set up time from control inputs (SDI, MODE) to CLK, DCLK	50	20		45	20		ns
t_{hd}	Hold time for DCLK	0	-5		0	-5		ns
t_{iw}	Initialization pulse width (LOW)	25	10		20	10		ns
t_{ir}	Initialization recovery time	45	25		40	25		ns

Tabel 8/4.2-108: Aanbevolen bedrijfscondities van de 63DA1643.

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP†	MAX	UNIT
V_{IL}	Low-level input voltage					0.8	V
V_{IH}	High-level input voltage			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-1.2	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC} MAX			40	µA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL I_{OL} = 16 mA COM I_{OL} = 24 mA			0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = -2 mA COM I_{OH} = -3.2 mA	2.4			V
I_{OS}	Output short-circuit current*	V_{CC} = MAX	V_O = 0 V	-20		-90	mA
I_{CC}	Supply current	V_{CC} = MAX. All inputs TTL; all outputs open			140	190	mA

* Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

† Typical at 5.0 V V_{CC} and 25°C T_A.

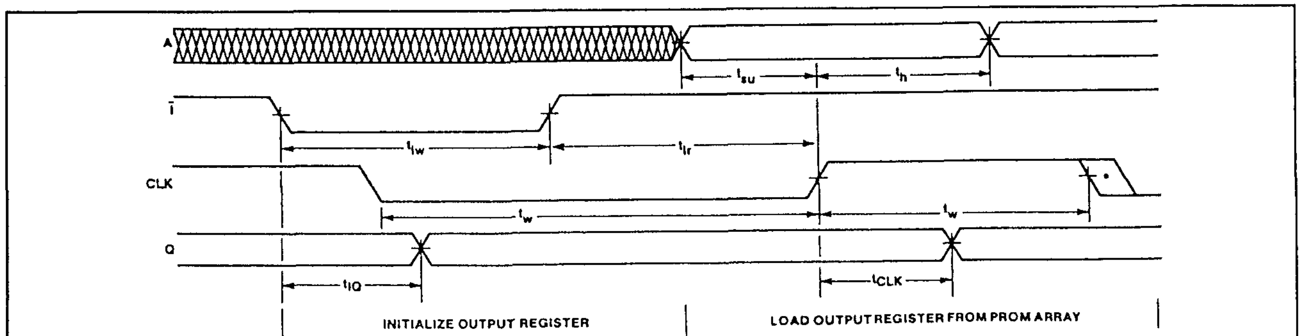
Tabel 8/4.2-109: Elektrische kenmerken van de 63DA1643.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP†	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP†	COMMERCIAL MAX	UNIT
t_{CLK}	CLK to output		11	25		11	20	ns
t_{IQ}	Initialization to output delay		23	40		23	35	ns
f_{MAXD}	Maximum diagnostic clock frequency	7	18		10	18		MHz
t_{DS}	DCLK to SDO delay (MODE = LOW)		17	35		17	30	ns
t_{SS}	SDI to SDO delay (MODE = HIGH)		16	30		16	25	ns
t_{MS}	MODE to SDO delay		14	30		14	25	ns

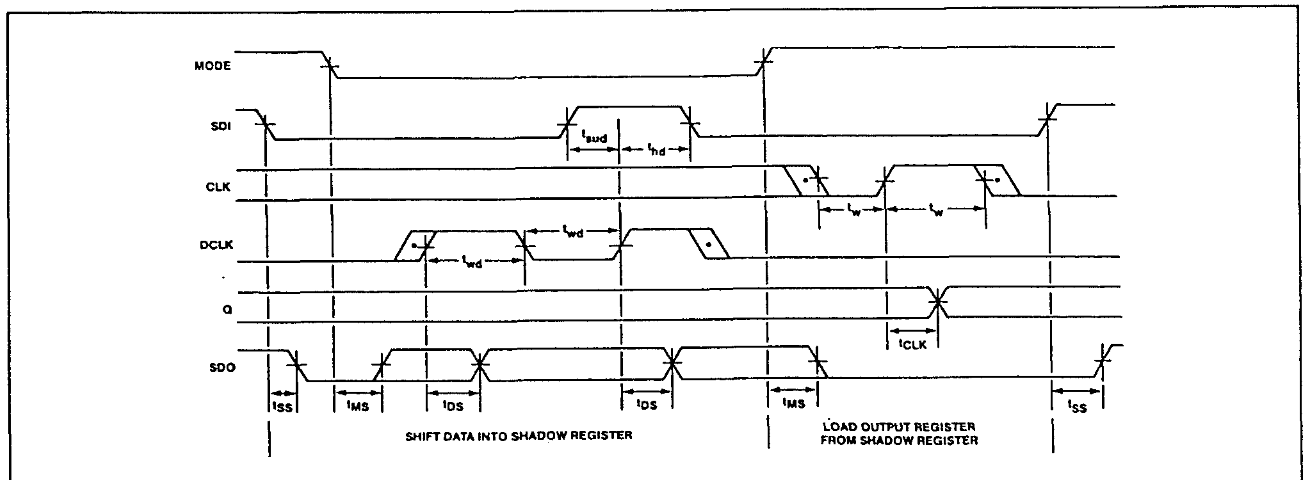
† Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/4.2-110: Schakeltijden van de 63DA1643.

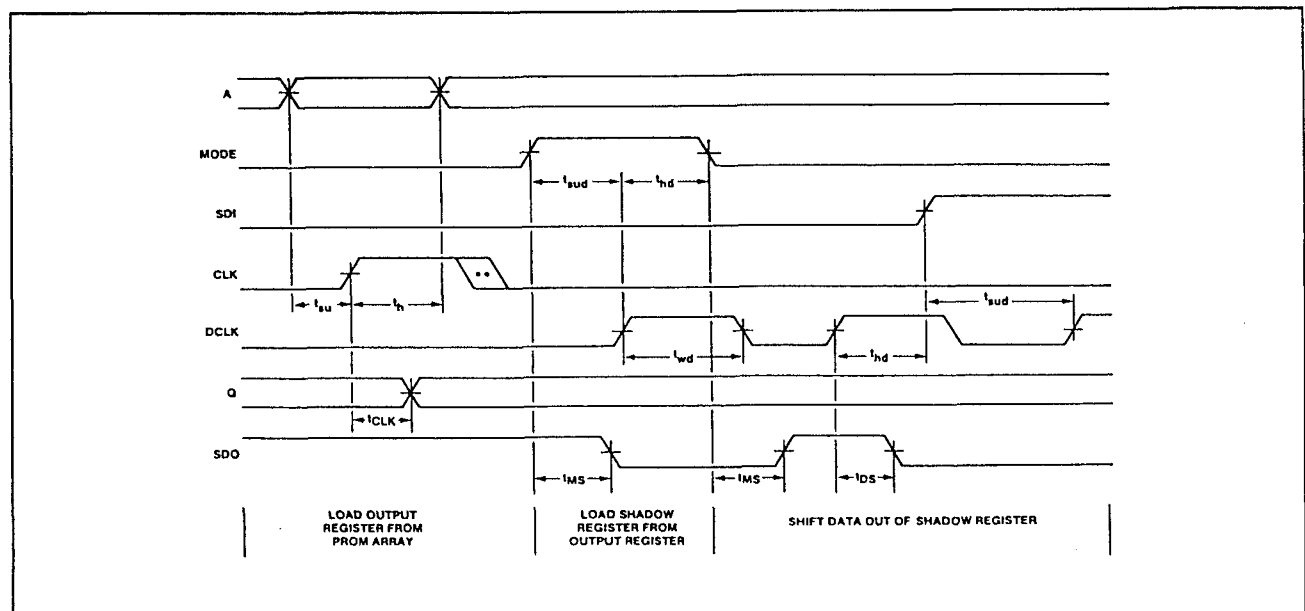
4.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx



Figuur 8/4.2-73: Timing bij normaal PROM-bedrijf van de 63DA1643 (Mode = LAAG).



Figuur 8/4.2-74: Golfvormen en timing bij systeem-besturing.



Figuur 8/4.2-75: Golfvormen en timing bij systeem-observatie.

10.2 Type-beschrijving generieke NiCr en TiW PROM-familie 63xxx

8/5

EPROM-geheugens

Inhoud

8/5.4 Type-beschrijving Flash EPROM's

(aanvulling 37 + 38 + 52 + 58 + 59 + 60)

28F256(A)	32 k x 8	5 V/12 V
28F512	64 k x 8	5 V/12 V
28F512 V5	64 k x 8	5 V
28F010	128 k x 8	5 V/12 V
28F020	256 k x 8	5 V/12 V
28F4000	256 k x 16	12 V
28F4001	512 k x 8	12 V
28F101(-A, -B), 28V101A, -B	128 k x 8	Chip Erase
28F102	64 k x 16	Chip Erase
28F201(-A), 28V201A	256 k x 8	Chip Erase
28F210, 28F220	256 k x 8 128 k x 16	Block Erase 210: top boot block 220: bottom boot block
28F211, 28F221	256 k x 8	Block Erase 211: top boot block 221: bottom boot block
28F410, 28F420 28V410, 28V420	512 k x 8 256 k x 16	Block Erase 410: top boot block 420: bottem boot block
28F411, 28F421 28V411, 28V421	512 k x 8	Block Erase 411: top boot block 421: bottem boot block
28F841, 28V841	1 M x 8	Sector Erase
28V161	1 M x 8	Sector Erase

8/5.5 Type-beschrijving Flash EEPROM's

(aanvulling 52 + 57 + 58)

29F64	8 k x 8	5 V
29F256	32 k x 8	5 V
29F258	32 k x 8	5 V
29F259	32 k x 8	5 V
29F010	128 k x 8	5 V
29F040	512 k x 8	5 V
29F400	512 k x 8/256 k x 16	5 V
29F016	2 M x 8	5 V

8/5.1

Achtergrond-informatie

Inleiding

Bij het aanzetten van een programmeerbaar apparaat (bijvoorbeeld een computer) moeten in elk geval de meest elementaire functies direct verricht kunnen worden. Het is dus nodig dat een deel van het programma te allen tijde aanwezig is (bijvoorbeeld het monitor-programma of het besturingssysteem: operating system). Hiervoor wordt gebruik gemaakt van 'niet-vluchtige' geheugens die na programmering alleen nog 'gelezen' kunnen worden.

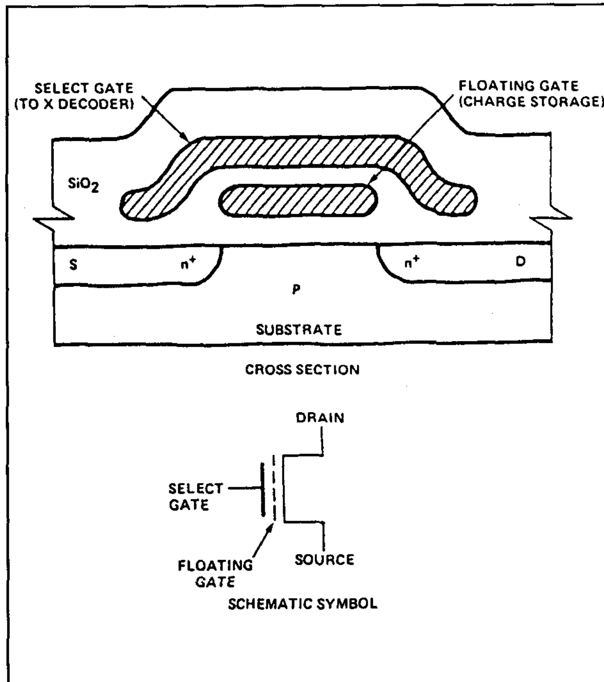
EPROM's (Erasable Programmable Read-Only Memories) zijn ROM's die door de gebruiker zelf (elektrisch) geprogrammeerd en (met ultra-violet licht) gewist kunnen worden. De informatie die ze bevatten gaat niet verloren bij het uitzetten van de voedingsspanning.

Na een zeer moeizame start is de ontwikkeling van de EPROM's nu in een stroomversnelling terecht gekomen. Zij variëren in grootte van 16 X 16 bit tot 128k X 8 (of 8 X 16k X 8, of 64k X 16) op dit moment, terwijl de plannen voor 2M-, 4M- en 8M-versies al klaar zijn. Bij de eerste typen waren drie voedingsspanningen nodig. Een type dat op ± 5 V en + 12 V werkt en ook nu nog in sommige microcomputers voorkomt is de 2708. De moderne typen werken alle op een enkele spanning van + 5 V (in geprogrammeerde toestand). De 2708 vormt de basis van de zeer populaire 27YYY-reeks, waarbij de standaardisatie eigenlijk pas bij de 2716 is begonnen.

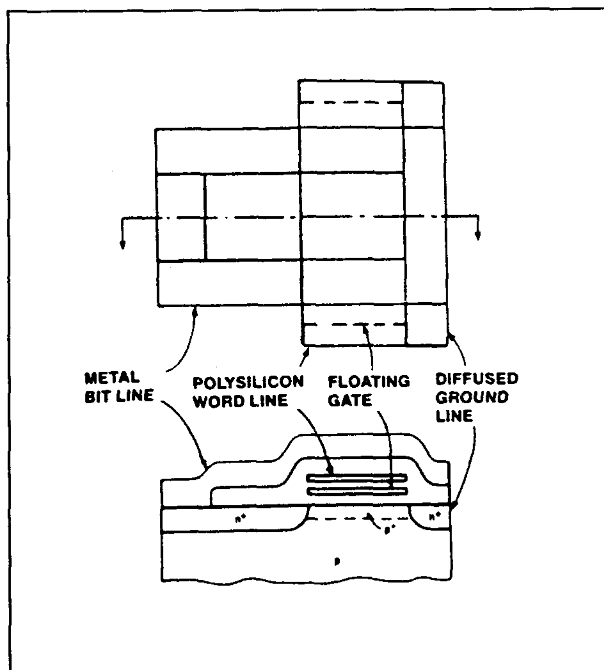
Werking

Een EPROM-geheugencel is gebaseerd op een zogenaamde zwevende gate in een NMOS transistor (zie figuur 8/5.1-1). Om zo'n gate te laden moeten zowel de select-gate als de drain op voldoende hoog positief niveau worden gebracht, terwijl de source en de substraat op aardpotentiaal blijven. Door het sterke elektrisch veld dat dan heerst worden elektronen in het pinch-off gebied van de transistor versneld. Sommige van deze elektronen krijgen genoeg energie om in de geleidingsband van het SiO_2 te geraken (dat bij normale spanningen de zwevende gate isoleert) en worden aangetrokken door het positieve potentiaal van de zwevende gate. De aanwezigheid van lading op de zwevende gate veroorzaakt een verschuiving van de gate-drempelspanning, zoals in figuur 8/5.1-2 te zien is. In de oorspronkelijke toestand heeft de cel een zeer lage drempel, zodat de transistor gaat geleiden bij selectie van de cel door middel van de select-gate. Door het programmeren wordt de drempel naar een hoger niveau verschoven, waardoor de transistor door selectie niet meer geleidt. Indien een '1' in de cel is geprogrammeerd zal door selectie een grotere stroom van source naar drain vloeien dan wanneer een '0' was opgeslagen.
De lading die zich op de zwevende gate bevindt, kan er door ultra-violet licht weer afgehaald worden. Dit is de reden waarom EPROM's zijn voorzien van een kwartsvenstertje.
Er bestaat natuurlijk een samenhang tussen het vermogen van de UV-lichtbron (golfleng-

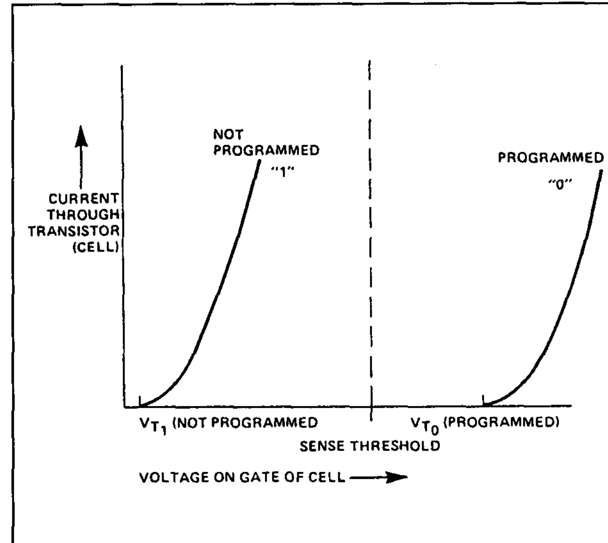
5.1 Achtergrond-informatie



Figuur 8/5.1-1a: Geheugencel van een 2708 EPROM.



Figuur 8/5.1-1b: Ook bij moderne (grotere) EPROM's is de opbouw van de cel hetzelfde gebleven, alleen de afmetingen zijn drastisch verkleind tot 26 μm^2.



Figuur 8/5.1-2: Verschuiving van de drempelspanning door programmeren van de geheugencel.

te 253,7 nanometer), de afstand tot de EPROM en de voor het wissen benodigde tijd. Voor een UV-lamp die bijvoorbeeld 12 mW/cm² afgeeft en die op 2 tot 3 cm van de EPROM is geplaatst, bedraagt de wistijd cirka 15 tot 20 minuten. Er zijn verschillende typen wis-apparaten te koop (met/zonder schakelklok, aantal te wissen EPROM's, enz.).

Houdbaarheid van de data

Het golflengtegebied van zonlicht en het licht van TL-lampen bedraagt 300 tot 400 nm en dit bevindt zich dus dichtbij de golflengte die nodig is om EPROM's te wissen. Een EPROM die voortdurend bloot staat aan TL-licht, kan een deel van zijn informatie reeds (!) na drie jaar verliezen. Zonlicht is nog agressiever: reeds na een week kan de inhoud van sommige cellen veranderd zijn. Het is daarom gebruikelijk het venstertje van een EPROM met een stukje tape af te dekken.

Vensterloze EPROM's

In de praktijk is gebleken dat veel EPROM's na eenmaal te zijn geprogrammeerd, niet

5.1 Achtergrond-informatie

meer veranderd behoeven te worden. In veel consumentenartikelen zoals wasmachines, elektronische schrijfmachines, kopiëerapparaten, enzovoorts zijn EPROM's opgenomen die het werkprogramma bevatten dat zeker nooit gewist zal worden. Aangezien in zulke gevallen het (dure) kwarts-venstertje niet nodig is, zijn er ook varianten van de bekende EPROM-typen zonder venster die eenmaal geprogrammeerd en daarna niet meer gewist kunnen worden: de 'One-Time PROM's'.

Type-aanduiding

De op de behuizing vermelde type-aanduiding geeft informatie over de geheugencapaciteit en eventueel over verdere eigenschappen van het IC. Volgens een aantal afspraken en standaardiseringen ziet de type-aanduiding van een EPROM er als volgt uit:

XXYYY

Voor XX wordt bijna altijd het getal 27 gebruikt. Alleen de firma Texas Instruments maakt hierop een uitzondering door voor XX 25 te gebruiken. De 25YYY EPROM's van deze firma hebben afwijkende aansluitingen en elektrische eigenschappen. Er bestaat een duidelijke voorkeur voor de 27YYY-reeks. Het getal YYY laat zien hoe groot de geheugen-capaciteit van de EPROM is. Met YYY wordt het aantal kilobits (1k = 1024) aangegeven. De 2716 bevat dus 16 X 1024 = 16384 geheugencellen. Aangezien microprocessoren in staat zijn minstens 8 bits (= 1 byte) tegelijkertijd te verwerken worden de meeste EPROM's 'byte-wide' gemaakt, zodat de 2716 een capaciteit van 16384/8 = 2048 bytes (= 2k bytes) heeft. Een EPROM van het type 27256 heeft dus een geheugen-capaciteit van 256/8 = 32k bytes.

Genormaliseerde aansluitingen

Er werd al vermeld dat de aansluitingen van geheugen-IC's sterk gestandaardiseerd zijn. Zo kan een EPROM van het type 2764 zonder meer door een RAM van het type 6264 worden vervangen wanneer bijvoorbeeld een programma in de ontwikkelingsfase vaak veranderd moet worden. Is het programma klaar, dan wordt het in een EPROM gezet die dan in de plaats van de RAM komt. In de figuren 8/5.1-3 en 8/5.1-4 wordt een overzicht gegeven van de thans verkrijgbare EPROM's. Het is hierdoor mogelijk printkaarten voor te bereiden op grotere geheugens.

Megabit geheugens

Met het bereiken van het een-miljoen bit niveau worden zowel halfgeleider-fabrikanten als systeem-ontwerpers geconfronteerd met een architectonisch en technologisch keerpunt. Tot nu toe werd voor EPROM's van 64k t/m 512k de 28-pens behuizing beschouwd als standaard. Na de overgang van 24 pennen op 28, volgt nu de overgang van 28 pennen naar 32 (en 40). Voor de gebruikers is vooral de 'op- en neerwaartse compatibiliteit' van belang.

Intel levert de 1 megabit EPROM nu in drie versies: de 27011, de 27010 en de 27210. De eerste twee zijn 'byte-wide' en de derde is 'word-wide'.
De 27010 is georganiseerd als 128k X 8 bits, heeft een 32-pens DIL-behuizing en dient als 'compatibele upgrade' voor de 28-pens 27512. In figuur 8/5.1-5 is te zien hoe de geheugen-capaciteit zal worden uitgebreid.
De 27011 kan worden geadresseerd in 8 pagina's van 16kbytes (8 X 16k X 8), heeft een 28-pens DIL-behuizing en is pencompatibel met de 27513. In figuur 8/5.1-6 is te zien dat ook met 28 aansluitpennen 8M mogelijk is. De derde megabit EPROM heeft een nieuwe word-wide architectuur en is georganiseerd als 64k woorden van 16 bit (64k X 16). De 40-pens behuizing is JEDEC-goedgekeurd. Figuur 8/5.1-7 laat zien hoe de capaciteit zal worden uitgebreid tot 4 M.

5.1 Achtergrond-informatie

27256	27128	2764	2732	2716	2708	◀ EPROM-Type			▶	2708	2716	2732	2764	27128	27256
Vpp	Vpp	Vpp				1			28				+5V	+5V	+5V
A12	A12	A12				2			27				$\overline{PGM}$	$\overline{PGM}$	A14
A7	A7	A7	A7	A7	A7	3	1	24	26	+5V	+5V	+5V	NC	A13	A13
A6	A6	A6	A6	A6	A6	4	2	23	25	A8	A8	A8	A8	A8	A8
A5	A5	A5	A5	A5	A5	5	3	22	24	A9	A9	A9	A9	A9	A9
A4	A4	A4	A4	A4	A4	6	4	21	23	-5V	Vpp	A11	A11	A11	A11
A3	A3	A3	A3	A3	A3	7	5	20	22	$\overline{CS}$/WE	$\overline{OE}$	$\overline{OE}$/Vpp	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$
A2	A2	A2	A2	A2	A2	8	6	19	21	+12V	A10	A10	A10	A10	A10
A1	A1	A1	A1	A1	A1	9	7	18	20	Prg	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
A0	A0	A0	A0	A0	A0	10	8	17	19	D7	D7	D7	D7	D7	D7
D0	D0	D0	D0	D0	D0	11	9	16	18	D6	D6	D6	D6	D6	D6
D1	D1	D1	D1	D1	D1	12	10	15	17	D5	D5	D5	D5	D5	D5
D2	D2	D2	D2	D2	D2	13	11	14	16	D4	D4	D4	D4	D4	D4
0V	0V	0V	0V	0V	0V	14	12	13	15	D3	D3	D3	D3	D3	D3

Figuur 8/5.1-3: Door gebruik te maken van de overeenkomsten tussen de verschillende EPROM's kunnen printkaarten worden voorbereid op grotere geheugens.

Het programmeren

Aangezien het programmeren aan strenge voorschriften is gebonden en er per type kleine verschillen kunnen zijn, kan voor het programmeren geen algemene regel worden gegeven. Bij elk type EPROM zal daarom het betreffende programmeervoorschrift worden vermeld.

In principe wordt telkens de volgende volgorde doorlopen (byte voor byte):

- adres kiezen;
- data aanbrengen;
- programmeerpuls geven.

Er moet echter ook rekening worden gehouden met het tijdstip waarop de programmeerspanning wordt aangebracht, aangezien die veel hoger is dan de normale bedrijfsspanning. Bij sommige typen kan die continu aanwezig zijn tijdens het hele programmeerproces; bij andere typen hebben sommige aansluitingen meerdere functies en gelden er speciale voorschriften. Ook de tijdsduur van de programmeerpuls kan verschillen. Bij de oudere typen bedraagt die nog 50 ms; bij de nieuwere (grotere) typen zou de totale programmeertijd hierdoor te lang worden en is de pulsduur verkort.

EPROM's met herkenningscode

Door het massale gebruik van EPROM's zijn steeds meer fabrikanten zich gaan toeleggen op de produktie ervan. Hierdoor zijn verschillen per type ontstaan. Hoewel de

5.1 Achtergrond-informatie

27210	27010	27011	27513	27512	◀ EPROM-Type ▶	27512	27513	27011	27010	27210
Vpp					1 — 40					+5 V
$\overline{CE}$					2 — 39					$\overline{PGM}$
D15					3 — 38					NC
D14					4 — 37					A15
D13	Vpp				5, 1 — 32, 36				+5 V	A14
D12	A16				6, 2 — 31, 35				$\overline{PGM}$	A13
D11	A15	Vpp/RS	NC	A15	7, 3, 1 — 28, 30, 34	+5 V	+5 V	+5 V	NC	A12
D10	A12	A12	A12	A12	8, 4, 2 — 27, 29, 33	A14	$\overline{WE}$	$\overline{PGM/WE}$	A14	A11
D9	A7	A7	A7	A7	9, 5, 3 — 26, 28, 32	A13	A13	A13	A13	A10
D8	A6	A6	A6	A6	10, 6, 4 — 25, 27, 31	A8	A8	A8	A8	A9
0 V	A5	A5	A5	A5	11, 7, 5 — 24, 26, 30	A9	A9	A9	A9	0 V
D7	A4	A4	A4	A4	12, 8, 6 — 23, 25, 29	A11	A11	A11	A11	A8
D6	A3	A3	A3	A3	13, 9, 7 — 22, 24, 28	$\overline{OE}$/Vpp	$\overline{OE}$/Vpp	$\overline{OE}$	$\overline{OE}$	A7
D5	A2	A2	A2	A2	14, 10, 8 — 21, 23, 27	A10	A10	A10	A10	A6
D4	A1	A1	A1	A1	15, 11, 9 — 20, 22, 26	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	A5
D3	A0	A0	A0	A0	16, 12, 10 — 19, 21, 25	D7	D7	D7	D7	A4
D2	D0	P0/D0	P0/D0	D0	17, 13, 11 — 18, 20, 24	D6	D6	D6	D6	A3
D1	D1	P1/D1	P1/D1	D1	18, 14, 12 — 17, 19, 23	D5	D5	D5	D5	A2
D0	D2	P2/D2	D2	D2	19, 15, 13 — 16, 18, 22	D4	D4	D4	D4	A1
OE	0 V	0 V	0 V	0 V	20, 16, 14 — 15, 17, 21	D3	D3	D3	D3	A0

Figuur 8/5.1-4: Uitbreiding van figuur 8/5.1-3 voor de 512k en 1M typen.

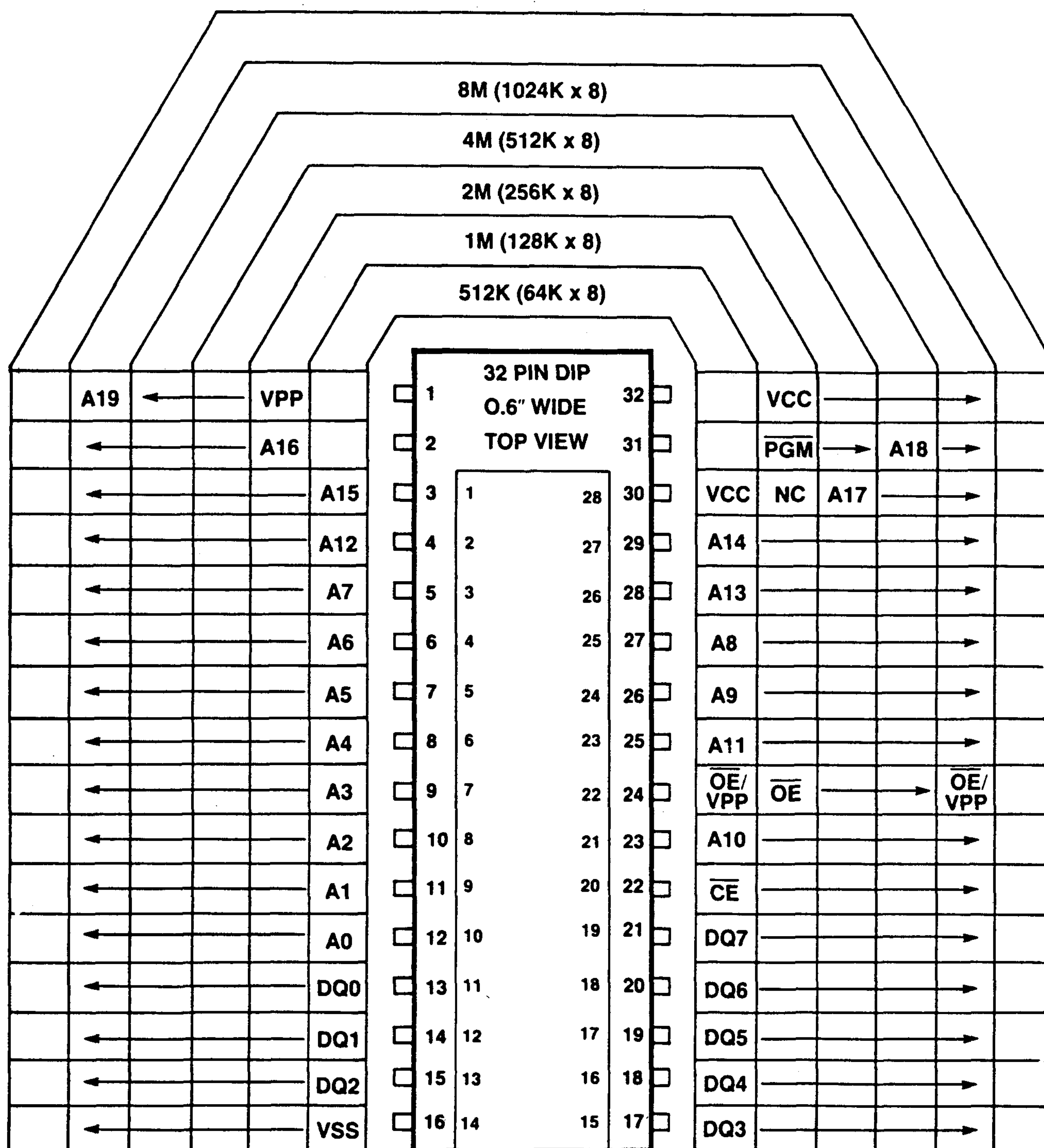
EPROM's door de als industrie-standaard erkende JEDEC-aansluitingen bij het uitlezen volkomen compatibel zijn, bestaan er grote verschillen wat programmeerspanning en programmeer-algoritme betreft.

Om het programmeren van een EPROM gemakkelijker te maken, wordt deze tijdens de produktie direct van een herkenningscode – de 'Silicon Signature Read Out' – voorzien, waarmee de programmeer-parameters worden vastgelegd. Deze code bestaat uit twee bytes: de eerste identificeert de fabrikant en de tweede het type EPROM. Uiteraard hebben de meeste fabrikanten een andere naam gevonden voor dezelfde methode, zoals:
- AMD: 'Auto Select Mode';
- Intel: 'Intelligent Identifier Mode'
- Seeq: 'Silicon Signature';
- Toshiba: 'Electric Signature Mode'.

Door het herkennen van deze 'handtekening in silicium' stellen moderne programmeer-

5.1 Achtergrond-informatie

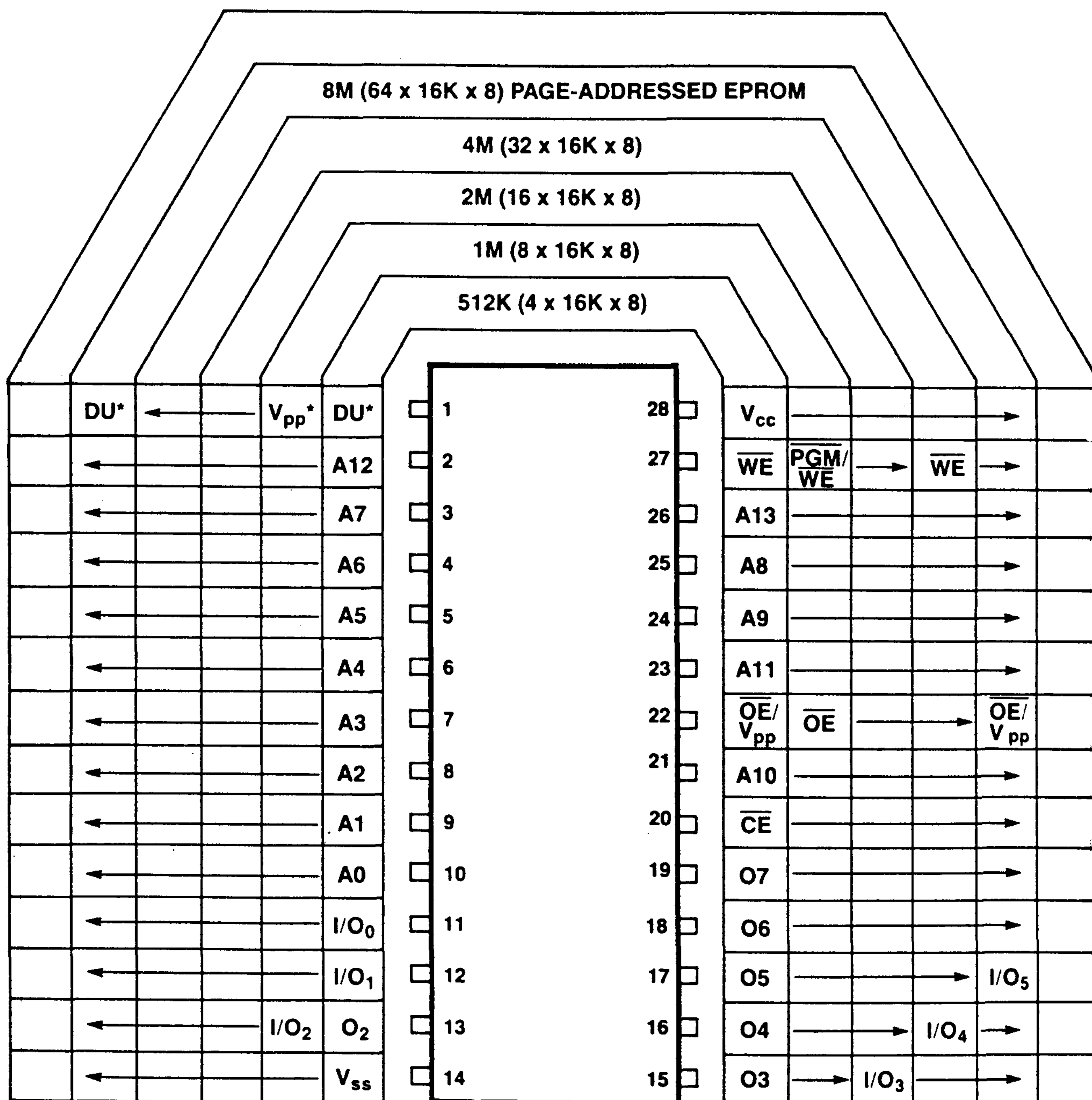
32 PIN x 8 DIP



Figuur 8/5.1-5: Toekomstige uitbreiding van 'gewone' byte-wide EPROM's.

5.1 Achtergrond-informatie

28 PIN x 8 DIP

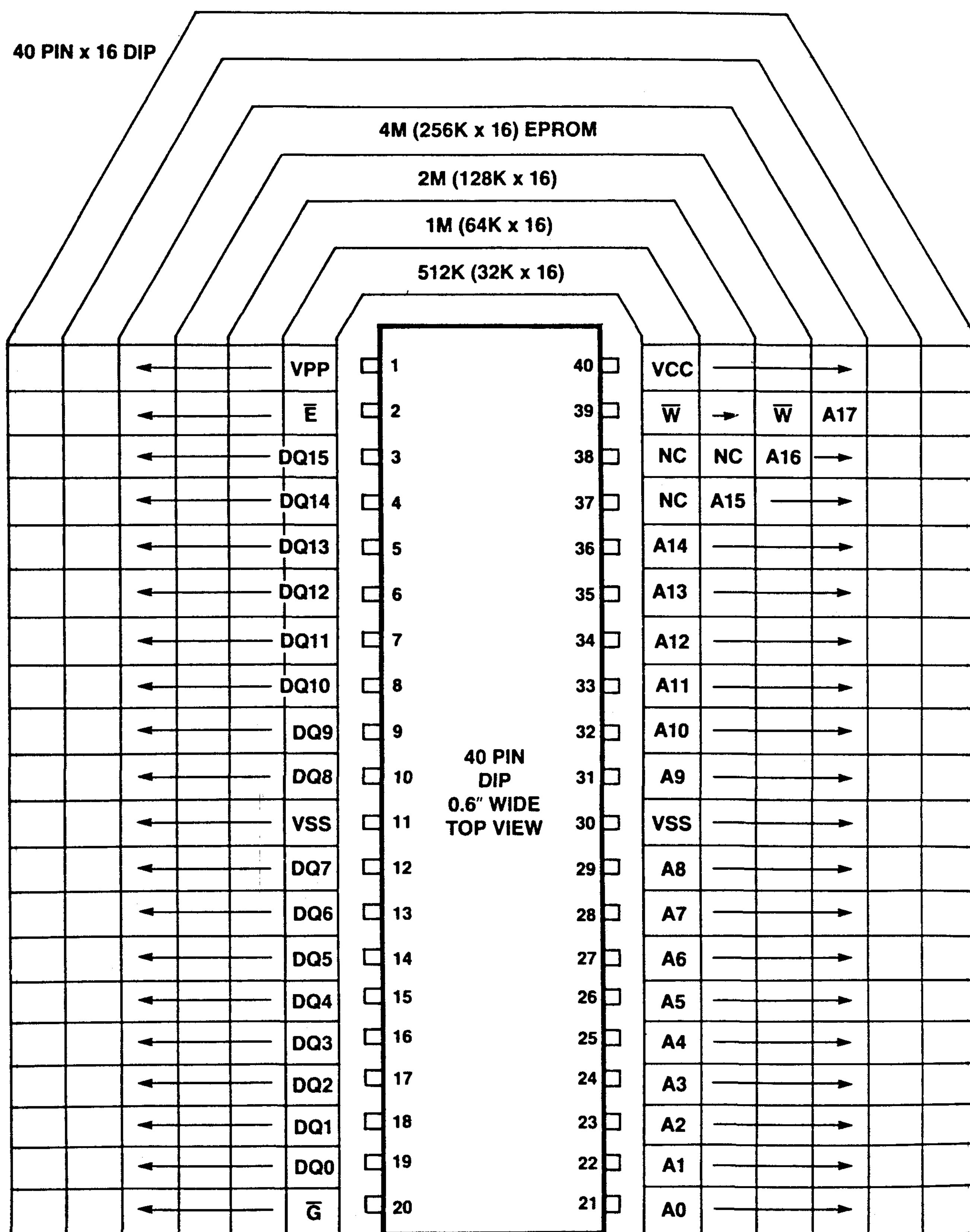


DU = Don't Use

* This pin should be tied to an active low system reset line ($\overline{RST}$). Although not included in initial 512K or 1M devices, a feature will be added later (2H'86) to reset device to PAGE O when this line is brought to a TTL low (Vil).

Figuur 8/5.1-6: Toekomstige uitbreiding van byte-wide EPROM's met pagina-adressering.

5.1 Achtergrond-informatie



Figuur 8/5.1-7: Toekomstige uitbreiding van 16-bit 'worde-wide' EPROM's.

VPP on EPROM = VCC in READ Mode

apparaten zich automatisch in op de specificaties van de in de socket aanwezige EPROM. Deze code kan heel eenvoudig worden uitgelezen door de adrespen A9 op 12 V te zetten, waarna een logische NUL op adrespen A0 maakt dat byte 1 op de datauitgang komt en byte 2 door een logische EEN. Op alle andere adrespennen moet dan een logische NUL staan.

Helaas wordt deze code niet door alle EPROM-fabrikanten aangebracht (waarschijnlijk doordat de EPROM's door het plotseling aanbrengen van 12 V op A9 kunnen beschadigen).

Hieronder volgen enkele herkenningscodes:
- Byte 1 (fabrikant):
  01 AMD;
  89 Intel;
  94 Seeq;
  97 Texas Instruments;
  98 Toshiba.
- Byte 2 (type):
  08 2764A (12,5 V);
  07 27C64 (12,5 V);
  37 87C64 (12,5 V);
  83 27128 (21 V);
  04 27256 (12 V);
  00 27512 (12,5 V).

Flash-EPROM's

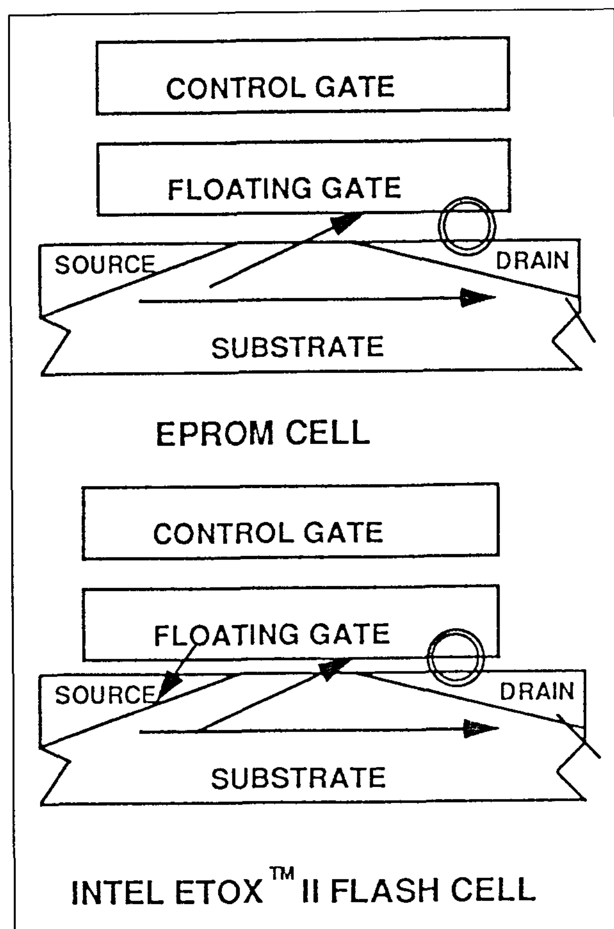
Inleiding
Reeds in 1983 werd begonnen met onderzoek naar halfgeleidergeheugens waarbij de informatie niet alleen kon worden vastgehouden, maar ook veranderd. In 1985 werd door Toshiba de Flash geheugen-technologie geïntroduceerd, die in 1988 als gevolg van onderzoek door Intel op het gebied van OTP's (One-Time Programmable EPROM's) op grote schaal doorbrak.
Bij Flash-geheugens wordt de geprogrammeerde informatie vastgehouden (ook bij weghalen van de voedingsspanning), maar vervalt het langdurige wissen met ultra-violet licht dat bij EPROM's (zie hiervoor) nodig is. Flash-EPROM's kunnen in een PROM-programmeervoet of op de printkaart zélf in de definitieve schakeling worden geprogrammeerd. Men heeft dus de mogelijkheid van "On-Board Programmeren": OBP.

Twee soorten Flash-EPROM's
Wat opbouw betreft kunnen de Flash-geheugens in twee hoofdgroepen worden onderverdeeld: de eerste groep is gebaseerd op de EPROM en heeft één transistor per geheugencel en de tweede groep berust op de EEPROM's en heeft twee transistoren per cel.
Men moet dus onderscheid maken tussen Flash-EPROM's en Flash-EEPROM's.

Begin 1992 heeft AMD een nieuw type: de 5 V-only, negative gate erase Flash-EPROM aangekondigd. Dit flash-geheugen bevat ook één-transistor geheugencellen, maar werkt op een enkele voedingsspanning van 5 V. Inwendig wordt door middel van een "charge-pump" een negatieve wis/programmeerspanning van -10,5 V opgewekt. Om compatibel te zijn met de 5 V/12 V-typen is de V_{PP}-pen hiervan open gelaten.

Flash-EPROM's
Bij de oudste serie (Flash-I) werd alle informatie tegelijk elektrisch gewist. Bij Flash-II kan de opgeslagen informatie selectief (per blok) worden gewist en herschreven. Flash-II geheugencellen zijn net als EPROM's opgebouwd uit enkele transistoren met een zwevende gate waarop lading kan worden opgeslagen (figuur 8/5.1-8). Door de toegepaste ETOX-technologie kan de oxydelaag ongeveer 20 maal dunner zijn dan bij EPROM's, waardoor degeneratie wordt voorkomen. Flash-geheugens kunnen ruim 100.000 maal worden geprogrammeerd door met een hulpspanning van 12 V op de gate een "hot electron injection" mechanisme te aktiveren. Bij het wissen wordt deze spanning ook gebruikt (maar dan op de source) om de opgeslagen lading van de zwe-

vende gate naar de source te laten afvloeien (zie figuur 8/5.1-9). Bij Flash-II geheugens worden dus twee voedingsspanningen gebruikt: +5 V en +12 V, hetgeen ook de veiligheid ten goede komt. Deze soort geheugens wordt onder andere gefabriceerd door Intel, AMD, Mitsubishi, Hitachi en Catalyst. Ter illustratie is in figuur 8/5.1-10 het wissen van een 5 V/negatieve gate Flash-EPROM te zien. De negatieve spanning wordt met behulp van een inwendige ladingspomp (charge pump) opgewekt.



Figuur 8/5.1-8: Overeenkomst tussen een EPROM cel en een Flash-II cel.

Flash-EEPROM's

Er zijn ook op de EEPROM-technologie gebaseerde Flash-geheugens die met slechts één voedingsspanning werken. De geheugencellen hiervan bestaan echter telkens uit twee transistoren, terwijl inwendig extra schakelingen (timers, ladingspompen voor de interne opwekking van de benodigde hulpspanning en "write-protect"-schakelingen) nodig zijn. Deze geheugens hebben het voordeel dat de informatie per byte kan worden gewist. Daar staat tegenover dat de dichtheid, het aantal geheugencellen per oppervlakte-eenheid, geringer is en ze daardoor dus duurder zijn. Deze typen worden niet apart behandeld, maar wel zal telkens worden aangegeven over welk type het gaat. Fabrikanten van deze typen zijn onder andere: Texas Instruments, Catalyst, Atmel en Toshiba.

Toepassingen

Er zijn twee belangrijke toepassingsgebieden voor Flash-geheugens:

- embedded systemen (door microcontroller bestuurd);
- elektronische gegevensverwerking.

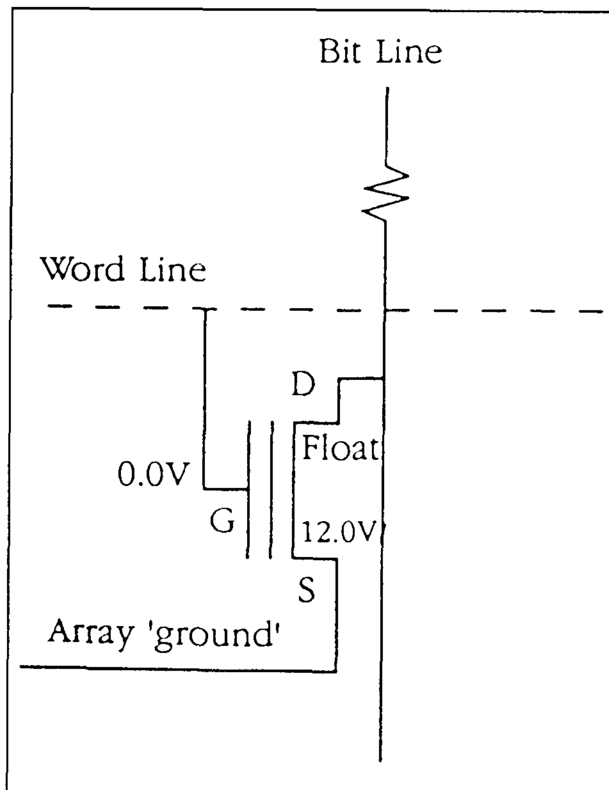
Onder embedded systemen vallen bijvoorbeeld disk-controllers, robots, testapparatuur, cellulaire telefoons (code), medische toepassingen, consumentenelektronica (pay-TV) en auto-elektronica. Onder gegevensverwerking vallen bijvoorbeeld desktop, laptop, notebook en palmtop PC's (voor de BIOS en in plaats van diskettes), werkstations en terminals (beveiliging), laserprinters (fonts), kopieer-apparaten en fax-machines.

Speciaal voor "upgradeable" BIOS toepassingen heeft Intel een Flash-geheugen met "boot block" ontwikkeld. Hiermee kan de BIOS ***veilig*** worden veranderd zonder de computer open te maken, met behulp van een floppy-disk of via een modem per telefoon.

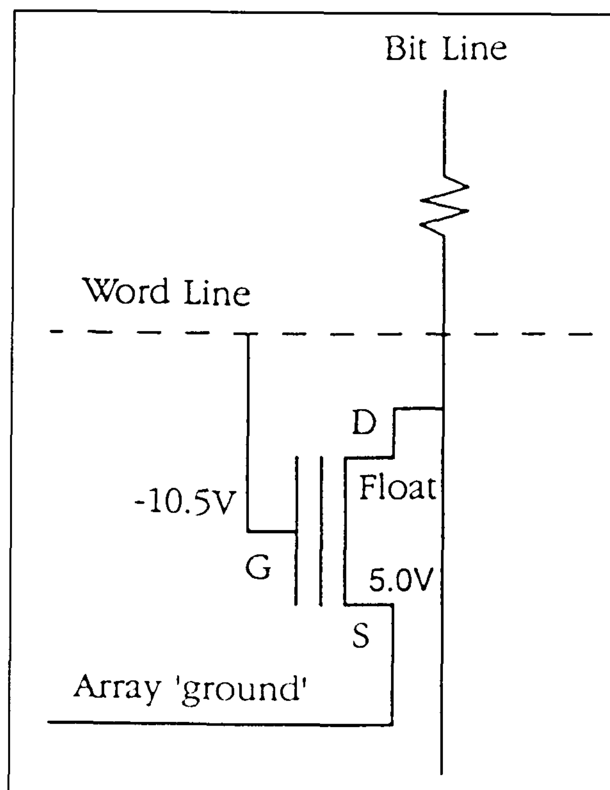
Om uitwisselbare Flash hard-disks te verkrijgen werken fabrikanten samen om tot echte standaardisatie van de connectoren te komen. Op dit moment zijn al twee normen voor de 68-polige connector in gebruik: PCMIA

5.1 Achtergrond-informatie

(Personal Computer Memory Card International Association) en JEIDA (Japanese Electronic Industry Development Association). De toekomstige norm, ExCA, moet geschikt zijn voor uitwisselbare geheugen-, modem-, fax- en LAN-insteekkaarten en/of 1 inch hard disk-drives. Tenslotte geeft figuur 8/5.1-11 een indruk van de door Intel verwachte ontwikkelingen op het gebied van de enkele-cel Flash-geheugenchips.

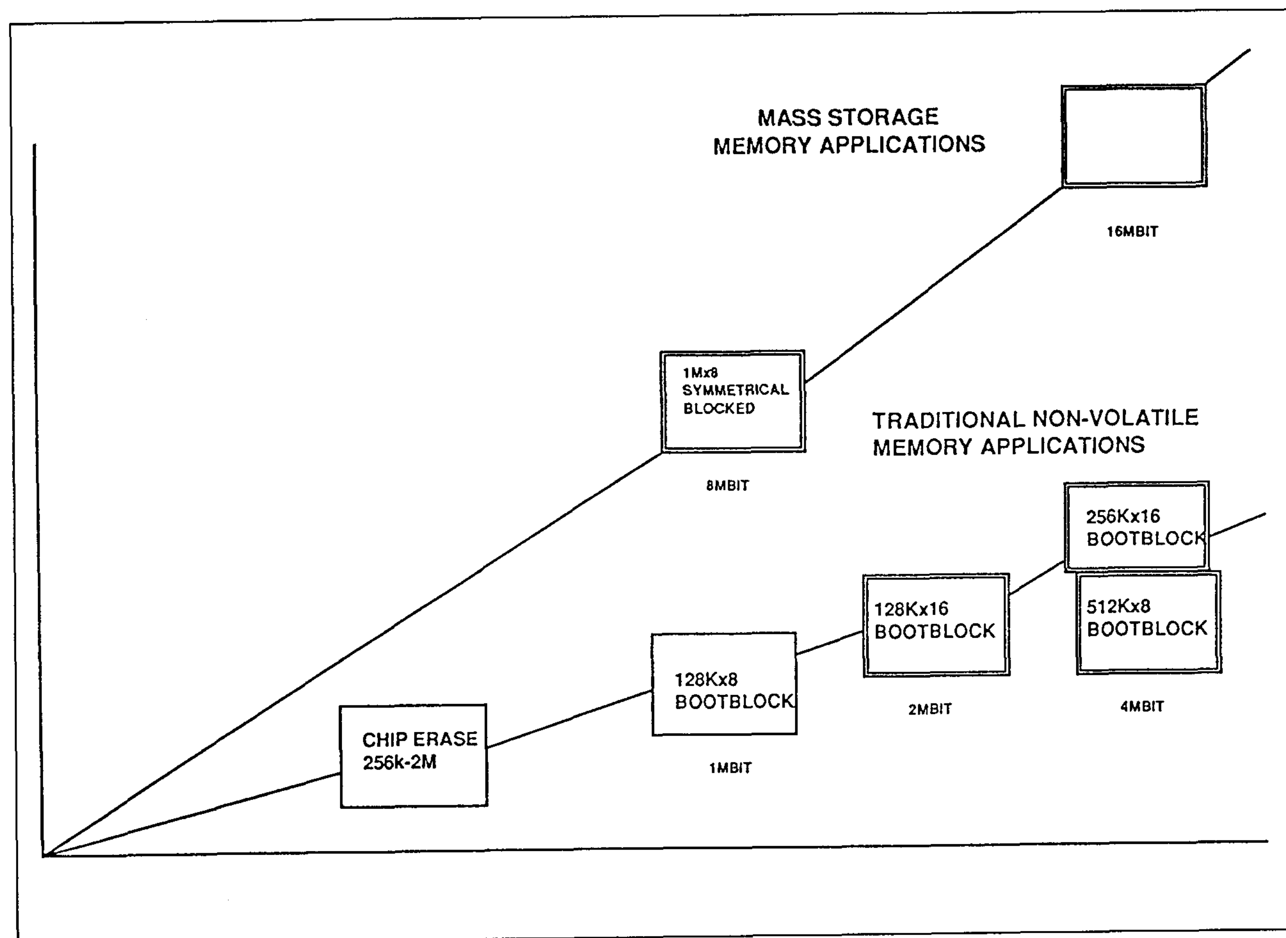


Figuur 8/5.1-9: Het wissen van 5 V/12 V Flash EPROM's.



Figuur 8/5.1-10: Het wissen van 5 V-only/negatieve gate Flash EPROM's.

5.1 Achtergrond-informatie



Figuur 8/5.1-11: Verwachte ontwikkelingen op het gebied van de Flash-geheugens.

8/5.2

Equivalentenlijst 27yyy EPROM's

2k X 8 (5V)

merk	typenummer(s)
AMD	2716
Fujitsu	MBM 2716
Hitachi	HN 462716
Intel	2716
Mitsubishi	M5L 2716
Mostek	MK 2716
Motorola	MCM 2716/MCM 27L16
National	MM 2716
NEC	μPD 2716
Oki	MSM 2716
SGS	M 2716
Texas Instr.	TMS 2516
Toshiba	TMM 323

4k X 8 (5V)

merk	typenummer(s)
AMD	Am 2732
Fujitsu	MBM 2732A
Hitachi	HN 462732
Intel	2732A
Mitsubishi	M5L 2732
NEC	μPD 2732
Oki	MSM 2732
SGS	M 2732A
Texas Instr.	TMS 2732A
Toshiba	TMM 2732

8k X 8 (5V)

merk	typenummer(s)
AMD	2764A
Fairchild	2764
Fujitsu	MBM 2764
Hitachi	HN 482764
Intel	2764(A)
Mitsubishi	M5L 2764
NEC	μPD 2764
Oki	MSM 2764A
Seeq	2764
SGS	M 2764
Texas Instr.	TMS 2764
Toshiba	TMM 2764

8k X 8 (CMOS)

merk	typenummer(s)
AMD	27C64
Fujitsu	MBM 27C64
Hitachi	HN 27C64
Intel	27C64
NEC	μPD 27C64
Philips	27C64A/87C64
Texas Instr.	TMS 27C64

5.2 Equivalentenlijst 27yyy EPROM's

16k X 8 (5V)

merk	typenummer(s)
AMD	Am 27128A
Fujitsu	MBM 27128
Hitachi	HN 4827128
Intel	27128A
Mitsubishi	M5L 27128
NEC	μPD 27128
Oki	MSM 27128A
Seeq	27128
Texas Instr.	TMS 27C128
Toshiba	TMM 27128

32k X 8 (5V)

merk	typenummer(s)
AMD	Am 27256
Fujitsu	MBM 27256
Hitachi	HN 27256
Intel	27256/27C256
National	NM 27C256
NEC	μPD 27256/μPD27C256
Seeq	27C256
Texas Instr.	TMS 27C256
Toshiba	TC 27256

64k X 8 (5V)

merk	typenummer(s)
AMD	Am 27512/Am27C512
Fujitsu	MBM 27512
Hitachi	HN 27512G
Intel	D27512
NEC	uPD 27C512
SGS/Thomson	M 27512
Texas Instr.	TMS 27C512

4 X 16k X 8

merk	typenummer(s)
Intel	D27513

128k X 8

merk	typenummer(s)
Hitachi	HN 27C101G
Intel	D27010
NEC	uPD 27C1001D

8 X 16k X 8

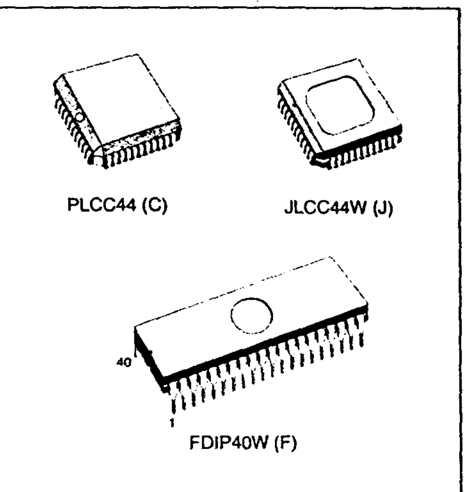
merk	typenummer(s)
Intel	D27011

64k X 16

merk	typenummer(s)
AMD	Am 27C1024
Hitachi	HN 27C1024G
Intel	D27210
Fujitsu	MBM 27C1024
NEC	uPD 27C1024
Texas Instr.	TMX 27C210

CMOS 4 Megabit (256K x 16) UV EPROM and OTP ROM

- VERY FAST ACCESS TIME: 80ns
- COMPATIBLE with HIGH SPEED MICROPROCESSORS, ZERO WAIT STATE
- LOW POWER "CMOS" CONSUMPTION:
  - Active Current 50mA at 5MHz
  - Standby Current 100µA
- PROGRAMMING VOLTAGE: 12.75V
- ELECTRONIC SIGNATURE for AUTOMATED PROGRAMMING
- PROGRAMMING TIMES of AROUND 24sec. (PRESTO II ALGORITHM)



DESCRIPTION

The M27C4002 is a high speed 4 Megabit UV erasable and programmable memory (EPROM) ideally suited for microprocessor systems requiring large programs. It is organised as 262,144 by 16 bits.

The Window Ceramic Frit-Seal Dual-in-Line and J-Lead Chip Carrier packages have transparent lids which allow the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

For applications where the content is programmed only one time and erasure is not required, the M27C4002 is offered in Plastic Leaded Chip Carrier package.

Figure 1. Logic Diagram

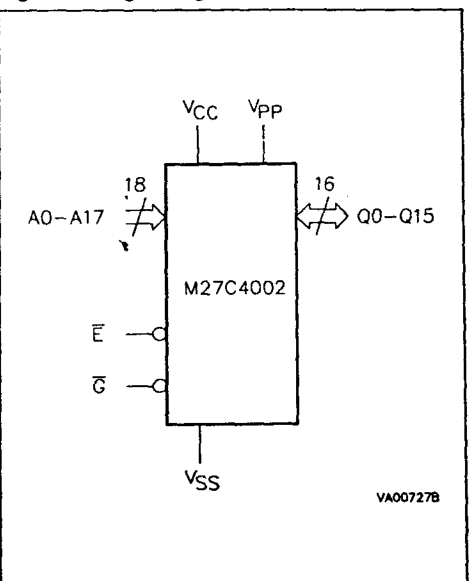


Table 1. Signal Names

A0 - A17	Address Inputs
Q0 - Q15	Data Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground

Figure 2A. DIP Pin Connections

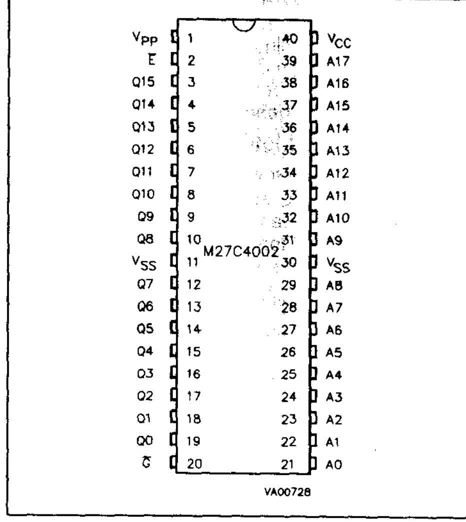
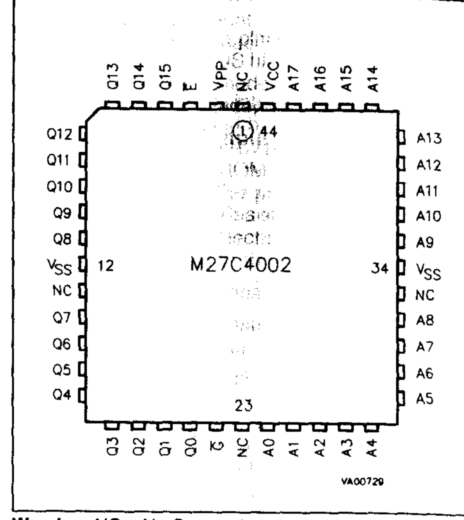


Figure 2B. LCC Pin Connections



Warning: NC = No Connection.

Table 2. Absolute Maximum Ratings (1)

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature	–40 to 125	°C
T_{BIAS}	Temperature Under Bias	–50 to 125	°C
T_{STG}	Storage Temperature	–65 to 150	°C
V_{IO} (2)	Input or Output Voltages (except A9)	–2 to 7	V
V_{CC}	Supply Voltage	–2 to 7	V
V_{A9} (2)	A9 Voltage	–2 to 13.5	V
V_{PP}	Program Supply Voltage	–2 to 14	V

Notes: 1. Except for the rating "Operating Temperature Range", stresses above those listed in the Table "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those indicated in the Operating sections of this specification is not implied. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability. Refer also to the SGS-THOMSON SURE Program and other relevant quality documents.
2. Minimum DC voltage on Input or Output is –0.5V with possible undershoot to –2.0V for a period less than 20ns. Maximum DC voltage on Output is V_{CC} +0.5V with possible overshoot to V_{CC} +2V for a period less than 20ns.

DEVICE OPERATION

The modes of operations of the M27C4002 are listed in the Operating Modes table. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for Electronic Signature.

Read Mode

The M27C4002 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{E}$) is the power control and should be used for device selection. Output Enable ($\overline{G}$) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that the addresses are stable, the address access time (t_{AVQV}) is equal to the delay from $\overline{E}$ to output (t_{ELQV}). Data is available at the output after a delay of t_{GLQV} from the falling edge of $\overline{G}$, assuming that $\overline{E}$ has been low and the addresses have been stable for at least t_{AVQV}-t_{GLQV}.

Standby Mode

The M27C4002 has a standby mode which reduces the active current from 50mA to 100µA. The

DEVICE OPERATION (cont'd)

M27C4002 is placed in the standby mode by applying a CMOS high signal to the $\overline{E}$ input. When in the standby mode, the outputs are in a high impedance state, independent of the $\overline{G}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, the product features a 2 line control function which accommodates the use of multiple memory connection. The two line control function allows:

a. the lowest possible memory power dissipation,

b. complete assurance that output bus contention will not occur.

For the most efficient use of these two control lines, $\overline{E}$ should be decoded and used as the primary device selecting function, while $\overline{G}$ should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This ensures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is required from a particular memory device.

System Considerations

The power switching characteristics of Advanced CMOS EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer: the standby current level, the active current level, and transient current peaks that are produced by the falling and rising edges of $\overline{E}$. The magnitude of the transient current peaks is dependent on the output capacitive and inductive loading of the device.

The associated transient voltage peaks can be suppressed by complying with the two line output-control and by properly selected decoupling capacitors. It is recommended that a 0.1µF ceramic capacitor be used on every device between V_{CC} and V_{SS}. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7µF bulk electrolytic capacitor should be used between V_{CC} and V_{SS} for every eight devices. The bulk capacitor should be located near the power supply connection point. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of PCB traces.

Programming

When delivered (and after each erasure for UV EPROM), all bits of the M27C4002 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by die exposure to ultraviolet light (UV EPROM). The M27C4002 is in the programming mode when V_{PP} input is at 12.75V, and $\overline{E}$ is at TTL-low. The data to be programmed is applied 16 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL. V_{CC} is specified to be 6.25V ± 0.25V.

Table 3. Operating Modes

Mode	$\overline{E}$	$\overline{G}$	A9	V_{PP}	Q0 - Q15
Read	V_{IL}	V_{IL}	X	V_{CC} or V_{SS}	Data Out
Output Disable	V_{IL}	V_{IH}	X	V_{CC} or V_{SS}	Hi-Z
Program	V_{IL} Pulse	V_{IH}	X	V_{PP}	Data In
Verify	V_{IH}	V_{IL}	X	V_{PP}	Data Out
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	Hi-Z
Standby	V_{IH}	X	X	V_{CC} or V_{SS}	Hi-Z
Electronic Signature	V_{IL}	V_{IL}	V_{ID}	V_{CC}	Codes

Note: X = V_{IH} or V_{IL}, V_{ID} = 12V ± 0.5V

Table 4. Electronic Signature

Identifier	A0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Hex Data
Manufacturer's Code	V_{IL}	0	0	1	0	0	0	0	0	20h
Device Code	V_{IH}	0	1	0	0	0	1	0	0	44h

AC MEASUREMENT CONDITIONS

Input Rise and Fall Times	≤ 20ns
Input Pulse Voltages	0.4V to 2.4V
Input and Output Timing Ref. Voltages	0.8V to 2.0V

Note that Output Hi-Z is defined as the point where data is no longer driven.

Figure 3. AC Testing Input Output Waveforms

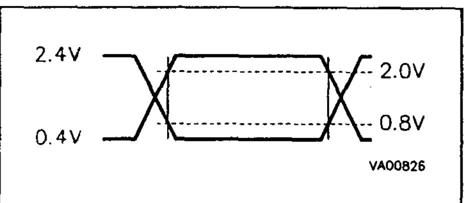


Figure 4. AC Testing Load Circuit

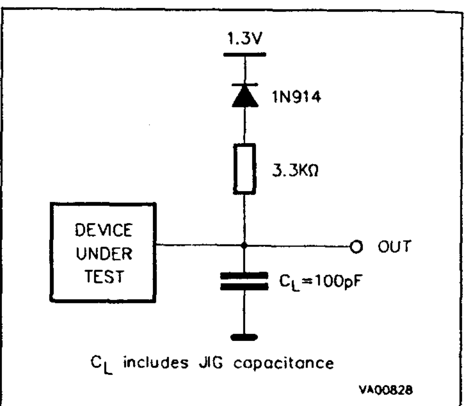


Table 5. Capacitance [1] (T_A = 25 °C, f = 1 MHz)

Symbol	Parameter	Test Condition	Min	Max	Unit
C_{IN}	Input Capacitance	V_{IN} = 0V		6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V		12	pF

Note: 1. Sampled only, not 100% tested.

Figure 5. Read Mode AC Waveforms

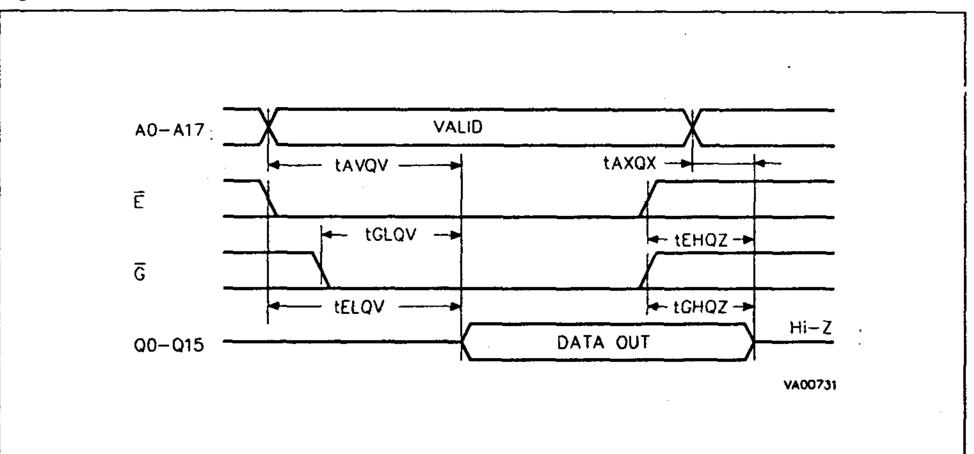


Table 6. Read Mode DC Characteristics [1]
(T_A = 0 to 70 °C or –40 to 85 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±10	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC}	Supply Current	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}, I_{OUT} = 0mA, f = 10MHz		70	mA
		$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}, I_{OUT} = 0mA, f = 5MHz		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}		1	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E}$ > V_{CC} – 0.2V		100	µA
I_{PP}	Program Current	V_{PP} = V_{CC}		10	µA
V_{IL}	Input Low Voltage		–0.3	0.8	V
V_{IH} [2]	Input High Voltage		2	V_{CC} + 1	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage TTL	I_{OH} = –400µA	2.4		V
	Output High Voltage CMOS	I_{OH} = –100µA	V_{CC} – 0.7V		V

Notes: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}
2. Maximum DC voltage on Output is V_{CC} +0.5V.

Table 7A. Read Mode AC Characteristics [1]
(T_A = 0 to 70 °C or –40 to 85 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Alt	Parameter	Test Condition	M27C4002 -80 Min	-80 Max	-10 Min	-10 Max	-12 Min	-12 Max	Unit
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}		80		100		120	ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G}$ = V_{IL}		80		100		120	ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E}$ = V_{IL}		40		50		60	ns
t_{EHQZ} [2]	t_{DF}	Chip Enable High to Output Hi-Z	$\overline{G}$ = V_{IL}	0	30	0	30	0	40	ns
t_{GHQZ} [2]	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E}$ = V_{IL}	0	30	0	30	0	40	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}	0		0		0		ns

Table 7B. Read Mode AC Characteristics [1]
(T_A = 0 to 70 °C or –40 to 85 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Alt	Parameter	Test Condition	M27C4002 -15 Min	-15 Max	-20 Min	-20 Max	Unit
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}		150		200	ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G}$ = V_{IL}		150		200	ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E}$ = V_{IL}		60		70	ns
t_{EHQZ} [2]	t_{DF}	Chip Enable High to Output Hi-Z	$\overline{G}$ = V_{IL}	0	50	0	80	ns
t_{GHQZ} [2]	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E}$ = V_{IL}	0	50	0	80	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}	0		0		ns

Notes: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Sampled only, not 100% tested.

Table 8. Programming Mode DC Characteristics (1)
(T_A = 25 °C; V_{CC} = 6.25V ± 0.25V; V_{PP} = 12.75V ± 0.25V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0 \le V_{IN} \le V_{CC}$		±10	µA
I_{CC}	Supply Current			50	mA
I_{PP}	Program Current	$\overline{E} = V_{IL}$		50	mA
V_{IL}	Input Low Voltage		–0.3	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage TTL	I_{OH} = –400µA	2.4		V
V_{ID}	A9 Voltage		11.5	12.5	V

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.

Table 9. Programming Mode AC Characteristics (1)
(T_A = 25 °C; V_{CC} = 6.25V ± 0.25V; V_{PP} = 12.75V ± 0.25V)

Symbol	Alt	Parameter	Test Condition	Min	Max	Unit
t_{AVEL}	t_{AS}	Address Valid to Chip Enable Low		2		µs
t_{QVEL}	t_{DS}	Input Valid to Chip Enable Low		2		µs
t_{VPHEL}	t_{VPS}	V_{PP} High to Chip Enable Low		2		µs
t_{VCHEL}	t_{VCS}	V_{CC} High to Chip Enable Low		2		µs
t_{ELEH}	t_{PW}	Chip Enable Program Pulse Width		95	105	µs
t_{EHQX}	t_{DH}	Chip Enable High to Input Transition		2		µs
t_{QXGL}	t_{OES}	Input Transition to Output Enable Low		2		µs
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid			100	ns
t_{GHQZ}	t_{DFP}	Output Enable High to Output Hi-Z		0	130	ns
t_{GHAX}	t_{AH}	Output Enable High to Address Transition		0		ns

Notes: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Sampled only, not 100% tested.

Figure 6. Programming and Verify Modes AC Waveforms

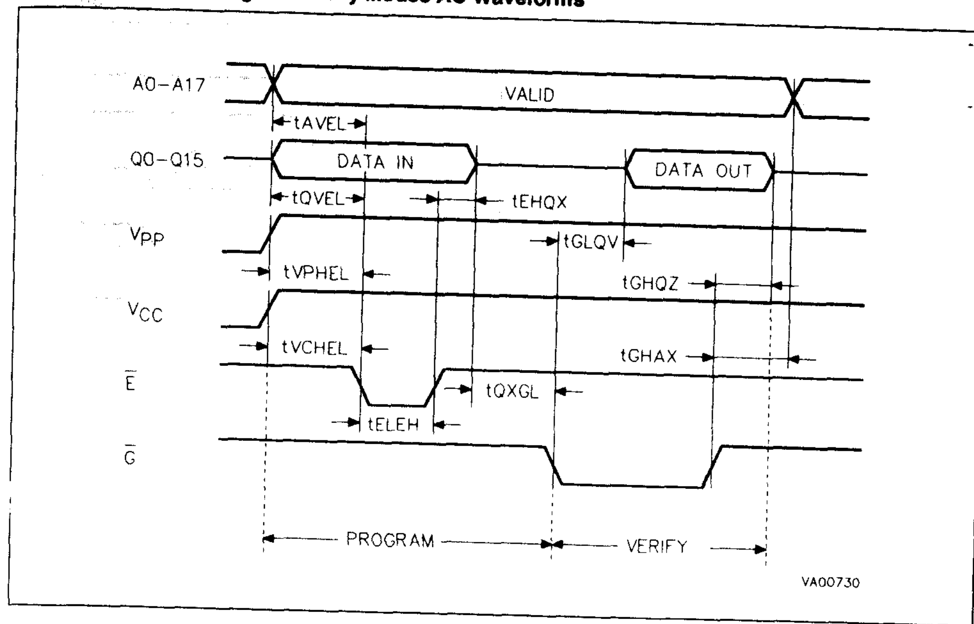
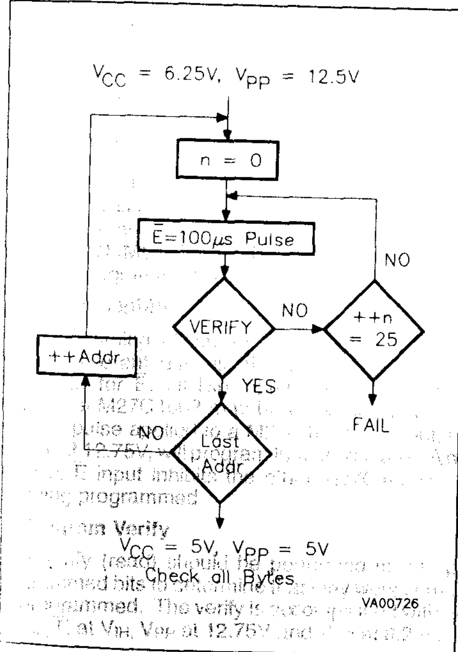


Figure 7. Programming Flowchart



PRESTO II Programming Algorithm

PRESTO II Programming Algorithm allows the whole array to be programmed with a guaranteed margin, in a typical time of less than 24 seconds. Programming with PRESTO II consists of applying a sequence of 100µs program pulses to each byte until a correct verify occurs. During programming and verify operation, a MARGIN MODE circuit is automatically activated in order to guarantee that each cell is programmed with enough margin. No overprogram pulse is applied since the verify in MARGIN MODE provides necessary margin to each programmed cell.

Program Inhibit

Programming of multiple M27C4002s in parallel with different data is also easily accomplished. Except for $\overline{E}$, all like inputs including $\overline{G}$ of the parallel M27C4002 may be common. A TTL low level pulse applied to a M27C4002's $\overline{E}$ input, with V_{PP} at 12.75V, will program that M27C4002. A high level $\overline{E}$ input inhibits the other M27C4002s from being programmed.

Program Verify

A verify (read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{G}$ at V_{IL}, $\overline{E}$ at V_{IH}, V_{PP} at 12.75V and V_{CC} at 6.25V.

8/5.3

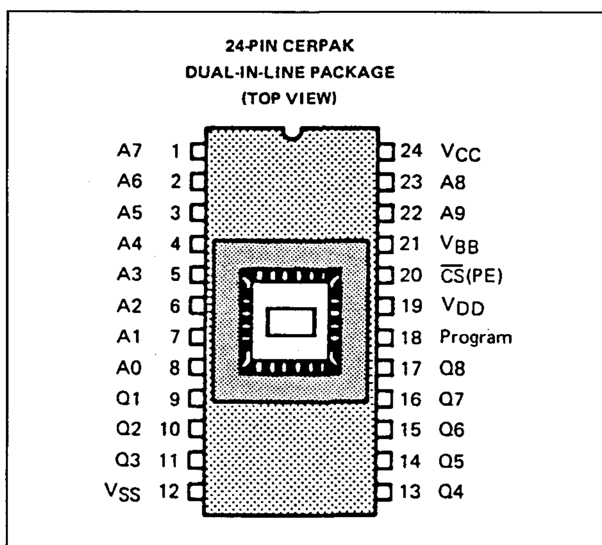
Type-beschrijving 27yyy-serie

2708

1k X 8, NMOS

De 2708 is een 8192 bit Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM) met de volgende kenmerken:

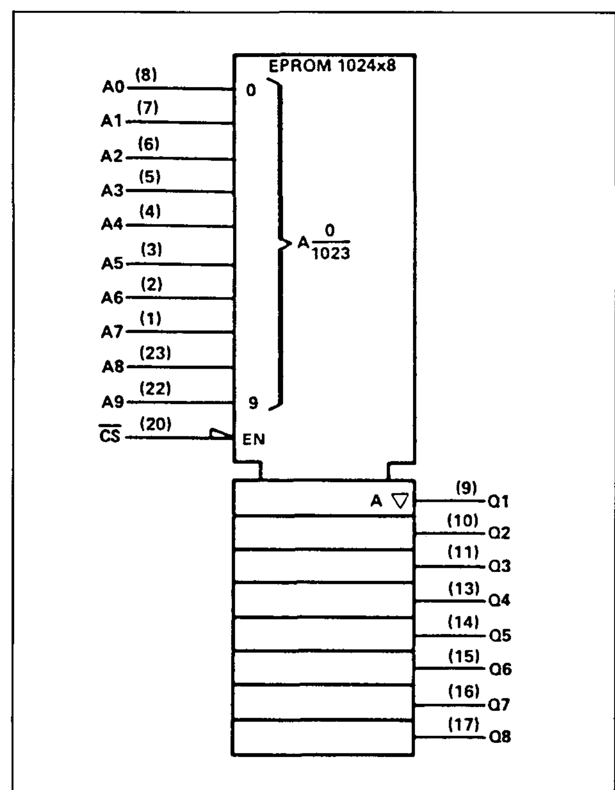
- 1024 X 8 bits organisatie;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- statische werking (zonder clock of refresh);
- voedingsspanningen +5 V, −5 V, +12 V;
- leverbare typen zijn bijvoorbeeld:
  TMS 2708-35 (350 ns toegangstijd);
  TMS 2708-45 (450 ns);
  TMS 27L08-45 (450 ns);
- 24-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-1).



Figuur 8/5.3-1: Aansluitingen van de 2708.

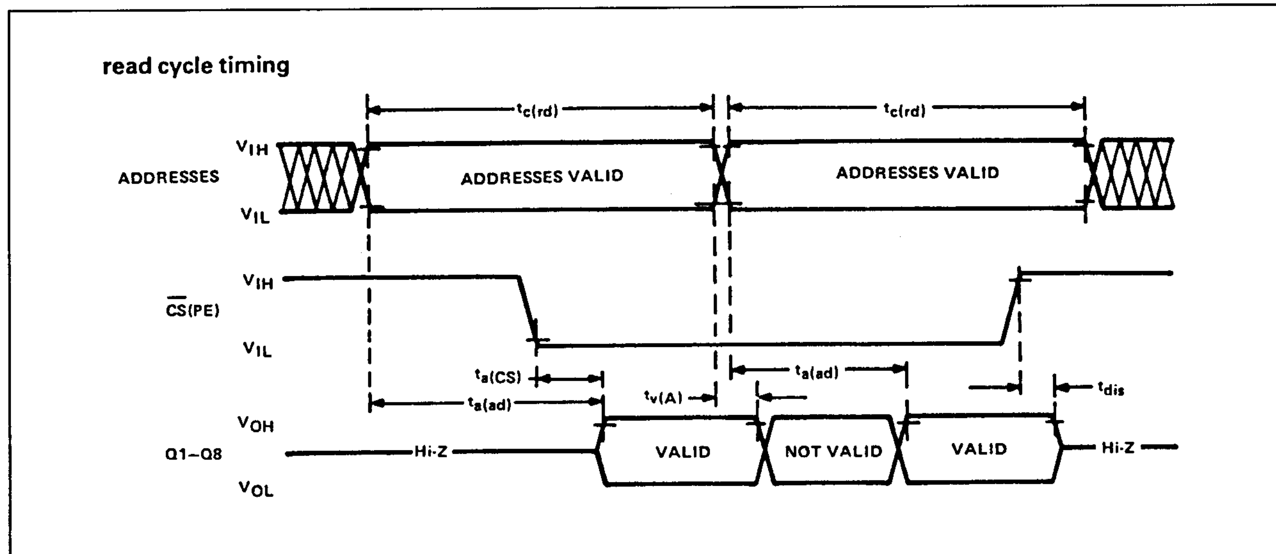
Werking lees-mode

Het 10-bit adres wordt op de chip zelf gedecodeerd om één van de 1024 8-bit woorden te selecteren. A0 is het LSB (minst belangrijke bit); A9 het MSB (belangrijkste).
Wanneer de chip-select (CS/PE) LAAG is, zijn alle acht uitgangen vrijgegeven (enabled) en kan het 8-bit woord worden uitgelezen. Is de chip-select HOOG, dan bevinden de uitgangen zich in de hoog-impedante toestand.



Figuur 8/5.3-2: Logisch symbool van de 2708.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-3: Timing bij het uitlezen van de EPROM (zie ook tabel 8/5.3-5).

De chip moet worden geselecteerd voordat het uitgangswoord kan worden gelezen. Data blijf geldig totdat het adres wordt veranderd of de chip niet langer geselecteerd is (figuur 8/5.3-3).
In de lees-mode moet de spanning op de program-pen lager zijn dan Vcc.

Werking programmeer-mode

Wissen

Voor het programmeren wordt de EPROM gewist door de chip via het kwarts-venstertje bloot te stellen aan ultraviolet licht (253,7 nm). De aanbevolen minimum dosis (UV intensiteit X belichtingstijd) bedraagt 15 Ws/cm^2. Een filterloze UV-lamp die 12 mW/cm^2 uitstraalt zal de EPROM dus in 21 minuten wissen (op een afstand van circa 2,5 cm). Na het wissen zijn alle bits HOOG.

Programmeren

Het programmeren gebeurt door telkens een kleine lading aan te brengen op een geselecteerde geheugencel die uit de gewiste HOOG toestand LAAG moet worden. Het programmeren wordt gewoonlijk bij kamertemperatuur (25°C) gedaan door middel van een PROM- of EPROM-programmer.

Om het programmeren te starten (zie figuur 8/5.3-4) moet eerst de $\overline{CS}$(PE)-pen op + 12 V worden gebracht om de uitgangen te sperren en ze om te zetten in ingangen. Deze pen moet gedurende het hele programmeerproces HOOG blijven. Dan wordt het eerste te programmeren woord geadresseerd (er wordt meestal begonnen met het '0' adres) en de data wordt op de ingangen Q1 tot en met Q8 gezet. Daarna wordt een + 25 V puls die 0,1 à 1,0 ms duurt op de program-pen gegeven. Na ten minste 1 μs wordt het adres veranderd en kan nieuwe data op het volgende adres worden gezet en geprogrammeerd. Het programmeren gaat door totdat alle woorden zijn geprogrammeerd. Deze volgorde wordt N maal herhaald, waarin N × $t_{w(PR)}$ = 100 ms. Dus als $t_{w(PR)}$ = 1 ms, bedraagt het minimum aantal programmeerlussen N = 100.

Om het programmeren na N lussen te stoppen, moeten pen 18 op 0 V en pen $\overline{CS}$(PE) op V_{IL} worden gebracht. De data die door het programmeerapparaat wordt geleverd, moet worden verwijderd voordat het adres verandert omdat de ingangen nu weer uitgangen zijn geworden. De data op de uitgangen Q1 tot en met Q8 is tot 10 μs nadat de

5.3 Type-beschrijving 27yyy-serie

Program Enable-pen van $V_{IH(PE)}$ in V_{IL} is veranderd, ongeldig.

Overige kenmerken
De overige elektrische (DC en AC) kenmerken zijn terug te vinden in de tabellen 8/5.3-1 tot en met 8/5.3-6.

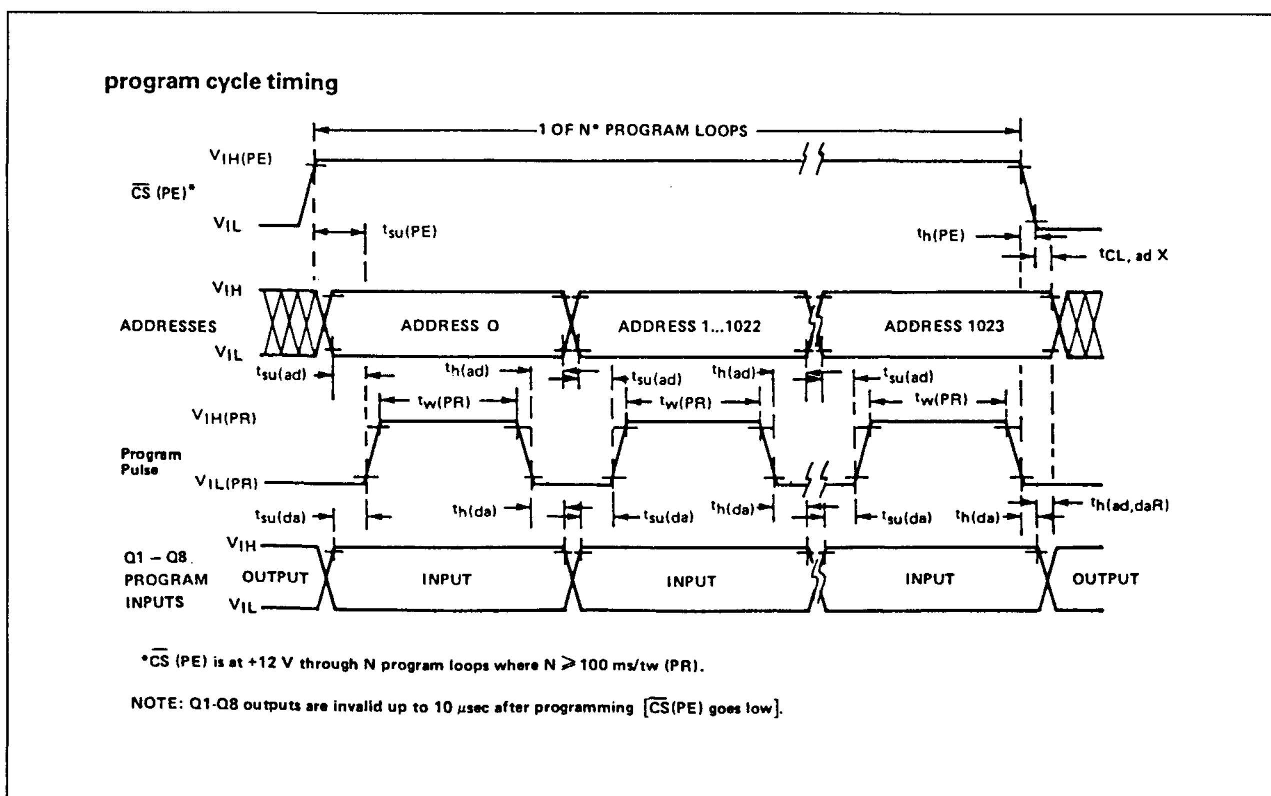
Opmerking
Het wordt overigens afgeraden deze EPROM voor nieuwe ontwerpen te gebruiken.

2716

2k X 8, NMOS, Vprog = 25 V
De 2716 is een 16384 bit Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM). De 2716 werkt op een enkele +5 V voeding, heeft een statische standby-mode (dissipatie, afhankelijk van het merk, cirka 75 % lager) en is snel toegankelijk. De 2716 kan met enkele pulsen op TTL-niveau worden geprogrammeerd, waarbij de geheugenlokaties geheel apart, in blokken of willekeurig kunnen worden geadresseerd. De totale programmeertijd voor alle bits is 100 seconden.

Opmerking
Door Texas Instruments werden vroeger ook TMS2716 EPROM's gemaakt die echter volkomen afwijkend zijn (in feite een 16k-versie van de 2708). De hierna volgende informatie heeft daar totaal geen betrekking op. De TMS2516 van T.I. is echter wel identiek aan de andere 2716's.

Specificaties
De 2716 EPROM heeft als algemene kenmerken:
- 2048 X 8 bits organisatie;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;



Figuur 8/5.3-4: Timing bij het programmeren (zie ook tabel 8/5.3-6).

5.3 Type-beschrijving 27yyy-serie

Supply voltage, V_{CC} (see Note 1) .... −0.3 to 15 V
Supply voltage, V_{DD} (see Note 1) .... −0.3 to 20 V
Supply voltage, V_{SS} (see Note 1) .... −0.3 to 15 V
All input voltage (except program) (see Note 1) .... −0.3 to 20 V
Program Input (see Note 1) .... −0.3 to 35 V
Output voltage (operating, with respect to V_{SS}) .... −2 to 7 V
Operating free-air temperature range .... 0°C to 70°C
Storage temperature range .... −55°C to 125°C

Tabel 8/5.3-1: Absolute maximum waarden.

PARAMETER	TMS2708-35, TMS2708-45			TMS27L08-45			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{BB}	−4.75	−5	−5.25	−4.5	−5	−5.5	V
Supply voltage, V_{CC}	4.75	5	5.25	4.5	5	5.5	V
Supply voltage, V_{DD}	11.4	12	12.6	10.8	12	13.2	V
Supply voltage, V_{SS}		0			0		V
High-level input voltage, V_{IH} (except program and program enable)	2.4		V_{CC}+1	2.2		V_{CC}+1	V
High-level program enable input voltage, $V_{IH(PE)}$	11.4	12	12.6	10.8	12	13.2	V
High-level program input voltage, $V_{IH(PR)}$	25	26	27	25	26	27	V
Low-level input voltage, V_{IL} (except program)	V_{SS}		0.65	V_{SS}		0.65	V
Low-level program input voltage, $V_{IL(PR)}$ Note: $V_{IL(PR)}$ max ≤ $V_{IH(PR)}$ −25 V	V_{SS}		1	V_{SS}		1	V
High-level program pulse input current (sink), $I_{IH(PR)}$			40			40	mA
Low-level program pusle input current (source), $I_{IL(PR)}$			3			3	mA
Operating free-air temperature, T_A	0		70	0		70	°C

Tabel 8/5.3-2: Aanbevolen bedrijfscondities.

PARAMETER		TEST CONDITIONS		TMS 2708-35, TMS 2708-45			TMS 27L08-45			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{OH}	High-level output voltage	I_{OH} = −100 μA		3.7			3.7			V
		I_{OH} = −1 mA		2.4			2.4			
V_{OL}	Low-level output voltage	I_{OL} = 1.6 mA				0.45			0.40	V
I_I	Input current (leakage)	V_I = 0 V to 5.25 V			1	10		1	10	μA
I_O	Output current (leakage)	$\overline{CS}$(PE) = 5 V, V_O = 0.4 V to 5.25 V			1	10		1	10	μA
I_{BB}	Supply current from V_{BB}	All inputs high,			30	45		9	18	mA
I_{CC}	Supply current from V_{CC}	$\overline{CS}$(PE) = 5 V,			6	10		.9	6	mA
I_{DD}	Supply current from V_{DD}	T_A = 0°C (worst case)			50	65		20	34	mA
$P_{D(AV)}$	Power Dissipation	T_A = 70°C				800			350	mW
		T_A = 0°C	CS = 0V					245	475	
		T_A = 0°C	CS = +5 V					290	580	

Tabel 8/5.3-3: Elektrische kenmerken binnen de aanbevolen bedrijfscondities.

PARAMETER		TYP†	MAX	UNIT
C_i	Input capacitance	4	6	pF
C_o	Output capacitance	8	12	pF

Tabel 8/5.3-4: Capaciteit bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

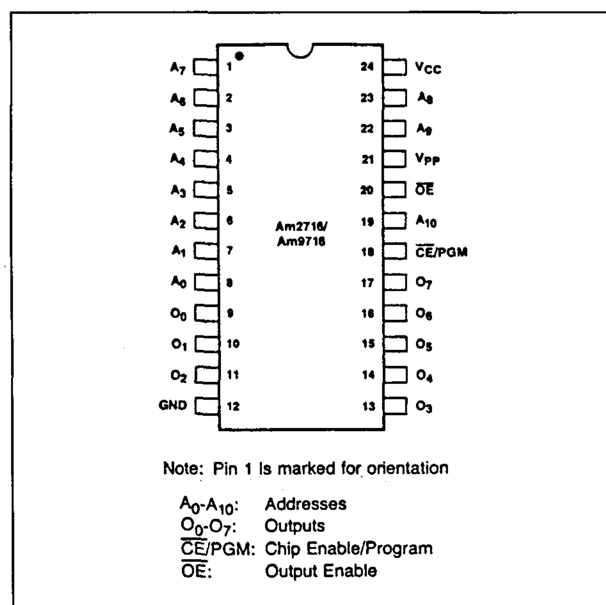
PARAMETER		TEST CONDITIONS	TMS2708-35 MIN	TMS2708-35 MAX	TMS2708 TMS27L08 MIN	TMS2708 TMS27L08 MAX	UNIT
$t_{a(ad)}$	Access time from address			300		450	ns
$t_{a(CS)}$	Access time from $\overline{CS}$	C_L = 100 pF		120		120	ns
$t_{v(A)}$	Output data valid after address change	1 Series 74 TTL load	0		0		ns
t_{dis}	Output disable time†	$t_{f(CS)}$, $t_{f(ad)}$ = 20 ns	0	120	0	120	ns
$t_{c(rd)}$	Read cycle time		300		450		ns

Tabel 8/5.3-5: Schakeltijden.

PARAMETER		MIN	MAX	UNIT
$t_{w(PR)}$	Pulse width, program pulse	0.1	1	ms
t_T	Transition times (except program pulse)		20	ns
$t_{T(PR)}$	Transition times, program pulse	50	2000	ns
$t_{su(ad)}$	Address setup time	10		µs
$t_{su(da)}$	Data setup time	10		µs
$t_{su(PE)}$	Program enable setup time	10		µs
$t_{h(ad)}$	Address hold time	1000		ns
$t_{h(ad,da\,R)}$	Address hold time after program input data stopped	0		ns
$t_{h(da)}$	Data hold time	1000		ns
$t_{h(PE)}$	Program enable hold time	500		ns
$t_{CL,adX}$	Delay time, $\overline{CS}$(PE) low to address change	0		ns

Tabel 8/5.3-6: Karakteristieken bij het programmeren (25°C).

- 8-bits uitgang voor microprocessor-systemen;
- statische werking (zonder clocks of refresh);
- enkele + 5 V voedingsspanning;



Figuur 8/5.3-5: Aansluitingen van de 2716.

- geringe dissipatie: max. 525 mW (in bedrijf)
  max. 132 mW (standby);
- leverbare typen zijn bijvoorbeeld:
  Intel 2716;
  Texas Instr. TMS 2516-35/45 (350 respectievelijk 450 ns);
  Hitachi HN462716 (350, 390, 450 ns);
  AMD Am2716 (300, 350, 390, 400 ns);
  NEC uPD2716 (340 – 450 ns);
- 24-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-5).

Werking

De 2716 heeft 5 verschillende bedrijfsmodes: lezen, stand-by (power-down), programmeren, programmaverificatie en programma-sperren, zoals in tabel 8/5.3-7 te zien is.

Mode \ Pins	$\overline{CE}$/PGM (18)	$\overline{OE}$ (20)	V_{PP} (21)	V_{CC} (24)	Outputs (9-11, 13-17)
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Standby	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

Tabel 8/5.3-7: Selectie van de verschillende bedrijfsmodes.

Het 11-bit adres wordt op de chip gedecodeerd in 2048 woorden van 8-bit.

Wissen
Om alle geheugenlokaties van hun inhoud te ontdoen moet de 2716 worden blootgesteld aan ultra-violet licht (253,7 nm). De aanbevolen minimum dosis (UV intensiteit X belichtingstijd) bedraagt 15 Ws/cm^2. Een UV-lamp die 12 mW/cm^2 uitstraalt kan de EPROM in 15 tot 20 minuten wissen (op een afstand van circa 2,5 cm, waarbij geen filters gebruikt mogen worden). Na het wissen zijn alle bits HOOG.

Programmeren
Bij aflevering of na het wissen bevinden alle 16384 bits zich in de '1' of HOOG toestand. Door het programmeren worden de nullen aangebracht.
Het programmeerproces wordt gestart door + 25 V op de V_{pp}-pen te zetten, terwijl $\overline{OE}$ op V_{IH} staat. De te programmeren lokatie wordt aangewezen door middel van de adrespennen. Op de data-uitgangspennen wordt telkens 8-bits informatie gezet. Wanneer nu zowel het adres als de data stabiel zijn, wordt geprogrammeerd door een TTL HOOG-puls van 50 ms op de $\overline{CE}$/PGM-ingang te zetten. Deze procedure kan adres voor adres met de hand worden gedaan of automatisch met behulp van de juiste schakelingen. Waar het op aan komt is dat elk te programmeren adres een 50 ms puls krijgt. Deze puls mag volstrekt niet lager duren dan 55 ms, zodat tijdens het programmeren een gelijkspanning op de $\overline{CE}$/PGM-ingang verboden is.

Lezen (Read-mode)
De 2716 heeft twee control-functies voor het verkrijgen van data aan de uitgang. Chip-enable ($\overline{CE}$) is de besturing van de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten (of de EPROM geselecteerd is of niet). Aangenomen dat de adressen stabiel zijn, is de adrestoegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is 120 of 150 ns (t_{OE}) na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode
De 2716 heeft een standby-mode, waarin de aktieve vermogensdissipatie zo'n 75 % lager is (van 525 mW naar 132 mW, bij 0 tot 70°C). De EPROM wordt standby gezet door de $\overline{CE}$-ingang HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$-ingang.

OR-verbinding van de uitgangen
Om opname van de EPROM in 'geheugen-arrays' mogelijk te maken heeft de 2716 twee besturingslijnen, die:
- geringe dissipatie mogelijk maken, en
- garanderen dat niet meerdere uitgangen tegelijk 'waar' worden op de bus.

Het wordt aanbevolen om $\overline{CE}$ te decoderen en te gebruiken als de belangrijkste chip-selectie, terwijl $\overline{OE}$ op de READ-lijn van de systeem-controlbus wordt aangesloten en alle chips in het array bestuurt. Hierdoor wordt gegarandeerd dat alle geheugens die niet geselecteerd zijn, in de low-power standby-mode staan en dat de uitgangspennen alleen aktief zijn wanneer data van een bepaald geheugen verlangd wordt.

Programma sperren (Program Inhibit)
Het is zeer eenvoudig om meerdere 2716's parallel met verschillende data te programmeren. Met uitzondering van $\overline{CE}$/PGM mogen alle gelijksoortige ingangen (inclusief $\overline{OE}$) van de parallelle EPROM's met elkaar worden verbonden. Een TTL-programmeerpuls op de $\overline{CE}$/PGM-ingang van een van de 2716's (met V_{pp} op 25 V), zal die 2716 programmeren. Programmeren van de andere 2716's wordt voorkomen door de $\overline{CE}$/PGM-ingangen hiervan LAAG te houden.

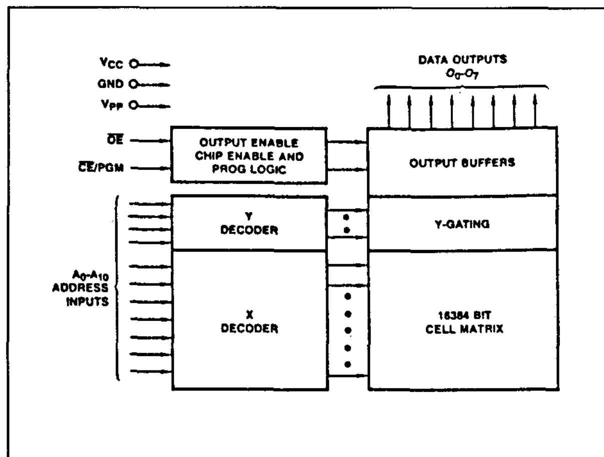
5.3 Type-beschrijving 27yyy-serie

Programma verificatie

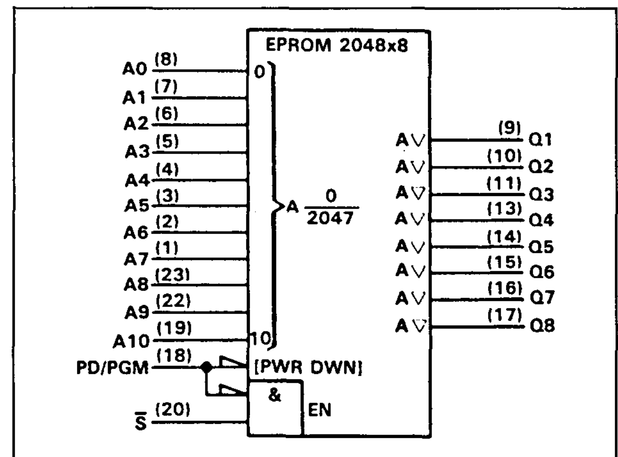
De geprogrammeerde bits dienen te worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle kan worden uitgevoerd met V_{pp} op 25 V. Behalve tijdens het programmeren en de controle hiervan moet V_{pp} op V_{CC} staan.

Overige kenmerken

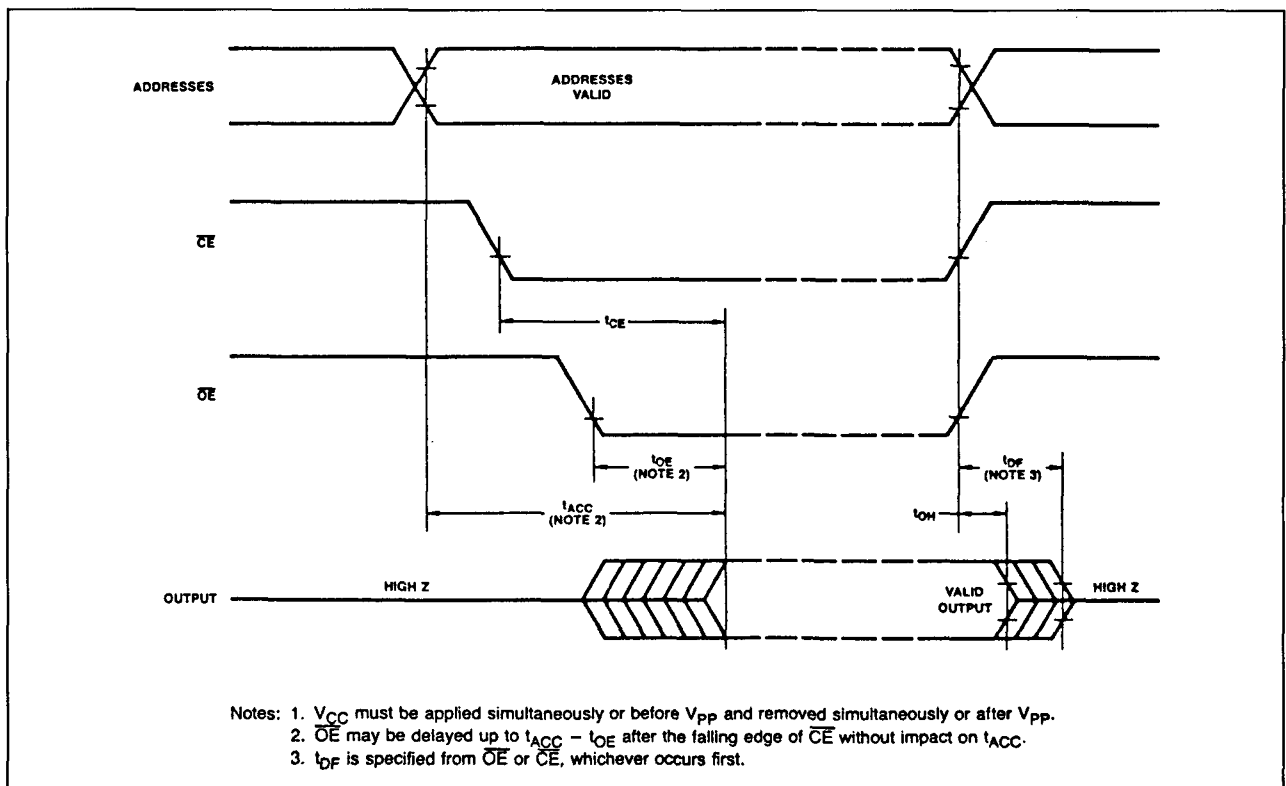
De overige elektrische (DC en AC) kenmerken zijn te zien in figuur 8/5.3-6 tot en met 8/5.3-9 en de tabellen 8/5.3-8 tot en met 8/5.3-14. De hier vermelde gegevens slaan op de AMD-typen (bij andere merken kunnen sommige waarden iets afwijken).



Figuur 8/5.3-6: Blokschema van de 2716.

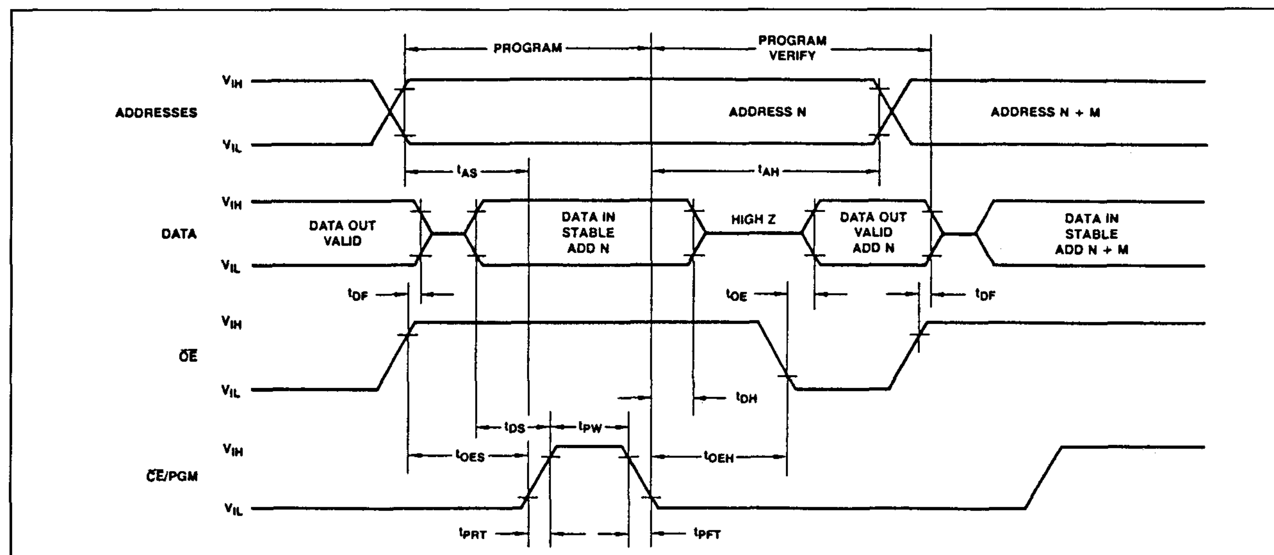


Figuur 8/5.3-7: Logisch symbool.



Figuur 8/5.3-8: Timing bij het uitlezen van de EPROM (zie ook tabel 8/5.3-11).

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-9: Timing bij het programmeren (zie ook tabel 8/5.3-14).

MAXIMUM RATINGS above which the useful life may be impaired

Storage Temperature	−65 to +150°C
Ambient Temperature Under Bias	−65 to +135°C
Voltage on All Inputs/Outputs (except V_{PP}) with Respect to GND	+6V to −0.3V
Voltage on V_{PP} During Program with Respect to GND	+26.5V to −0.3V

Tabel 8/5.3-8: Absolute maximum waarden.

DC AND AC READ OPERATIONS CONDITIONS (Notes 1, 2)

	Temperature Range	V_{CC}	V_{PP}
AM2716DC/AM2716-2DC	0 to +70°C	5V ± 5%	V_{PP} (Note 2) = V_{CC} For all device types
AM9716DC/AM2716-1DC	0 to +70°C	5V ± 10%	
AM2716DI/AM2716-1DI	−40 to +85°C	5V ± 5%	
AM2716DL/AM2716-1DL	−55 to +100°C	5V ± 10%	
AM2716DM	−55 to +125°C	5V ± 10%	

Tabel 8/5.3-9: Toleranties van de voedingsspanning en toegelaten bedrijfstemperaturen.

DC CHARACTERISTICS

Parameters	Description	Test Conditions	Min Values All Types	Maximum Values DL/DM	DI	DC	Units
I_{LI}	Input Load Current	V_{IN} = V_{CC} (Max) and V_{IN} = 0		10	10	10	μA
I_{LO}	Output Leakage Current	V_{OUT} = V_{CC} (Max) and V_{OUT} = 0		10	10	10	μA
I_{PP1} (Note 2)	V_{PP} Current	V_{PP} = V_{CC} (Max)		5	5	5	mA
I_{CC1} (Note 2)	V_{PP} Current (Standby)	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL}		30	30	25	mA
I_{CC2} (Note 2)	V_{CC} Current (Active)	$\overline{OE}$ = $\overline{CE}$ = V_{IL}		115	110	100	mA
V_{IL}	Input Low Voltage		−0.1	0.8	0.8	0.8	Volts
V_{IH}	Input High Voltage		2.0	V_{CC}+1	V_{CC}+1	V_{CC}+1	Volts
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA @ V_{CC} (Min)		0.45	0.45	0.45	Volts
V_{OH}	Output High Voltage	I_{OH} = −400μA @ V_{CC} (Min)	2.4				Volts

Tabel 8/5.3-10: Gelijkstroom-condities.

5.3 Type-beschrijving 27yyy-serie

AC CHARACTERISTICS

Parameters	Description	Test Conditions (Note 3)	Min Values	Maximum Values						Units
			All Types	9716 DC	2716-1 DC	2716-2 DC	2716 DC	2716-1 DI/DL	2716 DI/DL/DM	
t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		300	350	390	450	350	450	ns
t_{CE}	$\overline{CE}$ to Output Delay	$\overline{OE} = V_{IL}$		300	350	390	450	350	450	ns
t_{OE}	Output Enable to Output Delay	$\overline{CE} = V_{IL}$		120	120	120	120	150	150	ns
t_{DF}	Output Enable High to Output Float	$\overline{CE} = V_{IL}$	0	100	100	100	100	130	130	ns
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurred First	$\overline{CE} = \overline{OE} = V_{IL}$	0							ns

Tabel 8/5.3-11: Schakeltijden bij het uitlezen.

CAPACITANCE (Note 4)

$T_A = +25°C$, f = 1MHz

Parameters	Description	Test Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	$V_{IN} = 0V$	4	6	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0V$	8	12	pF

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Other Test Conditions: a) Output Load: 1 TTL gate and C_L = 100pF
b) Input Rise and Fall Times: ≤20ns
c) Input Pulse Levels: 0.8 to 2.2V
d) Timing Measurement Reference Level:
Inputs: 1V and 2V
Outputs: 0.8V and 2V
4. This parameter is only sampled and is not 100% tested.

Tabel 8/5.3-12: Capaciteiten bij 1 MHz.

DC PROGRAMMING CHARACTERISTICS

$T_A = +25°C \pm 5°C$, V_{CC} (Note 1) = 5V ±5%, V_{PP} (Notes 1, 2) = 25V ±1V

Parameters	Description	Test Conditions	Min	Max	Units
I_{LI}	Input Current	V_{IN} = 5.25/0.45V		10	μA
I_{PP1}	V_{PP} Supply Current	$\overline{CE}$/PGM = V_{IL}		5	mA
I_{PP2}	V_{PP} Supply Current During Programming Pulse	$\overline{CE}$/PGM = V_{IH}		30	mA
I_{CC}	V_{CC} Supply Current			100	mA
V_{IL}	Input Low Level		−0.1	0.8	Volts
V_{IH}	Input High Level		2.0	V_{CC}+1	Volts

Tabel 8/5.3-13: Gelijkstroom-condities tijdens het programmeren.

5.3 Type-beschrijving 27yyy-serie

AC PROGRAMMING CHARACTERISTICS

T_A = +25°C ±5°C, V_{CC} (Note 1) = 5V ±5%, V_{PP} (Notes 1, 2) = 25V ±1V

Parameters	Description	Test Conditions	Min	Max	Units
t_{AS}	Address Set-up Time	Input t_R and t_F (10% to 90%) = 20ns Input Signal Levels = 0.8 to 2.2V Input Timing Reference Level = 1V and 2V Output Timing Reference Level = 0.8V and 2V	2		µs
t_{OES}	Output Enable Set-up Time		2		µs
t_{DS}	Data Set-up Time		2		µs
t_{AH}	Address Hold Time		2		µs
t_{OEH}	Output Enable Hold Time		2		µs
t_{DH}	Data Hold Time		2		µs
t_{DF}	Output Disable to Output Float Delay ($\overline{CE}$/PGM = V_{IL})		0	120	ns
t_{OE}	Output Enable to Output Delay ($\overline{CE}$/PGM = V_{IL})		–	120	ns
t_{PW}	Program Pulse Width		45	55	ms
t_{PRT}	Program Pulse Rise Time		5	–	ns
t_{PFT}	Program Pulse Fall Time		5	–	ns

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} must not be greater than 26 volts including overshoot. Permanent device damage may occur if the device is taken out of or put into the socket when V_{PP} = 25 volts is applied. Also, during $\overline{OE}$ = $\overline{CE}$/PGM = V_{IH}, V_{PP} must not be switched from 5 volts to 25 volts or vice versa.

Tabel 8/5.3-14: Schakeltijden bij het programmeren.

2716B

2k X 8, NMOS, Vprog = 12,5 V

De 2716B is een 'low-density' EPROM van AMD. De B-versie berust op dezelfde NMOS fabricageprocessen als de 2764A en grotere EPROM's. Deze technieken maken niet alleen kortere toegangstijden mogelijk (tabel 8/5.3-15), maar ook lagere programmeerspanningen en kortere programmeerpulsen. Na programmering is de 2716B pen-voorpen identiek aan de 2716.

TACC	VCC	2716	2716B
150 ns	±5% ±10%	N/A N/A	2716B-155 2716B-150
200 ns	±5% ±10%	N/A N/A	2716B-205 2716B-200
250 ns	±5% ±10%	N/A N/A	2716B 2716B-250
300 ns	±5% ±10%	N/A 2716-1	2716B-305 2716B-300
450 ns	±5% ±10%	2716 N/A	2716B-455 2716B-450

Tabel 8/5.3-15: Vergelijking van de schakeltijden bij de 2716 en de 2716B.

In het volgende wordt alleen de van de 2716 afwijkende informatie gegeven.

Zoals in tabel 8/5.3-16 te zien is, kent de 2716B 7 bedrijfsmodes: output-disable en auto-select zijn extra functies.

MODE \ PINS	$\overline{CE}$/PGM	$\overline{OE}$	A_9	V_{PP}	OUTPUTS
Read	L	L	X	V_{CC}	D_{OUT}
Output Disable	L	H	X	V_{CC}	Hi-Z
Standby	H	X	X	V_{CC}	Hi-Z
Program	H	H	X	V_{PP}	D_{IN}
Program Verify	L	L	X	V_{PP}	D_{OUT}
Program Inhibit	L	H	X	V_{PP}	Hi-Z
Auto Select	L	L	V_H	V_{CC}	Code

Tabel 8/5.3-16: Selectie van de verschillende functies.

De functie output-disable werd in feite al bij de 2716 behandeld, bij 'OR-verbinding van de uitgangen'.

Auto Select Mode

De Auto Select Mode maakt automatische identificatie van het EPROM-type en de fabrikant mogelijk (tabel 8/5.3-17). Om van de-

5.3 Type-beschrijving 27yyy-serie

Pins / Identifier	A_0	DQ_7	DQ_6	DQ_5	DQ_4	DQ_3	DQ_2	DQ_1	DQ_0	Hex Data
Manufacturer Code	V_{IL}	0	0	0	0	0	0	0	1	01
Am2716B Device Code	V_{IH}	1	0	0	0	0	1	1	0	86

Notes: 1. A_9 = 12.0 V ±0.5 V
2. All other Address Lines = $\overline{CE}$ = $\overline{OE}$ = V_{IL}

Tabel 8/5.3-17: Identificatie-codes.

ze functie gebruik te maken moet het programmeer-apparaat 12 V ± 0,5 V op de adreslijn A9 zetten. Door nu A0 LAAG te maken kan de fabrikant-code op DQ0 tot en met DQ7 worden gelezen en met A0 HOOG verschijnt de type-code. Alle andere adreslijnen moeten tijdens de Auto Select Mode LAAG zijn. Beide codes hebben oneven pariteit, waarbij DQ7 (MSB) het pariteitsbit is.

Programmeren

Bij aflevering of na het wissen bevinden alle 16384 bits zich in de '1' of HOOG toestand. Door het programmeren worden de nullen aangebracht.

De 2716B wordt geprogrammeerd door + 12,5 V op de Vpp-pen te zetten en positieve TTL-pulsen op $\overline{CE}$/PGM te geven. De te programmeren data wordt met 8 bits parallel op de Data I/O-pennen (DQn) gezet.

In figuur 8/5.3-10 is te zien aan welke interaktieve programmeer-algoritme AMD de voorkeur geeft. Bij interaktieve algoritmen is de benodigde programmeertijd korter dan bij andere algoritmen, die overigens ook zijn toegestaan (ook de conventionele 50 ms puls, zolang de maximum specificaties niet worden overschreden). Bij de interaktieve algoritme wordt de programmeertijd verkort door 1 ms pulsen te gebruiken en elk adres slechts zoveel pulsen te geven als nodig is voor een betrouwbare programmering van de data. Na elke puls die op een bepaald adres is gegeven, wordt de data op dat adres gecontroleerd. Wanneer de data niet overeenstemt wordt een extra puls gegeven (tot maximaal 15 pulsen). Dit proces wordt herhaald bij elk adres in de EPROM. Het interaktieve deel van de algoritme wordt geprogrammeerd en geverifieerd bij Vcc = 6,0 V ± 5 %.

Het overprogrammeer-gedeelte van de algoritme programmeert de hele array door op elk adres nog eens een extra 2 ms programmeerpuls te geven bij Vcc = 5 V. Na het laatste adres wordt de gehele EPROM gecontroleerd bij Vcc = 5 V ± 5 %.

Programma verificatie

De geprogrammeerde bits dienen te worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle kan t_{OE} ns na de dalende flank van $\overline{OE}$ worden uitgevoerd met V_{pp} op 12,5 V.

Overige kenmerken

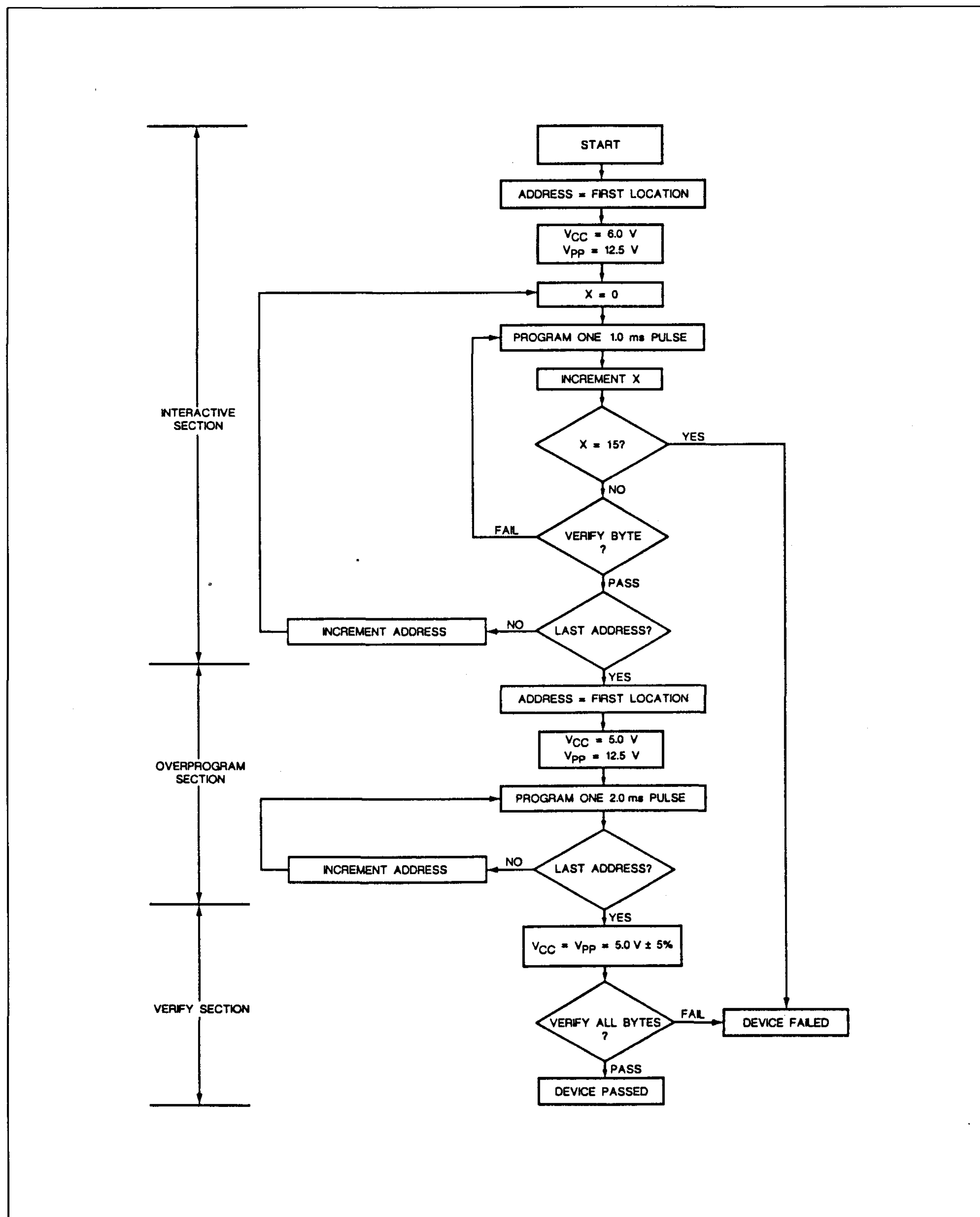
De overige elektrische (DC en AC) kenmerken van de AMD-typen zijn te zien in de figuren 8/5.3-11 en de tabellen 8/5.3-18 tot en met 8/5.3-23.

ABSOLUTE MAXIMUM RATINGS

Storage Temperature .... −65 to +150°C
Ambient Temperature with Power Applied . −65 to +135°C
Supply Voltage
with respect to Ground
on all Inputs except A_9 and V_{PP} .... +6.25 to −0.6 V
on A_9 .... +13.50 to −0.6 V
on V_{PP} .... +13.50 to −0.6 V

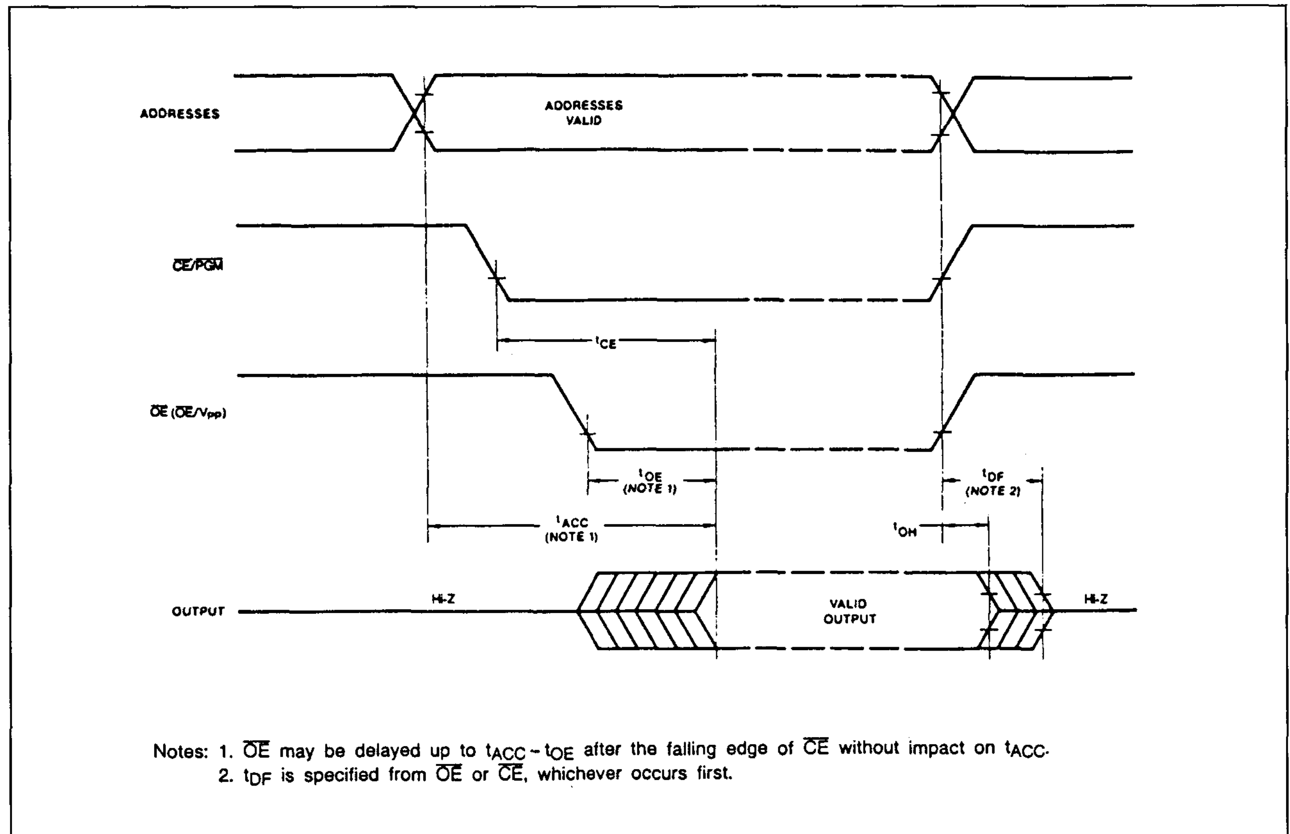
Tabel 8/5.3-18: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie

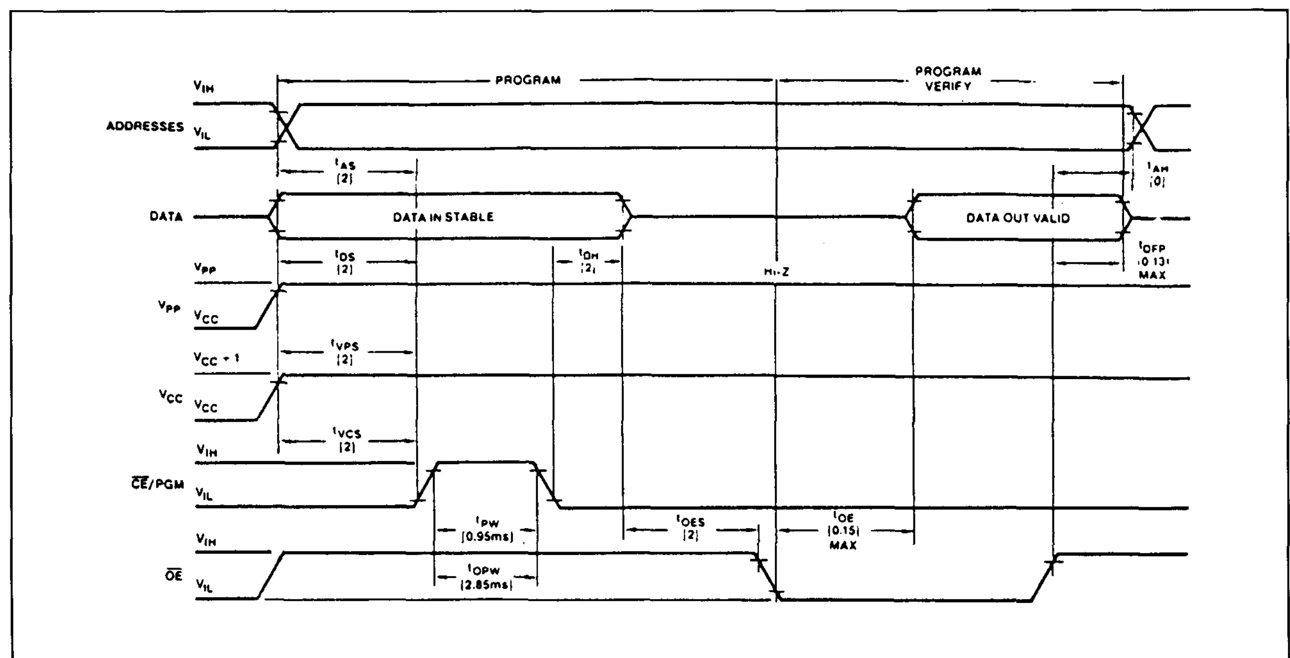


Figuur 8/5.3-10: Flow diagram van de interaktieve programmeer-algoritme voor de 2716B.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-11: Schakeltijden en golfvormen (zie ook tabel 8/5.3-21).



Figuur 8/5.3-12: Golfvormen die optreden bij de interaktieve programmering (zie ook tabel 8/5.3-23).

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS over operating ranges unless otherwise specified (Notes 1, 2, & 4) (for APL Products, Group A, Subgroups 1, 2, 3 are tested unless otherwise noted)

Parameter Symbol	Parameter Description	Test Conditions		Min.	Max.	Units
V_{OH}	Output HIGH Voltage	$I_{OH} = -400\ \mu A$		2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 2.1$ mA			0.45	V
V_{IH}	Input HIGH Voltage			2.0	$V_{CC} + 1$	V
V_{IL}	Input LOW Voltage			-0.1	+0.8	V
I_{LI}	Input Load Current	$V_{IN} = 0$ to $+5.5$ V			10.0	µA
I_{LO}	Output Leakage Current	$V_{OUT} = 0$ to $+5.5$ V			10.0	µA
I_{CC1}	V_{CC} Standby Current for Am2716B (Note 5)	$\overline{CE} = V_{IH}$	C/I Devices		25	mA
			E/M Devices		40	
	V_{CC} Standby Current for Am2732B		C, I, E, & M Devices		40	
I_{CC2}	V_{CC} Active Current for Am2716B and Am2732B	$\overline{OE} = \overline{CE} = V_{IL}$	C, I, E & M Devices		100	mA
I_{PP2}	V_{PP} Read Current (Note 6)	$V_{PP} = 5.5$ V	C, I, E, & M Devices		5	mA

Tabel 8/5.3-19: Gelijkspanningscondities.

CAPACITANCE (Notes 2 & 3)

Parameter Symbol	Parameter Description	Test Conditions	Typ.	Max.	Units
C_{IN}	Input Capacitance	$V_{IN} = 0$ V	4	7	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0$ V	8	12	pF
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance	$V_{IN} = 0$ V	12	20	pF
C_{IN3}	$\overline{CE}/\overline{PGM}$ Input Capacitance		9	12	

Notes:
1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{CC}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. Caution: The EPROMs must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
5. I_{CC1} Max. is 40 mA for -4XX devices.
6. Only for 2716B device.

Tabel 8/5.3-20: Capaciteiten bij de 2716B.

5.3 Type-beschrijving 27yyy-serie

SWITCHING CHARACTERISTICS

No.	Parameter Symbol	Parameter Description	Test Conditions (Note 4)	−155, −150		−205, −200		Blank, −250		−305, −300		−455, −450		Units
				Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
1	t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		150		200		250		300		450	ns
2	t_{CE}	Chip Enable to Output Delay			150		200		250		300		450	ns
3	t_{OE}	Output Enable to Output Delay			70		70		100		110		150	ns
4	t_{DF} (Note 2)	Output Enable HIGH to Output Float		0	60	0	60	0	60	0	60	0	80	ns
5	t_{OH} (Note 2)	Output Hold from Addresses, $\overline{CE}$, or $\overline{OE}$, whichever occured first		0		0		0		0		0		ns

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{PP}.
2. This parameter is only sampled and not 100% tested.
3. Caution: The EPROMs must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
4. Output Load: 1 TTL gate and $C_L = 100$ pF,
Input Rise and Fall Times: ≤ 20 ns,
Input Pulse Levels: 0.45 to 2.4 V,
Timing Measurement Reference Level — Inputs: 0.8 V and 2 V
Outputs: 0.8 V and 2 V.

Tabel 8/5.3-21: Schakeltijden bij het uitlezen.

INTERACTIVE PROGRAMMING ALGORITHM DC CHARACTERISTICS
(Notes 1, 2, and 4)

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Units
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}		10.0	μA
V_{IL}	Input LOW Level (All Inputs)		−0.1	0.8	V
V_{IH}	Input HIGH Level		2.0	$V_{CC} + 1$	V
V_{OL}	Output LOW Voltage during Verify	$I_{OL} = 2.1$ mA		0.45	V
V_{OH}	Output HIGH Voltage during Verify	$I_{OH} = -400$ μA	2.4		V
I_{CC2}	V_{CC} Supply Current (Program and Verify)			100	mA
I_{PP1}	V_{PP} Supply Current (Program)	$V_{PP} = 12.5$ V		30	mA
V_{ID}	A_9 Auto-Select Voltage		11.5	12.5	V

Tabel 8/5.3-22: Gelijkspanningscondities bij het (interaktief) programmeren.

5.3 Type-beschrijving 27yyy-serie

INTERACTIVE PROGRAMMING ALGORITHM AC CHARACTERISTICS
(Notes 1, 2, 3, and 4)

No.	Parameter Symbols	Parameter Description	Min.	Max.	Units
1	t_{AS}	Address Setup Time	2		µs
2	t_{OES}	$\overline{OE}$ Setup Time	2		µs
3	t_{DS}	Data Setup Time	2		µs
4	t_{AH}	Address Hold Time	2		µs
5	t_{DH}	Data Hold Time	2		µs
6	t_{DF}	Chip Enable to Output Float Delay	0	130	ns
7	t_{VPS}	V_{PP} Setup Time	2.0		µs
8	t_{VCS}	V_{CC} Setup Time	2		µs
9	t_{PW}	$\overline{PGM}$ Initial Program Pulse Width (Note 5)	.95	1.05	ms
10	t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width (Note 5)	1.9	55	ms
11	t_{CES}	$\overline{CE}$ Setup Time	2		µs
12	t_{OE}	Data Valid from $\overline{OE}$		150	ns
13	t_{DV}	Data Valid from $\overline{CE}$		450	ns

Notes: 1. $T_A = +25°C \pm 5°C$; $V_{CC} = 6.0$ V ± 0.25 V; $V_{PP} = 12.0$ to 13.0 V.
2. V_{CC} must be applied simultaneously or before Vpp and removed simultaneously or after Vpp.
3. When programming the EPROMs, a 0.1-µF capacitor is required across Vpp and ground to suppress spurious voltage transients which may damage the device.
4. Programming characteristics are guidelines which must be followed. They are not 100% tested to worst-case limits.
5. PGM for Am2716B.

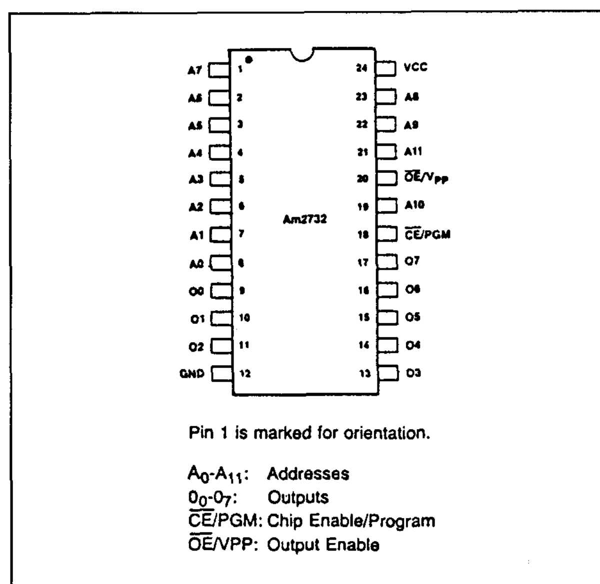
Tabel 8/5.3-23: Schakeltijden bij het programmeren.

2732

4k X 8, NMOS, Vprog = 25 V

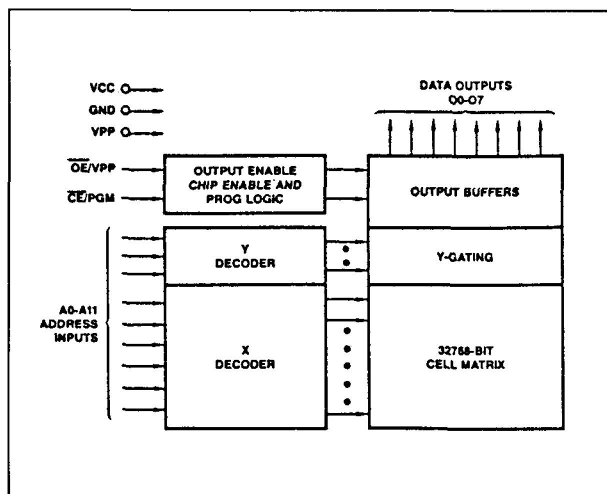
De 2732 is een 32768 bit Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM). De 2732 werkt op een enkele +5 V voeding, heeft een statische standby-mode (dissipatie circa 80 % lager) en is snel toegankelijk. De 2732 kan met enkele pulsen op TTL-niveau worden geprogrammeerd, waarbij de geheugenlokaties per stuk, in blokken of willekeurig kunnen worden geadresseerd. De totale programmeertijd voor alle bits is 200 seconden.

De 2732 EPROM heeft als algemene kenmerken:
- 4096 X 8 bits organisatie;
- programmeerspanning 25 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- 8-bits uitgang voor microprocessor-systemen;
- statische werking (zonder clocks);
- enkele +5 V voedingsspanning;
- geringe dissipatie: max. 787 mW (in bedrijf); max. 157 mW (stand by);
- leverbare typen zijn bijvoorbeeld:
  Intel 2732(A);
  Texas Instr. TMS 2732A (170-450 ns);
  Hitachi HN462732(A) (200-450 ns);
  AMD Am2732(A,B) (150-450 ns);
  NEC uPD2732(A) (250-450 ns);
- 24-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-13).

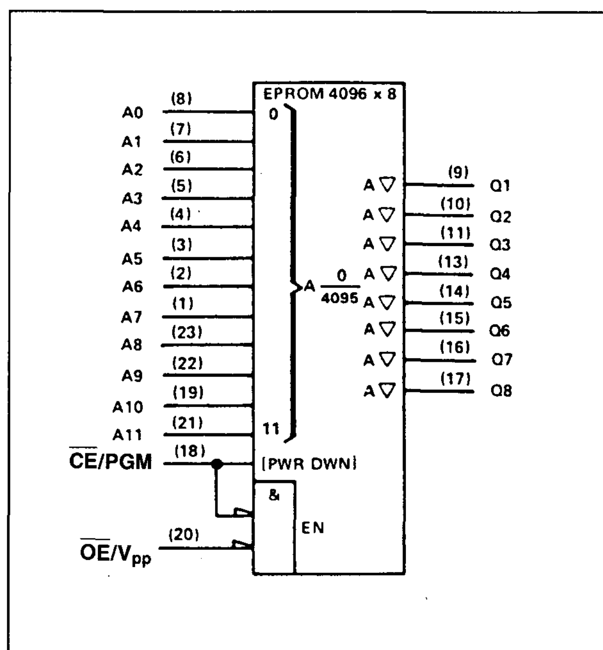


Figuur 8/5.3-13: Aansluitingen van de 2732.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-14: Blokschema van de 2732.



Figuur 8/5.3-15: Logisch symbool van de 2732.

Werking

De 2732 heeft 5 verschillende bedrijfsmodes: lezen, standby (power-down), programmeren, programmaverificatie en programma-sperren, zoals in tabel 8/5.3-24 te zien is. Het 12-bit adres wordt op de chip gedecodeerd in 4096 woorden en 8-bit (zie figuur 8/5.3-15).

Pins / Mode	CE/PGM (18)	OE/VPP (20)	VCC (24)	Outputs (9-11, 13-17)
Read	VIL	VIL	+5	DOUT
Standby	VIH	Don't Care	+5	High Z
Program	VIL	VPP	+5	DIN
Program Verify	VIL	VIL	+5	DOUT
Program Inhibit	VIH	VPP	+5	High Z

Tabel 8/5.3-24: Selectie van de verschillende functies.

Wissen

Alle geheugenlokaties verliezen hun informatie door de 2732 te bestralen met ultra-violet licht (253,7 nm). De aanbevolen dosis (UV intensiteit X belichtingstijd) bedraagt 15 Ws/cm^2. Een UV-lamp zonder filter die 12 mW/cm^2 uitstraalt kan de EPROM in 15 tot 20 minuten wissen (op een afstand van circa 2,5 cm). Na het wisen zijn alle bits HOOG.

Programmeren

Bij aflevering of na het wissen bevinden alle 32768 bits zich in de '1' of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.

Het programmeerproces wordt gestart door +25 V op de $\overline{OE}/V_{pp}$-pen te zetten. Om eventuele spanningspieken (die het IC kunnen beschadigen) te onderdrukken moet een 0,1 μF condensator tussen $\overline{OE}/V_{pp}$ en aarde worden geplaatst. Met de adrespennen wordt de te programmeren lokatie aangewezen, waarbij de data-uitgangspennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd. Wanneer nu zowel het adres als de data stabiel zijn, wordt geprogrammeerd door een TTL LAAG-puls van 50 ms op de $\overline{CE}$/PGM-ingang te zetten.

Deze procedure kan adres voor adres met de hand worden gedaan of automatisch met behulp van de juiste schakelingen. Het is hierbij alleen belangrijk dat elk te programmeren adres een puls van 50 ms krijgt. Deze puls mag volstrekt niet langer duren dan 55 ms, zodat tijdens het programmeren een ge-

lijkspanning op de $\overline{CE}$/PGM-ingang verboden is.

Lezen (Read-mode)

De 2732 heeft twee control-functies voor het verkrijgen van data aan de uitgang. Chip-enable ($\overline{CE}$) is de besturing van de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable $\overline{OE}/V_{pp}$ is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten indien de EPROM is geselecteerd.

Aangenomen dat de adressen stabiel zijn, is de adrestoegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). De data is 120 ns (t_{OE}) na de dalende flank van OE beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Stand by mode

De 2732 heeft een stand by-mode, waarin de aktieve vermogensdissipatie zo'n 80 % lager is (van 787 mW naar 157 mW, bij 0 tot 70 °C). DE EPROM wordt standby gezet door de $\overline{CE}$-ingang HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$-ingang.

OR-verbinding van de uitgangen

Om de EPROM in 'geheugen-arrays' te kunnen opnemen, heeft de 2732 twee besturingslijnen, die:

- geringe dissipatie mogelijk maken, en
- garanderen dat niet meerdere uitgangen tegelijk 'waar' worden op de bus.

Het wordt aanbevolen om $\overline{CE}$ te decoderen en te gebruiken als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle chips in het array bestuurt en op de READ-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de low-power standby-mode staan en dat de uitgangspennen alleen aktief zijn wanneer data van een bepaald geheugen verlangd wordt.

Programma sperren (Program Inhibit)

Het is zeer eenvoudig om meerdere parallel staande 2732's met verschillende data te programmeren. Met uitzondering van $\overline{CE}$/PGM mogen alle gelijksoortige ingangen (inclusief $\overline{OE}$) van de parallelle EPROM's met elkaar worden verbonden. Een TTL-programmeerpuls op de $\overline{CE}$/PGM-ingang van een van de 2732's (met V_{pp} op 25 V), zal die 2732 programmeren. Programmeren van de andere 2732's wordt voorkomen door de $\overline{CE}$/PGM-ingangen hiervan HOOG te houden.

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle moet tDV na de dalende flank van $\overline{CE}$ worden uitgevoerd met OE/V_{pp} en $\overline{CE}$ op VIL.

Overige kenmerken

De overige elektrische (DC en AC) kenmerken zijn te zien in de figuren 8/5.3-16 en 8/5.3-17 en de tabellen 8/5.3-25 tot en met 8/5.3-31. De hier vermelde gegevens hebben betrekking op AMD-typen (bij andere merken kunnen sommige waarden iets afwijken).

MAXIMUM RATINGS above which the useful life may be impaired	
Storage Temperature	−65 to +150°C
Ambient Temperature Under Bias	−65 to +135°C
Voltage on All Inputs/Outputs (Except $\overline{OE}$/VPP) with Respect to GND	+6 to −0.3V
$\overline{OE}$/VPP with Respect to GND	+26.5 to −0.3V

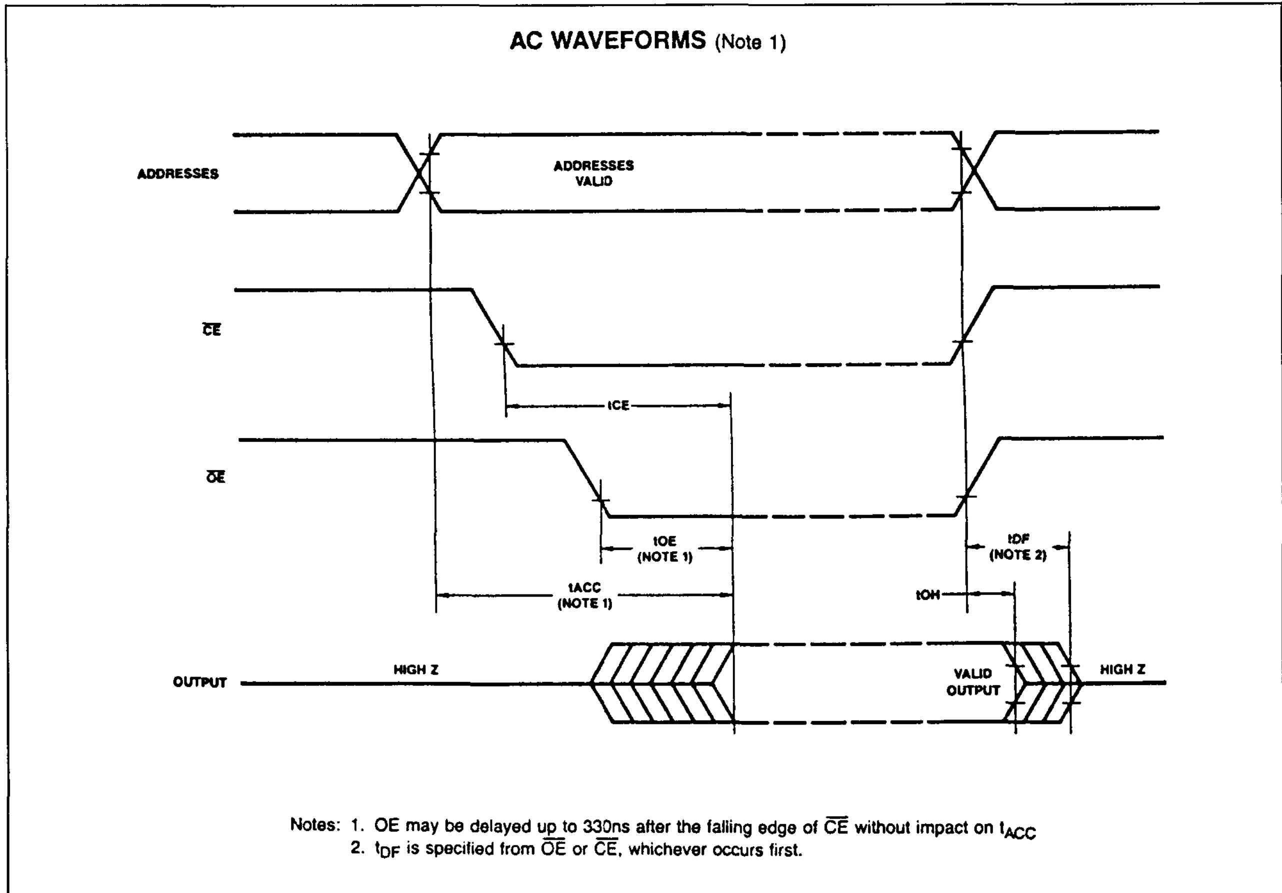
Tabel 8/5.3-25: Absolute maximum waarden.

DC AND AC READ OPERATIONS CONDITIONS

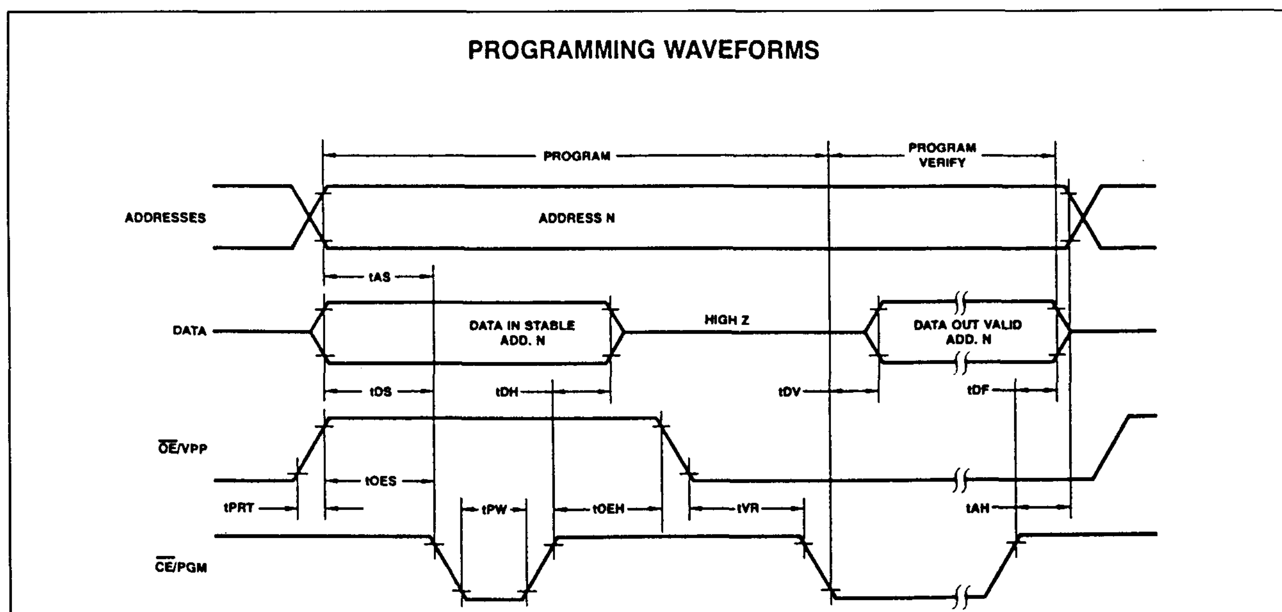
	Temperature Range	V_{CC}
AM2732-1DC	0 to +70°C	5V ±10%
AM2732DC	0 to +70°C	5V ± 5%
AM2732DI	−40 to 85°C	5V ± 5%
AM2732DL	−55 to +100°C	5V ± 10%
AM2732DM	−55 to +125°C	5V ± 10%

Tabel 8/5.3-26: Toleranties van voedingsspanningen en toegelaten bedrijfstemperaturen.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-16: Timing bij het uitlezen van de EPROM (zie ook tabel 8/5.3-28).



Figuur 8/5.3-17: Timing bij het programmeren (zie ook tabel 8/5.3-31).

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS

Parameters	Description	Test Conditions	Min Values All Types	Maximum Values 2732 DL/DM	2732DI	2732DC/ -1DC	Units
I_{LI}	Input Load Current	$V_{IN} = V_{CC}$ (Max) and $V_{IN} = 0$		10	10	10	µA
I_{LO}	Output Leakage Current	$V_{OUT} = V_{CC}$ (Max) and $V_{IN} = 0$		10	10	10	µA
I_{CC1}	V_{CC} Current (Standby)	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$		45	40	30	mA
I_{CC2} (Note 2)	V_{CC} Current (Active)	$\overline{OE} = \overline{CE} = V_{IL}$		175	165	150	mA
V_{IL}	Input Low Voltage		−0.1	0.8	0.8	0.8	Volts
V_{IH}	Input High Voltage		2.0	V_{CC}+1	V_{CC}+1	V_{CC}+1	Volts
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.45	0.45	0.45	Volts
V_{OH}	Output High Voltage	I_{OH} = −400µA	2.4				Volts

Tabel 8/5.3-27: Gelijkspannings-condities.

AC CHARACTERISTICS

Parameters	Description	Test Conditions		Min Values All Types	Maximum Values 2732-1 DC	2732DC	2732DI/ DL/DM	Units
t_{ACC}	Address to Output Delay	Output Load: 1 TTL gate and C_L = 100pF Input Rise and Fall Times: ≤20ns Input Pulse Levels: 0.8 to 2.2V Timing Measurement Reference Level: Inputs: 1V and 2V Outputs: 0.8V and 2V	$\overline{CE} = \overline{OE} = V_{IL}$		350	450	450	ns
t_{CE}	$\overline{CE}$ to Output Delay		$\overline{OE} = V_{IL}$		350	450	450	ns
t_{OE}	Output Enable to Output Delay		$\overline{CE} = V_{IL}$		120	120	150	ns
t_{DF}	Output Enable High to Output Float		$\overline{CE} = V_{IL}$	0	100	100	130	ns
t_{OH}	Address to Output Hold		$\overline{CE} = \overline{OE} = V_{IL}$	0				ns

Tabel 8/5.3-28: Schakeltijden bij het uitlezen.

CAPACITANCE
T_A = +25°C, f = 1MHz

Parameters	Description	Test Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	4	6	pF
C_{IN2}	$\overline{OE}$/VPP Input Capacitance	V_{IN} = 0V		20	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V		12	pF

Tabel 8/5.3-29: Capaciteiten bij 1 MHz.

PROGRAM OPERATION

DC PROGRAMMING CHARACTERISTICS
T_A = +25°C ±5°C, V_{CC} (Note 1) = 5V ±5%, V_{PP} (Notes 1, 2) = 25V ±1V

Parameters	Description	Test Conditions	Min	Max	Units
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}		10	µA
V_{OL}	Output Low Voltage During Verify	I_{OL} = 2.1mA		0.45	Volts
V_{OH}	Output High Voltage During Verify	I_{OH} = −400µA	2.4		Volts
I_{CC}	V_{CC} Supply Current			150	mA
V_{IL}	Input Low Level (All Inputs)		−0.1	0.8	Volts
V_{IH}	Input High Level (All Inputs Except $\overline{OE}$/VPP)		2.0	V_{CC}+1	Volts
I_{PP}	VPP Supply Current	$\overline{CE} = V_{IL}$, $\overline{OE}$ = VPP		30	mA

Tabel 8/5.3-30: Gelijkspannings-condities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

AC PROGRAMMING CHARACTERISTICS

T_A = +25°C ±5°C, V_{CC} (Note 1) = 5V ±5%, V_{PP} (Notes 1, 2) = 25V ±1V

Parameters	Description	Test Conditions	Min	Max	Units
t_{AS}	Address Set-up Time	Input tR and tF (10% to 90%) = 20ns Input Signal Levels = 0.8 to 2.2V Timing Measurement Reference Level: Inputs: 1V and 2V Outputs: 0.8V and 2V	2		µs
t_{OES}	Output Enable Set-up Time		2		µs
t_{DS}	Data Set-up Time		2		µs
t_{AH}	Address Hold Time		2		µs
t_{OEH}	Output Enable Hold Time		2		µs
t_{DH}	Data Hold Time		2		µs
t_{DF}	Chip Enable to Output Float Delay		0	120	ns
t_{DV}	Data Valid From $\overline{CE}$ ($\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IL})		–	1	ns
t_{PW}	Program Pulse Width		45	55	ms
t_{PRT}	Program Pulse Rise Time		50	–	ns
t_{VR}	VPP Recovery Time		2	–	ns

Note 1. When programming the Am2732, a 0.1µF capacitor is required across $\overline{OE}$/VPP and ground to suppress spurious voltage transients which may damage the device.

Tabel 8/5.3-31: Schakeltijden bij het programmeren.

2732A

4k X 8, NMOS, Vprog = 21 V

De 2732A is een verbeterde versie van de 2732 die met een spanning van 21 V wordt geprogrammeerd. Alle vijf functies lezen, standby (power-down), programmeren, programma-verificatie en programma-sperren worden op dezelfde wijze uitgevoerd, zodat hiervoor naar de 2732 wordt verwezen.

De 2732A van Texas Instruments heeft in tegenstelling tot deze typen van andere merken een programmeerpuls van slechts 10 ms nodig. De schakeltijden bij het programmeren van dit type staan in tabel 8/5.3-34. In tabel 8/5.3-32 zijn de absolute maximum waarden voor deze 2732A vermeld (voor andere merken zijn de maximale Vcc en signaalspanningen 6 V in plaats van 7 V). In

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC} .... −0.3 V to 7 V
Supply voltage range, V_{PP} .... −0.3 V to 22 V
Input voltage range (except program) .... −0.3 V to 7 V
Output voltage range .... −0.3 V to 7 V
Operating free-air temperature range .... 0°C to 70°C
Storage temperature range .... −65°C to 150°C

Tabel 8/5.3-32: Absolute maximum waarden.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER		TEST CONDITIONS	TMS2732A-17		TMS2732A-20		TMS2732A-25		TMS2732A-45		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address	C_L = 100 pF, 1 Series 74 TTL Load, $t_r \le 20$ ns, $t_f \le 20$ ns, See Figure 1 and Note 3		170		200		250		450	ns
$t_{a(E)}$	Access time from $\overline{E}$			170		200		250		450	ns
$t_{en(G)}$	Output enable time from $\overline{G}$			65		70		100		150	ns
t_{dis}†	Output disable time from $\overline{E}$ or $\overline{G}$, whichever occurs first		0	60	0	60	0	85	0	130	ns
$t_{v(A)}$	Output data valid time after change of address, $\overline{E}$, or $\overline{G}$, whichever occurs first		0		0		0		0		ns

NOTE 3: The timing reference levels for inputs and outputs are 0.8 V and 2 V. Input pulse levels are 0.65 V and 2.2 V.
†Value calculated from 0.5 V delta to measured output level. This parameter is only sampled and not 100% tested.

Tabel 8/5.3-33: Timing bij het uitlezen van enkele Texas Instruments typen.

5.3 Type-beschrijving 27yyy-serie

recommended conditions for programming, T_A = 25°C (see Note 4)

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{PP}	Supply voltage	20.5	21	21.5	V
V_{IH}	High-level input voltage	2		$V_{CC}+1$	V
V_{IL}	Low-level input voltage	-0.1		0.8	V
$t_{w(E)}$	$\bar{E}$ pulse duration	9	10	11	ms
$t_{su(A)}$	Address setup time	2			µs
$t_{su(D)}$	Data setup time	2			µs
$t_{su(VPP)}$	Vpp setup time	2			µs
$t_{h(A)}$	Address hold time	0			µs
$t_{h(D)}$	Data hold time	2			µs
$t_{h(VPP)}$	Vpp hold time	2			µs
$t_{rec(PG)}$	Vpp recovery time	2			µs
$t_{r(PG)G}$	$\bar{G}$ rise time during programming	50			ns
t_{EHD}	Delay time, data valid after $\bar{E}$ low			1	µs

NOTE 4: When programming the TMS2732A, connect a 0.1 µF capacitor between Vpp and GND to suppress spurious voltage transients which may damage the device.

Tabel 8/5.3-34: Schakeltijden bij het programmeren van de TMS 2732A.

tabel 8/5.3-33 wordt een indruk gegeven van de schakelsnelheden van enkele Texas Instruments typen.

2732B

4k X 8, NMOS, Vprog = 12,5 V

De 2732B is, net als de 2716B, een 'low-density' EPROM van AMD. De B-versie berust op dezelfde NMOS fabricageprocessen als de 2764A en nog grotere EPROM's. Hierdoor zijn kortere toegangstijden (tabel 8/5.3-35) en lagere programmeerspanningen met kortere programmeerpulsen mogelijk. Na programmering is de 2732B pen-voor-pen identiek aan de 2732 en 2732A.

TACC	VCC	2732	2732A	2732B
150 ns	±5%	N/A	N/A	2732B-155
	±10%	N/A	N/A	2732B-150
200 ns	±5%	N/A	2732A-2	2732B-205
	±10%	N/A	2732A-20	2732B-200
250 ns	±5%	N/A	2732A	2732B
	±10%	N/A	2732A-25	2732B-250
300 ns	±5%	N/A	2732A-3	2732B-305
	±10%	2732-1	2732A-30	2732B-300
450 ns	±5%	N/A	2732A-4	2732B-455
	±10%	2732	2732A-45	2732B-450

Tabel 8/5.3-35: Mogelijke schakeltijden van de 2732, de 2732A en de 2732B.

In het volgende wordt de van de 2732(A) afwijkende informatie gegeven.

Zoals in tabel 8/5.3-36 te zien is, kent de 2732B zeven bedrijfsmodes: output-disable en auto-select zijn extra functies.
De functie output-disable werd bij de 2732 behandeld, onder het hoofdstuk 'OR-verbinding van de uitgangen'.

Auto Select Mode

De Auto Select Mode maakt automatische identificatie van EPROM-type en fabrikant mogelijk (tabel 8/5.3-37). Om van deze functie gebruik te maken moet het programmeerapparaat 12 V ± 0,5 V op de adreslijn A9

MODE \ PINS	$\overline{CE}$/$\overline{PGM}$	$\overline{OE}$/V_{PP}	A_9	OUTPUTS
Read	L	L	X	D_{OUT}
Output Disable	L	H	X	Hi-Z
Standby	H	X	X	Hi-Z
Program	L	V_{PP}	X	D_{IN}
Program Verify	L	L	X	D_{OUT}
Program Inhibit	H	V_{PP}	X	Hi-Z
Auto Select	L	L	V_H	Code

Key: L = LOW
H = HIGH
X = Can be either LOW or HIGH
V_H = 12.0 V ±0.5 V

Tabel 8/5.3-36: Selectie van de verschillende functies van de 2732B.

5.3 Type-beschrijving 27yyy-serie

Identifier (Pins)	A_0	DQ_7	DQ_6	DQ_5	DQ_4	DQ_3	DQ_2	DQ_1	DQ_0	Hex Data
Manufacturer Code	V_{IL}	0	0	0	0	0	0	0	1	01
Am2732B Device Code	V_{IH}	0	0	0	0	0	1	1	1	07

Notes: 1. A_9 = 12.0 V ±0.5 V
2. All other Address Lines = $\overline{CE}$ = $\overline{OE}$ = V_{IL}

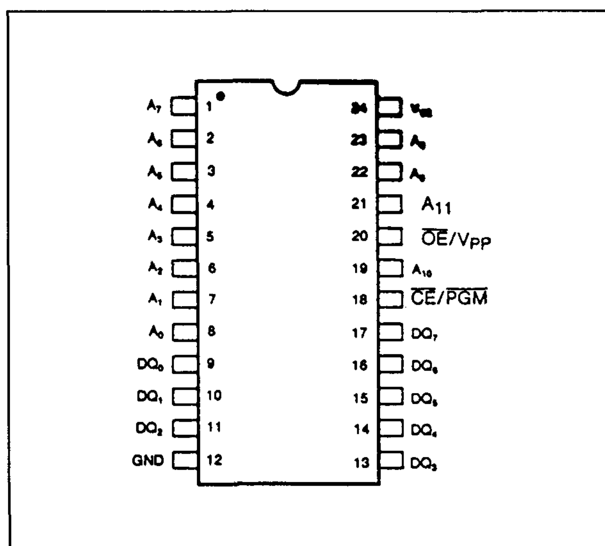
Tabel 8/5.3-37: Identificatie-codes.

zetten. Door nu A0 LAAG te maken kan de fabrikant-code op DQO tot en met DQ7 worden gelezen en met A0 HOOG verschijnt de type-code. Alle andere adreslijnen moeten tijdens de Auto Select Mode LAAG zijn. Beide codes hebben oneven pariteit, waarbij DQ7 (MSB) het pariteitsbit is.

Programmeren

Bij aflevering of na het wissen bevinden alle 32768 bits zich in de '1' of HOOG toestand. Door het programmeren worden de LAAG-niveaus aangebracht.

De 2732B wordt geprogrammeerd door + 12,5 V op de $\overline{OE}$/Vpp-pen te zetten en een TTL-LAAG-puls op $\overline{CE/PGM}$ te geven. De te programmeren data (8 bits parallel) wordt op de Data I/O-pennen (DQn) gezet.



Figuur 8/5.3-19: Aansluitingen van de 2732B.

In figuur 8/5.3-18 is te zien aan welke interaktieve programmeer-algoritme AMD de voorkeur geeft. Bij interaktieve algoritmen is de benodigde programmeertijd veel korter dan bij andere algoritmen, die overigens ook zijn toegestaan (ook de conventionele 50 ms-puls, zolang de maximum specificaties niet worden overschreden).

Bij de interaktieve algoritme wordt de programmeertijd verkort door 1 ms pulsen te gebruiken en elk adres slechts zoveel pulsen te geven als nodig is voor een betrouwbare programmering van de data. Na elke puls die op een bepaald adres is gegeven, wordt de data op dat adres gecontroleerd. Wanneer de data niet overeenstemt wordt een extra puls gegeven (tot maximaal 15 pulsen), dit proces wordt herhaald bij elk adres in de EPROM. Het interaktieve deel van de algoritme wordt geprogrammeerd en geverifieerd bij Vcc = 6,0 V ± 5 %.

Het overprogrammeer-gedeelte van de algoritme programmeert de hele array door op elk adres nog eens een extra 2 ms programmeerpuls te geven bij Vcc = 5 V. Na het laatste adres wordt de gehele EPROM gecontroleerd bij Vcc = 5 V ± 5 %.

Storage Temperature .... −65 to +150°C
Ambient Temperature with Power Applied . −65 to +135°C
Supply Voltage
with respect to Ground
on all Inputs except A_9 and Vpp .... +6.25 to −0.6 V
on A_9 .... +13.50 to −0.6 V
on Vpp .... +13.50 to −0.6 V

Stresses above those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent device failure.

Tabel 8/5.3-38: Maximaal toegelaten waarden.

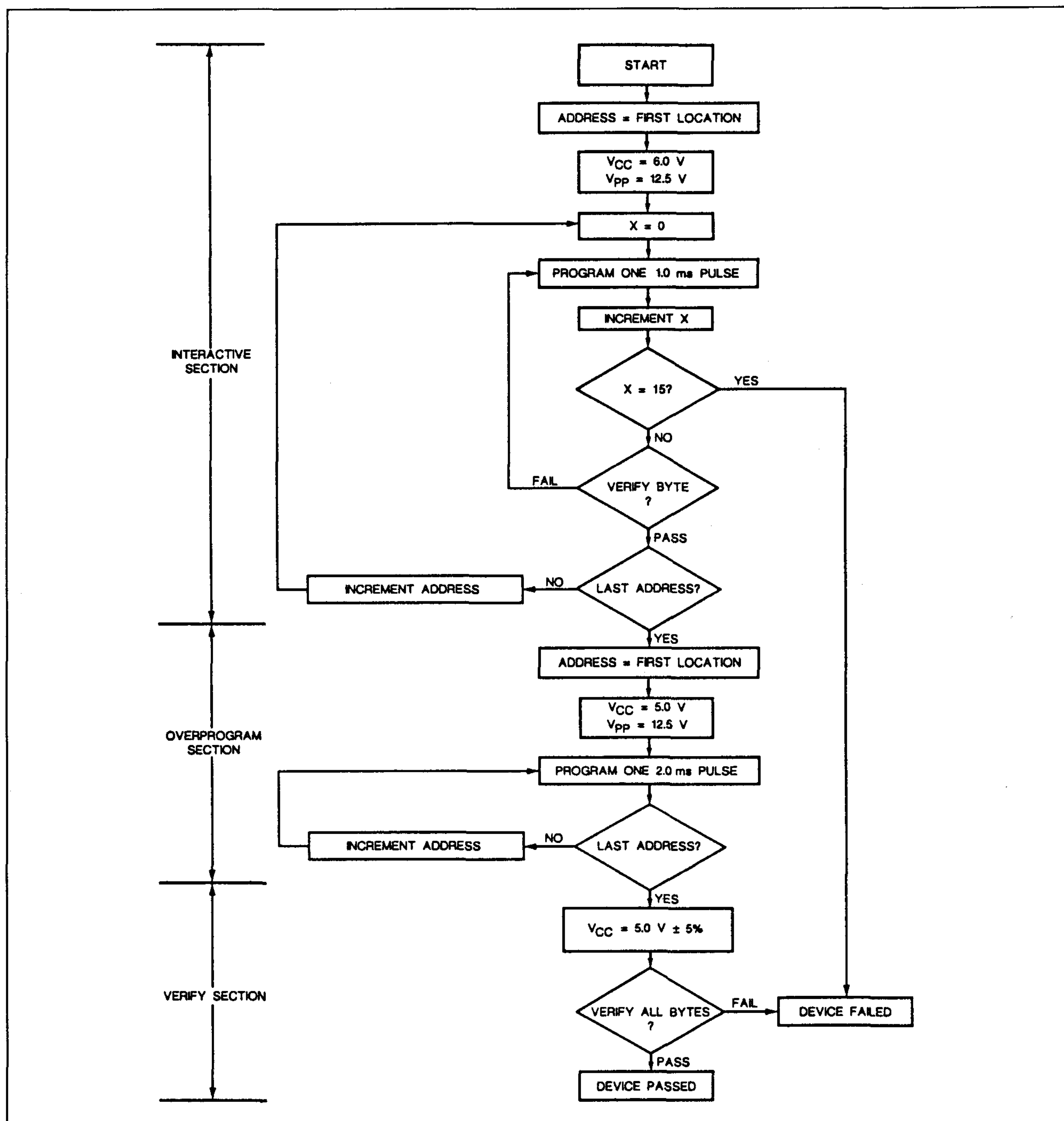
5.3 Type-beschrijving 27yyy-serie

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle kan t_{OE} ns na de dalende flank van $\overline{OE}$ worden uitgevoerd met $\overline{OE}/V_{pp}$ op TTL-LAAG niveau.

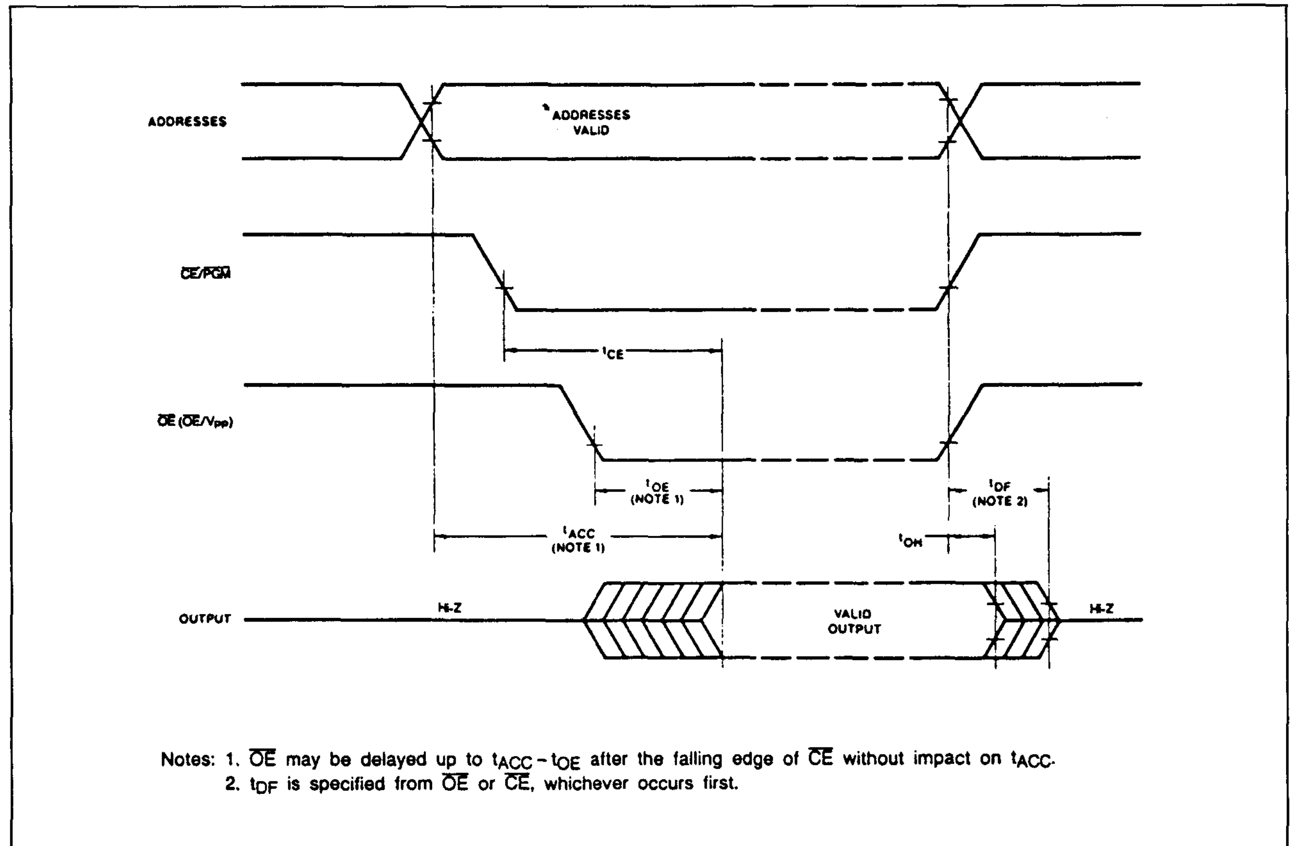
Overige kenmerken

De overige elektrische (DC en AC) kenmerken van de AMD-typen zijn te zien in de figuren 8/5.3-20 en 8/5.3-21 en de tabellen 8/5.3-38 tot en met 8/5.3-43.

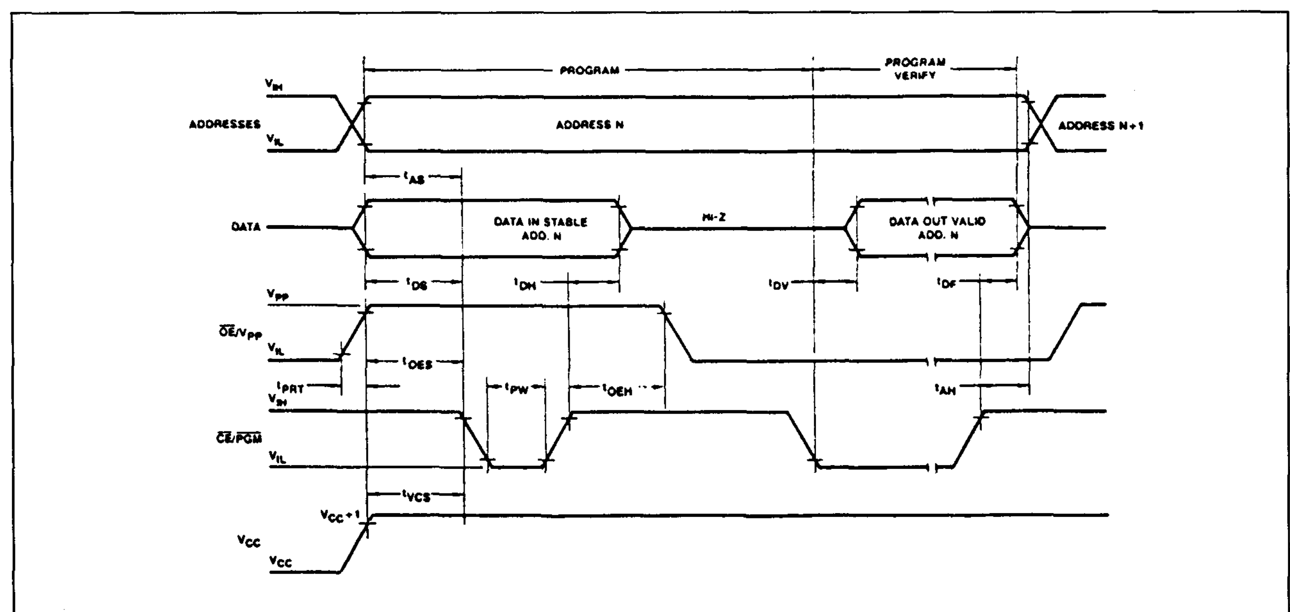


Figuur 8/5.3-18: Flow-diagram van de interaktieve programmeer-algoritme voor de 2732B.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-20: Schakeltijden en golfvormen bij het uitlezen (zie ook tabel 8/5.3-41).



Figuur 8/5.3-21: Golfvormen die optreden bij de interaktieve programmering (zie ook tabel 8/5.3-43).

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS over operating ranges unless otherwise specified (Notes 1, 2, & 4) (for APL Products, Group A, Subgroups 1, 2, 3 are tested unless otherwise noted)

Parameter Symbol	Parameter Description	Test Conditions		Min.	Max.	Units
V_{OH}	Output HIGH Voltage	$I_{OH} = -400\ \mu A$		2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 2.1$ mA			0.45	V
V_{IH}	Input HIGH Voltage			2.0	$V_{CC} + 1$	V
V_{IL}	Input LOW Voltage			-0.1	+0.8	V
I_{LI}	Input Load Current	$V_{IN} = 0$ to +5.5 V			10.0	μA
I_{LO}	Output Leakage Current	$V_{OUT} = 0$ to +5.5 V			10.0	μA
I_{CC1}	V_{CC} Standby Current for Am2716B (Note 5)	$\overline{CE} = V_{IH}$	C/I Devices		25	mA
			E/M Devices		40	
	V_{CC} Standby Current for Am2732B		C, I, E, & M Devices		40	
I_{CC2}	V_{CC} Active Current for Am2716B and Am2732B	$\overline{OE} = \overline{CE} = V_{IL}$	C, I, E & M Devices		100	mA
I_{PP2}	V_{PP} Read Current (Note 6)	$V_{PP} = 5.5$ V	C, I, E, & M Devices		5	mA

Tabel 8/5.3-39: Gelijkspanningscondities.

CAPACITANCE (Notes 2 & 3)

Parameter Symbol	Parameter Description	Test Conditions	Typ.	Max.	Units
C_{IN}	Input Capacitance	$V_{IN} = 0$ V	4	7	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0$ V	8	12	pF
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance	$V_{IN} = 0$ V	12	20	pF
C_{IN3}	$\overline{CE}/\overline{PGM}$ Input Capacitance		9	12	

Notes:
1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{CC}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. Caution: The EPROMs must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
5. I_{CC1} Max. is 40 mA for -4XX devices.
6. Only for 2716B device.

Tabel 8/5.3-40: Capaciteiten bij de 2732B.

5.3 Type-beschrijving 27yyy-serie

SWITCHING CHARACTERISTICS

No.	Parameter Symbol	Parameter Description	Test Conditions (Note 4)	-155, -150		-205, -200		Blank, -250		-305, -300		-455, -450		Units
				Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
1	t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		150		200		250		300		450	ns
2	t_{CE}	Chip Enable to Output Delay			150		200		250		300		450	ns
3	t_{OE}	Output Enable to Output Delay			70		70		100		110		150	ns
4	t_{DF} (Note 2)	Output Enable HIGH to Output Float		0	60	0	60	0	60	0	60	0	80	ns
5	t_{OH} (Note 2)	Output Hold from Addresses, $\overline{CE}$, or $\overline{OE}$, whichever occured first		0		0		0		0		0		ns

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{PP}.
2. This parameter is only sampled and not 100% tested.
3. Caution: The EPROMs must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
4. Output Load: 1 TTL gate and C_L = 100 pF,
Input Rise and Fall Times: ≤ 20 ns,
Input Pulse Levels: 0.45 to 2.4 V,
Timing Measurement Reference Level — Inputs: 0.8 V and 2 V
Outputs: 0.8 V and 2 V.

Tabel 8/5.3-41: Schakeltijden bij het uitlezen.

INTERACTIVE PROGRAMMING ALGORITHM DC CHARACTERISTICS
(Notes 1, 2, and 4)

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Units
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}		10.0	μA
V_{IL}	Input LOW Level (All Inputs)		-0.1	0.8	V
V_{IH}	Input HIGH Level		2.0	$V_{CC}+1$	V
V_{OL}	Output LOW Voltage during Verify	I_{OL} = 2.1 mA		0.45	V
V_{OH}	Output HIGH Voltage during Verify	I_{OH} = -400 μA	2.4		V
I_{CC2}	V_{CC} Supply Current (Program and Verify)			100	mA
I_{PP1}	V_{PP} Supply Current (Program)	V_{PP} = 12.5 V		30	mA
V_{ID}	A_9 Auto-Select Voltage		11.5	12.5	V

Tabel 8/5.3-42: Gelijkspanningscondities bij het (interaktief) programmeren.

5.3 Type-beschrijving 27yyy-serie

INTERACTIVE PROGRAMMING ALGORITHM AC CHARACTERISTICS
(Notes 1, 2, 3, and 4)

No.	Parameter Symbols	Parameter Description	Min.	Max.	Units
1	t_{AS}	Address Setup Time	2		µs
2	t_{OES}	$\overline{OE}$ Setup Time	2		µs
3	t_{DS}	Data Setup Time	2		µs
4	t_{AH}	Address Hold Time	2		µs
5	t_{DH}	Data Hold Time	2		µs
6	t_{DF}	Chip Enable to Output Float Delay	0	130	ns
7	t_{VPS}	V_{PP} Setup Time	2.0		µs
8	t_{VCS}	V_{CC} Setup Time	2		µs
9	t_{PW}	$\overline{PGM}$ Initial Program Pulse Width (Note 5)	.95	1.05	ms
10	t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width (Note 5)	1.9	55	ms
11	t_{CES}	$\overline{CE}$ Setup Time	2		µs
12	t_{OE}	Data Valid from $\overline{OE}$		150	ns
13	t_{DV}	Data Valid from $\overline{CE}$		450	ns

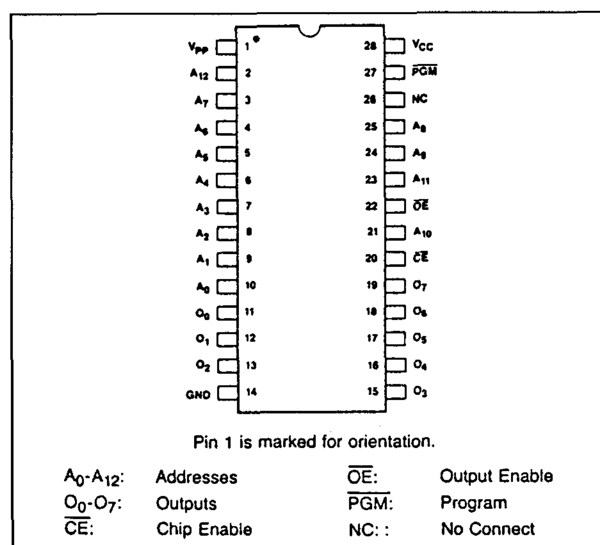
Notes:
1. $T_A = +25°C \pm 5°C$; $V_{CC} = 6.0\ V \pm 0.25\ V$; $V_{PP} = 12.0$ to $13.0\ V$.
2. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
3. When programming the EPROMs, a 0.1-µF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which may damage the device.
4. Programming characteristics are guidelines which must be followed. They are not 100% tested to worst-case limits.
5. PGM for Am2716B.

Tabel 8/5.3-43: Schakeltijden bij het programmeren.

2764
8k X 8, NMOS, Vprog = 21 V

De 2764 is een 65536 bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM). De 2764 werkt op een enkele +5 V voeding, heeft een statische standby-mode (dissipatie afhankelijk van merk cirka 80 % lager) en is snel toegankelijk. De 2764 kan met een enkele puls op TTL-niveau worden geprogrammeerd, waarbij de geheugenlokaties per stuk, in blokken of willekeurig kunnen worden geadresseerd. De totale programmeertijd voor alle bits is 400 seconden.

De 2764 EPROM heeft als algemene kenmerken:
- 8192 X 8 bits organisatie;
- programmeerspanning 21 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- 8-bits data voor microprocessor-systemen;
- volledig statische werking (zonder clocks);
- enkele +5 V voedingsspanning;
- geringe dissipatie: max. 525 mW (in bedrijf);
  max. 105 mW
  (stand by);
- leverbare typen zijn bijvoorbeeld:
  Intel 2764(A) (200-450 ns);
  Texas Instr. TMS 2764 (170-450 ns);
  Hitachi HN462764(G) (250-450 ns);
  AMD Am2764(A) (200-450 ns);
  NEC uPD2764 (200-250 ns);
- 28-pens keramische DIL behuizing met kwarts-venster (figuur 7/5.3-22);
- ook leverbaar in CMOS (zie 27C64).



Figuur 8/5.3-22: Aansluitingen van de 2764.

Werking

De 2764 heeft 5 verschillende bedrijfsmodes: lezen, standby (power-down), programmeren, programmaverificatie en programma-sperren, zoals in tabel 8/5.3-44 te zien is. Het 13-bit adres wordt op de chip gedecodeerd in 8192 woorden van 8-bit (zie figuren 8/5.3-23 en 8/5.3-24).

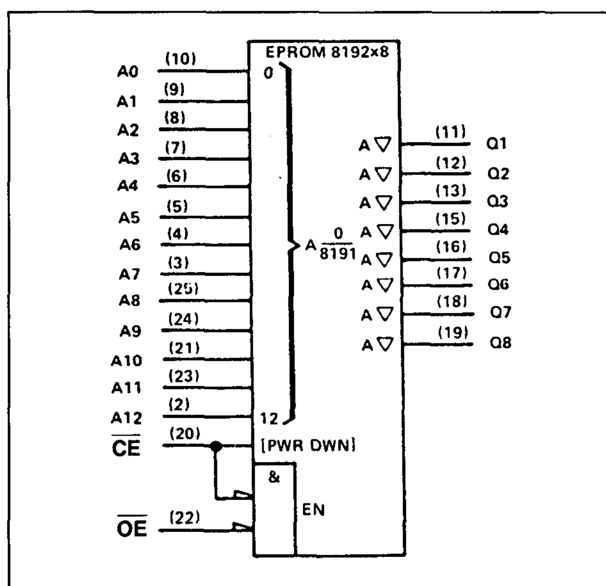
MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	D_{OUT}
Standby	V_{IH}	x	x	V_{CC}	V_{CC}	High Z
Program	V_{IL}	x	V_{IL}	V_{PP}	V_{CC}	D_{IN}
Program Verify	V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	x	x	V_{PP}	V_{CC}	High Z

x can be either V_{IL} or V_{IH}

Tabel 8/5.3-44: Selectie van de verschillende functies.

Wissen

Om alle geheugenlokaties van hun informatie te ontdoen moet de 2764 worden bestraald door ultra-violet licht (253,7 nm). De dosis (UV intensiteit X belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm². Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm² uitstraalt kan de EPROM in 15 tot 20 minuten wissen. Na het wissen zijn alle bits HOOG.

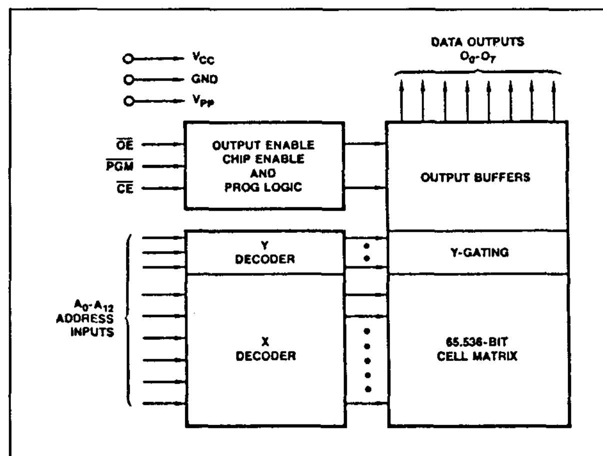


Figuur 8/5.3-23: Logisch symbool van de 2764.

Programmeren

Bij aflevering of na het wissen bevinden alle 65536 bits zich in de '1' of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.

Er wordt geprogrammeerd door +21 V op de V_{pp}-pen te zetten. Om beschadiging door spanningspieken te voorkomen moet een 0,1 μF condensator tussen V_{pp} en aarde worden geplaatst. De te programmeren lokatie wordt op de adrespennen gezet, terwijl de data-uitgangspennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd. Wanneer zowel adres als data stabiel zijn, wordt geprogrammeerd door een TTL LAAG-puls van 50 ms op de $\overline{PGM}$-ingang te zetten.
Deze procedure kan voor elk adres met de hand worden gedaan of automatisch met behulp van de juiste schakelingen. Let op dat de programmeerspanning niet hoger wordt dan 22 V en dat elk te programmeren adres een puls van 50 ms krijgt. Deze puls mag niet langer duren dan 55 ms, zodat tijdens het programmeren een gelijkspanning op de $\overline{PGM}$-ingang verboden is.



Figuur 8/5.3-24: Blokschema van de 2764.

Snel programmeren

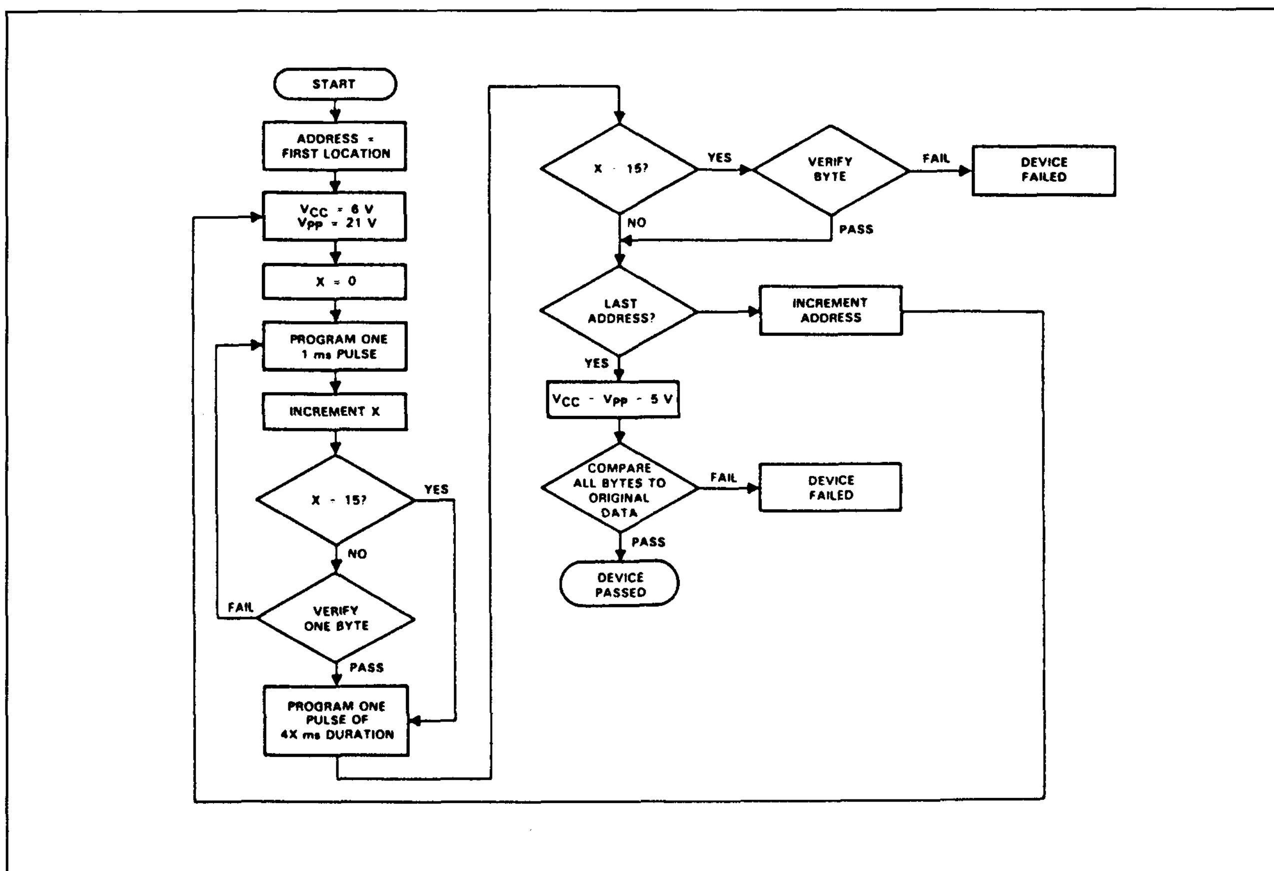
Op de TMS2764 (Texas Instruments) kan de zogenaamde snelle programmeer-algoritme worden toegepast (zie figuur 8/5.3-27). Hierbij worden twee verschillende programmeerpulsen gebruikt: 'Eerste' en 'Laatste'. De Eerste puls duurt 1 ms en wordt X maal herhaald. Na elke puls wordt de te programmeren byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 15). De Laatste programmeerpuls duurt 4X ms. De procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 21 V. Is het hele programmeerproces klaar, dan worden alle bits nog eens geverifieerd bij V_{cc} = V_{pp} = 5 V.

Lezen (Read-mode)

Ook de 2764 heeft twee control-functies voor het verkrijgen van data aan de uitgang. Chip-enable ($\overline{CE}$) bestuurt de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en moet worden gebruikt om data op de uitgangspennen te zetten.
Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). De data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uit gangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode

De 2764 heeft een standby-mode, waarin de aktieve vermogensdissipatie zo'n 80 % lager



Figuur 8/5.3-27: Het programmeer-algoritme.

is (van 525 mW naar 105 mW, bij 0 tot 70 °C). De EPROM wordt standby gezet door de $\overline{CE}$-ingang een TTL-HOOG signaal te geven. In de standby-mode zijn de uitgangen hoogimpedant, onafhankelijk van de $\overline{OE}$-ingang.

OR-verbinding van de uitgangen

Om de EPROM in 'geheugen-arrays' te kunnen opnemen, heeft de 2764 twee besturingslijnen, die:
- de dissipatie verminderen, en
- garanderen dat niet meerdere uitgangen tegelijk 'waar' worden op de bus.

Het wordt aanbevolen om $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chipselectie, terwijl $\overline{OE}$ alle chips in het array bestuurt en op de READ-lijn van de systeemcontrolbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat de uitgangspennen alleen aktief zijn om data van een bepaald geheugen op te halen.

Programma sperren (Program Inhibit)

Het is zeer eenvoudig om een aantal parallel staande 2764's met verschillende data te programmeren. Met uitzondering van $\overline{PGM}$ mogen alle gelijksoortige ingangen (inclusief $\overline{OE}$) van de parallelle EPROM's met elkaar worden verbonden. Een TTL-LAAG programmeerpuls op de $\overline{PGM}$-ingang van een van de 2764's (met V_{pp} op 21 V), zal die 2764 programmeren. Het programmeren van de andere 2764's wordt voorkomen door de $\overline{PGM}$-ingangen hiervan HOOG te houden.

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle moet t_{OE} na de dalende flank van $\overline{CE}$ worden uitgevoerd met $\overline{OE}$ en $\overline{CE}$ op TTL-LAAG.

Toepassingen

Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden

MAXIMUM RATINGS above which the useful life may be impaired

Storage Temperature	−65 to +125°C
Ambient Temperature Under Bias	−10 to +80°C
Voltage on All Inputs/Outputs with Respect to GND	+7 to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming	+22V to −0.6V

Tabel 8/5.3-45: Absolute maximum waarden.

DC CHARACTERISTICS $0°C \leq T_A \leq +70°C$, $V_{CC} = V_{PP} = 5V \pm 5\%$ (Notes 1, 2) ($V_{CC} = V_{PP} = 5V \pm 10\%$ for 2764-20, 2764-25, 2764-30 and 2764-45)

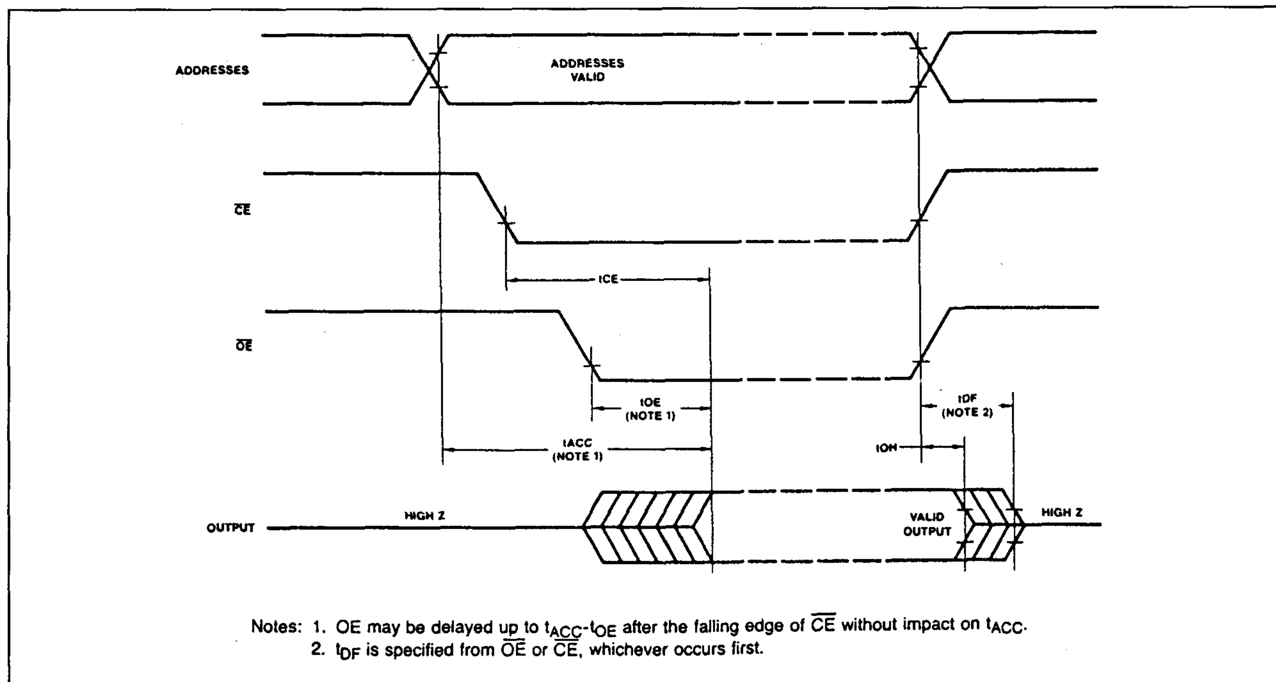
Parameters	Description	Test Conditions	Min	Max	Units
I_{LI}	Input Load Current	V_{IN} = 0V to 5.5V		10	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0V to 5.5V		10	μA
I_{PP1}	V_{PP} Current Read (Note 2)	V_{PP} = 5.5V		1	mA
I_{CC1}	V_{CC} Standby Current (Note 2)	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$		20	mA
I_{CC2}	V_{CC} Active Current (Note 2)	$\overline{OE} = \overline{CE} = V_{IL}$		100	mA
V_{IL}	Input Low Voltage		−0.1	+0.8	Volts
V_{IH}	Input High Voltage		2.0	V_{CC}+1	Volts
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.45	Volts
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4		Volts

Tabel 8/5.3-46: Gelijkspannings-condities.

belast. Bij elk IC moet een hoogfrequent type (met een lage zelfinductie) keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien is het verstandig om bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische 'bulk'-condensator van 4,7 μF te plaatsen.

Overige kenmerken

De overige elektrische- en schakelkarakteristieken zijn te zien in de figuren 8/5.3-25 en 8/5.3-26 en de tabellen 8/5.3-45 tot en met 8/5.3-50. De hier vermelde gegevens hebben betrekking op AMD-typen (bij andere merken kunnen sommige waarden iets afwijken).



Notes: 1. OE may be delayed up to t_{ACC}-t_{OE} after the falling edge of $\overline{CE}$ without impact on t_{ACC}.
2. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

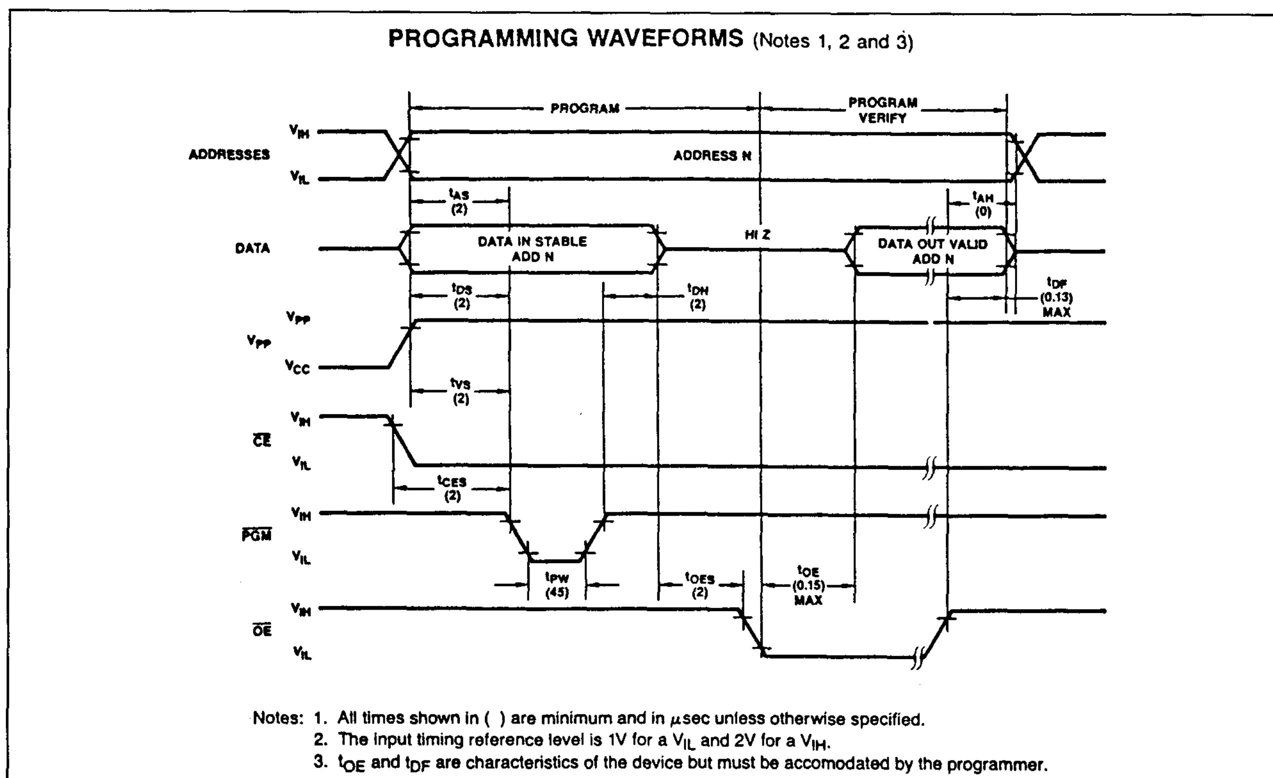
Figuur 8/5.3-25: Timing bij het uitlezen van de EPROM (zie ook tabel 8/5.3-47).

AC CHARACTERISTICS 0°C ≤ T_A ≤ 70°C, V_{CC} = V_{PP} = 5V ±5% (Notes 1, 2)
(V_{CC} = V_{PP} = 5V ±10% for 2764-20, 2764-25, 2764-30 and 2764-45)

Parameters	Description	Test Conditions		Min Values	Maximum Values				Units
				All Types	2764-20 2764-2	2764-25 2764	2764-30 2764-3	2764-45 2764-4	
t_{ACC}	Address to Output Delay	Output Load: 1 TTL gate and C_L = 100pF Input Rise and Fall Times: ≤20ns Input Pulse Levels: .45 to 2.4V Timing Measurement Reference Level: Inputs: 1V and 2V Outputs: 0.8V and 2V	$\overline{CE} = \overline{OE} = V_{IL}$		200	250	300	450	ns
t_{CE}	$\overline{CE}$ to Output Delay		$\overline{OE} = V_{IL}$		200	250	300	450	ns
t_{OE}	Output Enable to Output Delay		$\overline{CE} = V_{IL}$		75	100	120	150	ns
t_{DF}	Output Enable High to Output Float (Note 4)		$\overline{CE} = V_{IL}$	0	60	85	105	130	ns
t_{OH} (Note 4)	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First		$\overline{CE} = \overline{OE} = V_{IL}$	0					ns

Tabel 8/5.3-47: Schakeltijden bij het uitlezen.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-26: Timing bij het programmeren (zie ook tabel 8/5.3-50).

CAPACITANCE (Notes 3, 4)
T_A = +25°C, f = 1MHz

Parameters	Description	Test Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	8	12	pF

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for nominal supply voltages.
4. This parameter is only sampled and not 100% tested.
5. Caution: The 2764 must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.

Tabel 8/5.3-48: Capaciteiten bij 1 MHz.

PROGRAM OPERATION

DC PROGRAMMING CHARACTERISTICS
T_A = +25°C ±5°C, V_{CC} (See Note 1) = 5V ±5%, V_{PP} (See Notes 1, 2) = 21V ±0.5V

Parameters	Description	Test Conditions	Min	Max	Units
I_{LI}	Input Current (All Inputs)	V_{IN} = V_{IL} or V_{IH}		10	μA
V_{OL}	Output Low Voltage During Verify	I_{OL} = 2.1mA		0.45	Volts
V_{OH}	Output High Voltage During Verify	I_{OH} = −400μA	2.4		Volts
I_{CC2}	V_{CC} Supply Current (Active)			100	mA
V_{IL}	Input Low Level (All Inputs)		−0.1	0.8	Volts
V_{IH}	Input High Level		2.0	V_{CC}+1	Volts
I_{PP}	V_{PP} Supply Current	$\overline{CE}$ = V_{IL} = $\overline{PGM}$		30	mA

Tabel 8/5.3-49: Gelijkspannings-condities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

AC PROGRAMMING CHARACTERISTICS

T_A = +25°C ±5°C, V_{CC} (Note 1) = 5V ±5%, V_{PP} (Notes 1, 2) = 21V ±0.5V

Parameters	Description	Test Conditions	Min	Max	Units
t_{AS}	Address Set-up Time	Input tR and tF (10 to 90%) = 20ns Input Pulse Levels = 0.45 to 2.4V Timing Measurement Reference Level: Inputs: 1V and 2V Outputs: 0.8V and 2V	2		μs
t_{OES}	Output Enable Set-up Time		2		μs
t_{DS}	Data Set-up Time		2		μs
t_{AH}	Address Hold Time		0		μs
t_{OEH}	Output Enable Hold Time		2		μs
t_{DH}	Data Hold Time		2		μs
t_{DF}	Chip Enable to Output Float Delay		0	130	ns
t_{VS}	V_{PP} Setup Time		2		μs
t_{PW}	$\overline{PGM}$ Pulse Width		45	55	ms
t_{CES}	$\overline{CE}$ Setup Time		2		μs
t_{OE}	Data Valid From $\overline{OE}$			150	ns

Notes: 1. *Caution: If V_{CC} is not applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}, the 2764 could be damaged.*
2. When programming the Am2764, a 0.1μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which may damage the device.

Tabel 8/5.3-50: Schakeltijden bij het programmeren.

2764A

8k X 8, NMOS, Vprog = 12,5 V

De 2764A is een verbeterde versie van de 2764 die met een spanning van 12,5 V en kortere pulsen (Intelligent Programming Algorithm) kan worden geprogrammeerd. Door de 180 ns toegangstijd (2764-1) kan de 2764A bijvoorbeeld samenwerken met een 8 MHz 80186 processor of een 12 MHz 8051 microcontroller (zonder WAIT toestanden). De aansluitingen en 5 van de 7 bedrijfsmodes zijn dezelfde als voor de 2764. Zoals in tabel 8/5.3-51 te zien is, kent de 2764A twee extra functies: output-disable en autoselect.

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	L	L	H	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	L	H	H	X	V_{CC}	V_{CC}	High Z
Stand By	H	X	X	X	V_{CC}	V_{CC}	High Z
Program	L	X	L	X	V_{PP}	V_{CC}	D_{IN}
Program Verify	L	L	H	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	H	X	X	X	V_{PP}	V_{CC}	High Z
Auto Select	L	L	H	V_H	V_{CC}	V_{CC}	Code

Note: H = HIGH
L = LOW
X can be either L or H
V_H = 12.0V ±0.5V

Tabel 8/5.3-51: Selectie van de verschillende functies van de 2764A.

De functie output-disable werd in feite al bij de 2764 onder het hoofdstuk 'OR-verbinding van de uitgangen' behandeld.

Auto Select Mode

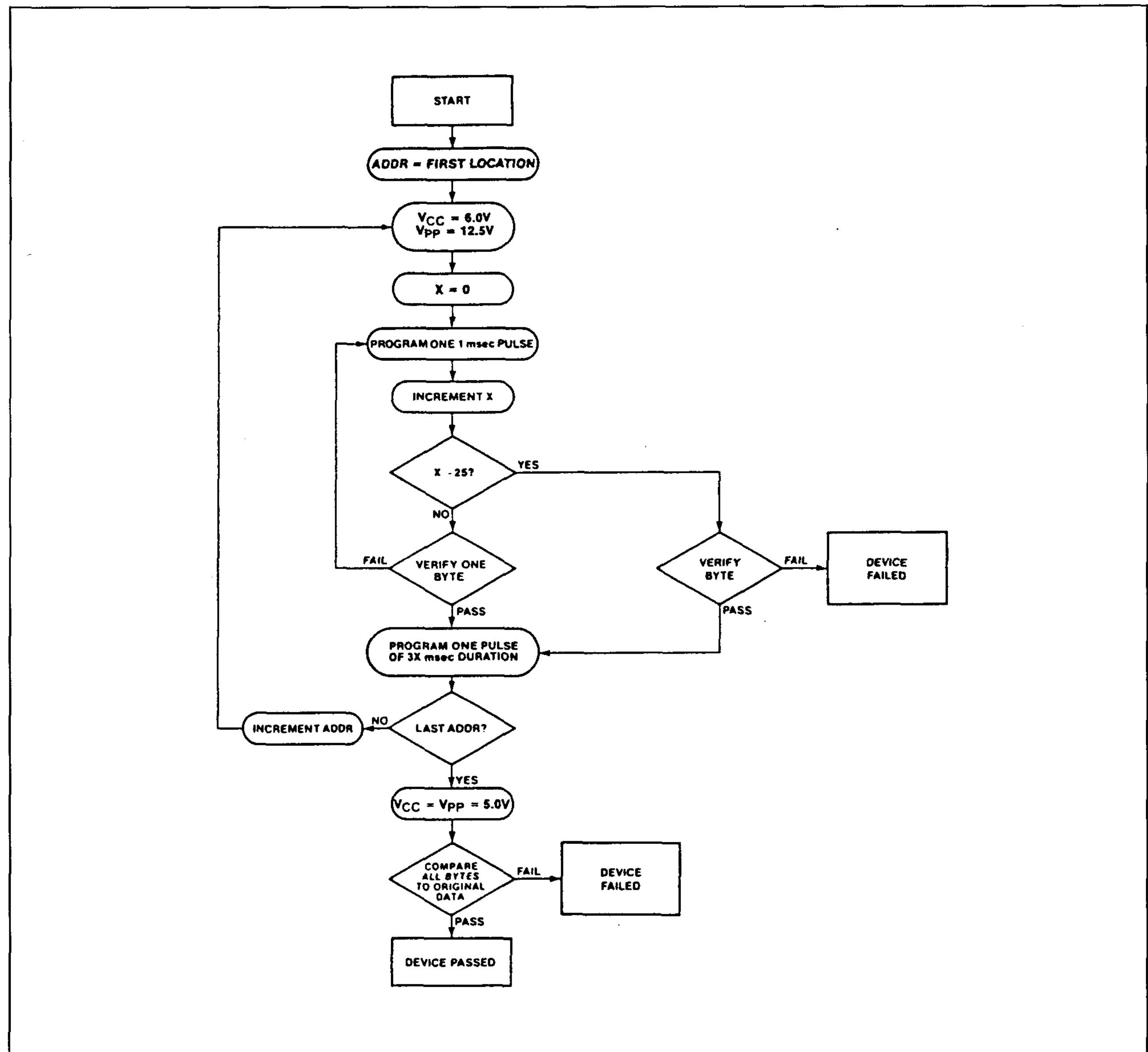
De Auto Select Mode (of Intelligent Identifier Mode) maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Om van deze functie gebruik te maken moet het programmeer-apparaat 12 V ± 0,5 V op de adreslijn A9 zetten. Door A0 LAAG te maken kan de fabrikant-code op DQ0 tot en met DQ7 worden gelezen (89 Hexadecimaal voor Intel) en met A0 HOOG verschijnt de typecode (08H). Alle andere adreslijnen moeten tijdens de Auto Select Mode LAAG zijn. Beide codes hebben oneven pariteit, waarbij DQ7 (MSB) het pariteitsbit is.

Programmeren

Bij aflevering of na het wissen bevinden alle 65536 bits zich in de '1' of HOOG toestand. Door het programmeren worden de LAAG-niveaus aangebracht.

De 2764A wordt geprogrammeerd door +12,5 V op de Vpp-pen te zetten **(nooit hoger dan 14 V!)** en een TTL-LAAG-puls op $\overline{PGM}$ te geven. De te programmeren data (8

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-28: Flow-diagram van de interaktieve programmeer-algoritme ('Intelligent Programming Algorithm') voor de 2764A.

bits parallel) wordt op de Data I/O-pennen (On) gezet.
In figuur 8/5.3-28 is de interaktieve 'Intelligent Programming Algorithm' te zien die de benodigde programmeertijd aanmerkelijk verkort. Hierbij worden twee typen programmeerpulsen gebruikt: 'Initiële' en 'Overprogram' pulsen.
De initiële (begin) pulsen op $\overline{PGM}$ duren elk 1 ms, terwijl de lengte van de 'over-program' puls 3X ms bedraagt (X is gelijk aan het aantal 1 ms pulsen dat nodig was om op een bepaalde lokatie correcte data te verkrijgen). Na elke 1 ms puls die op een bepaald adres is gegeven, wordt de data gecontroleerd. Stemt de data niet overeen, dan wordt een extra puls gegeven (tot maximaal 25 pulsen). Dit proces wordt herhaald bij elk adres in de EPROM. Het interaktieve deel van de algoritme wordt geprogrammeerd en geverifieerd

bij Vcc = 6,0 V en Vpp = 12,5 V. Na het laatste adres wordt de gehele EPROM gecontroleerd bij Vcc = Vpp = 5 V.

Programma verificatie

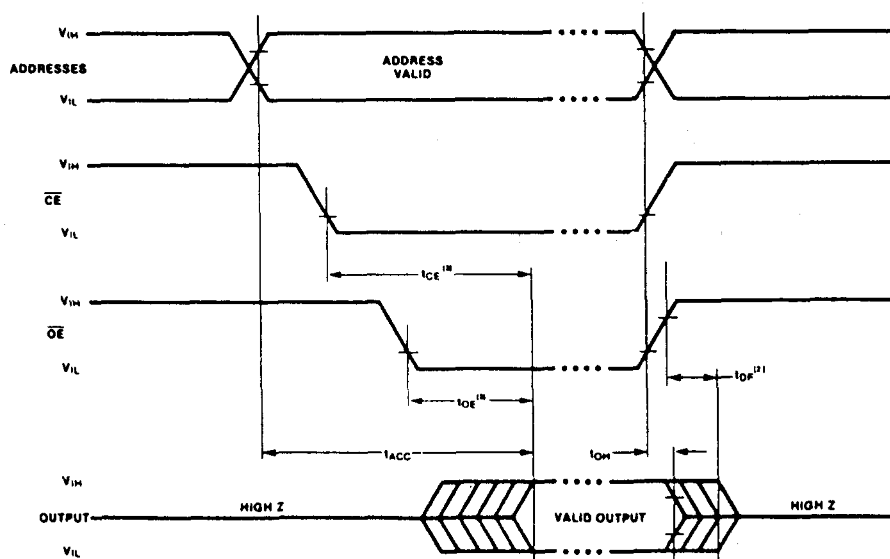
De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met OE op TTL-LAAG niveau, $\overline{PGM}$ op HOOG niveau en Vpp en Vcc op de bij het programmeren geldende waarden.

Voorzorgen bij het toepassen

Door de schakel-eigenschappen van de EPROM moet de Vcc zorgvuldig worden ontkoppeld. De voedingsstroom Icc heeft drie segmenten die voor de systeem-ontwerper van belang zijn: de standby-stroomsterkte, de aktieve stroom en de schakelpieken op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capacitieve en inductieve belasting van de uitgang. Bij elke EPROM moet een keramische condensator van 0,1 μF tussen Vcc en aarde worden geplaatst. Bovendien wordt aangeraden om bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische 'bulk'-condensator van 4,7 μF te plaatsen.

Overige kenmerken

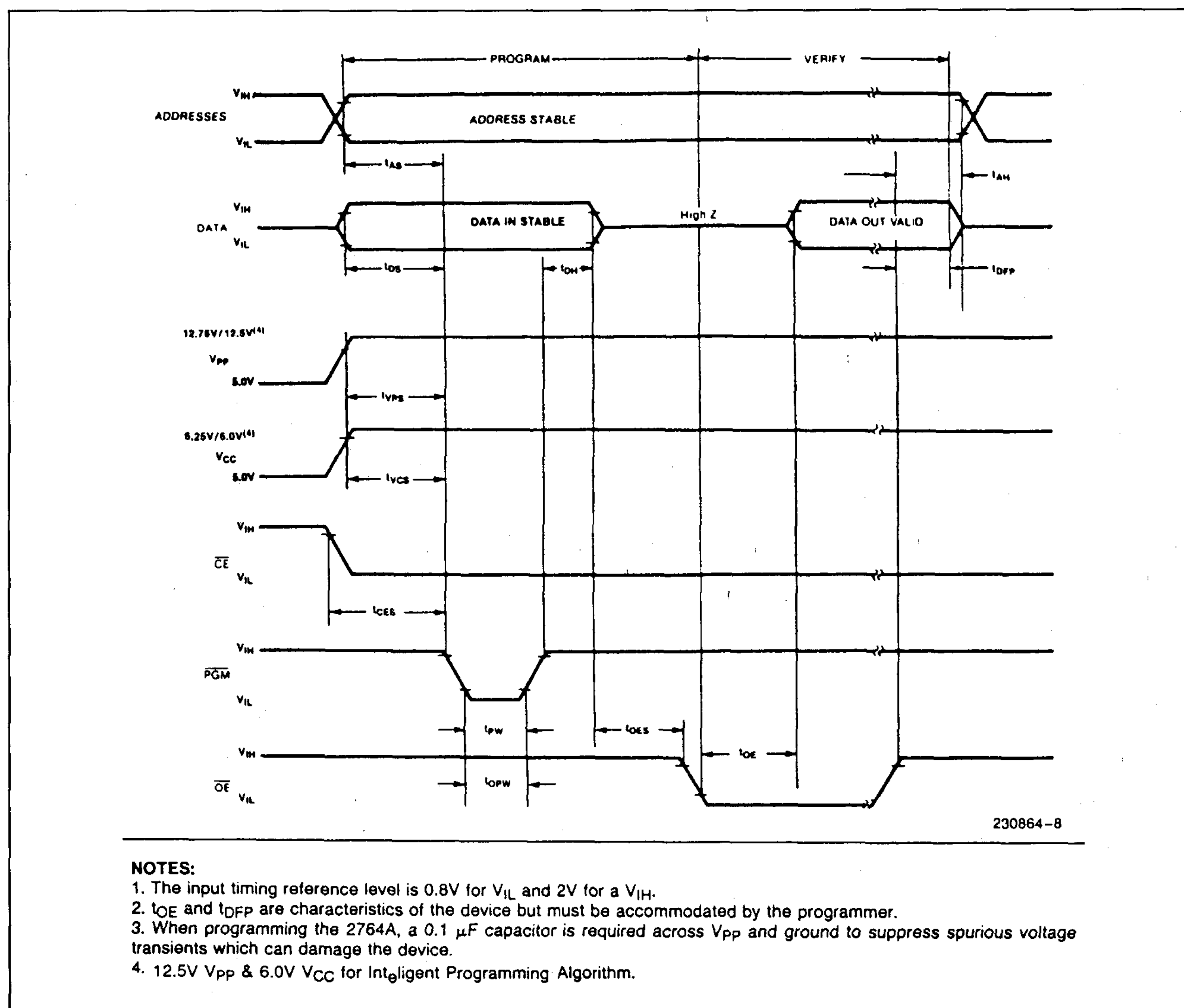
De overige elektrische (DC en AC) kenmerken van de Intel-typen zijn te zien in de figuren 8/5.3-29 en 8/5.3-30 en de tabellen 8/5.3-52 tot en met 8/5.3-57.



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{CE}-t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}.

Figuur 8/5.3-29: Schakeltijden en golfvormen bij het uitlezen (zie ook tabel 8/5.3-54).

5.3 Type-beschrijving 27yyy-serie



NOTES:
1. The input timing reference level is 0.8V for V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 2764A, a 0.1 μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which can damage the device.
4. 12.5V V_{PP} & 6.0V V_{CC} for Int$_{e}$ligent Programming Algorithm.

Figuur 8/5.3-30: Golfvormen die optreden bij de interaktieve programmering van de 2764A (zie ook tabel 8/5.3-57).

ABSOLUTE MAXIMUM RATINGS*

OperatingTemperature	
During Read	0°C to +70°C
Temperature Under Bias	−10°C to +80°C
Storage Temperature	−65°C to +125°C
All Inputs or Output Voltages with	
Respect to Ground	−0.6V to +6.25V
Voltage on Pin 24 with	
Respect to Ground	−0.6V to +13.5V
V_{PP} Supply Voltage with	
Respect to Ground	
During Programming	−0.6V to +14.0V
V_{CC} Supply Voltage with Respect	
to Ground	−0.6V to +7.0V

Tabel 8/5.3-52: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie

D.C. CHARACTERISTICS $0°C \leq T_A \leq +70°C$

Symbol	Parameter	Limits			Conditions
		Min	Max	Unit	
I_{LI}	Input Load Current		10	µA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = 5.5V
I_{PP}(2)	V_{PP} Current Read		5	mA	V_{PP} = 5.5V
I_{SB}	V_{CC} Current Standby		35	mA	$\overline{CE} = V_{IH}$
I_{CC}(2)	V_{CC} Current Active		75	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1	+0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} + 1	V	
V_{OL}	Output Low Voltage		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = −400 µA
V_{PP}(2)	V_{PP} Read Voltage	3.8	V_{CC}	V	V_{CC} = 5.0V ± 0.25V

Tabel 8/5.3-53: Gelijkspanningscondities.

A.C. CHARACTERISTICS $0°C \leq T_A \leq +70°C$

Versions(4)	V_{CC} ± 5%	2764A-1		2764A-2 ~~P2764A-2~~		2764A ~~P2764A~~		2764A-3 ~~P2764A-3~~		2764A-4		Unit	Test Conditions
	V_{CC} ± 10%			2764A-20		2764A-25 ~~P2764A-25~~		2764A-30 ~~P2764A-30~~		2764A-45			
Symbol	Parameter	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}(3)	$\overline{OE}$ High to Output Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Address, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}. The maximum current value is with outputs O_0 to O_7 unloaded.
3. This parameter is only sampled and is not 100% tested. Output Data Float is defined as the point where data is no longer driven—see timing diagram on the following page.
4. Model Number Prefixes: No prefix = CERDIP; ~~P—Plastic DIP~~.

Tabel 8/5.3-54: Schakeltijden bij het uitlezen.

CAPACITANCE(2) (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ (1)	Max	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

Tabel 8/5.3-55: Capaciteiten van de 2764A.

5.3 Type-beschrijving 27yyy-serie

D.C. PROGRAMMING CHARACTERISTICS $T_A = 25°C \pm 5°C$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		75	mA	
I_{PP2}(4)	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
	Quick-Pulse Programming Algorithm	12.5	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Quick-Pulse Programming Algorithm	6.0	6.5	V	

Tabel 8/5.3-56: Gelijkspanningscondities bij het (interaktief) programmeren.

A.C. PROGRAMMING CHARACTERISTICS

$T_A = 25°C \pm 5°C$ (see table 2 for V_{CC} and V_{PP} voltages)

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(See Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	int$_e$ligent Programming
		95	100	105	μs	Quick-Pulse Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ....20 ns

Input Pulse Levels ....0.45V to 2.4V

Input Timing Reference Level ....0.8V and 2.0V

Output Timing Reference Level ......0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X (int$_e$ligent Programming Algorithm only).
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with Outputs O_0 to O_7 unloaded.

Tabel 8/5.3-57: Schakeltijden bij het programmeren.

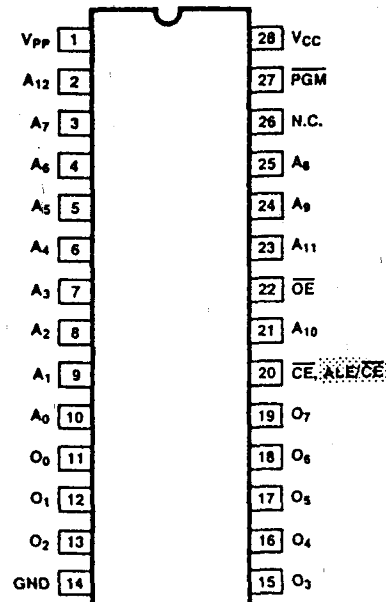
5.3 Type-beschrijving 27yyy-serie

27C64A/87C64

8k X 8, CMOS, Vprog = 12,5 V

Door een flink aantal fabrikanten wordt de 2764 nu ook in CMOS vervaardigd. Er zijn twee typen: de 27C64A is uitwisselbaar met de 2764, terwijl de 87C64 speciaal werd ingericht voor toepassing bij microcontrollers met gemultiplexte bus. Beide typen hebben korte toegangstijden (200 ns), een geringe dissipatie (maximaal 10 mA) en CMOS ingangen, hetgeen ze bijzonder geschikt maakt voor toepassing in draagbare apparatuur.

De 87C64 bevat een adres-latch die bij gemultiplexte-bus systemen beperking van het aantal chips mogelijk maakt (figuur 8/5.3-32). De ontwerpers maken hiervan gebruik door gecombineerde (gemultiplexte) adres/databussen direct op de A0 –A7 en O0 –O7 pennen van de 87C64 aan te sluiten (figuur 8/5.3-33). Wanneer het ALE-signaal op de ALE/$\overline{CE}$ HOOG is, mag de adresinformatie de EPROM binnengaan en kan de opgeslagen data worden bereikt. Op de dalende flank van ALE wordt de adresinformatie op de adres-ingangen intern gelatched. De A0 – A7 ingangen worden dan genegeerd, terwijl data uit de O0 – O7 uitgangen van de EPROM over dezelfde bus wordt getransporteerd (ALE/$\overline{CE}$ blijft LAAG). De 27C64A en de 87C64 hebben een keramische 28 pens DIL-behuizing (figuur 8/5.3-31) en kunnen door middel van de Intelligente Programmeer Algoritme (figuur 8/5.3-36) worden geprogrammeerd.



$A_0 - A_{12}$	Addresses
$O_0 - O_7$	Outputs
$\overline{OE}$	Output enable
$\overline{CE}$	Chip enable
ALE/$\overline{CE}$	Address latch enable/chip enable
$\overline{PGM}$	Program strobe
N.C.	No connect
GND	Ground
V_{PP}	Program voltage
V_{CC}	Power supply

Figuur 8/5.3-31: Aansluitingen van de 27C64A en 87C64. Het gearceerde deel heeft betrekking op de 87C64 (ALE/$\overline{CE}$ in plaats van $\overline{CE}$).

Lees-mode 27C64A

De 27C64A heeft twee besturingsfuncties die beide aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip Select ($\overline{CE}$) bestuurt de voeding en moet voor de selectie van de EPROM worden gebruikt, terwijl Output enable ($\overline{OE}$) de uitgang bestuurt. Zie ook de 2764A.

Lees-mode 87C64

De 87C64 werd ontworpen met het oog op vermindering van de interface-schakelingen die nodig zijn in processor-systemen met gemultiplexte data/adres-bussen. In figuur 8/5.3-33 is een voorbeeld te zien van de wijze waarop dit kan gebeuren: de gemultiplexte bus (AD0 – AD7) van de processor is zowel met de adres- als de data-pennen van 87C64 verbonden, waardoor een aparte latch niet nodig is.

De interne adreslatch in de 87C64 wordt direct door de ALE/$\overline{CE}$-lijn vrijgegeven. Het laatst aanwezige adres wordt overgenomen op de HOOG-naar-LAAG overgang van het ALE/$\overline{CE}$-signaal. Data komt op de bus ter beschikking door middel van de $\overline{OE}$-pen.

Standby mode

De 27C64A en de 87C64 kunnen, door pen 20 HOOG te schakelen, standby worden gezet waarbij de uit Vcc opgenomen stroom beperkt blijft tot 100 μA.

Wissen en programmeren

Voor het wissen van de CMOS-versies geldt hetzelfde als voor de NMOS 2764A: een UV-lamp van 12 mW/cm^2 op 2,5 cm wist de EPROM's in 15 tot 20 minuten. Na het wissen bevat de EPROM alleen 'enen'.

Ook het programmeren gaat op dezelfde manier als bij de 2764A: 12,5 V (maximaal 14 V) op de Vpp-pen, $\overline{CE}$ op TTL-LAAG en TTL-LAGE programmeerpulsen op $\overline{PGM}$. Hiervoor bij voorkeur de Intelligente Programmeer Algoritme gebruiken (figuur 8/5.3-36). De initiële programmeerpulsen duren weer 1 ms (maximaal 25 stuks), terwijl de overprogrammeerpulsen 3X ms duren (X = het aantal initiële pulsen dat nodig was voor correcte programmering). Na elke initiële puls wordt de inhoud van het betreffende adres gecontroleerd. Zie ook de 2764A.

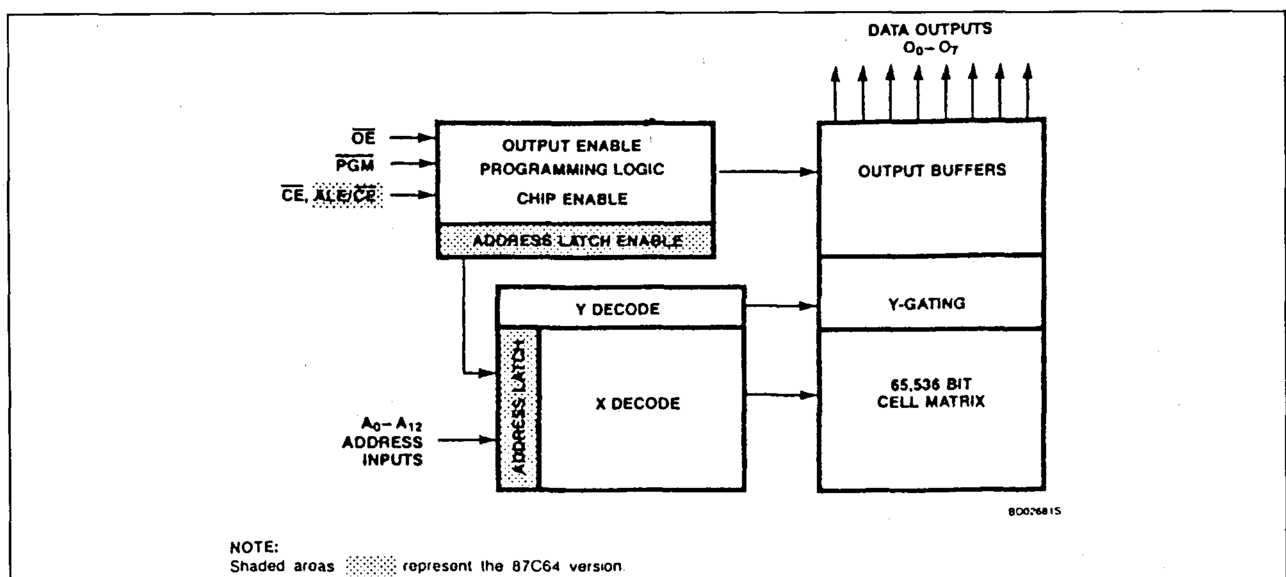
Overige functies

Ook de functies 'Program Inhibit', 'Verify' en 'Intelligent Identifier Mode' zijn identiek aan die van de 2764A.

Met uitzondering van de $\overline{CE}$-pen (of ALE/$\overline{CE}$ voor de 87C64) mogen alle ingangen parallel geschakeld worden met die van andere EPROM's. Door $\overline{CE}$ (of ALE/$\overline{CE}$) HOOG te maken wordt voorkomen dat een 27C64A (of 87C64) wordt geprogrammeerd.

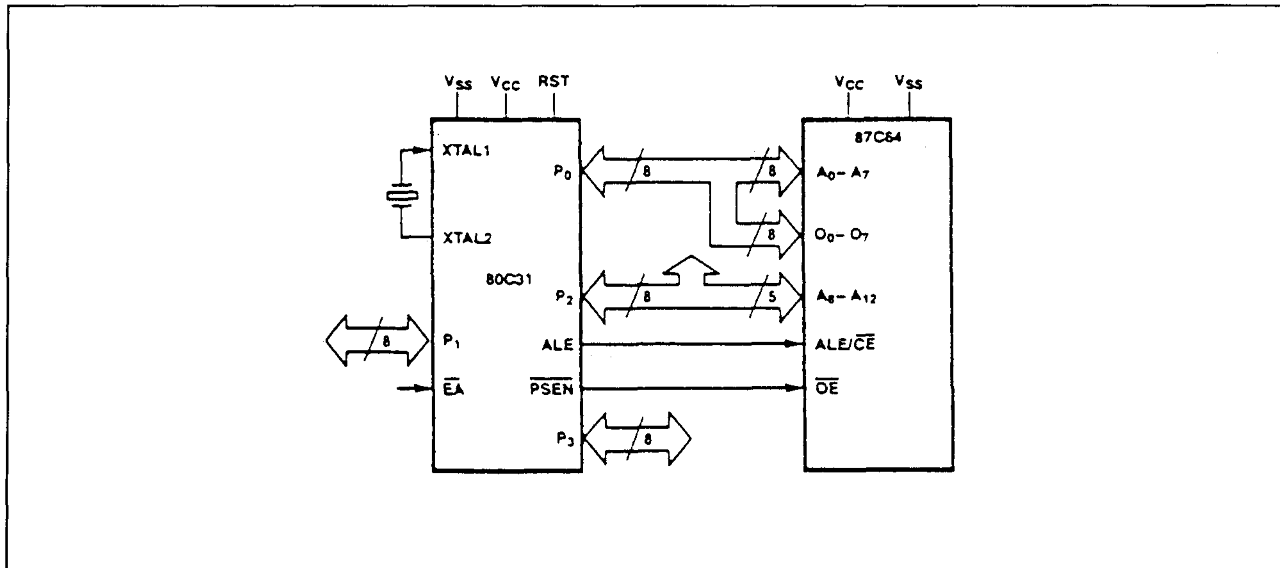
Verificatie van de inhoud is mogelijk met $\overline{OE}$ en $\overline{CE}$ (of ALE/$\overline{CE}$) of TTL-LAAG en $\overline{PGM}$ op TTL-HOOG niveau. De identificatie van de EPROM's gebeurt weer door 12 V op adreslijn A9 te zetten en fabrikant/type-code op de data-uitgangen te laten verschijnen door een LAAG respectievelijk HOOG op adreslijn A0 te zetten (zie tabel 8/5.3-64). In dit geval betekent de fabrikantencode 15H (hexadecimaal) Signetics/Philips.

Alle elektrische kenmerken en optredende schakeltijden van de CMOS 27C64A en 87C64 EPROM's zijn te vinden in de tabellen 8/5.3-58 tot en met 8/5.3-67 en de figuren 8/5.3-31 tot en met 8/5.3-38.

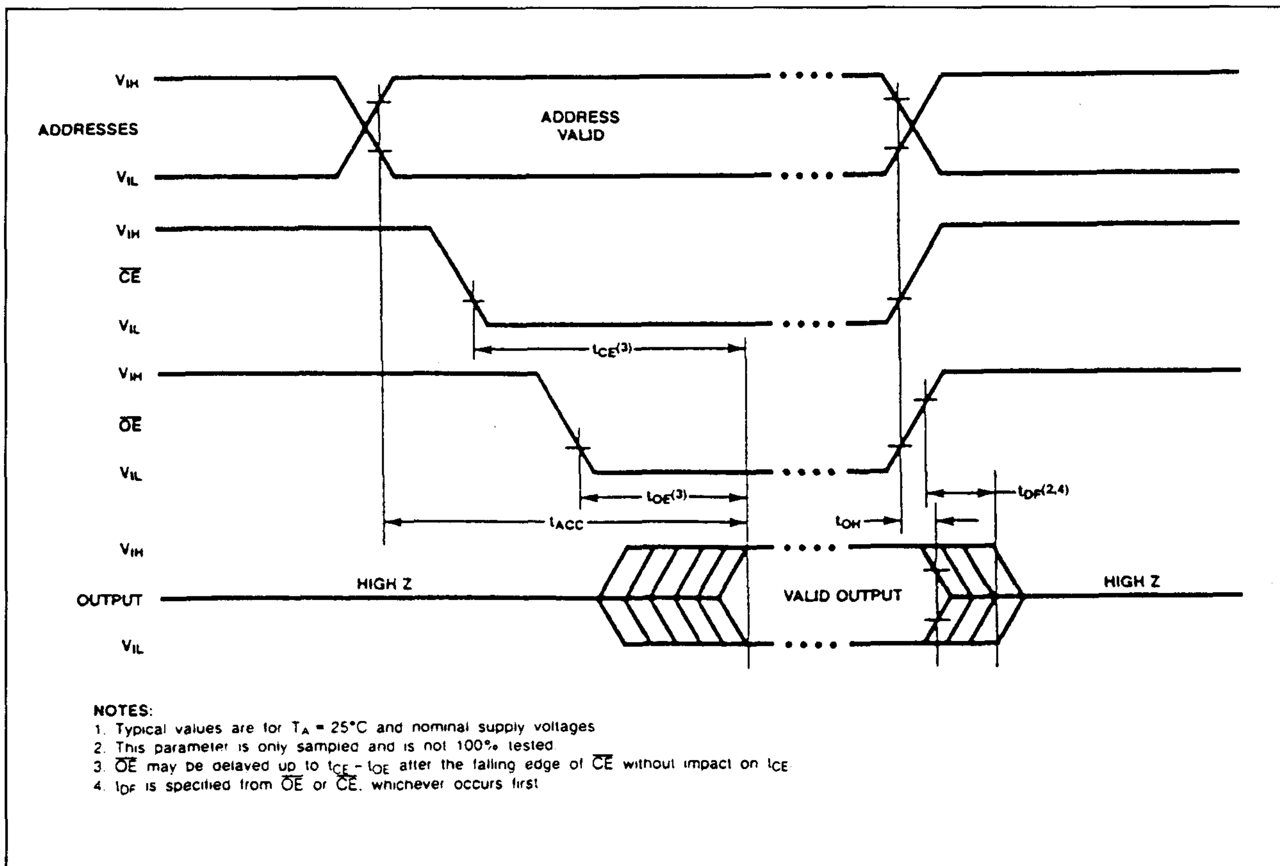


Figuur 8/5.3-32: Blokschema van de 27C64A (zonder adreslatch en adreslatch-enable) en de 87C64 (totaal schema).

5.3 Type-beschrijving 27yyy-serie

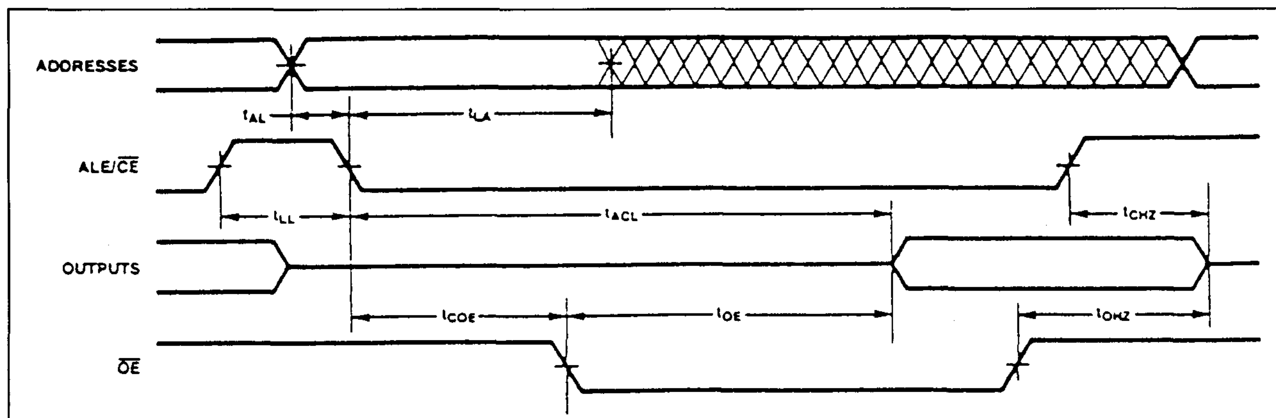


Figuur 8/5.3-33: Toepassing van een 87C64 EPROM in een controller-systeem met gemultiplexte adres/databus.



Figuur 8/5.3-34: Golfvormen en schakeltijden bij het uitlezen van de 27C64A (zie ook tabel 8/5.3-62).

5.3 Type-beschrijving 27yyy-serie

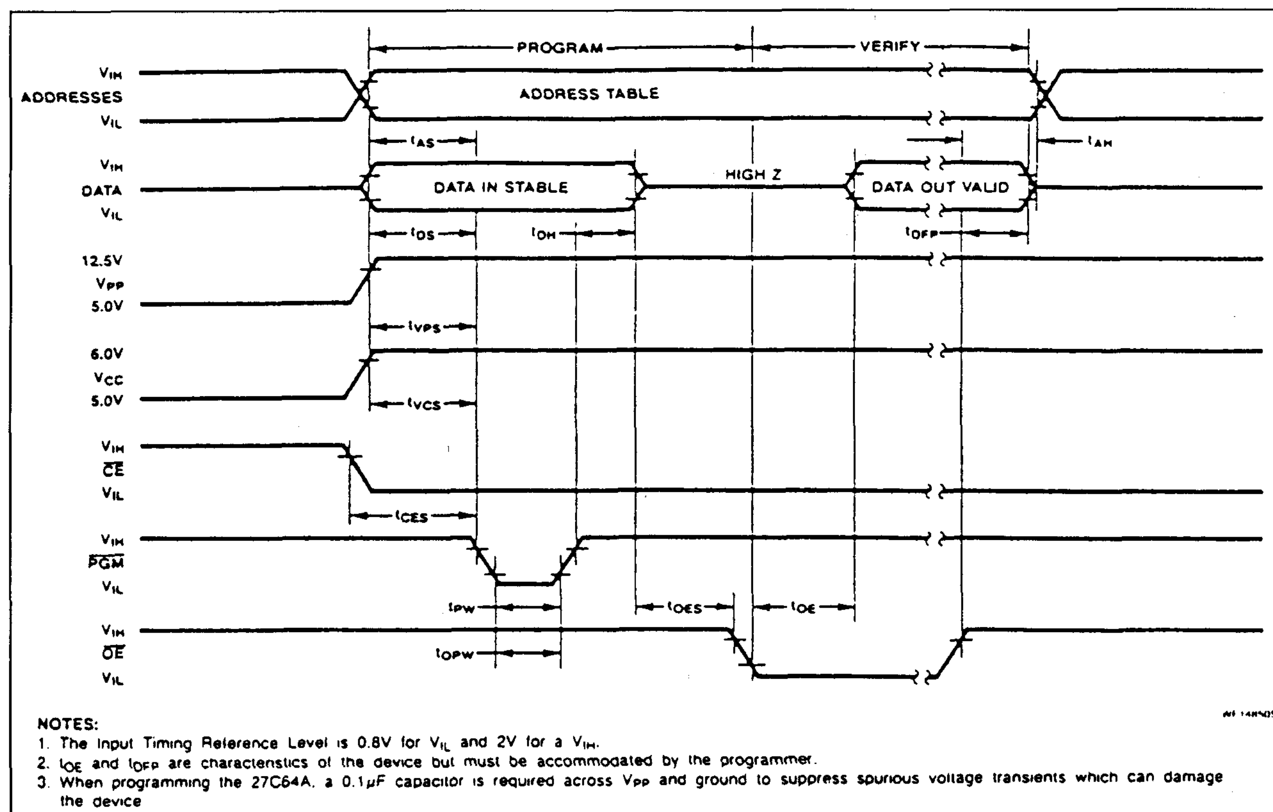


Figuur 8/5.3-35: Golfvormen en schakeltijden bij het uitlezen van de 87C64 (zie ook tabel 8/5.3-63).

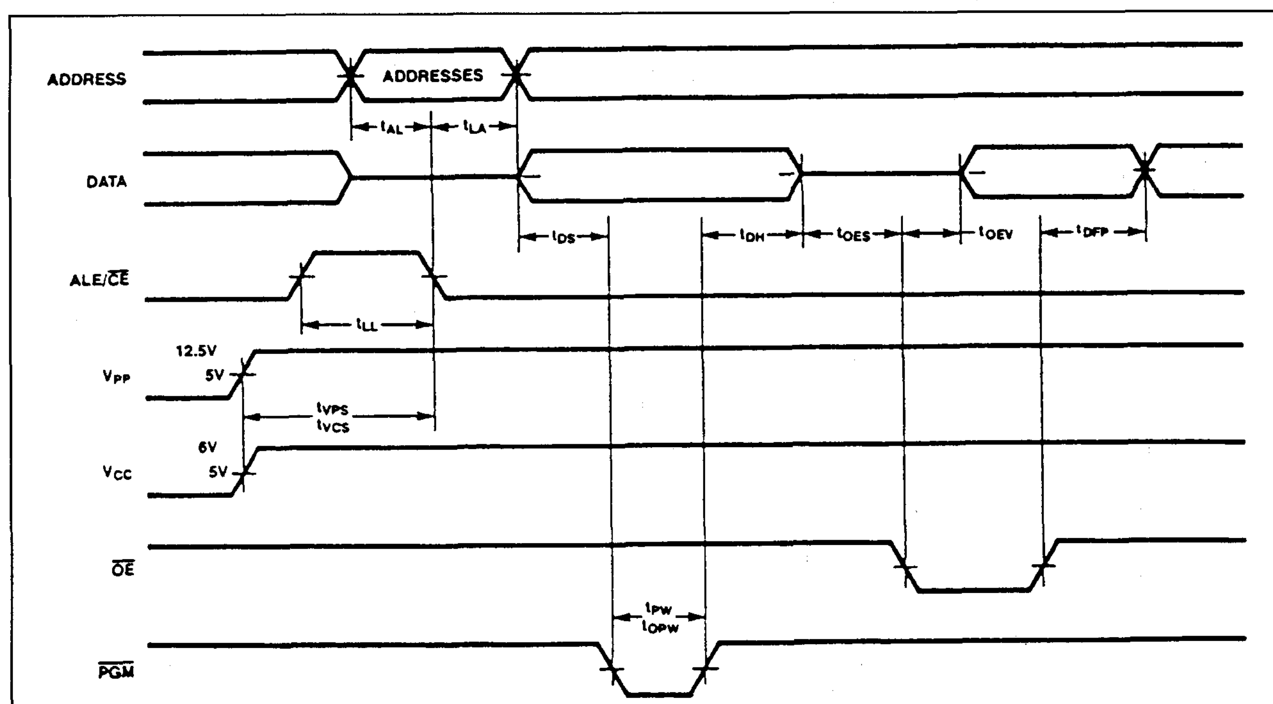
START
ADDR = FIRST LOCATION
V_{CC} = 6.0V
V_{PP} = 12.5V
X = 0
PROGRAM ONE 1 msec PULSE
INCREMENT X
X = 25?
YES
NO
VERIFY ONE BYTE
FAIL
PASS
VERIFY BYTE
FAIL
DEVICE FAILED
PASS
PROGRAM ONE PULSE OF 3X msec DURATION
LAST ADDR?
NO
INCREMENT ADDR
YES
V_{CC} = V_{PP} = 5.0V
COMPARE ALL BYTES TO ORIGINAL DATA
FAIL
DEVICE FAILED
PASS
DEVICE PASSED

Figuur 8/5.3-36: De voor de 27C64 en 87C64 bruikbare Intelligente Programmeer Algoritme.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-37: Golfvormen en schakeltijden die optreden wanneer de Intelligente Programmeer Algoritme op de 27C64 wordt toegepast (zie ook tabel 8/5.3-66).



Figuur 8/5.3-38: Golfvormen en schakeltijden die optreden bij het (interaktief) programmeren van de 87C64 (zie ook tabel 8/5.3-67).

5.3 Type-beschrijving 27yyy-serie

ABSOLUTE MAXIMUM RATINGS*

PARAMETER	RATING	UNIT
Temperature under bias	−10 to +80	°C
Storage temperature	−65 to +125	°C
Voltage on any pin with respect to ground	−2.0 to V_{CC}+1V[1]	V
Voltage on pin-24 with respect to ground	−2.0 to +13.5[1]	V
V_{PP} supply voltage with respect to ground during programming	−2.0 to +14.0[1]	V
Operating temperature during read	0 to +70[2]	°C

Tabel 8/5.3-58: Maximaal toegelaten waarden.

READ OPERATION DC CHARACTERISTICS $0°C \leq T_A \leq +70°C$, $V_{CC} = 5V \pm 10\%$

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS Min	LIMITS Typ[3]	LIMITS Max	UNIT	NOTES
I_{LI}	Input leakage current	$V_{IN} = 5.5V = V_{CC}$		0.01	1.0	μA	
I_{LO}	Output leakage current	$V_{OUT} = 5.5V = V_{CC}$		0.01	1.0	μA	
I_{CC} TTL	Operating current TTL inputs	$\overline{CE} = \overline{OE} = V_{IL}$, $V_{PP} = V_{CC}$, $O_{0-7} = 0mA$			20, 30	mA	4, 6
I_{CC} CMOS	Operating current	$\overline{CE} = \overline{OE} = V_{IL}$, $V_{PP} = V_{CC}$, $O_{0-7} = 0mA$			10	mA	4, 6
I_{SB} TTL	Standby current TTL inputs	$\overline{CE} = V_{IH}$			1.0	mA	4
I_{SB} CMOS	Standby current CMOS inputs	$\overline{CE} = V_{IH}$			100.0	μA	5
I_{PP}	V_{PP} read current	$V_{PP} = V_{CC}$			100.0	μA	6
V_{IL}	Input low voltage (TTL)	$V_{PP} = V_{CC}$	−0.5		0.8	V	
	Input low voltage (CMOS)		−0.2		0.2		
V_{IH}	Input high voltage	$V_{PP} = V_{CC}$	2.0		V_{CC} + 0.5	V	
	Input high voltage (CMOS)		V_{CC} − 0.2		V_{CC} + 0.2		
V_{OL}	Output low voltage	$I_{OL} = 2.1mA$			0.45	V	
V_{OH}	Output high voltage	$I_{OH} = -2.5mA$	3.5			V	
I_{OS}	Output short circuit current				100	mA	7
V_{PP}	V_{PP} read voltage		V_{CC} − 0.7		V_{CC}	V	8

NOTES:

1. Minimum DC input voltage is −0.5V. During transitions, the inputs may undershoot to −2.0V for periods less than 20ns.
2. Operating temperature is for commercial product defined by this specification.
3. Typical limits are at $V_{CC} = 5V$, $T_A = +25°C$.
4. 30mA for −20 version, 20mA for −25 and −30 versions.
   TTL inputs: spec V_{IL}, V_{IH} levels
   CMOS inputs: GND ± 0.2 to V_{CC} ± 0.2
5. ALE/$\overline{CE}$ or $\overline{CE}$ is V_{CC} ± 0.2V. All other inputs can have any value within spec.
6. Maximum Active power usage is the sum I_{PP} + I_{CC}.
7. Output shorted for no more than one second. No more than one output shorted at a time. I_{OS} is sampled but not 100% tested.
8. V_{PP} may be one diode voltage drop below V_{CC}. It may be connected directly to V_{CC}.

Tabel 8/5.3-59: Gelijkspanningscondities.

5.3 Type-beschrijving 27yyy-serie

CAPACITANCE[1] $T_A = 25°C$, $f = 1.0$ MHz

SYMBOL	PARAMETER	CONDITIONS	MAX	UNIT
C_{IN}	Address/control capacitance	$V_{IN} = 0V$	6	pF
C_{OUT}	Output capacitance	$V_{OUT} = 0V$	12	pF

Tabel 8/5.3-60: Capaciteiten van de 27C64A en 87C64.

MODE	PINS				
	ALE/$\overline{CE}$ $\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	V_{PP} (1)	OUTPUTS (11 - 13, 15 - 19)
Read	V_{IL}	V_{IL}	V_{IH}	V_{CC}	D_{OUT}
Output disable	V_{IL}	V_{IH}	V_{IH}	V_{CC}	High Z
Standby	V_{IH}	X	X	V_{CC}	High Z

Tabel 8/5.3-61: Lees-modes voor de 27C64A en 87C64.

AC CHARACTERISTICS: 27C64A[1] $0°C \leq T_A \leq +70°C$, $V_{CC} = 5V \pm 10\%$

VERSIONS		27C64A-20		27C64A-25		27C64A-30		UNIT
Symbol	Characteristic	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to output delay		200		250		300	ns
t_{CE}	$\overline{CE}$ to output delay		200		250		300	ns
t_{OE}	$\overline{OE}$ to output delay		75		100		120	ns
t_{DF} [2]	$\overline{OE}$ or $\overline{CE}$ high to output high Z		55		60		75	ns
t_{OH} [2]	Output hold from addresses, $\overline{CE}$ or $\overline{OE}$ change - whichever is first	0		0		0		ns

NOTES:
1. A.C. characteristics tested at $V_{IH} = 2.4V$ and $V_{IL} = 0.45V$. Timing measurements made at $V_{OL} = 0.8V$ and $V_{OH} = 2.0V$.
2. Guaranteed and sampled.

Tabel 8/5.3-62: Schakeltijden bij het uitlezen van de 27C64A.

5.3 Type-beschrijving 27yyy-serie

AC CHARACTERISTICS: 87C64[1] 0°C ≤ T_A ≤ +70°C, V_{CC} = 5V ± 10%

VERSIONS		87C64-20		87C64-25		87C64-30		UNIT
Symbol	Characteristic	Min	Max	Min	Max	Min	Max	
t_{LL}	Chip deselect width	50		60		75		ns
t_{AL}	Address to $\overline{CE}$ - latch setup	20		25		30		ns
t_{LA}	Address hold from $\overline{CE}$ - LATCH	45		50		60		ns
t_{ACL}	$\overline{CE}$ - latch access time		200		250		300	ns
t_{OE}	Output enable to output valid		75		100		120	ns
t_{COE}	$\overline{CE}$ to output enable	45		50		60		ns
t_{CHZ} [2]	Chip deselect to output in High Z		50		60		75	ns
t_{OHZ} [2]	Output disable to output in High Z		50		60		75	ns

Tabel 8/5.3-63: Schakeltijden bij het uitlezen van de 87C64.

MODE	PINS							
	ALE/$\overline{CE}$ $\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	A_0 (10)	V_{PP} (1)	V_{CC} (28)	OUTPUTS (11 - 13, 15 - 19)
Intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	X	V_{PP}	6.0V[4]	D_{IN}
Program verify	V_{IL}	V_{IL}	V_{IH}	X	X	V_{PP}	6.0V[4]	D_{OUT}
Program inhibit	V_{IH}	X	X	X	X	V_{PP}	6.0V[4]	HIGH Z
Intelligent identifier[3] -Manufacturer	V_{IL}	V_{IL}	V_{IH}	V_H	V_{IL}	V_{CC}	V_{CC}	15 H
Intelligent identifier[3] -27C64A	V_{IL}	V_{IL}	V_{IH}	V_H	V_{IH}	V_{CC}	V_{CC}	OB H
Intelligent identifier[3] -87C64	V_{IL}	V_{IL}	V_{IH}	V_H	V_{IH}	V_{CC}	V_{CC}	37 H

NOTES:
1. X can be V_{IL} or V_{IH}
2. V_H = 12.0V ± 0.5V
3. $A_1 - A_8$, A_{10-12} = V_{IL}
4. V_{CC} = 6.0V ± 0.25V

Tabel 8/5.3-64: Programmeer-modes voor de 27C64A en 87C64.

5.3 Type-beschrijving 27yyy-serie

DC PROGRAMMING CHARACTERISTICS: T_A = 25°C ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS		LIMITS
			Min	Max	
I_{LI}	Input current (all inputs)	V_{IN} = V_{IL} or V_{IH}		1.0	μA
V_{IL}	Input low level (all inputs)		−0.1	0.8	V
V_{IH}	Input high level		2.0	V_{CC} + 0.5	V
V_{OL}	Output low voltage during verify	I_{OL} = 2.1mA		0.45	V
V_{OH}	Output high voltage during verify	I_{OH} = −2.5mA	3.5		V
I_{CC2}	V_{CC} supply current	O_{0-7} = 0mA		30	mA
I_{PP2}	V_{PP} supply current (program)	$\overline{CE}$ = V_{IL}		30	mA

Tabel 8/5.3-65: Gelijkspanningscondities bij het (interaktief) programmeren.

AC PROGRAMMING CHARACTERISTICS: 27C64A

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			Min	Typ	Max	
t_{CES}	$\overline{CE}$ setup time		2			μs
t_{AS}	Address setup time		2			μs
t_{OES}	$\overline{OE}$ setup time		2			μs
t_{DS}	Data setup time		2			μs
t_{AH}	Address hold time		0			μs
t_{DH}	Data hold time		2			μs
t_{DFP} [3]	$\overline{OE}$ high to output float delay		0		130	ns
t_{VPS}	V_{PP} setup time		2			μs
t_{VCS}	V_{CC} setup time		2			μs
t_{PW}	$\overline{PGM}$ initial program pulse width	(See Note 1)	0.95	1.0	1.05	ms
t_{OPW}	$\overline{PGM}$ overprogram pulse width	(See Note 2)	2.85		78.75	ms
t_{OE}	Data valid from $\overline{OE}$				150	ns

Tabel 8/5.3-66: Schakeltijden bij het programmeren van de 27C64A.

5.3 Type-beschrijving 27yyy-serie

AC PROGRAMMING CHARACTERISTICS: 87C64 $T_A = 25°C \pm 5°C$, $V_{CC} = 6.0 \pm 2.5V$, $V_{PP} = 12.5V \pm 0.5V$

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			Min	Typ	Max	
t_{VPS}	V_{PP} setup time		2			µs
t_{VCS}	V_{CC} setup time		2			µs
t_{LL}	Chip deselect width		2			µs
t_{AL}	Address to chip select setup		1			µs
t_{LA}	Address hold from chip select		1			µs
t_{PW}	$\overline{PGM}$ initial pulse width		0.95	1.0	1.05	ms
t_{OPW}	$\overline{PGM}$ overprogram pulse width		2.85		78.75	ms
t_{DS}	Data setup time		2			µs
t_{DFP}	$\overline{OE}$ high to data float				150	ns
t_{OES}	Output enable setup time		2			µs
t_{OEV}	Data valid from output enable				150	ns
t_{DH}	Data hold time		2			µs

NOTE:
Programming tolerances and test conditions are the same as 27C64A.

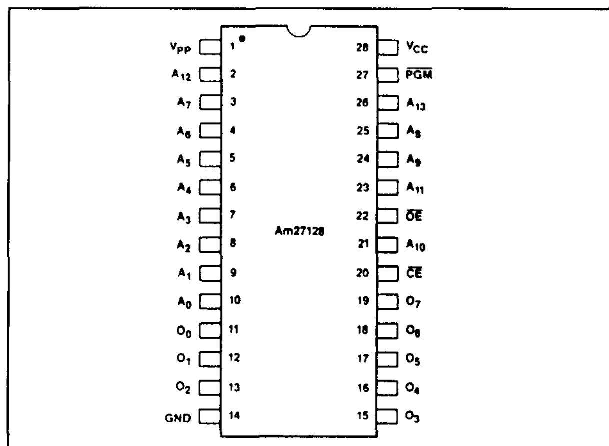
Tabel 8/5.3-67: Schakeltijden bij het programmeren van de 87C64.

27128
16k X 8, NMOS, Vprog = 21V

De 27128 is een 131072 bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM). De 27128 werkt op een enkele +5 V voeding, heeft een standby-mode (dissipatie lager, afhankelijk van merk) die de toegangstijd niet langer maakt. De toegangstijd van de standaard 27128 bedraagt 250 ns, hetgeen door ontbreken van "WAIT"-toestanden compatibel is met high-performance microprocessoren zoals de 8 MHz iAPX 186. De 27128 kan met een enkele puls op TTL-niveau worden geprogrammeerd, waarbij de geheugenlokaties per stuk, in blokken of willekeurig kunnen worden geadresseerd. Wanneer de "Intelligent Programming Algorithm" wordt toegepast, bedraagt de totale programmeertijd voor alle bits circa 2 minuten.

Specificaties
De 27128 EPROM heeft als algemene kenmerken:
- 16384 X 8 bits organisatie;
- programmeerspanning 21 V;
- alle in- en uitgangen TTL-compatibel;
- besturing met 2 lijnen ($\overline{OE}$ en $\overline{CE}$);
- 3-state uitgangen;
- 8-bits data voor microprocessor-systemen;
- volledig statische werking (zonder clocks);
- enkele +5 V voedingsspanning;
- geringe dissipatie: max. 100 mA (in bedrijf); max. 40 mA (standby);
- leverbare typen zijn bijvoorbeeld:
  Intel 27128(A) (110 - 300 ns);
  Texas Instr. TMS 27128 (200 - 350 ns) bijv.TMS 27128-20 (= 200 ns);
  Hitachi HN 27128 A (170 - 300 ns);
  AMD Am 27128(A) (150 - 450 ns);
  NEC µPD 27128 (200 - 250 ns);
  Toshiba TMM 27128D (150 - 250 ns);

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-39: Aansluitingen van de 27128.

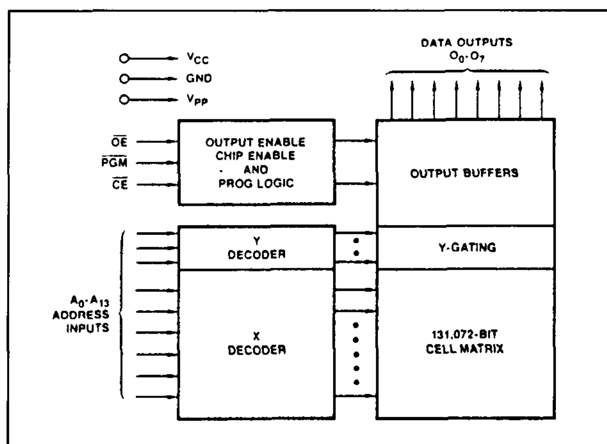
- 28-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-39);
- ook leverbaar in CMOS (zie 27C128).

Werking

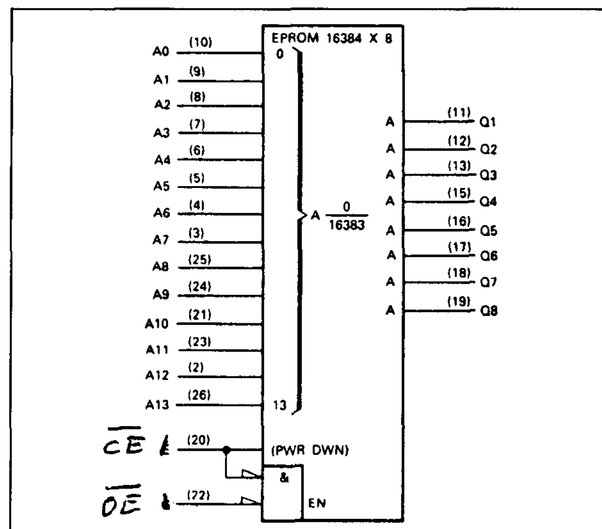
De 27128 heeft 5 bedrijfsmodes: lezen, standby (power-down), programmeren, programmaverificatie en programma-sperren, zoals in tabel 8/5.3-68 te zien is. Het 14-bit adres wordt op de chip gedecodeerd in 16384 woorden van 8-bit, zie figuren 8/5.3-40 en 8/5.3-41.

Wissen

Om alle geheugenplaatsen van hun informatie te ontdoen moet de 27128 worden



Figuur 8/5.3-40: Blokschema van de 27128.



Figuur 8/5.3-41: Logisch symbool van de 27128.

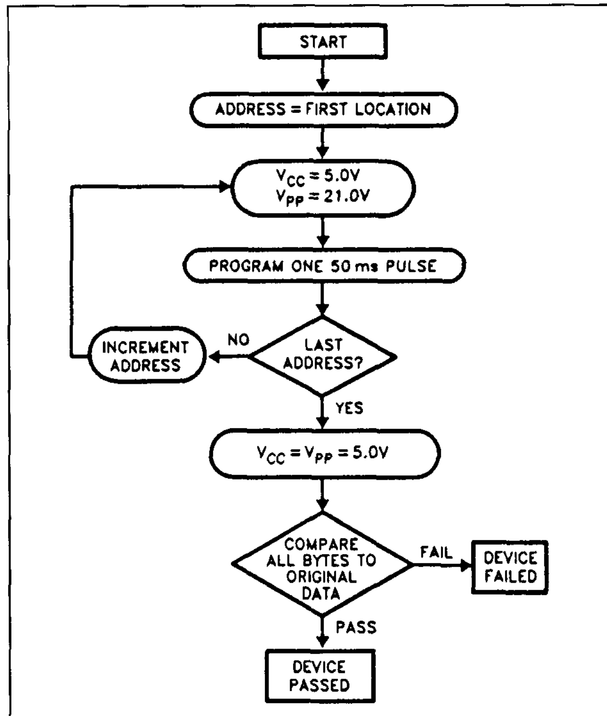
bestraald door ultra-violet licht (253,7 nm). De dosis (UV intensiteit X belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm².

Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm² uitstraalt kan de EPROM in 15 tot 20 minuten wissen. Na het wissen zijn alle bits HOOG. De maximale dosis waaraan een EPROM kan worden blootgesteld zonder dat deze beschadigt, is 7258 Ws/cm² (1 week lang 12 mW/cm²). Wordt een EPROM gedurende lange tijd door UV licht met een grote intensiteit bestraald, dan kan permanente schade optreden.

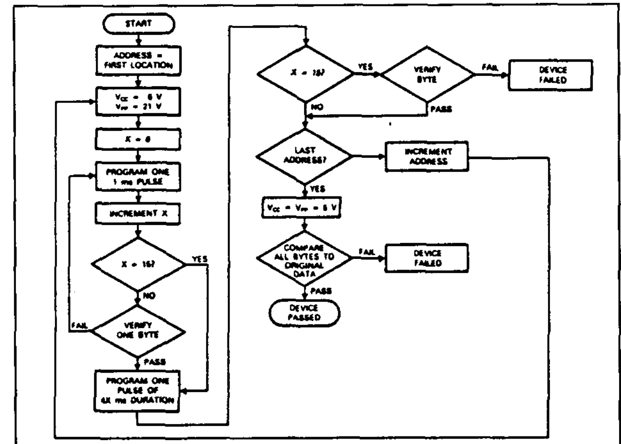
Programmeren

Bij aflevering of na het wissen bevinden alle 131072 bits zich in de "1" of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.
Er wordt geprogrammeerd door +21 V op de V_{pp}-pen te zetten (Vcc = 5 V) en $\overline{CE}$ en $\overline{PGM}$ beide LAAG te maken. De te programmeren informatie wordt telkens met 8 bit parallel op de data-uitgangspennen gezet. Adres en data moeten beide op TTL-niveau zijn.
Bij de standaard procedure wordt gepro-

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-42: Programmeren volgens de standaardmethode.



Figuur 8/5.3-43: De snelle (intelligente) programmeerwijze.

grammeerd door als zowel het adres als de data stabiel zijn, een TTL LAAG-puls van 50 ms op de $\overline{PGM}$-ingang te zetten (zie ook figuur 8/5.3-42).
Let op dat de programmeerspanning niet hoger wordt dan 22 V en de programmeerpuls niet langer duurt dan 55 ms. Meerdere 27128 EPROM's kunnen tegelijk met dezelfde data worden geprogrammeerd door eenvoudig de data-ingangen parallel te schakelen.

Snel programmeren
Op de 27128 kan de zogenaamde snelle of intelligente programmeer-algoritme worden toegepast (zie figuur 8/5.3-43). Met deze snelle algoritme kan betrouwbaar worden geprogrammeerd door de marges met een "gesloten lus" techniek te testen. Hierbij worden twee verschillende programmeerpulsen op $\overline{PGM}$ gebruikt: "Eerste" en "Laatste". De Eerste puls duurt 1 ms en wordt X maal herhaald. Na elke puls wordt de te programmeren byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 15). De Laatste programmeerpuls duurt 4X ms. De procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 21 V. Is het hele programmeerproces klaar, dan worden alle bits nog eens geverifieerd bij V_{cc} = V_{pp} = 5 V.

Lezen (Read-mode)
De 27128 heeft twee control-functies die beide aktief moeten zijn om data aan de uitgang te verkrijgen. Chipenable ($\overline{CE}$) bestuurt de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en moet worden gebruikt om data op de uitgangspennen te zetten.
Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). De data is t_{OE} na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode
De 27128 heeft een standby-mode, waarin de opgenomen stroom beduidend kleiner is.

De EPROM wordt standby gezet door de $\overline{CE}$-ingang TTL-HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$-ingang.

OR-verbinding van de uitgangen
Omdat EPROM's dikwijls in "geheugen-arrays" worden opgenomen, heeft de 27128 twee besturingslijnen, die de dissipatie verminderen, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Aanbevolen wordt $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle chips in het array bestuurt en op de READ-lijn van de systeemcontrolbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van het geadresseerde geheugen de uitgangspennen aktief zijn.

Programma sperren (Program Inhibit)
Het programmeren van een aantal parallelle 27128's met verschillende data is zeer eenvoudig door de geprogramma-sper mode toe te passen. Een HOOG-niveau op $\overline{CE}$ of $\overline{PGM}$ voorkomt dat de andere EPROM's worden geprogrammeerd. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen (inclusief $\overline{OE}$) van de parallelle EPROM's met elkaar worden verbonden. Een TTL-LAAG programmeerpuls op de $\overline{PGM}$-ingang van een bepaalde 27128 (met V_{pp} op 21 V) zal alleen die EPROM programmeren.

Programma verificatie
De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{CE}$ en $\overline{OE}$ op LAAG en $\overline{PGM}$ op HOOG niveau, met Vcc op de programmeerspanning en Vpp op +21 V.

Toepassingen
Door schakelverschijnselen op de voedingslijnen van de EPROM's moeten deze goed worden ontkoppeld. De voedingsstroom heeft drie toestanden die voor de ontwerper van belang zijn: de standby-stroom, de aktieve stroom en de schakelpieken bij het omschakelen van de aktieve naar de standby toestand (op de stijgende en dalende flanken van chip-enable). De amplitude van deze pieken is afhankelijk van de capacitieve belasting van de uitgangen. Bij elk IC moet een hoogfrequent type (met een lage zelfinductie) keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien is het verstandig om bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

Overige kenmerken
De overige elektrische en schakelkarakteristieken zijn te zien in de tabellen 8/5.3-68 tot en met 8/5.3-74 en de figuren 8/5.3-44 en 8/5.3-45. De hier vermelde gegevens hebben betrekking op Intel-typen (bij andere merken kunnen sommige waarden iets afwijken).

MODE SELECTION

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	D_{OUT}
Standby	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
Program	V_{IL}	V_{IH}	V_{IL}	V_{PP}	V_{CC}	D_{IN}
Program Verify	V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	V_{PP}	V_{CC}	High Z

X can be either V_{IL} or V_{IH}

Tabel 8/5.3-68: Selectie van de verschillende bedrijfsmogelijkheden.

ABSOLUTE MAXIMUM RATINGS

Operating Temperature
During Read .... 0°C to +70°C
Temperature Under Bias .... −10°C to +80°C
Storage Temperature .... −65°C to +125°C
All Input or Output Voltages with
Respect to Ground .... −0.6V to +7.0V
Voltage on Pin 24 with
Respect to Ground .... −0.6V to +13.5V
V_{PP} Supply Voltage with Respect
to Ground During Programming .. −0.6V to +22V
V_{CC} Supply Voltage with Respect
to Ground .... −0.6V to +7.0V

Tabel 8/5.3-69: Absolute maximum waarden.

5.3 Type-beschrijving 27yyy-serie

D.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Symbol	Parameter	Limits Min	Typ(3)	Max	Unit	Test Conditions
I_{LI}	Input Load Current			10	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.5V
I_{PP1}(2)	V_{PP} Current Read/Standby			5	mA	V_{PP} = 5.5V
I_{SB}(2)	V_{CC} Current Standby		15	40	mA	$\overline{CE}$ = V_{IH}
I_{CC1}(2)	V_{CC} Current Active		60	100	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 μA
V_{PP1}(2)	V_{PP} Read Voltage	3.8		V_{CC}	V	V_{CC} = 5.0V ±0.25V

Tabel 8/5.3-70: Gelijkspannings-condities.

A.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Versions		V_{CC} ±5%	27128		Units	Test Conditions
		V_{CC} ±10%	27128-25			
Symbol	Parameter		Min	Max		
t_{ACC}	Address to Output Delay			250	ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
t_{CE}	$\overline{CE}$ to Output Delay			250	ns	$\overline{OE}$ = V_{IL}
t_{OE}	$\overline{OE}$ to Output Delay			100	ns	$\overline{CE}$ = V_{IL}
t_{DF}(4)	$\overline{OE}$ High to Output Float		0	60	ns	$\overline{CE}$ = V_{IL}
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First		0		ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}. The maximum current value is with outputs O_0–O_7 unloaded.
3. Typical values are for T_A = 25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

Tabel 8/5.3-71: Schakeltijden bij het uitlezen.

CAPACITANCE T_A = 25°C, f = 1 MHz

Symbol	Parameter	Typ(1)	Max	Units	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

Tabel 8/5.3-72: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

D.C. PROGRAMMING CHARACTERISTICS
T_A = 25°C ±5°C, V_{PP} = 21V ±0.5V

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		10	µA	V_{IN} = V_{IL} or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC} + 1	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 µA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}(4)	V_{PP} Supply Current (Program)		30	mA	$\overline{CE}$ = $\overline{PGM}$ = V_{IL}
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Standard Programming	4.75	5.25	V	

Tabel 8/5.3-73: Gelijkspannings-condities bij het programmeren.

A.C. PROGRAMMING CHARACTERISTICS
T_A = 25°C ±5°C, V_{PP} = 21V ±0.5V

Symbol	Parameter	Limits				Test Conditions* (Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			µs	
t_{OES}	$\overline{OE}$ Setup Time	2			µs	
t_{DS}	Data Setup Time	2			µs	
t_{AH}	Address Hold Time	0			µs	
t_{DH}	Data Hold Time	2			µs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			µs	
t_{VCS}	V_{CC} Setup Time (int$_e$ligent Programming)	2			µs	
t_{CES}	$\overline{CE}$ Setup Time	2			µs	
t_{PW}	$\overline{PGM}$ Initial Pulse Width	0.95	1.00	1.05	ms	int$_e$ligent Programming
		45	50	55	ms	Standard Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	3.8		63	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

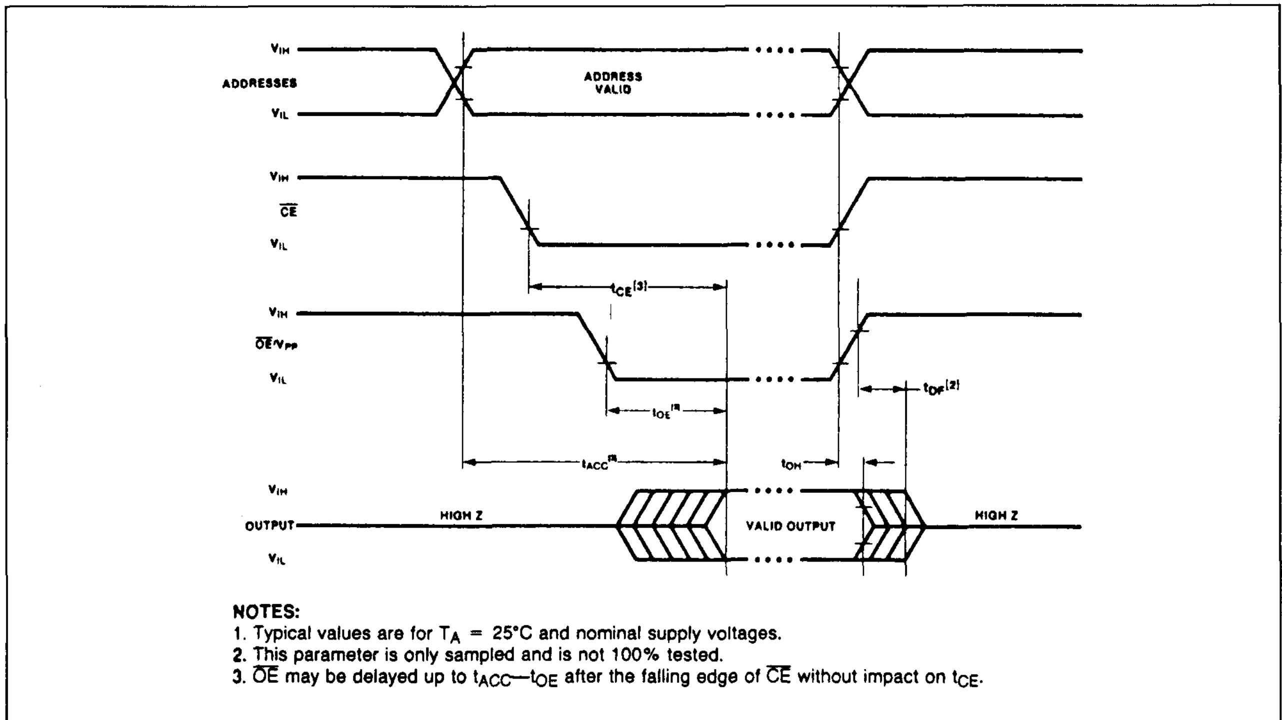
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) . . . . . . 20 ns
Input Pulse Levels . . . . 0.45V to 2.4V
Input Timing Reference Level . . . . 0.8V and 2.0V
Output Timing Reference Level . . . . . . 0.8V and 2.0V

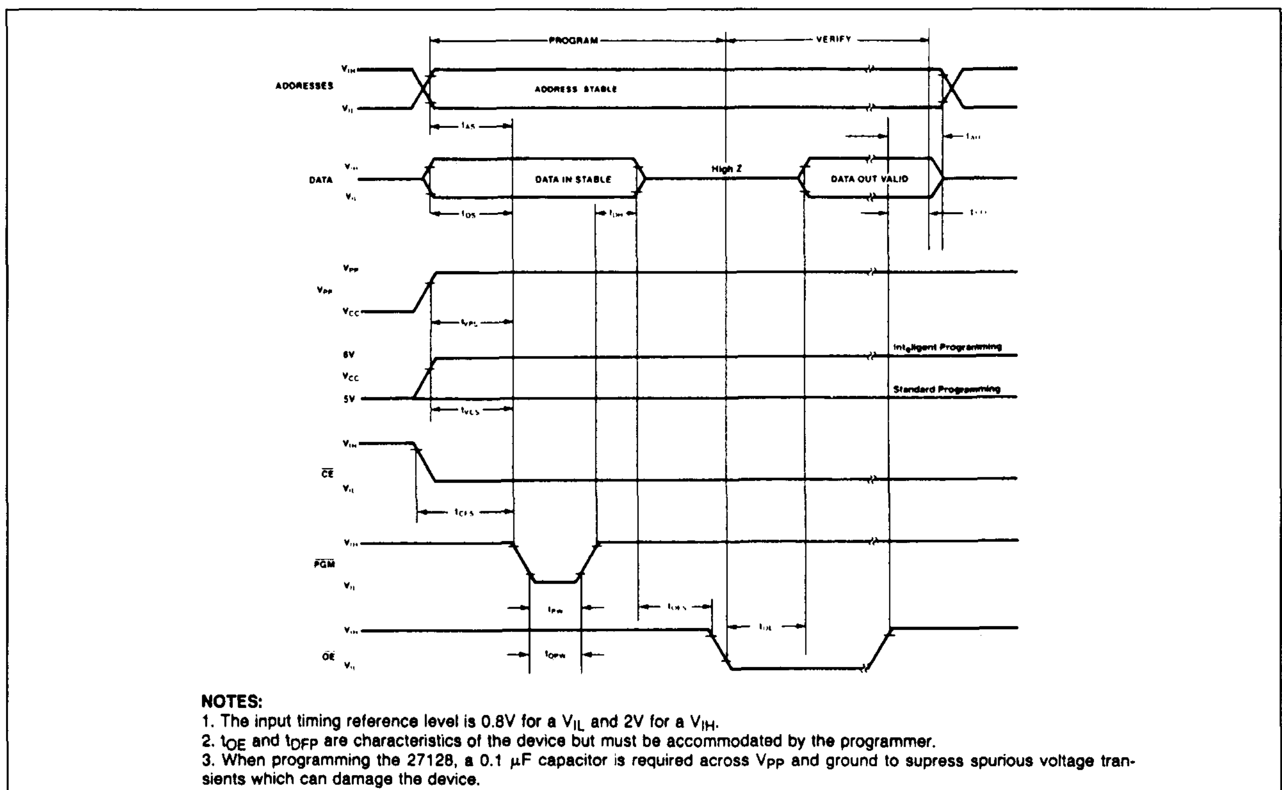
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse will vary from 3.8 ms to 63 ms as a function of the iteration counter value X (int$_e$ligent Programming Algorithm only).
3. This parameter is only sampled as is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_7 unloaded.

Tabel 8/5.3-74: Schakeltijden bij het programmeren.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-44: Timing bij het uitlezen van de EPROM (zie ook tabel 8/5.3-71).



Figuur 8/5.3-45: Timing bij het programmeren (zie ook tabel 8/5.3-74).

27128A

16k X 8, NMOS, Vprog = 12,5 V

De 27128A is een verbeterde versie van de 27128 die met een spanning van 12,5 V en kortere pulsen (Intelligent Programming Algorithm) kan worden geprogrammeerd. De plastic-versie (1x programmeerbaar: kan niet worden gewist) en de PLCC-versie (plastic leadless chipcarrier) kunnen met de Quick Pulse Programming Algorithm worden geprogrammeerd. Op deze typen wordt nog apart ingegaan.
Door de zeer korte toegangstijd (bijvoorbeeld 27128A-11 110 ns en 27128A-1 150 ns) en het vermijden van WAIT-toestanden kan de 27128A samenwerken met highperformance microprocessoren zoals de 10 MHz iAPX 286 of de 12 MHz 8051-familie.
De aansluitingen (figuur 8/5.3-46) en 5 van de 7 bedrijfsmodes zijn dezelfde als voor de 27128. Zoals in tabel 8/5.3-75 te zien is, heeft de 27128A twee extra functies: output-disable en intelligent identifier (auto-select).
De functie output-disable werd in feite al bij de 27128 onder het hoofdstuk "OR-verbinding van de uitgangen" behandeld.

Table 1. Modes Selection

Mode \ Pins		$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	A_9	A_0	V_{PP}	V_{CC}	Outputs
Read		V_{IL}	V_{IL}	V_{IH}	X(1)	X	V_{CC}	5.0V	D_{OUT}
Output Disable		V_{IL}	V_{IH}	V_{IH}	X	X	V_{CC}	5.0V	High Z
Standby		V_{IH}	X	X	X	X	V_{CC}	5.0V	High Z
Programming		V_{IL}	V_{IH}	V_{IL}	X	X	(Note 4)	(Note 4)	D_{IN}
Program Verify		V_{IL}	V_{IL}	V_{IH}	X	X	(Note 4)	(Note 4)	D_{OUT}
Program Inhibit		V_{IH}	X	X	X	X	(Note 4)	(Note 4)	High Z
inteligent	Manufacturer(3)	V_{IL}	V_{IL}	V_{IH}	V_H(2)	V_{IL}	V_{CC}	5.0V	89 H(5) 88 H(5)
Identifier	Device(3)	V_{IL}	V_{IL}	V_{IH}	V_H(2)	V_{IH}	V_{CC}	5.0V	89 H

NOTES:
1. X can be V_{IL} or V_{IH}
2. V_H = 12.0V ±0.5V
3. A_1–A_8, A_{10}–A_{12} = V_{IL}
4. See Table 2 for V_{CC} and V_{PP} voltages.
5. The manufacturer's identifier reads 89H for Cerdip EPROMs: 88H for Plastic and PLCC EPROMs.

Tabel 8/5.3-75: Selectie van de verschillende functies van de 27128A.

27916	27513	27512	27256 87C256 27C256	2764 2764A 27C64 87C64	2732 2732A	2716	27128A P27128A				2716	2732 2732A	2764 2764A 27C64 87C64	27256 87C256 27C256	27512	27513	27916
V_{PP}	D.U.	A_{15}	V_{PP}	V_{PP}			V_{PP}	1	28	V_{CC}			V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}
A_{12}	A_{12}	A_{12}	A_{12}	A_{12}			A_{12}	2	27	$\overline{PGM}$			$\overline{PGM}$	A_{14}	A_{14}	$\overline{WE}$	$\overline{PGM}/\overline{WE}$
A_7	A_7	A_7	A_7	A_7	A_7	A_7	A_7	3	26	A_{13}	V_{CC}	V_{CC}	N.C.	A_{13}	A_{13}	A_{13}	A_{13}
A_6	A_6	A_6	A_6	A_6	A_6	A_6	A_6	4	25	A_8	A_8	A_8	A_8	A_8	A_8	A_8	A_8
A_5	A_5	A_5	A_5	A_5	A_5	A_5	A_5	5	24	A_9	A_9	A_9	A_9	A_9	A_9	A_9	A_9
A_4	A_4	A_4	A_4	A_4	A_4	A_4	A_4	6	23	A_{11}	V_{PP}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
A_3	A_3	A_3	A_3	A_3	A_3	A_3	A_3	7	22	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}/V_{PP}$	$\overline{OE}$
A_2	A_2	A_2	A_2	A_2	A_2	A_2	A_2	8	21	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
A_1	A_1	A_1	A_1	A_1	A_1	A_1	A_1	9	20	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	CE ALE/$\overline{CE}$	CE ALE/$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
A_0	A_0	A_0	A_0	A_0	A_0	A_0	A_0	10	19	O_7	O_7	O_7	O_7	O_7	O_7	O_7	O_7
O_0	D_0/O_0	O_0	O_0	O_0	O_0	O_0	O_0	11	18	O_6	O_6	O_6	O_6	O_6	O_6	O_6	O_6
O_1	D_1/O_1	O_1	O_1	O_1	O_1	O_1	O_1	12	17	O_5	O_5	O_5	O_5	O_5	O_5	O_5	O_5
O_2	O_2	O_2	O_2	O_2	O_2	O_2	O_2	13	16	O_4	O_4	O_4	O_4	O_4	O_4	O_4	O_4
GND	GND	GND	GND	GND	GND	GND	GND	14	15	O_3	O_3	O_3	O_3	O_3	O_3	O_3	O_3

Figuur 8/5.3-46: De 27128A temidden van zijn 'familie' (de aansluitingen van de 27128A zijn identiek aan die van de 27128).

5.3 Type-beschrijving 27yyy-serie

Auto Select Mode

De Auto Select Mode (ook wel: Intelligent Identfier Mode of Silicon Signature) maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Om van deze functie gebruik te maken moet het programmeer-apparaat een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 zetten. Door A0 LAAG te maken kan de fabrikant-code op DQ0 tot en met DQ7 worden gelezen (89 Hexadecimaal voor Intel's Cerdip en 88H voor de plastic- en PLCC versie) en met A0 HOOG verschijnt de type-code (89H). Alle andere adreslijnen moeten tijdens de Auto Select Mode LAAG zijn.

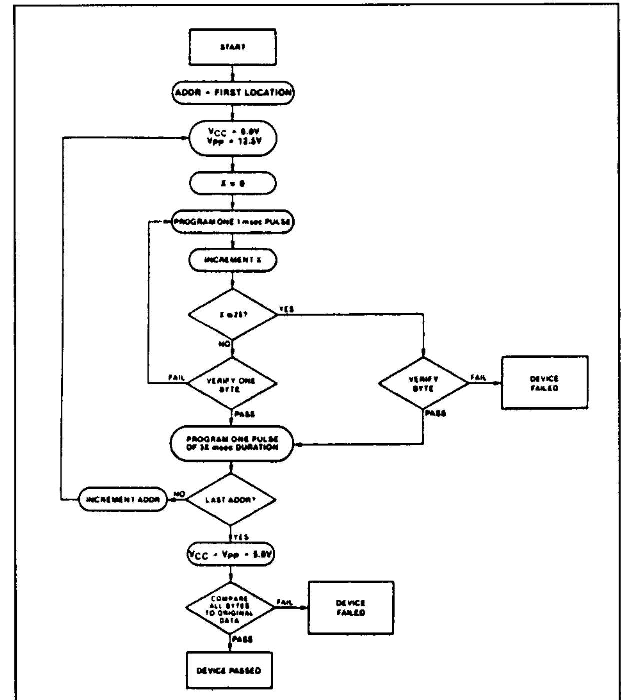
Programmeren

Bij aflevering of na het wissen bevinden alle 131072 bits zich in de "1" of HOOG toestand. Door het programmeren worden de LAAG-niveaus aangebracht.

De 27128A wordt met de inmiddels standaard geworden "Intelligent Programming Algorithm" geprogrammeerd door + 12,5 V op de Vpp-pen te zetten (nooit meer dan 13 V!), Vcc = 6 V te maken en een TTL-LAAG-puls op $\overline{PGM}$ te geven. (Zie ook figuur 8/5.3-47). De te programmeren data (8 bits parallel) wordt op de Data I/O-pennen (On) gezet. Bij de "Intelligent Programming Algorithm" worden twee typen programmeerpulsen gebruikt: "Initiële" en "Overprogram" pulsen. De initiële (begin) pulsen op $\overline{PGM}$ duren elk 1 ms, terwijl de lengte van de "over-program" puls 3X ms bedraagt (X is gelijk aan het aantal 1 ms pulsen dat nodig was om op een bepaalde lokatie correcte data te verkrijgen). Na elke 1 ms puls die op een bepaald adres is gegeven, wordt de data gecontroleerd. Stemt de data niet overeen, dan wordt een extra puls gegeven (tot maximaal 25 pulsen). Dit proces wordt herhaald bij elk adres in de EPROM. Na het laatste adres wordt de gehele EPROM gecontroleerd bij Vcc = Vpp = 5 V.

Programma verificatie

De geprogrammeerde bits moeten worden



Figuur 8/5.3-47: Flow-diagram van de 'Intelligent Programming Algorithm') voor de 27128A.

gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$ en $\overline{CE}$ op TTL-LAAG niveau, $\overline{PGM}$ op HOOG niveau en Vpp en Vcc op de bij het programmeren geldende waarden.

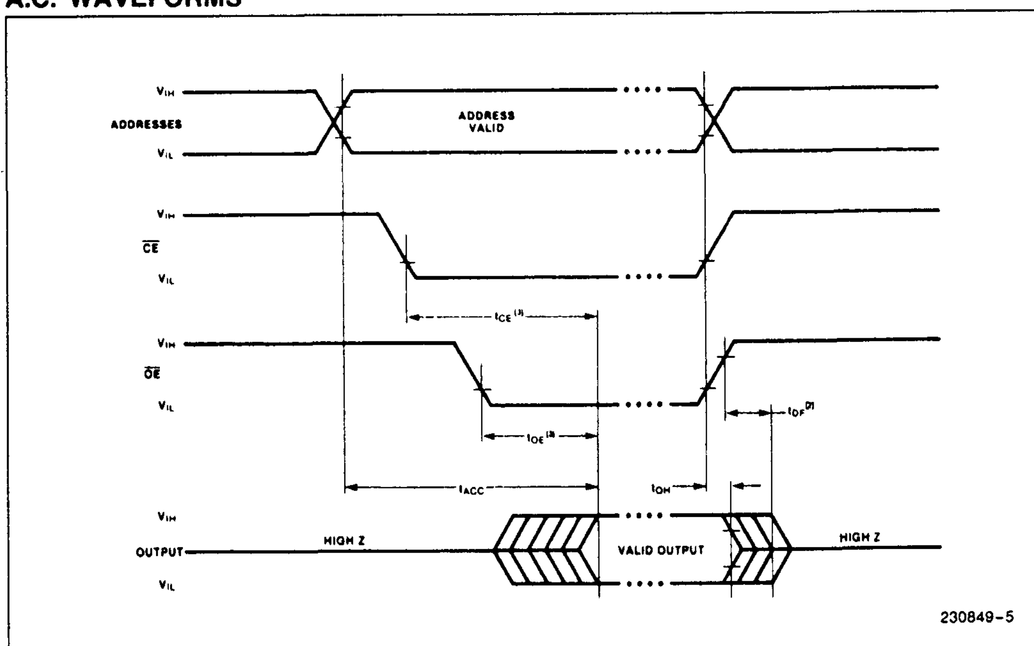
Voorzorgen bij het toepassen

Door de schakel-eigenschappen van de EPROM moet Vcc zorgvuldig worden ontkoppeld. De voedingsstroom Icc heeft drie segmenten die voor de systeem-ontwerper van belang zijn: de standby-stroomsterkte, de aktieve stroom en de schakelpieken op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capacitieve en inductieve belasting van de uitgang. Bij elke EPROM moet een keramische condensator van 0,1 μF tussen Vcc en aarde worden geplaatst. Bovendien wordt aangeraden om bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

5.3 Type-beschrijving 27yyy-serie

Overige kenmerken

De overige elektrische (DC en AC) kenmerken van de Intel-typen zijn te zien in de figuren 8/5.3-48 en 8/5.3-49 en de tabellen 8/5.3-76 tot en met 8/5.3-80).

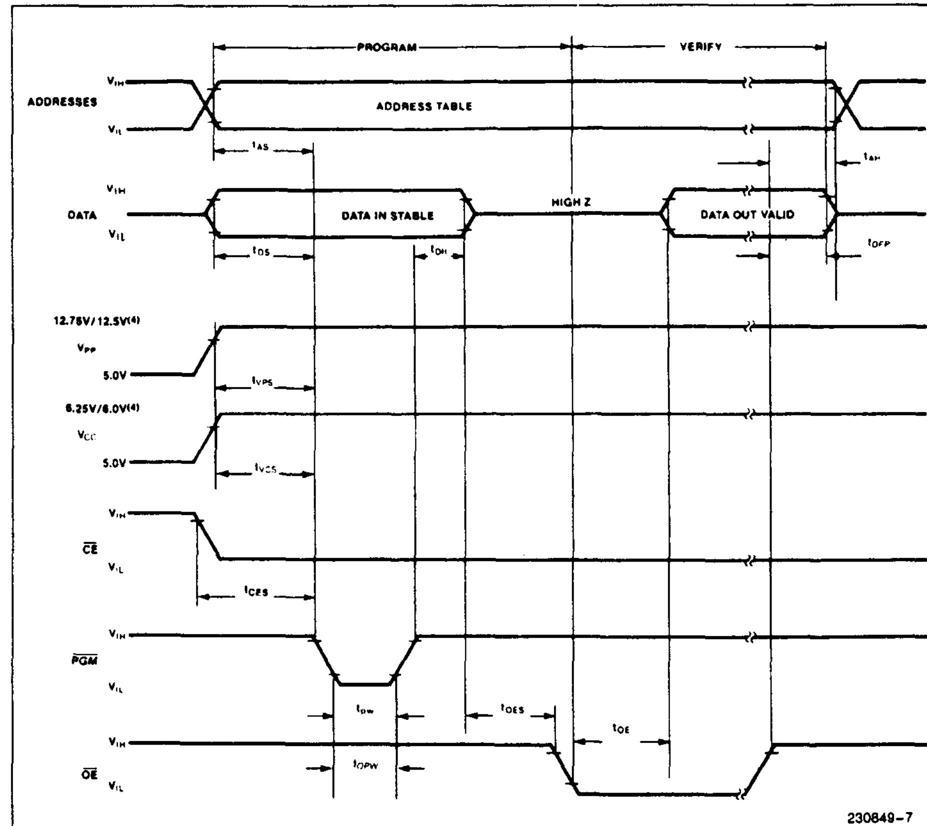


NOTES:
1. Typical values are for $T_A = 25°C$ and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{CE}—t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}.

Figuur 8/5.3-48: Schakeltijden en golfvormen bij het uitlezen (zie ook tabel 8/5.3-78).

5.3 Type-beschrijving 27yyy-serie

PROGRAMMING WAVEFORMS



NOTES:
1. *The Input Timing Reference Level is 0.8V for V_{IL} and 2V for a V_{IH}.*
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 27128A, a 0.1 μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which can damage the device.
4. 12.75V V_{PP}/6.25V V_{CC} for Quick-Pulse Programming Algorithm; 12.5V V_{PP}/6.0V V_{CC} for int$_{e}$ligent Programming Algorithm.

Figuur 8/5.3-49: Golfvormen die optreden bij de interaktieve programmering van de 27128A (zie ook tabel 8/5.3-80).

ABSOLUTE MAXIMUM RATINGS*

Operating Temperature During Read	0°C to +70°C
Temperature Under Bias	−10°C to +80°C
Storage Temperature	−65°C to +125°C
All Input or Output Voltages with Respect to Ground	−0.6V to +6.25V
Voltage on A_9 with Respect to Ground	−0.6V to +13.5V
V_{PP} Supply Voltage with Respect to Ground During Programming	−0.6V to +14V
V_{CC} Supply Voltage with Respect to Ground	−0.6V to +7.0V

Tabel 8/5.3-76: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie

READ OPERATION

D.C. CHARACTERISTICS $0°C \leq T_A \leq +70°C$

Symbol	Parameter	Limits				Conditions
		Min	Typ(3)	Max	Units	
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}(2)	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{SB}	V_{CC} Current Standby			40	mA	$\overline{CE} = V_{IH}$
I_{CC1}(2)	V_{CC} Current Active			100	mA	$\overline{CE} = OE = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{PP}(2)	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25$

Tabel 8/5.3-77: Gelijkspanningscondities.

A.C. CHARACTERISTICS $0°C \leq T_A \leq +70°C$

Versions(5)	$V_{CC} \pm 5\%$	27128A-11		27128A-1		27128A-2		27128A		27128A-3		Unit
	$V_{CC} \pm 10\%$					27128A-20		27128A-25 P27128A-25 N27128A-25		27128A-30 P27128A-30 N27128A-30		
Symbol	Characteristics	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		110		150		200		250		300	ns
t_{CE}	$\overline{CE}$ to Output Delay		125		150		200		250		300	ns
t_{OE}	$\overline{OE}$ to Output Delay		55		65		75		100		100	ns
t_{DF}(4)	$\overline{OE}$ High to Output Float	0	45	0	55	0	55	0	60	0	60	ns
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}. The maximum current value is with Outputs O_0 to O_7 unloaded.
3. Typical values are for $T_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

Tabel 8/5.3-78: Schakeltijden bij het uitlezen.

D.C. PROGRAMMING CHARACTERISTICS $T_A = 25°C \pm 5°C$

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
	~~Quick-Pulse Programming Algorithm~~	~~12.5~~	~~13.0~~	~~V~~	~~$\overline{CE} = \overline{PGM} = V_{IL}$~~
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	~~Quick-Pulse Programming Algorithm~~	~~6.0~~	~~6.5~~	~~V~~	

Tabel 8/5.3-79: Gelijkspanningscondities bij het (interaktief) programmeren.

5.3 Type-beschrijving 27yyy-serie

A.C. PROGRAMMING CHARACTERISTICS

T_A = 25°C ±5°C

Symbol	Parameter	Limits				Conditions* (Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	int$_e$ligent Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) . . . . . . 20 ns

Input Pulse Levels . . . . 0.45V to 2.4V

Input Timing Reference Level . . . . 0.8V and 2.0V

Output Timing Reference Level . . . . . . 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and *removed simultaneously or after V_{PP}.*
2. The length of the overprogram pulse (int$_e$ligent Programming Algorithm only) may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_7 unloaded.

Tabel 8/5.3-80: Schakeltijden bij het programmeren.

27C128

16k X 8, CMOS, Vprog = 12,5 V

Ook de 27128 is in CMOS verkrijgbaar. Doordat het 16k X 8 bit type al vrij snel werd ingehaald door de 32k X 8 bit EPROM is ons slechts één fabrikant bekend: Texas Instruments. De TMS 27C128 wordt vervaardigd met de HVCMOS technologie. De maximale dissipatie is daardoor slechts 210 mW in bedrijf en 1,4 mW in de standbytoestand. Behalve de enkele +5 V voedingsspanning is alleen nog een +12,5 V programmeerspanning nodig. De 27C128 kan met bestaande EPROM-programmeerapparaten worden geprogrammeerd. Alle in- en uitgangen zijn volledig TTL-compatibel (geen externe optrekweerstanden nodig).

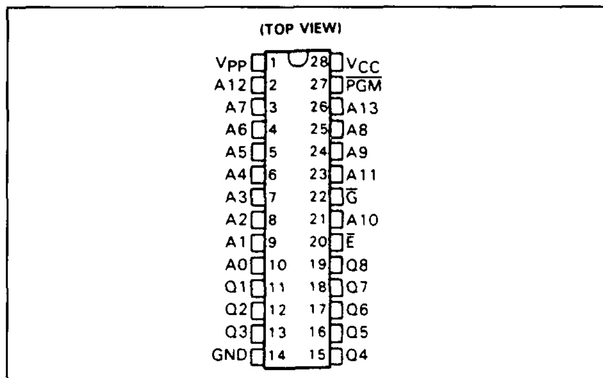
Zoals in tabel 8/5.3-81 te zien is, heeft de 27C128 ook 7 bedrijfstoestanden.

FUNCTION (PINS)	MODE							
	Read	Output Disable	Standby	Programming	Verify	Program Inhibit	Signature Mode	
$\overline{E}$ (20)	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{IH}	V_{IL}	
$\overline{G}$ (22)	V_{IL}	V_{IH}	X[1]	V_{IH}	V_{IL}	X	V_{IL}	
$\overline{PGM}$ (27)	V_{IH}	V_{IH}	X	V_{IL}	V_{IH}	X	V_{IH}	
V_{PP} (1)	V_{CC}	V_{CC}	V_{CC}	V_{PP}	V_{PP}	V_{PP}	V_{CC}	
V_{CC} (28)	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	
A9 (24)	X	X	X	X	X	X	V_H[2]	V_H[2]
A0 (10)	X	X	X	X	X	X	V_{IL}	V_{IH}
Q1-Q8 (11-13, 15-19)	D_{OUT}	HI-Z	HI-Z	D_{IN}	D_{OUT}	HI-Z	CODE MFG 97	CODE DEVICE 83

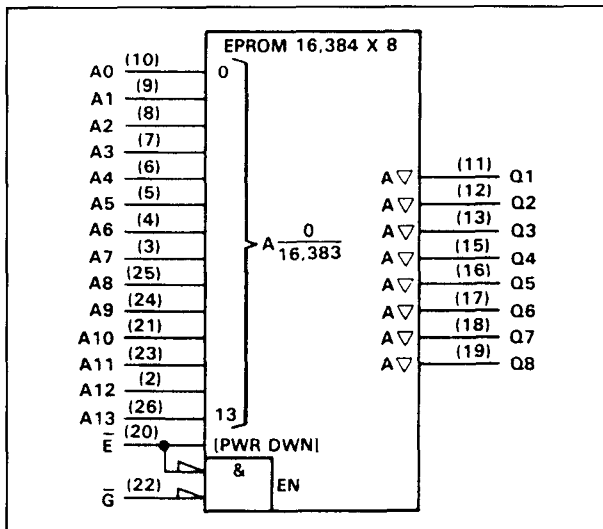
[1] X can be V_{IL} or V_{IH}.
[2] V_H = 12 V ± 0.5 V.

Tabel 8/5.3-81: Mogelijke bedrijfstoestanden.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-50: Aansluitingen van de 27C128.



Figuur 8/5.3-51: Logisch symbool van de 27C128.

Leverbare typen

De 27C128 is verkrijgbaar met de volgende toegangstijden:

27C128-1	27C128-15	150 ns;
27C128-2	27C128-20	200 ns;
27C128	27C128-25	250 ns;
27C128-3	27C128-30	300 ns;
27C128-4	27C128-45	450 ns.

Lees-mode/output disable

De uitgangen van twee of meer 27128's kunnen parallel worden geschakeld, waarbij uitlezing van de een geen invloed heeft op de andere. Voor uitlezing moeten $\overline{E}$ en $\overline{G}$ beide LAAG zijn (vergelijk met $\overline{CE}$, respectievelijk $\overline{OE}$ bij andere merken). De overige EPROM's zijn disabled dor een van deze lijnen HOOG te houden.

Standby mode

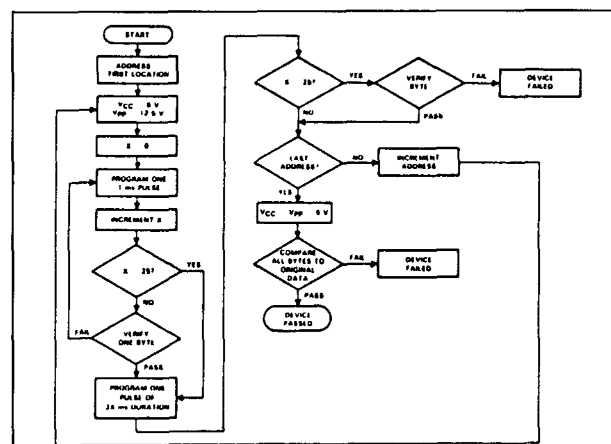
De 27C127 kan door $\overline{E}$ (pen 20) HOOG te schakelen standby worden gezet, waarbij de uit Vcc opgenomen stroom afneemt van 40 mA tot 500 μA (ingangen op TTL-niveau) of 250 μA (ingangen op CMOS-niveau).

Wissen

Voor het wissen van de CMOS-versie geldt hetzelfde als voor de NMOS 27128: een UV-lamp van 12 mW/cm² op 2,5 cm wist de 27C128 in 21 minuten. Na het wissen bevat de EPROM alleen "enen". Voor alle zekerheid dient het kwarts-venster na het wissen te worden bedekt met een niet-lichtdoorlatend etiketje.

Snel programmeren

Ook het programmeren gaat op dezelfde manier als bij de 27128A: 12,5 V (maximaal 14 V) op de Vpp-pen, Vcc = 6V, $\overline{E}$ op TTL-LAAG en TTL-LAGE programmeerpulsen op $\overline{PGM}$. In figuur 8/5.3-52 is de gebruikelijke "Fast Programming Flowchart" te zien. Ook nu zijn er twee soorten pulsen: "Prime" en "Final" pulsen (initiële-, respectievelijk overprogram-pulsen bij de 27128A). De Prime pulsen duren 1 ms (maximaal 25 stuks),



Figuur 8/5.3-52: De voor de 27C128 bruikbare Snelle Programmeer Algoritme.

5.3 Type-beschrijving 27yyy-serie

terwijl de Final pulsen 3X ms duren (X = het aantal Prime pulsen dat nodig was voor correcte programmering). Na elke Prime puls wordt de inhoud van het betreffende adres gecontroleerd met Vpp = 12,5 V en Vcc = 6 V. Zijn alle adressen geprogrammeerd dan worden alle bytes nog eenmaal gecontroleerd met Vcc = Vpp = 5 V.

Overige functies

Ook de functies "Program Inhibit", "Verify" en "Signature Mode" zijn identiek aan die van de 27128A. De EPROM kan automatisch worden geïndentificeerd door 12 V op adreslijn A9 te zetten, waarbij de fabrikant/typecode op de data-uitgangen verschijnt door adrespen A0 LAAG respectievelijk HOOG te maken (alle andere adreslijnen LAAG). In dit geval betekent de fabrikantencode 97H (hexadecimaal) Texas Instruments.

Alle elektrische kenmerken en optredende schakeltijden van de CMOS 27C128 zijn te vinden in de tabellen 8/5.3-82 tot en met 8/5.3-87 en de figuren 8/5.3-53 en 8/5.3-54.

absolute maximum ratings over operating free-air temperature range

Supply voltage range, V_{CC} (see Note 1)	−0.6 V to 7 V
Supply voltage range, V_{PP} (see Note 1)	−0.6 V to 14 V
Input voltage range (see Note 1): All inputs except A9	−0.6 V to 6.5 V
A9	−0.6 V to 13.5 V
Output voltage range (see Note 1)	−0.6 V to V_{CC} + 1 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 8/5.3-82: Maximaal toegelaten waarden.

recommended operating conditions

			TMS27C128-1 TMS27C128-2 TMS27C128 TMS27C128-3 TMS27C128-4			TMS27C128-15 TMS27C128-20 TMS27C128-25 TMS27C128-30 TMS27C128-45			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage (see Note 2)		4.75	5	5.25	4.5	5	5.5	V
V_{PP}	Supply voltage (see Note 3)			V_{CC}			V_{CC}		V
V_{IH}	High level input voltage	TTL	2		V_{CC} + 1	2		V_{CC} + 1	V
		CMOS	V_{CC} − 0.2		V_{CC} + 0.2	V_{CC} − 0.2		V_{CC} + 0.2	V
V_{IL}	Low level input voltage	TTL	−0.5		0.8	−0.5		0.8	V
		CMOS	GND − 0.2		GND + 0.2	GND − 0.2		GND + 0.2	V
T_A	Operating free air temperature		0		70	0		70	°C

NOTES: 2. V_{CC} must be applied before or at the same time as V_{PP} and removed after or at the same time as V_{PP}. The device must not be inserted into or removed from the board when V_{PP} or V_{CC} is applied.

3. V_{PP} can be connected to V_{CC} directly (except in the program mode). V_{CC} supply current in this case would be I_{CC} + I_{PP}. During programming, V_{PP} must be maintained at 12.5 V (± 0.5V)

Tabel 8/5.3-83: Aanbevolen gelijkspanningen.

electrical characteristics over full ranges of recommended operating conditions

PARAMETER			TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High level output voltage		I_{OH} = −400 μA	2.4			V
V_{OL}	Low-level output voltage		I_{OL} = 2.1 mA			0.4	V
I_I	Input current (leakage)		V_I = 0 V to 5.5 V			±10	μA
I_O	Output current (leakage)		V_O = 0 V to V_{CC}			±10	μA
I_{PP1}	V_{PP} supply current		V_{PP} = V_{CC} = 5.5 V			100	μA
I_{PP2}	V_{PP} supply current (during program pulse)		V_{PP} = 13 V		30	50	mA
I_{CC1}	V_{CC} supply current (standby)	TTL input level	V_{CC} = 5.5 V, $\bar{E}$ = V_{IH}			500	μA
		CMOS input level	V_{CC} = 5.5 V, $\bar{E}$ = V_{CC}			250	μA
I_{CC2}	V_{CC} supply current (active)		V_{CC} = 5.5 V, $\bar{E}$ = V_{IL}, t_{cycle} = minimum cycle time, outputs open		30	40	mA

Tabel 8/5.3-84: Elektrische kenmerken.

capacitance over recommended supply voltage range and operating free-air temperature range, f = 1 MHz†

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
C_i	Input capacitance	V_I = 0 V, f = 1 MHz		6	9	pF
C_o	Output capacitance	V_O = 0 V, f = 1 MHz		8	12	pF

Tabel 8/5.3-85: Capaciteiten van de 27C128.

switching characteristics over full ranges of recommended operating conditions

PARAMETER		TEST CONDITIONS (SEE NOTES 4 AND 5)	'27C128-1 '27C128-15		'27C128-2 '27C128-20		'27C128 '27C128-25		'27C128-3 '27C128-30		'27C128-4 '27C128-45		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{a(A)}$	Access time from address	C_L = 100 pF, 1 Series 74 TTL Load, Input $t_r \leq 20$ ns, Input $t_f \leq 20$ ns		150		200		250		300		450	ns
$t_{a(E)}$	Access time from chip enable			150		200		250		300		450	ns
$t_{en(G)}$	Output enable time from $\bar{G}$			75		75		100		120		150	ns
t_{dis}	Output disable time from $\bar{G}$ or $\bar{E}$, whichever occurs first†		0	60	0	60	0	60	0	105	0	130	ns
$t_{v(A)}$	Output data valid time after change of address, $\bar{E}$, or $\bar{G}$, whichever occurs first†		0		0		0		0		0		ns

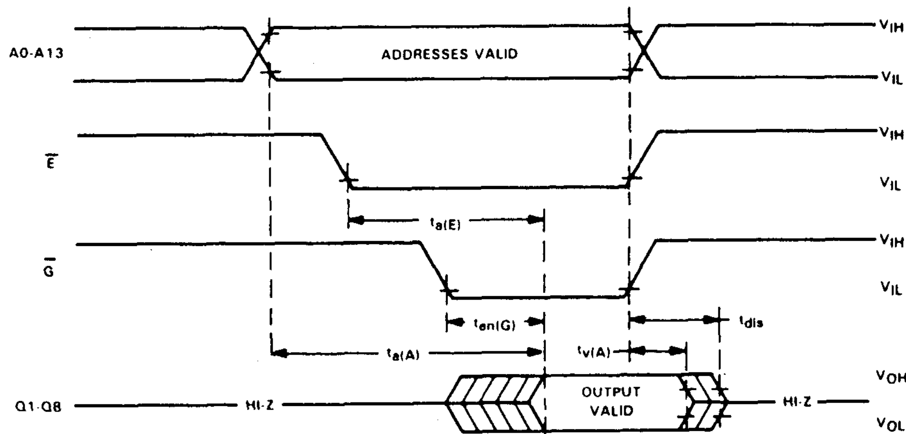
Tabel 8/5.3-86: Schakeltijden bij het uitlezen van de 27C128.

5.3 Type-beschrijving 27yyy-serie

recommended timing requirements for programming, T_A = 25 °C, V_{CC} = 6 V, V_{PP} = 12.5 V

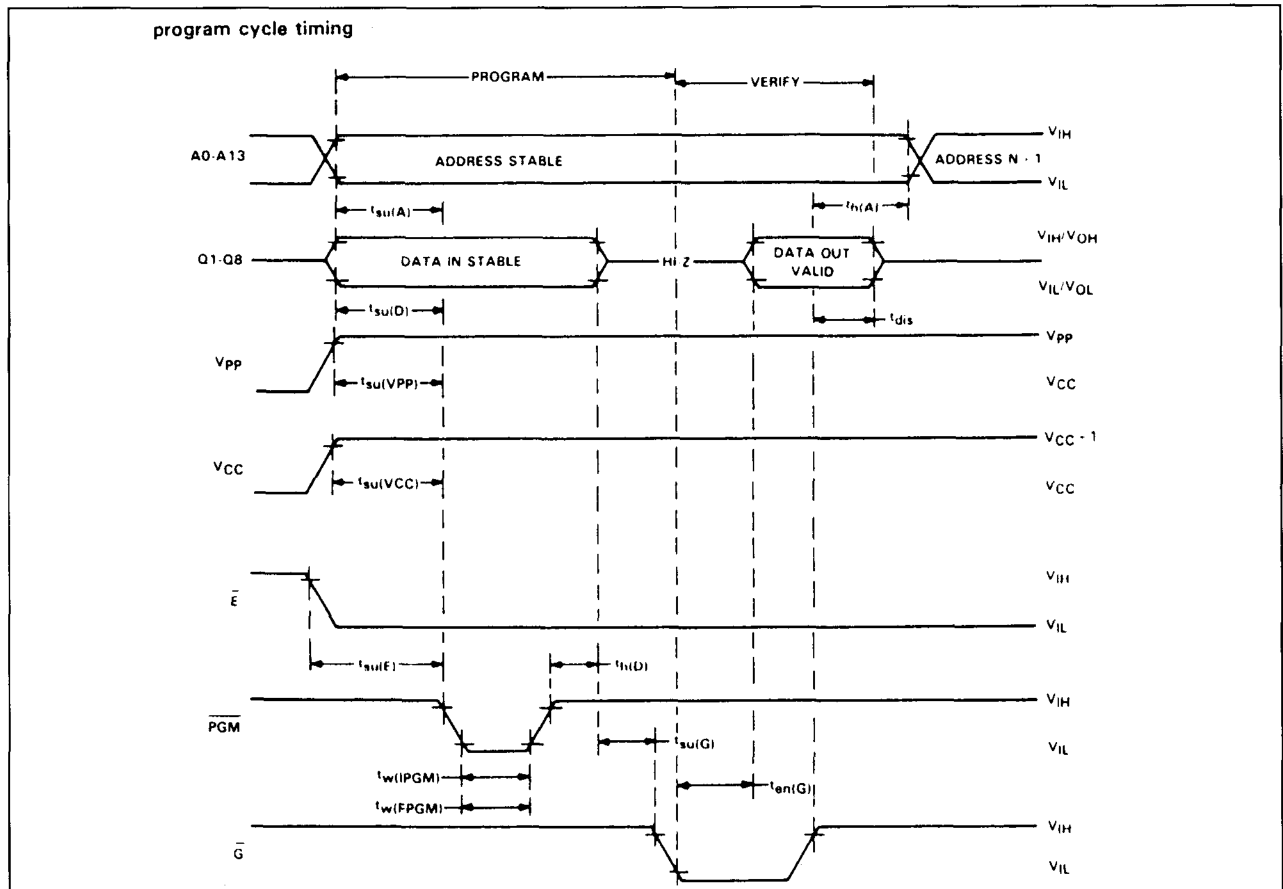
		MIN	NOM	MAX	UNIT
$t_{w(IPGM)}$	Initial program pulse duration	0.95	1	1.05	ms
$t_{w(FPGM)}$	Final pulse duration	2.85		78.75	ms
$t_{su(A)}$	Address setup time	2			μs
$t_{su(E)}$	$\overline{E}$ setup time	2			μs
$t_{su(G)}$	$\overline{G}$ setup time	2			μs
$t_{dis(G)}$	Output disable time from $\overline{G}$	0		130	ns
$t_{en(G)}$	Output enable time from $\overline{G}$			150	ns
$t_{su(D)}$	Data setup time	2			μs
$t_{su(VPP)}$	V_{PP} setup time	2			μs
$t_{su(VCC)}$	V_{CC} setup time	2			μs
$t_{h(A)}$	Address hold time	0			μs
$t_{h(D)}$	Data hold time	2			μs

Tabel 8/5.3-87: Schakeltijden bij het programmeren van de 27C128.



Figuur 8/5.3-53: Golfvormen en schakeltijden bij het uitlezen van de 27C128 (zie ook tabel 8/5.3-86).

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-54: Golfvormen en schakeltijden die optreden wanneer de Snelle Programmeer Algoritme op de 27C128 wordt toegepast (zie ook tabel 8/5.3-87).

27256
32k X 8, NMOS, Vprog = 12,5 V

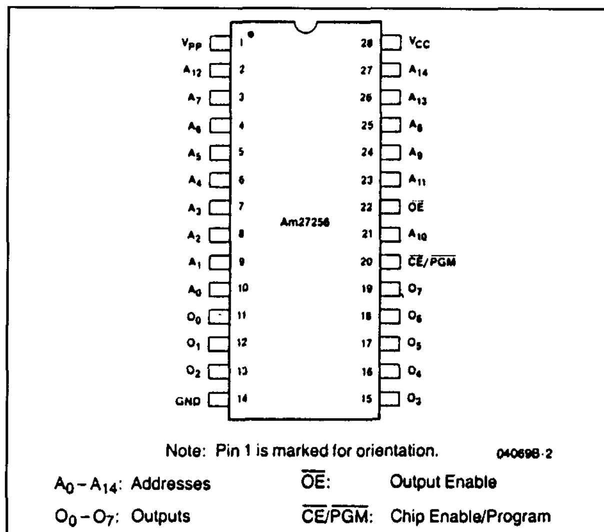
De 27256 is een 262144 bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM), georganiseerd in 32k woorden van 8 bits. De 27256 werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode (dissipatie afhankelijk van het merk minstens circa 50% lager) en is snel toegankelijk (170 tot 450 ns). Hierdoor is de EPROM compatibel met high performance microprocessoren zoals Intel's iAPX 186. De 27256 kan met de "Intelligente Programmering Algorithm" worden geprogrammeerd, waarbij de geheugenlokaties per stuk, in blokken of willekeurig kunnen worden geadresseerd (in gemiddeld 5 minuten).

Specifikaties

De 27256 EPROM heeft als algemene kenmerken:

- 32768 X 8 bits organisatie;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (zonder clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie: max. 100 mA (in bedrijf);
  max. 40 mA (standby);

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-55: Aansluitingen van de 27256.

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Stand By	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
Program	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{IN}
Program Verify	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	V_{CC}	High Z
Auto Select	V_{IL}	V_{IL}	V_H	V_{CC}	V_{CC}	Code

Note: X can be either V_{IL} or V_{IH}
V_H = 12.0V ±0.5V

Tabel 8/5.3-88: Selectie van de verschillende mogelijke functies.

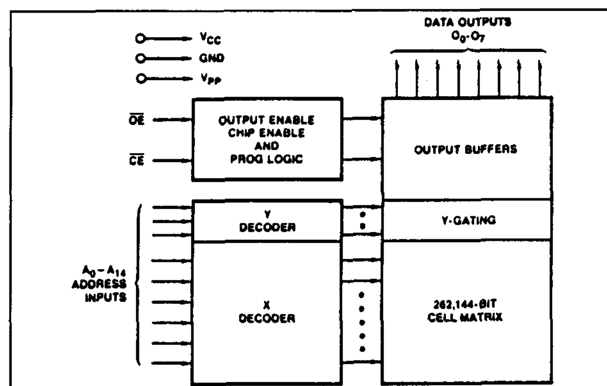
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- leverbare typen zijn bijvoorbeeld:
  Intel 27256 (170 – 300 ns);
  Texas Instr. TMS 27256 (200 – 350 ns);
  AMD Am 27256 (170 – 450 ns);
  Hitachi HN 27256 (250 – 300 ns);
- 28-pens keramische DIL behuizing met kwarts-venster, pen-compatibel met 2764 en 27128 (figuur 8/5.3-55);
- ook leverbaar in CMOS (zie 27C256).

Werking
De 27256 heeft 7 verschillende bedrijfsmodes: lezen, uitgangen sperren (output disable), standby (power-down), programmeren, programma-verificatie, programma-sperren en auto select (automatische identificatie), zoals in tabel 8/5.3-88 + 89 te zien is. Het 15-bit adres wordt op de chip gedecodeerd in 32768 woorden van 8-bit (zie figuren 8/5.3-56 en 8/5.3-57).

ORDERING INFORMATION

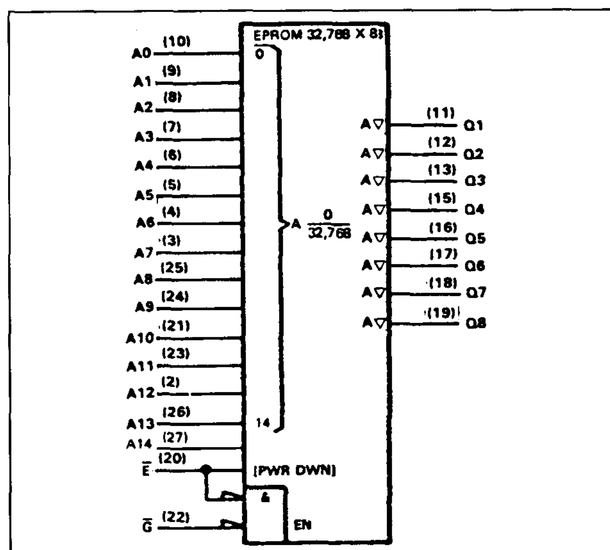
Order Number	t_{ACC} (ns)	t_{CE} (ns)	t_{OE} (ns)	V_{CC}
Am27256-1DC	170	170	75	5V ±5%
Am27256-2DC	200	200	75	5V ±5%
Am27256-20DC	200	200	75	5V ±10%
Am27256DC	250	250	100	5V ±5%
Am27256-25DC	250	250	100	5V ±10%
Am27256-3DC	300	300	120	5V ±5%
Am27256-30DC	300	300	120	5V ±10%
Am27256-4DC	450	450	150	5V ±5%
Am27256-45DC	450	450	150	5V ±10%

Tabel 8/5.3-89: Een overzicht van door AMD leverbare functies.



Figuur 8/5.3-56: Blokschema van de 27256.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-57: Logisch symbool van de 27256.

Lezen: (Read-mode)

De 27256 heeft twee control-functies voor het verkrijgen van data aan de uitgang. Chip-enable ($\overline{CE}$) bestuurt de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en moet worden gebruikt om data op de uitgangspennen te zetten.

Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode

De 27256 heeft een standby-mode, waarin de opgenomen stroom beduidend kleiner is (minstens van 100 mA naar 40 mA). De EPROM wordt standby gezet door de $\overline{CE}$-ingang een TTL-HOOG signaal te geven. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$-ingang.

Besturing van de uitgangen

Om de EPROM in grotere "geheugen-arrays" te kunnen opnemen, heeft de 27256 twee besturingslijnen, die de dissipatie verminderen, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Aanbevolen wordt $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle chips in het array bestuurt en op de gemeenschappelijke READ-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat de uitgangspennen alleen aktief zijn om data van een bepaald geheugen op te halen.

Programma sperren (Program Inhibit)

Door gebruik te maken van de Program Inhibit Mode is het zeer eenvoudig om een aantal parallelle EPROM's met verschillende data te programmeren. Door $\overline{CE}$ van de andere EPROM's HOOG te maken wordt voorkomen dat die worden geprogrammeerd. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen van de parallelle EPROM's met elkaar worden verbonden.

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$ = LAAG, $\overline{CE}$ = HOOG, Vpp = 12,5 V en Vcc = 6 V (de programmeerwaarden).

Silicon Signature

De Intelligent Identifier Mode of Silicon Signature maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Om van deze functie gebruik te maken moet een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 worden gezet. Door A0 LAAG te maken verschijnt de fabrikant-code of DQ0 tot en met DQ7 (Intel: 89 Hexadecimaal; AMD: 97H) en met A0 HOOG verschijnt de type-code (04H). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

Wissen

Voordat de EPROM geprogrammeerd kan

worden dienen alle geheugenlokaties leeg te zijn. Daartoe moet de 27256 worden bestraald met ultra-violet licht (253,7 nm). De dosis (UV intensiteit X belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm^2. Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm^2 uitstraalt kan de EPROM in 15 tot 20 minuten wissen. Na het wissen zijn alle bits HOOG.

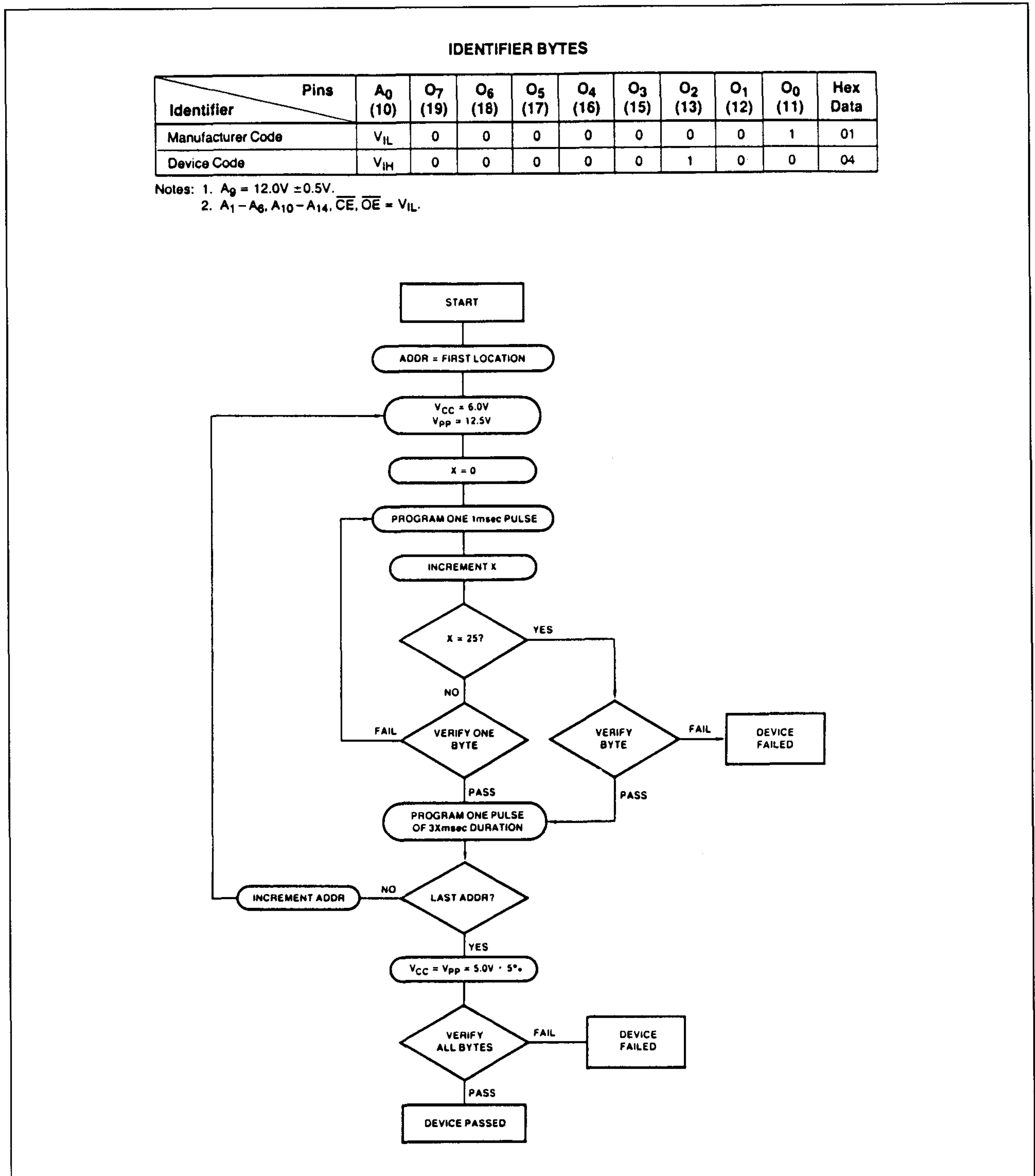
Programmeren
Bij aflevering of na het wissen bevinden alle 262144 bits zich in de "1" of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.
Er wordt geprogrammeerd door + 12,5 V op de V_{pp}-pen te zetten en $\overline{CE}$ LAAG te maken. De te programmeren lokatie wordt op de adrespennen gezet, terwijl de data-uitgangspennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd. Let op de maximaal toegelaten programmeerspanningen: Intel: max. 14 V, Texas Instruments: max. 13 V, AMD: max. 13,5 V.

Snel programmeren
Op de 27256 kan de snelle programmeeralgoritme ("Intelligent" of "Fast Programming Algorithm") worden toegepast (zie figuur 8/5.3-58). Hierbij worden twee verschillende programmeerpulsen gebruikt: "Eerste" en "Laatste". De Eerste puls duurt 1 ms en wordt X maal herhaald. Na elke puls wordt de te programmeren byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 25; Texas Instr. 15). De Laatste programmeerpuls duurt 3X ms (Texas Instr. 4x). De procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 12,5 V (alle merken). Is het hele programmeerproces klaar, dan worden alle bits nog eens geverifieerd bij $V_{cc} = V_{pp}$ = 5 V.

Toepassingen
Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elk IC moet een hoogfrequent type keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

Overige kenmerken
De overige elektrische en schakelkarakteristieken zijn te zien in de figuren 8/5.3-59 en 8/5.3-60 en de tabellen 8/5.3-90 tot en met 8/5.3-95. De hier vermelde gegevens hebben betrekking op AMD-typen.

5.3 Type-beschrijving 27yyy-serie



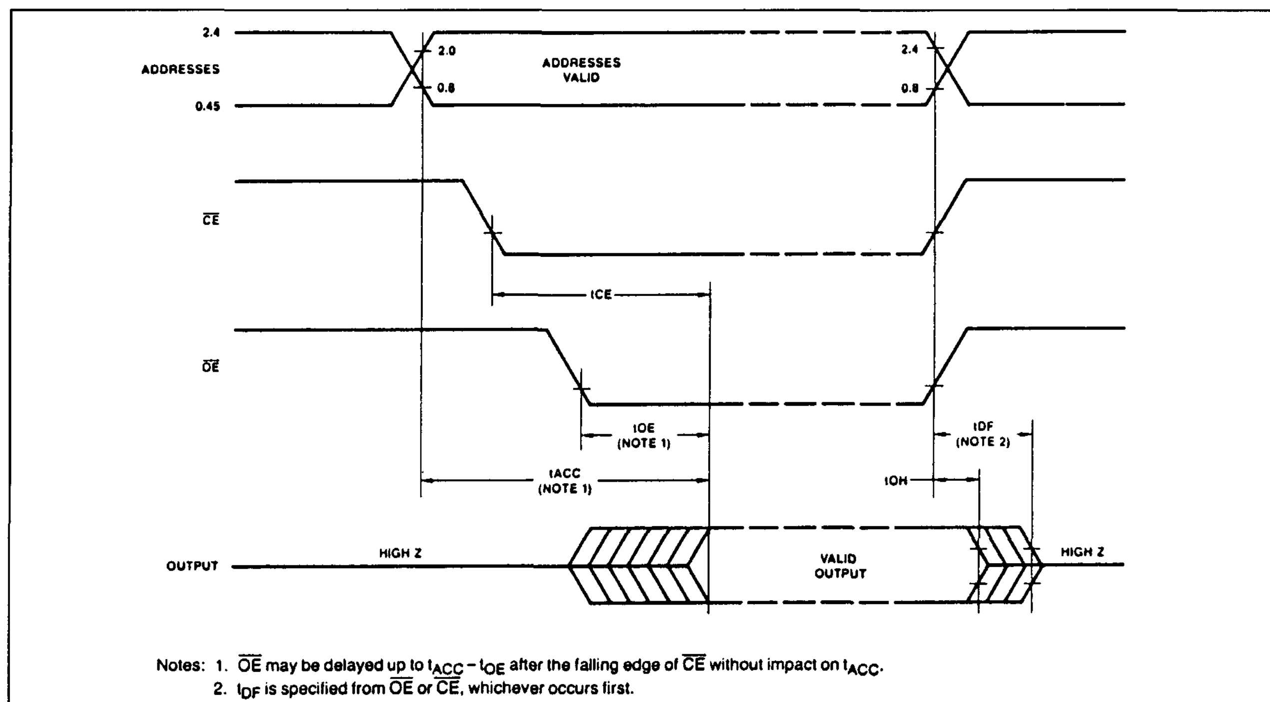
IDENTIFIER BYTES

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	0	0	0	0	0	0	0	1	01
Device Code	V_{IH}	0	0	0	0	0	1	0	0	04

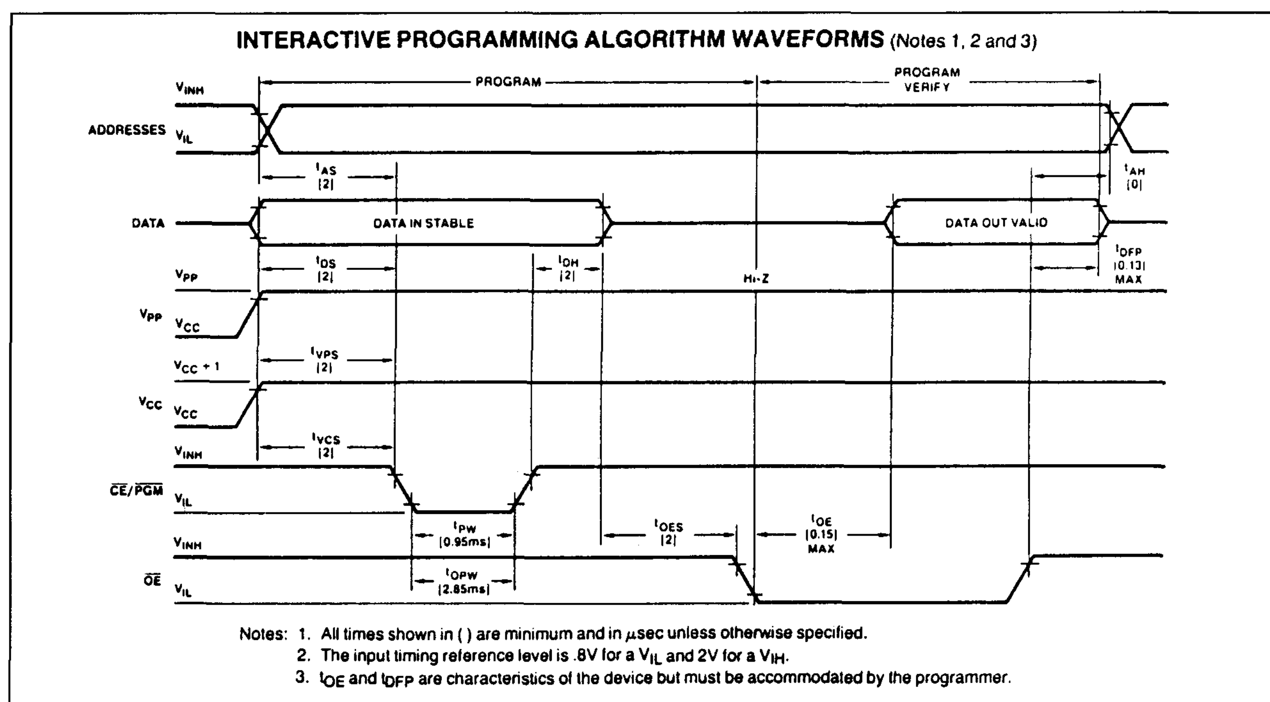
Notes: 1. A_9 = 12.0V ±0.5V.
2. $A_1 - A_8$, $A_{10} - A_{14}$, $\overline{CE}$, $\overline{OE}$ = V_{IL}.

Figuur 8/5.3-58: De interaktieve programmering.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-59: Timing bij het uitlezen van enkele 27256 EPROM's (zie ook tabel 8/5.3-93).



Figuur 8/5.3-60: Timing bij het programmeren (zie ook tabel 8/5.3-95).

5.3 Type-beschrijving 27yyy-serie

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Stand By	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
Program	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{IN}
Program Verify	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	V_{CC}	High Z
Auto Select	V_{IL}	V_{IL}	V_H	V_{CC}	V_{CC}	Code

Note: X can be either V_{IL} or V_{IH}
V_H = 12.0V ±0.5V

Tabel 8/5.3-88: Selectie van de verschillende mogelijke functies.

MAXIMUM RATINGS above which the useful life may be impaired

Storage Temperature	−65 to +125°C
Ambient Temperature with Power Applied	−10 to +80°C
Voltage on All Inputs/with Respect to GND	+6.25 to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming	+13.5 to −0.6V
Voltage on Pin 24 with Respect to Ground	+13.5 to −0.6V

Tabel 8/5.3-90: Maximaal toegelaten waarden.

ORDERING INFORMATION

Order Number	t_{ACC} (ns)	t_{CE} (ns)	t_{OE} (ns)	V_{CC}
Am27256-1DC	170	170	75	5V ±5%
Am27256-2DC	200	200	75	5V ±5%
Am27256-20DC	200	200	75	5V ±10%
Am27256DC	250	250	100	5V ±5%
Am27256-25DC	250	250	100	5V ±10%
Am27256-3DC	300	300	120	5V ±5%
Am27256-30DC	300	300	120	5V ±10%
Am27256-4DC	450	450	150	5V ±5%
Am27256-45DC	450	450	150	5V ±10%

Tabel 8/5.3-89: Een overzicht van door AMD leverbare typen.

DC CHARACTERISTICS 0°C ≤ T_A ≤ +70°C, V_{CC} = V_{PP} = 5V ±5% (27256-1, 27256-2, 27256, 27256-3, 27256-4) or V_{CC} = V_{PP} = 5V ±10% (27256-20, 27256-25, 27256-30, 27256-45)(see Notes 1, 2 and 5)

Parameters	Description	Test Conditions	Min	Max	Units
I_{LI}	Input Load Current	V_{IN} = 0V to 5.5V		10	µA
I_{LO}	Output Leakage Current	V_{OUT} = 0V to 5.5V		10	µA
I_{PP1}	V_{PP} Current Read (Note 2)	V_{PP} = 5.5V		5	mA
I_{CC1}	V_{CC} Standby Current (Notes 2, 6)	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL}		25	mA
I_{CC2}	V_{CC} Active Current (Note 2)	$\overline{OE}$ = $\overline{CE}$ = V_{IL}		100	mA
V_{IL}	Input Low Voltage		−0.1	+0.8	Volts
V_{IH}	Input High Voltage		2.0	V_{CC}+1	Volts
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.45	Volts
V_{OH}	Output High Voltage	I_{OH} = −400µA	2.4		Volts

Tabel 8/5.3-91: Gelijkspannings-condities.

CAPACITANCE (see Notes 3 and 4)
T_A = +25°C, f = 1MHz

Parameters	Description	Test Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	8	12	pF

Notes:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for nominal supply voltages.
4. This parameter is only sampled and not 100% tested.
5. Caution: The Am27256 must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
6. I_{CC1} max is 40mA for 27256-4.

Tabel 8/5.3-92: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

AC CHARACTERISTICS 0°C ≤ T_A ≤ +70°C, V_{CC} = V_{PP} = 5V ± 5% (27256-1, 27256-2, 27256, 27256-3, 27256-4) or V_{CC} = V_{PP} = 5V ±10% (27256-20, 27256-25, 27256-30, 27256-45) (see Notes 1, 2 and 5)

Parameters	Description	Test Conditions		Min Values All Types	Maximum Values 27256-1	27256-20 27256-2	27256-25 27256	27256-30 27256-3	27256-45 27256-4	Units
t_{ACC}	Address to Output Delay	Output Load: 1 TTL	$\overline{CE}$ = $\overline{OE}$ = V_{IL}		170	200	250	300	450	ns
t_{CE}	Chip Enable to Output Delay	gate and C_L = 100pF Input Rise and Fall Times: ≤20ns	$\overline{OE}$ = V_{IL}		170	200	250˙	300	450	ns
t_{OE}	Output Enable to Output Delay	Input Pulse Levels: 0.45 to 2.4V	$\overline{CE}$ = V_{IL}		75	75	100	120	150	ns
t_{DF} (Note 4)	Output Enable High to Output Float	Timing Measurement Reference Level: Inputs:	$\overline{CE}$ = V_{IL}	0	60	60	60	105	130	ns
t_{OH} (Note 4)	Output Hold from Addresses, CE or OE Whichever Occurred First	1V and 2V Outputs: 0.8V and 2V	$\overline{CE}$ = $\overline{OE}$ = V_{IL}	0						ns

Tabel 8/5.3-93: Schakeltijden bij het uitlezen.

INTERACTIVE PROGRAMMING ALGORITHM
DC PROGRAMMING CHARACTERISTICS T_A = +25°C ±5°C, V_{CC} = 6.0V ±0.25V, V_{PP} = 12.5V ±.3V (see Note 1)

Parameters	Description	Test Conditions	Min	Typ	Max	Units
I_{LI}	Input Current (All Inputs)	V_{IN} = V_{IL} or V_{IH}			10	µA
V_{IL}	Input Low Level (All Inputs)		−0.1		0.8	Volts
V_{IH}	Input High Level		2.0		V_{CC} + 1	Volts
V_{OL}	Output Low Voltage During Verify	I_{OL} = 2.1mA			0.45	Volts
V_{OH}	Output High Voltage During Verify	I_{OH} = −400µA	2.4			Volts
I_{CC2}	V_{CC} Supply Current (Program and Verify)				100	mA
I_{PP2}	V_{PP} Supply Current (Program)	CE = V_{IL}			30	mA
V_{ID}	A_9 Auto Select Voltage		11.5		12.5	Volts

Tabel 8/5.3-94: Gelijkspannings-condities bij het programmeren.

AC PROGRAMMING CHARACTERISTICS T_A = +25°C ±5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5 ±.3V (see Note 1)

Parameters	Description	Test Conditions	Min	Typ	Max	Units
t_{AS}	Address Setup Time		2			µs
t_{OES}	$\overline{OE}$ Setup Time		2			µs
t_{DS}	Data Setup Time		2			µs
t_{AH}	Address Hold Time		0			µs
t_{DH}	Data Hold Time		2			µs
t_{DFP} (Note 3)	Output Enable to Output Float Delay		0		130	ns
t_{VPS}	V_{PP} Setup Time		2			µs
t_{VCS}	V_{CC} Setup Time		2			µs
t_{PW}	$\overline{CE}/\overline{PGM}$ Initial Program Pulse Width		0.95	1.0	1.05	ms
t_{OPW}	$\overline{CE}/\overline{PGM}$ Overprogram Pulse Width	(see Note 2)	2.85		78.85	ms
t_{OE}	Data Valid from $\overline{OE}$				150	ns

Notes:
1. *Caution: If V_{CC} is not applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}, the Am27256 could be damaged.*
2. When programming the Am27256, a 0.1µF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which may damage the device.
3. This parameter is only sampled and not 100% tested.

Tabel 8/5.3-95: Schakeltijden bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

27C256/87C256

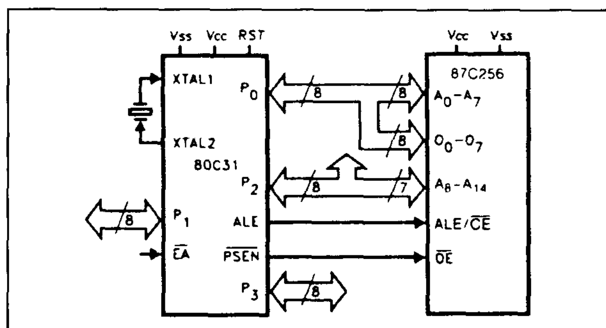
32k X 8, CMOS, Vprog = 12,5 V

De 27256 wordt door de meeste fabrikanten nu ook (bij voorkeur) in CMOS vervaardigd. Er zijn drie typen, de 27C256 is algemeen leverbaar, terwijl Intel en Philips ook de 87C256 vervaardigen en bij Intel tevens de 68C257 werd ontwikkeld (die apart wordt behandeld). De 87C256 is bestemd om te worden toegepast bij microprocessoren met gemultiplexte bus, terwijl de 26C256 overeenkomst met de standaard 27256. Beide typen hebben korte toegangstijden (vanaf 170 ns), een geringe dissipatie (maximaal 10 mA in aktieve toestand) en CMOS ingangen, waardoor ze bijzonder geschikt zijn voor draagbare apparatuur.

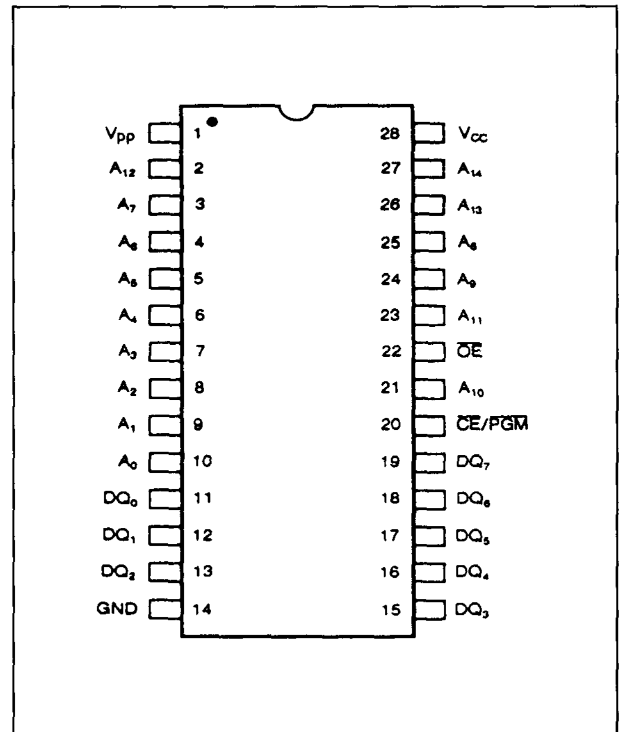
De 87C256 bevat een adres-latch die bij gemultiplexte bus systemen beperking van het aantal chips mogelijk maakt. Ontwerpers kunnen hierdoor een gecombineerde (gemultiplexte) adres/data-bus direct op de A0 – A14 en O0 – O7 pennen van de 87C256 aansluiten (figuur 8/5.3-65).

Op de dalende flank van ALE wordt de adresinformatie op de adres-ingangen intern gelatched. De A0 – A7 ingangen worden dan genegeerd, terwijl data uit de O0 – O7 uitgangen van de EPROM over dezelfde bus wordt getransporteerd (ALE/$\overline{CE}$ blijft LAAG).

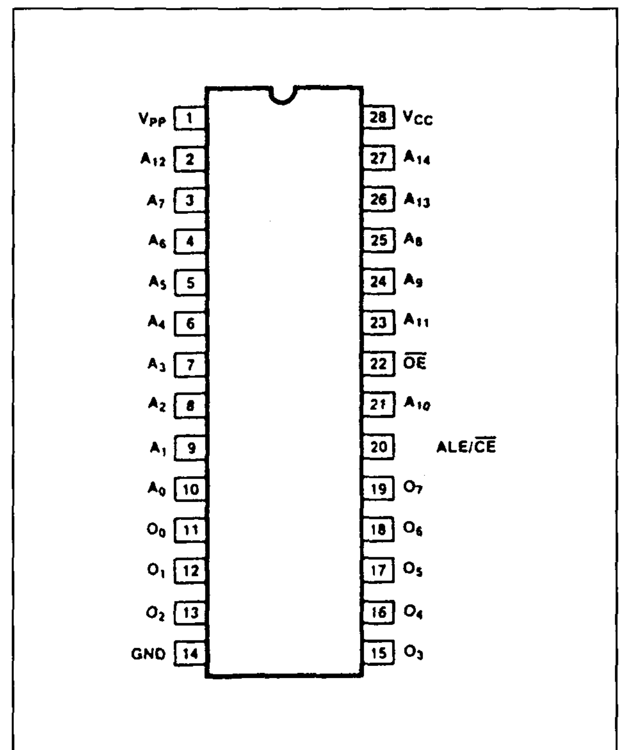
De 27C256 en de 87C256 hebben een keramische 28 pens DIL-behuizing (aansluitingen figuren 8/5.3-61 en 8/5.3-62, blok-



Figuur 8/5.3-65: Toepassing van een 87C256 EPROM in een controller-systeem met gemultiplexte adres/data bus.

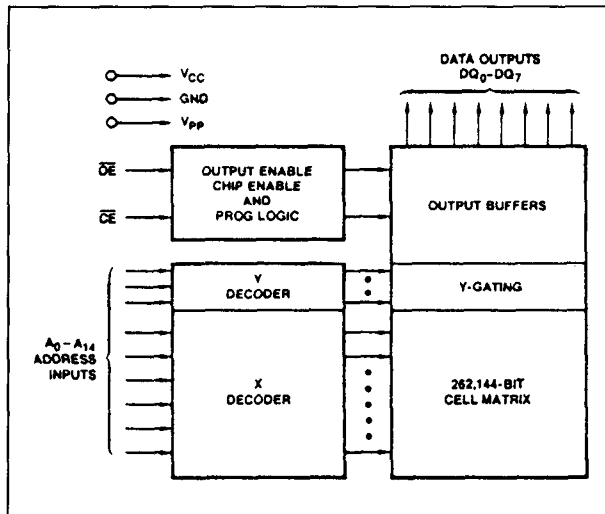


Figuur 8/5.3-61: Aansluitingen van de 27C256.

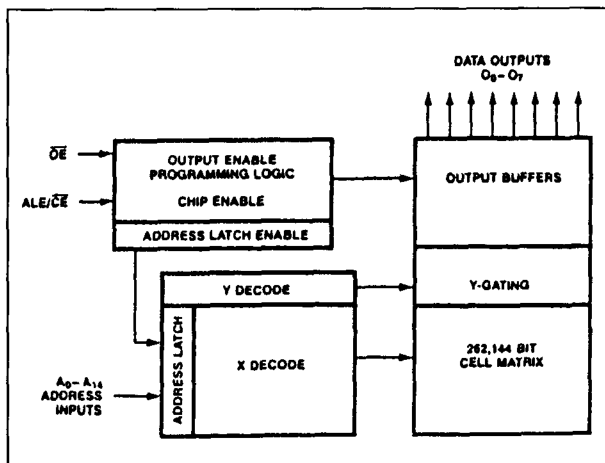


Figuur 8/5.3-62: Aansluitingen van de 87C256.

5.3 Type-beschrijving 27yyy-serie



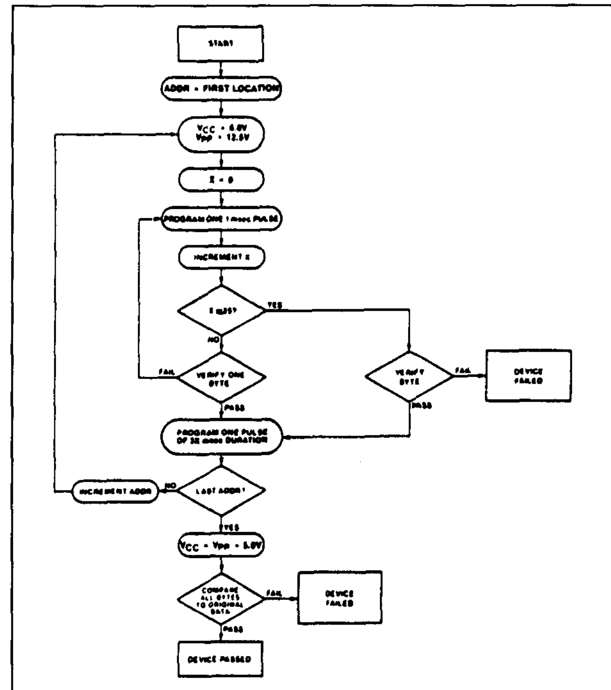
Figuur 8/5.3-63: Blokschema van de 27C256 (zonder adreslatch en adreslatch-enable).



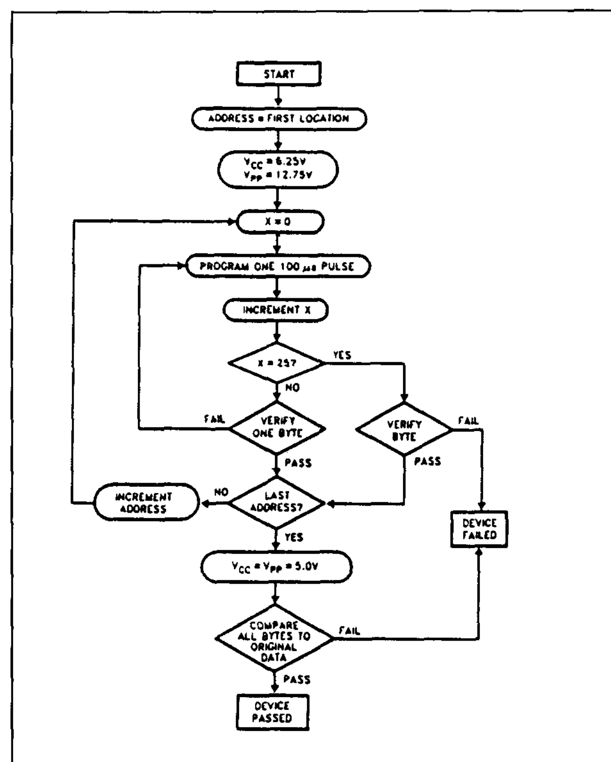
Figuur 8/5.3-64: Blokschema van de 87C256 (met adreslatch en latch-enable).

schema's figuren 8/5.3-63 en 8/5.3-64) en kunnen door middel van de intelligente Programmeer Algoritme (figuur 8/5.3-66) worden geprogrammeerd.
De Intel typen ook met de "Quick Pulse Programming Algorithm" (figuur 8/5.3-67).

In tabel 8/5.3-96 zijn weer de zeven mogelijke bedrijfstoestanden te zien.



Figuur 8/5.3-66: De voor de 27C256A en 87C256 bruikbare Intelligente Programmeer Algoritme.



Figuur 8/5.3-67: De Quick-Pulse Programmering.

5.3 Type-beschrijving 27yyy-serie

FUNCTION (PINS)	MODE						
	Read	Output Disable	Standby	Programming	Verify	Program Inhibit	Signature Mode
(20)	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IH}	V_{IL}
(22)	V_{IL}	V_{IH}	X†	V_{IH}	V_{IL}	V_{IH}	V_{IL}
A9 (24)	X	X	X	X	X	X	V_H‡
V_{PP} (1)	V_{CC}	V_{CC}	V_{CC}	V_{PP}	V_{PP}	V_{PP}	V_{CC}
V_{CC} (28)	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}
Q1-Q8 (11-13, 15-19)	D_{OUT}	HI-Z	HI-Z	D_{IN}	D_{OUT}	HI-Z	Code

†X can be V_{IL} or V_{IH}.
‡V_H = 12 V ± 0.5 V.

Tabel 8/5.3-96: De 7 mogelijke bedrijfstoestanden.

Lees-mode 27C256

De 27C256 heeft twee besturingsfuncties die beide aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip Enable ($\overline{CE}$) bestuurt de voeding en moet voor de selectie van de EPROM worden gebruikt, terwijl Output Enable ($\overline{OE}$) de uitgang bestuurt. Wanneer wordt aangenomen dat het gekozen adres stabiel is, is de adres-toegangstijd t_{ACC} gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is na een vertraging van t_{OE} vanaf de dalende flank van $\overline{OE}$ beschikbaar aan de uitgangen, wanneer $\overline{CE}$ gedurende $t_{ACC} - t_{OE}$ LAAG was en het adres stabiel.

Lees-mode 87C256

De 87C256 werd ontworpen om de interface-schakelingen die nodig zijn in processorsystemen met gemultiplexte data/adresbussen te verminderen. In figuur 8/5.3-65 is hiervan een voorbeeld te zien: de gemultiplexte bus (AD0 – AD7) van de processor is zowel met de adres- als de data-pennen van de 87C256 verbonden, waardoor een aparte adres-latch niet nodig is.

De interne adreslatch in de 87C256 wordt direct door de ALE/$\overline{CE}$-lijn vrijgegeven. Het laatst aanwezige adres wordt overgenomen op de HOOG-naar-LAAG overgang van het ALE/$\overline{CE}$-signaal. Data komt op de bus ter beschikking door middel van de $\overline{OE}$-pen.

Standby mode

De 27C256 en de 87C256 kunnen, door pen 20 HOOG te schakelen, standby worden gezet waarbij de uit Vcc opgenomen stroom beperkt blijft tot 100 μA.

Wissen en programmeren

Voor het wissen van de CMOS-versies geldt hetzelfde als voor de NMOS 27256: een UV-lamp van 12 mW/cm² op 2,5 cm wist de EPROM's in 15 tot 20 minuten. Na het wissen bevat de EPROM alleen "enen".

Ook het programmeren gaat op dezelfde manier als bij de 27256: 12,5 V (maximaal 14 V) op de Vpp-pen, $\overline{OE}$ op TTL-LAAG en TTL-LAGE programmeerpulsen op $\overline{CE}$ (of ALE/$\overline{CE}$) volgens de Intelligente Programmeer Algoritme (figuur 8/5.3-66). De initiële programmeerpulsen duren weer 1 ms (maximaal 25 stuks), terwijl de overprogrammeerpulsen 3X ms duren (X = het aantal initiële pulsen dat nodig was voor correcte programmering). Na elke initiële puls wordt de inhoud van het betreffende adres gecontroleerd.

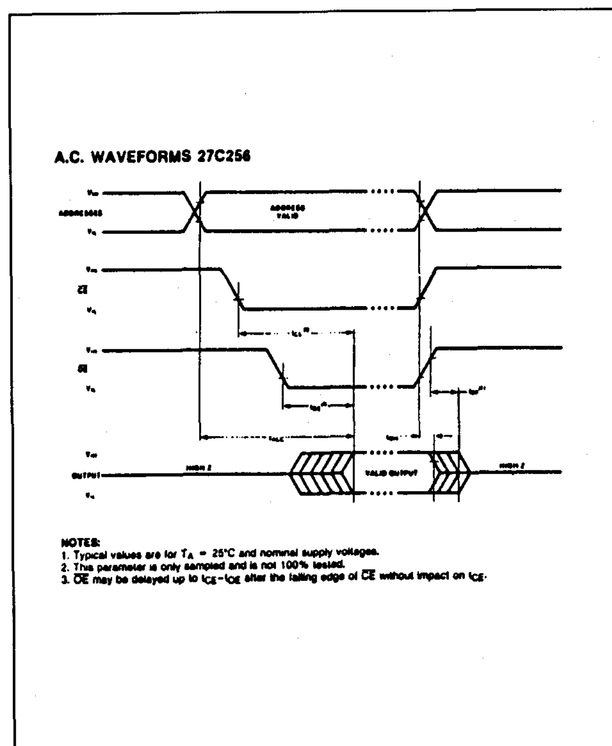
De Intel Quick-Pulse Programming

De 27C256 kan nu met behulp van de "Quick-Pulse Programming Algorithm" worden geprogrammeerd. Met deze programmeer-algoritme kan een 27C256 binnen VIER seconden volledig worden geprogrammeerd!
Bij deze algoritme duren de initiële impulsen 100 µs, gevolgd door een byte-verificatie om te zien of de programmering van het adresbyte geslaagd is. Er worden maximaal 25 pogingen ondernomen, zoals te zien is in figuur 8/5.3-67.
Bij de Quick-Pulse methode worden programmering en byte-verificatie uitgevoerd bij Vcc = 6,25 V en Vpp = 12,75 V. Na programmering worden alle bytes gecontroleerd bij Vcc = Vpp = 5,0 V.

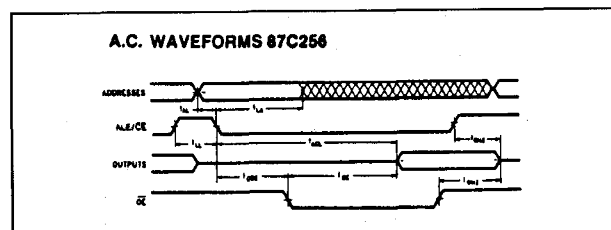
Overige functies

De functies "Program Inhibit", "Verify" en "Intelligent Identifier Mode" zijn identiek aan die van de 27256. Met uitzondering van de $\overline{CE}$-pen (of ALE/$\overline{CE}$ voor de 87C256) mogen alle ingangen parallel geschakeld worden met die van andere EPROM's. Door $\overline{CE}$ (of ALE/$\overline{CE}$) HOOG te maken wordt voorkomen dat een 27C256 (of 87C256) wordt geprogrammeerd.
Verificatie van de inhoud is mogelijk met $\overline{OE}$ LAAG en $\overline{CE}$ (of ALE/$\overline{CE}$) HOOG, met Vpp en Vcc op de programmeerwaarden.
De EPROM's worden geïdentificeerd door 12 V op adreslijn A9 te zetten, waarbij de fabrikant-code op de data-uitgangen verschijnt door adreslijn A0 LAAG te maken en de type-code door A0 HOOG te maken. De type-code van de 27C256 is 8CH en die van de 87C256 is 80H.

Alle elektrische kenmerken en optredende schakeltijden van de CMOS 27C256 en 87C256 EPROM's zijn te vinden in de figuren 8/5.3-68 tot en met 8/5.3-70 en de tabellen 8/5.3-97 tot en met 8/5.3-102.



Figuur 8/5.3-68: Golfvormen en schakeltijden bij het uitlezen van de 27C256A (zie ook tabel 8/5.3-99).



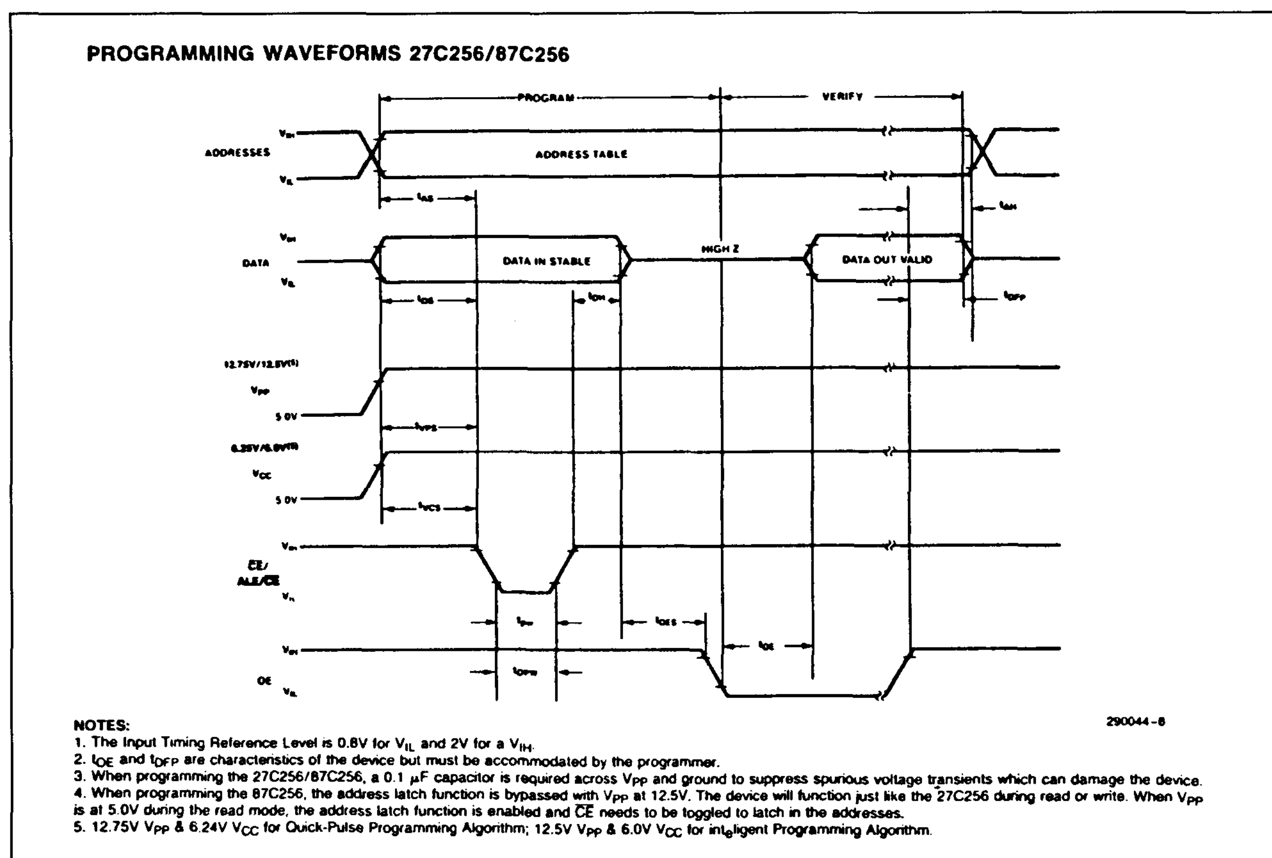
Figuur 8/5.3-69: Golfvormen en schakeltijden bij het uitlezen van de 87C256 (zie ook tabel 8/5.3-100).

ABSOLUTE MAXIMUM RATINGS

Operating Temperature During Read	0°C to +70°C
Temperature Under Bias	−10°C to +80°C
Storage Temperature	−65°C to +125°
Voltage on Any Pin with Respect to Ground	−2V to +7V
Voltage on A_9 with Respect to Ground	−2V to +13.5V
V_{PP} supply Voltage with Respect to Ground during programming	−2V to +14.0V
V_{CC} Supply Voltage with Respect to Ground	−2V to +7.0V

Tabel 8/5.3-97: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-70: Golfvormen en schakeltijden die optreden wanneer de Intelligente Programmeer Algoritme op de 27C256 of de 87C256 wordt toegepast (zie ook tabel 8/5.3-102).

D.C. CHARACTERISTICS: 27C256/87C256

Symbol	Parameter		Notes	Min	Typ	Max	Units	Test Condition
I_{LI}	Input Load Current				0.01	1.0	µA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current				0.01	1.0	µA	V_{OUT} = 5.5V
I_{PP_1}	V_{PP} Read Current		5			200	µA	V_{PP} = V_{CC}
I_{SB}	V_{CC} Current Standby with Inputs—	CMOS	4			100	µA	$\overline{CE}$ = V_{CC}
		TTL	8			1.0	mA	$\overline{CE}$ = V_{IH}
I_{CC_1}	V_{CC} Current Active with Inputs—	CMOS	5, 8			10	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
		TTL	5, 8			30	mA	V_{PP} = V_{CC}
V_{IL}	Input Low Voltage (±10% Supply) (TTL) (±20% Supply)			−0.5 −0.5		0.8 0.5	V	V_{PP} = V_{CC}
	Input Low Voltage (CMOS)			−0.2		0.2		
V_{IH}	Input High Voltage (±10% Supply) (TTL) (±20% Supply)			2.0 2.5		V_{CC} + 0.5 V_{CC} + 0.5	V	V_{PP} = V_{CC}
	Input High Voltage (CMOS)			V_{CC} − 0.2		V_{CC} + 0.2		
V_{OL}	Output Low Voltage					0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage			3.5			V	I_{OH} = −2.5 mA
I_{OS}	Output Short Circuit Current		6			100	mA	
V_{PP}	V_{PP} Read Voltage		7	V_{CC} − 0.7		V_{CC}	V	

Tabel 8/5.3-98: Gelijkspanningscondities voor de 27C256 en de 87C256.

5.3 Type-beschrijving 27yyy-serie

A.C. CHARACTERISTICS 27C256(1) 0°C ≤ T_A ≤ +70°C

Versions		27C256-1		27C256-2		27C256		27C256-3		Unit
	V_{CC} ±5%	27C256-1		27C256-2		27C256		27C256-3		
	V_{CC} ±10%			27C256-20		27C256-25		27C256-30		
	V_{CC} ±20%			27C256-200		27C256-250		27C256-300		
Symbol	**Characteristic**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	
t_{ACC}	Address to Output Delay		170		200		250		300	ns
t_{CE}	$\overline{CE}$ to Output Delay		170		200		250		300	ns
t_{OE}	$\overline{OE}$ to Output Delay		70		75		100		120	ns
t_{DF}(2)	$\overline{OE}$ High to Output High Z		55		55		60		75	ns
t_{OH}(2)	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Change-Whichever is First	0		0		0		0		ns

NOTES:
1. A.C. characteristics tested at V_{IH} = 2.4V and V_{IL} = 0.45V.
   Timing measurements made at V_{OL} = 0.8V and V_{OH} = 2.0V.
2. Guaranteed and sampled.

Tabel 8/5.3-99: Schakeltijden bij het uitlezen van de 27C256.

A.C. CHARACTERISTICS 87C256

Versions		87C256-2		87C256		87C256-3		Unit
	V_{CC} ±5%	87C256-2		87C256		87C256-3		
	V_{CC} ±10%	87C256-20		87C256-25		87C256-30		
	V_{CC} ±20%	87C256-200		87C256-250		87C256-300		
Symbol	**Parameter**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	
t_{LL}	Chip Deselect Width	50		60		75		ns
t_{AL}	Address to CE-Latch Set-up	20		25		30		ns
t_{LA}	Address Hold from CE-LATCH	45		50		60		ns
t_{ACL}	CE-Latch Access Time		200		250		300	ns
t_{OE}	Output Enable to Output Valid		75		100		120	ns
t_{COE}	ALE/$\overline{CE}$ to Output Enable	45		50		60		ns
t_{CHZ}(2)	Chip Deselect to Output in High Z		55		60		75	ns
t_{OHZ}(2)	Output Disable to Output in High Z		55		60		75	ns

NOTES:
1. A.C. characteristics tested at V_{IH} = 2.4V and V_{IL} = 0.45V.
   Timing measurements made at V_{OL} = 0.8V and V_{OH} = 2.0V.
2. Guaranteed and sampled.

Tabel 8/5.3-100: Schakeltijden bij het uitlezen van de 87C256.

5.3 Type-beschrijving 27yyy-serie

D.C. PROGRAMMING CHARACTERISTICS 27C256/87C256

T_A = 25°C ±5°C

Symbol	Parameter	Limits			Test Conditions
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		1.0	μA	V_{IN} = V_{IL} or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	3.5		V	I_{OH} = −2.5 mA
I_{CC2}(4)	V_{CC} Supply Current		30	mA	
I_{PP2}(4)	V_{PP} Supply Current (Program)		50	mA	$\overline{CE}$ = V_{IL}
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	
	Quick-Pulse Programming Algorithm	12.5	13.0	V	
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Quick-Pulse Programming Algorithm	6.0	6.5	V	

Tabel 8/5.3-101: Gelijkspanningscondities bij het interaktief programmeren.

A.C. PROGRAMMING CHARACTERISTICS 27C256/87C256

T_A = 25°C ±5°C; *see Table 2 for V_{CC} and V_{PP} voltages.*

Symbol	Parameter	Limits				Conditions
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(See Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{CE}$ Initial Program Pulse Width	95	100	105	μs	Quick-Pulse
		0.95	1.0	1.05	ms	int$_e$ligent
t_{OPW}	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms	(See Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

A.C. CONDITIONS OF TEST

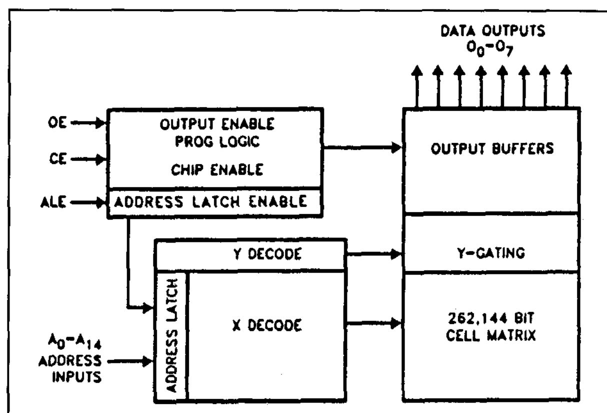
Input Rise and Fall Times (10% to 90%) ...... 20 ns
Input Pulse Levels .... 0.45V to 2.4V
Input Timing Reference Level .... 0.8V and 2.0V
Output Timing Reference Level ...... 0.8V and 3.5V

NOTES:

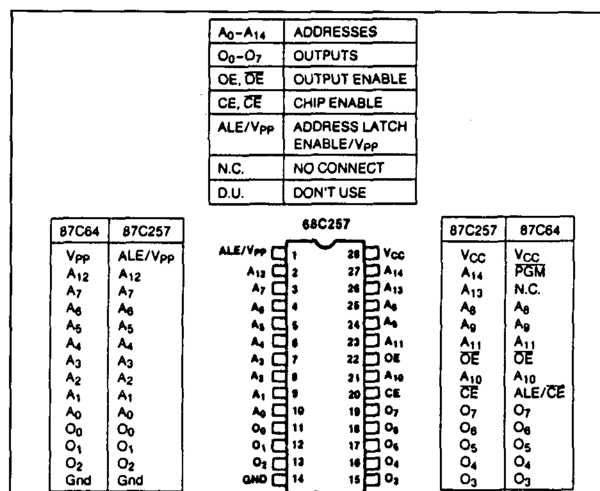
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse (Intelligent Programming Algorithm) may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0 to O_7 unloaded.

Tabel 8/5.3-102: Schakeltijden bij het programmeren van de 27C256 en de 87C256.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-71: Blokschema van de 68C257.



Figuur 8/5.3-72: Aansluitingen van de 68C257, vergeleken met de 87C64.

onafhankelijke besturingsingangen: OE, CE en ALE (zie ook figuur 8/5.3-71). De aparte ALE-ingang is bij deze EPROM op de Vpp-pen ondergebracht en maakt het mogelijk adressen te latchen zonder daarbij de toegangstijd (nadelig) te beïnvloeden. Chip Enable (CE) en Output Enable (OE) zijn bij dit type aktief-HOOG om samenwerking met de 68-familie te vereenvoudigen ("noglue" interfaces). Wanneer andere EPROM's worden gebruikt, zijn hierbij adres-latches en inverters nodig. Voor het programmeren van de 68C257 kan de "Quick-Pulse Programming Algorithm" worden toegepast.

De 68C257 heeft een keramische 28-pens DIL-behuizing (figuur 8/5.3-72).

In tabel 8/5.3-103 zijn de acht verschillende bedrijfstoestanden van de EPROM te zien.

Mode \ Pins	CE	OE	A_9	A_0	ALE/ V_{PP}	V_{CC}	Outputs
Read	V_{IH}	V_{IH}	X(1)	X	X	5.0V	D_{OUT}
Output Disable	V_{IH}	V_{IL}	X	X	X	5.0V	High Z
Standby	V_{IL}	X	X	X	X	5.0V	High Z
Programming(5)	V_{IL}	V_{IH}	X	X	(Note 4)	(Note 4)	D_{IN}
Program Verify(5)	V_{IH}	V_{IL}	X	X	(Note 4)	(Note 4)	D_{OUT}
Optional Program Verify	V_{IH}	V_{IH}	X	X	V_{CC} (Note 4)	(Note 4)	D_{OUT}
Program Inhibit(5)	V_{IH}	V_{IH}	X	X	(Note 4)	(Note 4)	High Z
int$_e$ligent Identifier(3, 5) -Manufacturer	V_{IL}	V_{IL}	V_H(2)	V_{IL}	X	V_{CC}	89 H
int$_e$ligent Identifier(3, 5) -68C257	V_{IL}	V_{IL}	V_H(2)	V_{IH}	X	V_{CC}	27 H

NOTES:
1. X can be V_{IL} or V_{IH}.
2. V_H = 12.0V ±0.5V.
3. A_1-A_8, A_{10-12} = V_{IL}, A_{13-14} = X.
4. See Table 2 for V_{CC} and V_{PP} programming voltages.
5. During Int$_e$ligent Identifier Mode (A_9 = V_H) and Programming Modes (ALE/V_{PP} = 12.75V), CE and OE default to active-low enables.

Tabel 8/5.3-103: De 8 mogelijke bedrijfstoestanden.

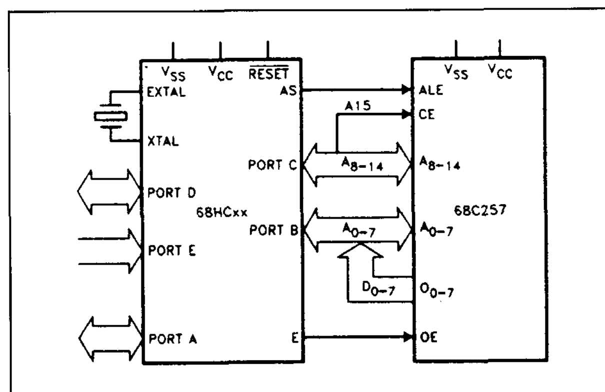
5.3 Type-beschrijving 27yyy-serie

Lees-mode

De 68C257 heeft twee besturingsfuncties die beide logisch-aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip Enable (CE) bestuurt de voeding en selecteert de EPROM. Output Enable (OE) bestuurt de uitgangsbuffer en zorgt ervoor dat data op de uitgangen verschijnt. Wanneer het adres stabiel (ALE HOOG) of gelatched (ALE LAAG) is, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van CE naar de uitgang (t_{CE}). De uitgangen geven t_{OE} na de stijgende flank van OE bruikbare data af.

Zoals in figuur 8/5.3-73 te zien is kan de 68C257 op eenvoudige wijze worden aangesloten op systemen met een gemultiplexte adres/data-bus. De gemultiplexte bus van de processor (AD0 – AD7) wordt hierbij verbonden met de adres- en datapennen van de 68C257.

De ALE-ingang bestuurt de interne adreslatch van de 68C257. Op het HOOG-naar-LAAG gaan van ALE wordt het laatst aanwezige adres vastgehouden. Met de OE-lijn kan daarna data van de EPROM op de bus worden gezet. De 68C257 is ideaal voor systemen met programma-geheugen op hoge adreslokaties. Adres-decoders en andere verbindende schakelingen zijn overbodig doordat A15 op de aktief-HOGE CE kan worden aangesloten. De aktief-HOGE OE-ingang van de 68C257 wordt dan eenvoudig verbonden met de aktief-HOGE READ-strobe (E-uitgang) van de microprocessor uit de 68-familie.



Figuur 8/5.3-73: Toepassing van een 68C257 EPROM in een 68-type controller-systeem met gemultiplexte adres/data-bus.

Standby-mode

In de standby toestand wordt aanzienlijk minder stroom opgenomen uit de voeding. Onafhankelijk van de OE-lijn plaatst CE = LAAG de uitgangen in de hoog-impedante toestand.

Besturing van de uitgangen

Om de EPROM in grotere geheugen-arrays te kunnen opnemen, heeft de 68C257 twee besturingslijnen, die de dissipatie zoveel mogelijk verminderen en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus.

Aanbevolen wordt voor CE een adres-decoder te gebruiken, terwijl OE alle chips in het array bestuurt en op de gemeenschappelijke READ-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van geselecteerde EPROM's de uitgangen aktief zijn.

Toepassingen

Door de schakel-eigenschappen van EPROM's moeten de voedingslijnen zorgvuldig worden ontkoppeld. Voor de ontwerpers zijn drie Icc-niveaus interessant: de standby-stroom, de aktieve stroom en piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elk IC moet een hoogfrequent type keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien wordt geadviseerd bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

Wissen en programmeren

Ook de 68C257 kan in 15 tot 20 minuten worden gewist met een UV-lamp van 12 mW/cm² op 2,5 cm afstand. Na het wissen bevat de EPROM alleen "enen".
De EPROM komt in de programmeer-mode door Vpp op de programmeer-spanning van 12,75 V te brengen (maximaal 14 V)! Data wordt geprogrammeerd door een 8-bit woord op de uitgangspennen (O0 – O7) te zetten en op CE pulsen naar TTL LAAG te geven bij OE = HOOG.

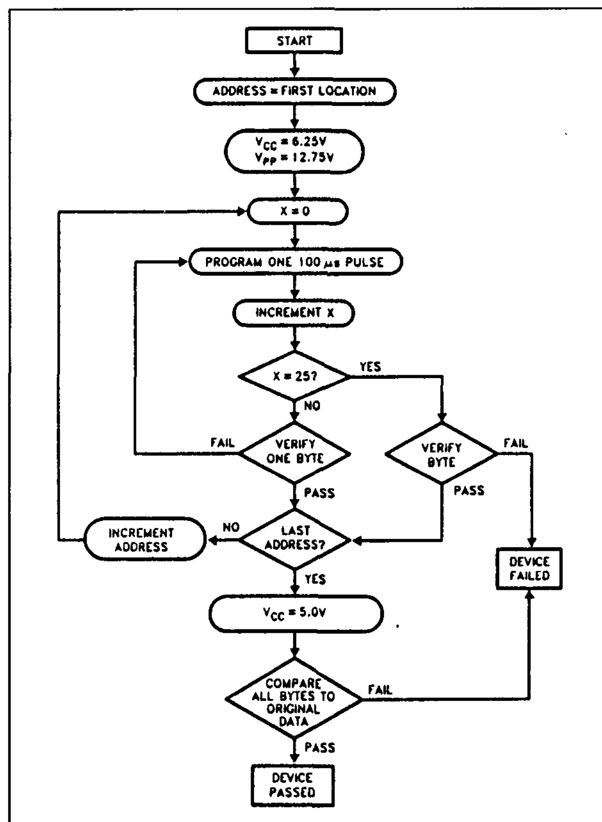
Quick-Pulse Programming

De 68C257 kan met behulp van de "Quick-Pulse Programming Algorithm" worden geprogrammeerd. Met deze programmeeralgoritme kan een 68C257 binnen **vier** seconden volledig worden geprogrammeerd!
Bij deze algoritme duren de initiële impulsen 100 μs, gevolgd door een byte-verificatie om te zien of de programmering van het adresbyte geslaagd is. Er worden maximaal 25 pogingen ondernomen, zoals te zien is in figuur 8/5.3-74.
Bij de Quick-Pulse methode worden programmering en byte-verificatie uitgevoerd bij Vcc = 6,25 V en Vpp = 12,75 V. Na de programmering worden alle bytes gecontroleerd bij Vcc = Vpp = 5,0 V.

Overige functies

De functies "Program Inhibit", "Verify" en "Intelligent Identifier Mode" zijn identiek aan die van de 27C256. Met uitzondering van CE en OE mogen alle ingangen parallel worden geschakeld met die van andere EPROM's. Door CE HOOG te maken wordt voorkomen dat een niet-geselecteerde 68C257 wordt geprogrammeerd.

Verificatie van de data is mogelijk met OE LAAG en CE HOOG, met Vpp en Vcc op de programmeerwaarden.
De EPROM's worden geïdentificeerd door 12 V ± 0,5 V op adreslijn A9 te zetten, waarbij de fabrikant-code op de data-uitgangen verschijnt door adreslijn A0 LAAG te maken



Figuur 8/5.3-74: De Quick-Pulse Programmering.

en de type-code door A0 HOOG te maken. De type-code van de 68C257 is 27H.

De overige kenmerken en optredende schakeltijden van de CMOS 68C257 zijn te vinden in de tabellen 8/5.3-104 tot en met 8/5.3-108 en de figuren 8/5.3-75 en 8/5.3-76.

ABSOLUTE MAXIMUM RATINGS

Operating Temperature During Read	0°C to + 70°C(2)
Temperature Under Bias	−10°C to +80°C(2)
Storage Temperature	−65°C to +150°C
Voltage on any Pin with Respect to Ground	−2V to +7V(1)
Voltage on A_9 with Respect to Ground	−2V to +13.5V(1)
V_{PP} Supply Voltage with Respect to Ground During Programming	−2V to +14.0V(1)
V_{CC} Supply Voltage with Respect to Ground	−2V to +7.0V(1)

Tabel 8/5.3-104: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie

D.C. CHARACTERISTICS TTL and NMOS Inputs

Symbol	Parameter		Notes	Min	Typ(3)	Max	Units	Test Condition
I_{LI}	Input Load Current				0.01	1.0	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current				0.01	1.0	μA	V_{OUT} = 5.5V
I_{SB}	V_{CC} Current Standby with Inputs—	Switching				10	mA	CE = V_{IL}, ALE = V_{IH}
		Stable				1.0	mA	CE = ALE = V_{IL}
I_{CC_1}	V_{CC} Current Active		5			30	mA	CE = ALE = V_{IH} f = 5 MHz, I_{OUT} = 0 mA
V_{IL}	Input Low Voltage (± 10% Supply)		1	−0.5		0.8	V	
V_{IH}	Input High Voltage (± 10% Supply)			2.0		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage					0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage			2.4			V	I_{OH} = −400 μA
I_{OS}	Output Short Circuit Current		6			100	mA	

D.C. CHARACTERISTICS CMOS Inputs

Symbol	Parameter		Notes	Min	Typ(3)	Max	Units	Test Condition
I_{LI}	Input Load Current				0.01	1.0	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current				0.01	1.0	μA	V_{OUT} = 5.5V
I_{SB}	V_{CC} Current Standby with Inputs—	Switching	4			6	mA	CE = V_{IL}, ALE = V_{IH}
		Stable				100	μA	CE = ALE = V_{IL}
I_{CC_1}	V_{CC} Current Active		5			15	mA	CE = ALE = V_{IH} f = 5 MHz, I_{OUT} = 0 mA
V_{IL}	Input Low Voltage (± 10% Supply)			−0.2		0.8	V	
V_{IH}	Input High Voltage (± 10% Supply)			0.7 V_{CC}		V_{CC} + 0.2	V	
V_{OL}	Output Low Voltage					0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage			V_{CC} − 0.8			V	I_{OH} = −2.5 mA
I_{OS}	Output Short Circuit Current		6			100	mA	

NOTES:

1. Minimum D.C. input voltage is −0.5V. During transitions, the inputs may undershoot to −2.0V for periods less than 20 ns. Maximum D.C. voltage on output pins is V_{CC} + 0.5V which may overshoot to V_{CC} + 2V for periods less than 20 ns.
2. Operating temperature is for commercial product defined by this specification. Extended temperature options are available in EXPRESS and Automotive versions.
3. Typical limits are at V_{CC} = 5V, T_A = +25°C.
4. CE is ±0.2V. All other inputs can have any value within spec.
5. Maximum current value is with outputs O_0 to O_7 unloaded.
6. Output shorted for no more than one second. No more than one output shorted at a time. I_{OS} is sampled but not 100% tested.

Tabel 8/5.3-105: Gelijkspanningscondities voor de 68C257 bij ingangssignalen op verschillend niveau.

5.3 Type-beschrijving 27yyy-serie

A.C. CHARACTERISTICS(1) 0°C ≤ T_A ≤ +70°C

Versions(3)		V_{CC} ±5%	68C257-170V05		68C257-200V05		68C257-250V05		68C257-300V05		Unit
		V_{CC} ±10%			68C257-200V10		68C257-250V10		68C257-300V10		
Symbol	**Characteristic**		**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	
t_{ACC}	Address to Output Delay			170		200		250		300	ns
t_{CE}	CE to Output Delay			170		200		250		300	ns
t_{OE}	OE to Output Delay			70		75		100		120	ns
t_{DF}(2)	OE Low to Output High Z			35		40		55		55	ns
t_{OH}(2)	Output Hold from Addresses, CE or OE Change-Whichever is First		0		0		0		0		ns
t_{LL}	Latch Deselect Width		35		55		60		70		ns
t_{AL}(2)	Address to Latch Set-Up		7		15		25		30		ns
t_{LA}	Address Hold from LATCH		20		30		40		50		ns
t_{LOE}	ALE to Output Enable		20		30		40		50		ns

NOTES:
1. See A.C. Testing Input/Output Waveforms for timing measurements.
2. Guaranteed and sampled.
3. Model Number Prefixes: No Prefix = CERDIP.

Tabel 8/5.3-106: Schakeltijden bij het uitlezen van de 68C257.

D.C. PROGRAMMING CHARACTERISTICS T_A = 25°C ±5°C

Table 2

Symbol	Parameter	Limits Min	Limits Max	Limits Unit	Test Conditions
I_{LI}	Input Current (All Inputs)		1.0	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.2	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage During Verify		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	V_{CC} − 0.8		V	I_{OH} = −400 μA
I_{CC2}(3)	V_{CC} Supply Current		30	mA	
I_{PP2}(3)	V_{PP} Supply Current (Program)		50	mA	CE = V_{IL}
V_{ID}	A_9 inteligent Identifier Voltage	11.5	12.5	V	
V_{PP}(1)	Programming Voltage	12.5	13.0	V	
V_{CC}(1)	Supply Voltage During Programming	6.0	6.5	V	

Tabel 8/5.3-107: Gelijkspanningscondities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

A.C. PROGRAMMING CHARACTERISTICS

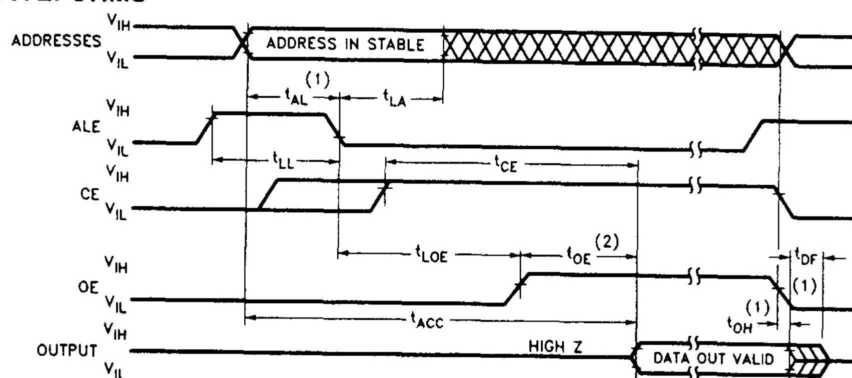
T_A = 25°C ±5°C; see Table 2 for V_{CC} and V_{PP} voltages.

Symbol	Parameter	Limits				Conditions
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	OE Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
$t_{DFP}^{(2)}$	OE High to Output Float Delay	0		130	ns	
$t_{VPS}^{(1)}$	V_{PP} Setup Time	2			μs	
$t_{VCS}^{(1)}$	V_{CC} Setup Time	2			μs	
t_{PW}	CE Program Pulse Width	95	100	105	μs	
t_{OE}	Data Valid from OE			150	ns	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
3. The maximum current value is with outputs O_0 to O_7 unloaded.

Tabel 8/5.3-108: Schakeltijden bij het programmeren van de 68C257.

A.C. WAVEFORMS



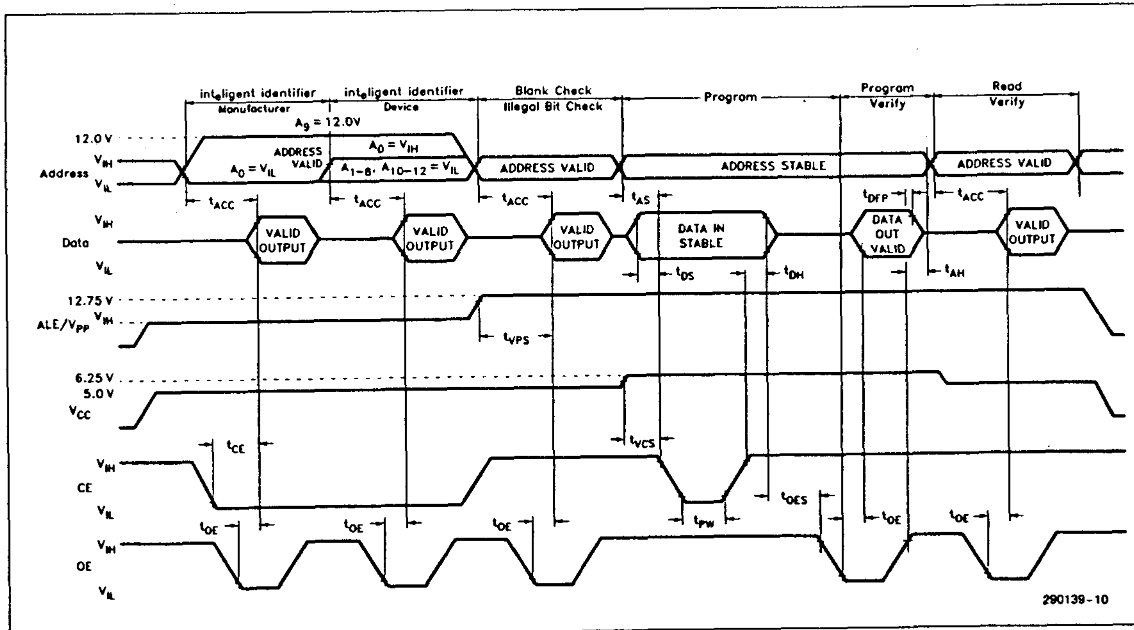
NOTES:
1. This parameter is only sampled and is not 100% tested.
2. OE may be delayed up to $t_{CE}-t_{OE}$ after the rising edge of CE without impact on t_{CE}.

290139-5

Figuur 8/5.3-75: Golfvormen en schakeltijden bij het uitlezen van de 68C257 (zie ook tabel 8/5.3-106).

5.3 Type-beschrijving 27yyy-serie

PROGRAMMING WAVEFORMS



NOTES:

1. The input timing reference level is V_{IL} = 0.8V and V_{IH} = 2V.
2. t_{OE} and t_{DFP} are device characteristics but must be accommodated by the programmer.
3. To prevent device damage during programming, a 0.1 µF capacitor is required between V_{PP} and ground to suppress spurious voltage transients.
4. During programming, the address latch function is bypassed whenever V_{PP} = 12.75V or A_9 = V_H. When V_{PP} and A_9 are at TTL levels, the address latch function is enabled, and the device functions in read mode.
5. V_{PP} can be 12.75V during Blank Check and Final Verify; if so, CE must be V_{IH}.

Figuur 8/5.3-76: Golfvormen en schakeltijden die optreden wanneer de Quick-Pulse Programmeer Algoritme op de 68C257 wordt toegepast (zie ook tabel 8/5.3-108).

5.3 Type-beschrijving 27yyy-serie

27512

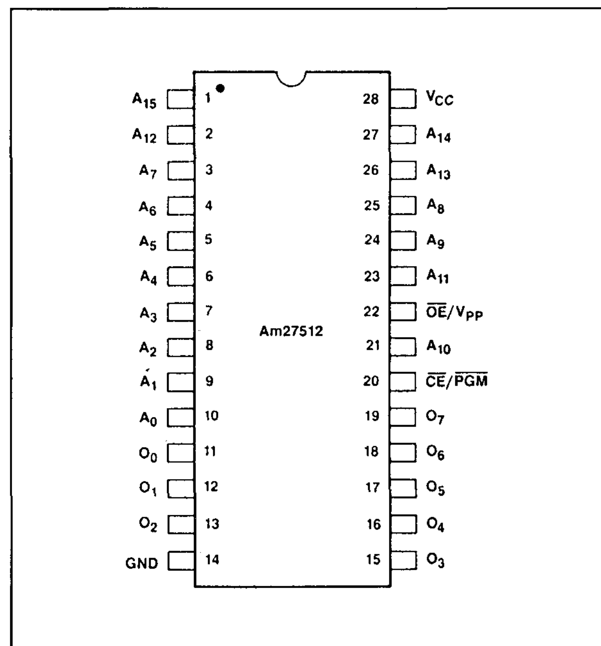
64k x 8, NMOS, Vprog = 12,5 V

De 27512 is een standaard "byte-wide" 524288 bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM), georganiseerd in 64k woorden van 8 bits. Zijn even grote broer, de 27513, heeft 4 pagina's van 16k x 8 bits (pagina-adressering) en wordt hierna apart behandeld.
De 27512 werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode waarbij de dissipatie aanmerkelijk lager is en is snel toegankelijk (200 tot 450 ns). Hierdoor is de EPROM compatibel met high performance microprocessoren zoals de 8 MHz iAPX 186 en de 8051-familie microcontrollers. Door de grote opslag-capaciteit van 64 kB kan de 27512 hele bedrijfssystemen, diagnostiek en hogere programmeertalen bevatten, waardoor bijvoorbeeld tijdverslindend schijfgebruik en "downloads" kunnen worden vermeden.
De 27512 kan met de "Intelligente Programming Algorithm" in gemiddeld 6 minuten worden geprogrammeerd.

Specifikaties

De 27512 EPROM heeft als algemene kenmerken:
- 65536 x 8 bits organisatie;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (zonder clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie:
  max. 125 mA (in bedrijf);
  max. 40 mA (standby);
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- leverbare typen zijn bijvoorbeeld:

Intel	27512 (200-300 ns);
AMD	Am 27512 (250-450 ns);
Fujitsu	MBM 27512 (250-300 ns);
Hitachi	HN 27512 (250-300 ns);



Figuur 8/5.3-77: Aansluitingen van de 27512.

- 28-pens keramische DIL behuizing met kwarts-venster, pen-compatibel met 2764, 27128 en 27256 (figuur 8/5.3-77);
- ook leverbaar in CMOS (zie 27C512).

Werking

De 27512 heeft 7 verschillende bedrijfsmodes: lezen, uitgangen sperren (output disable), standby (power-down), programmeren, programma-verificatie, programma-sperren en auto select (automatische identificatie), zoals in tabel 8/5.3-109 te zien is. Het 16-bit adres wordt op de chip gedecodeerd in 65536 woorden van 8-bit (zie figuren 8/5.3-78 en 8/5.3-79).

Lezen (Read-mode)

De 27512 heeft twee control-functies die beide aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-enable ($\overline{CE}$) bestuurt de voeding en kan worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten.
Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd

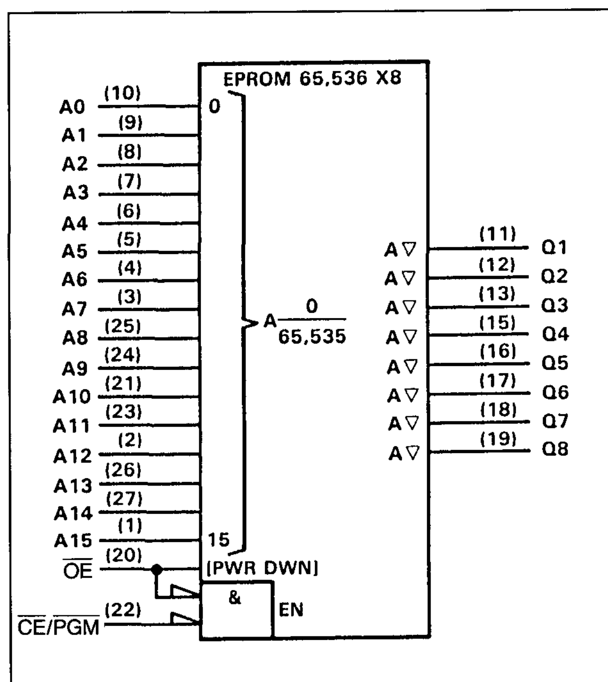
5.3 Type-beschrijving 27yyy-serie

Mode \ Pins	$\overline{CE}$	$\overline{OE}/V_{PP}$	A_9	A_0	V_{CC}	Outputs
Read	V_{IL}	V_{IL}	X(1)	X	5.0V	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	X	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	High Z
Program	V_{IL}	V_{PP}(3)	X	X	6.0V	D_{IN}
Verify	V_{IL}	V_{IL}	X	X	6.0V	D_{OUT}
Program Inhibit	V_{IH}	V_{PP}(3)	X	X	6.0V	High Z
Inteligent Identifier(4) —Manufacturer	V_{IL}	V_{IL}	V_H(2)	V_{IL}	5.0V	89H
Inteligent Identifier(4) —Device	V_{IL}	V_{IL}	V_H(2)	V_{IH}	5.0V	0DH

NOTES:
1. X can be V_{IH} or V_{IL}.
2. V_H = 12.0V ±0.5V.
3. V_{PP} = 12.5 ±0.5V.
4. A_1–A_8, A_{10}–A_{13} = V_{IL}; A_{14}, A_{15} = V_{IH}.

Tabel 8/5.3-109: Selectie van de verschillende mogelijke functies.

(t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.



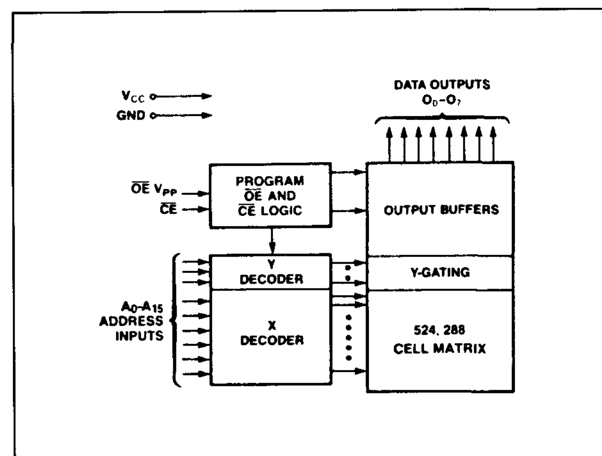
Figuur 8/5.3-78: Logisch symbool van de 27512.

Standby mode

De 27512 heeft een standby-mode, waarin de opgenomen stroom beduidend kleiner is (van 125 mA naar 40 mA). De EPROM wordt standby gezet door de $\overline{CE}$-ingang TTL-HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$/Vpp-ingang.

Besturing van de uitgangen

Omdat EPROM's meestal in grotere "geheugen-arrays" worden opgenomen, is de 27512 voorzien van twee besturings-



Figuur 8/5.3-79: Blokschema van de 27512.

lijnen, die de dissipatie zoveel mogelijk verminderen, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Aanbevolen wordt $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$/Vpp alle chips in het array bestuurt en op de gemeenschappelijke READ-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat de uitgangen alleen aktief zijn om data van een bepaald geheugen op te halen.

Programma sperren (Program Inhibit)
Door gebruik te maken van de Program Inhibit Mode is het zeer eenvoudig om een aantal parallelle 27512's met verschillende data te programmeren. Door $\overline{CE}$ van de andere EPROM's HOOG te maken wordt voorkomen dat die worden geprogrammeerd. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen van de parallelle EPROM's met elkaar worden verbonden.

Programma verificatie
De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$/Vpp = LAAG, $\overline{CE}$ = LAAG en Vcc = 6 V.

Silicon Signature
De Intelligent Identifier Mode of Silicon Signature maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Om van deze functie gebruik te maken moet een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 worden gezet. Door A0 LAAG te maken verschijnt de fabrikant-code op DQ0 tot en met DQ7 (bijvoorbeeld Intel 89 Hexadecimaal) en met A0 HOOG verschijnt de type-code (0DH). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

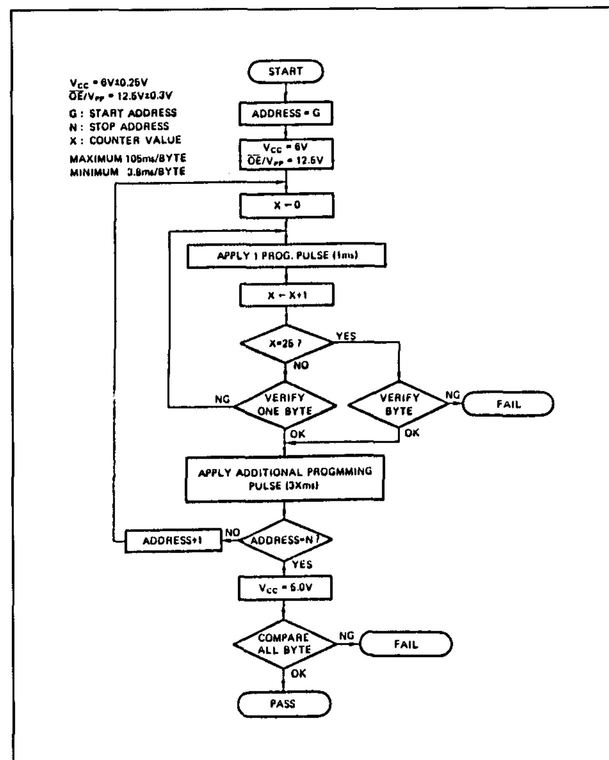
Wissen
Voordat de EPROM geprogrammeerd kan worden dienen alle geheugenlokaties leeg = HOOG te zijn. Daartoe moet de 27512 worden bestraald met ultra-violet licht (253,7 nm). De dosis (UV intensiteit × belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm^2. Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm^2 uitstraalt kan de EPROM in 15 tot 20 minuten wissen.

Programmeren
Bij aflevering of na het wissen bevinden alle 524288 bits zich in de "1" of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.
Er wordt geprogrammeerd door + 12,5 V op de $\overline{OE}/V_{pp}$-pen te zetten en $\overline{CE}$ LAAG te maken. De te programmeren lokatie wordt op de adrespennen gezet, terwijl de data-uitgangspennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd. Let op de maximaal toegelaten programmeerspanningen: Intel max. 14 V, AMD max. 13,5 V.

Snel programmeren
Op de 27512 kan de snelle, interaktieve programmeeralgoritme ("Intelligent Programming Algorithm") worden toegepast (zie figuur 8/5.3-80). Hierbij worden twee verschillende programmeerpulsen gebruikt: Eerste (of "initiële") en Laatste (of "overprogram"). De Eerste puls duurt 1 ms en wordt eventueel X maal herhaald. Na elke puls wordt de te programmeren byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven ($X_{max} = 25$). De Laatste programmeerpuls duurt 3X ms. De procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 12,5 V. Is het hele programmeerproces klaar, dan worden alle bits nog eens geverifieerd bij V_{cc} = 5,0 V.

Toepassingen
Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstro-

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-80: De interaktieve programmering.

men op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elk IC moet een hoogfrequent type keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

Overige kenmerken

De overige elektrische- en schakelkarakteristieken zijn te zien in de figuren 8/5.3-81 en 8/5.3-82 en de tabellen 8/5.3-110 tot en met 8/5.3-116. De hier vermelde gegevens hebben betrekking op Intel-typen.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6.5V to -0.6V
Voltage on Pin 24 with Respect to Ground	+13.5V to -0.6V
$\overline{OE}/V_{PP}$ Supply Voltage with Respect to Ground	+14.0V to -0.6V

Tabel 8/5.3-110: Maximaal toegelaten waarden.

CAPACITANCE (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

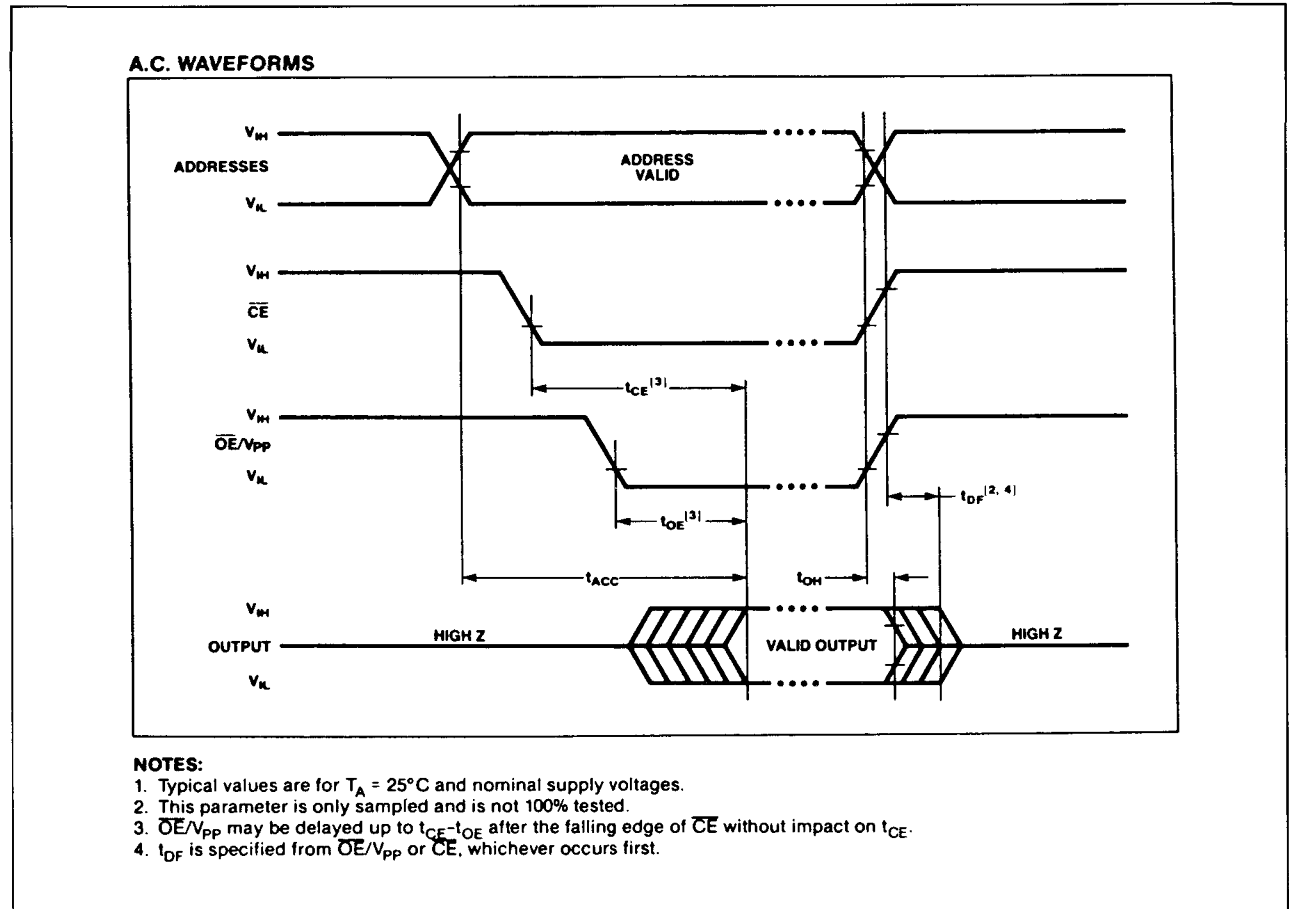
Tabel 8/5.3-114: Capaciteiten bij 1 MHz.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27512	27512-3	27512-25	27512-30
Operating Temperature Range	0°C - 70°C	0°C - 70°C	0°C - 70°C	0°C - 70°C
V_{CC} Power Supply[1]	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%

Tabel 8/5.3-111: Enkele leverbare Intel-typen.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-81: Timing bij het uitlezen van enkele 27512 EPROM's (zie ook tabel 8/5.3-113).

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[2]	Max.	Units	Test Conditions
I_{LI}	Input Load Current			10	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.5V
I_{CC1}	V_{CC} Current Standby		20	40	mA	$\overline{CE}$ = V_{IH}
I_{CC2}	V_{CC} Current Active		90	125	mA	$\overline{CE}$ = $\overline{OE}/V_{PP}$ = V_{IL}
V_{IL}	Input Low Voltage	-.1		+.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 1	V	
V_{OL}	Output Low Voltage			.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -400 μA

Tabel 8/5.3-112: Gelijkspannings-condities bij het uitlezen.

5.3 Type-beschrijving 27yyy-serie

READ OPERATION

A.C. CHARACTERISTICS

Symbol	Parameter	27512-25 & 27512 Limits		27512-30 & 27512-3 Limits		Units	Test Conditions
		Min.	Max.	Min.	Max		
t_{ACC}	Address to Output Delay		250		300	ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300	ns	$\overline{OE}/V_{PP} = V_{IL}$
t_{OE}	$\overline{OE}/V_{PP}$ to Output Delay		100		120	ns	$\overline{CE} = V_{IL}$
t_{DF}^{3}	$\overline{OE}/V_{PP}$ High to Output Float	0	60	0	105	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$
2. Typical values are for $t_A = 25°C$ and nominal supply voltages.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

Tabel 8/5.3-113: Schakeltijden bij het uitlezen.

Int$_e$ligent Programming™ Algorithm
D.C. PROGRAMMING CHARACTERISTICS:
$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $\overline{OE}/V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	µA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	-0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC} + 1	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = -400 µA
I_{CC2}	V_{CC} Supply Current		150	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

Notes:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.

Tabel 8/5.3-115: Gelijkspannings-condities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

A.C. PROGRAMMING CHARACTERISTICS

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			
		Min.	Typ.	Max.	Unit
t_{AS}	Address Setup Time	2			μs
t_{OES}	$\overline{OE}/V_{PP}$ Setup Time	2			μs
t_{OEH}	$\overline{OE}/V_{PP}$ Hold Time	2			μs
t_{DS}	Data Setup Time	2			μs
t_{AH}	Address Hold Time	0			μs
t_{DH}	Data Hold Time	2			μs
t_{DFP}[4]	Output Enable to Output Float Delay	0		130	ns
t_{VCS}	V_{CC} Setup Time	2			μs
t_{PW}[3]	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms
t_{OPW}[2]	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms
t_{DV}	Data Valid from $\overline{CE}$			1	μs
t_{VR}	$\overline{OE}/V_{PP}$ Recovery Time	2			μs
t_{PRT}	$\overline{OE}/V_{PP}$ Pulse Rise Time During Programming	50			ns

***A.C. CONDITIONS OF TEST**

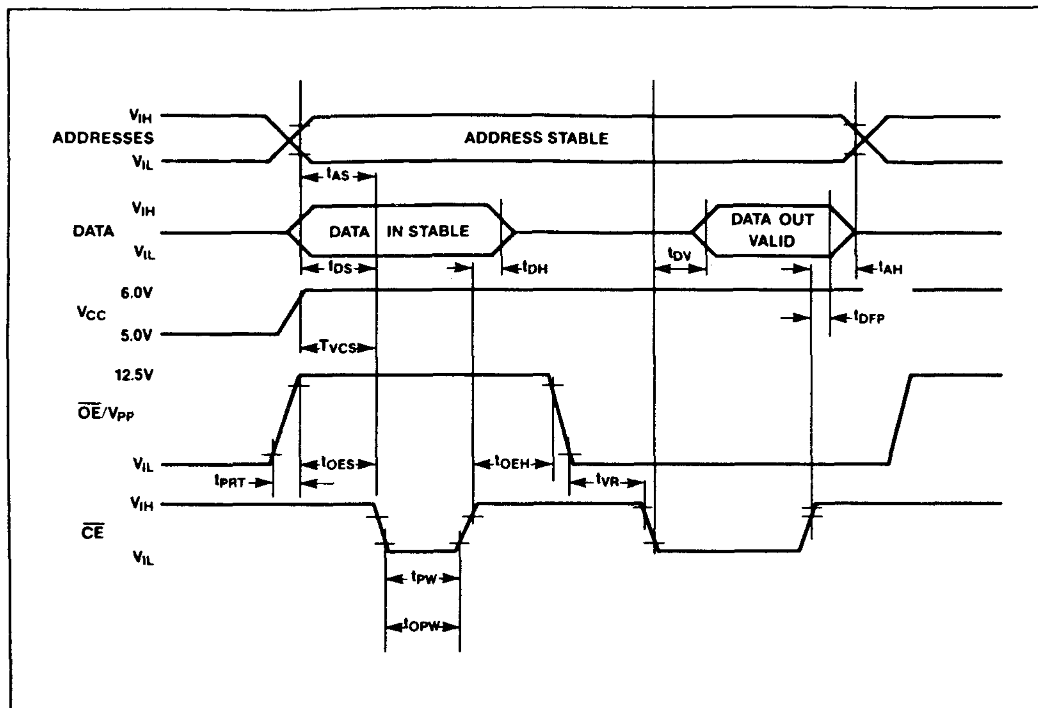
Input Rise and Fall Times (10% to 90%) .... 20 ns
Input Pulse Levels .... 0.45V to 2.4V
Input Timing Reference Level .... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. *Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.*

Tabel 8/5.3-116: Schakeltijden bij het programmeren.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-82: Timing bij het programmeren (zie ook tabel 8/5.3-116).

27C512

64k × 8, CMOS, Vprog = 12,5 V

De 27512 wordt door een aantal fabrikanten nu ook in CMOS vervaardigd. De 27C512 komt volledig overeen met de standaard 27512 met toegangstijden tussen 200 en 450 ns. De dissipatie is echter beduidend minder (200 mW in aktieve toestand, 500 μW standby), waardoor de 27C512 bijzonder geschikt is voor draagbare apparatuur. De 27C512 heeft een keramische 28 pens DIL-behuizing (aansluitingen figuur 8/5.3-83, blokschema figuur 8/5.3-84) en kan door middel van de Intelligente Programmeer Algoritme (figuur 8/5.3-85) worden geprogrammeerd.
Leverbare typen zijn bijvoorbeeld:

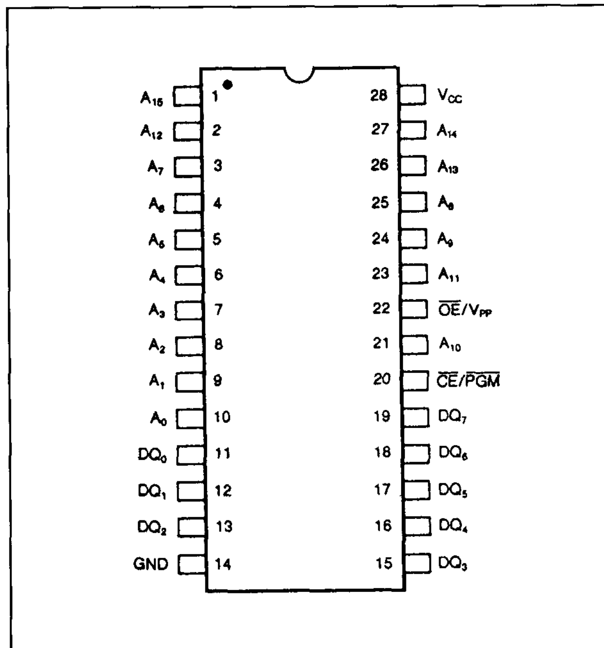
AMD:	Am 27C512 (200–450 ns) (zie ook tabel 8/5.3-117).
Texas Instruments:	TMS 27C512 (200–450 ns)
NEC:	μPD 27C512 (150–250 ns)

In tabel 8/5.3-118 zijn de mogelijke bedrijfstoestanden te zien.

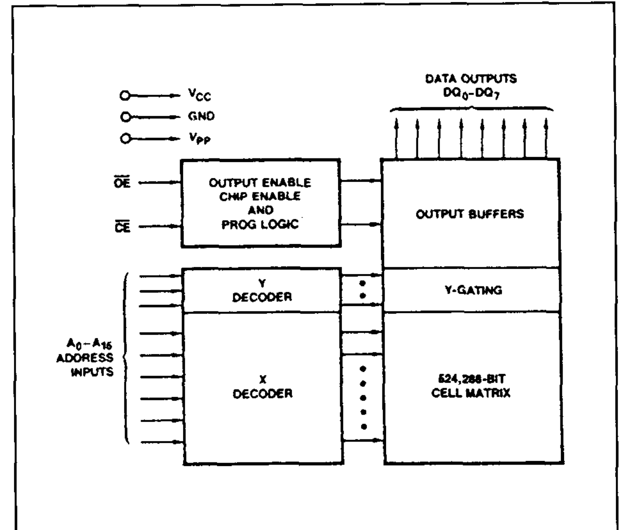
Lezen (read mode)

De 27C512 heeft twee besturingsfuncties die beide aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip Enable ($\overline{CE}$/$\overline{PGM}$) bestuurt de voeding en moet voor de selectie van de EPROM worden gebruikt, terwijl Output Enable ($\overline{OE}$/Vpp) de uitgang

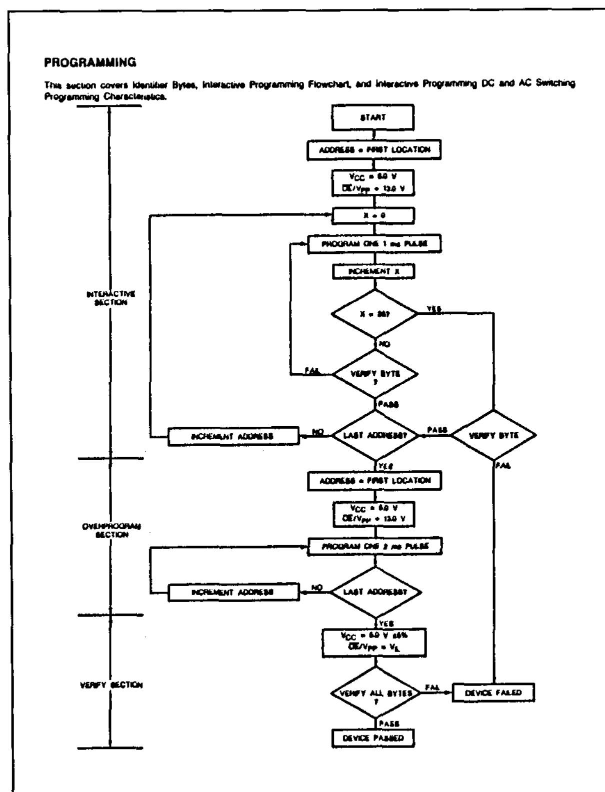
5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-83: Aansluitingen van de 27C512.



Figuur 8/5.3-84: Blokschema van de 27C512.



Figuur 8/5.3-85: De voor de 27C512 bruikbare interaktieve Intelligente Programmeer Algoritme.

bestuurt. Wanneer wordt aangenomen dat het gekozen adres stabiel is, is de adrestoegangstijd t_{ACC} gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is na een vertraging van t_{OE} vanaf de dalende flank van $\overline{OE}$ beschikbaar aan de uitgangen, wanneer $\overline{CE}$ gedurende t_{ACC} - t_{OE} LAAG was en het adres stabiel.

Standby/Power Down mode

De 27C512 kan door $\overline{CE}/\overline{PGM}$-pen HOOG te schakelen standby worden gezet, waarbij het uit Vcc opgenomen vermogen 95 % lager wordt: van 200 mW tot 10 mW. De uitgangen bevinden zich dan in de hoogimpedante toestand.

De Am27C512 heeft ook een power-down mode, waarin de dissipatie zelfs afneemt van 200 mW tot 0,5 mW (bij 0 tot 70 °C). Deze toestand wordt bereikt door $\overline{CE}/\overline{PGM}$ te verhogen tot Vcc ±0,3 V.

Wissen en programmeren

Voor het wissen van de CMOS-versies geldt hetzelfde als voor de NMOS 27512: een UV-lamp van 12 mW/cm² op 2,5 cm wist de EPROM's in 15 tot 20 minuten. Na het wissen zijn alle adreslokaties HOOG.

Ook het programmeren gaat op dezelfde

5.3 Type-beschrijving 27yyy-serie

Family Part No.	Am27C512				
Ordering Part No.	27C512-205	27C512-200	27C512	27C512-250	27C512-455
V_{CC} Tolerance	±5%	±10%	±5%	±10%	±5%
Max. Access Time (ns)	200	200	250	250	450
$\overline{CE}$ Access (ns)	200	200	250	250	450
$\overline{OE}$ Access (ns)	75	75	100	100	150

Tabel 8/5.3-117: Enkele gangbare 27C512-typen.

MODE SELECT

Mode \ Pins	$\overline{CE}/\overline{PGM}$	$\overline{OE}/V_{PP}$	A_9	Outputs
Read	V_{IL}	V_{IL}	X	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	High Z
Standby	V_{IH}	X	X	High Z
Power-Down	V_{CC}	X	X	High Z
Program	V_{IL}	V_{PP}	X	D_{IN}
Program Verify	V_{IL}	V_{IL}	X	D_{OUT}
Program Inhibit	V_{IH}	V_{PP}	X	High Z
Auto Select	V_{IL}	V_{IL}	V_H	Code

Note: X can be either V_{IL} or V_{IH}
V_H = 12.0 V ± 0.5 V

Figuur 8/5.3-118: De 8 mogelijke bedrijfstoestanden.

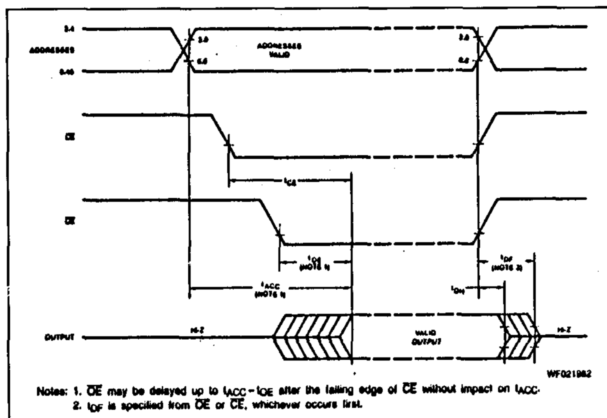
manier als bij de 27512: 12,5 V (maximaal 13,5 V) op de $\overline{OE}$/Vpp-pen, Vcc = 6 V en TTL-LAGE programmeerpulsen op $\overline{CE}/\overline{PGM}$ volgens de Interaktieve Programmeer Algoritme (figuur 8/5.3-85). De initiële programmeerpulsen duren weer 1 ms (maximaal 25 stuks), terwijl de overprogrammeerpulsen 3X ms duren (X = het aantal initiële pulsen dat nodig was voor correcte programmering). Na elke initiële puls wordt de inhoud van het betreffende adres gecontroleerd.

Overige functies

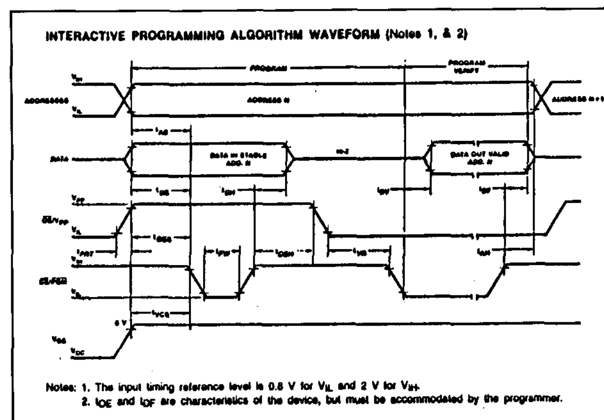
De functies "Program Inhibit", "Verify" en "Auto Select Mode" zijn identiek aan die van de 27512.
Met uitzondering van de $\overline{CE}/\overline{PGM}$-pen mogen alle ingangen parallel geschakeld worden met die van andere EPROM's. Door $\overline{CE}/\overline{PGM}$ HOOG te maken wordt voorkomen dat een 27C512 wordt geprogrammeerd.
Verificatie van de inhoud is mogelijk met $\overline{OE}$/Vpp en $\overline{CE}/\overline{PGM}$ beide HOOG.
De EPROM's worden geïdentificeerd door 12 V op adreslijn A9 te zetten, waarbij de fabrikant-code op de data-uitgangen verschijnt door adreslijn A0 LAAG te maken en de type-code door A0 HOOG te maken. De type-code van de 27C512 is 91 H.

Alle elektrische kenmerken en optredende schakeltijden van de CMOS 27C512 EPROM is te vinden in de tabellen 8/5.3-119 tot en met 8/5.3-124 en de figuren 8/5.3-86 en 8/5.3-87.

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-86: Golfvormen en schakeltijden bij het uitlezen van de 27C512 (zie ook tabel 8/5.3-122).



Figuur 8/5.3-87: Golfvormen en schakeltijden die optreden wanneer de Intelligente Programmeer Algoritme op de 27C512 wordt toegepast (zie ook tabel 8/5.3-124).

ABSOLUTE MAXIMUM RATINGS

Storage Temperature .... −65 to +150°C
Ambient Temperature
with Power Applied .... −55 to +125°C
Voltage on All Inputs (except A_9 and V_{PP}) with
Respect to GND .... +6.25 to −0.6 V
Voltage on A_9
with Respect to GND .... +13.5 to −0.6 V
Voltage on V_{PP}
with Respect to GND .... +13.5 to −0.6 V

Stresses above those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to absolute maximum ratings for extended periods may affect device reliability.

OPERATING RANGES

Commercial (C) Devices
Case Temperature (T_C) .... 0 to +70°C
Supply Voltage (V_{CC}) .... (Notes 1 & 2)
(V_{PP}) .... +12.00 to +13.00 V

Industrial (I) Devices
Case Temperature (T_C) .... −40 to +85°C
Supply Voltage (V_{CC}) .... (Notes 1 & 2)
(V_{PP}) .... +12.00 to +13.00 V

Extended Commercial (E) Devices
Case Temperature (T_C) .... −55 to +125°C
Supply Voltage (V_{CC}) .... (Notes 1 & 2)
(V_{PP}) .... +12.00 to +13.00 V

Notes: 1. For −205, blank, and −455 versions, V_{CC} = +4.75 to +5.25 V.
2. For −200 and −250 versions, V_{CC} = +4.50 to +5.50 V.

Tabel 8/5.3-119: Maximaal toegelaten waarden en bedrijfscondities.

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS over operating range unless otherwise specified. (Notes 1 & 4)

Parameter Symbol	Parameter Description	Test Conditions		Min.	Max.	Units
V_{OH}	Output HIGH Voltage	$I_{OH} = -400$ μA		2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 2.1$ mA			0.45	V
V_{IH}	Input HIGH Voltage			2.0	$V_{CC} + 1$	V
V_{IL}	Input LOW Voltage			−0.1	+0.8	V
I_{LI}	Input Load Current	$V_{IN} = 0$ V to 5.5 V			10	μA
I_{LO}	Output Leakage Current	$V_{OUT} = 0$ V to 5.5 V			10	μA
I_{CC3}	V_{CC} Power-Down Current (Note 7)	$\overline{CE} = V_{CC}$ ±0.3 V	C/I Devices		100	μA
			E Devices		240	
I_{CC2}	V_{CC} Standby Current (Note 7)	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$	C/I Devices		2	mA
			E Devices		2	
I_{CC1}	V_{CC} Active Current (Notes 5 & 7)	$\overline{CE} = V_{IL}$, f = 5 MHz, $I_{OUT} = 0$ mA (Open Outputs)	C/I Devices		40	mA
			E Devices		50	
I_{PP}	V_{PP} Supply Current (Read) (Notes 6 & 7)	$\overline{CE} = \overline{OE} = V_{IL}$, $V_{PP} = 5.5$ V			5	mA

Tabel 8/5.3-120: Gelijkspanningscondities.

CAPACITANCE (Notes 2, 3, & 8)

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Units
C_{IN}	Input Capacitance	$V_{IN} = 0$ V	8	12	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0$ V	8	12	pF
C_{IN2}	Am27C512 $\overline{OE}/V_{PP}$ Input Capacitance	$V_{IN} = 0$ V	12	20	pF
C_{IN3}	Am27C512 $\overline{CE}/\overline{PGM}$ Input Capacitance		9	12	

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{PP}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. **Caution:** The Am27C512 must not be removed from, or inserted into, a socket or board when V_{PP} or V_{CC} is applied.
5. I_{CC1} is tested with $\overline{OE} = V_{IH}$ to simulate open outputs.
6. Maximum active power usage is the sum of I_{CC} and I_{PP}.
7. For Am27C512-455, $I_{PP} = 10$ mA, $I_{CC1} = 75$ mA, $I_{CC2} = 5$ mA, and $I_{CC3} = 500$ μA Maximum.
8. $T_A = 25°C$, f = 1 MHz.

Tabel 8/5.3-121: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

SWITCHING CHARACTERISTICS over operating ranges unless otherwise specified (Notes 1, 2, 4, & 5)

No.	Parameter Symbol	Parameter Description	Test Condition	27C512-205, 27C512-200		27C512, 27C512-250		27C512-455		Units
				Min.	Max.	Min.	Max.	Min.	Max.	
1	t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		200		250		450	ns
2	t_{CE}	Chip Enable to Output Delay	$\overline{OE} = V_{IL}$		200		250		450	ns
3	t_{OE}	Output Enable to Output Delay	$\overline{CE} = V_{IL}$		75		100		150	ns
4	t_{DF}	Output Enable HIGH to Output Float (Note 3)			60		60		80	ns
5	t_{OH}	Output Hold from Addresses, $\overline{CE}$, or $\overline{OE}$, whichever occurred first		0		0		0		ns

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{PP}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. **Caution:** The Am27C512 must not be removed from, or inserted into, a socket or board when V_{PP} or V_{CC} is applied.
5. Output Load: 1 TTL gate and C_L = 100 pF, Input Rise and Fall Times: 20 ns, Input Pulse Levels: 0.45 to 2.4 V, Timing Measurement Reference Level – Inputs: 0.8 V and 2 V
Outputs: 0.8 V and 2 V

Tabel 8/5.3-122: Schakeltijden bij het uitlezen van de 27C512.

INTERACTIVE PROGRAMMING ALGORITHM

DC PROGRAMMING CHARACTERISTICS (T_A = +25°C ±5°C, V_{CC} = 6.0 V ± 0.25 V, V_{PP} = 12.5 V ± 0.5 V) (Notes 1, 2, & 3).

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Units
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}		10.0	μA
V_{IL}	Input LOW Level (All Inputs)		−0.1	0.8	V
V_{IH}	Input HIGH Level		2.0	V_{CC} + 1	V
V_{OL}	Output LOW Voltage During Verify	I_{OL} = 2.1 mA		.45	V
V_{OH}	Output HIGH Voltage During Verify	I_{OH} = −400 μA	2.4		V
V_{A9}	A_9 Auto Select Voltage		11.5	12.5	V
I_{CC2}	V_{CC} Supply Current (Program & Verify)			50	mA
I_{PP2}	V_{PP} Supply Current (Program)	$\overline{CE} = V_{IL}$, $\overline{OE}/V_{PP}$ = 12.5 V		30	mA
V_{CC}	V_{CC} Supply Voltage (Program & Verify)		5.75	6.25	V

Tabel 8/5.3-123: Gelijkspanningscondities bij het interaktief programmeren.

5.3 Type-beschrijving 27yyy-serie

SWITCHING PROGRAMMING CHARACTERISTICS (T_A = +25°C, V_{CC} = 6.0 V ± 0.25 V, V_{PP} = 12.5 V ± 0.5 V) (Notes 1, 2, 3, & 4).

No.	Parameter Symbols	Parameter Description	Min.	Max.	Units
1	t_{AS}	Address Setup Time	2		μs
2	t_{OES}	$\overline{OE}$ Setup Time	2		μs
3	t_{DS}	Data Setup Time	2		μs
4	t_{AH}	Address Hold Time	2		μs
5	t_{DH}	Data Hold Time	2		μs
6	t_{DF}	Chip Enable to Output Float Delay	0	130	ns
7	t_{VPS}	V_{PP} Setup Time	2		μs
8	t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.05	ms
9	t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	0.95	10.5	ms
10	t_{CES}	$\overline{CE}$ Setup Time	2		μs
11	t_{OE}	Data Valid from $\overline{OE}$		150	ns
12	t_{VCS}	V_{CC} Setup Time	2		μs
13	t_{DV}	Am27512 Data Valid from $\overline{CE}$		450	ns

Notes: 1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{PP}.
2. When programming the Am27C512, a 0.1-μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which may damage the device.
3. Programming characteristics are sampled but not 100% tested at worst-case conditions.
4. Conventional (fixed-pulse) programming can be performed with a 10-ms pulse at every address. This method is sampled and is not 100% tested.

Tabel 8/5.3-124: Schakeltijdenn bij het programmeren van de 27C512.

27513

4 × 16k × 8, NMOS, Vprog = 12,5 V

De 27513 is een pagina-geadresseerde 524288 bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM). De 27513 werd speciaal ontwikkeld voor systemen met beperkte adresseringsmogelijkheden. De populaire 8-bit microprocessoren en 8- of 16-bit microcontrollers hebben slechts 16 adreslijnen. Een standaard 27512 zou hiervan het gehele 64k-byte adresbereik in beslag nemen, zonder ruimte over te laten voor andere soorten geheugen.

Door de op de chip aanwezige latches voor de hoogste twee adresbits vermijdt de 27513 deze beperkingen. De vroegere A14-pen (pen 27) is nu een $\overline{WE}$ die, indien LAAG gemaakt, de informatie op de D1 en D0 datalijnen in de interne A14 en A15 registers opbergt. Extern zijn alleen A0 tot en met A13 nodig om alle lokaties binnen de geselecteerde 16k-byte pagina te adresseren. Het resultaat hiervan is dat de 27513 in de leesmode pen-voor-pen compatibel is met 128k EPROM's zoals de 27128A. De $\overline{WE}$-lijn die nodig is om van pagina te wisselen, bevindt zich op dezelfde pen die bij byte-wide RAM's ook voor $\overline{WE}$ wordt gebruikt. Bij "power-up" wordt automatisch de laagste pagina gekozen.

De 27513 werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode en is snel toegankelijk (200 tot 300 ns). De EPROM maakt 64k-byte toepassingen mogelijk in op de 27128A gebaseerde systemen en populaire 8-bit microprocessoren.

5.3 Type-beschrijving 27yyy-serie

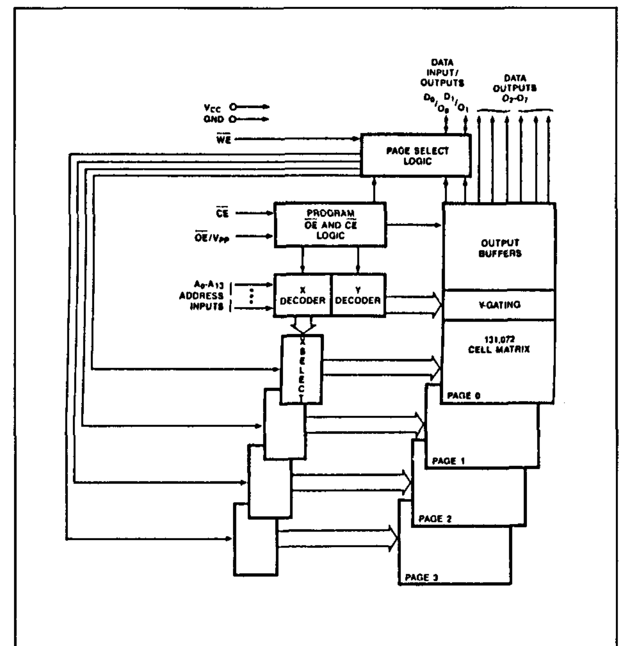
Door de grote opslag-capaciteit van 64k-byte kan de 27513 complete bedrijfssystemen, diagnostiek en hogere programmeertalen bevatten. Veelvuldig schijfgebruik en 'downloads" kunnen hierdoor worden vermeden. Hoewel de 27513 slechts per 16k-byte pagina tegelijk kan worden geprogrammeerd, is hiervoor met de "Intelligente Programming Algorithm" maar 6 minuten nodig.

Specifikaties

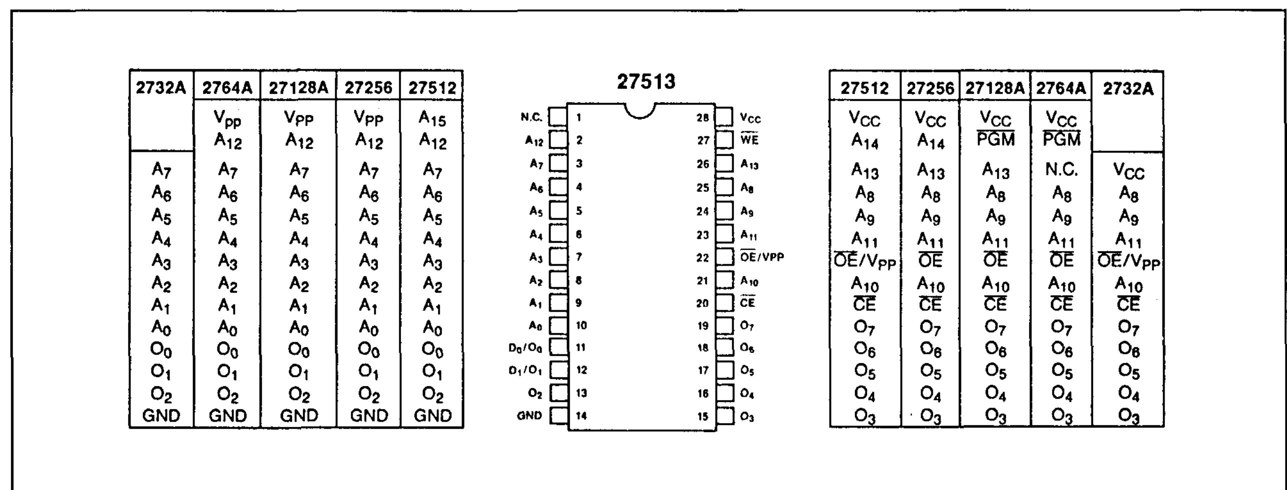
- 4 × 16348 × 8 bit organisatie;
- automatische page clear bij power-up;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (zonder clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie:
  max. 125 mA (in bedrijf);
  max. 40 mA (standby);
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- leverbaar: Intel 27513 (200–300 ns);
- 28-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-88).

Werking

De 27513 heeft 8 verschillende bedrijfsmodes: lezen, uitgangen sperren (output disable), standby, programmeren, programmaverificatie, programma-sperren, pagina kiezen (schrijven) en automatische identificatie, zoals in tabel 8/5.3-125 te zien is. Het 16-bit adres wordt uit 14 adreslijnen plus 2 datalijnen op de chip gedecodeerd in 4 pagina's van 16384 woorden van 8-bit (figuur 8/5.3-89).



Figuur 8/5.3-89: Blokschema van de 27513.



2732A	2764A	27128A	27256	27512
	V_{PP}	V_{PP}	V_{PP}	A_{15}
	A_{12}	A_{12}	A_{12}	A_{12}
A_7	A_7	A_7	A_7	A_7
A_6	A_6	A_6	A_6	A_6
A_5	A_5	A_5	A_5	A_5
A_4	A_4	A_4	A_4	A_4
A_3	A_3	A_3	A_3	A_3
A_2	A_2	A_2	A_2	A_2
A_1	A_1	A_1	A_1	A_1
A_0	A_0	A_0	A_0	A_0
O_0	O_0	O_0	O_0	O_0
O_1	O_1	O_1	O_1	O_1
O_2	O_2	O_2	O_2	O_2
GND	GND	GND	GND	GND

27512	27256	27128A	2764A	2732A
V_{CC}	V_{CC}	V_{CC}	V_{CC}	
A_{14}	A_{14}	$\overline{PGM}$	$\overline{PGM}$	
A_{13}	A_{13}	A_{13}	N.C.	V_{CC}
A_8	A_8	A_8	A_8	A_8
A_9	A_9	A_9	A_9	A_9
A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$
A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
O_7	O_7	O_7	O_7	O_7
O_6	O_6	O_6	O_6	O_6
O_5	O_5	O_5	O_5	O_5
O_4	O_4	O_4	O_4	O_4
O_3	O_3	O_3	O_3	O_3

Figuur 8/5.3-88: Aansluitingen van de 27513 vergeleken met overige "familieleden".

5.3 Type-beschrijving 27yyy-serie

Pins / Mode	$\overline{CE}$	$\overline{OE}/V_{PP}$	$\overline{WE}$	A_9	A_0	V_{CC}	Outputs	Input/ Outputs
Read	V_{IL}	V_{IL}	V_{IH}	X(1)	X	5.0V	D_{OUT}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	X	V_{CC}	High Z	High Z
Standby	V_{IH}	X	X	X	X	V_{CC}	High Z	High Z
Programming	V_{IL}	V_{PP}(3)	V_{IH}	X	X	(Note 3)	D_{IN}	D_{IN}
Verify	V_{IL}	V_{IL}	V_{IH}	X	X	(Note 3)	D_{OUT}	D_{OUT}
Program Inhibit	V_{IH}	V_{PP}(3)	V_{IH}	X	X	(Note 3)	High Z	High Z
Page-Select Write	V_{IL}	V_{IH}	V_{IL}	X	X	V_{CC}(5)	High Z	Page(2) D_{IN}
int$_e$ligent(4) Identifier —Manufacturer	V_{IL}	V_{IL}	V_{IH}	V_H(7)	V_{IL}	5.0V	89H	89H(8) 88H(8)
—Device	V_{IL}	V_{IL}	V_{IH}	V_H(7)	V_{IH}	5.0V	0FH(6)	0FH(6)

NOTES:
1. X can be V_{IH} or V_{IL}.
2. Addresses are don't care for page selection. See Table 2 for D_{IN} values.
3. See Table 2 for V_{CC} and V_{PP} voltages.
4. A_1–A_8, A_{10}–A_{13}, = V_{IL}.
5. Page 0 is automatically selected at power-up (V_{CC} < 4.0V).
6. 27513s before 2H/86 have a device identifier of 0DH. 27513s after 2H/86 will have a device identifier of 0FH.
7. V_H = 12.0V ±0.5%.
8. The manufacturer's identifier reads 89H for Cerdip devices; 88H for Plastic devices.

Tabel 8/5.3-125: Selectie van de 8 mogelijke functies.

Lezen (Read-mode)

De 27513 heef twee control-functies die beide aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-enable ($\overline{CE}$) bestuurt de voeding en wordt gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$/Vpp) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten. Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$/Vpp beschikbaar op de uitgangen, als $\overline{CE}$ LAAG was en de adressen tenminste van t_{ACC}tot t_{OE} stabiel waren.

Standby mode

De 27513 heeft een standby-mode, waarin de opgenomen stroom vermindert van 125 mA naar 40 mA. De 27513 wordt standby gezet door de $\overline{CE}$-ingang TTL-HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$/Vpp-ingang.

Pagina selecteren

Bij de adressering van de 27513 wordt eerst een van de vier pagina's geselecteerd. Daarna worden de individuele bytes binnen de betreffende 16k-byte pagina gekozen door middel van de adreslijnen A0 tot en met A13. Door de $\overline{WE}$-ingang LAAG te maken (met $\overline{CE}$ = LAAG en $\overline{OE}$ = HOOG) wordt de gewenste pagina volgens de combinatie D_0/O_0 en D_1/O_1 ingelatched (tabel 8/5.3-126).

Input/Output (Pin) / Page Selection	D_1/O_1 (12)	D_0/O_0 (11)
Select Page 0	V_{IL}	V_{IL}
Select Page 1	V_{IL}	V_{IH}
Select Page 2	V_{IH}	V_{IL}
Select Page 3	V_{IH}	V_{IH}

Tabel 8/5.3-126: Selectie van de pagina's.

5.3 Type-beschrijving 27yyy-serie

Gedurende de pagina-selectie doen de adres-ingangen niet mee ("don't care").
Voor optimale prestaties van het systeem moeten de software-programma's zo weinig mogelijk overschakelingen tussen de pagina's bevatten. Bovendien moet rekening worden gehouden met de status van de programma-teller van de processor, indien midden in een opcode van pagina wordt gewisseld. Na het schrijven van een paginaselectie wordt de programma-teller verhoogd tot de volgende lokatie op de nieuwe pagina (of nog verder in pijplijn-systemen) ten opzichte van de opcode van de paginaselectie op de vorige pagina.

Automatisch clearen van de pagina-latch

De 27513 is uitgerust met een automatisch circuit voor het clearen van de pagina-latch om bij het opstarten van het systeem altijd met pagina 0 te beginnen. Bij het stijgen van de voedingsspanning wordt de paginalatch gecleared, waarna de clear-schakeling buiten werking komt als Vcc de maximale pagina-clear spanning (V_{CLR}) van 4 V passeert.

Besturing van de uitgangen

Aangezien EPROM's meestal in grotere "geheugen-arrays" worden opgenomen, heeft ook de 27513 twee besturingslijnen, die de dissipatie zoveel mogelijk beperken, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus.
Om deze besturingslijnen zo efficiënt mogelijk te gebruiken wordt aanbevolen $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$/Vpp alle EPROM's in het array bestuurt en op de gemeenschappelijke READ-lijn van de systeemcontrolbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van de gekozen EPROM de uitgangen aktief zijn.
Op dezelfde wijze deselecteert $\overline{CE}$ andere 27513's of RAM's tijdens de schrijf-operatie voor pagina-selectie, terwijl alle componenten in het array $\overline{WE}$ gemeenschappelijk hebben. $\overline{WE}$ wordt met WRITE-besturingslijn van het systeem verbonden.

Programma sperren (Program Inhibit)

Door gebruik te maken van de Program Inhibit Mode is het zeer eenvoudig om een aantal parallele 27513's met verschillende data te programmeren. Door $\overline{CE}$ van de andere EPROM's HOOG te maken wordt voorkomen dat die worden geprogrammeerd. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen van de parallele EPROM's met elkaar worden verbonden. Een geselecteerde 27513 wordt geprogrammeerd door een TTL-LAGE puls op $\overline{CE}$, met $\overline{OE}$/Vpp op de programmeerspanning.

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$/Vpp = LAAG, $\overline{CE}$ = LAAG en Vcc = 6 V.

Silicon Signature

De Intelligent Identifier Mode of Silicon Signature maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Deze functie komt beschikbaar door een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 te zetten. Door A0 LAAG te maken verschijnt de fabrikant-code op DQ0 tot en met DQ7 (bijvoorbeeld Intel: 89 Hexadecimaal). Is A0 = HOOG dan verschijnt de typecode (0FH). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

Wissen

Voordat de EPROM geprogrammeerd kan worden moeten alle geheugenlokaties leeg = HOOG zijn. Dit wordt bereikt door de 27513 te bestralen met ultra-violet licht (253,7 nm). De dosis (UV intensiteit × belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm². Een UV-lamp zonder filter op een afstand van circa 2,5 cm die

5.3 Type-beschrijving 27yyy-serie

12 mW/cm² uitstraalt kan de EPROM in 15 tot 20 minuten wissen.

Programmeren

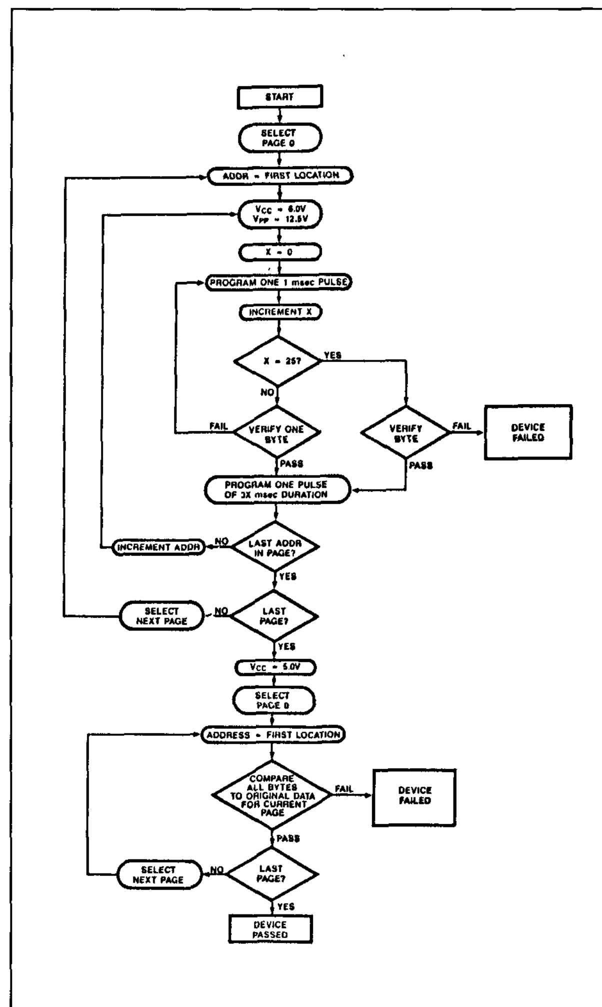
Bij aflevering of na het wissen bevinden alle bits zich in de "1" of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.
Er wordt geprogrammeerd door +12,5 V op de $\overline{OE}/V_{PP}$-pen te zetten en $\overline{CE}$ LAAG te maken. De te programmeren lokatie wordt op de adrespennen gezet, terwijl de data-uitgangspennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd.
Let op dat de programmeerspanning nooit hoger wordt dan 14 V!

Snel programmeren

De 27513 kan snel en betrouwbaar worden geprogrammeerd door middel van de "Intelligent Programming Algorithm" (zie figuur 8/5.3-90). Het enige verschil met andere EPROM's is dat de 27513 per 16k-byte pagina wordt geprogrammeerd.
Er worden twee verschillende programmeerpulsen gebruikt: Eerste (of "initiële") en Laatste (of "overprogram"). De Eerste puls duurt 1 ms en wordt eventueel X maal herhaald. Na elke puls wordt de geprogrammeerde byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 25). De Laatste programmeerpuls duurt 3X ms. De gehele procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 12,5 V. Na afloop worden alle bits nogmaals geverifieerd bij V_{cc} = 5,0 V.

Toepassingen

Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elke 27513 moet een hoogfrequent type keramische condensator van 0,1 µF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 µF te plaatsen.

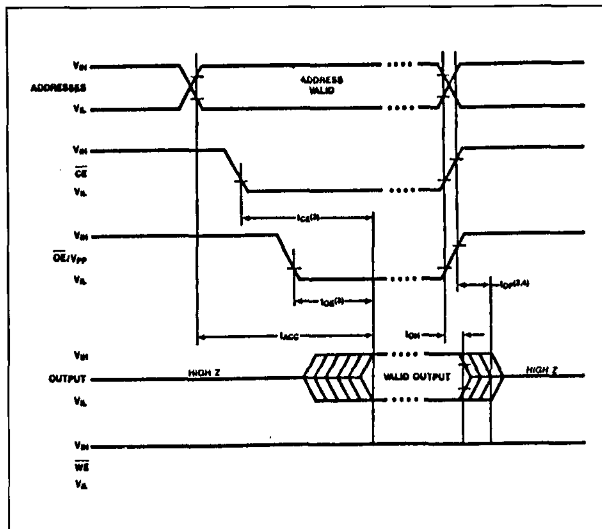


Figuur 8/5.3-90: De interaktieve programmering.

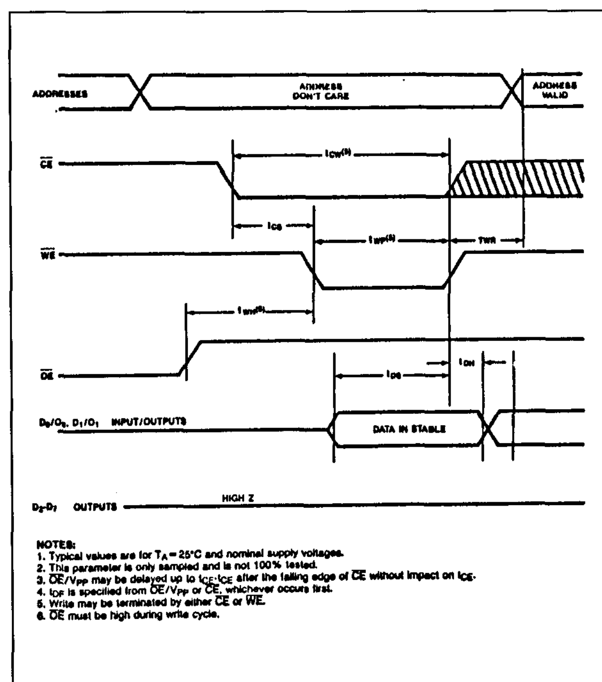
Overige kenmerken

De overige elektrische- en schakelkarakteristieken van de 27513 zijn te zien in de figuren 8/5.3-91 tot en met 8/5.3-93 en de tabellen 8/5.3-127 tot en met 8/5.3-133.

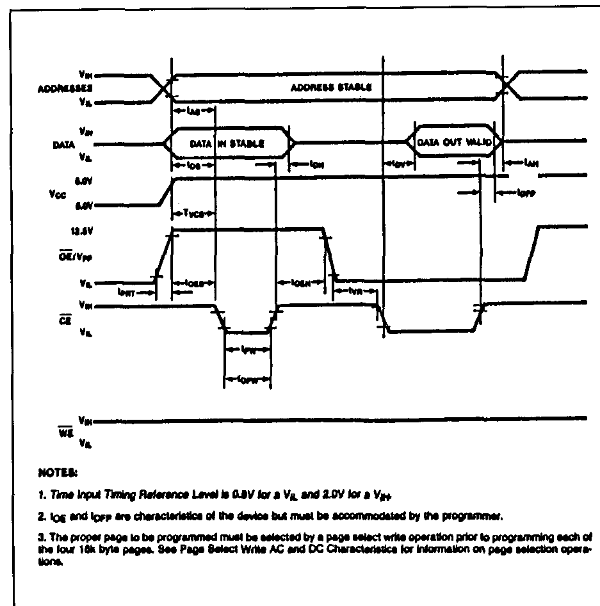
5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-91: Timing en golfvormen bij het uitlezen van de 27513 (zie ook tabel 8/5.3-129).



Figuur 8/5.3-92: Timing en golfvormen tijdens page-select write (zie ook tabel 8/5.3-130).



Figuur 8/5.3-93: Timing bij het programmeren (zie ook tabel 8/5.3-133).

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias .... −10°C to +80°C
Storage Temperature .... −65°C to +125°C
All Input or Output Voltages with
Respect to Ground† .... +6.5 to −0.6V
Voltage on Pin 24 with
Respect to Ground .... +13.5V to −0.6V
$\overline{OE}/V_{PP}$ Supply Voltage with
Respect to Ground .... +14.0V to −0.6V

† includes No Connect (pin 1)

Tabel 8/5.3-127: Maximaal toegelaten waarden.

CAPACITANCE ($T_A = +25°C$, f = 1 MHz)

Symbol	Parameter	Typ(1)	Max	Units	Conditions
C_{IN}	Input Capacitance	4	6	pF	$V_{IN} = 0V$
C_{OUT}	Output Capacitance	8	12	pF	$V_{OUT} = 0V$
$C_{\overline{OE}/VPP}$	$\overline{OE}/V_{PP}$ Capacitance	15	20	pF	$V_{IN} = 0V$

Tabel 8/5.3-131: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Test Conditions
		Min	Typ[2]	Max		
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{CC1}	V_{CC} Current Standby		20	40	mA	$\overline{CE} = V_{IH}$
I_{CC2}	V_{CC} Current Active		90	125	mA	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{CLR}	Page Latch Clear V_{CC} Supply Voltage		3.5	4.0	V	

Tabel 8/5.3-128: Gelijkspannings-condities bij uitlezen en pagina-selectie.

A.C. CHARACTERISTICS

Symbol	Parameter	27513-20 & 27513-2 Limits		27513-25 & 27513 Limits		27513-30 & 27513-3 Limits		Units	Test Conditions
		Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		200		250		300	ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300	ns	$\overline{OE}/V_{PP} = V_{IL}$
t_{OE}	$\overline{OE}/V_{PP}$ to Output Delay		75		100		120	ns	$\overline{CE} = V_{IL}$
t_{DF}^3	$\overline{OE}/V_{PP}$ or $\overline{CE}$ High to Output Data Float	0	55	0	60	0	105	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$

Tabel 8/5.3-129: Schakeltijden bij het uitlezen van enkele typen 27513.

5.3 Type-beschrijving 27yyy-serie

A.C. CHARACTERISTICS

Symbol	Parameter	27513-20, 27513-25, 27513-30, 27513-2, 27513 & 27513-3 Limits		Units	Test Conditions
		Min	Max		
t_{CW}	$\overline{CE}$ to End of Write	180		ns	$\overline{OE}/V_{PP} = V_{IH}$
t_{WP}	Write Pulse Width	100		ns	$\overline{OE}/V_{PP} = V_{IH}$
t_{WR}	Write Recovery Time	20		ns	
t_{DS}	Data Setup Time	50		ns	$\overline{OE}/V_{PP} = V_{IH}$
t_{DH}	Data Hold Time	20		ns	$\overline{OE}/V_{PP} = V_{IH}$
t_{CS}	$\overline{CE}$ to Write Setup Time	0		ns	$\overline{OE}/V_{PP} = V_{IH}$
t_{WH}	$\overline{WE}$ Low from $\overline{OE}$ High Delay Time	55		ns	

NOTES:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. Typical values are for $t_A = 25°C$ and nominal supply voltages.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

Tabel 8/5.3-130: Schakeltijden bij het pagina-selecteren.

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$. $\overline{OE}/V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min	Max	Units	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}	V_{CC} Supply Current		150	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

Tabel 8/5.3-132: Gelijkspannings-condities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

A.C. PROGRAMMING CHARACTERISTICS

$T_A = 25 \pm 5°C$. $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V = 0.5V$

Symbol	Parameter	Limits			
		Min	Typ	Max	Units
t_{AS}	Address Setup Time	2			μs
t_{OES}	$\overline{OE}/V_{PP}$ Setup Time	2			μs
t_{OEH}	$\overline{OE}/V_{PP}$ Hold Time	2			μs
t_{DS}	Data Setup Time	2			μs
t_{AH}	Address Hold Time	0			μs
t_{DH}	Data Hold Time	2			μs
t_{DFP}[4]	Output Enable to Output Float Delay	0		130	ns
t_{VCS}	V_{CC} Setup Time	2			μs
t_{PW}[3]	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms
t_{OPW}[2]	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms
t_{DV}	Data Valid from CE			1	μs
t_{VR}	$\overline{OE}/V_{PP}$ Recovery Time	2			μs
t_{PRT}	$\overline{OE}/V_{PP}$ Pulse Rise Time During Programming	50			ns

*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) ...... 20 ns
Input Pulse Levels .... 0.45V to 2.4V
Input Timing Reference Level .... 0.8V and 2.0V
Output Timing Reference Level ...... 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

Tabel 8/5.3-133: Schakeltijden bij het programmeren.

27010

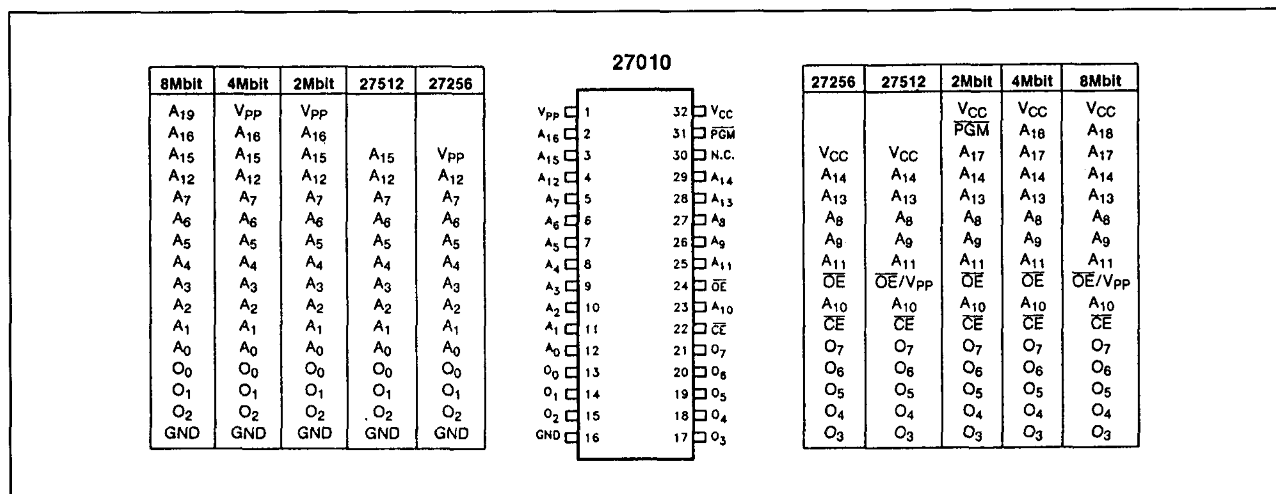
128k × 8, NMOS, Vprog = 12,5 V

De 27010 is een "byte-wide" 1048576 (1M) bit NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM), georganiseerd in 128k woorden van 8 bit met standaard adressering.

De 27010 is opgenomen in een 32-pen DIL behuizing, werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode waarbij de dissipatie aanmerkelijk lager is en is snel toegankelijk (200 tot 300 ns). Hierdoor is de EPROM compatibel met high performance microprocessoren zoals de 10 MHz 80188. Door de grote opslagcapaciteit van 128 kB kan de 27010 worden toegepast voor "gebruikersvriendelijke" programma's die snel, betrouwbaar en geruisloos worden uitgevoerd.

Wanneer voor 27256 of 27512 EPROM's een 32-pen DIL-voet wordt gebruikt, is deze ook geschikt voor een 27010. Door toevoe-

5.3 Type-beschrijving 27yyy-serie



8Mbit	4Mbit	2Mbit	27512	27256	27010	pin	pin	27010	27256	27512	2Mbit	4Mbit	8Mbit
A_{19}	V_{PP}	V_{PP}			V_{PP}	1	32	V_{CC}			V_{CC}	V_{CC}	V_{CC}
A_{16}	A_{16}	A_{16}			A_{16}	2	31	$\overline{PGM}$			$\overline{PGM}$	A_{18}	A_{18}
A_{15}	A_{15}	A_{15}	A_{15}	V_{PP}	A_{15}	3	30	N.C.	V_{CC}	V_{CC}	A_{17}	A_{17}	A_{17}
A_{12}	A_{12}	A_{12}	A_{12}	A_{12}	A_{12}	4	29	A_{14}	A_{14}	A_{14}	A_{14}	A_{14}	A_{14}
A_7	A_7	A_7	A_7	A_7	A_7	5	28	A_{13}	A_{13}	A_{13}	A_{13}	A_{13}	A_{13}
A_6	A_6	A_6	A_6	A_6	A_6	6	27	A_8	A_8	A_8	A_8	A_8	A_8
A_5	A_5	A_5	A_5	A_5	A_5	7	26	A_9	A_9	A_9	A_9	A_9	A_9
A_4	A_4	A_4	A_4	A_4	A_4	8	25	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
A_3	A_3	A_3	A_3	A_3	A_3	9	24	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$
A_2	A_2	A_2	A_2	A_2	A_2	10	23	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
A_1	A_1	A_1	A_1	A_1	A_1	11	22	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
A_0	A_0	A_0	A_0	A_0	A_0	12	21	O_7	O_7	O_7	O_7	O_7	O_7
O_0	O_0	O_0	O_0	O_0	O_0	13	20	O_6	O_6	O_6	O_6	O_6	O_6
O_1	O_1	O_1	O_1	O_1	O_1	14	19	O_5	O_5	O_5	O_5	O_5	O_5
O_2	O_2	O_2	O_2	O_2	O_2	15	18	O_4	O_4	O_4	O_4	O_4	O_4
GND	GND	GND	GND	GND	GND	16	17	O_3	O_3	O_3	O_3	O_3	O_3

Figuur 8/5.3-94: Aansluitingen van de 27010 temidden van de overige "familieleden" (ook toekomstige).

ging van de A16-lijn en een Vcc-jumper kan de 27010 direct 28-pen EPROM's vervangen. Het gebruik van 32 pennen staat toekomstige uitbreidingen tot 8 MB zonder hardware veranderingen toe (zie ook figuur 8/5.3-94). Aangezien de Vpp- en $\overline{PGM}$-pennen in de leesmode in een "don't care" toestand verkeren, kunnen de verbindingen naar A17 tot en met A19 nu al worden aangelegd. De 27010 kan op twee manieren worden geprogrammeerd, met de "Intelligent Programming Algorithm" in gemiddeld 10 minuten en met de "Quick-Pulse Programming Algorithm" zelfs in 15 seconden.

Specificaties

De 27010 EPROM heeft als algemene kenmerken:
- 131072 × 87 bit organisatie;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (geen clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie:
  max. 150 mA (in bedrijf);
  max. 50 mA (standby);
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- leverbaar: Intel D27010 (200–300 ns);
- 32-pen keramische DIL behuizing met kwarts-venster, pen-compatibel met byte-wide JEDEC EPROM's vanaf 16 kB tot 8 MB (figuur 8/5.3-94);
- ook leverbaar in CMOS (zie 27C1001).

Werking

De 27010 heeft 7 verschillende bedrijfsmodes: lezen (read), uitgangen sperren (output disable), standby, programmeren, programma-verificatie, programma-sperren en automatische identificatie (intelligent identifier), zoals in tabel 8/5.3-134 te zien is. Het 17-bit adres wordt op de chip gedecodeerd in 131072 woorden van 8-bit (zie figuur 8/5.3-95).

Lezen (Read-mode)

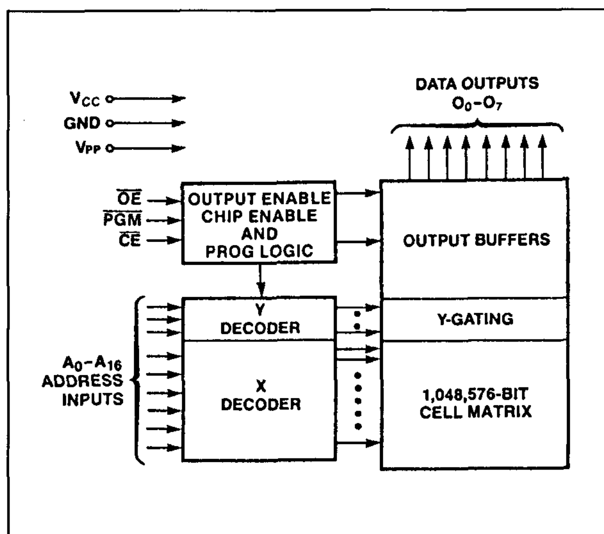
De 27010 heeft twee control-functies die beide aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-enable ($\overline{CE}$) bestuurt de voeding en dient te worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten.
Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen,

5.3 Type-beschrijving 27yyy-serie

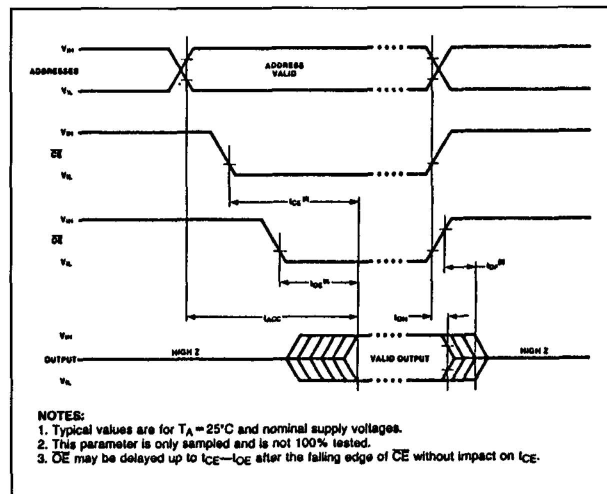
Mode / Pins		$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	A_9	A_0	V_{PP}	V_{CC}	Outputs
Read		V_{IL}	V_{IL}	X(1)	X	X	X	5.0V	D_{OUT}
Output Disable		V_{IL}	V_{IH}	X	X	X	X	5.0V	High Z
Standby		V_{IH}	X	X	X	X	X	5.0V	High Z
Programming		V_{IL}	V_{IH}	V_{IL}	X	X	(Note 4)	(Note 4)	D_{IN}
Program Verify		V_{IL}	V_{IL}	V_{IH}	X	X	(Note 4)	(Note 4)	D_{OUT}
Program Inhibit		V_{IH}	X	X	X	X	(Note 4)	(Note 4)	High Z
int$_e$ligent Identifier	Manufacturer(3)	V_{IL}	V_{IL}	X	V_H(2)	V_{IL}	X	5.0V	89 H
	Device(3)	V_{IL}	V_{IL}	X	V_H(2)	V_{IH}	X	5.0V	05 H

NOTES:
1. X can be V_{IL} or V_{IH}
2. V_H = 12.0V ±0.5V
3. A_1–A_8, A_{10}–A_{16} = V_{IL}
4. See Table 2 for V_{CC} and V_{PP} voltages.

Tabel 8/5.3-134: Selectie van de 7 mogelijke functies.



Figuur 8/5.3-95: Blokschema van de 27010.



Figuur 8/5.3-96: Timing bij het uitlezen van enkele 27010 EPROM's (zie ook tabel 8/5.3-137).

als $\overline{CE}$ LAAG was en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren (figuur 8/5.3-96).

Standby mode

De 27010 heeft een standby-mode, waarin de opgenomen stroom beduidend kleiner is (van 150 mA naar 50 mA). De EPROM wordt standby gezet door de $\overline{CE}$ ingang TTL-HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$ ingang.

Besturing van de uitgangen

Omdat EPROM's meestal in grotere "geheugen-arrays" worden opgenomen, is ook de 27010 voorzien van twee besturingslijnen, die de dissipatie zoveel mogelijk verminderen, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Om het meeste profijt van deze besturingslijnen te ondervinden wordt aanbevolen $\overline{CE}$ te decoderen en te gebruiken als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle EPROM's in het array bestuurt en op de gemeenschap-

pelijke $\overline{\text{READ}}$-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van één geselecteerde EPROM de uitgangen aktief zijn.

Programma sperren (Program Inhibit)
Meerdere parallel geschakelde 27010's kunnen zeer eenvoudig met verschillende data worden geprogrammeerd door gebruik te maken van de Program Inhibit Mode. Door $\overline{\text{CE}}$ of $\overline{\text{PGM}}$ van de andere EPROM's HOOG te maken wordt voorkomen dat die worden geprogrammeerd. Met uitzondering van $\overline{\text{CE}}$ mogen alle gelijksoortige ingangen van de parallele EPROM's met elkaar worden verbonden.

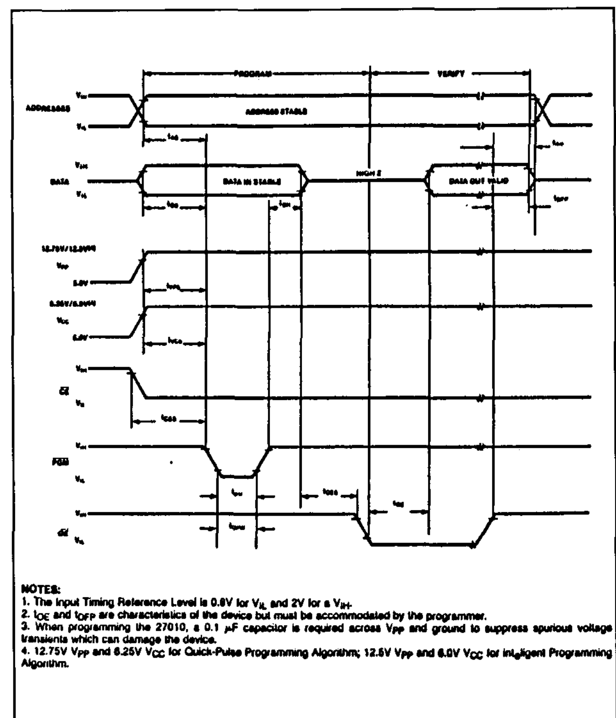
Programma verificatie
Alle geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{\text{OE}}$ = LAAG, $\overline{\text{CE}}$ = LAAG, $\overline{\text{PGM}}$ = HOOG en Vpp en Vcc op hun programmeerwaarden.

Silicon Signature
De Intelligent Identifier Mode (of Silicon Signature) maakt automatische identificatie van EPROM-type en fabrikant door het programmeerapparaat mogelijk. Om van deze functie gebruik te maken moet een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 worden gezet. Door adreslijn A0 LAAG te maken verschijnt de fabrikant-code op O0 tot en met O7 (Intel 89H) en met A0 HOOG verschijnt de type-code (05H). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

Wissen
Voordat de EPROM geprogrammeerd kan worden moet alle informatie worden verwijderd. Daartoe wordt de 27010 bestraald met ultra-violet licht (253,7 nm). De dosis (UV intensiteit × belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm². Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm² uitstraalt kan de EPROM in 15 tot 20 minuten wissen.

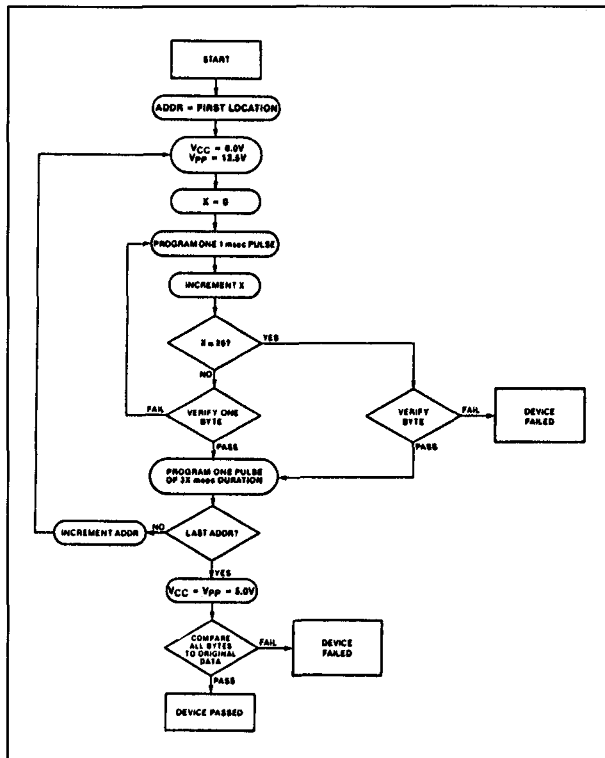
Programmeren
Bij aflevering of na het wissen bevinden alle 1048576 bits zich in de "1" of HOOG toestand. Door het programmeren worden LAAG-niveaus aangebracht.
De EPROM komt in de programmeertoestand door het aanbrengen van de programmeerspanning op de V_{PP}-pen en $\overline{\text{CE}}$ en $\overline{\text{PGM}}$ beide LAAG te maken. De te programmeren lokaties worden met de adrespennen aangewezen, terwijl de data-uitgangspennen telkens 8-bit informatie op TTL-niveau krijgen toegevoerd (figuur 8/5.3-99).
Let op dat Vpp nooit hoger wordt dan 14 V!

Programmeren met de "Intelligent Programming Algorithm"
Op de 27010 kan de snelle "industrie-standaard" interaktieve programmeer-algoritme ("Intelligent Programming Algo-

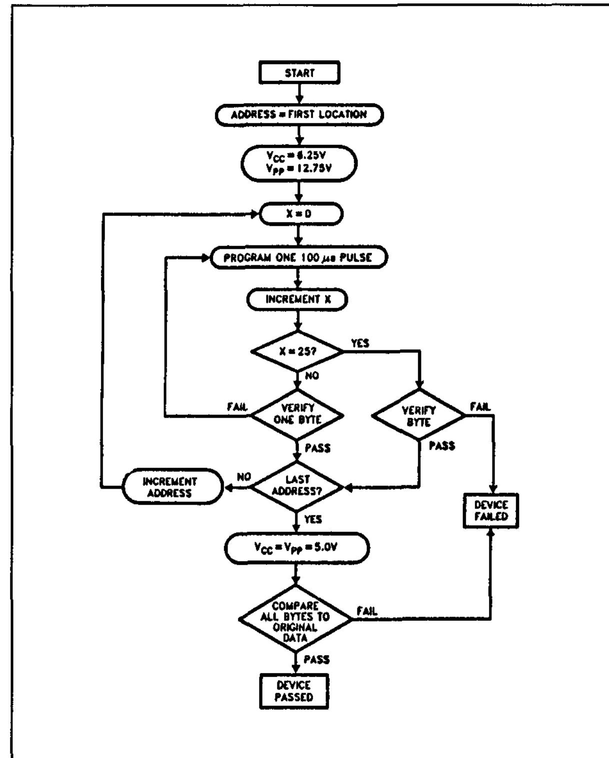


Figuur 8/5.3-99: Timing bij het programmeren (zie ook tabel 8/5.3-140).

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-97: Programmeren volgens de Intelligent Programming Algorithm.



Figuur 8/5.3-98: Programmeren met de Quick-Pulse Programming Algorithm.

rithm") worden toegepast (zie figuur 8/5.3-97). Hierbij worden twee verschillende programmeerpulsen gebruikt: Eerste (of "initiële") en Laatste (of "overprogram"). De Eerste puls duurt 1 ms en wordt gevolgd door een 3X ms durende Laatste puls. Na elke Eerste puls wordt de geprogrammeerde byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste puls gegeven. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 25). De procedure van programmeren en controleren wordt uitgevoerd bij V_{CC} = 6 V en V_{PP} = 12,5 V. Is het hele programmeerproces klaar, dan worden alle bits nog eens geverifieerd bij V_{CC} = 5,0 V.

Programmeren met de "Quick-Pulse Programming Algorithm"

De 27010 van Intel kan ook met behulp van de zogenaamde "Quick-Pulse" techniek worden geprogrammeerd (figuur 8/5.3-98). Hoewel de programmeertijd hierdoor korter kan zijn dan 15 seconden, zal de werkelijk benodigde tijd van het programmeerapparaat afhangen.

Bij de Quick-Pulse algoritme wordt telkens een programmeerpuls van 100 μs gevolgd door een verificatie. Er wordt maximaal 25 maal geprobeerd de lokatie te programmeren voordat wordt gesignaleerd dat de EPROM defect is. Het hele programmeerproces (inclusief byte-verificatie) wordt uitgevoerd met Vcc = 6,25 V en Vpp = 12,75 V. Na afloop hiervan worden alle bytes nogmaals vergeleken met de originele data bij Vpp = Vcc = 5 V.

Toepassingen

Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de voor- en achterflanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee

de uitgangen worden belast. Bij elk IC moet een hoogfrequent type keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

ABSOLUTE MAXIMUM RATINGS

Operating Temperature During Read .... 0°C to +70°C
Temperature Under Bias .... −10°C to +80°C
Storage Temperature .... −65°C to +125°C
All Input or Output Voltages with Respect to Ground .... −0.6V to +6.5V
Voltage on A_9 with Respect to Ground .... −0.6V to +13.5V
V_{PP} Supply Voltage with Respect to Ground During Programming .... −0.6V to +14V
V_{CC} Supply Voltage with Respect to Ground .... −0.6V to +7.0V

Tabel 8/5.3-135: Maximaal toegelaten waarden.

Overige kenmerken

De overige elektrische- en schakelkarakteristieken worden vermeld in de tabellen 8/5.3-135 tot en met 8/5.3-140 (zie ook de figuren 8/5.3-96 en 8/5.3-99).

CAPACITANCE(2) $T_A = 25°C, f = 1MHz$

Symbol	Parameter	Typ(1)	Max	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	$V_{IN} = 0V$
C_{OUT}	Output Capacitance	8	12	pF	$V_{OUT} = 0V$
C_{VPP}	V_{PP} Capacitance	18	25	pF	$V_{PP} = 0V$

Tabel 8/5.3-138: Capaciteiten bij 1 MHz.

D.C. CHARACTERISTICS $0°C \leq T_A \leq +70°C$

Symbol	Parameter	Limits				Conditions
		Min	Typ(2)	Max	Units	
I_{LI}	Input Load Current			1	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}(1)	V_{PP} Load Current			1	μA	$V_{PP} \leq V_{CC}$
I_{SB}	V_{CC} Current Standby			50	mA	$\overline{CE} = V_{IH}$
I_{CC1}(1)	V_{CC} Current Active			150	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{PP}(1)	V_{PP} Read Voltage	−0.1		$V_{CC}+1$	V	$V_{CC} = 5.0V \pm 0.25$

Tabel 8/5.3-136: Gelijkspannings-condities bij het uitlezen.

5.3 Type-beschrijving 27yyy-serie

A.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Versions(4)	V_{CC} ± 5%	27010-200V05		27010-250V05		27010-300V05		Unit	Test Conditions
	V_{CC} ± 10%			27010-250V10		27010-300V10			
Symbol	Characteristics	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		200		250		300	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		70		100		120	ns	$\overline{CE} = V_{IL}$
t_{DF}(3)	$\overline{OE}$ High to Output Float	0	55	0	60	0	105	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:
1. V_{PP} should be at a TTL level except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}. The maximum current value is with Outputs O_0 to O_7 unloaded.
2. Typical values are for T_A = 25°C and nominal supply voltages.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

Tabel 8/5.3-137: Golfvormen en schakeltijden bij het uitlezen.

D.C. PROGRAMMING CHARACTERISTICS T_A = 25°C ±5°C

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 μA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		150	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
	Quick-Pulse Programming Algorithm	12.5	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Quick-Pulse Programming Algorithm	6.0	6.5	V	

Tabel 8/5.3-139: Gelijkspannings-condities bij het programmeren.

5.3 Type-beschrijving 27yyy-serie

A.C. PROGRAMMING CHARACTERISTICS

T_A = 25°C ±5°C

Symbol	Parameter	Limits				Conditions* (Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	int$_e$ligent Programming
		95	100	105	μs	Quick-Pulse Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse (int$_e$ligent Programming Algorithm only) may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_7 unloaded.

Tabel 8/5.3-140: Golfvormen en schakeltijden bij het programmeren.

27C1001 / 27C101

128k × 8, CMOS, Vprog = 12,5 V

De 27010 wordt door enkele fabrikanten ook in CMOS vervaardigd, zij het onder verschillende typenummers. Op dit moment zijn de μPD 27C1001D van NEC en de HN 27C101G van Hitachi verkrijgbaar. Beide typen zijn nagenoeg indentiek en komen bij het uitlezen volledig overeen met de NMOS 27010. De toegangstijden bedragen 150, 200 en 250 ns. De dissipatie is echter beduidend minder (maximaal 50 mA in aktieve toestand en 100 μA standby), waardoor de 27C1001 zeer geschikt is voor draagbare apparatuur.

Beide EPROM's worden interaktief geprogrammeerd, waarbij het NEC-type initiële pulsen van 0,1 ms gebruikt en het Hitachi-type pulsen van 1 ms. Het NEC-type kan niet automatisch worden geïdentificeerd.

De 27C1001/101 heeft een keramische 32 pens DIL-behuizing met kwartsvenster (figuur 8/5.3-100).

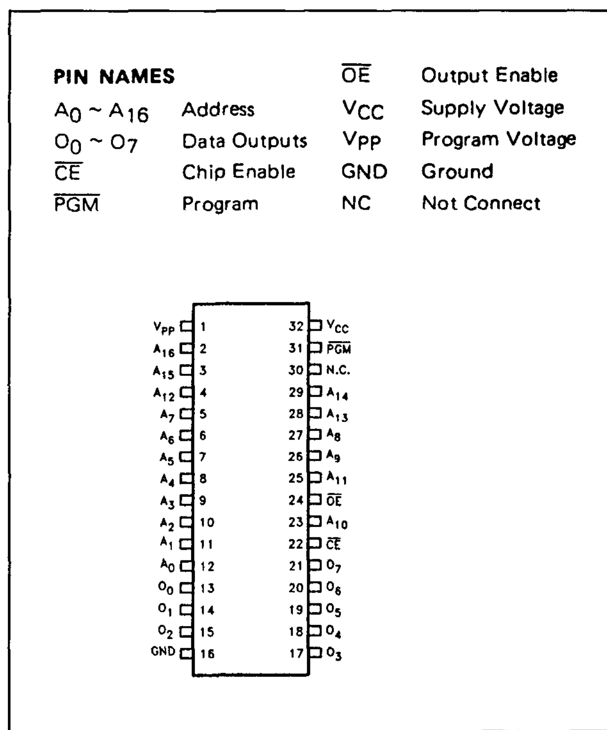
Leverbare typen zijn thans:

NEC: μPD 27C1001D (150–250 ns)

Hitachi: HN 27C101G (200 en 250 ns)

In tabel 8/5.3-141 zijn de mogelijke bedrijfstoestanden te zien van de 27C1001 (de Hitachi EPROM heeft een identificatiemode). De 1048576 bits zijn georganiseerd in 131072 woorden van 8 bits (figuur 8/5.3-101).

5.3 Type-beschrijving 27yyy-serie



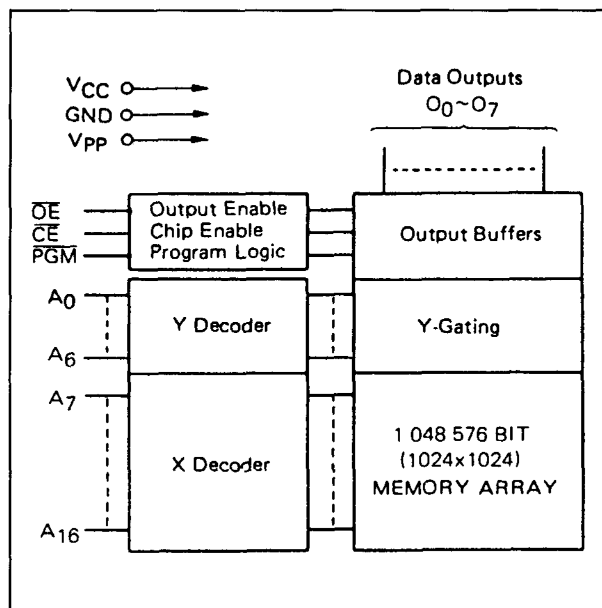
Figuur 8/5.3-100: Aansluitingen van zowel de 27C1001 als de 27C101.

MODE SELECTION

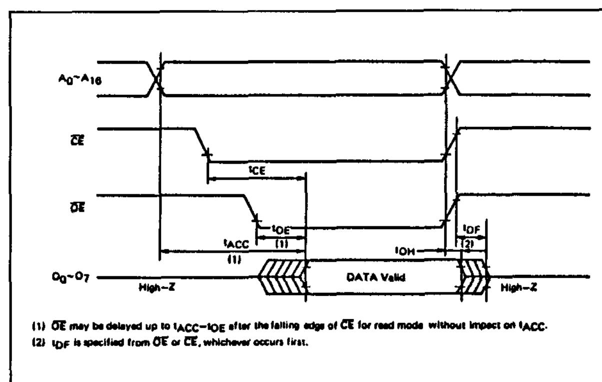
MODE	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	V_{PP}	V_{CC}	O_0-O_7
Read	V_{IL}	V_{IL}	V_{IH}	+5 V	+5 V	D_{OUT}
Output Desable	V_{IL}	V_{IH}	X	+5 V	+5 V	High-Z
Standby	V_{IH}	X	X	+5 V	+5 V	High-Z
Program	V_{IL}	V_{IH}	V_{IL}	+12.5 V	+6 V	D_{IN}
Program Verify	V_{IL}	V_{IL}	V_{IH}	+12.5 V	+6 V	D_{OUT}
Program Inhibit	V_{IH}	X	X	+12.5 V	+6 V	High-Z

X can be either V_{IL} or V_{IH}

Tabel 8/5.3-141: Mogelijke bedrijfstoestanden van de 27C1001 (de 27C101 kan ook automatisch worden geïdentificeerd).



Figuur 8/5.3-101: Blokschema van de 27C1001/101.



Figuur 8/5.3-102: Golfvormen en schakeltijden bij het uitlezen van verschillende 27C1001's (zie ook tabel 8/5.3-145).

Lezen (read)

De 27C10(0)1 heeft twee besturingsfuncties die beide aktief moeten zijn om data aan de uitgangen te verkrijgen (figuur 8/5.3-102). Chip Enable $\overline{CE}$ bestuurt de voeding en moet voor de selectie van de EPROM worden gebruikt, terwijl Output Enable $\overline{OE}$ de uitgang bestuurt. Wanneer wordt aangenomen dat het gekozen adres stabiel is, is de adres-toegangstijd t_{ACC} gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is na een vertraging van t_{OE} na de dalende flank van $\overline{OE}$ beschikbaar aan de uitgangen, wanneer $\overline{CE}$ gedurende t_{ACC}-t_{OE} LAAG was (en het adres stabiel).

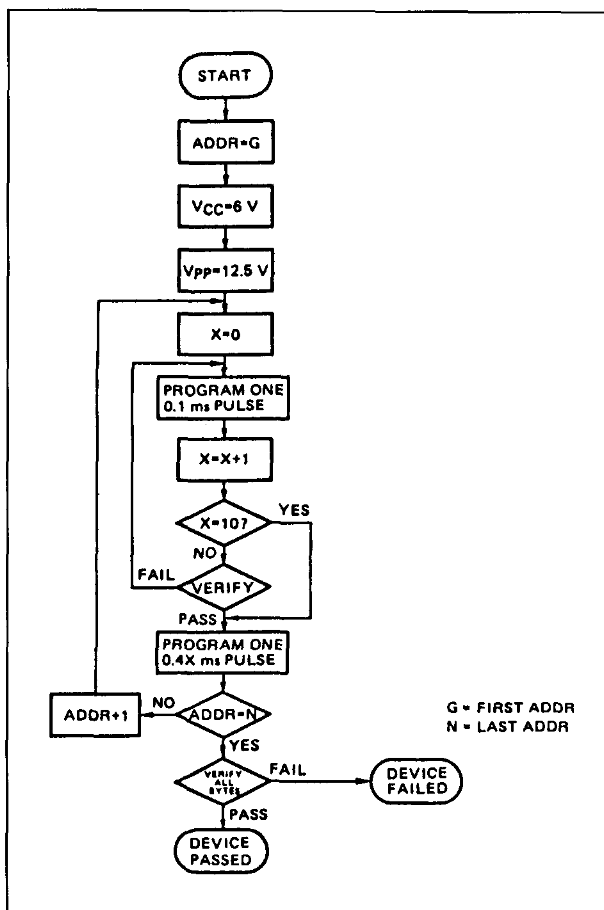
Standby

De 27C10(0)1 kan door de $\overline{CE}$-pen HOOG te schakelen standby worden gezet, waarbij

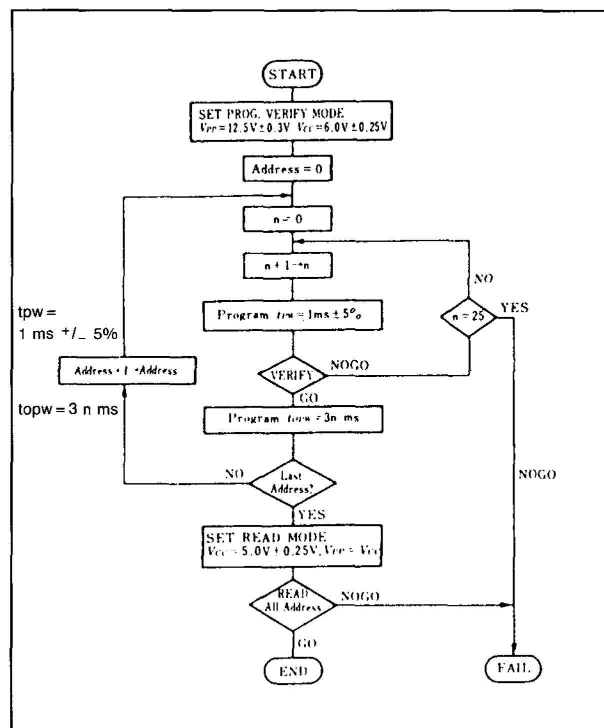
het uit Vcc opgenomen vermogen veel lager wordt. De uitgangen bevinden zich dan in de hoog-impedante toestand.

Wissen en programmeren

Voor het wissen van de CMOS-versies geldt hetzelfde als voor de NMOS 27010: een UV-lamp van 12 mW/cm² op 2,5 cm wist de EPROM's in 15 tot 20 minuten. Na het wissen zijn alle adreslokaties HOOG.
Ook het programmeren gaat op dezelfde manier als bij de 27010: 12,5 V (NEC max. 13,5 V; Hitachi max. 13 V) op de Vpp-pen, Vcc = 6 V en TTL-LAGE programmeerpulsen op PGM volgens de Interaktieve Programmeer Algoritmen (figuren 8/5.3-103 en 8/5.3-104).



Figuur 8/5.3-103: Programmeren van het NEC-type 27C1001 (zie tabel 8/5.3-148).



Figuur 8/5.3-104: Programmeren van het Hitachi-type HN 27C101 (zie tabel 8/5.3-149).

NEC: Zoals in figuur 8/5.3-103 te zien is, duren de initiële programmeerpulsen 0,1 ms. Wordt hierna de correcte data op het geprogrammeerde adres gelezen dan volgt een overprogrammeerpuls van 0,4X ms (X = het aantal initiële pulsen dat nodig was voor correcte programmering). Is de data niet juist dan wordt maximaal 10 maal geprobeerd deze toch goed te krijgen. Lukt dat na 10 pogingen nog niet dan wordt toch een puls van 4 ms gegeven, waarna verificatie aan het einde van de programmeercyclus volgt. Pas daar wordt gemeld of de EPROM defect is of niet.

Hitachi: Figuur 8/5.3-104 laat zien dat hierbij initiële pulsen van 1 ms worden gebruikt, dat er 25 pogingen tot het aanbrengen van correcte data worden ondernomen (n_{max} = 25) en dat de overprogrammeerpuls 3n ms duurt.

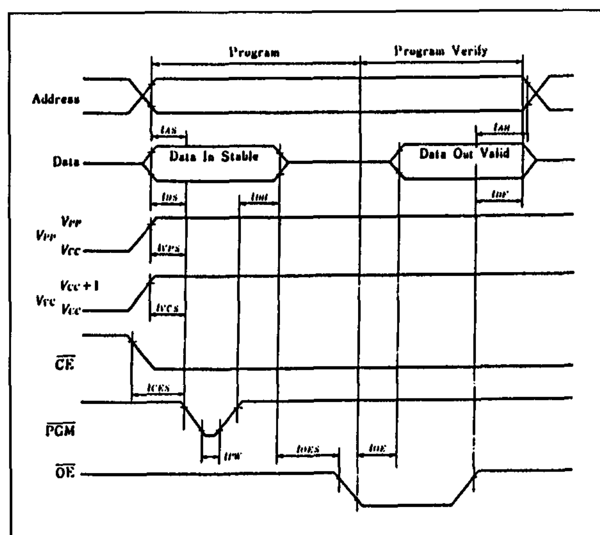
Overige functies

De functies "Program Inhibit", "Verify" en

5.3 Type-beschrijving 27yyy-serie

"Auto Select Mode" (alleen Hitachi) zijn identiek aan die van de 27010.
Met uitzondering van de $\overline{CE}$-pen mogen alle soortgelijke ingangen (ook $\overline{OE}$) parallel geschakeld worden met die van andere EPROM's. Door $\overline{CE}$ HOOG te maken wordt voorkomen dat een 27C1001/101 wordt geprogrammeerd.
Verificatie van de inhoud is mogelijk met $\overline{OE}$ = LAAG, $\overline{CE}$ = LAAG en $\overline{PGM}$ = HOOG. De HN 27C101 van Hitachi wordt geïdentificeerd door 12 V op adreslijn A9 te zetten, waarbij de fabrikant-code (07H) op de datauitgangen verschijnt door adreslijn A0 LAAG te maken en de type-code (38H) door A0 HOOG te maken.

Alle elektrische kenmerken en optredende schakeltijden van de CMOS EPROM's zijn te vinden in de tabellen 8/5.3-142 tot en met 8/5.3-149 en de figuren 8/5.3-102 en 8/5.3-105.



Figuur 8/5.3-105: Golfvormen en schakeltijden die optreden wanneer de Intelligente Programmeer Algoritmen worden toegepast (zie de tabellen 8/5.3-148 en 8/5.3-149).

ABSOLUTE MAXIMUM RATINGS

Operating Temperature	−10 to +80	°C
Storage Temperature	−65 to +125	°C
Output Voltage	−0.6 to +7	V
Input Voltage	−0.6 to +7	V
Input Voltage (A9)	−0.6 to +13.5	V
Supply Voltage VCC	−0.6 to +7	V
Supply Voltage VPP	−0.6 to +13.5	V

Tabel 8/5.3-142: Maximaal toegelaten waarden.

AC CHARACTERISTICS (T_a=25±5 °C, VCC=6.0±0.25 V, VPP=12.5±0.3 V)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT
Address Setup Time	t_{AS}	2			µs
$\overline{OE}$ Setup Time	t_{OES}	2			µs
Data Setup Time	t_{DS}	2			µs
Address Hold Time	t_{AH}	2			µs
Data Hold Time	t_{DH}	2			µs
$\overline{OE}$ to Output Float Time	t_{DF}	0		130	ns
VPP Setup Time	t_{VPS}	2			µs
VCC Setup Time	t_{VCS}	2			µs
Initial Program Pulse Width	t_{PW}	0.095	0.1	0.105	ms
Overprogram Pulse Width	t_{OPW}	0.38		0.42	ms
$\overline{CE}$ Setup Time	t_{CES}	2			µs
$\overline{OE}$ to Output Delay	t_{OE}			150	µs

Tabel 8/5.3-148: Schakeltijden bij het programmeren van de uPD 27C1001.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT
Supply Voltage VCC	VCC	4.5	5.0	5.5	V
Supply Voltage VPP	VPP	VPP = VCC			V
Input High Voltage	V_{IH}	2.0		VCC+0.3	V
Input Low Voltage	V_{IL}	−0.3		0.8	V
Operating Temperature	T_a	0		70	°C

Tabel 8/5.3-143: Aanbevolen bedrijfscondities.

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS (Recommended Operating Conditions unless otherwise noted)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
Output High Voltage	V_{OH1}	2.4			V	I_{OH} = −400 μA
	V_{OH2}	V_{CC}−0.7			V	I_{OH} = −100 μA
Output Low Voltage	V_{OL}			0.45	V	I_{OL} = 2.1 mA
Output Leakage Current	I_{LO}			10	μA	V_{OUT} = 0~V_{CC}, $\overline{OE}$ = V_{IH}
Input Leakage Current	I_{LI}			10	μA	V_{IN} = 0~V_{CC}
V_{PP} Current	I_{PP}		1	100	μA	V_{PP} = V_{CC}
V_{CC} Current (active)	I_{CCA1}			30	mA	$\overline{CE}$ = V_{IL}, V_{IN} = V_{IH}
	I_{CCA2}			50	mA	f = 5 MHz, I_{OUT} = 0 mA
V_{CC} Current (standby)	I_{CCS1}			1	mA	$\overline{CE}$ = V_{IH}
	I_{CCS2}		1	100	μA	$\overline{CE}$ = V_{CC}, V_{IN} = 0~V_{CC}

Tabel 8/5.3-144: Gelijkspanningscondities bij het uitlezen.

AC CHARACTERISTICS (Recommended Operating Conditions unless otherwise noted)

PARAMETER	SYMBOL	μPD27C1001D−15		μPD27C1001D−20		μPD27C1001D−25		UNIT	TEST CONDITION
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
Address to Output Delay	t_{ACC}		150		200		250	ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
$\overline{CE}$ to Output Delay	t_{CE}		150		200		250	ns	$\overline{OE}$ = V_{IL}
$\overline{OE}$ to Output Delay	t_{OE}		75		75		100	ns	$\overline{CE}$ = V_{IL}
$\overline{OE}$ High to Output Float	t_{DF}	0	60	0	60	0	85	ns	$\overline{CE}$ = V_{IL}
Address to Output Hold	t_{OH}	0		0		0		ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}

Tabel 8/5.3-145: Schakeltijden bij het uitlezen van enkele typen uPD 27C1001.

CAPACITANCE (T_a = 25 °C, f = 1 MHz)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
Input Capacitance	C_{IN}		4	8	pF	V_{IN} = 0 V
Output Capacitance	C_{OUT}		8	14	pF	V_{OUT} = 0 V

Tabel 8/5.3-146: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

DC CHARACTERISTICS (T_a=25±5 °C, V_{CC}=6.0±0.25 V, Vpp=12.5±0.3 V)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
Input High Voltage	V_{IH}	2.0		V_{CC}+0.3	V	
Input Low Voltage	V_{IL}	–0.3		0.8	V	
Input Leakage Current	I_{LI}			10	µA	V_{IN} = V_{IL} or V_{IH}
Output High Voltage	V_{OH}	2.4			V	I_{OH} = –400 µA
Output Low Voltage	V_{OL}			0.45	V	I_{OL} = 2.1 mA
V_{CC} Current	I_{CC}			30	mA	
Vpp Current	I_{PP}			50	mA	$\overline{CE}$ = $\overline{PGM}$ = V_{IL}

Tabel 8/5.3-147: Gelijkspanningscondities bij het interaktief programmeren.

- **AC PROGRAMMING CHARACTERISTICS**
  (T_a=25°C ±5°C, V_{CC}=6V ±0.25V, V_{PP}=12.5V ±0.3V)

Parameter	Symbol	Test Conditions	min.	typ.	max.	Unit
Address Setup Time	t_{AS}		2	–	–	µs
$\overline{OE}$ Setup Time	t_{OES}		2	–	–	µs
Data Setup Time	t_{DS}		2	–	–	µs
Address Hold Time	t_{AH}		0	–	–	µs
Data Hold Time	t_{DH}		2	–	–	µs
$\overline{OE}$ to Output Float Delay	t_{DF}*		0	–	130	ns
V_{PP} Setup Time	t_{VPS}		2	–	–	µs
V_{CC} Setup Time	t_{VCS}		2	–	–	µs
$\overline{PGM}$ Pulse Width during Initial Programming	t_{PW}		0.95	1.0	1.05	ms
$\overline{PGM}$ Pulse Width during Overprogramming	t_{OPW}**		2.85	–	78.75	ms
$\overline{CE}$ Setup Time	t_{CES}		2	–	–	µs
Data Valid from $\overline{OE}$	t_{OE}		0	–	150	ns

* t_{DF} defines the time at which the output acheives the open circuit condition and data is no longer driven.
** t_{OPW} is defined as mentioned in flowchart.

- **SWITCHING CHARACTERISTICS**

Input Pulse Levels:	0.45V to 2.4V
Input Rise and Fall Time:	≤ 20ns
Reference Levels for Measurement Timing:	Inputs; 0.8V and 2.0V Outputs; 0.8V and 2.0V

Tabel 8/5.3-149: Schakeltijden bij het programmeren van de HN 27C101.

27011

8 × 16k × 8, NMOS, Vprog = 12,5 V

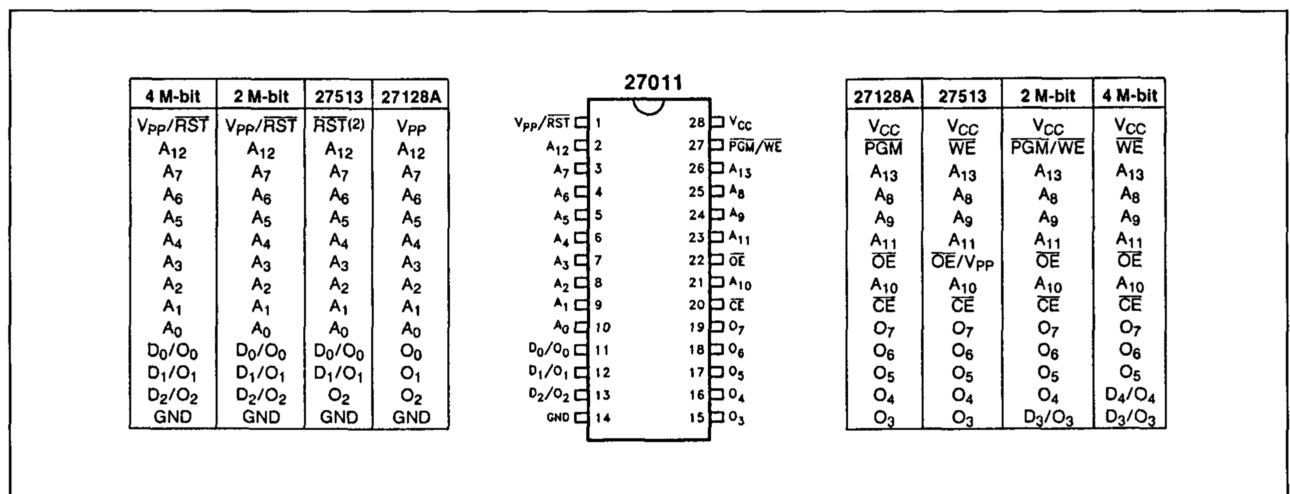
De 27011 is, net als zijn voorganger de 27513, een pagina-geadresseerde NMOS Erasable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM) voor 8-bits woorden. De 27011 is met 1048576 bit (1M) tweemaal zo groot als

5.3 Type-beschrijving 27yyy-serie

de 27513, met wie hij pen-compatibel is: hij kan zonder meer in dezelfde voet worden gestoken. De EPROM werd speciaal ontwikkeld voor toepassingen met de populaire 8-bit microprocessoren en 8- of 16-bit microcontrollers die slechts 16 adreslijnen hebben. Een standaard 1 MB EPROM zoals de 27010 (die een indeling van 128k × 8 heeft) is te groot voor dergelijke systemen. Door latches voor de hoogste drie adres-bits op de chip omzeilt de 27011 deze beperkingen. Pen 27 is weer de $\overline{WE}$ waarmee de informatie op de D0, D1 en D2 datalijnen in de interne A14, A15 en A16 registers wordt opgeborgen. Extern zijn alleen A0 tot en met A13 nodig om alle lokaties binnen een geselecteerde 16k-byte pagina te adresseren. Het resultaat hiervan is, dat de 27011 in de lees-mode compatibel is met EPROM's zoals de 27128A en de 27513, terwijl in de toekomst EPROM's tot 32 MB met dezelfde aansluitingen mogelijk zijn.
De $\overline{WE}$-lijn die nodig is om van pagina te wisselen bevindt zich op dezelfde pen die ook bij byte-wide RAM's voor $\overline{WE}$ wordt gebruikt. Bij "power'up" wordt automatisch de laagste pagina gekozen.
De 27011 werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode en is snel toegankelijk (200 tot 300 ns). De EPROM maakt 128k-byte toepassingen mogelijk met 8-bit microprocessoren.
Hoewel de 27011 slechts per 16k-byte pagina tegelijk kan worden geprogrammeerd, is hiervoor met de "Intelligente Programming Algorithm" maar 10 minuten nodig. Bovendien is de 27011 geschikt voor de "Quick-Pulse Programming Algorithm" die programmeren in **14 seconden** mogelijk maakt.

Specificaties

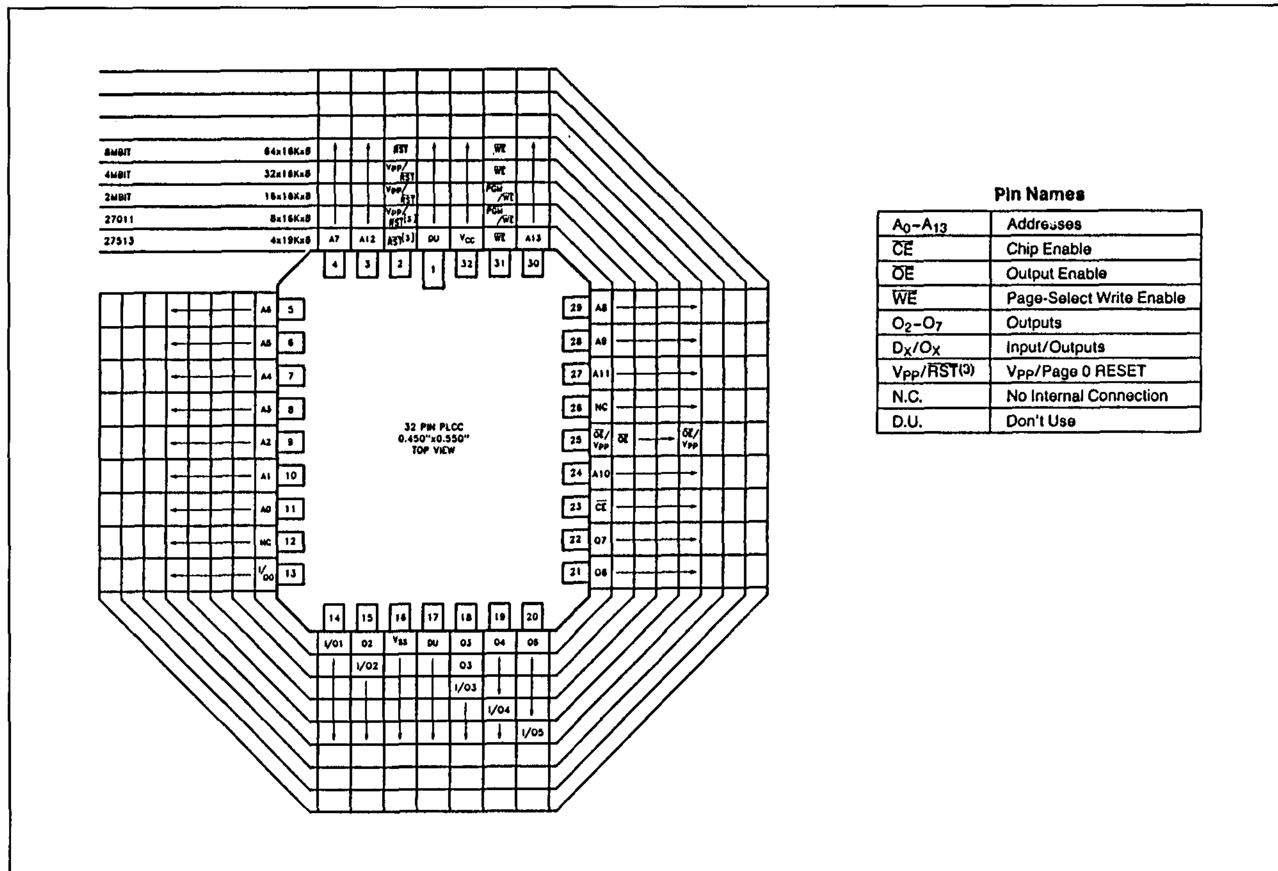
- 8 × 16384 × 8 bits organisatie;
- automatische page clear bij power-up;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (zonder clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie:
  max. 150 mA (in bedrijf);
  max. 50 mA (standby);
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- leverbaar: Intel 27011 (200–300 ns);
- 28-pens keramische DIL behuizing met kwarts-venster (figuur 8/5.3-106) of 32-pens PLCC (Plastic Leadless Chip Carrier, figuur 8/5.3-107).



4 M-bit	2 M-bit	27513	27128A	27011			27011	27128A	27513	2 M-bit	4 M-bit
$V_{PP}/\overline{RST}$	$V_{PP}/\overline{RST}$	$\overline{RST}$(2)	V_{PP}	$V_{PP}/\overline{RST}$	1	28	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}
A_{12}	A_{12}	A_{12}	A_{12}	A_{12}	2	27	$\overline{PGM}/\overline{WE}$	$\overline{PGM}$	$\overline{WE}$	$\overline{PGM}/\overline{WE}$	$\overline{WE}$
A_7	A_7	A_7	A_7	A_7	3	26	A_{13}	A_{13}	A_{13}	A_{13}	A_{13}
A_6	A_6	A_6	A_6	A_6	4	25	A_8	A_8	A_8	A_8	A_8
A_5	A_5	A_5	A_5	A_5	5	24	A_9	A_9	A_9	A_9	A_9
A_4	A_4	A_4	A_4	A_4	6	23	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
A_3	A_3	A_3	A_3	A_3	7	22	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$
A_2	A_2	A_2	A_2	A_2	8	21	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
A_1	A_1	A_1	A_1	A_1	9	20	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
A_0	A_0	A_0	A_0	A_0	10	19	O_7	O_7	O_7	O_7	O_7
D_0/O_0	D_0/O_0	D_0/O_0	O_0	D_0/O_0	11	18	O_6	O_6	O_6	O_6	O_6
D_1/O_1	D_1/O_1	D_1/O_1	O_1	D_1/O_1	12	17	O_5	O_5	O_5	O_5	O_5
D_2/O_2	D_2/O_2	O_2	O_2	D_2/O_2	13	16	O_4	O_4	O_4	O_4	D_4/O_4
GND	GND	GND	GND	GND	14	15	O_3	O_3	O_3	D_3/O_3	D_3/O_3

Figuur 8/5.3-106: Aansluitingen van de DIL-versie van de 27011 vergeleken met overige "familieleden".

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-107: Aansluitingen van de PLCC-versie (van 512k t/m 8M, inclusief de 27011).

Werking

De 27011 heeft 8 verschillende bedrijfsmodes: lezen, uitgangen sperren (output disable), standby, programmeren, verifiëren, programma-sperren, pagina kiezen (schrijven) en automatische identificatie, zoals in tabel 8/5.3-150 te zien is. Het 17-bit adres wordt uit 14 adreslijnen plus 3 datalijnen op de chip gedecodeerd in 8 pagina's van 16384 woorden van 8-bit (figuur 8/5.3-108).

Lezen (Read-mode)

De 27011 heeft drie control-functies waarvan er twee logisch aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-enable ($\overline{CE}$) bestuurt de voeding en wordt gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen te zetten, onafhankelijk of de EPROM werd geselecteerd of niet.

Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ tenminste LAAG was en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode

De 27011 kan door HOOG maken van $\overline{CE}$ in de standby-mode worden gezet, waardoor de opgenomen stroom vermindert van 150 mA naar 50 mA. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$ en $\overline{WE}$-ingangen.

5.3 Type-beschrijving 27yyy-serie

Mode \ Pins	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$/ $\overline{WE}$	A_9	A_0	V_{PP}	V_{CC}	Outputs	Input/ Outputs
Read	V_{IL}	V_{IL}	V_{IH}	X(1)	X	X	5.0V	D_{OUT}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	X	X	5.0V	High Z	High Z
Standby	V_{IH}	X	X	X	X	X	5.0V	High Z	High Z
Programming	V_{IL}	V_{IH}	V_{IL}	X	X	V_{PP}(3)	V_{CC}(3)	D_{IN}	D_{IN}
Verify	V_{IL}	V_{IL}	V_{IH}	X	X	V_{PP}(3)	V_{CC}(3)	D_{OUT}	D_{OUT}
Program Inhibit	V_{IH}	X	V_{IH}	X	X	V_{PP}(3)	V_{CC}(3)	High Z	High Z
Page-Select Write	V_{IL}	V_{IH}	V_{IL}	X	X	X	V_{CC}(5)	High Z	Page D_{IN}
int$_e$ligent Identifier —Manufacturer	V_{IL}	V_{IL}	V_{IH}	V_H(6)	V_{IL}	X	5.0V	89H	89H
int$_e$ligent Identifier —Device	V_{IL}	V_{IL}	V_{IH}	V_H(6)	V_{IH}	X	5.0V	85H	85H

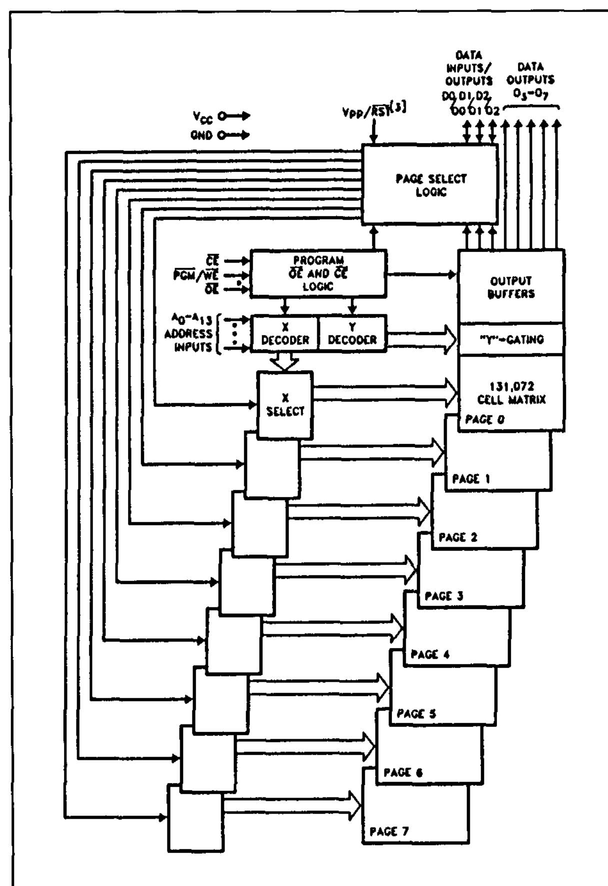
NOTES:
1. X can be V_{IH} or V_{IL}.
2. Addresses are don't care for page selection. See Table 2 for D_{IN} values.
3. See Table 3 for V_{CC} and V_{PP}.
4. A_1–A_8, A_{10}–A_{13}, = V_{IL}.
5. Page 0 is automatically selected at power-up (V_{CC} < 4.0V).
6. V_H = 12.0V ±0.5%.

Tabel 8/5.3-150: Selectie van de 8 mogelijke functies.

Pagina selecteren

De 27011 wordt geadresseerd door eerst een van de acht 16k-byte pagina's te selecteren. Daarna worden de individuele bytes binnen de betreffende 16k-byte pagina gekozen door middel van de adreslijnen A0 tot en met A13. Door de $\overline{WE}$-ingang LAAG te maken (met $\overline{CE}$ = LAAG en $\overline{OE}$ = HOOG) wordt de gewenste pagina volgens de combinatie D_0/O_0, D_1/O_1 en D_2/O_2 ingelatched (tabel 8/5.3-151).

Gedurende de pagina-selectie hebben de adres-ingangen geen invloed ("don't care"). Voor optimale prestaties van het systeem moeten de software-programma's zo weinig mogelijk overschakelingen tussen de pagina's bevatten. Bovendien moet rekening worden gehouden met de status van de programma-teller van de processor, indien midden in de bewerking van een opcode van pagina wordt gewisseld. Na het schrijven van een pagina-selectie wordt de programma-teller verhoogd tot de volgende



Figuur 8/5.3-108: Blokschema van de 27011.

5.3 Type-beschrijving 27yyy-serie

Input/Output Page Selection	D_2/O_2	D_1/O_1	D_0/O_0
Select Page 0	V_{IL}	V_{IL}	V_{IL}
Select Page 1	V_{IL}	V_{IL}	V_{IH}
Select Page 2	V_{IL}	V_{IH}	V_{IL}
Select Page 3	V_{IL}	V_{IH}	V_{IH}
Select Page 4	V_{IH}	V_{IL}	V_{IL}
Select Page 5	V_{IH}	V_{IL}	V_{IH}
Select Page 6	V_{IH}	V_{IH}	V_{IL}
Select Page 7	V_{IH}	V_{IH}	V_{IH}

Tabel 8/5.3-151: Selectie van de pagina's.

lokatie op de nieuwe pagina (of nog verder in de pijplijn-systemen) ten opzichte van de opcode van de pagina-selectie op de vorige pagina.

Automatisch clearen van de pagina-latch

De 27011 bevat een automatisch circuit voor het clearen van de pagina-latch om bij het opstarten van het systeem altijd met pagina 0 te beginnen. Bij het stijgen van de voedingsspanning wordt de pagina-latch gecleared, waarna de clear-schakeling buiten werking komt als Vcc de maximale pagina-clear spanning (V_{CLR}) van 4 V passeert. Een aktief-LAAG signaal op pen 1 ($V_{pp}/\overline{RST}$) maakt dat pagina 0 wordt geselecteerd (niet aanwezig op de eerste 27011's; wel op typen na 1986).

Besturing van de uitgangen

Aangezien EPROM's meestal in grotere "geheugen-arrays" worden opgenomen, is ook de 27011 voorzien van twee besturingslijnen, die de dissipatie zoveel mogelijk beperken, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Om deze besturingslijnen zo efficiënt mogelijk te gebruiken wordt aangevolen $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle EPROM's in het array bestuurt en op de gemeenschappelijke $\overline{READ}$-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van de gekozen EPROM de uitgangen aktief zijn. Op dezelfde wijze deselecteert $\overline{CE}$ andere 27011's of RAM's tijdens de schrijf-operatie voor pagina-selectie, terwijl alle componenten in het array $\overline{WE}$ gemeenschappelijk hebben. $\overline{WE}$ wordt met de $\overline{WRITE}$-besturingslijn van het systeem verbonden.

Programma sperren (Program Inhibit)

Door gebruik te maken van de Program Inhibit Mode is het zeer eenvoudig om een aantal parallel geschakelde 27011's met verschillende data te programmeren. Door $\overline{CE}$ van de andere EPROM's HOOG te maken wordt voorkomen dat die worden geprogrammeerd. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen van de parallele EPROM's met elkaar worden verbonden. Een geselecteerde 27011 wordt geprogrammeerd door een TTL-LAGE puls op $\overline{PGM}/\overline{WE}$, met Vpp op de programmeerspanning.

Programma verificatie

De geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$ en $\overline{CE}$ LAAG en Vcc = 6 V.

Silicon Signature

De Intelligent Identifier Mode of Silicon Signature maakt automatische identificatie van EPROM-type en fabrikant mogelijk. Deze functie is bedoeld voor industriële programmeerapparatuur en komt beschikbaar door een gelijkspanning van 11,5 V tot 12,5 V op adreslijn A9 te zetten. Door A0 LAAG te maken verschijnt de fabrikant-code op DQ0 tot en met DQ7 (Intel 89H), is A0 HOOG dan verschijnt de type-code (85H). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

Wissen

Voordat de EPROM geprogrammeerd kan worden moet alle informatie van de geheu-

5.3 Type-beschrijving 27yyy-serie

genlokaties worden verwijderd. Dit wordt bereikt door de 27011 te bestralen met ultraviolet licht (253,7 nm). De dosis (UV intensiteit x belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm². Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm² uitstraalt kan de EPROM in 15 tot 20 minuten wissen. Na het wissen zijn alle bits HOOG.

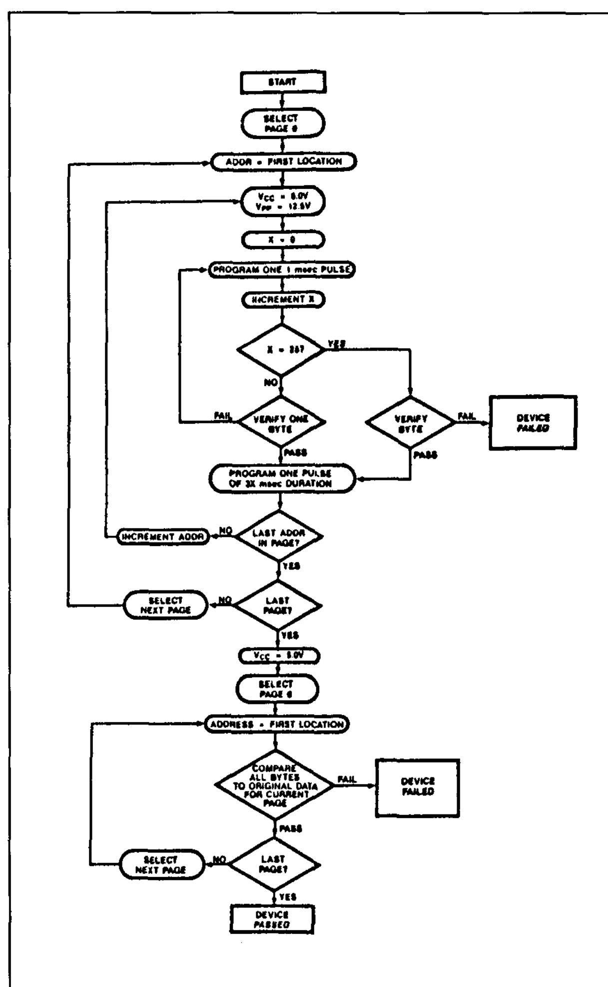
Snel programmeren

De 27011 kan snel en betrouwbaar worden geprogrammeerd door middel van de "Intelligent Programming Algorithm" (zie figuur 8/5.3-109). De EPROM wordt geprogrammeerd door +12,5 V op de $V_{pp}/\overline{RST}$-pen te zetten en $\overline{CE}$ LAAG te maken. De te programmeren lokatie wordt met de adrespennen geselecteerd, terwijl de data-pennen telkens 8-bits informatie op TTL-niveau krijgen toegevoerd.

Let op dat de programmeerspanning nooit hoger wordt dan 14 V!

Het enige verschil met andere EPROM's is dat de 27011 per 16k-byte pagina wordt geprogrammeerd.

Er worden twee verschillende programmeerpulsen gebruikt: Eerste (of "initiële") en Laatste (of "overprogram"). De Eerste puls duurt 1 ms en wordt eventueel X maal herhaald. Na elke puls wordt de geprogrammeerde byte gecontroleerd. Wordt hierbij de correcte data gelezen dan wordt de Laatste programmeerpuls toegevoerd. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 25). De Laatste programmeerpuls duurt 3X ms. De gehele procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 12,5 V. Na afloop worden alle bits nogmaals geverifieerd bij V_{cc} = 5,0 V.



Figuur 8/5.3-109: Interaktieve programmering volgens de "Intelligent Programming Algorithm".

De Quick-pulse programmeermethode

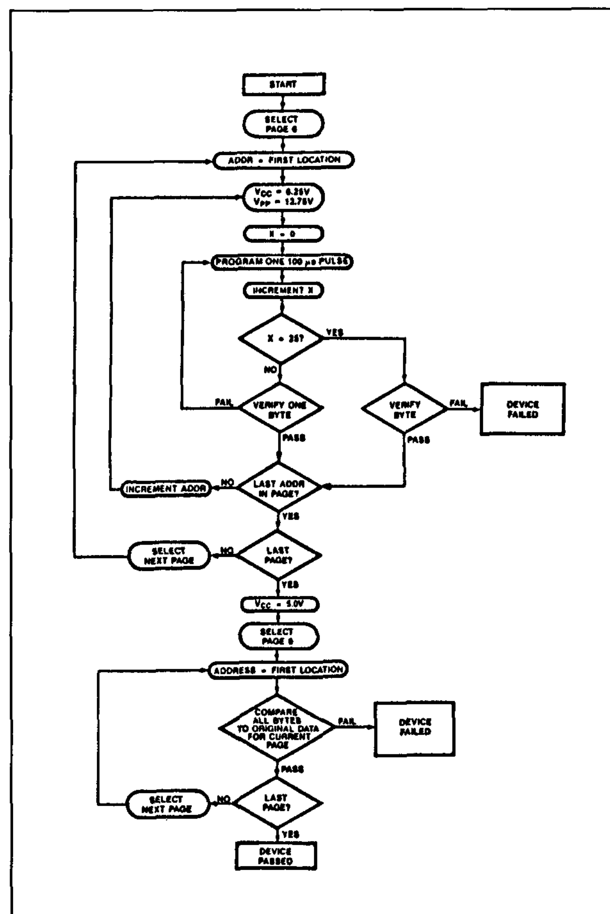
De 27011 van Intel kan ook met de zogenaamde "Quick Pulse Programming Algorithm" worden geprogrammeerd. De benodigde programmeertijd bedraagt hierbij slechts 14 seconden, hoewel een en ander natuurlijk afhankelijk is van het programmeerapparaat.

Bij het Quick Pulse programmeren worden initiële pulsen van 100 microseconden gebruikt, gevolgd door een byteverificatie. Er worden maximaal 25 pogingen tot programmeren ondernomen voordat een fout wordt vastgesteld (zie figuur 8/5.3-110). De gehele procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6,25 V en V_{pp} = 12,75 V. Na afloop worden alle bits nogmaals geverifieerd bij V_{cc} = 5,0 V.

Toepassingen

De schakel-eigenschappen van EPROM's

5.3 Type-beschrijving 27yyy-serie

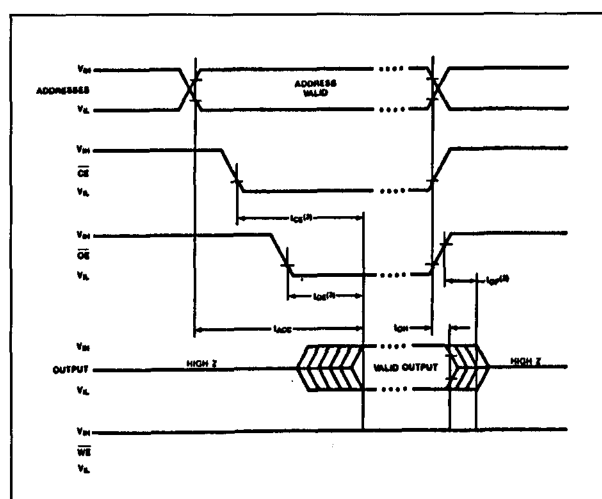


Figuur 8/5.3-110: Programmeren met de "Quick Pulse Programming Algorithm".

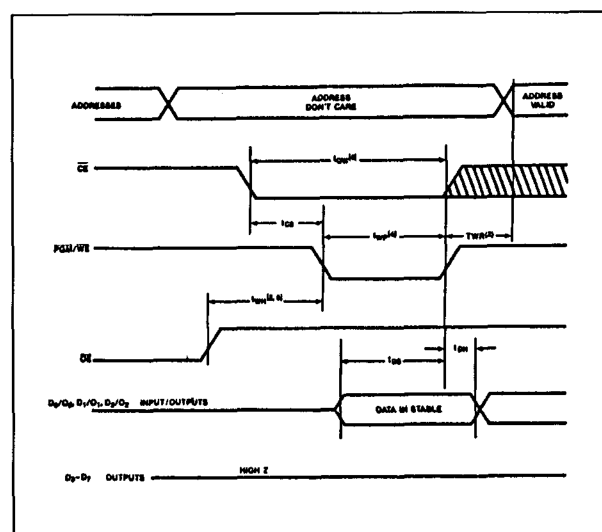
zijn zodanig dat zorgvuldige ontkoppeling van de voedingslijnen noodzakelijk is. Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elke 27011 moet daarom een hoogfrequent type keramische condensator van 0,1 μF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 μF te plaatsen.

Overige kenmerken

De overige elektrische en schakelkarakteristieken van de 27011 zijn te zien in de figuren 8/5.3-111 tot en met 8/5.3-113 en de tabellen 8/5.3-152 tot en met 8/5.3-158.

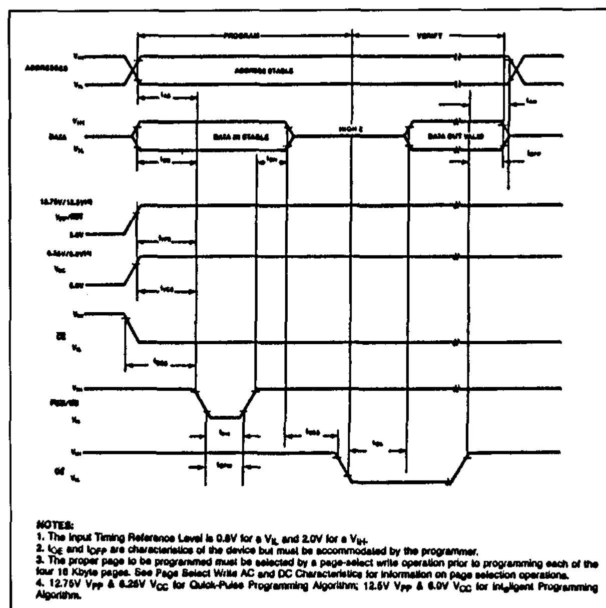


Figuur 8/5.3-111: Timing en golfvormen bij het uitlezen van de 27011 (zie ook tabel 8/5.3-154).



Figuur 8/5.3-112: Timing en golfvormen tijdens page-select write (zie ook tabel 8/5.3-155).

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-113: Timing bij het programmeren (zie ook tabel 8/5.3-158).

ABSOLUTE MAXIMUM RATINGS

Operating Temperature
Read .... 0°C to +70°C

Temperature Under Bias .... −10°C to +80°C

Storage Temperature .... −65°C to +125°C

All Input or Output Voltages with Respect to Ground† .... −0.6V to +6.25V

Voltage on A_9 with Respect to Ground .... −0.6V to +13.5V

V_{PP} Supply Voltage with Respect to Ground During Programming .... −0.6V to +14V

V_{CC} Supply Voltage with Respect to Ground .... −0.6V to +7.0V

Tabel 8/5.3-152: Maximaal toegelaten waarden.

CAPACITANCE(1) T_A = +25°C, f = 1 MHz

Symbol	Parameter	Typ(1)	Max	Units	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V
$C_{V_{PP}/\overline{RST}}$	$V_{PP}/\overline{RST}$ Capacitance	18	25	pF	V_{IN} = 0V

1. Sampled. Not 100% tested.

Tabel 8/5.3-156: Capaciteiten bij 1 MHz.

READ OPERATION

D.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Symbol	Parameter	Limits			Units	Conditions
		Min	Typ(2)	Max		
I_{LI}	Input Load Current			1	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.5V
I_{LRST}(1)	$V_{PP}/\overline{RST}$ Load Current			500	μA	$V_{PP}/\overline{RST}$ = 0V
I_{SB}	V_{CC} Current Standby			50	mA	$\overline{CE}$ = V_{IH}
I_{CC1}(5)	V_{CC} Current Active			150	mA	$\overline{CE}$ = OE = V_{IL}
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 μA
V_{CLR}	Page Latch Clear—V_{CC}		3.5	4.0	V	

Tabel 8/5.3-153: Gelijkspannings-condities bij uitlezen en pagina-selectie.

5.3 Type-beschrijving 27yyy-serie

A.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Versions (5)	V_{CC} ±5%	27011-200V05		27011-250V05 P27011-250V05 N27011-250V05		27011-300V05 P27011-300V05 N27011-300V05		Units
	V_{CC} ±10%			27011-250V10 P27011-250V10 N27011-250V10		27011-300V10 P27011-300V10 N27011-300V10		
Symbol	**Characteristics**	**Min**	**Max**	**Min**	**Max**	**Min**	**Max**	
t_{ACC}	Address to Output Delay		200		250		300	ns
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300	ns
t_{OE}	$\overline{OE}$ to Output Delay		75		100		120	ns
t_{DF}(3)	$\overline{OE}$ High to Output Float	0	55	0	60	0	105	ns
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns

NOTES:
1. $V_{PP}/\overline{RST}$ load current is worst case at 0V. This pin should be tied to an active low system reset line ($\overline{RST}$). Although not initially included on 27011, a feature will be added later (2H' 86) to reset the device to PAGE 0 when this line is brought to a TTL low (V_{IL}). A minimum voltage level of V_{IH} must be supplied to this pin during normal read operation to ensure future compatibility.
2. Typical values are for T_A = 25°C and nominal supply voltages.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. Packaging options: No prefix = Cerdip; Plastic DIP = P; PLCC = N; Plastic DIP and PLCC will be available in the second half of 1986.
5. The maximum current value is with outputs O_0 to O_7 unloaded.

Tabel 8/5.3-154: Schakeltijden bij het uitlezen van enkele typen 27011.

A.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Symbol	Parameter	Limits		Units	Test Conditions
		Min	Max		
t_{CW}	$\overline{CE}$ to End of Write	180		ns	$\overline{OE} = V_{IH}$
t_{WP}	Write Pulse Width	100		ns	$\overline{OE} = V_{IH}$
t_{WR}	Write Recovery Time	20		ns	
t_{DS}	Data Setup Time	50		ns	$\overline{OE} = V_{IH}$
t_{DH}	Data Hold Time	20		ns	$\overline{OE} = V_{IH}$
t_{CS}	$\overline{CE}$ to Write Setup Time	0		ns	$\overline{OE} = V_{IH}$
t_{WH}	$\overline{WE}$ Low from $\overline{OE}$ High Delay Time	55		ns	

Tabel 8/5.3-155: Schakeltijden bij het pagina-selecteren.

5.3 Type-beschrijving 27yyy-serie

D.C. PROGRAMMING CHARACTERISTICS T_A = 25°C ±5°C

Table 3

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Units	
I_{LI}	Input Current (All Inputs)		10	µA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 µA
I_{CC2}(4)	V_{CC} Supply Current (Program and Verify)		150	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	
	Quick-Pulse Programming Algorithm	12.5	13.0	V	
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Quick-Pulse Programming Algorithm	6.0	6.5	V	

Tabel 8/5.3-157: Gelijkspannings-condities bij het programmeren.

A.C. PROGRAMMING CHARACTERISTICS

T_A = 25°C ±5°C (See Table 3 for V_{CC} and V_{PP} voltages.)

Symbol	Parameter	Limits				Conditions* (Note 1)
		Min	Typ	Max	Units	
t_{AS}	Address Setup Time	2			µs	
t_{OES}	$\overline{OE}$ Setup Time	2			µs	
t_{DS}	Data Setup Time	2			µs	
t_{AH}	Address Hold Time	0			µs	
t_{DH}	Data Hold Time	2			µs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			µs	
t_{VCS}	V_{CC} Setup Time	2			µs	
t_{CES}	$\overline{CE}$ Setup Time	2			µs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	int$_e$ligent Programming
		95	100	105	µs	Quick-Pulse Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ...... 20 ns
Input Pulse Levels .... 0.45V to 2.4V
Input Timing Reference Level .... 0.8V and 2.0V
Output Timing Reference Level ...... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse (int$_e$ligent Programming Algorithm only) may vary from 2.85 ms to 78.75 ms as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_7 unloaded.

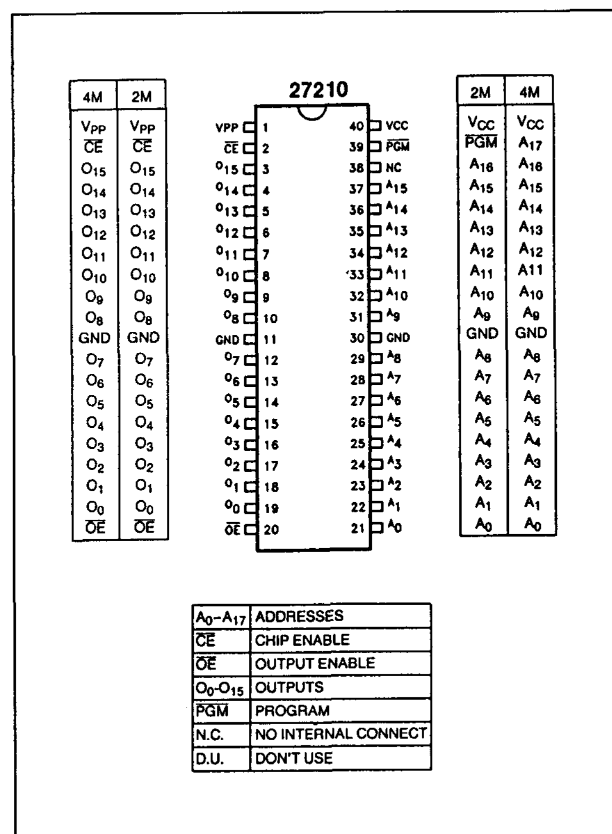
Tabel 8/5.3-158: Schakeltijden bij het programmeren (beide programmeerbaar-methoden.)

5.3 Type-beschrijving 27yyy-serie

27210

64k × 16, NMOS, Vprog = 12,5 V

De 27210 is een 1048576 bit (1 MB) NMOS Erasbable Programmable Read-Only Memory (UV-wisbaar en elektrisch programmeerbaar ROM), georganiseerd in 64k woorden van 16 bits. De 27210 werkt op een enkele +5 V voeding, heeft voor het programmeren 12,5 V nodig, beschikt over een statische standby-mode voor een geringere dissipatie en is snel toegankelijk (150 tot 250 ns). De architectuur van de EPROM is gericht op high-performance 16-bit en 32-bit microprocessoren zoals de 80286 en 80386, waardoor met een eenvoudige layout kan worden doorgegroeid naar systemen met nog grotere geheugens. Zoals in figuur 8/5.3-114 te zien is, zijn voor EPROM's tot en met 4MB geen hardware veranderingen nodig: aangezien de $\overline{PGM}$-pen in de lees-mode geen invloed heeft ('don't care') kunnen nu reeds verbindingen met de hogere adressen A16 en A17 worden aangelegd.



Figuur 8/5.3-114: Aansluitingen van de DIL-uitvoering van de 27210 met toekomstige uitbreiding tot 4 MB.

De opslag-capaciteit van de 27210 is groot genoeg voor kernprogramma's (kernels), plus standaard bootstrap en diagnostiek. De 27210 kan met de "Quick Pulse Programming Algorithm" in gemiddeld 8 seconden worden geprogrammeerd.

Van de 27210 zijn ook CMOS-versies leverbaar onder de typenummers 27C210 en 27C1024. Verwarrend genoeg hebben de 27C210 van Texas Instruments en de MBM27C1024 van Fujitsu een afwijkende programmering (naar keuze: 16- of 32-bits woorden).

Specificaties

- 65536 X 16 bits organisatie;
- programmeerspanning 12,5 V;
- alle in- en uitgangen TTL-compatibel;
- 3-state uitgangen;
- volledig statische werking (zonder clocks);
- enkele +5 V ±5 % voedingsspanning (±10 % ook leverbaar);
- geringe dissipatie:
  max. 150 mA (in bedrijf);
  max. 40 mA (standby);
- silicon signature (intelligent identifier);
- aparte chip-enable en output-enable;
- 40-pens keramische DIL behuizing met kwarts-venster of 44-pens PLCC (Plastic Leadless Chip Carrier) (figuur 8/5.3-115);
- ook leverbaar in CMOS (zie 27C210/27C1024);
- leverbaar: Intel 27210 (150 - 250 ns).

Werking

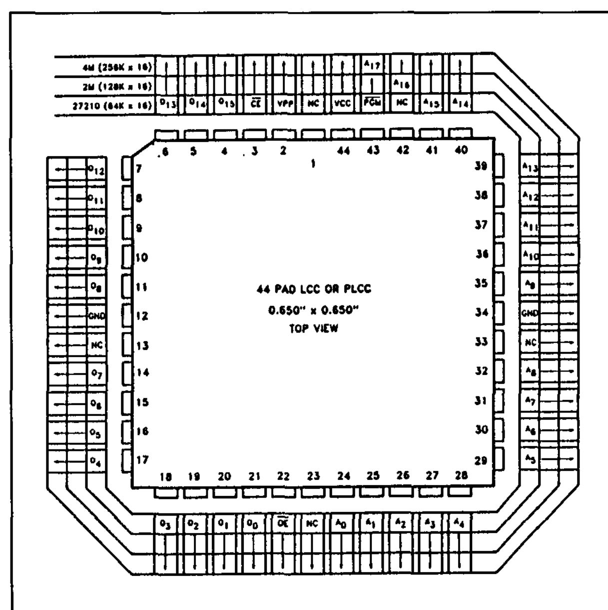
De 27210 heeft 7 verschillende bedrijfsmodes: lezen, uitgangen sperren, standby, programmeren, programmaverificatie, programma-sperren en automatische identificatie, zoals in tabel 8/5.3-159 te zien is. Het 16-bit adres wordt op de chip gedecodeerd in 65536 woorden van 16 bit (zie figuren 8/5.3-110 en 8/5.3-117).

5.3 Type-beschrijving 27yyy-serie

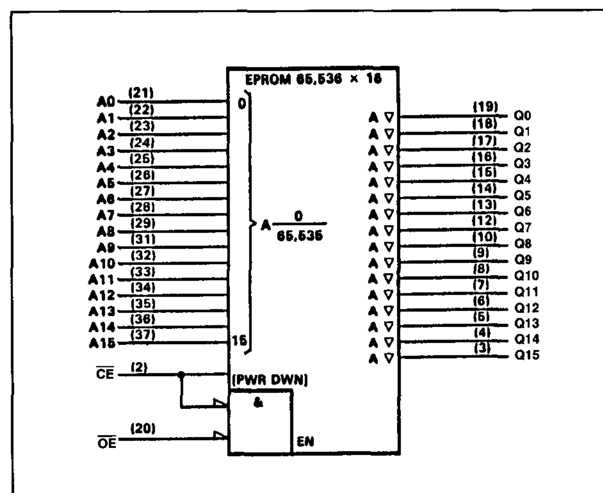
Mode / Pins		$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	A_9	A_0	V_{PP}	V_{CC}	Outputs
Read		V_{IL}	V_{IL}	X	X(1)	X	X	5.0V	D_{OUT}
Output Disable		V_{IL}	V_{IH}	X	X	X	X	5.0V	High Z
Standby		V_{IH}	X	X	X	X	X	5.0V	High Z
Programming		V_{IL}	V_{IH}	V_{IL}	X	X	(Note 4)	(Note 4)	D_{IN}
Program Verify		V_{IL}	V_{IL}	V_{IH}	X	X	(Note 4)	(Note 4)	D_{OUT}
Program Inhibit		V_{IH}	X	X	X	X	(Note 4)	(Note 4)	High Z
int$_e$ligent Identifier	Manufacturer(3)	V_{IL}	V_{IL}	X	V_H(2)	V_{IL}	V_{CC}	5.0V	0089 H
	Device(3)	V_{IL}	V_{IL}	X	V_H(2)	V_{IH}	V_{CC}	5.0V	00FFH

NOTES:
1. X can be V_{IL} or V_{IH}
2. V_H = 12.0V ±0.5V
3. A_1–A_8, A_{10}–A_{15} = V_{IL}
4. See Table 2 for V_{CC} and V_{PP} voltages.

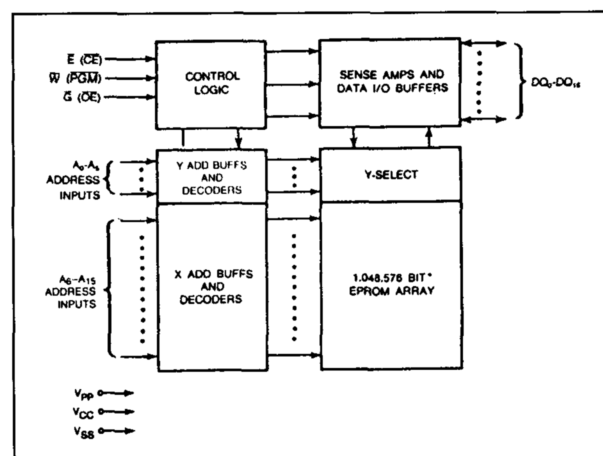
Tabel 8/5.3-159: Selectie van de verschillende mogelijke functies.



Figuur 8/5.3-115: Aansluitingen van de PLCC-versie van de 27210, eveneens uitbreidbaar tot 4 MB.



Figuur 8/5.3-116: Logisch symbool van de 27210.



Figuur 8/5.3-117: Blokschema van de 27210.

Lezen (Read-mode)

De 27210 heeft twee control-functies die beide logisch aktief moeten zijn voor het verkrijgen van data aan de uitgang. Chip-enable ($\overline{CE}$) bestuurt de voeding en moet worden gebruikt voor selectie van de EPROM. Output-enable ($\overline{OE}$) is de besturing van de uitgang en wordt gebruikt om data op de uitgangspennen "waar" te maken. Wanneer wordt aangenomen dat de adressen stabiel zijn, is de adres-toegangstijd (t_{ACC}) gelijk aan de vertraging van $\overline{CE}$ naar de uitgang (t_{CE}). Data is t_{OE} ns na de dalende flank van $\overline{OE}$ beschikbaar op de uitgangen, als $\overline{CE}$ LAAG en de adressen tenminste van t_{ACC} tot t_{OE} stabiel waren.

Standby mode

De 27210 heeft een standby-mode, waarin de door de EPROM opgenomen stroom beduidend kleiner is (van 150 mA naar 40 mA). De EPROM wordt standby gezet door de $\overline{CE}$-ingang TTL-HOOG te maken. In de standby-mode zijn de uitgangen hoog-impedant, onafhankelijk van de $\overline{OE}$-ingang.

Besturing van de uitgangen

Omdat EPROM's meestal in grotere geheugen-"arrays" worden opgenomen, is de 27210 voorzien van twee besturingslijnen, die de dissipatie zoveel mogelijk verminderen, en garanderen dat niet meerdere uitgangen tegelijk "waar" worden op de bus. Om deze besturingslijnen zo efficiënt mogelijk te gebruiken wordt aanbevolen $\overline{CE}$ te decoderen en toe te passen als de belangrijkste chip-selectie, terwijl $\overline{OE}$ alle onderdelen in het array bestuurt en op de gemeenschappelijke $\overline{READ}$-lijn van de systeem-controlbus wordt aangesloten. Hierdoor wordt gegarandeerd dat alle niet-geselecteerde geheugens in de standby-mode staan en dat alleen van een geselecteerde EPROM de uitgangen aktief zijn.

Programma sperren (Program Inhibit)

Door gebruik te maken van de Program Inhibit Mode kan een aantal parallel geschakelde 27210's met verschillende data worden geprogrammeerd. Door $\overline{CE}$ of $\overline{PGM}$ van de andere EPROM's HOOG te maken wordt programmering daarvan voorkomen. Met uitzondering van $\overline{CE}$ mogen alle gelijksoortige ingangen van de parallelle EPROM's met elkaar worden verbonden. Een geselecteerde 27210 wordt geprogrammeerd door een TTL-LAGE puls op $\overline{PGM}$, met V_{pp} op de programmeerwaarde en $\overline{CE}$ = LAAG.

Programma verificatie

Alle geprogrammeerde bits moeten worden gecontroleerd om te zien of ze de juiste informatie bevatten. Deze controle wordt uitgevoerd met $\overline{OE}$ = LAAG, $\overline{CE}$ = LAAG, $\overline{PGM}$ = HOOG en V_{pp} en V_{cc} op de programmeerwaarden.

Intelligent Identifier

De Intelligent Identifier Mode of Silicon Signature maakt automatische identificatie van EPROM-type en fabrikant door het programmeer-apparaat mogelijk. Om van deze functie gebruik te maken moet een gelijkspanning tussen 11,5 V en 12,5 V op adreslijn A9 worden gezet. Met A0 = LAAG verschijnt de fabrikant-code op O0 tot en met O15 (Intel 0089H) en met A0 = HOOG de type-code (00FFH). Alle andere adreslijnen moeten tijdens de Intelligent Identifier Mode LAAG zijn.

Wissen

Voordat de EPROM geprogrammeerd kan worden moeten alle geheugenlokaties worden leeggemaakt. Daartoe moet de 27210 worden bestraald met ultra-violet licht (253,7 nm). De dosis (UV intensiteit X belichtingstijd) die voor compleet wissen nodig is bedraagt 15 Ws/cm^2. Een UV-lamp zonder filter op een afstand van circa 2,5 cm die 12 mW/cm^2 uitstraalt kan de EPROM in 15 tot 20 minuten wissen.

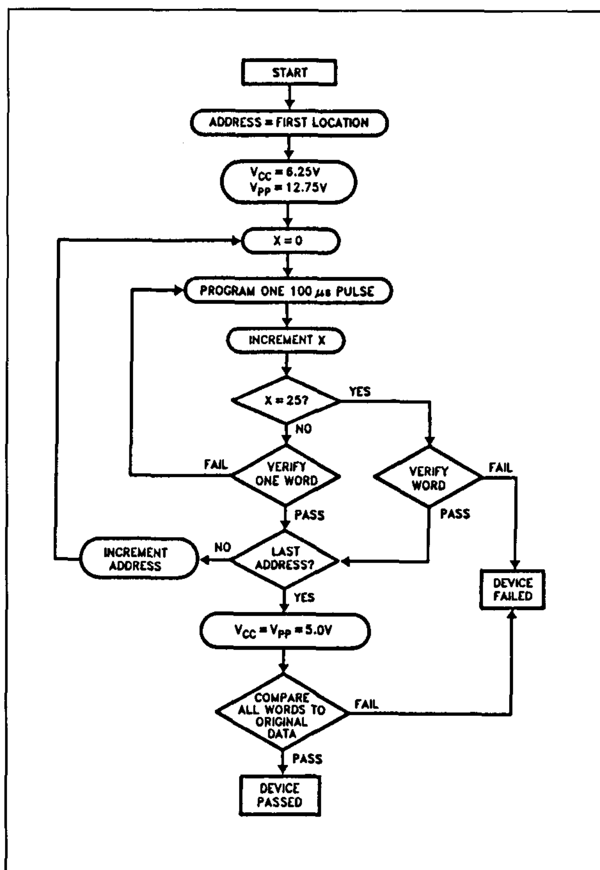
Programmeren

Bij aflevering of na het wissen bevinden alle 1048576 bits zich in de "1" of HOOG

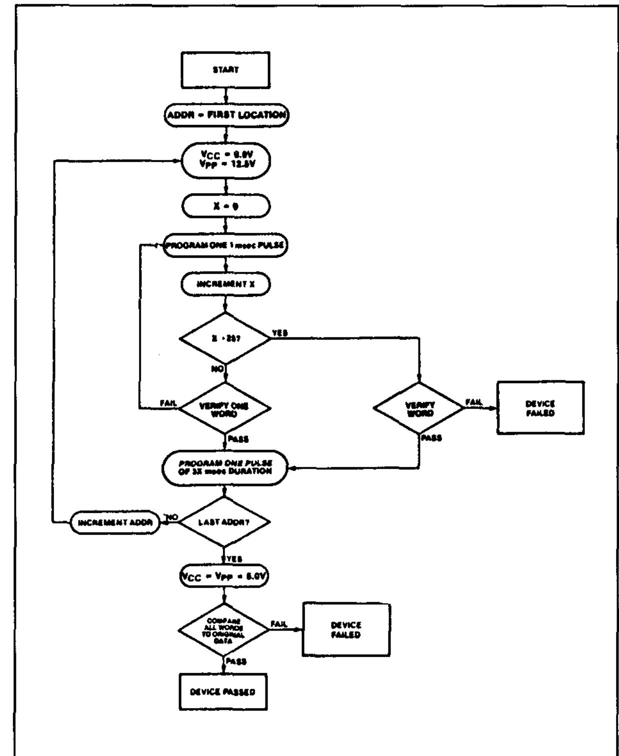
toestand. Door het programmeren worden LAAG-niveaus aangebracht.
De EPROM wordt geprogrammeerd door de spanning op de V_{PP}-pen te verhogen tot de programmeerwaarde en $\overline{CE}$ en $\overline{PGM}$ beide LAAG te maken. De te programmeren lokatie wordt op de adrespennen gezet, terwijl de data-uitgangspennen telkens 16-bits informatie op TTL-niveau krijgen toegevoerd.
Let op dat V_{PP} nooit hoger wordt dan 14 V!

Programmeren met de "Quick Pulse Algorithm"

De 27210 van Intel kan binnen 8 seconden met behulp van de Quick Pulse Algorithm worden geprogrammeerd. De werkelijke programmeertijd is uiteraard afhankelijk van het gebruikte programmeer-apparaat.
Bij deze programmering worden initiële pulsen van 100 μs gebruikt, gevolgd door een verificatie van het woord. Is het woord niet correct geprogrammeerd dan wordt opnieuw een 100 μs puls gegeven. Er worden maximaal 25 pogingen gedaan voordat een defekt wordt gemeld (zie ook figuur 8/5.3-118).
Bij de Quick Pulse programmering wordt de hele routine van programmeerpulsen en controle uitgevoerd bij V_{CC} = 6,25 V en V_{PP} = 12,75 V. Na afloop van het programmeren worden alle data-woorden vergeleken met de originele bij V_{CC} = V_{PP} = 5,0 V.



Figuur 8/5.3-118: Programmeren met de "Quick Pulse Programming Algorithm".



Figuur 8/5.3-119: Programmeren volgens de "Intelligent Programming Algorithm".

Programmeren met de Intelligent Programming Algorithm

Op de 27210 kan ook de "Intelligent Programming Algorithm" worden toegepast (figuur 8/5.3-119). Hierbij worden twee verschillende programmeerpulsen gebruikt: "Initiële"- en "Overprogram" pulsen. De Initiële puls van 1 ms wordt gevolgd door een

5.3 Type-beschrijving 27yyy-serie

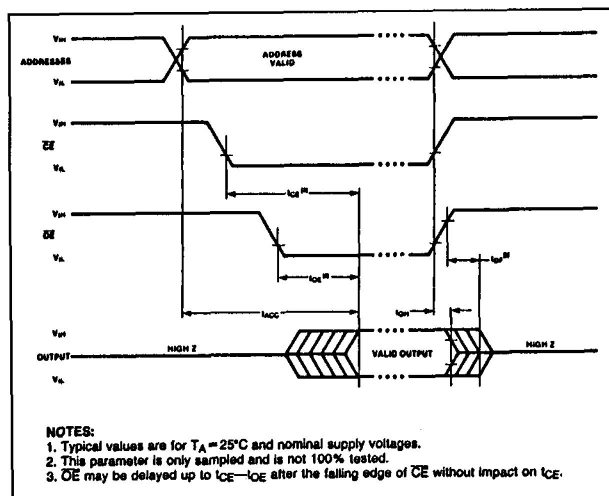
3X ms durende Overprogram puls als bij controle van het woord de correcte data wordt gelezen. Is de data niet juist, dan wordt opnieuw een 1 ms durende puls gegeven (X_{max} = 25). De procedure van programmeren en controleren wordt uitgevoerd bij V_{cc} = 6 V en V_{pp} = 12,5 V. Is het hele programmeerproces klaar, dan worden alle datawoorden nogmaals geverifieerd bij V_{cc} = V_{pp} = 5,0 V.

Toepassingen

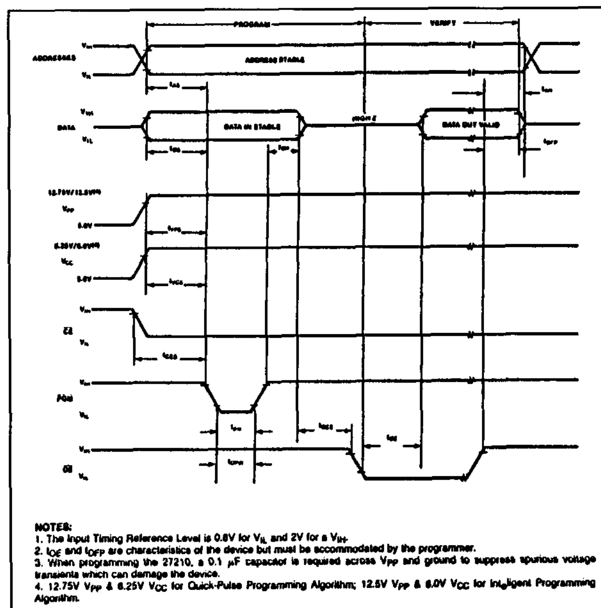
Gedurende het omschakelen van de aktieve naar de standby toestand ontstaan piekstromen op de stijgende en dalende flanken van de chip-enable. De amplitude van deze pieken is afhankelijk van de capaciteiten waarmee de uitgangen worden belast. Bij elk IC moet een hoogfrequent type keramische condensator van 0,1 µF tussen Vcc en aarde worden opgenomen. Bovendien wordt aangeraden bij elke 8 geheugen-IC's tussen Vcc en aarde een elektrolytische "bulk"-condensator van 4,7 µF te plaatsen.

Overige kenmerken

De overige elektrische- en schakelkarakteristieken zijn te zien in de figuren 8/5.3-120 en 8/5.3-121 en de tabellen 8/5.3-160 tot en met 8/5.3-165. De hier vermelde gegevens hebben betrekking op Intel-typen.



Figuur 8/5.3-120: Timing bij het uitlezen van de 27210 (zie ook tabel 8/5.3-162).



Figuur 8/5.3-121: Timing bij het programmeren (zie ook tabel 8/5.3-165).

ABSOLUTE MAXIMUM RATINGS

Operating Temperature During Read .... 0°C to +70°C
Temperature Under Bias .... −10°C to +80°C
Storage Temperature .... −65°C to +125°C
All Input or Output Voltages with Respect to Ground .... −0.6V to +6.25V
Voltage on A_9 with Respect to Ground .... −0.6V to +13.0V
V_{PP} Supply Voltage with Respect to Ground During Programming .... −0.6V to +14V
V_{CC} Supply Voltage with Respect to Ground .... −0.6V to +7.0V

Tabel 8/5.3-160: Maximaal toegelaten waarden.

CAPACITANCE(2) T_A = 25°C, f = 1MHz

Symbol	Parameter	Typ(1)	Max	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V
C_{VPP}	V_{PP} Input Capacitance		25	pF	V_{PP} = 0V

Tabel 8/5.3-163: Capaciteiten bij 1 MHz.

5.3 Type-beschrijving 27yyy-serie

D.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Symbol	Parameter	Limits				Conditions
		Min	Typ(3)	Max	Units	
I_{LI}	Input Load Current			1	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			1	μA	V_{OUT} = 5.5V
I_{PP1}(2)	V_{PP} Load Current Read			1	μA	V_{PP} = 5.5V
I_{SB}	V_{CC} Current Standby			40	mA	$\overline{CE}$ = V_{IH}
I_{CC1}(2)	V_{CC} Current Active			150	mA	$\overline{CE}$ = OE = V_{IL}
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 μA

Tabel 8/5.3-161: Gelijkspannings-condities bij het uitlezen.

A.C. CHARACTERISTICS 0°C ≤ T_A ≤ +70°C

Versions(5)	V_{CC} ± 5%	27210-150/05		27210-170/05 N27210-170/05		27210-200/05 N27210-200/05		27210-250/05 N27210-250/05		Unit
	V_{CC} ± 10%			27210-170/10		27210-200/10 P27210-200/10 N27210-200/10		27210-250/10 P27210-250/10 N27210-250/10		
Symbol	Characteristics	Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		150		170		200		250	ns
t_{CE}	$\overline{CE}$ to Output Delay		150		170		200		250	ns
t_{OE}	$\overline{OE}$ to Output Delay		60		60		75		75	ns
t_{DF}(4)	$\overline{OE}$ High to Output Float	0	50	0	50	0	60	0	60	ns
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		ns

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. *The maximum current value is with Outputs O_0 to O_{15} unloaded.*
3. Typical values are for T_A = 25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
5. Packaging options: No prefix = Cerdip; PLCC = N.

Tabel 8/5.3-162: Schakeltijden bij het uitlezen van enkele typen 27210.

5.3 Type-beschrijving 27yyy-serie

D.C. PROGRAMMING CHARACTERISTICS $T_A = 25°C \pm 5°C$

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Unit	
I_{LI}	Input Leakage Current (All Inputs)		10	μA	$V_{IN} = 6V$
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		160	mA	$\overline{CE} = \overline{PGM} = V_{IL}$
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = \overline{PGM} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	$V_{CC} = 5V$
V_{PP}	int$_e$ligent Programming Algorithm	12.0	13.0	V	
	Quick-Pulse Programming Algorithm	12.5	13.0	V	
V_{CC}	int$_e$ligent Programming Algorithm	5.75	6.25	V	
	Quick-Pulse Programming Algorithm	6.0	6.5	V	

Tabel 8/5.3-164: Gelijkspannings-condities bij het programmeren.

A.C. PROGRAMMING CHARACTERISTICS

$T_A = 25°C \pm 5°C$ (See Table 2 for V_{CC} and V_{PP} voltages.)

Symbol	Parameter	Limits				Conditions* (Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	int$_e$ligent Programming
		95	100	105	μs	Quick-Pulse Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse (int$_e$ligent Programming Algorithm only) may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_{15} unloaded.

Tabel 8/5.3-165: Schakeltijden bij het programmeren.

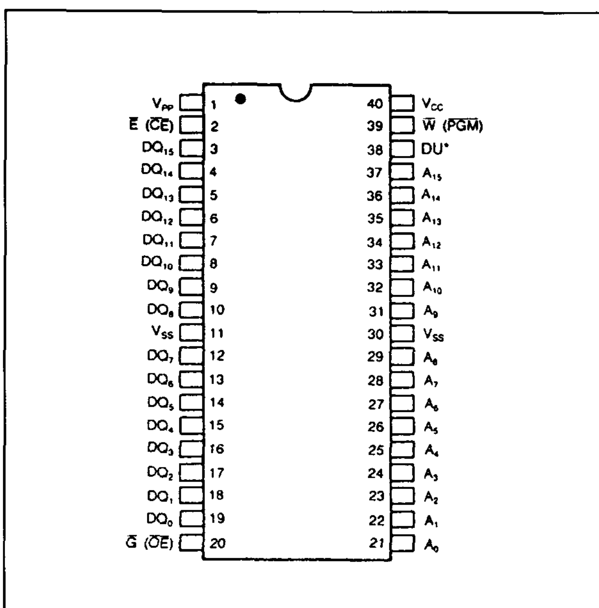
27C210 / 27C1024

64k x 16, CMOS, Vprog = 12,5 V

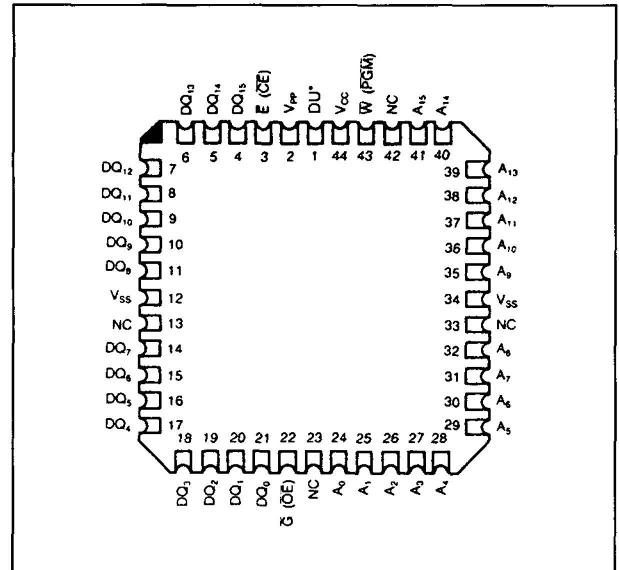
De 27210 wordt door een aantal fabrikanten nu ook in CMOS vervaardigd onder twee typenummers: 27C210 en 27C1024. Wat aansluitingen en elektrische eigenschappen betreft komen beide typen volledig overeen met de 27210. Er kunnen per merk echter enkele verschillen worden geconstateerd. De nog in ontwikkeling zijnde 27C210 van Texas Instruments en de MBM 27C1024 van Fujitsu kunnen op twee manieren worden geprogrammeerd: niet alleen met 16-bits maar ook met 32-bits woorden en de μPD 27C1024 van NEC heeft geen auto-select mode. De onderlinge verschillen worden hierna telkens vermeld.

De toegangstijden liggen tussen 150 en 450 ns, terwijl de dissipatie in aktieve toestand cirka 250 mW bedraagt en 1 mW standby. De 27C210/27C1024 is dus bijzonder geschikt voor draagbare apparatuur.

De 27C1024/27C210 wordt geleverd in een keramische 40 pens DIL-behuizing (figuur 8/5.3-122), terwijl AMD ook een 44-pens PLCC levert (figuur 8/5.3-123). Leverbare typen zijn bijvoorbeeld:



Figuur 8/5.3-122: Aansluitingen van DIL-uitvoering van de 27C210.



Figuur 8/5.3-123: Aansluitingen van de 44-pens PLCC.

Family Part No.	Am27C1024			
Ordering Part No.: ±5% V_{CC} Tolerance	27C1024-205	27C1024	27C1024-305	27C1024-455
±10% V_{CC} Tolerance	27C1024-200	27C1024-250	27C1024-300	-
Max. Access Time (ns)	200	250	300	450
$\overline{E}$ ($\overline{CE}$) Access (ns)	200	250	300	450
$\overline{G}$ ($\overline{OE}$) Access (ns)	75	100	120	150

Tabel 8/5.3-166: Enkele Am27C1024-typen (van AMD).

AMD:	AM 27C1024 (200 - 450 ns) (zie ook tabel 8/5.3-166)
Fujitsu:	MBM 27C1024 (200 - 250 ns)
NEC:	μPD 27C1024D (150 - 250 ns)
Texas Instruments:	TMX 27C210 (200 - 300 ns)

Functionele beschrijving

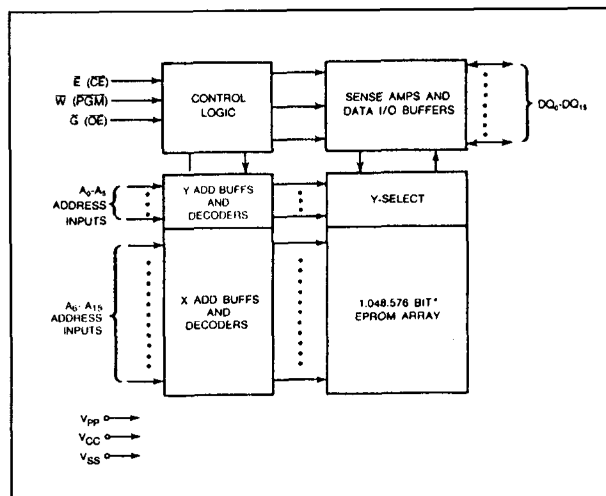
In tabel 8/5.3-167 zijn de mogelijke bedrijfstoestanden van het AMD-type te zien (NEC-type heeft geen Auto Select). De 1048576 bits worden op de chip door de 16 adreslijnen gerangschikt in 65636 woorden van 16 bits (zie blokschema figuur 8/5.3-124).

5.3 Type-beschrijving 27yyy-serie

MODE \ PINS	$\overline{E}$ ($\overline{CE}$)	$\overline{G}$ ($\overline{OE}$)	$\overline{W}$ ($\overline{PGM}$)	A_9	V_{PP}	OUTPUTS
Read	L	L	H	X	V_{CC}	D_{OUT}
Output Disable	L	H	H	X	V_{CC}	High Z
Standby	H	X	X	X	V_{CC}	High Z
Program	L	X	L	X	V_{PP}	D_{IN}
Program Verify	L	L	H	X	V_{PP}	D_{OUT}
Program Inhibit	H	X	X	X	V_{PP}	High Z
Auto Select	L	L	H	V_H	V_{CC}	Code

Notes: H = HIGH
L = LOW
X = Don't Care
V_H = 12.0 ±0.5 V

Tabel 8/5.3-167: Mogelijke bedrijfstoestanden (Auto Select niet bij NEC).



Figuur 8/5.3-124: Blokschema van de 27C210/27C1024.

Lezen (read-mode)

De 27C1024/27C10 heeft twee besturingslijnen die beide aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip Enable $\overline{E}$ ($\overline{CE}$) bestuurt de voeding en moet voor de selectie van de EPROM worden gebruikt, terwijl met Output Enable $\overline{G}$ ($\overline{OE}$) data op de uitgang wordt gezet, of de EPROM nu geselecteerd is of niet. Wanneer wordt aangenomen dat het gekozen adres stabiel is, is de adrestoegangstijd t_{ACC} gelijk aan de vertraging van $\overline{E}$ naar de uitgang (t_{CE}). Data is na een vertraging van t_{OE} vanaf de dalende flank van $\overline{G}$ beschikbaar aan de uitgangen, wanneer E gedurende t_{ACC} - t_{OE} LAAG was en het adres stabiel.

Standby/power down

De 27C1024/27C210 kan door de $\overline{E}$ ($\overline{CE}$)-ingang HOOG te schakelen standby worden gezet, waardoor het uit Vcc opgenomen vermogen 98 % lager wordt: van 250 mW tot 5 mW (AMD-type). De uitgangen bevinden zich dan in de hoogimpedante toestand, onafhankelijk van $\overline{G}$ ($\overline{OE}$).

De 27C1024 van AMD heeft bovendien een "power-down" mode waarin de dissipatie zelfs van 250 mW naar 1 mW (99,8 %) wordt verminderd door $\overline{E}$ te verhogen tot Vcc ± 0,3 V.

Wissen

Voor het wissen van de CMOS-versies geldt hetzelfde als voor de NMOS 27210: een UV-lamp van 12 mW/cm² op 2,5 cm wist de EPROM's in 15 tot 20 minuten. Na het wissen zijn alle adreslokaties HOOG.

Programmeren

Alle 27C1024/27C210-typen kunnen op vrijwel dezelfde manier als de 27210 worden geprogrammeerd: V_{pp} = 12,5 V (AMD max. 13 V, overige typen max. 13,5 V), Vcc = 6 V, $\overline{E}$ ($\overline{CE}$) = LAAG en TTL-LAGE programmeerpulsen op $\overline{W/PGM}$.

Aangezien voor elk merk een andere programmeer-algoritme wordt gehanteerd, worden ze allemaal apart vermeld.

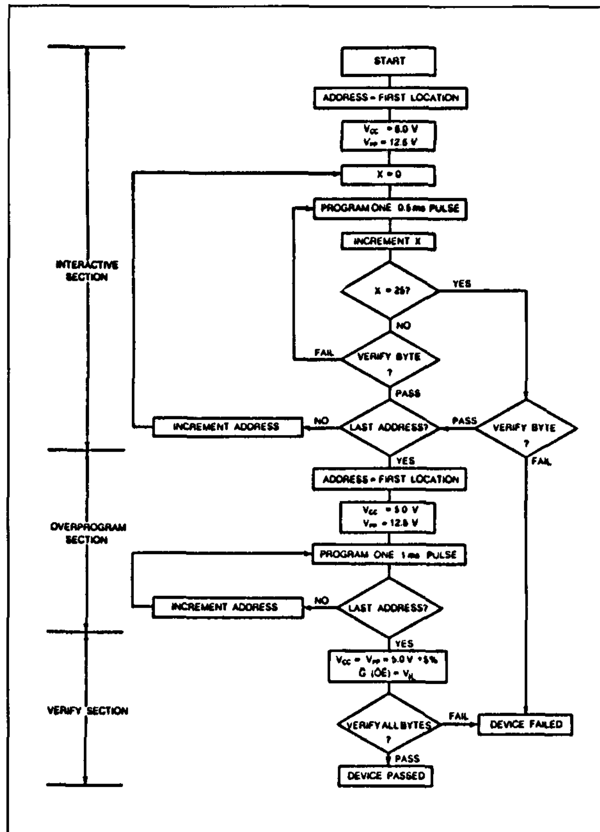
AMD:

De initiële programmeerpulsen (maximaal 25 stuks) duren 0,5 ms, terwijl de overprogrammeerpulsen 3 X ms duren (X = het aantal initiële pulsen dat nodig was voor correcte programmering). Na elke initiële puls wordt de inhoud van het betreffende adres gecontroleerd (figuur 8/5.3-125).

NEC:

Na maximaal 10 initiële programmeerpulsen van 0,1 ms wordt een "overprogram"puls van 0,4X ms gegeven. Wordt na 10 pogingen nog geen correcte data gelezen, dan wordt toch een puls van 4 ms gegeven, waarna

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-125: De door AMD geprefereerde interaktieve programmeer algoritme (Am27C1024).

na controle na het laatste adres volgt (figuur 8/5.3-126).

Texas Instruments:

Na maximaal 15 pogingen tot programmeren met pulsen van 0,5 ms wordt beslist dat de EPROM defect is. Zoals in de figuren 8/5.3-127 en 8/5.3-128 te zien is worden GEEN overprogram-pulsen toegevoerd.

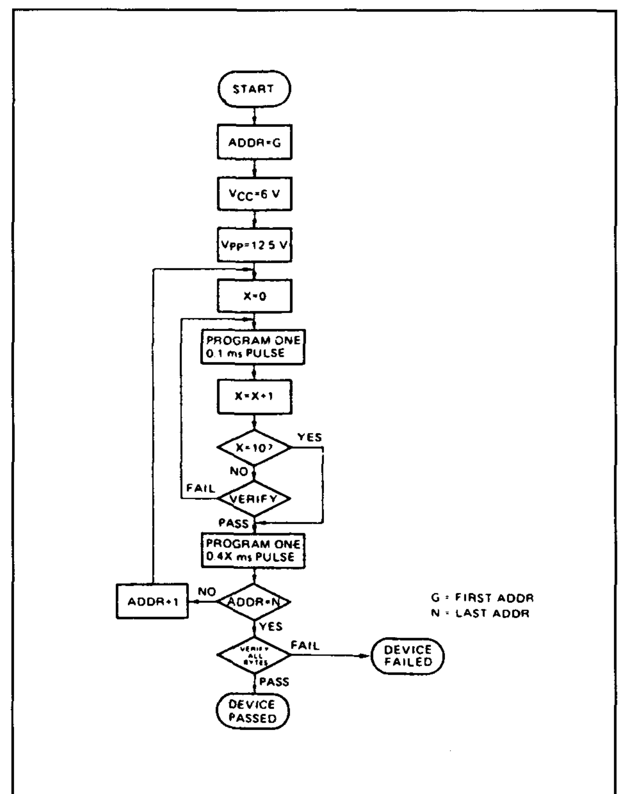
32-bits programmering

Het programmeren begint door Vpp = 12,5 V, Vcc = 6 V, $\overline{E}$ ($\overline{CE}$) = LAAG en $\overline{G}$ ($\overline{OE}$) = HOOG te maken. De eerste te programmeren lokatie (een adres met A0 = LAAG) wordt geladen met de laagste 16 bits data van het 32 bits woord. De hoogste 16 bits parallele data komt op de aansluitende lokatie (zelfde adres met A0 = HOOG). Nadat de eerste lokatie is gekozen, wordt de laagste helft van het datawoord op de DQ0 - DQ15 pennen gezet. Als het adres en de data stabiel zijn, wordt A0 van LAAG naar HOOG geklokt zodat de data wordt gelatched.

Vervolgens wordt de hoogste helft van het datawoord op de datapennen gezet en na het stabiel worden hiervan wordt het complete 32-bits woord geprogrammeerd door een LAGE puls op $\overline{W}$ ($\overline{PGM}$) (figuren 8/5.3-127 en 8/5.3-128).

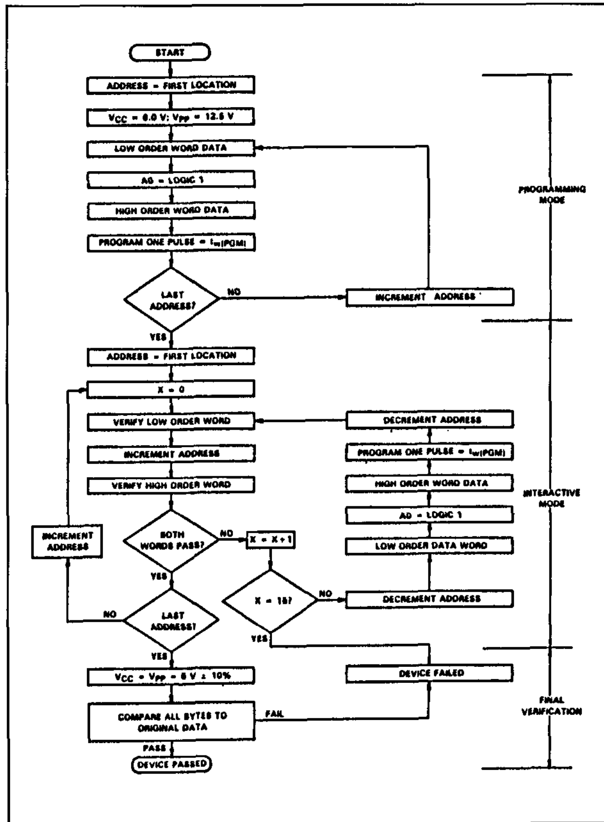
16-bits programmering

De TMX 27C210 kan ook met 16-bits woorden worden geprogrammeerd. De voorwaarden zijn dezelfde als voor de 32-bits programmering, op $\overline{E}$ ($\overline{CE}$) na die nu HOOG moet zijn. Deze voorwaarden zijn overigens voor alle hier behandelde merken identiek. Wanneer het 16 bits woord op de datapennen en het adres stabiel zijn, wordt $\overline{E}$ ($\overline{CE}$)

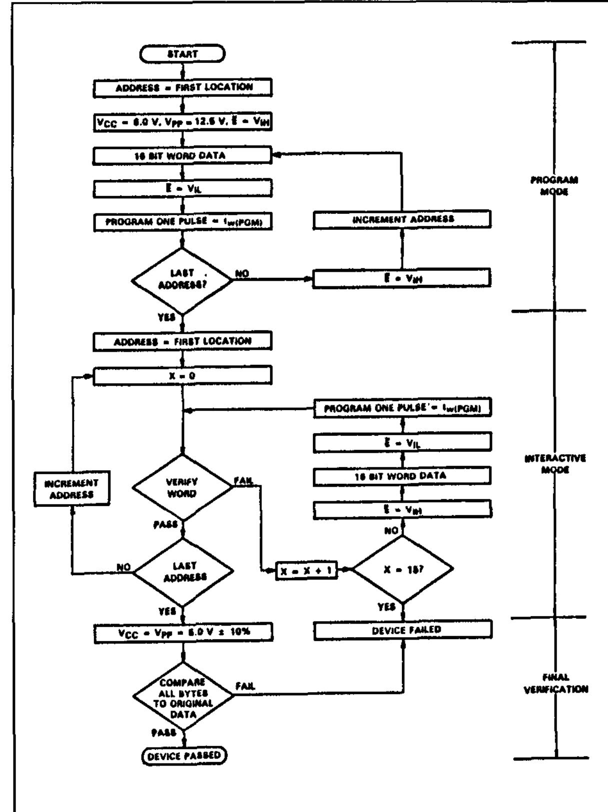


Figuur 8/5.3-126: De door NEC toegepaste programmering (uPD27C1024D).

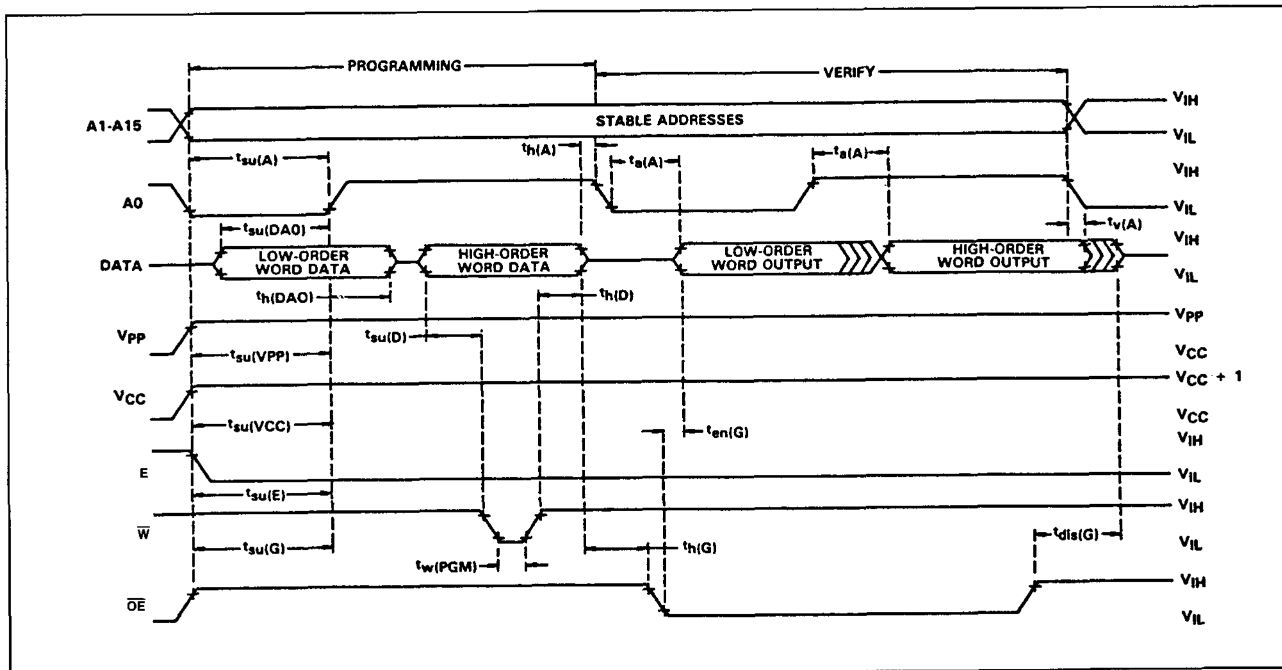
5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-127: 32-bits progammering van de TMX 27C210 van Texas Instruments.

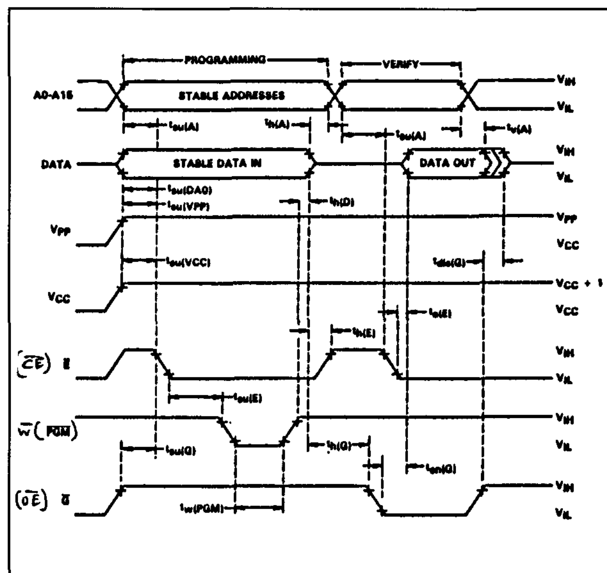


Figuur 8/5.3-129: 16- bits programmering van T.I.'s TMX 27C210.



Figuur 8/5.3-128: Golfvormen en schakeltijden bij het 32-bits programmeren van de TMX 27C210 (zie ook tabel 8/5.3-175).

5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-130: Golfvormen en schakeltijden bij het 16-bits programmeren van de TMX 27C210 (zie ook tabel 8/5.3-175).

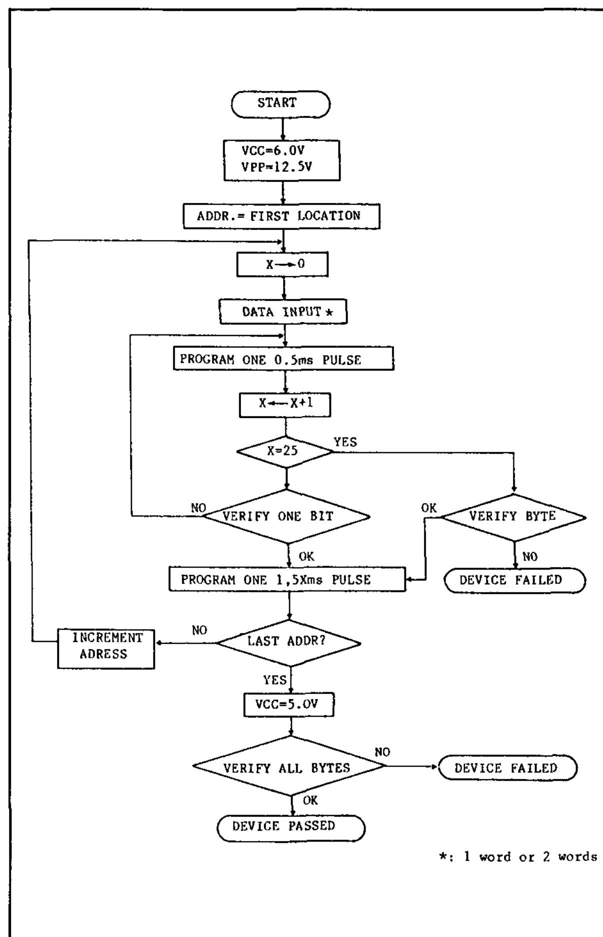
($\overline{OE}$). Hierna wordt de hoogste helft van het datawoord aangeboden op DQ0 - DQ15, terwijl het adres wordt verhoogd tot N + 1 (A0 = HOOG). Zijn beide weer stabiel dan volgt de tweede HOGE puls op $\overline{G}$ ($\overline{OE}$). Na de dalende flank van $\overline{G}$ ($\overline{OE}$) volgt tenslotte de LAGE programmeerpuls op $\overline{W}$ ($\overline{PGM}$). $\overline{E}$ ($\overline{CE}$) is gedurende de hele programmeertijd HOOG en wordt pas LAAG om samen met $\overline{G}$ ($\overline{OE}$) de geprogrammeerde data aan de uitgangen bereikbaar te maken voor verificatie.

Overige functies

De functies "Program Inhibit", "Verify" en "Auto Select" (de laatste niet aanwezig in het NEC-type) zijn identiek aan die van de 27210.

Met uitzondering van de $\overline{W}$ ($\overline{PGM}$)-pen en $\overline{E}$ ($\overline{CE}$) mogen alle gelijksoortige ingangen parallel geschakeld worden met die van andere EPROM's. Door $\overline{E}$ ($\overline{CE}$) of $\overline{W}$ ($\overline{PGM}$) HOOG te maken wordt voorkomen dat een 27C210 wordt geprogrammeerd.

Verificatie van de inhoud is mogelijk met $\overline{G}$ ($\overline{OE}$) = LAAG, $\overline{E}$ ($\overline{CE}$) = LAAG, $\overline{W}$ ($\overline{PGM}$) = HOOG en Vpp = 12,5 V.



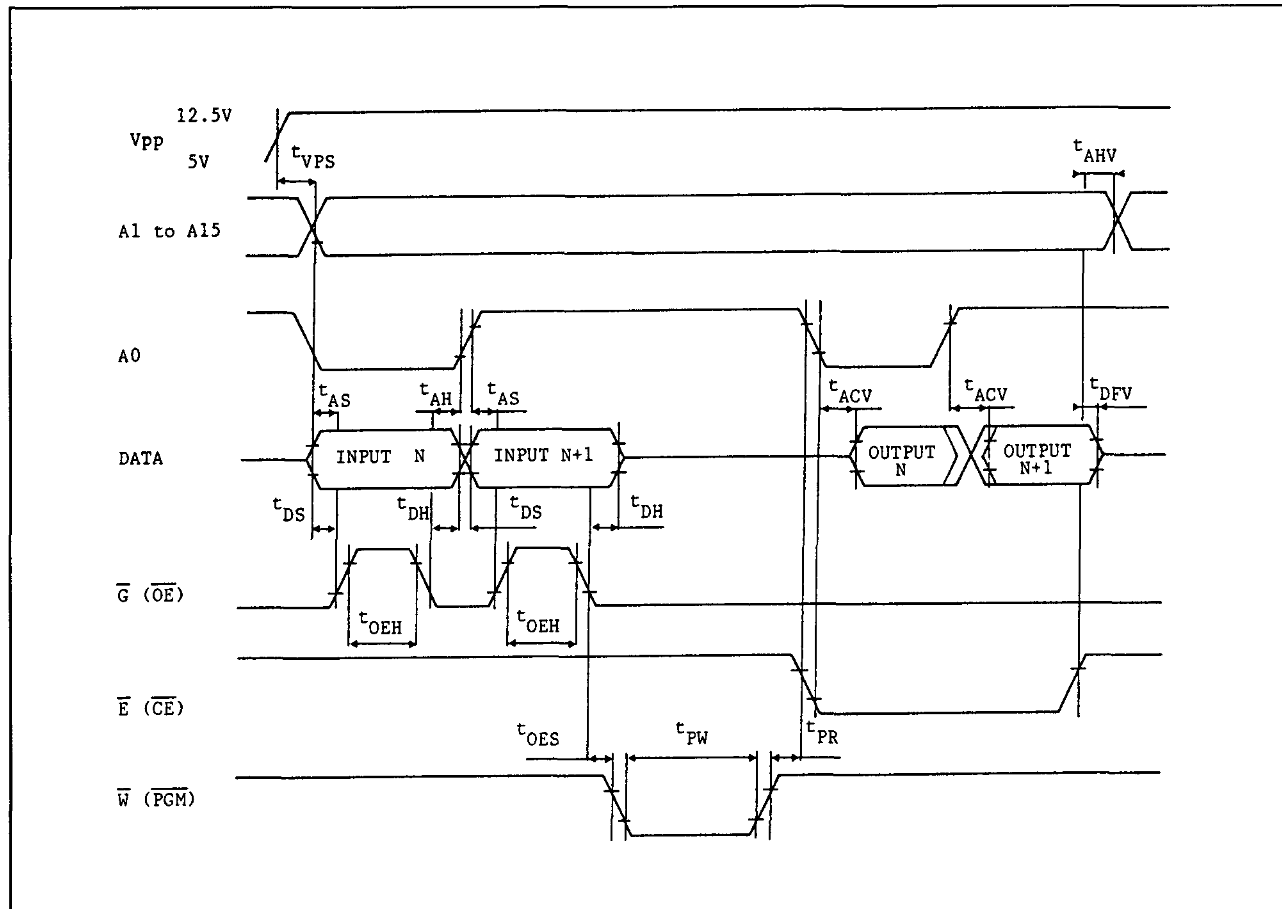
Figuur 8/5.3-131: Programmeren (16 en 32 bits) van de MBM 27C1024 van Fujitsu.

De EPROM's worden geïdentificeerd door 12 V op adreslijn A9 te zetten, waarbij de fabrikant-code op de data-uitgangen verschijnt door adreslijn A0 LAAG te maken en de type-code door A0 HOOG te maken.

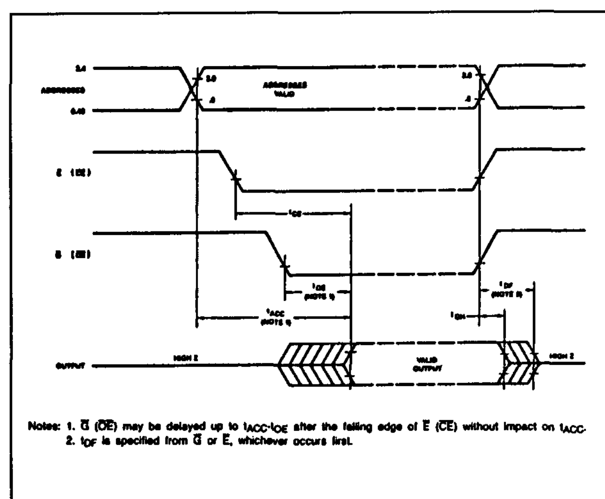
De type-codes zijn:
AMD 27C1024: 008CH;
Texas Instr. 27C210: 0086H;
Fujitsu 27C1024: 0064H.

De elektrische kenmerken en optredende schakeltijden van de hier behandelde EPROM's zijn te vinden in de tabellen 8/5.3-168 tot en met 8/5.3-175 en de figuren 8/5.3-133 en 8/5.3-134.

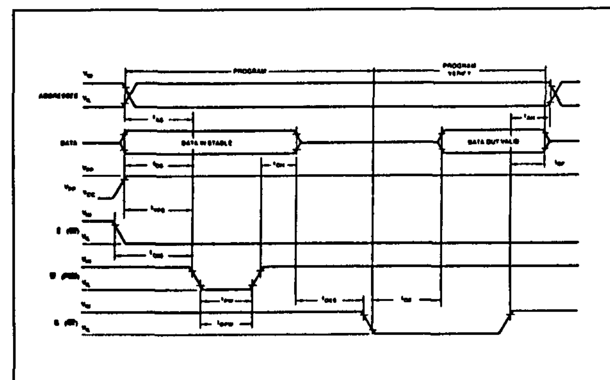
5.3 Type-beschrijving 27yyy-serie



Figuur 8/5.3-132: Golfvormen en schakeltijden bij het 32-bits programmeren van de MBM 27C1024.



Figuur 8/5.3-133: Golfvormen en schakeltijden bij het uitlezen van alle typen 64K × 16 EPROM's (zie ook tabel 8/5.3-172).



Figuur 8/5.3-134: Golfvormen en schakeltijden bij het interaktief programmeren van de AMD- en NEC 27C1024's (AMD: tabel 8/5.3-173; NEC: tabel 8/5.3-174).

5.3 Type-beschrijving 27yyy-serie

AC CHARACTERISTICS (T_a=25±5 °C, V_{CC}=6.0±0.25 V, V_{PP}=12.5±0.3 V)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
Address Setup Time	t_{AS}	2			μs	
$\overline{OE}$ Setup Time	t_{OES}	2			μs	
Data Setup Time	t_{DS}	2			μs	
Address Hold Time	t_{AH}	2			μs	
Data Hold Time	t_{DH}	2			μs	
$\overline{OE}$ to Output Float Time	t_{DF}	0		130	ns	
V_{PP} Setup Time	t_{VPS}	2			μs	
V_{CC} Setup Time	t_{VCS}	2			μs	
Initial Program Pulse Width	t_{PW}	0.095	0.1	0.105	ms	
Overprogram Pulse Width	t_{OPW}	0.38		0.42	ms	
$\overline{CE}$ Setup Time	t_{CES}	2			μs	
$\overline{OE}$ to Output Delay	t_{OE}			150	μs	

Tabel 8/5.3-174: Schakeltijden bij het programmeren van de uPD 27C1024.

DC CHARACTERISTICS over operating range unless otherwise specified (Notes 1, 4)

Parameter Symbol	Parameter Description	Test Conditions		Min.	Max.	Units
V_{OH}	Output HIGH Voltage	I_{OH} = −400 μA		2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 2.1 mA			0.45	V
V_{IH}	Input HIGH Voltage			2.0	V_{CC} + 1	V
V_{IL}	Input LOW Voltage			−0.1	+0.8	V
I_{LI}	Input Load Current	V_{IN} = 0 to +5.5 V			10.0	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0 to +5.5 V			10.0	μA
I_{CC3}	V_{CC} Power-down Current (Note 7)	$\overline{E}$ ($\overline{CE}$) = V_{CC} ±0.3 V	C/I Devices:		200.0	μA
			E Devices:		240.0	
I_{CC2}	V_{CC} Standby Current (Note 7)	$\overline{E}$ = V_{IH}, $\overline{G}$ ($\overline{OE}$) = V_{IL}	C/I Devices:		1.0	mA
			E Devices:		1.5	
I_{CC1}	V_{CC} Active Current (Notes 5 & 7)	$\overline{E}$ = V_{IL} f = 5 MHz; I_{OUT} = 0 mA (open outputs)	C/I Devices:		50.0	mA
			E Devices:		60.0	
I_{PP}	V_{PP} Supply Current (Read) (Notes 6 & 7)	$\overline{E}$ = V_{IL} = $\overline{G}$ V_{PP} = 5.5 V			5.0	mA

Tabel 8/5.3-169: Gelijkspanningscondities (van AMD; overige typen kunnen andere Icc en Ipp hebben).

ABSOLUTE MAXIMUM RATINGS

Storage Temperature .... −65 to +150°C
Case Temperature
with Power Applied .... −65 to +135°C
Supply Voltage
with Respect to Ground
on All Inputs Except A_9 and V_{PP} ...... +6.25 to −0.6 V
on A_9 .... +13.00 to −0.6 V
on V_{PP} .... +13.00 to −0.6 V

Stresses above those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to absolute maximum ratings for extended periods may affect device reliability.

Figuur 8/5.3-168: Maximaal toegelaten waarden.

5.3 Type-beschrijving 27yyy-serie

CAPACITANCE (Notes 2, 3 & 8)

Parameter Symbol	Parameter Description	Test Conditions	Typ.	Max.	Units
C_{IN}	Input Capacitance	$V_{IN} = 0$ V	18.0	25.0	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0$ V	18.0	25.0	pF

Notes:
1. V_{CC} *must be applied simultaneously or before* V_{PP}, and *removed simultaneously or after* V_{CC}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. Caution: The Am27C1024 must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
5. I_{CC1} is tested with $\overline{G} = V_{IH}$ to simulate open outputs.
6. Maximum active power usage is the sum of I_{CC} and I_{PP}.
7. For Am27C1024-455, $I_{PP} = 10$ mA, $I_{CC2} = 5$ mA, and $I_{CC3} = 1$ mA maximum.
8. $T_A = +25°C$, $f = 1$ MHz.

Tabel 8/5.3-170: Capaciteiten bij 1 MHz.

SWITCHING CHARACTERISTICS over operating range unless otherwise specified (Notes 1, 2, 4, 5)

Parameter Symbols		Parameter Description	Test Conditions	27C1024-200, 27C1024-205		27C1024 27C1024-250		27C1024-300, 27C1024-305		27C1024-455		Units
JEDEC	Standard			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{AVQV}	t_{ACC}	Address to Output Delay	$\overline{E}$ ($\overline{CE}$) = $\overline{G}$ ($\overline{OE}$) = V_{IL}		200		250		300		450	ns
t_{ELQV}	t_{CE}	Chip Enable to Output Delay	$\overline{G} = V_{IL}$		200		250		300		450	ns
t_{GLQV1}	t_{OE}	Output Enable to Output Delay	$\overline{E} = V_{IL}$		75		100		120		150	ns
t_{EHQZ}, t_{GHQZ}	t_{DF} (Note 3)	Chip Enable HIGH or Output Enable HIGH, whichever comes first, to Output Float			60		60		60		80	ns
t_{AXQX}	t_{OH}	Output Hold from Addresses, $\overline{E}$, or whichever occurred first			0		0		0		0	ns

1. V_{CC} must be applied simultaneously or before V_{PP}, and removed simultaneously or after V_{CC}.
2. Typical values are for nominal supply voltages.
3. This parameter is only sampled and not 100% tested.
4. Caution: The Am27C1024 must not be removed from or inserted into a socket or board when V_{PP} or V_{CC} is applied.
5. Output Load: 1 TTL gate and $C_L = 100$ pF

Tabel 8/5.3-171: Schakeltijden bij het uitlezen van de 27C210/27C1024.

5.3 Type-beschrijving 27yyy-serie

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Units
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}		10.0	μA
V_{IL}	Input LOW Level (All Inputs)		-0.1	0.8	V
V_{IH}	Input HIGH Level		2.0	$V_{CC} + 1$	V
V_{OL}	Output LOW Voltage during Verify	$I_{OL} = 2.1$ mA		.45	V
V_{OH}	Output HIGH Voltage during Verify	$I_{OH} = -400$ μA	2.4		V
V_{A9}	A_9 Auto-Select Voltage		11.5	12.5	V
I_{CC2}	V_{CC} Supply Current (Program and Verify)			50.0	mA
I_{PP2}	V_{PP} Supply Current (Program)	$\overline{E}$ ($\overline{CE}$) = V_{IL} = $\overline{W}$ ($\overline{PGM}$)		30.0	mA

Tabel 8/5.3-172: Gelijkspanningscondities bij het interaktief programmeren.

Parameter Symbols					
JEDEC	Standard	Parameter Description	Min.	Max.	Units
t_{AVWL}	t_{AS}	Address Setup Time	2.0		μs
t_{DZGL}	t_{OES}	$\overline{G}$ ($\overline{OE}$) Setup Time	2.0		μs
t_{DVWL}	t_{DS}	Data Setup Time	2.0		μs
t_{GHAX}	t_{AH}	Address Hold Time	2.0		μs
t_{WHDX}	t_{DH}	Data Hold Time	2.0		μs
t_{EHQZ}	t_{DF}	Chip Enable to Output Float Delay	0	130.0	μs
t_{VPS}	t_{VPS}	V_{PP} Setup Time	2.0		μs
t_{WLWH1}	t_{PW}	$\overline{W}$ ($\overline{PGM}$) Initial Program Pulse Width	.45	.55	ms
t_{WLWH2}	t_{OPW}	$\overline{W}$ Overprogram Pulse	0.95	1.05	ms
t_{ELWL}	t_{CES}	$\overline{E}$ ($\overline{CE}$) Setup Time	2.0		μs
t_{GLQV2}	t_{OE}	Data Valid from $\overline{G}$		150.0	ns

Notes:
1. $T_A = +25°C \pm 5°C$; $V_{CC} = 5.0$ V ± 0.25 V; $V_{PP} = 12.5 \pm 0.3$ V.
2. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
3. When programming the Am27C1024, a 0.1-μF capacitor is required between V_{PP} and ground to suppress spurious voltage transients which may damage the device.
4. Programming characteristics are sampled but not 100% tested to worst-case conditions.
5. Conventional (fixed pulse) programming can be performed with a 10-ms pulse at every address. This method is sampled and is not 100% tested.

Tabel 8/5.3-173: Schakeltijden bij het programmeren van de Am 27C1024.

5.3 Type-beschrijving 27yyy-serie

		MIN	TYP	MAX	UNIT
$t_{w(PGM)}$	Program pulse duration	0.45	0.5	0.55	ms
$t_{su(E)}$	Chip enable setup time	2			µs
$t_{su(A)}$	Address setup time	2			µs
$t_{su(G)}$	$\overline{G}$ setup time	2			µs
$t_{dis(G)}$	Output disable time from $\overline{G}$ (see Note 7)	0		100	ns
$t_{en(G)}$	Output enable time from $\overline{G}$			150	ns
$t_{su(D)}$	Data setup time	2			µs
$t_{su(VPP)}$	V_{PP} setup time	2			µs
$t_{su(VCC)}$	V_{CC} setup time	2			µs
$t_{h(A)}$	Address hold time	0			µs
$t_{h(D)}$	Data hold time	2			µs
$t_{h(G)}$	Output enable hold time from data	TBD			
$t_{su(DAO)}$	Data setup time before AO high	100			ns
$t_{h(DAO)}$	Data hold time after AO high	100			ns
$t_{h(E)}$	Chip enable hold time	TBD			

Tabel 8/5.3-175: Schakeltijden bij het programmeren van de TMX 27C210.

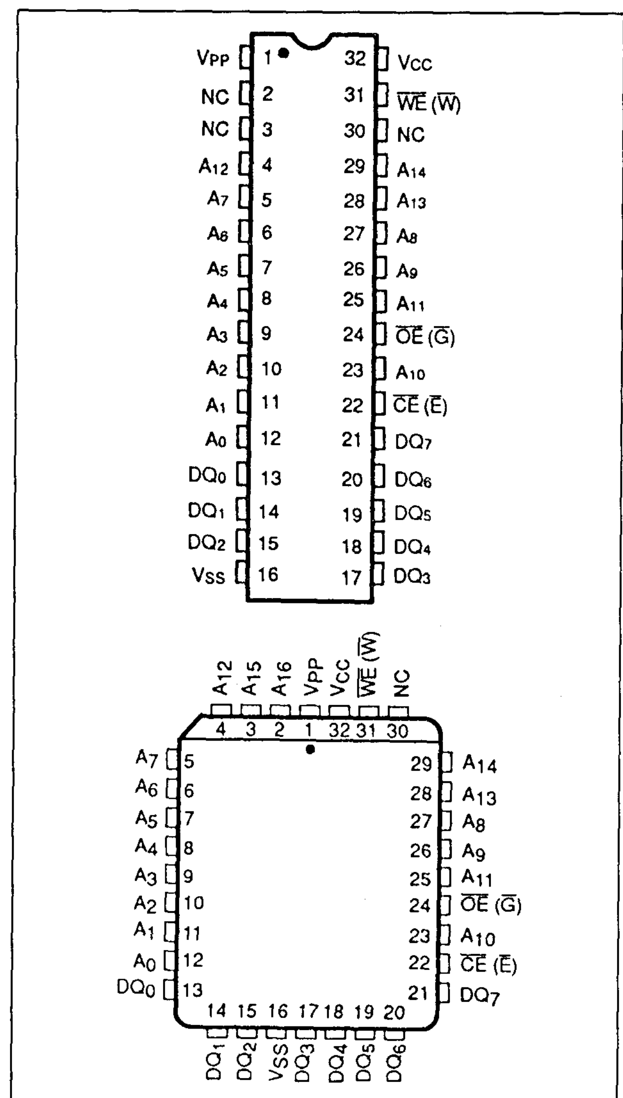
8/5.4

Type-beschrijving Flash EPROM's

28F256(A)
32 kB x 8 CMOS

De 28F256 is een 256 kB "Flash" elektrisch wisbaar, elektrisch programmeerbaar read-only geheugen met een 32 kB x 8 bit organisatie. Dit geheugen kan zowel in een EPROM-programmer als "in-circuit" worden ge(her)programmeerd en is verkrijgbaar in 32 pens plastic of keramische DIL of LCC behuizingen.

De 28F256 heeft toegangstijden van minimaal 120 ns (AMD-type: 90 ns), waardoor toepassing met high-speed microprocessoren zonder wait-states mogelijk is. Om busrivaliteit te voorkomen heeft dit niet-vluchtige geheugen aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen. De chip combineert de functionaliteit van een EPROM met de mogelijkheid van elektrisch wissen en programmeren zonder de chip uit de schakeling te halen. Om dit alles mogelijk te maken in een 32-pens behuizing is de 28F256 voorzien van een Command Register. De 28F256 kan minstens 10.000 maal betrouwbaar worden gewist en geprogrammeerd. Latch-up wordt voorkomen voor belastingen tot 100 mA op alle pennen, tussen -1 V en V_{CC} + 1 V.



Figuur 8/5.4-1: Aansluitingen van de 28F256(A).

Specificaties

De 28F256 heeft de volgende algemene kenmerken:

- Flash elektrische Chip-Erase (typ. 1 s)
- Quick-Pulse programmeer-algorithme
  byte programmeren in 10 µs typical
  chip programmeren in 0,5 s typical
- 10.000 wis/programmeercycli minimaal
- programmeer-/wisspanning V_{PP}: 12 V +/-5 %

5.4 Type-beschrijving Flash-EPROM's

Symbol	Type	Name and Function
A_0–A_{14}	INPUT	**ADDRESS INPUTS** for memory addresses. Addresses are internally latched during a write cycle.
DQ_0–DQ_7	INPUT/ OUTPUT	**DATA INPUT/OUTPUT:** Inputs data during memory write cycles; outputs data during memory read cycles. The data pins are active high and float to tri-state OFF when the chip is deselected or the outputs are disabled. Data is internally latched during a write cycle.
$\overline{CE}$	INPUT	**CHIP ENABLE** activates the device's control logic, input buffers, decoders, and sense amplifiers. $\overline{CE}$ is active low; $\overline{CE}$ high deselects the memory device and reduces power consumption to standby levels.
$\overline{OE}$	INPUT	**OUTPUT ENABLE** gates the devices output through the data buffers during a read cycle. $\overline{OE}$ is active low.
$\overline{WE}$	INPUT	**WRITE ENABLE** controls writes to the control register and the array. Write enable is active low. Addresses are latched on the falling edge and data is latched on the rising edge of the $\overline{WE}$ pulse. **Note:** With $V_{PP} \leq 6.5V$, memory contents cannot be altered.
V_{PP}		**ERASE/PROGRAM POWER SUPPLY** for writing the command register, erasing the entire array, or programming bytes in the array.
V_{CC}		**DEVICE POWER SUPPLY (5V ± 10%).**
V_{SS}		**GROUND.**
NC		**NO INTERNAL CONNECTION** to device. Pin may be driven or left floating.

Tabel 8/5.4-1: Beschrijving van de aansluitpennen.

- toegangstijd 120 ns (AMD-type 90 ns min.)
- CMOS dissipatie: 10 mA aktief, 50 µA standby
- geïntegreerde programmeer/wis stop-timer
- Command Register architectuur voor microprocessor/microcontroller compatibele schrijf-interface
- on-chip adres- en data-latches
- één-transistor geheugencellen
- latch-up bescherming tot 100 mA van -1 V tot V_{CC} + 1 V
- behuizingen (figuur 8/5.4-1):
  JEDEC standaard plastic
  keramische 32-pens DIL
  32-pens LCC
- fabrikanten onder andere:
  Intel (28F256A)
  AMD en Toshiba (TC58257A)

Toepassingen
De 28F256 koppelt niet-vluchtigheid aan de mogelijkheid om meer dan 10.000 maal elektrisch te wissen en te programmeren. Hierdoor is de 28F256 een aantrekkelijk alternatief voor schijf, EEPROM en batterij-gevoede statische RAM. In gevallen waar periodieke aanpassing van code en datatabellen nodig is, is dit geheugen een ideale vervanging voor EPROM. Wanneer primaire toepassingen en operating systemen in Flash worden opgeslagen vervalt het langzame disk-DRAM download proces, waardoor het prestatievermogen van het systeem drastisch zal verbeteren, terwijl het opgenomen vermogen flink zal dalen. Door het elektrisch wissen en in-system updaten neemt de flexibiliteit aanmerkelijk toe.
In schijfloze werkstations en terminals wordt het verkeer over de netwerken tot een mini-

mum beperkt en kunnen de systemen zeer snel opstarten. Bij onderbrekingen van de netspanning worden tijdrovende "re-boot"-perioden dan ook vermeden.
Voor ingebedde systemen biedt de 28F256 betere prestaties, een lager energieverbruik, momentaan inschakelen en een "execute in place" geheugen-hiërarchie voor het inlezen van code en data. Bovendien is het Flash-geheugen betrouwbaarder en robuuster voor toepassingen in aggressieve omgevingen. De 28F256 heeft voorzieningen die het aansluiten op een microprocessor gemakkelijk maken. In figuur 8/5.4-3 is getekend hoe twee 28F256-geheugens op de systeembus van een 80C186 microcontroller kunnen worden aangesloten. Door de architectuur van de 28F256 zijn zeer weinig interface-schakelingen nodig voor complete in-circuit updates van de geheugeninhoud.

Werking van de 28F256

Het Flash-geheugen combineert de functies van een EPROM met de mogelijkheid om elektrisch te wissen en te programmeren. De 28F256 is hiertoe voorzien van een Command Register dat 100 % TTL-compatibele besturingssignalen, een gefixeerde voedingsspanning tijdens wissen en programmeren en maximale EPROM-compatibiliteit mogelijk maakt. Wanneer de hoge spanning op de programmeerpen (12 V op V_{PP}) ontbreekt werkt de 28F256 als een ROM. Door signalen op de externe memory-control pennen worden dan de standaard EPROM lees, standby, output disable en intelligent identifier functies uitgevoerd. Dezelfde EPROM lees, standby en output disable operaties zijn ook beschikbaar als de 12 V programmeerspanning wel op de V_{PP}-pen staat. Bovendien wordt in dat geval wissen en programmeren van de component mogelijk, het Command Register is dan vrijgegeven. Alle functies die betrekking hebben op het veranderen van de inhoud van het geheugen (intelligent identifier, wissen, wis/verifieer, programmeren en programmeer/verifieer) zijn toegankelijk via het Command Register.

De commando's worden met behulp van standaard microprocessor schrijf-timingen naar het register geschreven. De inhoud van het register dient als instelling van een interne "state-machine" die de schakelingen voor het wissen en programmeren bestuurt. Met schrijfcycli worden ook de adressen en data die voor het wissen en programmeren nodig zijn intern gelatcht. Wanneer het juiste commando in het register is geschreven kan array-data, de intelligente identificatiecode of uitgangsdata door de microprocessor worden uitgelezen voor verificatie.

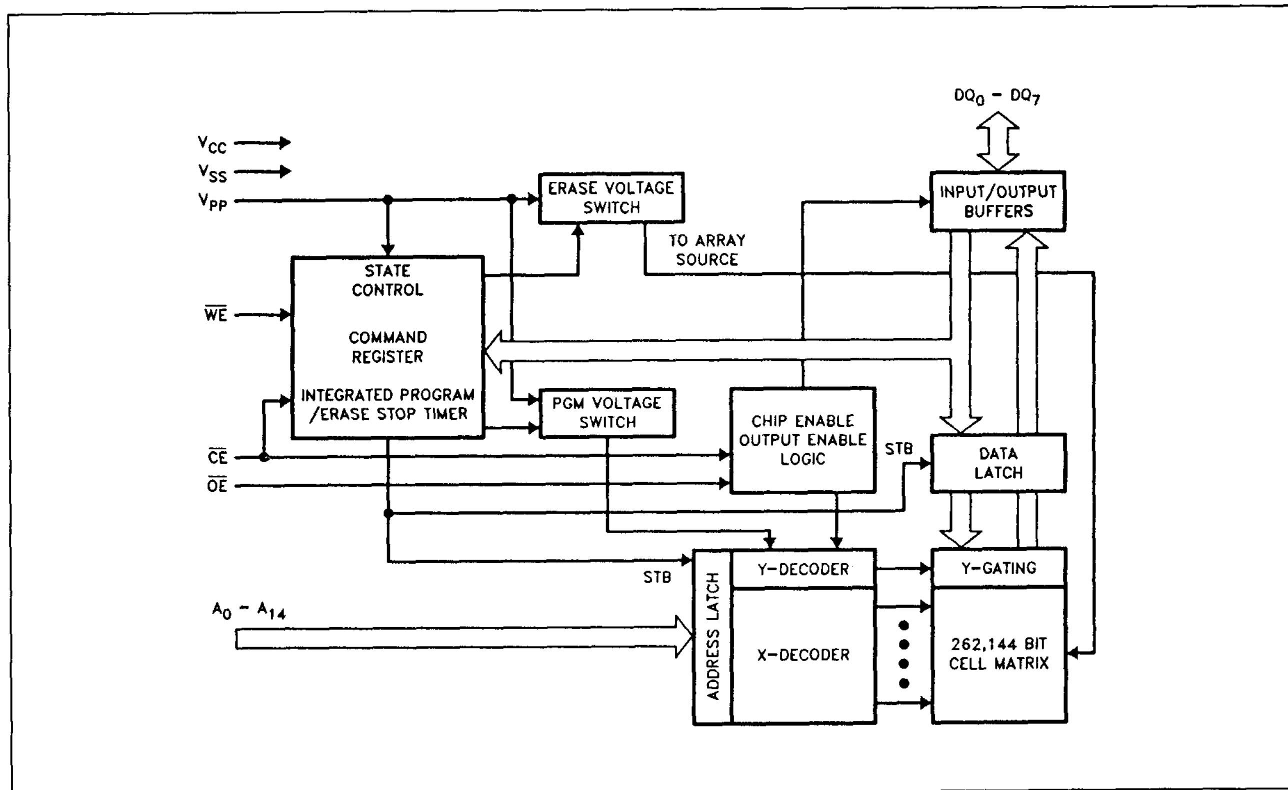
Geïntegreerde programmeer/wis Stop Timer

De tijdsduur van de programmeer- en wisoperaties wordt bepaald door achtereenvolgende commando-schrijfcycli. Bovendien worden de wis- en programmeercycli gewoonlijk gevolgd door de bijbehorende verificatie-commando's. De timing van deze handelingen wordt door een geïntegreerde stop timer (zie blokschema, figuur 8/5.4-2) vergemakkelijkt, waardoor programmeer/wis-specificaties overbodig worden. De tijdsduren voor wissen en programmeren zijn hierdoor minimaal.
Als de stop-timer een programmeer- of wisoperatie beëindigt, komt het geheugen in een niet-aktieve toestand totdat een verifieer- of reset-commando wordt ontvangen.

Schrijf-beveiliging

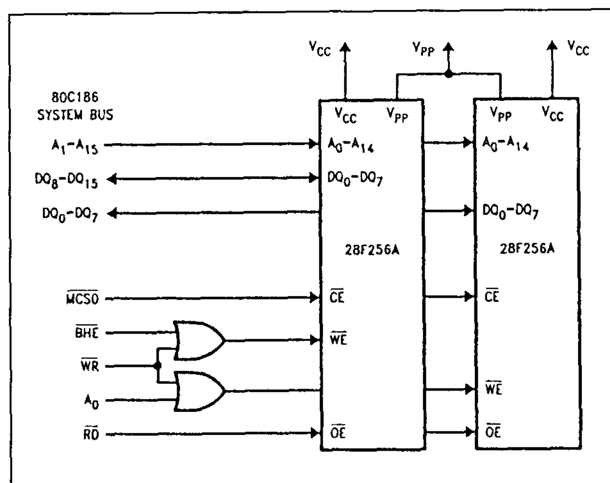
Het Command Register is alleen aktief als op V_{PP} een hoge spanning (12 V nominaal) aanwezig is. Afhankelijk van de toepassing kan de ontwerper ervoor kiezen om de V_{PP}-voeding afschakelbaar te maken, waardoor die alleen beschikbaar is als de inhoud van het geheugen gewijzigd moet worden. Wanneer V_{PP} = V_{PPL} komt de inhoud van het register overeen met het lees-commando, waardoor de 28F256 als ROM werkt. De inhoud van het geheugen kan dan niet worden veranderd.
De ontwerper kan V_{PP} echter ook continu aangesloten laten.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-2: Blokschema van de 28F256.

In dat geval worden de functies van het Command Register gesperd als V_{CC} beneden de schrijf-lockout spanning V_{LKO} komt (zie Power Up/Down beveiliging). De 28F256 is geschikt voor beide manieren.



Figuur 8/5.4-3: Aansluiting van twee 28F256A's in een 80C186 systeem.

Bus-operaties
In de volgende paragraafjes zullen de verschillende bus-operaties worden toegelicht.

Lezen
De 28F256 heeft twee besturingsfuncties die beide logisch aktief moeten zijn om data aan de uitgangen te verkrijgen. Chip-Enable ($\overline{CE}$) is de besturing van de voeding en moet voor de selectie van de component worden gebruikt.
Met Output-Enable ($\overline{OE}$) wordt de uitgang bediend en is het mogelijk om, onafhankelijk van de keuze van de component, data van de uitgangspennen te halen. Zie ook de AC lees-timing golfvormen.
Als V_{pp} HOOG is (V_{PPH}) kunnen de lees-operaties worden gebruikt voor het ophalen van array-data, de intelligente identificatiecodes en data voor programmeer/wis-verificatie. Als V_{pp} LAAG is (V_{PPL}) kan alleen de array-data worden uitgelezen.

5.4 Type-beschrijving Flash-EPROM's

	Pins / Operation	V_{PP}(1)	A_0	A_9	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	DQ_0–DQ_7
READ-ONLY	Read	V_{PPL}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out
	Output Disable	V_{PPL}	X(7)	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby	V_{PPL}	X	X	V_{IH}	X	X	Tri-State
	int$_e$ligent ID Manufacturer(2)	V_{PPL}	V_{IL}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = 89H
	int$_e$ligent ID Device(2)	V_{PPL}	V_{IH}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = B9H
READ/WRITE	Read	V_{PPH}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out(4)
	Output Disable	V_{PPH}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby(5)	V_{PPH}	X	X	V_{IH}	X	X	Tri-State
	Write	V_{PPH}	A_0	A_9	V_{IL}	V_{IH}	V_{IL}	Data In (6)

NOTES:
1. Refer to DC Characteristics. When $V_{PP} = V_{PPL}$ memory contents can be read but not written or erased.
2. Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 3. All other addresses low.
3. V_{ID} is the int$_e$ligent Identifier high voltage. Refer to D.C. Characteristics.
4. Read operations with $V_{PP} = V_{PPH}$ may access array data or the int$_e$ligent Identifier codes.
5. With V_{PP} at high voltage, the standby current equals $I_{CC} + I_{PP}$ (standby).
6. Refer to Table 3 for valid Data-In during a write operation.
7. X can be V_{IL} or V_{IH}.

Tabel 8/5.4-2: Bus-operaties van de 28F256.

Output Disable

Wanneer Output-Enable op een logisch-hoge waarde (V_{IH}) staat, worden de uitgangen van het geheugen gesperd. De uitgangspennen bevinden zich dan in een hoog-impedante toestand.

Standby

Als Chip-Enable op een logisch-hoge waarde staat, worden door de standby-werking de meeste schakelingen in de 28F256 gesperd, waardoor het opgenomen vermogen beduidend lager wordt. De uitgangen worden, onafhankelijk van het Output-Enable signaal, in een hoog-impedante toestand gezet. Als de 28F256 tijdens het wissen, programmeren of verificatie van programmeren/wissen gedeselecteerd wordt blijft het geheugen aktieve stroom trekken totdat de operatie is beëindigd.

Intelligente Identificatie

Met de intelligente identificatie-operatie (ook auto-select genoemd) komt de fabrikanten-code (Intel: 89H, AMD: 01H) en de device-code (Intel: B9H, AMD: A1H) beschikbaar. De programmeerapparatuur past de wis- en programmeer algorithmen automatisch hierop aan. Met Chip-Enable en Output-Enable op een logisch-laag niveau wordt deze operatie geaktiveerd door A9 op een hoge spanning V_{ID} te brengen (zie tabel 8/5.4-2 en DC-karakteristieken). De data die van de lokaties 0000H (hexadecimaal 0000) en 0001H worden gelezen komen overeen met respectievelijk de fabrikanten-code en de device-code.

Beide codes kunnen ook worden uitgelezen via het Command Register als de 28F256 bijvoorbeeld in het doelsysteem wordt gewist en opnieuw geprogrammeerd. Na het schrijven van 90H in het Command Register komt de fabrikanten-code (89H) op adres 0000H beschikbaar, terwijl op adres 0001H de device-code (B9H) kan worden uitgelezen.

Schrijven

Wissen en programmeren van het geheugen worden uitgevoerd via het Command Register als een hoge spanning op de V_{PP}-pen wordt gezet. De inhoud van het register dient dan als ingang voor de inwendige "state-machine".

De uitgangen van de "state-machine" bepalen vervolgens de werking van de component.

5.4 Type-beschrijving Flash-EPROM's

Command	Bus Cycles Req'd	First Bus Cycle			Second Bus Cycle		
		Operation(1)	Address(2)	Data(3)	Operation(1)	Address(2)	Data(3)
Read Memory	1	Write	X	00H			
Read int$_e$ligent ID Codes	3	Write	X	90H	Read	(4)	(4)
Set-Up Erase/Erase(6)	2	Write	X	20H	Write	X	20H
Erase Verify(6)	2	Write	EA	A0H	Read	X	EVD
Set-Up Program/Program(5)	2	Write	X	40H	Write	PA	PD
Program Verify(5)	2	Write	X	C0H	Read	X	PVD
Reset(7)	2	Write	X	FFH	Write	X	FFH

NOTES:
1. Bus operation are defined in Table 2.
2. IA = Identifier address: 00H for manufacturer code, 01H for device code.
   EA = Address of memroy location to be read during erase verify.
   PA = Address of memory location to be programmed.
   Addresses are latched on the falling edge of the Write-Enable pulse.
3. ID = Data read from location IA during device identification. (Mfr = 89H, Device = B9H).
   EVD = Data read from location EA during erase verify.
   PD = Data to be programmed at location PA. Data is latched on the rising edge of the Write-Enable.
   PVD = Data read from location PA during program verify. PA is latched on the Program command.
4. Following the Read int$_e$ligent ID command, two read operations access manufacturer and device codes.
5. Figure 4 illustrates the Quick-Pulse Programming Algorithm.
6. Figure 5 illustrates the Quick-Erase Algorithm.
7. The second bus cycle must be followed by the desired command register write.

Tabel 8/5.4-3: Definities van de commando's.

Het Command Register bezet zelf geen adresseerbare geheugenlokatie. Het register is een latch die wordt gebruikt om het commando en de voor de uitvoering van het commando benodigde adres- en data-informatie in op te slaan.
Het Command Register wordt beschreven door Write-Enable ($\overline{WE}$) op een logisch-laag niveau (V_{IL}) te brengen, terwijl Chip-Enable LAAG is. Adressen worden gelatcht op de dalende flank van Write-Enable, terwijl data op de stijgende flank van de Write-Enable puls wordt gelatcht. Hierbij zijn de standaard microprocessor timingen van kracht.

Definities van de Commando's

Wanneer op de V_{PP}-pen een lage spanning staat, wordt de inhoud van het Command Register automatisch (default) 00H, waardoor read-only operaties mogelijk worden.
Door 12 V op de V_{PP}-pen te zetten worden lees/schrijf-operaties toegestaan. Welke operaties dat zijn wordt bepaald door de data-patronen die in het Command Register worden geschreven. In tabel 8/5.4-3 wordt een overzicht van de register-commando's gegeven, terwijl ze hieronder apart worden behandeld.

Lees-commando (Read Memory)

Terwijl V_{PP} HOOG is om te kunnen wissen en programmeren, kunnen de inhouden van het geheugen worden bereikt met het lees-commando. De lees-operatie wordt ingeleid door 00H in het Command Register te schrijven. Door microprocessor leescycli wordt array-data opgehaald. Het geheugen blijft bereikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.
Bij het opkomen van de voedingsspanning is de inhoud van het register automatisch (default) 00H. Hierdoor wordt voorkomen dat bij verschijnen van V_{PP} de inhoud van het geheugen per ongeluk verandert.

5.4 Type-beschrijving Flash-EPROM's

Als V_{PP} altijd op de 28F256 aanwezig is ("hardwired"), komt de component op spanning en blijft beschikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd (zie voor de timing de AC leeskarakteristieken en golfvormen).

Inlezen van de identificatie

Flash-geheugens zijn bedoeld voor toepassingen, waarbij de inhoud van het geheugen door de lokale CPU wordt veranderd. Daarom moet het mogelijk zijn de fabrikant- en device-codes uit te lezen terwijl de component zich in het definitieve systeem bevindt. PROM-programmers verkrijgen de identificatiecodes meestal door A9 op een hoge spanning te brengen. In de praktijk is het echter niet gewenst een hoge spanning naar adreslijnen te multiplexen.
De 28F256 kan een intelligente identificatie-operatie uitvoeren ("Read intelligent ID Codes") die aan de traditionele PROM-programmeer methodologie wordt toegevoegd. Deze handeling wordt ingeleid door 90H in het Command Register te schrijven. Na deze schrijf-operatie levert een leescyclus op adres 0000H de fabrikant-code 89H (Intel) op. Op adres 0001H kan vervolgens de device-code (B9H) worden uitgelezen. Om deze operatie te beëindigen is het nodig om een ander geldig commando in het register te schrijven.

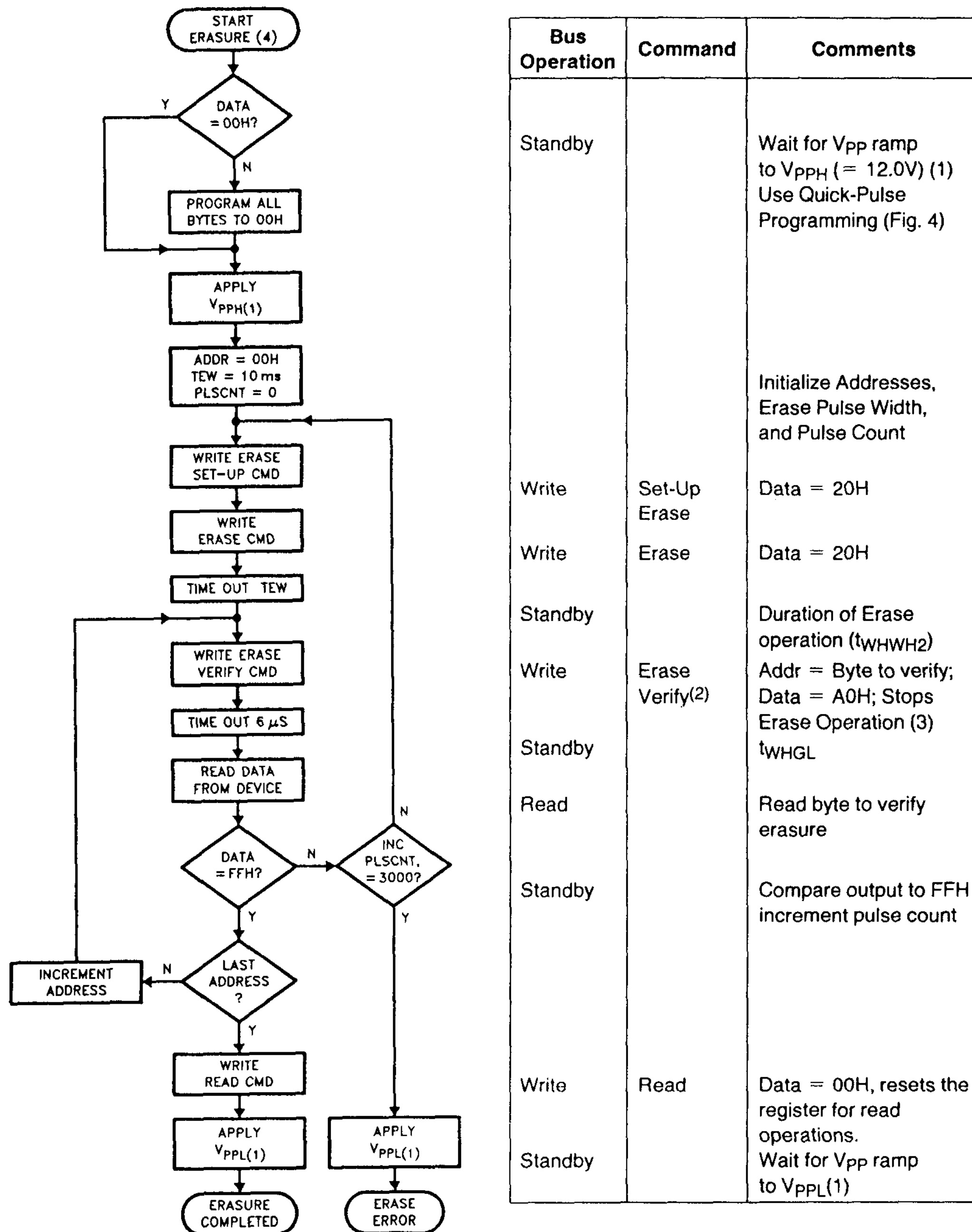
Set-up wis/wis (Set-up Erase/Erase) commando's

Set-up erase is een commando waardoor het geheugen wordt klaargezet voor wissen van alle bytes in het array. Deze operatie wordt uitgevoerd door 20H in het Command Register te schrijven. Om het wissen van de chip te beginnen moet het wis-commando (20H) nog een keer in het register worden geschreven. Het wissen begint dan op de stijgende flank van de Write-Enable puls en eindigt op de stijgende flank van de volgende Write-Enable puls (van bijvoorbeeld het Wis-Verifieer commando). Door deze tweetraps volgorde van set-up, gevolgd door de uitvoering wordt voorkomen dat de inhoud van het geheugen per ongeluk wordt uitgewist. Bovendien kan wissen van de chip alleen gebeuren als op de V_{PP}-pen een hoge spanning staat.
Bij afwezigheid van deze spanning is de inhoud van het geheugen beveiligd tegen wissen (zie AC wis-karakteristieken en golfvormen voor de specifieke timing).

Wis-Verifieer (Erase-Verify) commando

Met het wis-commando worden alle bytes van het array parallel gewist. Na elke wis-operatie moeten alle bytes worden geverifieerd.
De wis-verifieer operatie wordt ingeleid door A0H in het Command Register te schrijven. Het adres van de byte die moet worden geverifieerd moet op de dalende flank van de Write-Enable puls worden gelatcht. De wis-operatie wordt op de stijgende flank van de Write-Enable puls van het schrijven naar het register beëindigd.
De 28F256 zet een inwendig opgewekte marge-spanning op de geadresseerde byte. Wanneer de inhoud van de geadresseerde byte FFH is, zijn alle bits hierin gewist.
Het wis-verifieer commando moet in het Command Register worden geschreven voordat het adres voor de byte-verificatie wordt gelatcht.
Dit proces gaat door voor alle bytes in het array totdat een byte geen FFH oplevert of als het laatste adres is uitgelezen.
In het geval dat de uitgelezen data niet FFH is wordt nog een wis-operatie uitgevoerd (zie ook Wis set-up/wis). Er wordt dan geverifieerd vanaf de laatste geverifieerde byte. Zijn alle bytes in het array geverifieerd dan is de wis-operatie klaar en kan de component worden geprogrammeerd. Op dit punt wordt het verifiëren beëindigd door een geldig commando (bijvoorbeeld Program Set-up) in het Command Register te schrijven. In figuur 8/5.4-4 (de Quick Puls Algorithme) is te zien hoe commando's en bus-operaties worden gecombineerd om de 28F256 elektrisch te kunnen wissen.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
Standby		Wait for V_{PP} ramp to V_{PPH} (= 12.0V) (1) Use Quick-Pulse Programming (Fig. 4)
		Initialize Addresses, Erase Pulse Width, and Pulse Count
Write	Set-Up Erase	Data = 20H
Write	Erase	Data = 20H
Standby		Duration of Erase operation (t_{WHWH2})
Write	Erase Verify(2)	Addr = Byte to verify; Data = A0H; Stops Erase Operation (3)
Standby		t_{WHGL}
Read		Read byte to verify erasure
Standby		Compare output to FFH increment pulse count
Write	Read	Data = 00H, resets the register for read operations.
Standby		Wait for V_{PP} ramp to V_{PPL}(1)

Figuur 8/5.4-4: De Quick Pulse Algorithme kan op de 28F256 worden toegepast.

5.4 Type-beschrijving Flash-EPROM's

Set-up programmeer/programmeer commando's

Set-up Program is een commando waardoor de component wordt klaargezet voor programmeren van de bytes. De set-up operatie wordt uitgevoerd door 40H in het Command Register te schrijven.
Nadat de set-up is uitgevoerd maakt de volgende Write-Enable puls dat aktief kan worden geprogrammeerd. De adressen worden inwendig op de dalende flank van de Write-Enable puls gelatcht, terwijl data intern op de stijgende flank van de Write-Enable puls wordt gelatcht. Op de stijgende flank van Write-Enable begint ook het programmeren. De programmeer-operatie eindigt op de volgende stijgende flank van Write-Enable die wordt gebruikt om het program-verifieer commando te schrijven.

Program Verifieer commando

De 28F256 wordt geprogrammeerd op basis van byte-na-byte.
Het byte-programmeren mag opeenvolgend of willekeurig gebeuren. Na iedere programmeer-operatie moet de nét geprogrammeerde byte worden geverifieerd.
De program-verifieer operatie wordt ingeleid door C0H in het Command Register te schrijven. Door het schrijven in het register wordt de programmeer-operatie op de stijgende flank van de Write-Enable puls beëindigd. De program-verifieer operatie zet de component klaar voor verificatie van de laatst geprogrammeerde byte. Er wordt geen nieuwe adres-informatie gelatcht.
De 28F256 zet een inwendig opgewekte marge-spanning op de byte. De data verschijnt op een microprocessor lees-cyclus. Wanneer de geprogrammeerde data overeenkomt met de aangeboden data is de byte goed geprogrammeerd. Het programmeren gaat dan verder op de volgende gewenste byte-lokatie. In figuur 8/5.4-5 (de Quick Puls Programmeer Algorithme) is te zien hoe de commando's worden gecombineerd met bus-operaties om de byte-programmering uit te voeren.

Reset commando

De wis- en programmeer handelingen kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee opvolgende FFH's wordt de operatie veilig afgebroken. De inhoud van het geheugen zal hierdoor niet worden veranderd. Hierna moet een geldig commando worden ingeschreven om de component in de gewenste toestand te plaatsen.

Langdurig wissen/programmeren

Gebruikers zijn altijd bezorgd geweest over het vaak wissen/programmeren van EEPROM's.
Het sterke elektrische veld dat voor het tunnelen van dunne oxyde EEPROM's nodig is, kan het oxyde op zwakke plaatsen letterlijk verscheuren. Om dit te bestrijden hebben sommige fabrikanten redundantieschema's opgenomen, waardoor deze fouten tot onbelangrijke niveaus beperkt bleven. Voor redundantie is echter verdubbeling van de celafmetingen nodig, een dure oplossing. Door de toegepaste ETOX II Flash-geheugen technologie van Intel is zeer vaak wissen/programmeren mogelijk zonder toename van de afmetingen van de geheugencellen. De 28F256A is dan ook gespecificeerd voor 10.000 programmeer/wis-cycli. Het geheugen wordt geprogrammeerd en gewist met behulp van Intel's Quick-Pulse Programming en Quick-Erase algorithmen.

De Quick-pulse Programmeer algorithme

Bij de Quick-Pulse Programmeer algorithme (zie figuur 8/5.4-5) zijn de programmeeroperaties 10 μs lang. Iedere operatie wordt gevolgd door een byte-verificatie om te bepalen of de geadresseerde byte met succes is geprogrammeerd. De algorithme staat maximaal 25 programmeer-operaties per byte toe, hoewel de meeste bytes op de eerste of tweede operatie al goed zijn. De gehele volgorde van programmeren en byte

verifiëren wordt uitgevoerd terwijl V_{PP} op een 12 V-spanning staat.

De Quick-Erase algorithme

Met de Quick-Erase algorithme wordt de inhoud van het geheugen snel en betrouwbaar elektrisch gewist. De algorithme verloopt (net als de Quick-Pulse Programmeer algorithme) volgens een gesloten lus om simultaan de lading van alle bits in het array te verwijderen. Het wissen begint met het lezen van de geheugen-inhoud. De 28F256 wordt leeg geleverd. Uitlezing van FFH-data kan direkt worden gevolgd door programmeren van de component.

Componenten die gewist en geprogrammeerd zijn kunnen uniform en betrouwbaar worden gewist door eerst alle bits naar de geladen toestand (00H) te programmeren. Dit wordt met gebruik van de Quick-Pulse Programmeer algorithme in ongeveer een halve seconde uitgevoerd.

De wis-operatie gaat dan door met een initiële wis-operatie. Verificatie van het wissen (data = FFH) begint op adres 0000H en gaat door tot het laatste adres of totdat van FFH afwijkende data wordt ontmoet. Het wissen kan efficiënter worden door het adres van de laatste geverifieerde byte in een register op te slaan. Na de volgende wis-operatie begint het verifiëren dan op het opgeslagen adres. Het wissen geschiedt in ongeveer één seconde.

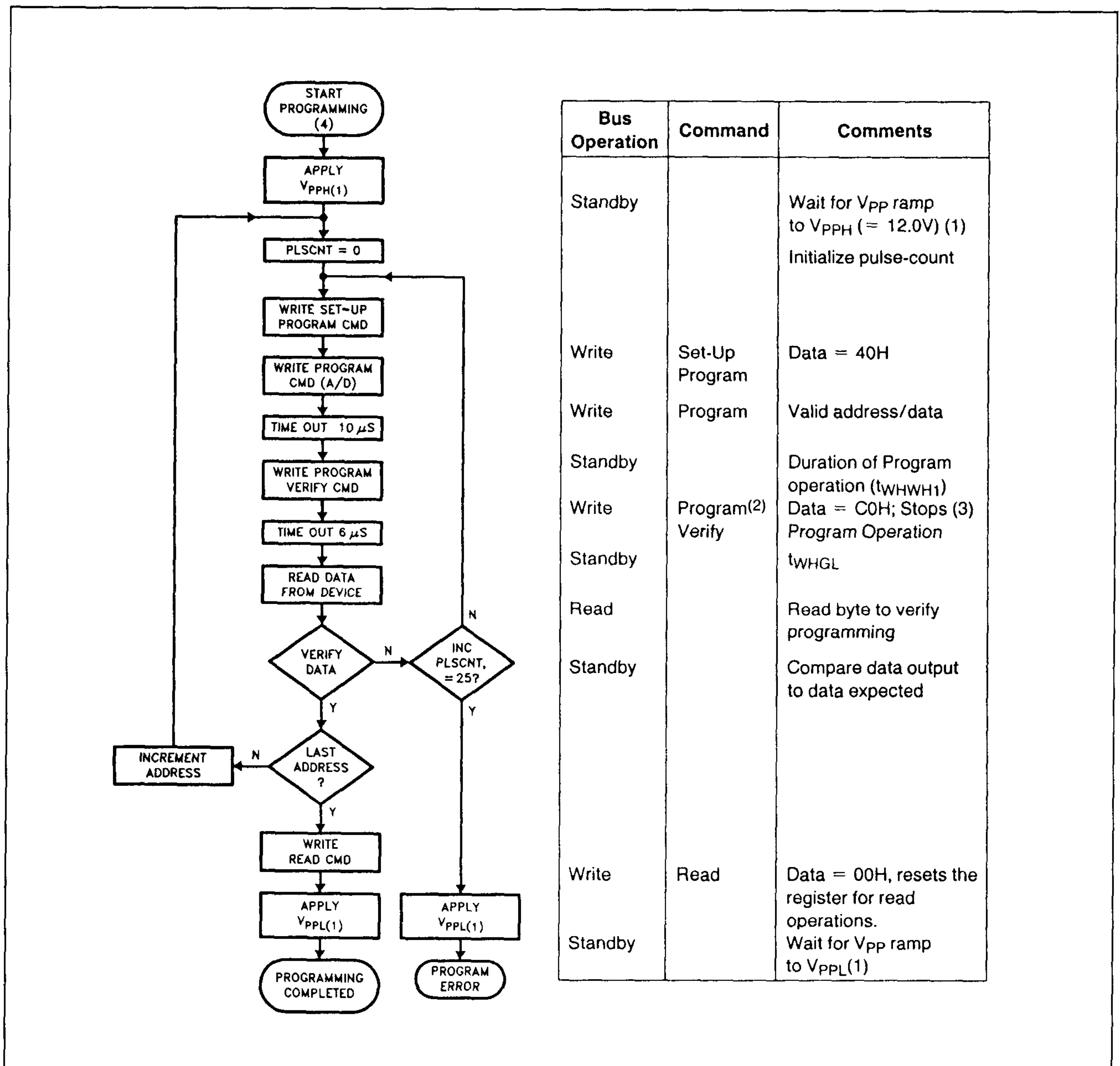
Maatregelen bij het ontwerpen

- Tweelijns uitgangsbesturing
  Flash-geheugens worden vaak toegepast in grotere geheugen-arrays. Om hieraan tegemoet te komen is de 28F256 uitgerust met twee read-control ingangen. Om deze besturingslijnen efficiënt te gebruiken moet een adres-decoder de Chip-Enable besturen, terwijl het lees-signaal van het systeem alle Flash-geheugens en andere parallel geschakelde geheugens bestuurt. Hierdoor wordt gegarandeerd dat alleen data van vrijgegeven geheugens beschikbaar komt en dat de niet-geselecteerde geheugens in de standby toestand blijven.
- Ontkoppeling van de voeding
  Het aan- en uitschakelen van de voeding van Flash-geheugens maakt zorgvuldige ontkoppeling noodzakelijk. Systeem-ontwerpers krijgen te maken met drie I_{CC}-gevallen: standby, aktief en pieken op de flanken van Chip-Enable. De hoogten van deze pieken zijn afhankelijk van de capacitieve en inductieve belastingen van de uitgangen.
  Spanningspieken worden onderdrukt door de tweelijns besturing en een juiste keuze van de ontkoppel-condensator. Elke component moet een keramische condensator van 0,1 µF tussen V_{CC} en V_{SS} en tussen V_{PP} en V_{SS} hebben. Plaats deze condensatoren zo dicht mogelijk bij de component. Bovendien moet per acht componenten een 4,7 µF elektrolitische condensator tussen V_{CC} en V_{SS} worden opgenomen.
- V_{PP}-lijn op printkaarten
  Voor het programmeren van Flash-geheugens die zich in de definitieve schakeling bevinden is het nodig dat de ontwerper aandacht besteed aan het spoor voor V_{PP} in de gedrukte bedrading. Het wordt aanbevolen dezelfde spoorbreedten en layout-overwegingen te gebruiken als voor de V_{CC}-bus om spanningspieken en overshoots te vermijden.
- Power Up/Down beveiliging
  Het ontwerp van de 28F256 biedt bescherming tegen per ongeluk wissen of programmeren bij veranderingen van de voedingsspanning. Bij het inschakelen van de voeding maakt het voor de 28F256 niet uit of V_{CC} of V_{PP} het eerst aanwezig is. Inwendige schakelingen zorgen ervoor dat het Command Register bij power-up in de leesmode wordt gezet.
  De systeem-ontwerper moet ervoor waken dat wordt geschreven met Vcc-spanningen die hoger zijn dan V_{LKO} als Vpp aktief is.

5.4 Type-beschrijving Flash-EPROM's

Aangezien zowel $\overline{WE}$ als $\overline{CE}$ LAAG moeten zijn voor een schrijfcommando, wordt schrijven voorkomen door één van beide HOOG te maken.
De architectuur van het control register zorgt voor nog een extra beveiliging aangezien verandering van de inhoud van het geheugen alleen plaatsvindt na succesvolle afsluiting van de tweetraps commando-volgorden.

– Vermogensdissipatie van de 28F256A
Wanneer draagbare systemen worden ontworpen moet de ontwerper rekening houden met het energieverbruik en dit niet alleen bij bedrijf maar ook bij afschakeling. De niet-vluchtige Flash-geheugens verbruiken niets om de code of data vast te houden. In tabel 8/5.4-4 is samengevat hoeveel vermogen wordt gedissipeerd bij het updaten van de 28F256A.



Bus Operation	Command	Comments
Standby		Wait for V_{PP} ramp to V_{PPH} (= 12.0V) (1) Initialize pulse-count
Write	Set-Up Program	Data = 40H
Write	Program	Valid address/data
Standby		Duration of Program operation (t_{WHWH1})
Write	Program(2) Verify	Data = C0H; Stops (3) Program Operation
Standby		t_{WHGL}
Read		Read byte to verify programming
Standby		Compare data output to data expected
Write	Read	Data = 00H, resets the register for read operations.
Standby		Wait for V_{PP} ramp to V_{PPL}(1)

Figuur 8/5.4-5: De Quick-Pulse Programmeer Algorithme voor de 28F256.

5.4 Type-beschrijving Flash-EPROM's

Operation	Power Dissipation (Watt-Seconds)
Array Program/Program Verify	0.043
Array Erase/Erase Verify	0.083
One Complete Cycle	0.169

Tabel 8/5.4-4: Opgenomen vermogen bij updaten van de 28F256A.

Overige karakteristieken

De overige van belang zijnde elektrische en timing karakteristieken van het Intel-type van de 28F256A zijn opgenomen in de figuren 8/5.4-6 tot en met 8/5.4-13 en de tabellen 8/5.4-5 tot en met 8/5.4-12.

Operating Temperature
During Read ....0°C to +70°C
During Erase/Program ....0°C to +70°C

Temperature Under Bias .... −10°C to +80°C

Storage Temperature .... −65°C to +125°C

Voltage on Any Pin with
Respect to Ground .... −2.0V to +7.0V

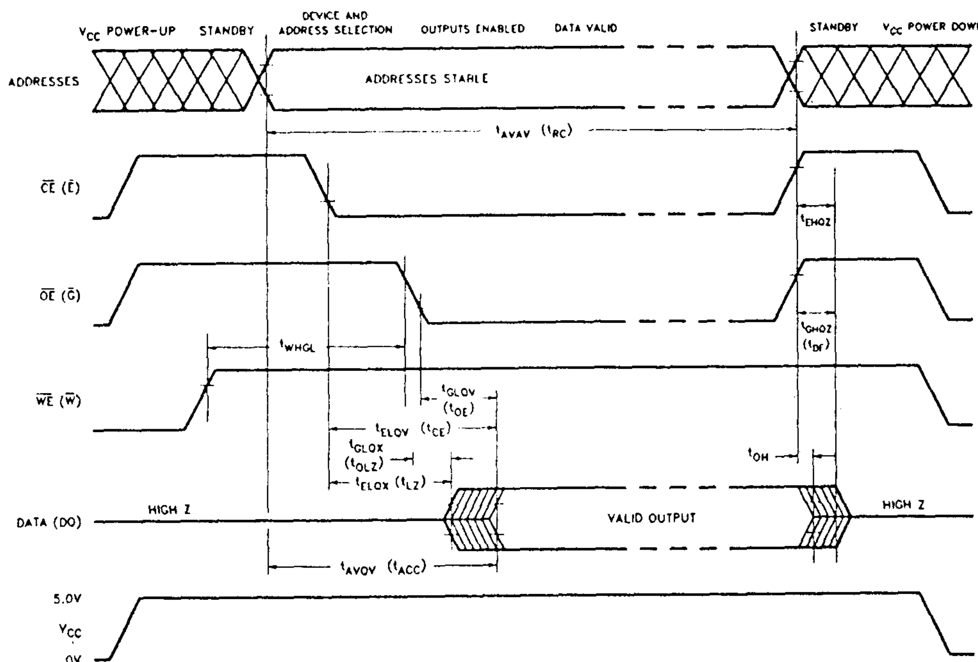
Voltage on Pin A_9 with
Respect to Ground .... −2.0V to +13.5V

V_{PP} Supply Voltage with
Respect to Ground
During Erase/Program ..... −2.0V to +14.0

V_{CC} Supply Voltage with
Respect to Ground .... −2.0V to +7.0V

Output Short Circuit Current............. 100 mA

Tabel 8/5.4-5: Maximaal toegelaten waarden.

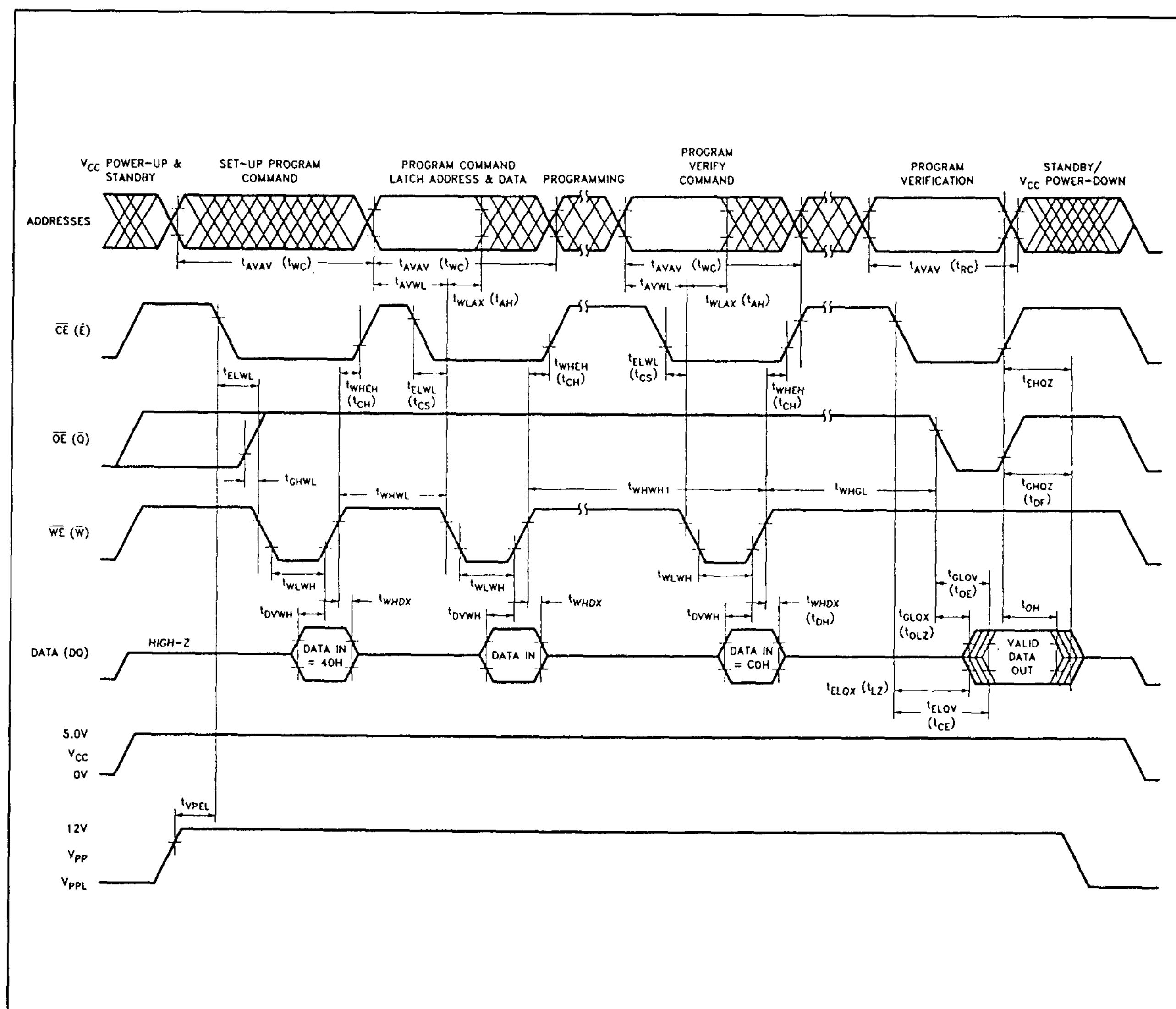


Figuur 8/5.4-6: Golfvormen bij uitlezen van de 28F256.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Limits		Unit	Comments
		Min	Max		
T_A	Operating Temperature	0	70	°C	For Read-Only and Read/Write Operations
V_{CC}	V_{CC} Supply Voltage	4.50	5.50	V	

Tabel 8/5.4-6: Voor de 28F256 aanbevolen bedrijfscondities.



Figuur 8/5.4-7: Golfvormen bij het programmeren van de 28F256.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typical	Max		
I_{LI}	Input Leakage Current	1			± 1.0	µA	$V_{CC} = V_{CC}$ max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			± 10.0	µA	$V_{CC} = V_{CC}$ max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1			1.0	mA	$V_{CC} = V_{CC}$max $\overline{CE} = V_{IH}$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$max $\overline{CE} = V_{IL}$ f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erasure Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			± 10.0	µA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current, or Standby Current	1		90	200	µA	$V_{PP} > V_{CC}$
					± 10.0		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		4.0	20	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		2.0		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA $V_{CC} = V_{CC}$ min
V_{OH1}	Output High Voltage		2.4			V	I_{OH} = −2.5 mA $V_{CC} = V_{CC}$min
V_{ID}	A_9 int$_e$ligent Identifier Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier Current			90	200	µA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} During Read-Only Operations		0.00		6.5	V	Note: Erase/Program are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} During Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-7: TTL/NMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typical	Max		
I_{LI}	Input Leakage Current	1			±1.0	μA	$V_{CC} = V_{CC}$ max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			±10.0	μA	$V_{CC} = V_{CC}$ max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1		50	100	μA	$V_{CC} = V_{CC}$max $\overline{CE} = V_{CC} \pm 0.2V$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$max $\overline{CE} = V_{IL}$ f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			±10.0	μA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current, or Standby Current	1		90	200	μA	$V_{PP} > V_{CC}$
					±10.0		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		4.0	20	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		$0.7V_{CC}$		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA $V_{CC} = V_{CC}$ min
V_{OH1}	Output High Voltage		$0.85V_{CC}$			V	I_{OH} = −2.5 mA, $V_{CC} = V_{CC}$ min
V_{OH2}			V_{CC} −0.4				I_{OH} = 100 μA, $V_{CC} = V_{CC}$ min
V_{ID}	A_9 int$_e$ligent Identifier Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier Current			90	200	μA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} During Read-Only Operations		0.00		6.5	V	Note: Erase/Program are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} During Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-8: CMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Versions		Notes	28F256A-120		28F256A-150		28F256A-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{RC}	Read Cycle Time	3	120		150		200		ns
t_{ELQV}/t_{CE}	Chip Enable Access Time			120		150		200	ns
t_{AVQV}/t_{ACC}	Address Access Time			120		150		200	ns
t_{GLQV}/t_{OE}	Output Enable Access Time			50		55		60	ns
t_{ELQX}/t_{LZ}	Chip Enable to Output in Low Z	3	0		0		0		ns
t_{EHQZ}	Chip Disable to Output in High Z	3		55		55		60	ns
t_{GLQX}/t_{OLZ}	Output Enable to Output in Low Z	3	0		0		0		ns
t_{GHQZ}/t_{DF}	Output Disable to Output in High Z	4		30		35		40	ns
t_{OH}	Output Hold from Address, $\overline{CE}$, or $\overline{OE}$ Change(1)	3	0		0		0		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs

NOTES:
1. Whichever occurs first.
2. Rise/Fall time ≤ 10 ns.
3. Not 100% tested: characterization data available.
4. Guaranteed by design.

Tabel 8/5.4-9: Schakeltijden bij Read-Only operaties (zie ook figuur 8/5.4-6).

Versions		Notes	28F256A-120		28F256A-150		28F256A-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{WC}	Write Cycle Time		120		150		200		ns
t_{AVWL}/t_{AS}	Address Set-Up Time		0		0		0		ns
t_{WLAX}/t_{AH}	Address Hold Time		60		60		75		ns
t_{DVWH}/t_{DS}	Data Set-Up Time		50		50		50		ns
t_{WHDX}/t_{DH}	Data Hold Time		10		10		10		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHWL}	Read Recovery Time before Write		0		0		0		µs
t_{ELWL}/t_{CS}	Chip Enable Set-Up Time before Write		20		20		20		ns
t_{WHEH}/t_{CH}	Chip Enable Hold Time		0		0		0		ns
t_{WLWH}/t_{WP}	Write Pulse Width	2	60		60		60		ns
t_{WHWL}/t_{WPH}	Write Pulse Width High		20		20		20		ns
t_{WHWH1}	Duration of Programming Operation	3	10		10		10		µs
t_{WHWH2}	Duration of Erase Operation	3	9.5		9.5		9.5		ms
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		1.0		µs

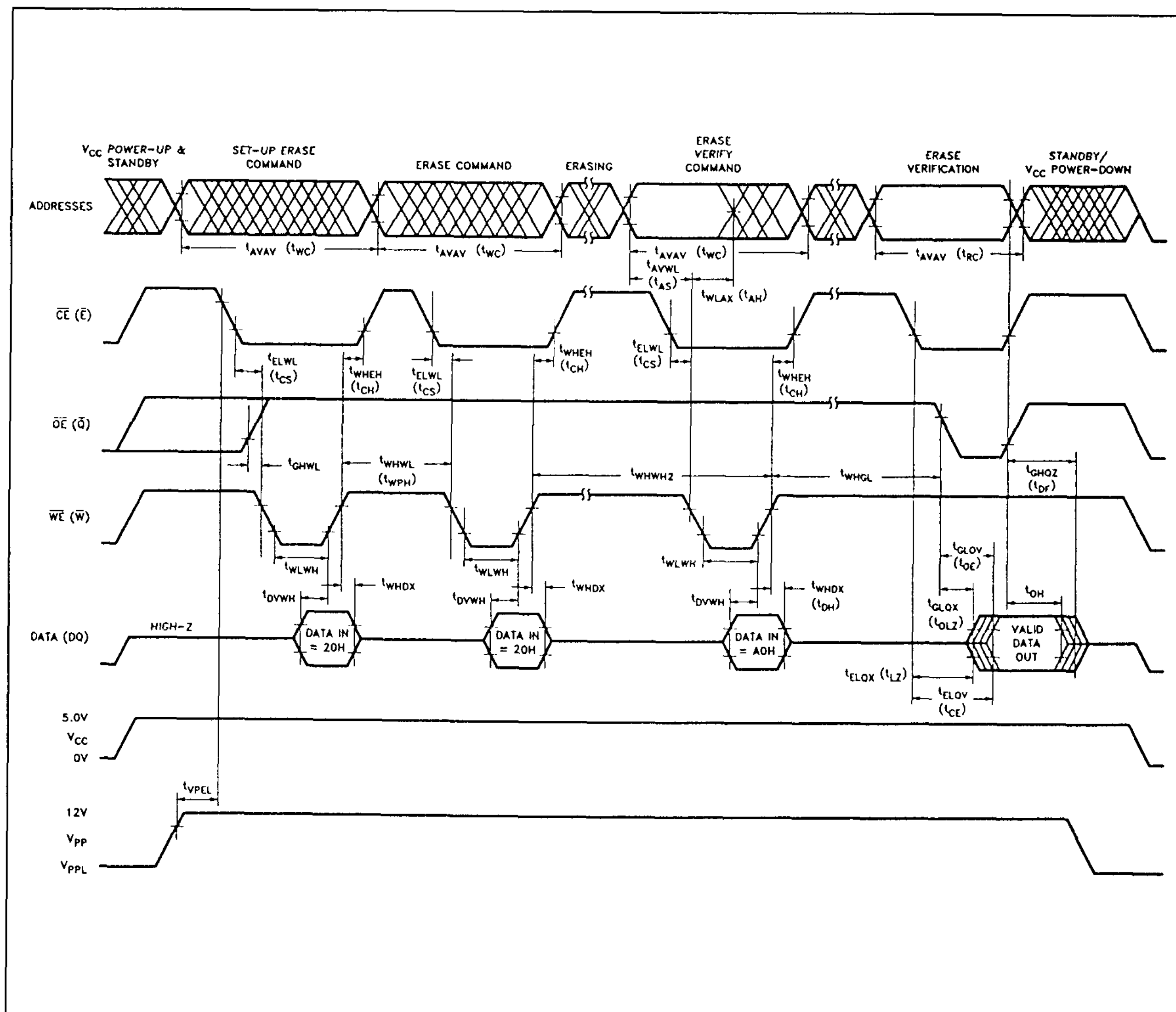
NOTES:
1. Read timing parameters during read/write operations are the same as during read-only operations. Refer to AC Characteristics for Read-Only Operations.
2. Rise/Fall time ≤ 10 ns.
3. The integrated stop timer terminates the programming/erase operations, thereby eliminating the need for a maximum specification.

Tabel 8/5.4-10: Schakeltijden voor schrijven/wissen/programmeren van de 28F256.

5.4 Type-beschrijving Flash-EPROM's

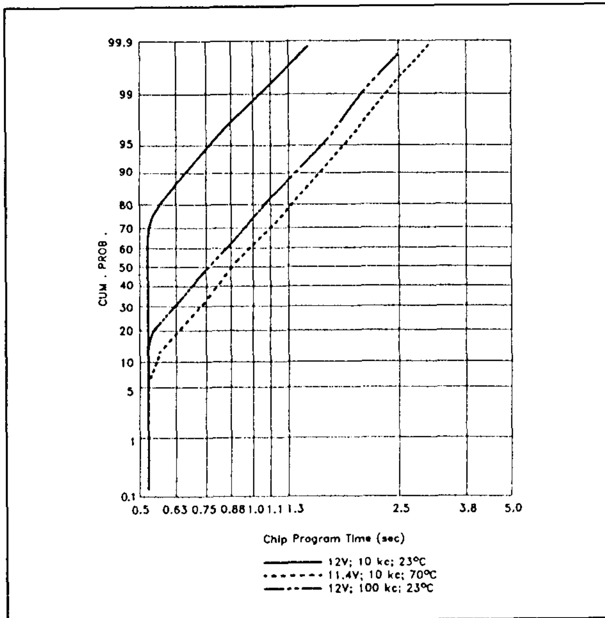
Parameter	Notes	Limits									Unit
		28F256A-120			28F256A-150			28F256A-200			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Chip Erase Time	1, 3, 4		1	10		1	10		1	30	sec
Chip Program Time	1, 2, 4		0.5	3		0.5	3		0.5	3	sec
Erase/Program Cycles	1, 5	10,000	100,000		10,000	100,000		10,000	100,000		cycles

Tabel 8/5.4-11: Prestaties bij het wissen en programmeren (zie ook de figuren 8/5.4-9, -10, -11 en -12).

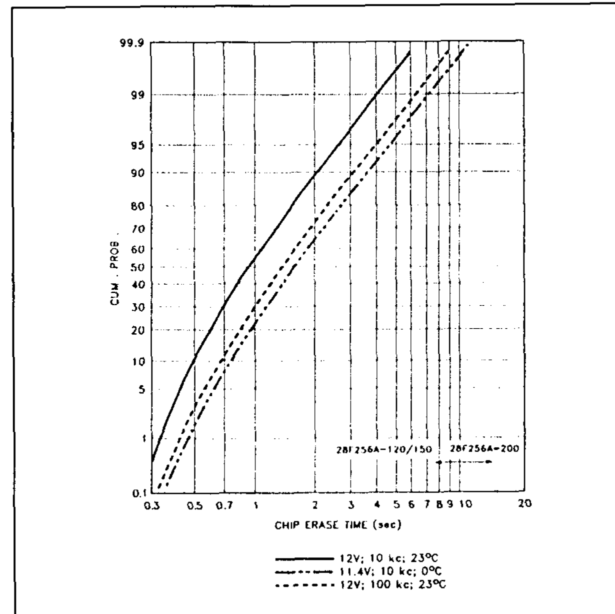


Figuur 8/5.4-8: Golfvormen bij het wissen van de 28F256.

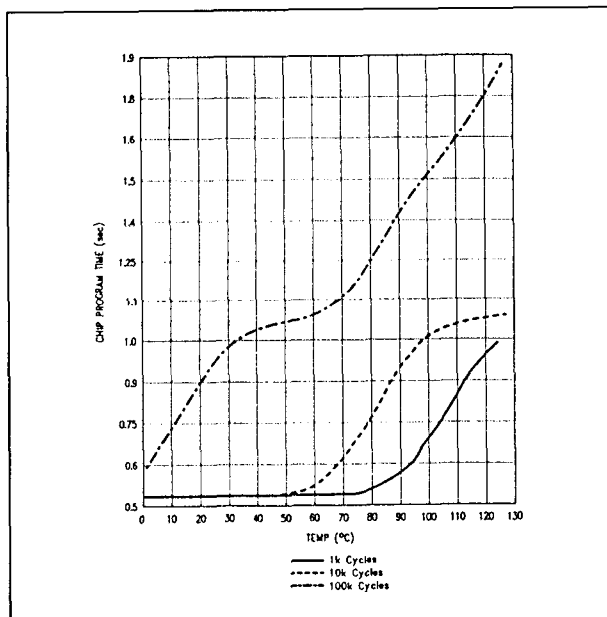
5.4 Type-beschrijving Flash-EPROM's



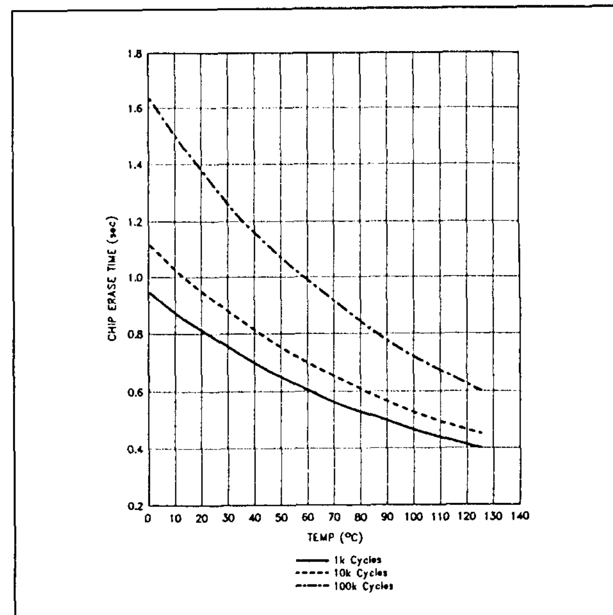
Figuur 8/5.4-9: Programmeertijden onder verschillende omstandigheden.



Figuur 8/5.4-11: Wistijden onder verschillende bedrijfscondities.



Figuur 8/5.4-10: Typische programmeertijden bij $V_{pp} = 12$ V.

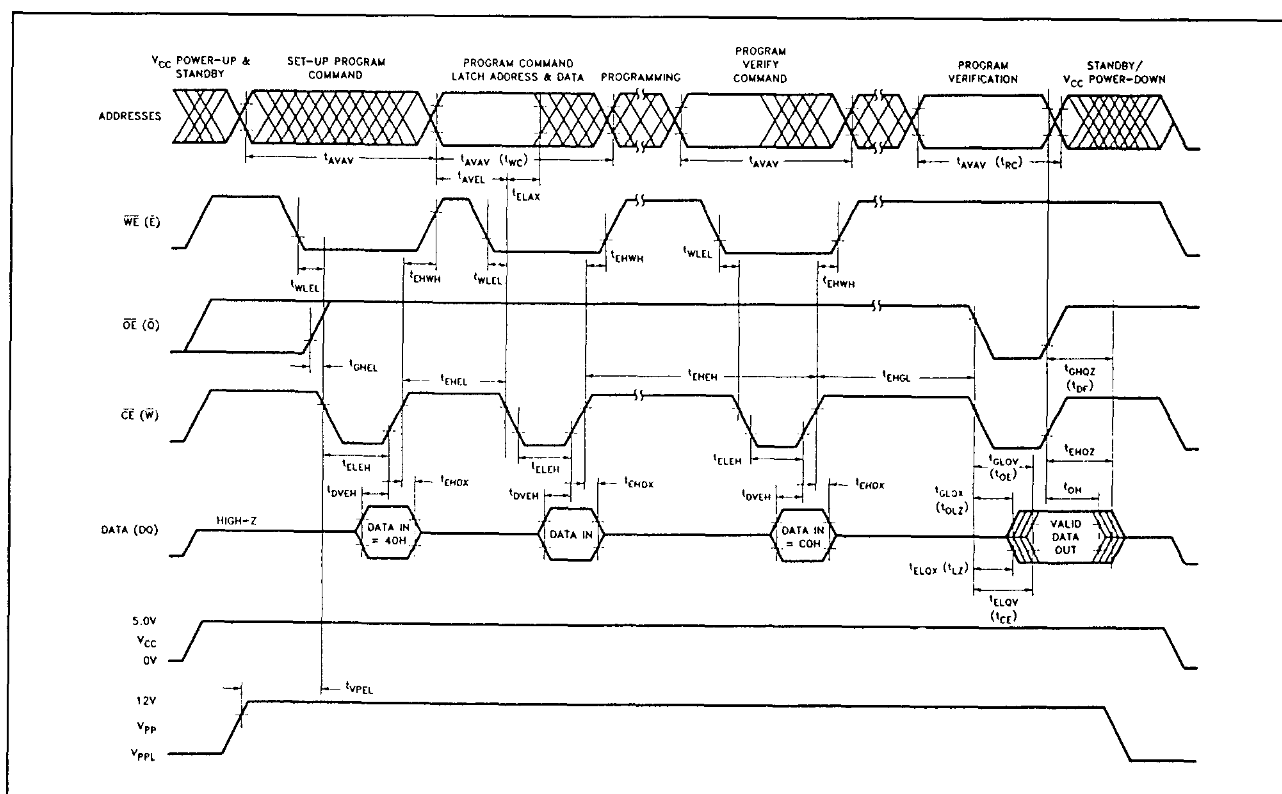


Figuur 8/5.4-12: Typische wistijden bij $V_{pp} = 12$ V.

5.4 Type-beschrijving Flash-EPROM's

Versions		Notes	28F256A-120		28F256A-150		28F256A-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time		120		150		200		ns
t_{AVEL}	Address Set-Up Time		0		0		0		ns
t_{ELAX}	Address Hold Time		80		80		95		ns
t_{DVEH}	Data Set-Up Time		50		50		50		ns
t_{EHDX}	Data Hold Time		10		10		10		ns
t_{EHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHEL}	Read Recover Time before Write		0		0		0		µs
t_{WLEL}	Write Enable Set-Up Time before Chip-Enable		0		0		0		ns
t_{EHWH}	Write Enable Hold Time		0		0		0		ns
t_{ELEH}	Write Pulse Width	1	70		70		80		ns
t_{EHEL}	Write Pulse Width High		20		20		20		ns
t_{VPEL}	V_{PP} Set-Up Time to Chip-Enable Low		1.0		1.0		1.0		µs

Tabel 8/5.4-12: Schakeltijden bij alternatieve, door $\overline{CE}$ bestuurde schrijfcycli.



Figuur 8/5.4-13: Golfvormen bij alternatieve programmering van de 28F256.

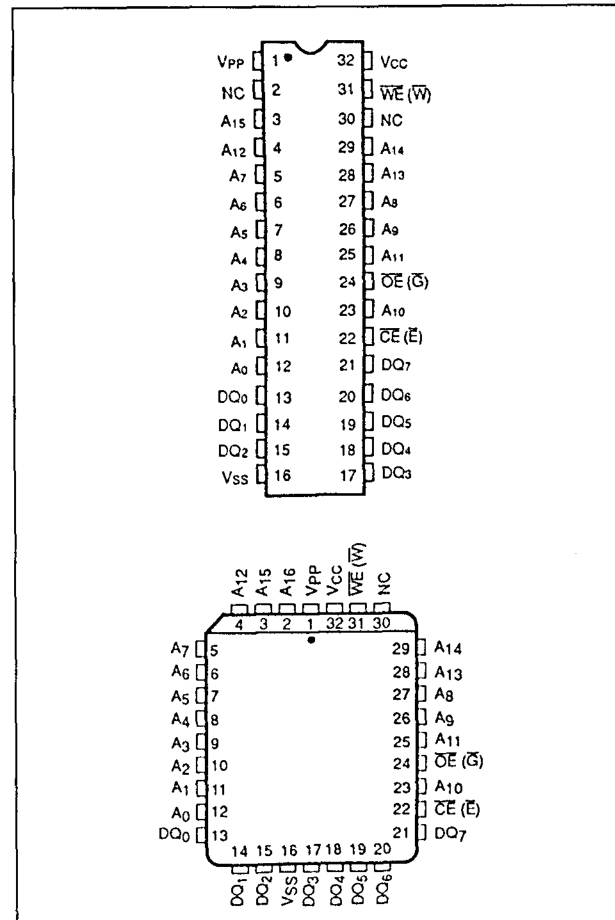
5.4 Type-beschrijving Flash-EPROM's

28F512

64 kB x 8 CMOS

Het 512 kB "Flash" elektrisch wisbaar en programmeerbaar read-only geheugen 28F512 is georganiseerd in 65.536 bytes van 8 bits. Dit geheugen kan op vele manieren worden geprogrammeerd: in een test-socket, in een EPROM-programmer en "in-circuit" bij het testen van de subassembly, bij de finale test en in het systeem na de koop. De 28F512 is leverbaar in 32-pens plastic DIL of LCC behuizingen. De toegangstijden van de 28F512 zijn minimaal 120 ns (AMD-type: 90 ns), zodat toepassing in high-speed microprocessorsystemen zonder wait-states mogelijk is.

Om bus-rivaliteit te voorkomen heeft dit niet-vluchtige geheugen aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen. De chip combineert de functionaliteit van een "byte-wide" EPROM met de mogelijkheid van elektrisch wissen en programmeren. De 28F512 is uitgerust met een Command Register om dit mogelijk te maken in een 32-pens behuizing. De 28F512 kan minstens 10.000 maal betrouwbaar worden gewist en opnieuw geprogrammeerd. Het geheugen is beveiligd tegen latch-up voor belastingen tot 100 mA op alle pennen, tussen -1 V en V_{CC} + 1 V.



Figuur 8/5.4-14: Aansluitingen van de 28F512.

Specificaties

De 28F512 heeft de volgende algemene kenmerken:

- Flash elektrische Chip-Erase (typisch 1 s)
- Quick-Pulse programmeer-algorithme toepasbaar
  byte programmeren in 10 µs typical
  chip programmeren in 1 s typical
- minimaal 10.000 wis/programmeercycli
- programmeer-/wisspanning V_{PP}:
  12 V +/-5 %
- toegangstijd 120 ns (AMD-type 90 ns min.)
- geringe dissipatie (CMOS) : 10 mA aktief, 50 µA standby, 0 Watt nodig voor behoud van data
- geïntegreerde programmeer/wis stop-timer
- Command Register architectuur voor microprocessor/microcontroller compatibele schrijf-interface
- Ongevoelig voor ruis: +/-10 % V_{CC} tolerantie
- on-chip adres- en data-latches
- één-transistor geheugencellen
- latch-up bescherming tot 100 mA van -1 V tot V_{CC} + 1 V
- Behuizingen (figuur 8/5.4-14):
  JEDEC standaard plastic 32-pens DIL
  32-pens LCC
- fabrikanten onder andere:
  Intel, AMD, Catalyst (ook alleen 5 V)
  Seeq (47F512/48F512) en NatSemi (MC48F512)

5.4 Type-beschrijving Flash-EPROM's

Symbol	Type	Name and Function
A_0–A_{15}	INPUT	**ADDRESS INPUTS** for memory addresses. Addresses are internally latched during a write cycle.
DQ_0–DQ_7	INPUT/OUTPUT	**DATA INPUT/OUTPUT:** Inputs data during memory write cycles; outputs data during memory read cycles. The data pins are active high and float to tri-state OFF when the chip is deselected or the outputs are disabled. Data is internally latched during a write cycle.
$\overline{CE}$	INPUT	**CHIP ENABLE:** Activates the device's control logic, input buffers, decoders and sense amplifiers. $\overline{CE}$ is active low; $\overline{CE}$ high deselects the memory device and reduces power consumption to standby levels.
$\overline{OE}$	INPUT	**OUTPUT ENABLE:** Gates the devices output through the data buffers during a read cycle. $\overline{OE}$ is active low.
$\overline{WE}$	INPUT	**WRITE ENABLE:** Controls writes to the control register and the array. Write enable is active low. Addresses are latched on the falling edge and data is latched on the rising edge of the $\overline{WE}$ pulse. **Note:** With $V_{PP} \leq 6.5V$, memory contents cannot be altered.
V_{PP}		**ERASE/PROGRAM POWER SUPPLY** for writing the command register, erasing the entire array, or programming bytes in the array.
V_{CC}		**DEVICE POWER SUPPLY** (5V ± 10%)
V_{SS}		**GROUND**
NC		**NO INTERNAL CONNECTION** to device. Pin may be driven or left floating.

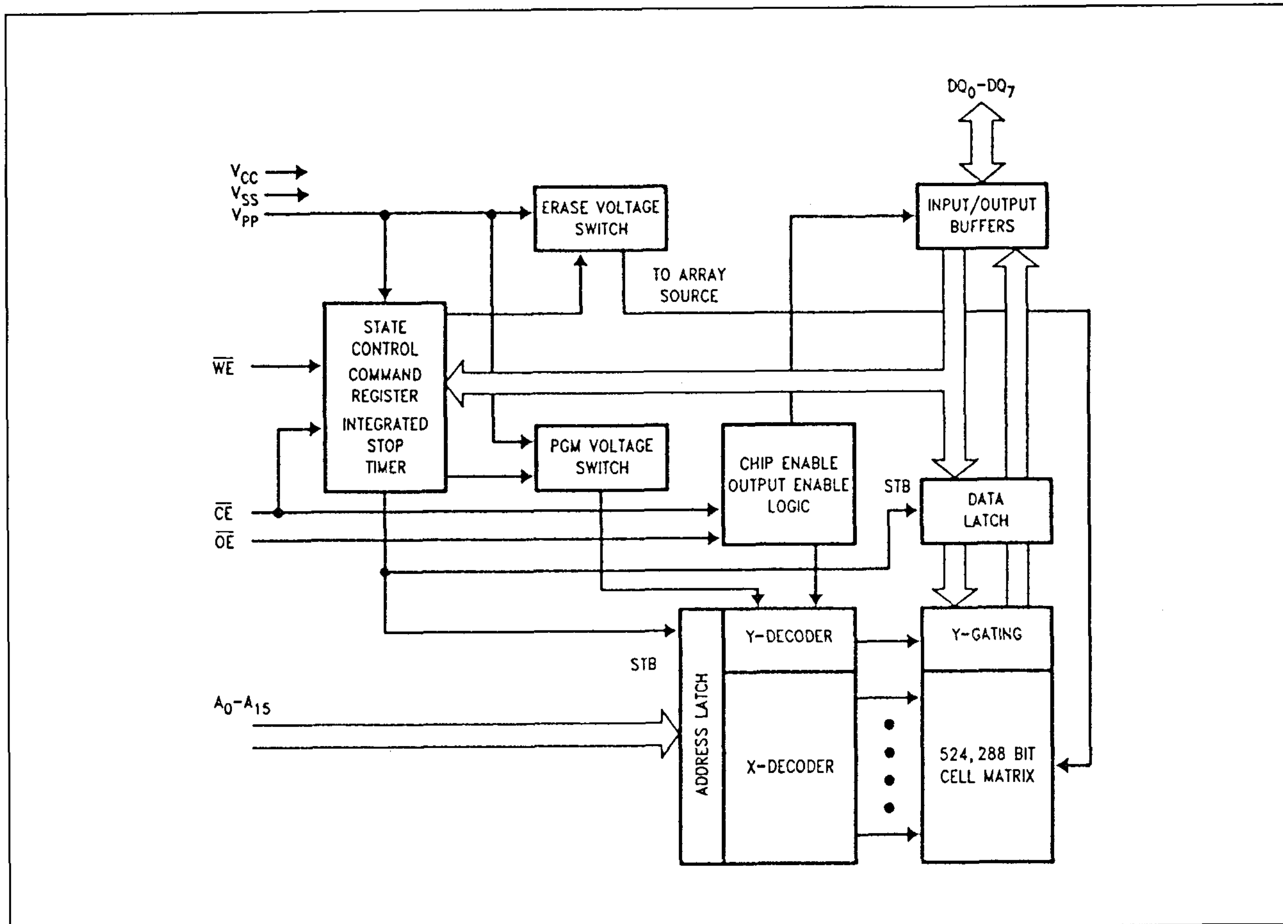
Tabel 8/5.4-13: Aansluitpennen en signalen.

Toepassingen

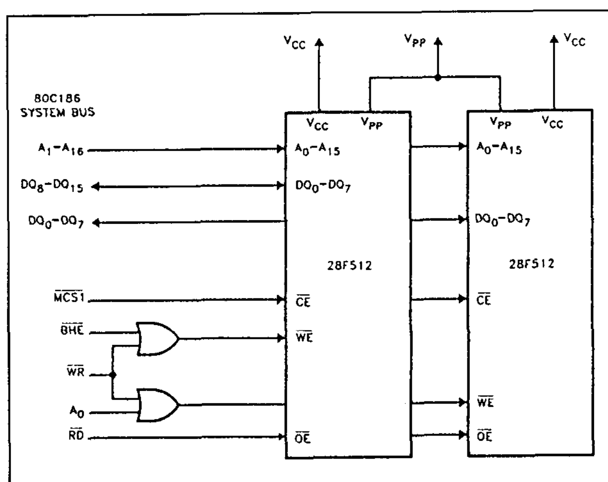
De 28F512 is een niet-vluchtig geheugen (de data blijft behouden bij wegnemen van de voedingsspanning) dat meer dan 10.000 maal elektrisch gewist en geprogrammeerd kan worden. Hierdoor is de 28F512 een aantrekkelijk alternatief voor harde schijf, diskette, EEPROM en batterij-gevoede statische RAM. Wanneer periodieke aanpassing van codes en datatabellen nodig is, is dit geheugen een zeer goede vervanging van een EPROM.

Wanneer men primaire toepassingsprogramma's en operating systemen in Flash opslaat, vervalt het langzame disk-DRAM download proces, waardoor de prestaties van het systeem drastisch verbeteren, terwijl het opgenomen vermogen afneemt. Door het elektrisch wissen en het in het systeem updaten neemt de flexibiliteit enorm toe. In werkstations en terminals zonder vaste schijf wordt het verkeer via de netwerken tot een minimum beperkt en is zeer snel opstarten van de systemen mogelijk. Bij onderbrekingen van de netspanning vervallen tijdrovende "re-boot"-perioden. Voor ingebedde systemen is de 28F512 een "solid state" alternatief met betere prestaties, een lager energieverbruik, zeer snel inschakelen en een "execute in place" geheugen-hiërarchie voor het inlezen van code en data. Bovendien is het Flash-geheugen betrouwbaarder en robuuster bij toepassingen in aggressieve omgevingen. De 28F512 kan gemakkelijk op een microprocessor worden aangesloten. In figuur 8/5.4-16 wordt getoond hoe twee 28F512's op de systeembus van een 80C186 microcontroller worden aangesloten. Door de architectuur van de 28F512 is een minimum aan interface-schakelingen nodig voor complete in-circuit updates van de geheugeninhoud.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-15: Blokschema van de 28F512.



Figuur 8/5.4-16: Aansluiting van twee 28F512's op een 80C186 systeem.

Werking van de 28F512

Het Flash-geheugen combineert de functionaliteit van een EPROM met de mogelijkheid elektrisch te wissen en te programmeren. De 28F512 heeft hiervoor een Command Register dat zorgt voor 100 % TTL-compatibele besturingssignalen, een gefixeerde voedingsspanning tijdens het wissen en programmeren en maximale compatibiliteit met EPROM's. Als op de programmeerpen geen hoge spanning (12 V) staat, werkt de 28F512 als een ROM en worden de standaard EPROM lees, standby, output disable en intelligent identifier functies uitgevoerd.
Dezelfde EPROM lees, standby en output disable operaties kunnen ook worden uitge-

voerd als de hoge spanning wél op de V_{PP}-pen staat. Bovendien is in dat geval het wissen en programmeren van de 28F512 mogelijk, het Command Register is vrijgegeven. Alle functies die betrokken zijn bij het veranderen van de inhoud van het geheugen (intelligente identificatie, wissen, wissen/verifiëren, programmeren en programmeren/verifiëren) zijn toegankelijk via het Command Register.
De commando's worden met standaard microprocessor schrijf-timingen naar het register geschreven. De inhoud van het register vormt de instelling van een interne "state-machine" die de schakelingen voor het wissen en programmeren bestuurt. Schrijfcycli dienen ook om de adressen en data die voor het wissen en programmeren nodig zijn intern te latchen. Wanneer het juiste commando in het register is geschreven kan de microprocessor de array-data, de intelligente identificatiecode of de uitgangsdata uitlezen voor verificatie.

Geïntegreerde programmeer/wis Stop Timer
De tijdsduur van de totale programmeer- en wis-operaties is afhankelijk van de achtereenvolgende commandoschrijfcycli. Bovendien worden de wis- en programmeercycli meestal gevolgd door de bijbehorende verificatie-commando's. De timing van deze handelingen wordt door een geïntegreerde stoptimer (zie blokschema, figuur 8/5.4-15) vereenvoudigd, waardoor programmeer/wis-specificaties niet nodig zijn. De tijden voor wissen en programmeren zijn hierdoor minimaal. Als de stoptimer een programmeer- of wis-operatie beëindigt, komt het geheugen in een niet-aktieve toestand totdat een verifieer- of reset-commando wordt ontvangen.

Schrijf-beveiliging
Het Command Register is alleen aktief als 12 V op V_{PP} aanwezig is. Afhankelijk van de toepassing kan de ontwerper de V_{PP}-voeding uitschakelbaar te maken, waardoor die alleen aanwezig is als de inhoud van het geheugen gewijzigd moet worden. Wanneer $V_{PP} = V_{PPL}$ komt de inhoud van het register overeen met het leescommando, waardoor de 28F512 als ROM werkt. De inhoud van het geheugen kan dan niet worden gewijzigd.
De ontwerper kan V_{PP} echter ook continu aangesloten laten. In dat geval worden de functies van het Command Register gesperd als V_{CC} beneden de schrijf-lockout spanning V_{LKO} komt (zie Power Up/Down beveiliging). De 28F512 is geschikt voor beide mogelijkheden.

Bus-operaties
In de volgende paragrafen worden de belangrijkste bus-operaties toegelicht.

Lezen
De 28F512 heeft twee besturingsfuncties die beide logisch aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-Enable ($\overline{CE}$) is de besturing van de voeding en moet voor de selectie van het geheugen worden gebruikt. Met Output-Enable ($\overline{OE}$) wordt de uitgang bediend en is het mogelijk om, onafhankelijk van de keuze van de 28F512, data van de uitgangspennen te halen. Zie ook de AC lees-timing golfvormen.
Als V_{PP} HOOG is (V_{PPH} = 12 V) kunnen de leesoperaties worden gebruikt voor het ophalen van array-data, de intelligente identificatiecodes en data voor programmeer/wis-verificatie. Als V_{PP} LAAG is (V_{PPL}) kan alleen de array-data worden uitgelezen.

Output Disable
Wanneer Output-Enable op een logisch-hoge waarde (V_{IH}) staat, worden de uitgangen van het geheugen gesperd. De uitgangspennen bevinden zich dan in een hoog-impedante toestand.

Standby
Als Chip-Enable logisch HOOG is, worden door de standby-werking de meeste schakelingen in de 28F512 gesperd, waardoor het

opgenomen vermogen beduidend lager wordt. De uitgangen worden, onafhankelijk van het Output-Enable signaal, in een hoog-impedante toestand gezet. Als de 28F512 tijdens wissen, programmeren of verifiëren van programmeren/wissen gedeselecteerd wordt blijft het geheugen aktieve stroom trekken totdat de operatie klaar is.

Intelligente Identificatie

Met de intelligente identificatie-operatie (bij andere merken ook wel auto-select genoemd) komt de fabrikanten-code (Intel: 89H, AMD: 01H) en de device-code (Intel: B8H, AMD: 25H) beschikbaar.
De programmeerapparatuur past hierdoor alle wis- en programmeer algorithmen automatisch aan. Met Chip-Enable en Output-Enable op een logisch LAAG niveau wordt deze operatie geaktiveerd door A9 op een hoge spanning V_{ID} te brengen (zie tabel 8/5.4-14 en de DC-karakteristieken). De fabrikanten-code en de device-code kunnen van de lokaties 0000H (hexadecimaal 0000), respectievelijk 0001H worden uitgelezen.
Beide codes kunnen ook worden uitgelezen via het Command Register, bijvoorbeeld als de 28F512 in het doelsysteem wordt gewist en opnieuw geprogrammeerd. Na het schrijven van 90H in het Command Register komt de fabrikanten-code (89H) op adres 0000H beschikbaar, terwijl op adres 0001H de device-code (B8H) kan worden uitgelezen.

Schrijven

Wissen en programmeren van het geheugen worden beide uitgevoerd via het Command Register als een hoge spanning op de V_{PP}-pen wordt gezet. De inhoud van het register dient dan als ingang voor de inwendige "state-machine". De uitgangen van de "state-machine" bepalen vervolgens de werking van de component. Het Command Register bezet zélf geen adresseerbare geheugenlokatie. Het register is een latch die wordt gebruikt om het commando en de voor de uitvoering van het commando benodigde adres- en data-informatie op te slaan. Het Command Register wordt beschreven door Write-Enable ($\overline{WE}$) op een logisch LAAG niveau (V_{IL}) te brengen, terwijl Chip-Enable LAAG is. Adressen worden gelatcht op de dalende flank van Write-Enable, terwijl data op de stijgende flank van de Write-Enable puls wordt gelatcht. Hierbij zijn de standaard microprocessor-timingen van kracht.

Operation	Pins	V_{PP}(1)	A_0	A_9	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	DQ_0–DQ_7
READ-ONLY	Read	V_{PPL}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out
	Output Disable	V_{PPL}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby	V_{PPL}	X	X	V_{IH}	X	X	Tri-State
	int$_e$ligent Identifier™ (Mfr)(2)	V_{PPL}	V_{IL}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = 89H
	int$_e$ligent Identifier™ (Device)(2)	V_{PPL}	V_{IH}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = B8H
READ/WRITE	Read	V_{PPH}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out(4)
	Output Disable	V_{PPH}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby(5)	V_{PPH}	X	X	V_{IH}	X	X	Tri-State
	Write	V_{PPH}	A_0	A_9	V_{IL}	V_{IH}	V_{IL}	Data In(6)

NOTES:
1. Refer to DC Characteristics. When $V_{PP} = V_{PPL}$ memory contents can be read but not written or erased.
2. Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 3. All other addresses low.
3. V_{ID} is the int$_e$ligent Identifier high voltage. Refer to DC Characteristics.
4. Read operations with $V_{PP} = V_{PPH}$ may access array data or the int$_e$ligent Identifier™ codes.
5. With V_{PP} at high voltage, the standby current equals I_{CC} + I_{PP} (standby).
6. Refer to Table 3 for valid Data-In during a write operation.
7. X can be V_{IL} or V_{IH}.

Tabel 8/5.4-14: Bus-operaties van de 28F512.

5.4 Type-beschrijving Flash-EPROM's

Command	Bus Cycles Req'd	First Bus Cycle			Second Bus Cycle		
		Operation(1)	Address(2)	Data(3)	Operation(1)	Address(2)	Data(3)
Read Memory	1	Write	X	00H			
Read int$_e$ligent Identifier™ Code(4)	3	Write	X	90H	Read	(4)	(4)
Set-up Erase/Erase(5)	2	Write	X	20H	Write	X	20H
Erase Verify(5)	2	Write	EA	A0H	Read	X	EVD
Set-up Program/Program(6)	2	Write	X	40H	Write	PA	PD
Program Verify(6)	2	Write	X	C0H	Read	X	PVD
Reset(7)	2	Write	X	FFH	Write	X	FFH

NOTES:
1. Bus operations are defined in Table 2.
2. IA = Identifier address: 00H for manufacturer code, 01H for device code.
   EA = Address of memory location to be read during erase verify.
   PA = Address of memory location to be programmed.
   Addresses are latched on the falling edge of the Write-Enable pulse.
3. ID = Data read from location IA during device identification (Mfr = 89H, Device = B8H).
   EVD = Data read from location EA during erase verify.
   PD = Data to be programmed at location PA. Data is latched on the rising edge of Write-Enable.
   PVD = Data read from location PA during program verify. PA is latched on the Program command.
4. Following the Read int$_e$ligent ID command, two read operations access manufacturer and device codes.

Tabel 8/5.4-15: Definities van de commando's.

Definities van de Commando's

Wanneer op de V_{PP}-pen een lage spanning staat, wordt de inhoud van het Command Register automatisch (default) 00H, waardoor alleen uitgelezen kan worden (read-only operaties). Door een hoge spanning (12 V) op de V_{PP}-pen te zetten worden lees/schrijf-operaties toegestaan. Welke operaties dat zijn is afhankelijk van de datapatronen die in het Command Register worden geschreven. In tabel 8/5.4-15 wordt een overzicht van de register-commando's gegeven, terwijl ze hieronder apart worden toegelicht.

Lees-commando (Read Memory)

Terwijl V_{PP} hoog is (12 V) om te kunnen wissen en programmeren, kunnen de informaties in het geheugen worden bereikt met het lees-commando. De lees-operatie wordt ingeleid door 00H in het Command Register te schrijven. Met microprocessor leescycli wordt array-data opgehaald. Het geheugen blijft bereikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.

Bij het opkomen van de voedingsspanning is de inhoud van het register automatisch (default) 00H. Hierdoor wordt voorkomen dat bij verschijnen van V_{PP} de inhoud van het geheugen per ongeluk verandert. Als V_{PP} altijd op de 28F512 aanwezig is ("hardwired"), komt het geheugen op spanning en blijft beschikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd (zie voor de timing de AC leeskarakteristieken en golfvormen).

Inlezen van de identificatie

Flash-geheugens zijn bedoeld voor toepassingen, waarbij de inhoud van het geheugen door de lokale CPU wordt veranderd. Daarom moet het mogelijk zijn de fabrikant- en device-codes uit te lezen terwijl de component zich in het definitieve systeem bevindt. PROM-programmers verkrijgen de identificatiecodes meestal door A9 op een hoge spanning te brengen. Het is echter onpraktisch een hoge spanning naar adreslijnen te multiplexen.

De 28F512 kan een intelligente identificatie-operatie uitvoeren ("Read intelligent ID Codes") die aan de traditionele PROM-programmeer methodologie wordt toegevoegd. Deze handeling wordt ingeleid door 90H in het Command Register te schrijven.

5.4 Type-beschrijving Flash-EPROM's

Na deze schrijf-operatie levert een leescyclus op adres 0000H de fabrikant-code 89H (Intel) op. Op adres 0001H kan vervolgens de device-code (B8H) worden uitgelezen. Om deze operatie te beëindigen moet een ander geldig commando in het register worden geschreven.

Set-up wis/wis (Set-up Erase/Erase) commando's

Set-up erase is een commando waardoor het geheugen wordt klaargemaakt voor het wissen van alle bytes in het array. Deze operatie wordt uitgevoerd door 20H in het Command Register te schrijven. Om het wissen van de chip te beginnen moet het wis-commando (20H) voor de tweede keer in het register worden geschreven. Het wissen begint dan op de stijgende flank van de Write-Enable puls en eindigt op de stijgende flank van de volgende Write-Enable puls (van bijvoorbeeld het Wis-Verifieer commando).
Door deze tweetraps handeling, namelijk set-up, gevolgd door de uitvoering, wordt voorkomen dat de inhoud van het geheugen per ongeluk wordt uitgewist. Bovendien kan het wissen van de chip alleen plaatsvinden als 12 V op de V_{PP}-pen staat. Bij afwezigheid van deze hoge spanning is de inhoud van het geheugen beveiligd tegen wissen (zie AC wis-karakteristieken en golfvormen voor de specifieke timing).

Wis-Verifieer (Erase-Verify) commando

Met het wis-commando worden alle bytes van het array parallel gewist. Na elke wis-operatie moeten alle bytes worden geverifieerd. De wis/verifieer operatie begint door A0H in het Command Register te schrijven. Het adres van de te verifiëren byte moet op de dalende flank van de Write-Enable puls worden gelatcht. De wis-operatie wordt op de stijgende flank van de Write-Enable puls van het schrijven naar het register beëindigd. De 28F512 zet een intern opgewekte marge-spanning op de geadresseerde byte. Wanneer de inhoud van de geadresseerde byte FFH is, zijn alle bits hiervan gewist.

Het wis/verifieer commando moet in het Command Register worden geschreven voordat het adres voor de byte-verificatie wordt gelatcht. Dit proces gaat door voor alle bytes in het array totdat een byte geen FFH oplevert of als het laatste adres is uitgelezen. In het geval dat de uitgelezen data afwijkt van FFH wordt een extra wis-operatie uitgevoerd (zie ook Wis set-up/wis). Er wordt dan geverifieerd vanaf de laatste goedgekeurde byte. Zijn alle bytes in het array geverifieerd dan is de wis-operatie klaar en kan de 28F512 worden geprogrammeerd. Op dit punt wordt het verifiëren beëindigd door een geldig commando (bijvoorbeeld Program Set-up) in het Command Register te schrijven. In figuur 8/5.4-17 (de Quick Erase Algorithme) is te zien hoe commando's en bus-operaties worden gecombineerd om de 28F512 elektrisch te kunnen wissen.

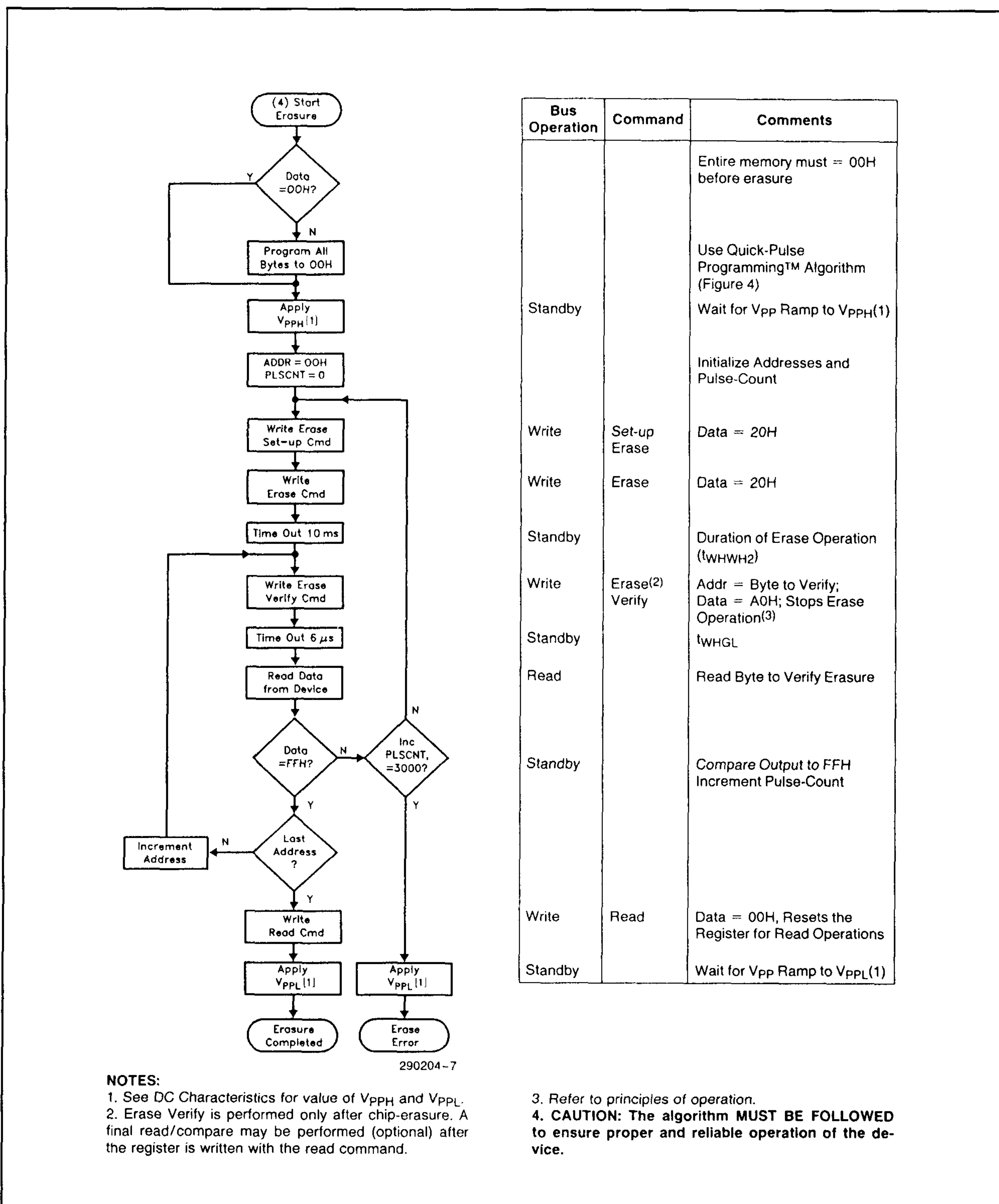
Set-up programmeer/programmeer commando's

Met het Set-up Program commando wordt de component klaargezet voor het programmeren van de bytes. De set-up operatie wordt uitgevoerd door 40H in het Command Register te schrijven.
Nadat de set-up is uitgevoerd maakt de volgende Write-Enable puls dat aktief kan worden geprogrammeerd. De adressen worden inwendig op de dalende flank van de Write-Enable puls gelatcht, terwijl de data intern op de stijgende flank van de Write-Enable puls worden gelatcht. Op de stijgende flank van Write-Enable begint ook het programmeren. De programmeer-operatie eindigt op de volgende stijgende flank van Write-Enable die wordt gebruikt om het program-verifieer commando te schrijven.

Program-Verifieer commando

De 28F512 wordt geprogrammeerd volgens de byte-na-byte methode.
Het byte-programmeren mag aaneengesloten of willekeurig gebeuren. Na iedere programmeer-operatie moet de zojuist geprogrammeerde byte worden geverifieerd.

5.4 Type-beschrijving Flash-EPROM's

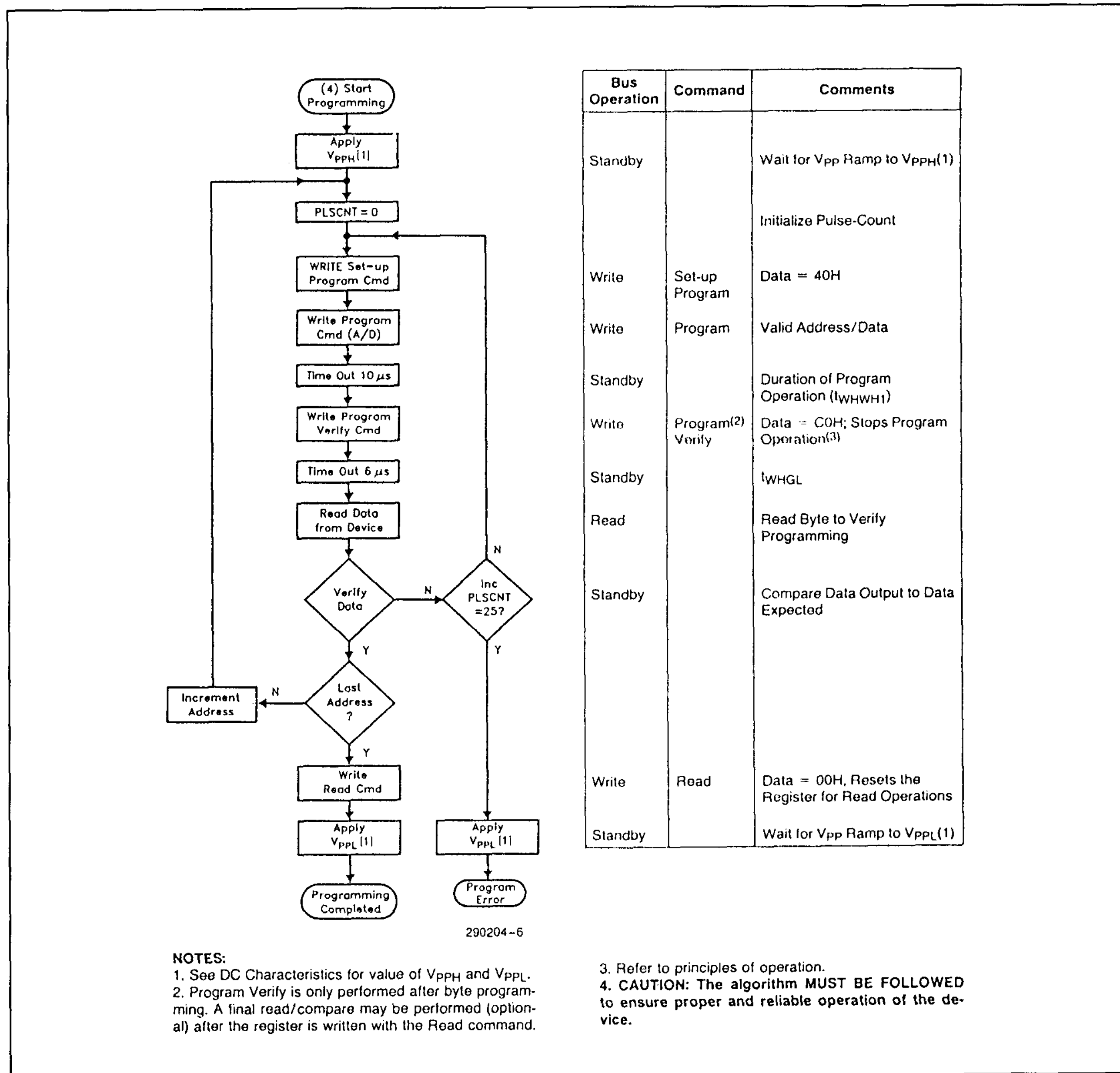


Bus Operation	Command	Comments
		Entire memory must = 00H before erasure
		Use Quick-Pulse Programming™ Algorithm (Figure 4)
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Addresses and Pulse-Count
Write	*Set-up Erase*	*Data = 20H*
Write	Erase	Data = 20H
Standby		Duration of Erase Operation (t_{WHWH2})
Write	Erase(2) Verify	Addr = Byte to Verify; Data = A0H; Stops Erase Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Erasure
Standby		*Compare Output to FFH* Increment Pulse-Count
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

NOTES:
1. See DC Characteristics for value of V_{PPH} and V_{PPL}.
2. Erase Verify is performed only after chip-erasure. A final read/compare may be performed (optional) after the register is written with the read command.
3. *Refer to principles of operation.*
4. **CAUTION: The algorithm MUST BE FOLLOWED to ensure proper and reliable operation of the device.**

Figuur 8/5.4-17: De Quick Erase Algorithme die op de 28F512 kan worden toegepast.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Pulse-Count
Write	Set-up Program	Data = 40H
Write	Program	Valid Address/Data
Standby		Duration of Program Operation (t_{WHWH1})
Write	Program(2) Verify	Data = C0H; Stops Program Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Programming
Standby		Compare Data Output to Data Expected
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

NOTES:
1. See DC Characteristics for value of V_{PPH} and V_{PPL}.
2. Program Verify is only performed after byte programming. A final read/compare may be performed (optional) after the register is written with the Read command.
3. Refer to principles of operation.
4. CAUTION: The algorithm MUST BE FOLLOWED to ensure proper and reliable operation of the device.

Figuur 8/5.4-18: De Quick-Pulse Programmeer Algorithme voor de 28F512.

De program-verifieer operatie wordt ingeleid door C0H in het Command Register te schrijven. Door schrijven in het register wordt de programmeer-operatie op de stijgende flank van de Write-Enable puls beëindigd. De program-verifieer operatie zet de component klaar voor controle van de laatst geprogrammeerde byte. Er wordt geen nieuwe adres-informatie gelatcht.

De 28F512 zet een inwendig opgewekte marge-spanning op de byte. De data wordt met een gewone microprocessor lees-cyclus zichtbaar. Wanneer de geprogrammeerde data overeenkomt met de aangeboden data is de byte correct geprogrammeerd. Het programmeren gaat dan verder op de volgende gewenste byte-lokatie. In figuur 8/5.4-18 (de Quick Puls Programmeer Algorithme) is te

zien hoe de commando's worden gecombineerd met bus-operaties om de byte-programmering uit te voeren.

Reset commando
De wis- en programmeerhandelingen kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee opvolgende FFH's wordt de operatie veilig afgebroken. De inhoud van het geheugen zal hierdoor niet veranderen. Hierna moet een geldig commando worden ingeschreven om de component in de gewenste toestand te plaatsen.

Langdurig wissen/programmeren
Gebruikers van EEPROM's hebben zich altijd zorgen gemaakt over het vake wissen/programmeren ervan. Door het sterke elektrische veld dat voor het tunnelen van de dunne oxyde EEPROM's nodig is, kan het oxyde op zwakke plaatsen letterlijk worden verscheurd. Om dit te voorkomen hebben sommige fabrikanten redundanties opgenomen, waardoor deze fouten bijna niet meer voorkwamen. Voor redundantie is echter verdubbeling van de cel-afmetingen nodig, een dure oplossing.
Door de toegepaste Flash-geheugen technologiëen is zeer vaak wissen/programmeren mogelijk zonder toename van de afmetingen van de geheugencellen. De 28F512 is dan ook gespecificeerd voor 10.000 programmeer/wis-cycli. Het geheugen wordt geprogrammeerd en gewist met behulp van Intel's Quick-Pulse Programming en Quick-Erase algorithmen.

De Quick-pulse Programmeer algorithme
Bij de Quick-Pulse Programmeer algorithme (zie figuur 8/5.4-18) zijn de programmeer-operaties 10 μs lang. Iedere operatie wordt gevolgd door een byte-verificatie om te bepalen of de geadresseerde byte met succes is geprogrammeerd. Is dit niet het geval dan wordt nogmaals geprogrammeerd (maximaal 25 maal per byte). De meeste bytes zijn na de eerste of tweede operatie al goed. De gehele volgorde van programmeren en byte verifiëren wordt uitgevoerd terwijl de spanning op V_{PP} = 12 V is.

De Quick-Erase algorithme
Met de Quick-Erase algorithme wordt de inhoud van het geheugen snel en betrouwbaar elektrisch gewist. De algorithme verloopt (net als de Quick-Pulse Programmeer algorithme) volgens een gesloten lus om de lading van alle bits in het array gelijktijdig te verwijderen. Het wissen begint met het lezen van de geheugen-inhoud. De 28F512 wordt leeg geleverd. Uitlezing van FFH-data kan direkt worden gevolgd door programmeren van de component. Componenten die gewist en geprogrammeerd zijn kunnen uniform en betrouwbaar worden gewist door eerst alle bits naar de geladen toestand (00H) te programmeren. Dit duurt bij gebruik van de Quick-Pulse Programmeer algorithme ongeveer een halve seconde. De wis-operatie wordt dan vervolgd met een initiële wis-operatie. Verificatie van het wissen (data = FFH) begint op adres 0000H en gaat door tot het laatste adres of totdat van FFH afwijkende data wordt ontmoet.
Het wissen kan efficiënter worden door het adres van de laatste geverifieerde byte in een register op te slaan. Na de volgende wis-operatie begint het verifiëren dan op het opgeslagen adres. Het wissen duurt ongeveer één seconde.

Maatregelen bij het ontwerpen
- Tweelijns uitgangsbesturing
  Flash-geheugens worden vaak toegepast in grote geheugen-arrays. Om dit mogelijk te maken is de 28F512 uitgerust met twee read-control ingangen. Om deze besturingslijnen efficiënt te gebruiken moet de Chip-Enable door een adres-decoder worden bestuurd, terwijl het lees-signaal van het systeem alle Flash-geheugens en andere parallel geschakelde geheugens

5.4 Type-beschrijving Flash-EPROM's

bestuurt. Hierdoor is men er zeker van dat alleen data van vrijgegeven geheugens op de bus komt en dat de niet-geselecteerde geheugens in de standby toestand blijven.

- Ontkoppeling van de voeding
  De aan- en uitschakelkarakteristiek van de voeding van Flash-geheugens vereist een zorgvuldige ontkoppeling. Systeemontwerpers kunnen drie I_{CC}-gevallen verwachten: standby, aktief en piekstromen op de flanken van Chip-Enable. De amplituden van deze pieken zijn afhankelijk van de capacitieve en inductieve belastingen van de uitgangen. Spanningspieken worden onderdrukt door de tweelijns besturing en een geschikte ontkoppelcondensator. Elk Flash-geheugen moet tussen V_{CC} en V_{SS} en tussen V_{PP} en V_{SS} een keramische condensator van 0,1 µF hebben. Deze condensatoren moeten zo dicht mogelijk bij de component worden geplaatst. Bovendien moet elke groep van acht componenten een 4,7 µF elektrolitische condensator tussen V_{CC} en V_{SS} hebben.
- V_{PP}-lijn op printkaarten
  Voor het programmeren van Flash-geheugens die zich in de definitieve schakeling op de printkaart bevinden is het nodig aandacht te besteden aan het spoor voor V_{PP} in de gedrukte bedrading. Hier kunnen dezelfde spoorbreedten en lay-out-overwegingen worden gebruikt als voor de V_{CC}-bus om spanningspieken en overshoots te vermijden.
- Power Up/Down beveiliging
  Het ontwerp van de 28F512 biedt bescherming tegen per ongeluk wissen of programmeren bij veranderingen van de voedingsspanning. Bij het inschakelen van de voeding is het voor de 28F512 onbelangrijk welke spanning (V_{CC} of V_{PP}) het eerst aanwezig is. Inwendige schakelingen zorgen er namelijk voor dat het Command Register bij power-up in de leesmode wordt gezet. De systeemontwerper moet vermijden dat wordt geschreven met V_{CC}-spanningen die hoger zijn dan V_{LKO} als V_{PP} aktief is. Aangezien zowel $\overline{WE}$ als $\overline{CE}$ LAAG moeten zijn voor een schrijfcommando, wordt schrijven voorkomen door één van beide HOOG te maken. De architectuur van het control register zorgt bovendien voor een extra beveiliging aangezien verandering van de inhoud van het geheugen alleen plaatsvindt na succesvolle afsluiting van de tweetraps commandovolgorden.
- Vermogensdissipatie van de 28F512
  Bij het ontwerpen van draagbare systemen moet rekening worden gehouden met het energieverbruik: niet alleen in bedrijf maar ook bij uitschakeling. De niet-vluchtige Flash-geheugens verbruiken geen energie om code of data vast te houden. In tabel 8/5.4-16 is te zien hoeveel vermogen wordt gedissipeerd bij het updaten van de 28F512.

Operation	Notes	Power Dissipation (Watt-Seconds)
Array Program/ Program Verify	1	0.085
Array Erase/ Erase Verify	2	0.092
One Complete Cycle	3	0.262

Tabel 8/5.4-16: Opgenomen vermogen bij updaten van de 28F512.

Operating Temperature	
During Read	0°C to +70°C
During Erase/Program	0°C to +70°C
Temperature Under Bias	−10°C to +80°C
Storage Temperature	−65°C to +125°C
Voltage on Any Pin with Respect to Ground	−2.0V to +7.0V
Voltage on Pin A_9 with Respect to Ground	−2.0V to +13.5V
V_{PP} Supply Voltage with Respect to Ground During Erase/Program	−2.0V to +14.0V

Tabel 8/5.4-17: Maximaal toegelaten waarden.

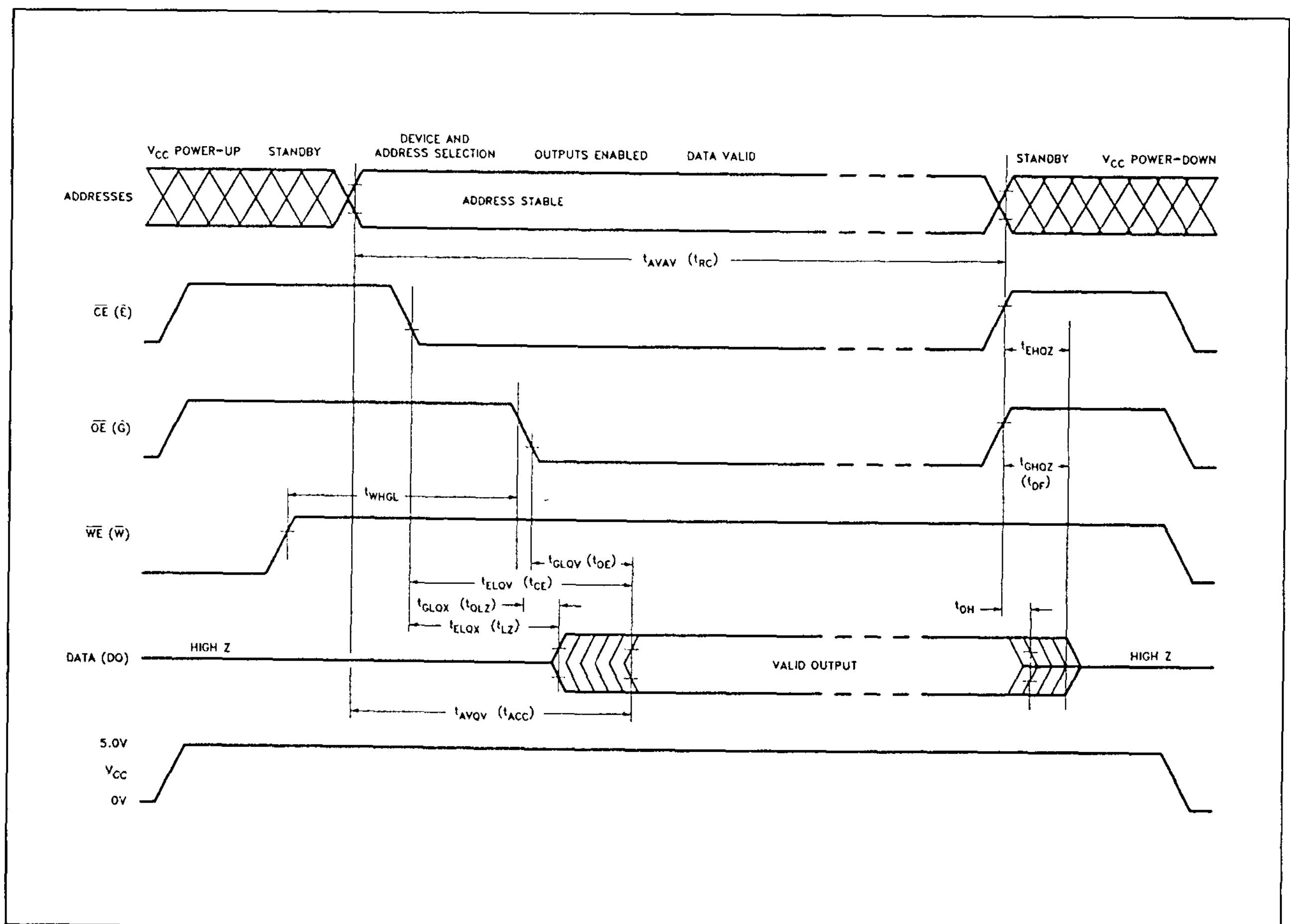
5.4 Type-beschrijving Flash-EPROM's

Overige specificaties

De overige van belang zijnde elektrische en timing karakteristieken van het Intel-type van de 28F512 zijn opgenomen in de figuren 8/5.4-19 tot en met 8/5.4-26 en de tabellen 8/5.4-17 tot en met 8/5.4-24.

Symbol	Parameter	Limits		Unit	Comments
		Min	Max		
T_A	Operating Temperature	0	70	°C	For Read-Only and Read/Write Operations
V_{CC}	V_{CC} Supply Voltage	4.50	5.50	V	

Tabel 8/5.4-18: Voor de 28F512 aanbevolen bedrijfscondities.



Figuur 8/5.4-19: Golfvormen bij uitlezen van de 28F512.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typ	Max		
I_{LI}	Input Leakage Current	1			±1.0	μA	$V_{CC} = V_{CC}$ Max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			±10.0	μA	$V_{CC} = V_{CC}$ Max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1			1.0	mA	$V_{CC} = V_{CC}$ Max $\overline{CE} = V_{IH}$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$ Max, $\overline{CE} = V_{IL}$ f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			±10.0	μA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, Standby Current, or ID Current	1		90	200	μA	$V_{PP} > V_{CC}$
					±10.0		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		4.0	30	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		2.0		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA $V_{CC} = V_{CC}$ Min
V_{OH1}	Output High Voltage		2.4			V	I_{OH} = −2.5 mA $V_{CC} = V_{CC}$ Min
V_{ID}	A_9 int$_e$ligent Identifier™ Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier Current			90	200	μA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Program are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-19: TTL/NMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typ	Max		
I_{LI}	Input Leakage Current	1			± 1.0	μA	$V_{CC} = V_{CC}$ Max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			± 10.0	μA	$V_{CC} = V_{CC}$ Max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1		50	100	μA	$V_{CC} = V_{CC}$ Max $\overline{CE} = V_{CC} \pm 0.2V$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$ Max, $\overline{CE} = V_{IL}$ $f = 6$ MHz, $I_{OUT} = 0$ mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			± 10.0	μA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current, or Standby Current	1		90	200	μA	$V_{PP} > V_{CC}$
					± 10.0		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		4.0	30	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$ Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		0.7 V_{CC}		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	$I_{OL} = 5.8$ mA $V_{CC} = V_{CC}$ Min
V_{OH1}	Output High Voltage		0.85 V_{CC}			V	$I_{OH} = -2.5$ mA, $V_{CC} = V_{CC}$ Min
V_{OH2}			V_{CC} − 0.4				$I_{OH} = -100$ μA, $V_{CC} = V_{CC}$ Min
V_{ID}	A_9 int$_e$ligent Identifier Voltage		11.50		13.00	V	$A_9 = V_{ID}$
I_{ID}	A_9 int$_e$ligent Identifier Current			90	200	μA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Program are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltago		2.5			V	

Tabel 8/5.4-20: CMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Versions		Notes	28F512-120		28F512-150		28F512-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{RC}	Read Cycle Time	3	120		150		200		ns
t_{ELQV}/t_{CE}	Chip Enable Access Time			120		150		200	ns
t_{AVQV}/t_{ACC}	Address Access Time			120		150		200	ns
t_{GLQV}/t_{OE}	Output Enable Access Time			50		55		60	ns
t_{ELQX}/t_{LZ}	Chip Enable to Output in Low Z	3	0		0		0		ns
t_{EHQZ}	Chip Disable to Output in High Z	3		55		55		55	ns
t_{GLQX}/t_{OLZ}	Output Enable to Output in Low Z	3	0		0		0		ns
t_{GHQZ}/t_{DF}	Output Disable to Output in High Z	4		30		35		40	ns
t_{OH}	Output Hold from Address, $\overline{CE}$, or $\overline{OE}$ Change[1]	3	0		0		0		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs

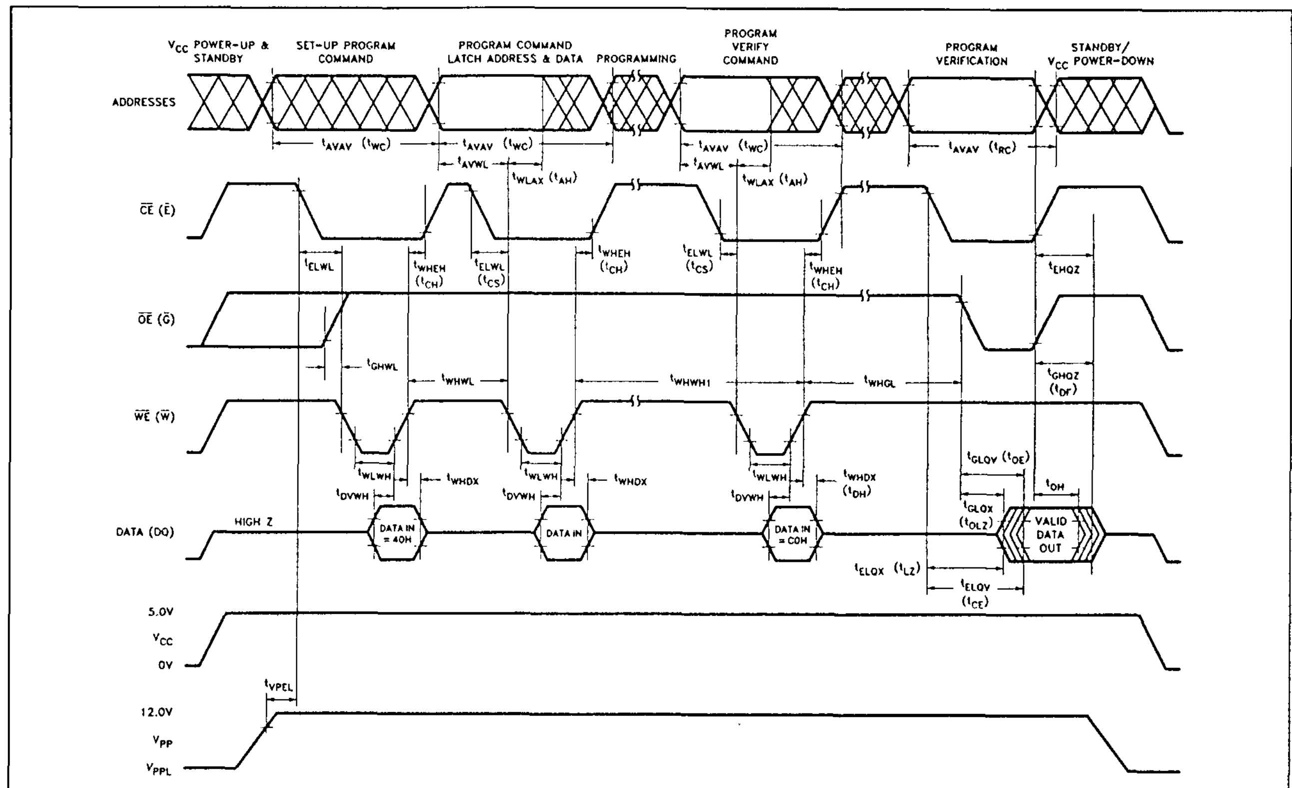
NOTES:
1. Whichever occurs first.
2. Rise/Fall Time ≤ 10 ns.
3. Not 100% tested: characterization data available.
4. Guaranteed by design.

Tabel 8/5.4-21: Schakeltijden bij Read-Only operaties (zie ook figuur 8/5.4-19).

Versions		Notes	28F512-120		28F512-150		28F512-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{WC}	Write Cycle Time		120		150		200		ns
t_{AVWL}/t_{AS}	Address Set-Up Time		0		0		0		ns
t_{WLAX}/t_{AH}	Address Hold Time		60		60		75		ns
t_{DVWH}/t_{DS}	Data Set-up Time		50		50		50		ns
t_{WHDX}/t_{DH}	Data Hold Time		10		10		10		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHWL}	Read Recovery Time before Write		0		0		0		µs
t_{ELWL}/t_{CS}	Chip Enable Set-Up Time before Write		20		20		20		ns
t_{WHEH}/t_{CH}	Chip Enable Hold Time		0		0		0		ns
t_{WLWH}/t_{WP}	Write Pulse Width	2	60		60		60		ns
t_{WHWL}/t_{WPH}	Write Pulse Width High		20		20		20		ns
t_{WHWH1}	Duration of Programming Operation	3	10		10		10		µs
t_{WHWH2}	Duration of Erase Operation	3	9.5		9.5		9.5		ms
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		1.0		µs

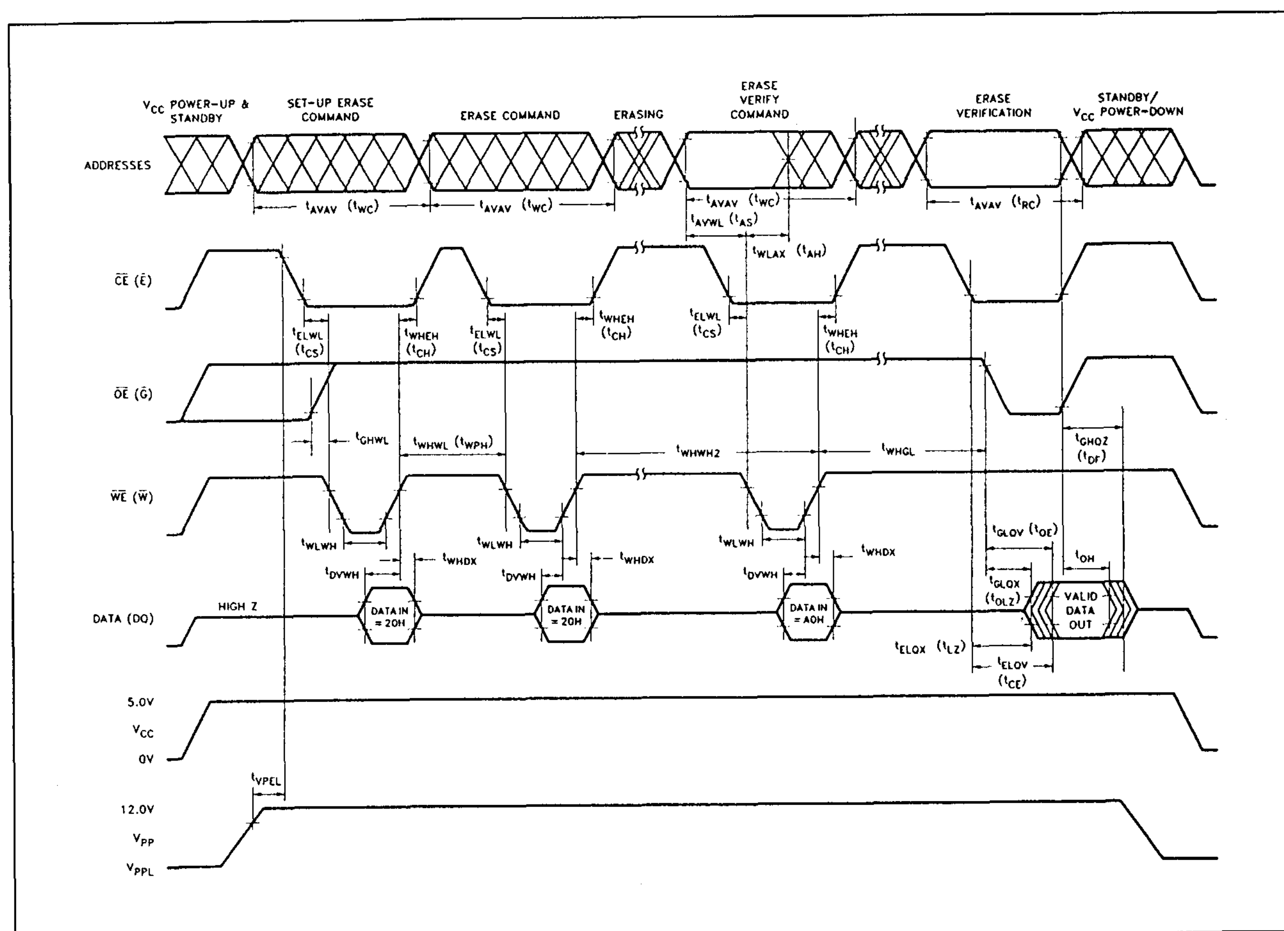
Tabel 8/5.4-22: Schakeltijden voor schrijven/wissen/programmeren van de 28F512 (zie ook de figuren 8/5.4-20 en -21).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-20: Golfvormen bij het programmeren van de 28F512.

5.4 Type-beschrijving Flash-EPROM's

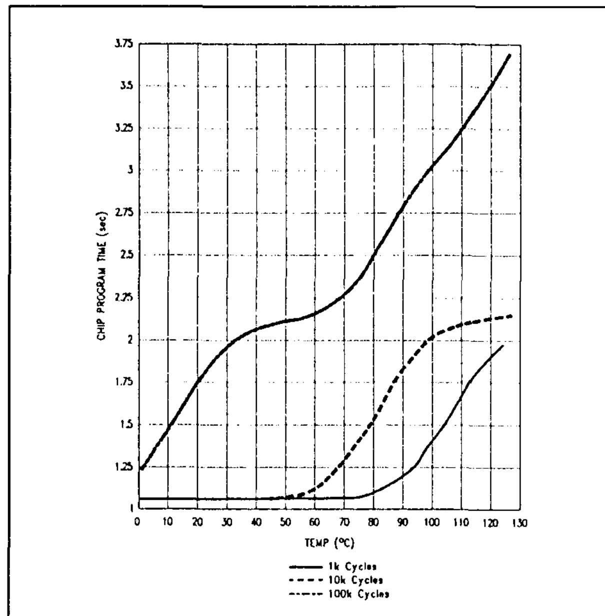


Figuur 8/5.4-21: Golfvormen bij het wissen van de 28F512.

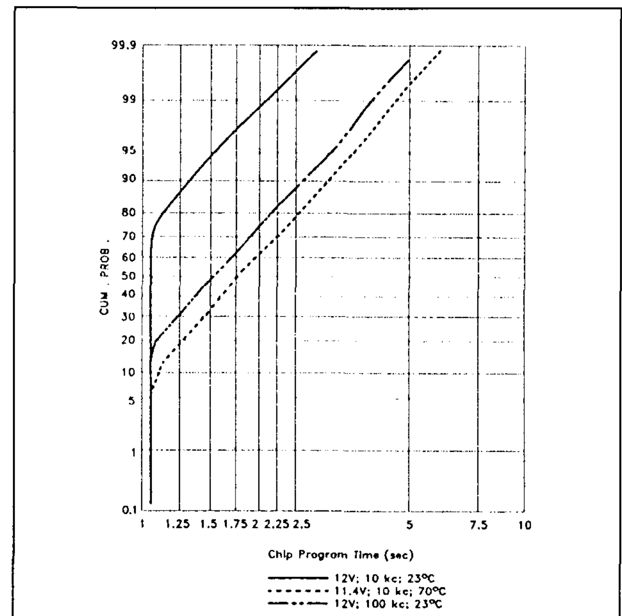
Parameter	Notes	Limits									Unit
		28F512-120			28F512-150			28F512-200			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Chip Erase Time	1, 3, 4		1	10		1	10		1	30	Sec
Chip Program Time	1, 2, 4		1	6.25		1	6.25		1	6.25	Sec
Erase/ Program Cycles	1, 5	10,000	100,000		10,000	100,000		10,000	100,000		Cycles

Tabel 8/5.4-23: Prestaties bij het wissen en programmeren (zie ook de figuren 8/5.4-22 tot en met -25).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-22: Programmeertijden onder verschillende bedrijfsomstandigheden.

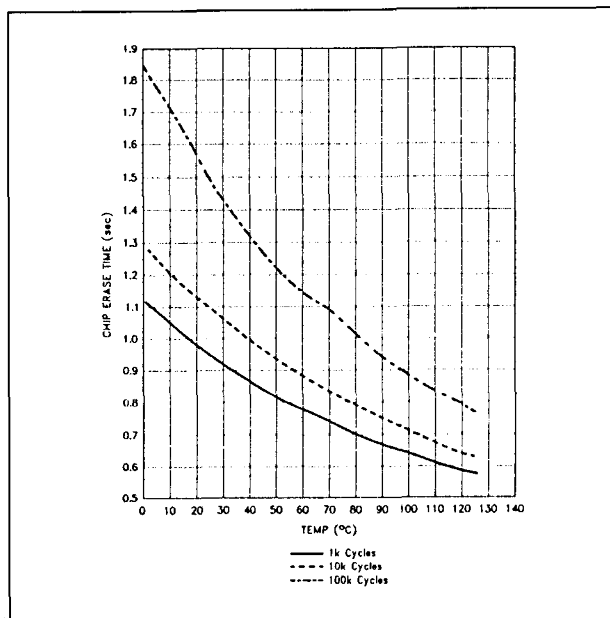


Figuur 8/5.4-23: Typische programmeertijden bij V_{PP} = 12 V.

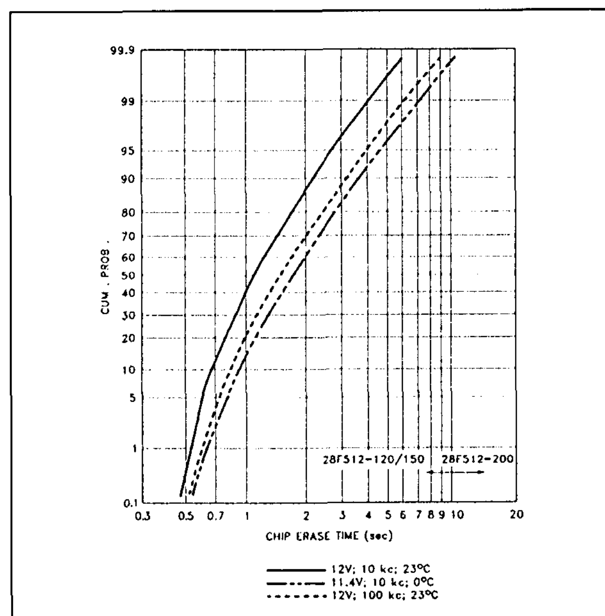
Versions		Notes	28F512-120		28F512-150		28F512-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time		120		150		200		ns
t_{AVEL}	Address Set-Up Time		0		0		0		ns
t_{ELAX}	Address Hold Time		80		80		95		ns
t_{DVEH}	Data Set-Up Time		50		50		50		ns
t_{EHDX}	Data Hold Time		10		10		10		ns
t_{EHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHEL}	Read Recovery Time before Write		0		0		0		µs
t_{WLEL}	Write Enable Set-Up Time before Chip Enable		0		0		0		ns
t_{EHWH}	Write Enable Hold Time		0		0		0		ns
t_{ELEH}	Write Pulse Width	1	70		70		80		ns
t_{EHEL}	Write Pulse Width High		20		20		20		ns
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		1.0		µs

Tabel 8/5.4-24: Schakeltijden bij alternatieve, door $\overline{CE}$ bestuurde schrijfcycli. Hierbij bepaalt $\overline{CE}$ de lengte van de schrijfpuls (binnen een langere $\overline{WE}$ golfvorm).

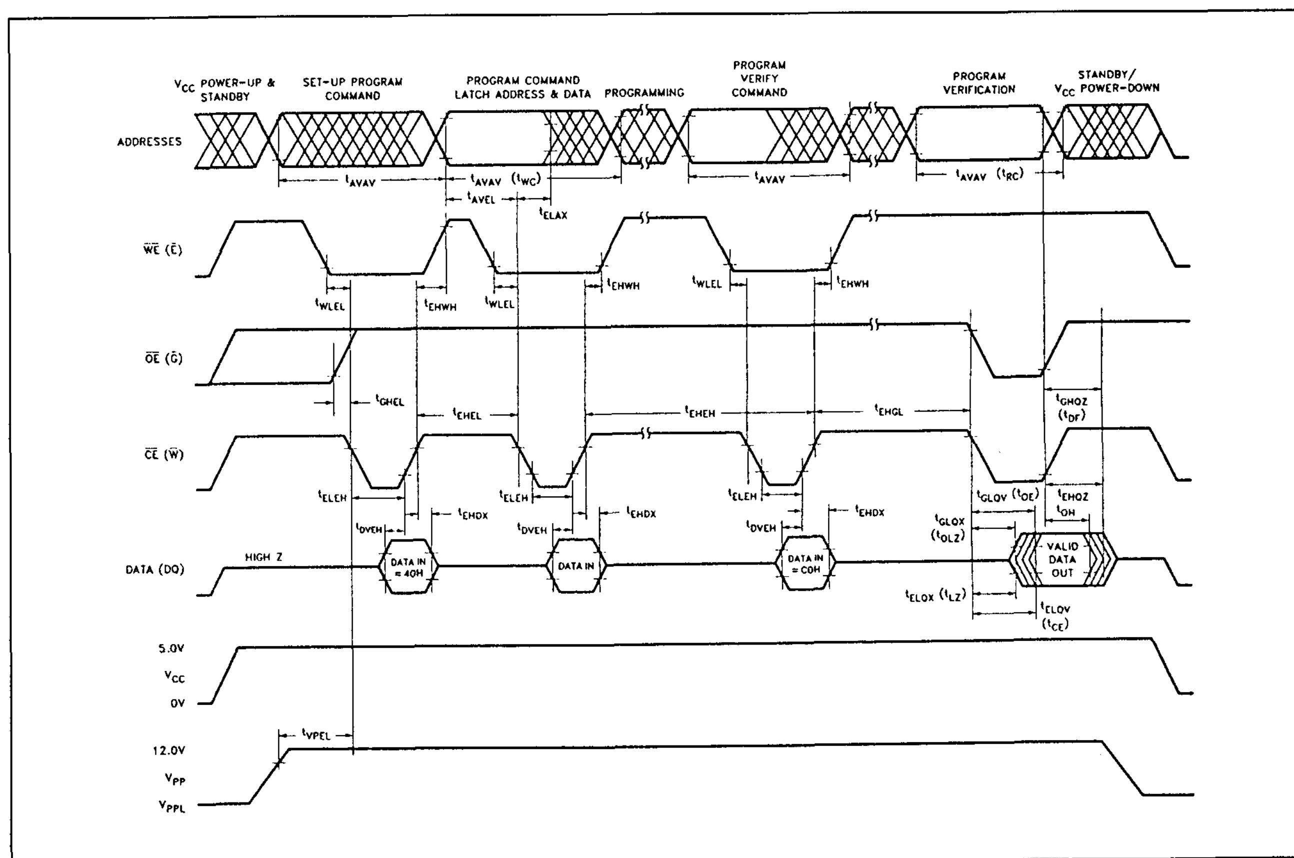
5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-24: Wistijden onder verschillende bedrijfscondities.



Figuur 8/5.4-25: Typische wistijden bij V_{PP} = 12 V.



Figuur 8/5.4-26: Golfvormen bij alternatieve programmering van de 28F512.

5.4 Type-beschrijving Flash-EPROM's

28F512 V5

64 kB x 8 CMOS (5 V-only)

De 28F512 V5 is een snel 64 kB x 8-bit "Flash" elektrisch wisbaar en programmeerbaar read-only geheugen. Het 512 kB geheugen is onderverdeeld in 32 sectoren van elk 2 kB. Het geheugen kan met "sector-erase" worden gewist, waarbij één of alle 2 kB sectoren selectief gewist kunnen worden. Het is dus niet nodig het gehele geheugen schoon te maken. De 28F512 V5 werkt op een enkele +5 V spanning en is compatibel met de 28F512 en andere EPROM-typen. Het programmeren en wissen geschiedt via de data I/O-bus met behulp van een uit twee cycli bestaande schrijfmethode cyclus. Adressen en data worden hierbij gelatcht. De 28F512 V5 is verkrijgbaar in een 32-pens plastic DIL of LCC behuizing.

Specificaties

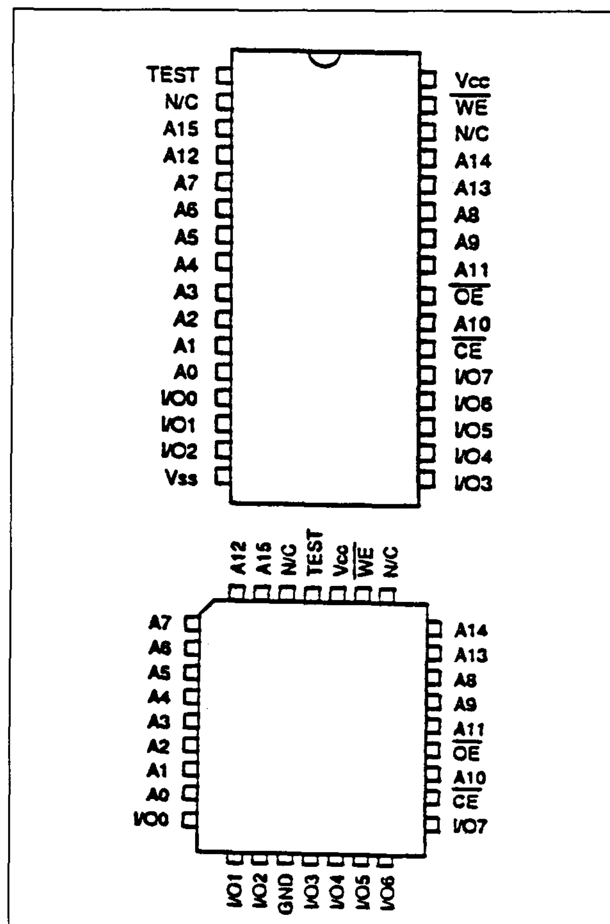
De 28F512 V5 heeft de volgende algemene kenmerken:

- Quick-Pulse programmeer-algorithme toepasbaar
- minimaal 1.000 wis/programmeercycli
- behoud data: 10 jaar
- enkele spanning: 5 V
- toegangstijd 200 ns
- 65.536 x 8 bit configuratie
- TTL compatibele in-/uitgangen
- Command Register
- dissipatie: 120 mA aktief, 1 mA standby
- wissen per sector mogelijk
- on-chip adres- en data-latches
- behuizing (figuur 8/5.4-27):
  JEDEC plastic 32-pens DIL
  32-pens LCC
- elektronische handtekening (intelligent identifier)
- fabrikant: Catalyst

Lees-operatie en standby modes

Het geheugen wordt uitgelezen door $\overline{CE}$ en $\overline{OE}$ LAAG te maken en $\overline{WE}$ HOOG. De data op de I/O-pennen komt overeen met de inhoud van de door de 16 adrespennen aangewezen geheugenlokatie.

De 28F512 V5 kan in een standaard leesmode worden gezet door een schrijfcyclus met 00H op de databus te verzenden. De hierop volgende leescycli zullen data opleveren alsof het standaard EPROM-uitlezen betreft.

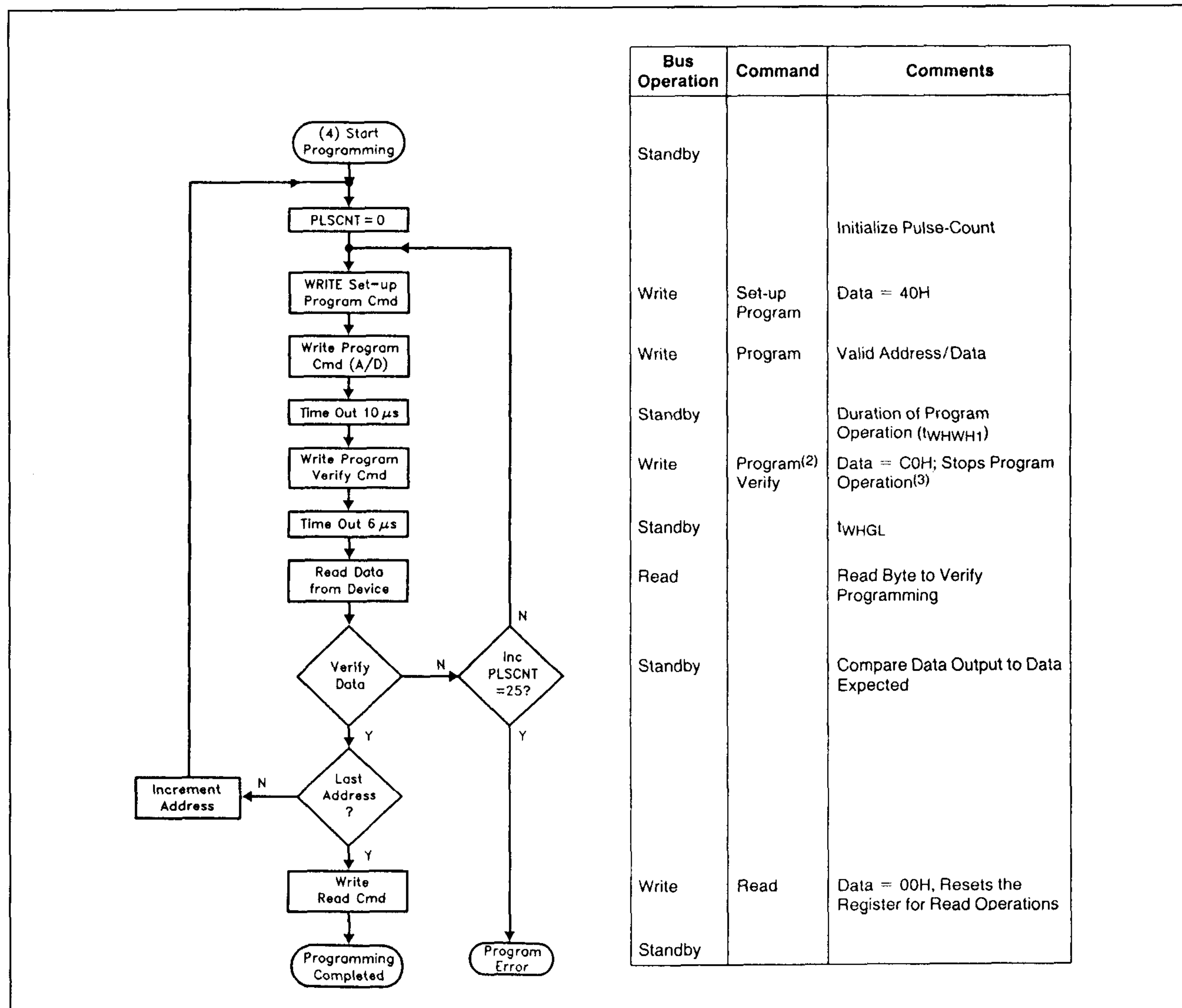


Figuur 8/5.4-27: Aansluitingen van de 28F512 V5.

Signature-mode

De signature-mode (intelligente identificatie) stelt de gebruiker in staat de fabrikant- en het device-type automatisch vast te stellen. Deze mode kan op twee manieren worden geaktiveerd: op de conventionele manier door A9 HOOG te maken of door middel van het instructie-register.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
Standby		
		Initialize Pulse-Count
Write	Set-up Program	Data = 40H
Write	Program	Valid Address/Data
Standby		Duration of Program Operation (t_{WHWH1})
Write	Program(2) Verify	Data = C0H; Stops Program Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Programming
Standby		Compare Data Output to Data Expected
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		

Figuur 8/5.4-28: Quick Programmeer Algorithme voor de 28F512 V5.

De conventionele mode wordt bereikt als een gewone lees-mode door $\overline{CE}$ en $\overline{OE}$ LAAG te maken met A9 op een V_H-niveau, terwijl alle andere adressen op V_{IL} staan. Bij de alternatieve methode wordt de operatie ingeleid door de code 90H in het Command Register te schrijven. De volgende leescyclus met $\overline{CE}$ en $\overline{OE}$ LAAG levert dan de device-code op. Een V_{IL} op A9 met alle andere adressen op V_{IL} geeft de binaire code van de fabrikant (31H) op de uitgangen I/O0 tot en met I/O7. Met V_{IH} op A9 (en de andere adressen LAAG) verschijnt de device-code (B8H).

Programmeer-mode

Het programmeren wordt ingeleid door gebruik te maken van de Quick programmeer algorithme (figuur 8/5.4-28). Op de eerste schrijfcyclus wordt het commando 40H in het Command Register geschreven (zie ook de commando-tabel 8/5.4-26). Bij de tweede schrijfcyclus wordt het adres van de te programmeren geheugenlokatie op de dalende flank van $\overline{WE}$ gelatcht, terwijl de data op de stijgende flank van $\overline{WE}$ wordt gelatcht. Het programmeren stopt op de volgende stijgende flank van $\overline{WE}$.

5.4 Type-beschrijving Flash-EPROM's

Mode \ Pins	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	V_{pp}	I/O	Other
Read	L	L	H	L	D_{OUT}	
Output Disable	L	H	H	L	High-Z	
Standby	H	X	X	L	High-Z	
Program/Erase	L	H	L	H	DIN	See command table
Signature (Mfg.)	L	L	H	X	31H	A_0 = L, A_9 = 12V
Signature (Device)	L	L	H	X	B8H	A_0 = H, A_9 = 12V

Tabel 8/5.4-25: Functietabel van de 28F512 V5.

Command \ Pins	First Cycle					Second Cycle				
	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Address	Data	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Address	Data
Set Read	L	H	L	X	00H	L	L	H	Any	D_{OUT}
Read Signature (Mfg.)	L	H	L	X	90H	L	L	H	00	31H
Read Signature (Device)	L	H	L	X	90H	L	L	H	01	B8H
Erase	L	H	L	X	20H	L	H	L	X	20H
Erase Verify	L	H	L	Any	A0H	L	L	H	X	D_{OUT}
Program	L	H	L	X	40H	L	H	L	Any	D_{IN}
Program Verify	L	H	L	X	C0H	L	L	H	X	D_{OUT}
Reset	L	H	L	X	FFH	L	H	L	X	FFH

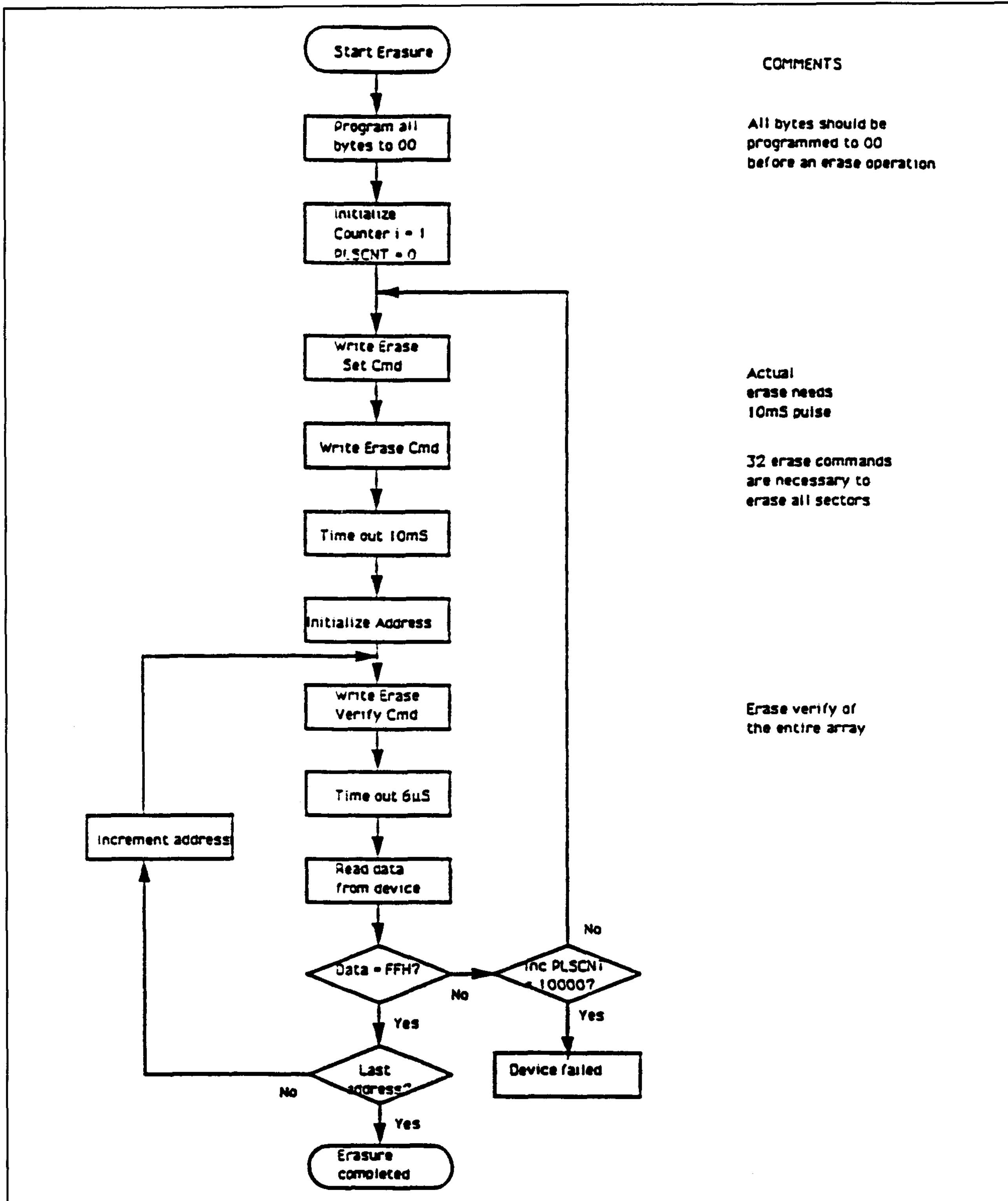
Tabel 8/5.4-26: Commando's voor de 28F512 V5 worden in één of twee cycli in het Command Register geschreven.

Programmeer-verificatie
Na het programmeren van elke byte wordt een programmeer-verificatie cyclus uitgevoerd om er zeker van te zijn dat de bits correct zijn geschreven.

Resetten
Iedere wis- of programmeer operatie wordt beëindigd door opeenvolgend tweemaal FFH op de databus te schrijven. De reset-operatie zet de sector-pointer op nul. Dit is nodig om de sector-pointer bij het wissen van enkele sectoren te initialiseren.

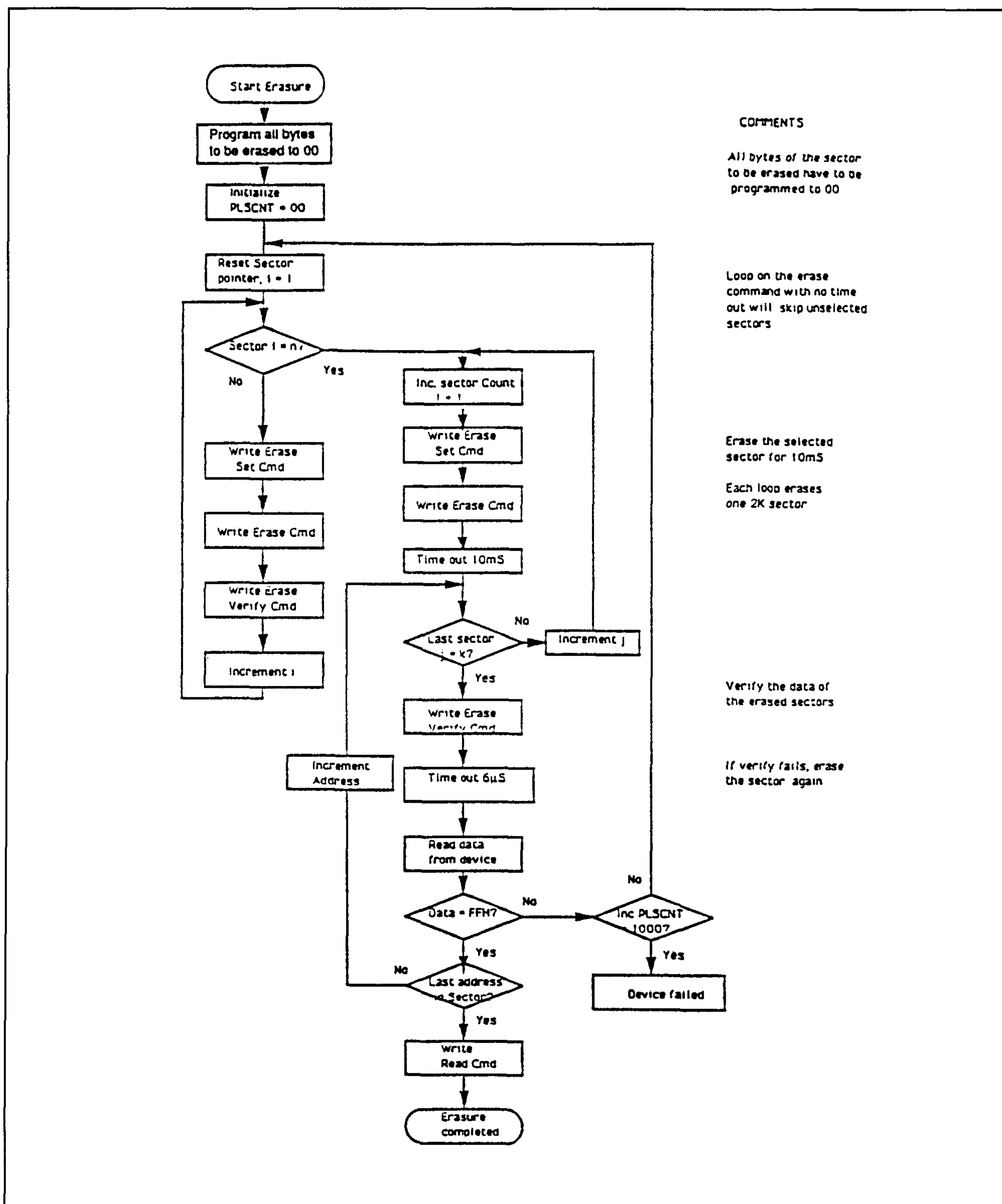
Wis-modes
De CAT28F512 V5 is georganiseerd in 32 sectoren van 2 kB per stuk. De gebruiker kan de gehele geheugeninhoud uitwissen (chip erase) met de wis-algorithme in figuur 8/5.4-29. Ook kan hij selectief één of meer van de 32 sectoren uitwissen met behulp van de wis-algorithme van figuur 8/5.4-30.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-29: De Chip Erase algorithme.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-30: De Sector Erase algorithme.

5.4 Type-beschrijving Flash-EPROM's

Temperature under bias	−10°C to +85°C
Storage temperature	−65°C to +125°C
Voltage on all I/O and input pins with respect to Ground, with the exception of A_9	−1.0V to +7.0V
Voltage on input pin A_9	−1.0V to 13.5V
Programming supply voltage	−1.0V to +14.0V
Read supply voltage	−1.0V to +7.0V
DC short-circuit current, on output pin	100mA
Power dissipation, T_A = 25°C	1.0W
Lead soldering temperature, 10 seconds	300°C

Tabel 8/5.4-27: Maximaal toegelaten waarden.

Symbol	Parameter	Limit		Unit	Test Conditions
		Min.	Max.		
I_{CC1}	VCC Active Current CMOS inputs		120	mA	I_{OUT} = 0mA, f = 6MHz
I_{CC2}	VCC Active Current TTL inputs		120	mA	I_{OUT} = 0mA, f = 6MHz
I_{SB1}	VCC Standby Current CMOS input		100	µA	$\overline{CE}$ = $\overline{OE}$ = V_{IHC}, V_{CC} = 5.5V
I_{SB2}	VCC Standby Current TTL input		1	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IHC}
I_{PPS}	VPP Standby Current		1	µA	V_{PPL}
I_{LI}	Input Load Current		±1	µA	V_{IN}, V_{OUT} = V_{CC} or V_{SS}, V_{CC} = 5.5V, $\overline{OE}$ = V_{CC}
I_{LO}	Output Leakage Current		±1	µA	V_{IN}, V_{OUT} = V_{CC} or V_{SS}, V_{CC} = 5.5V
V_{IL}	Input Low Level TTL	−0.50	0.80	V	
V_{ILC}	Input Low Level CMOS	−0.50	0.80	V	
V_{OL}	Output Low Level		0.45	V	I_{OL} = 2.1mA
V_{IH}	Input High Level TTL	2.0	V_{CC} + 0.50	V	
V_{IHC}	Input High Level CMOS	0.7 V_{CC}	V_{CC} + 0.50	V	
V_{OH}	Output High Level	2.40		V	I_{OH} = −0.4mA

Tabel 8/5.4-28: Gelijkspanningskarakteristieken van de 28F512 V5 bij lezen en standby.

5.4 Type-beschrijving Flash-EPROM's

Wissen van de hele chip

Gedurende de eerste schrijfcyclus bij Chip-Erase wordt 20H in het Command Register geschreven. Om het wissen werkelijk te laten beginnen moet hetzelfde commando 20H nogmaals worden geschreven. Dit tweetraps proces is een veilige manier om per ongeluk wissen van de geheugeninhoud te voorkomen. De wiscyclus wordt 32 maal herhaald om elk van de 32 interne geheugenblokken achter elkaar te wissen. De laatste wiscyclus wordt beëindigd op de stijgende flank van $\overline{WE}$, terwijl het Erase Verify commando wordt gegeven. Bij deze cyclus wordt het te verifiëren adres op de adresbus gezet en bij het HOOG worden van $\overline{WE}$ gelatcht.
De wis/verifiëer-operatie wordt op elke byte na elke wispuls uitgevoerd om te controleren of alle bits zijn uitgewist.

Wissen per sector

Zoals hierboven al werd vermeld voert de 28F512 V5 de wisoperatie sector voor sector uit. Hierdoor is de gebruiker in staat om elk van de 32 sectoren apart te wissen. Wanneer een wiscyclus wordt uitgevoerd met een wistijd die korter is dan 5 μs wordt de inhoud van die sector niet gewist. Dit kan worden toegepast om een bepaalde sector over te slaan bij het wissen.
Om bijvoorbeeld alleen de achtste sector te wissen worden 7 wiscycli (elk met een kortere wistijd dan 5 μs) uitgevoerd, gevolgd door een echte wiscyclus met Erase Verify. Hierdoor wordt de 8e sector (adres 3800 tot 3FFF) gewist, terwijl de eerste 7 onaangetast blijven.
Deze methode kan natuurlijk worden toegepast bij het wissen van iedere combinatie sectoren.

Overige kenmerken

De overige kenmerken van de 28F512 V5 worden vermeld in de tabellen 8/5.4-27 tot en met 8/5.4-30.

Symbol	Parameter	Limit		Unit	Test Conditions
		Min.	Max.		
I_{LI}	Input Leakage Current		±1	μA	V_{IN}, V_{OUT} = V_{CC} or V_{SS}. V_{CC} = 5.5V $\overline{OE}$ = V_{IH}
I_{LO}	Output Leakage Current		±1	μA	V_{IN}, V_{OUT} = V_{CC} or V_{SS} V_{CC} = 5.5V $\overline{OE}$ = V_{IH}
V_{IL}	Input Low Level TTL	−0.50	0.80	V	
V_{ILC}	Input Low Level CMOS	−0.50	0.80	V	
V_{OL}	Output Low Level		0.40	V	I_{OL} = 2.4uA
V_{IH}	Input High Level TTL	2.0	V_{CC} + 0.50	V	
V_{IHC}	Input High Level CMOS	V_{CC} − 0.50	V_{CC} + 0.50	V	
V_{OH}	Output High Level	2.40		V	I_{OH} = −0.4mA

Tabel 8/5.4-29: Gelijkspanningskarakteristieken bij programmeren/wissen.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	28F512V5-12		28F512V5-15		28F512V5-20		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
t_{RC}	Read Cycle Time	120		150		200		nS
t_{ACC}	Address Access Time		120		150		200	nS
t_{CE}	$\overline{CE}$ Access Time		120		150		200	nS
t_{OE}	$\overline{OE}$ Access Time		60		65		75	nS
t_{OH}	Output Hold from Address $\overline{OE}$ or $\overline{CE}$ change	0		0		0		nS
t_{OLZ}	$\overline{OE}$ to Output in Low-Z	0		0		0		nS
t_{LZ}	$\overline{CE}$ to Output in Low-Z	0		0		0		nS
t_{DF}	$\overline{OE}$ High to Output High-Z	0	30	0	35	0	40	nS
t_{EHQZ}	$\overline{CE}$ High to Output High-Z		50		55		60	nS
t_{WC}	Write Cycle Time	120		150		200		nS
t_{AS}	Address Set-up Time	0		0		0		nS
t_{AH}	Address Hold Time	60		60		75		nS
t_{DS}	Data Set-up Time	50		50		50		nS
t_{DH}	Data Hold Time	10		10		10		nS
t_{CS}	$\overline{CE}$ Set-up Time	0		0		0		nS
t_{CH}	$\overline{CE}$ Hold Time	0		0		0		nS
t_{WP}	$\overline{WE}$ Pulse Width	70		80		80		nS
t_{WPH}	$\overline{WE}$ High Pulse Width	20		20		20		nS
t_{WHWH1}	Program Pulse Width	10	25	10	25	10	25	µS
t_{WHWH2}	Erase Pulse Width	9.5	10.5	9.5	10.5	9.5	10.5	mS
t_{WHGL}	Write Recovery Before Read	6		6		6		µS
t_{GHWL}	Write Recovery Before Write	0		0		0		µS

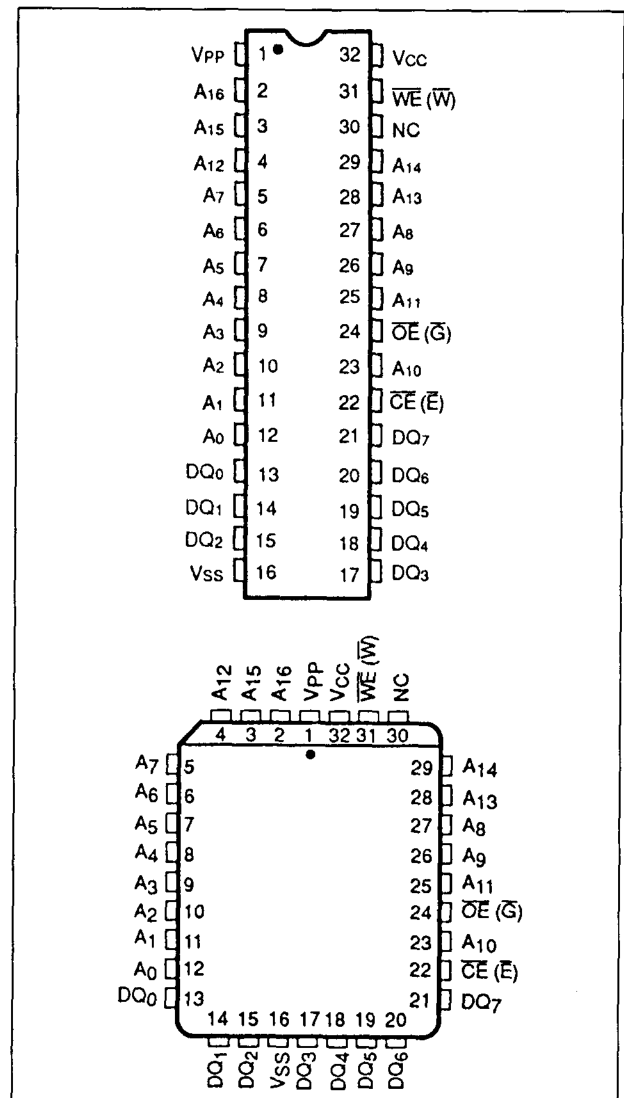
Tabel 8/5.4-30: Schakeltijden van de 28F512 V5 bij lezen, programmeren en wissen.

5.4 Type-beschrijving Flash-EPROM's

28F010

128 kB x 8 CMOS

Het 1 MB "Flash" elektrisch wisbaar en programmeerbaar read-only geheugen 28F010 is georganiseerd in 131.071 (128 k) 8-bit brede bytes. Dit geheugen kan, net als de kleinere typen, worden geprogrammeerd in een testsocket, in een EPROM-programmer, op de printkaart bij het testen en in het uiteindelijke systeem. De 28F010 wordt geleverd in een 32-pens plastic DIL of LCC behuizing en in de 1,2 mm dikke TSOP (Thin Small Outline Package). Deze laatste wordt bijvoorbeeld toegepast in "memory cards" en is verkrijgbaar met gewone en omgekeerde aansluitingen om de layout te vereenvoudigen. De 28F010 is leverbaar met verschillende toegangstijden: minimaal 120 ns (AMD-type: 90 ns), zodat toepassing in high-speed microprocessorsystemen zonder wait-states mogelijk is. Om de systeemopbouw te vereenvoudigen en bus-rivaliteit te voorkomen heeft dit geheugen aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen. De chip combineert de functionaliteit van een gewone EPROM met elektrisch wissen en programmeren. De commando's op TTL-niveau voor de 28F010 komen in een Command Register, waarna een inwendige "state-machine" voor de eigenlijke programmeer- en wishandelingen zorgt. De 28F010 kan ten minste 10.000 maal betrouwbaar worden gewist en opnieuw geprogrammeerd. Ook dit geheugen is tegen latch-up beveiligd voor belastingen tot 100 mA op alle pennen, tussen -1V en V_{CC} + 1 V.



Figuur 8/5.4-31: Aansluitingen van de DIL en PLCC-behuizingen van de 28F010.

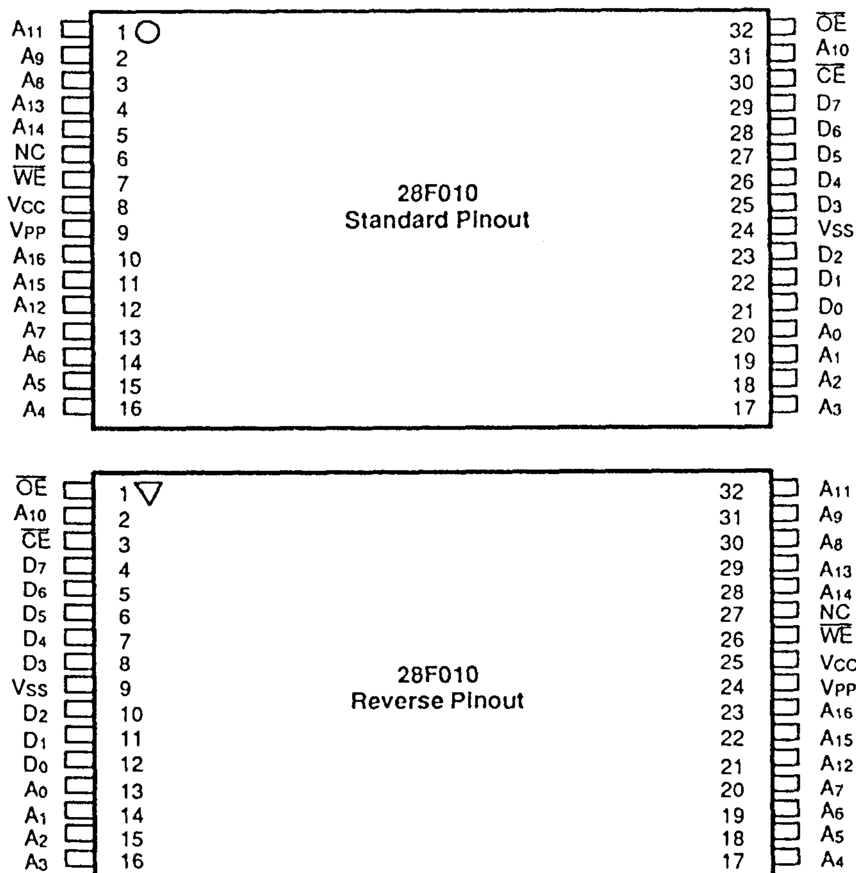
Specificaties

De 28F010 heeft de volgende algemene kenmerken:

- 1.024 kB (128 x 8) CMOS
- Flash elektrische Chip-Erase (typisch 1s)
- Quick-Pulse programmeer-algorithme toepasbaar
  byte programmeren in 10 µs typical
  chip programmeren in 2 s typical
- minimaal 10.000 wis/programmeercycli mogelijk
- programmeer-/wisspanning V_{PP}: 12 V +/-5 %
- toegangstijd 120 ns (AMD-type 90 ns min.)
- geringe dissipatie (CMOS) : 10 mA aktief, 50 µA standby, 0 Watt nodig voor behoud van data
- geïntegreerde programmeer/wis stoptimer
- Command Register architectuur voor microprocessor/microcontroller compatibele schrijf-interface

5.4 Type-beschrijving Flash-EPROM's

- ongevoelig voor ruis: +/-10 % V_{CC} tolerantie
- on-chip adres- en data-latches
- één-transistor geheugencellen
- latch-up bescherming tot 100 mA van -1 V tot V_{CC} +1 V
- behuizingen (figuur 8/5.4-31 en -32): JEDEC standaard plastic 32-pens DIL of LCC
  32-pens standaard/reverse TSOP
- fabrikanten onder andere:
  Intel (P/N/E/F-28F010)
  AMD (Am28F010)
  Catalyst (CAT28F010)
  Toshiba (TC58F1001)
  Seeq (47F010/48F010)
  Hitachi (HN29C101)
  Philips (48F010)
  NatSemi (MC48F010)

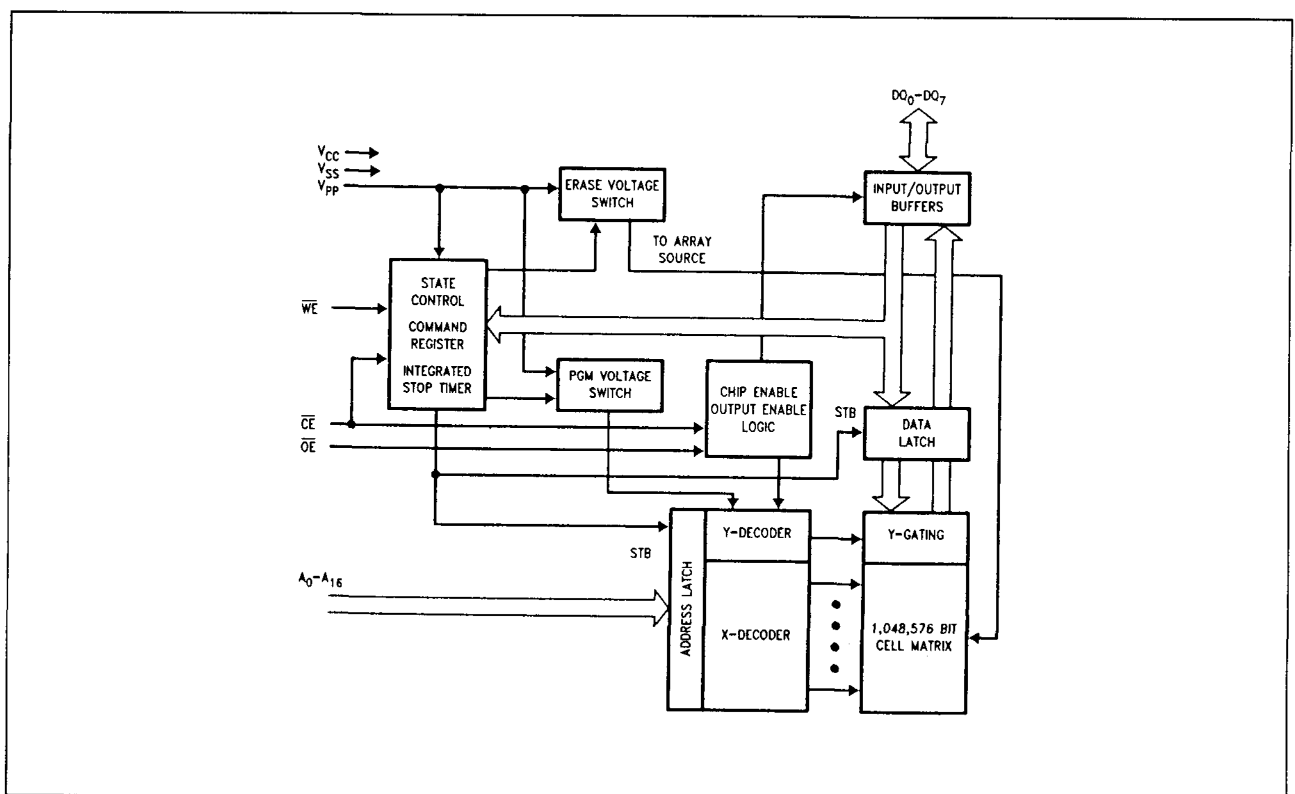


Figuur 8/5.4-32: Aansluitingen van de standaard en omgekeerde (reverse) TSOP uitvoering van de 28F010.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Type	Name and Function
A_0–A_{16}	INPUT	**ADDRESS INPUTS** for memory addresses. Addresses are internally latched during a write cycle.
DQ_0–DQ_7	INPUT/OUTPUT	**DATA INPUT/OUTPUT:** Inputs data during memory write cycles; outputs data during memory read cycles. The data pins are active high and float to tri-state OFF when the chip is deselected or the outputs are disabled. Data is internally latched during a write cycle.
$\overline{CE}$	INPUT	**CHIP ENABLE:** Activates the device's control logic, input buffers, decoders and sense amplifiers. $\overline{CE}$ is active low; $\overline{CE}$ high deselects the memory device and reduces power consumption to standby levels.
$\overline{OE}$	INPUT	**OUTPUT ENABLE:** Gates the devices output through the data buffers during a read cycle. $\overline{OE}$ is active low.
$\overline{WE}$	INPUT	**WRITE ENABLE:** Controls writes to the control register and the array. Write enable is active low. Addresses are latched on the falling edge and data is latched on the rising edge of the $\overline{WE}$ pulse. **Note:** With $V_{PP} \leq 6.5V$, memory contents cannot be altered.
V_{PP}		**ERASE/PROGRAM POWER SUPPLY** for writing the command register, erasing the entire array, or programming bytes in the array.
V_{CC}		**DEVICE POWER SUPPLY** (5V ± 10%)
V_{SS}		**GROUND**
NC		**NO INTERNAL CONNECTION** to device. Pin may be driven or left floating.

Tabel 8/5.4-31: Benamingen en functies van de signalen.

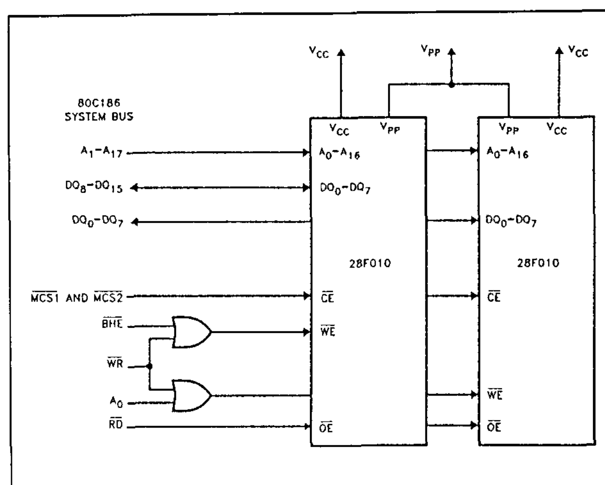


Figuur 8/5.4-33: Blokschema van de 1Mb Flash EPROM 28F010.

5.4 Type-beschrijving Flash-EPROM's

Toepassingen

De 28F010 combineert het behoud van inhoud bij het weghalen van de voedingsspanning (= niet-vluchtig) met het voordeel dat het geheugen meer dan 100.000 maal elektrisch gewist en geprogrammeerd kan worden. Hierdoor kan de 28F010 zeer goed in de plaats van een harde schijf, diskette, EEPROM en batterij-gevoede statische RAM worden gebruikt. Wanneer codes en datatabellen slechts periodiek moeten worden aangepast, is dit geheugen een zeer aantrekkelijke vervanging van de EPROM.
Door primaire toepassingsprogramma's en operating systemen in Flash op te slaan, vervalt het langzame disk-naar-DRAM download proces. Hierdoor verbeteren de prestaties van het systeem, terwijl het opgenomen vermogen afneemt. Door het elektrisch wissen en binnen het systeem updaten neemt de flexibiliteit enorm toe.
In werkstations en schijfloze terminals wordt het verkeer via de netwerken tot een minimum beperkt en is zeer snel opstarten van de systemen mogelijk. Bij onderbrekingen van de netspanning vervallen tijdrovende "re-boot"-perioden.
Bij ingebedde systemen is de 28F010 een "solid state" alternatief met betere prestaties, een lager energieverbruik, zeer snel opstarten en een "execute in place" geheugenhiërarchie voor het inlezen van code en data. Bovendien is het Flash-geheugen betrouwbaarder en beter bestand tegen aggressieve omgevingen.
De 28F010 kan gemakkelijk op een microprocessor worden aangesloten, zoals in figuur 8/5.4-34 te zien is, waar twee 28F010's met een minimum aan interface-schakelingen op de systeembus van een microcontroller (hier de 80C186) zijn aangesloten.
De belangrijkste eigenschap van de TSOP-behuizing (Thin Small Outline Package) is de dikte van slechts 1,2 mm. Doordat deze met aansluitingen in zowel de standaard-uitvoering als omgekeerd worden geleverd, wordt bij grotere array's flink bespaard op metallisatielagen en volume. Ze worden bijvoorbeeld toegepast in "Memory Cards". In figuur 8/5.4-35 is de TSOP "serpentine lay-out" te zien.

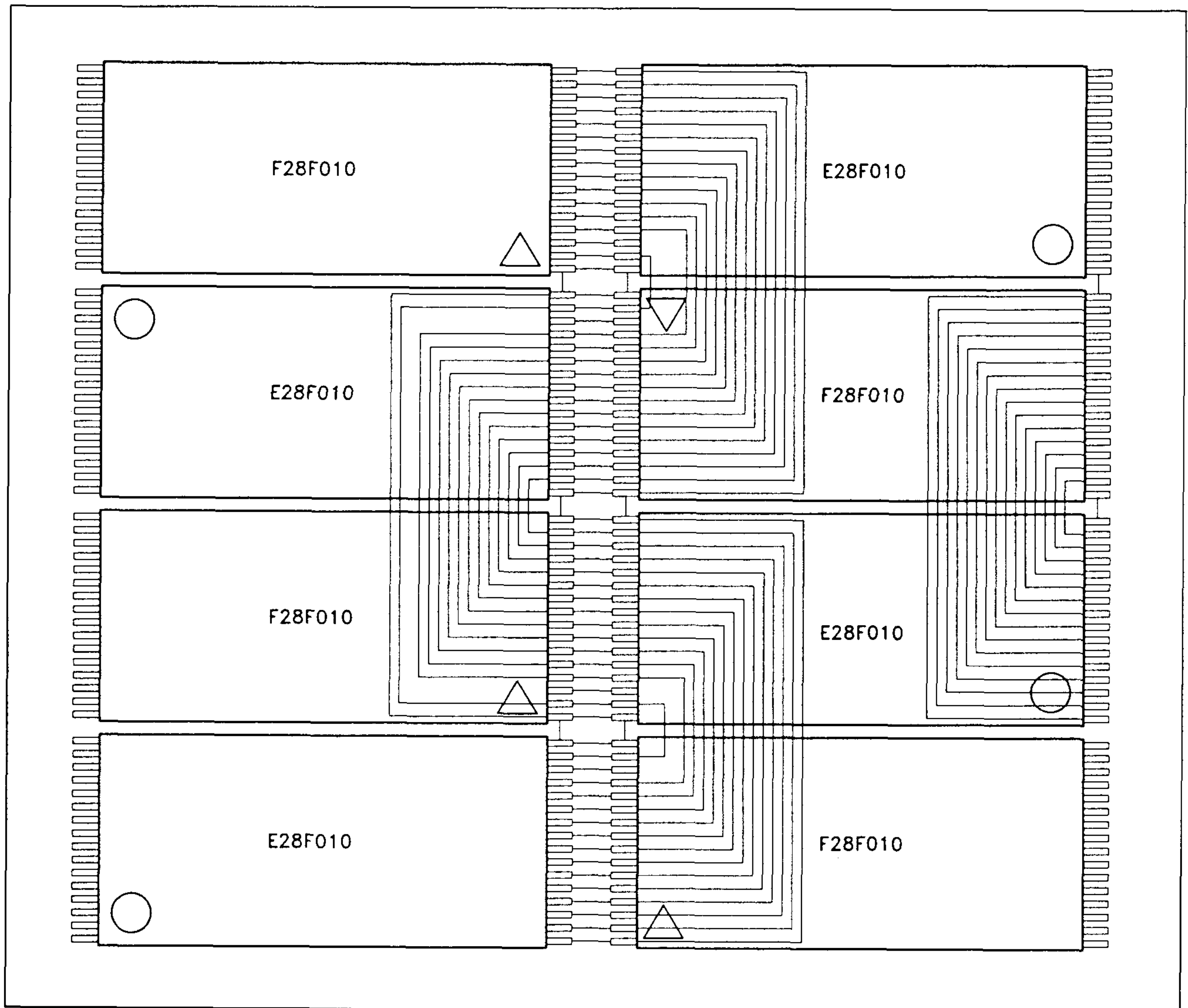


Figuur 8/5.4-34: Aansluiting van twee 28F010's op een 80C186 systeem.

Werking van de 28F010

Het Flash-geheugen combineert de beste eigenschappen van de EPROM met de mogelijkheid van elektrisch wissen en programmeren.
De 28F010 beschikt over een Command Register dat 100 % TTL-compatibele besturingssignalen, een gefixeerde voedingsspanning tijdens het wissen en programmeren en maximale compatibiliteit met EPROM's mogelijk maakt. Wanneer de hoge spanning (12 V) op de programmeerpen ontbreekt, werkt de 28F010 als "alleen uitleesbaar geheugen" (ROM) en worden de normale EPROM lees, standby, output disable en intelligent identifier functies uitgevoerd.
Dezelfde EPROM lees, standby en output disable operaties kunnen ook worden uitgevoerd als de hoge spanning wel op de V_{PP}-pen staat. Bovendien kan de 28F010 dan worden gewist en geprogrammeerd. Alle functies die te maken hebben met het veranderen van de inhoud van het geheugen (intelligente identificatie, wissen, wissen/verifiëren, programmeren en programmeren/verifiëren) zijn toegankelijk via het Command Register.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-35: TSOP Serpentine Layout voor acht 28F010's.

De commando's worden met behulp van standaard microprocessor schrijf-timingen naar het register geschreven.
De inhoud van dit register is dan de instelling van een interne "state-machine" die de schakelingen voor het wissen en programmeren bestuurt. De adressen en data die voor het wissen en programmeren nodig zijn worden door de schrijfcycli ook intern gelatcht. Wanneer het juiste commando in het register is geschreven kan de array-data, de intelligente identificatie-code of de uitgangsdata door de microprocessor worden uitgelezen ter verificatie van wissen en programmeren.

Geïntegreerde Stop Timer

Hoe lang de totale programmeer- en wisoperaties duren is afhankelijk van de achtereenvolgende commando schrijfcycli, vooral wanneer de wis- en programmeercycli worden gevolgd door de bijbehorende verificatie-commando's. De timing van deze operaties wordt door een geïntegreerde stoptimer vereenvoudigd, waardoor specificaties van

5.4 Type-beschrijving Flash-EPROM's

de programmeer- en wistijden niet nodig zijn. De pulsbreedten voor wissen en programmeren zijn hierdoor minimaal. Wanneer de stoptimer een programmeer- of wis-operatie beëindigt, komt het geheugen in een niet-aktieve toestand totdat het verifieer- of reset-commando wordt ontvangen.

Schrijf-beveiliging

Het Command Register is alleen aktief als een hoge spanning (12 V) op de V_{PP}-pen aanwezig is.
De ontwerper kan ervoor kiezen de V_{PP}-voeding uitschakelbaar te maken, zodat die alleen aanwezig is als de inhoud van het geheugen gewijzigd moet worden. Wanneer $V_{PP} = V_{PPL}$ komt de inhoud van het register automatisch (default) overeen met het lees-commando, waardoor de 28F010 als ROM werkt.
De inhoud van het geheugen kan dan natuurlijk niet worden gewijzigd.
De ontwerper kan V_{PP} echter ook continu aangesloten laten ("hard-wired"). De functies van het Command Register worden dan gesperd als V_{CC} lager dan de schrijf-lockout spanning V_{LKO} komt (zie Power Up/Down beveiliging). De 28F010 is geschikt voor beide mogelijkheden.

Bus-operaties

In de volgende paragrafen wordt de werking van de bus-operaties toegelicht.

Lezen

De 28F010 heeft twee besturingsfuncties die beide logisch aktief moeten zijn om data aan de uitgang te verkrijgen. Met Chip-Enable ($\overline{CE}$) wordt de voeding bestuurd en dit signaal is bestemd om het geheugen te selecteren. Met Output-Enable ($\overline{OE}$) wordt de uitgang bediend en is het mogelijk om, onafhankelijk van de keuze van de 28F010, data van de uitgangspennen te halen.
Wanneer V_{PP} op V_{PPH} = 12 V staat, kunnen de array-data, de intelligente identificatie-codes en data voor programmeer/wis-verificatie worden uitgelezen. Als V_{PP} LAAG is (V_{PPL}) kan uitsluitend de array-data worden uitgelezen.

Output Disable

Wanneer Output-Enable op een logisch-hoge waarde (V_{IH}) staat, worden de uitgangen van het geheugen gesperd. De uitgangspennen bevinden zich dan in een hoog-impedante toestand.

Standby

Als Chip-Enable logisch HOOG is, worden de meeste schakelingen in de 28F010 gesperd door de standby-werking, zodat er veel minder vermogen wordt opgenomen. De uitgangen worden, onafhankelijk van het $\overline{OE}$-signaal, in een hoog-impedante toestand gezet.
Als de 28F010 tijdens het wissen, het programmeren of het verifiëren van programmeren/wissen gedeselecteerd wordt blijft het geheugen aktieve stroom trekken totdat de operatie is beëindigd.

Intelligente Identificatie

Met de intelligente identificatie-operatie (soms ook wel auto-select genoemd) wordt de fabrikanten-code (Intel: 89H, AMD: 01H) en de device-code (Intel: B4H, AMD: A7H) zichtbaar.
De programmeerapparatuur past hierdoor alle wis- en programmeer algorithmen automatisch aan. Wanneer Chip-Enable en Output-Enable op een logisch LAAG niveau staan, wordt deze operatie geaktiveerd door A9 op een hoge spanning V_{ID} te brengen (zie tabel 8/5.4-32).
De fabrikant-code en de device-code kunnen op de lokaties 0000H, respectievelijk 0001H worden uitgelezen.
Deze codes kunnen ook worden uitgelezen via het Command Register, als de 28F010 bijvoorbeeld in het doelsysteem wordt gewist en opnieuw geprogrammeerd. Na het schrijven van 90H in het Command Register komt de fabrikanten-code (89H) op adres 0000H beschikbaar en de device-code (B4H) op adres 0001H.

5.4 Type-beschrijving Flash-EPROM's

Operation		Pins V_{PP}(1)	A_0	A_9	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	DQ_0-DQ_7
READ-ONLY	Read	V_{PPL}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out
	Output Disable	V_{PPL}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby	V_{PPL}	X	X	V_{IH}	X	X	Tri-State
	int$_e$ligent Identifier™ (Mfr)(2)	V_{PPL}	V_{IL}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = 89H
	int$_e$ligent Identifier™ (Device)(2)	V_{PPL}	V_{IH}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = B4H
READ/WRITE	Read	V_{PPH}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out(4)
	Output Disable	V_{PPH}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby(5)	V_{PPH}	X	X	V_{IH}	X	X	Tri-State
	Write	V_{PPH}	A_0	A_9	V_{IL}	V_{IH}	V_{IL}	Data In(6)

NOTES:
1. Refer to DC Characteristics. When $V_{PP} = V_{PPL}$ memory contents can be read but not written or erased.
2. Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 3. All other addresses low.
3. V_{ID} is the int$_e$ligent Identifier high voltage. Refer to DC Characteristics.
4. Read operations with $V_{PP} = V_{PPH}$ may access array data or the int$_e$ligent Identifier™ codes.
5. With V_{PP} at high voltage, the standby current equals I_{CC} + I_{PP} (standby).
6. Refer to Table 3 for valid Data-In during a write operation.
7. X can be V_{IL} or V_{IH}.

Tabel 8/5.4-32: Bus-operaties van de 28F010.

Command	Bus Cycles Req'd	First Bus Cycle			Second Bus Cycle		
		Operation(1)	Address(2)	Data(3)	Operation(1)	Address(2)	Data(3)
Read Memory	1	Write	X	00H			
Read int$_e$ligent Identifier™ Codes(4)	3	Write	X	90H	Read	(4)	(4)
Set-up Erase/Erase(5)	2	Write	X	20H	Write	X	20H
Erase Verify(5)	2	Write	EA	A0H	Read	X	EVD
Set-up Program/Program(6)	2	Write	X	40H	Write	PA	PD
Program Verify(6)	2	Write	X	C0H	Read	X	PVD
Reset(7)	2	Write	X	FFH	Write	X	FFH

Tabel 8/5.4-33: Definities van de commando's.

Schrijven

Wissen en programmeren van het geheugen wordt uitgevoerd via het Command Register als een hoge spanning op de V_{PP}-pen wordt gezet. De inhoud van het register dient dan als besturing van de inwendige "state-machine". De uitgangen van de "state-machine" bepalen vervolgens de werking van de component. Het Command Register heeft zelf geen adresseerbare geheugenlokatie. Het register is een latch die wordt gebruikt voor het opslaan van het commando en de voor de uitvoering van het commando benodigde adres- en data-informatie.

5.4 Type-beschrijving Flash-EPROM's

Er wordt in het Command Register geschreven door Write-Enable ($\overline{WE}$) op een logisch LAAG niveau (V_{IL}) te brengen, terwijl Chip-Enable ($\overline{CE}$) LAAG is. Adressen worden op de dalende flank van Write-Enable gelatcht en data op de stijgende flank hiervan. Hierbij zijn de standaard microprocessor timingen van kracht.

Definities van de Commando's

Wanneer de spanning op de V_{PP}-pen LAAG is, wordt de inhoud van het Command Register automatisch (default) 00H, waardoor alleen uitgelezen kan worden (read-only). Door een hoge spanning (12 V) op de V_{PP}-pen te zetten worden zowel lees- als schrijf-operaties toegestaan. Welke operaties dat zijn is afhankelijk van de data-patronen die in het Command Register worden geschreven. In tabel 8/5.4-33 wordt een overzicht van de register-commando's gegeven die hieronder apart worden toegelicht.

Lees-commando (Read Memory)

Terwijl V_{PP} hoog is om te kunnen wissen en programmeren, kan de inhoud van het geheugen worden bereikt met het leescommando. De leesoperatie wordt ingeleid door 00H in het Command Register te schrijven. Met microprocessor leescycli wordt array-data opgehaald. Het geheugen blijft bereikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.
Bij het inschakelen van de voedingsspanning is de inhoud van het register automatisch (default) 00H. Hierdoor wordt voorkomen dat bij het aanbrengen van V_{PP} de inhoud van het geheugen per ongeluk verandert. Als V_{PP} altijd op de 28F010 aanwezig is ("hard-wired"), komt het geheugen op spanning en blijft beschikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd (zie voor de timing de AC lees-karakteristieken en golfvormen).

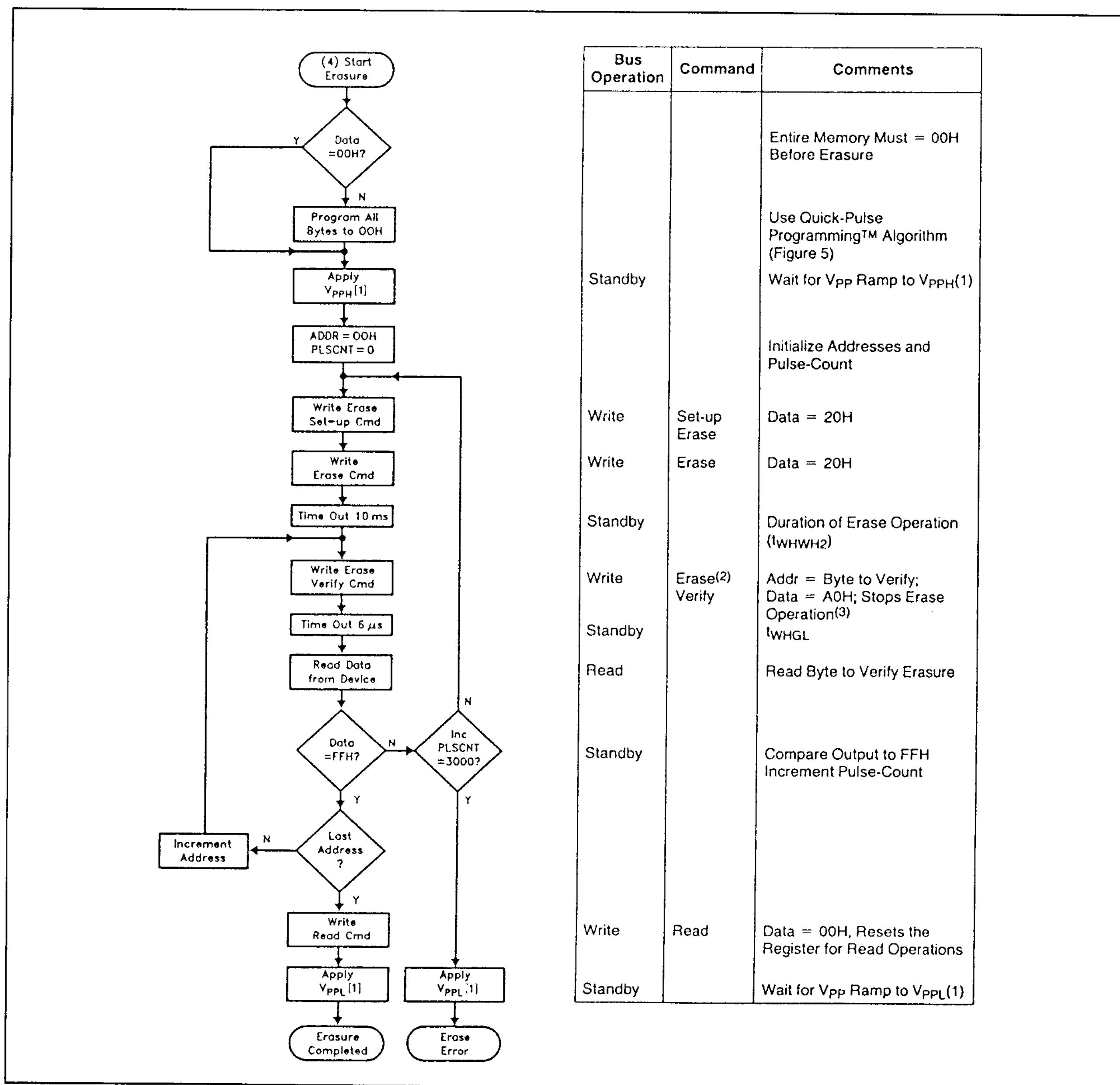
Identificatie

Flash-geheugens zijn ontworpen voor toepassingen waarbij de inhoud van het geheugen door de lokale CPU wordt veranderd. Het moet dus mogelijk zijn de fabrikant- en device-codes uit te lezen terwijl de component zich in het definitieve systeem bevindt. PROM-programmers verkrijgen de identificatie-codes meestal door A9 op een hoge spanning te brengen, maar bij praktische schakelingen moet het worden afgeraden een hoge spanning naar adreslijnen te multiplexen.
De 28F010 kan intelligente identificatie-operaties uitvoeren ("Read intelligent ID Codes") die aan de traditionele PROM-programmeer methodologie worden toegevoegd. Deze operatie wordt ingeleid door 90H in het Command Register te schrijven. Na de schrijf-operatie levert een leescyclus op adres 0000H de fabrikant-code 89H (Intel) op. Op adres 0001H kan vervolgens de device-code (B4H) worden uitgelezen. Deze operaties eindigen door een ander geldig commando in het register te schrijven.

Set-up wissen/wissen (Set-up Erase/Erase)

Met set-up erase wordt het geheugen klaargemaakt voor het wissen van alle bytes in het array. Deze operatie wordt uitgevoerd door 20H in het Command Register te schrijven. Om het wissen van de chip te beginnen moet het wis-commando (20H) nog een keer in het register worden geschreven. Het wissen begint dan op de stijgende flank van de Write-Enable puls en eindigt op de stijgende flank van de volgende Write-Enable puls (van bijvoorbeeld het Wis-Verifieer commando).
Door deze tweetraps operatie van set-up, gevolgd door de uitvoering zelf, wordt voorkomen dat de inhoud van het geheugen per ongeluk wordt gewist.
Bovendien kan het wissen van de chip alleen plaatsvinden als een spanning van 12 V op de V_{PP}-pen staat. Bij afwezigheid van deze hoge spanning is de inhoud van het geheugen beveiligd tegen wissen (zie AC wis-karakteristieken en golfvormen voor de specifieke timing).

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
		Entire Memory Must = 00H Before Erasure
		Use Quick-Pulse Programming™ Algorithm (Figure 5)
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Addresses and Pulse-Count
Write	Set-up Erase	Data = 20H
Write	Erase	Data = 20H
Standby		Duration of Erase Operation (t_{WHWH2})
Write	Erase(2) Verify	Addr = Byte to Verify; Data = A0H; Stops Erase Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Erasure
Standby		Compare Output to FFH Increment Pulse-Count
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

Figuur 8/5.4-36: De Quick Erase Algorithme.

Wis-Verifieer (Erase-Verify) commando

Met het wis-commando worden alle bytes van het array parallel gewist. Na elke wis-operatie moeten alle bytes worden geverifieerd. De wis/verifieer operatie begint door A0H in het Command Register te schrijven. Het adres van de te verifiëren byte moet op de dalende flank van de Write-Enable puls worden gelatcht. De wis-operatie eindigt op de stijgende flank van de Write-Enable puls van het schrijven naar het register.
De 28F010 zet een inwendig opgewekte marge-spanning op de geadresseerde byte. Wanneer de inhoud van de geadresseerde byte FFH is, zijn alle bits hierin gewist.
Het wis/verifieer commando moet in het Command Register worden geschreven voordat het adres voor de byte-verificatie

5.4 Type-beschrijving Flash-EPROM's

wordt gelatcht. Dit proces gaat door voor alle bytes in het array totdat een byte geen FFH oplevert of als het laatste adres is uitgelezen. Voor het geval dat de uitgelezen data geen FFH is, wordt een extra wis-operatie uitgevoerd (zie ook set-up wissen /wissen). Er wordt dan gecontroleerd vanaf de laatste goedgekeurde byte. Zijn alle bytes in het array geverifieerd dan is de wis-operatie klaar en kan de 28F010 worden geprogrammeerd. Op dit punt wordt het verifiëren beëindigd door een geldig commando (bijvoorbeeld Program Set-up) in het Command Register te schrijven. In figuur 8/5.4-36 (de Quick Erase Algorithme) is te zien hoe commando's en bus-operaties worden gecombineerd om de 28F010 elektrisch te kunnen wissen.

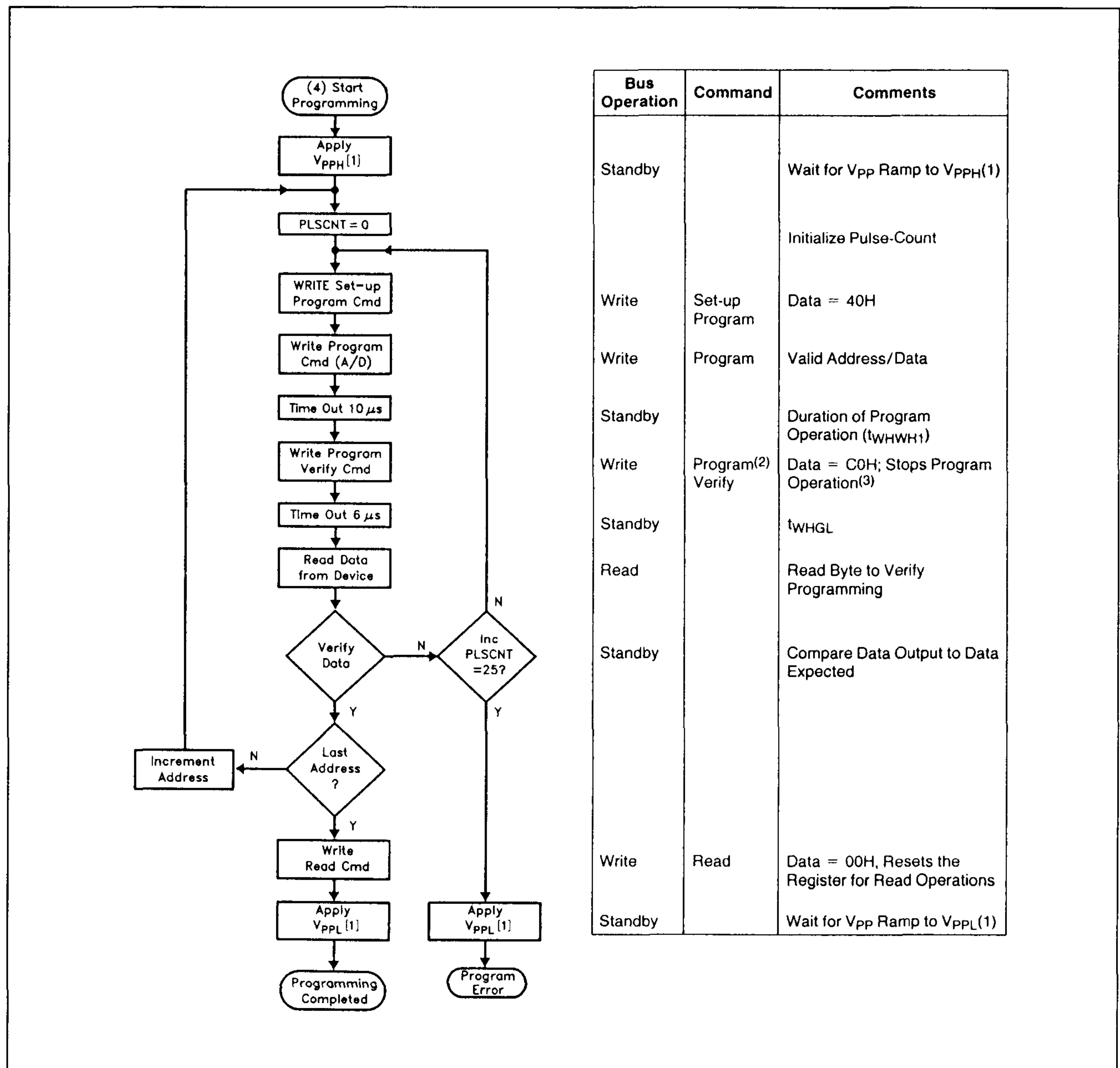
Set-up programmeren/programmeren
Met het Set-up Program commando wordt het geheugen klaargezet voor het programmeren van de bytes. De set-up operatie wordt uitgevoerd door 40H in het Command Register te schrijven. Nadat de set-up is uitgevoerd maakt de volgende Write-Enable puls dat aktief kan worden geprogrammeerd. De adressen worden intern op de dalende flank van de Write-Enable puls gelatcht, terwijl de data intern op de stijgende flank van de Write-Enable puls worden gelatcht. Op de stijgende flank van Write-Enable begint ook het programmeren. De programmeer-operatie eindigt op de volgende stijgende flank van Write-Enable die wordt gebruikt om het program-verifieer commando te schrijven.

Program-Verifieer commando
De 28F010 wordt byte voor byte geprogrammeerd. Het byte-programmeren mag aaneengesloten of willekeurig gebeuren. Na iedere programmeer-operatie moet de zojuist geprogrammeerde byte worden geverifieerd. De programmeer-verifieer operatie wordt ingeleid door C0H in het Command Register te schrijven. Door schrijven in het register wordt de programmeer-operatie op de stijgende flank van de Write-Enable puls beëindigd. De programmeer-verifieer operatie zet de component klaar voor controle van de laatst geprogrammeerde byte. Er wordt geen nieuwe adres-informatie gelatcht.
Door de 28F010 wordt een inwendig opgewekte marge-spanning op de byte gezet. De data wordt met een gewone microprocessor lees-cyclus zichtbaar. Wanneer de geprogrammeerde data overeenkomt met de aangeboden data is de byte correct geprogrammeerd. Het programmeren gaat dan verder op de volgende gewenste byte-lokatie. In figuur 8/5.4-37 (de Quick Puls Programmeer Algorithme) is te zien hoe de commando's worden gecombineerd met bus-operaties om de byte-programmering uit te voeren.

Reset
De wis- en programmeerhandelingen kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee aaneengesloten FFH's wordt de operatie veilig afgebroken. De inhoud van het geheugen zal hierdoor niet veranderen. Hierna moet een geldig commando worden ingeschreven om de component in de gewenste toestand te plaatsen.

Langdurig wissen/programmeren
Gebruikers van EEPROM's zijn vaak bezorgd over de gevolgen van veelvuldig wissen/programmeren. Door het sterke elektrische veld dat nodig is voor het tunnelen van de dunne oxyde EEPROM's kan het oxyde op zwakke plaatsen letterlijk worden verscheurd. Om dit te voorkomen hebben sommige fabrikanten redundanties opgenomen. Voor redundantie is echter verdubbeling van de cel-afmetingen nodig, een dure oplossing. Door de toegepaste Flash-geheugen technologiëen is zeer vaak wissen/programmeren mogelijk zonder toename van de afmetingen van de geheugencellen. De 28F010 is dan ook gespecificeerd voor minimaal 10.000 programmeer/wiscycli.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Pulse-Count
Write	Set-up Program	Data = 40H
Write	Program	Valid Address/Data
Standby		Duration of Program Operation (t_{WHWH1})
Write	Program(2) Verify	Data = C0H; Stops Program Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Programming
Standby		Compare Data Output to Data Expected
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

Figuur 8/5.4-37: De Quick-Pulse Programmeer Algorithme kan ook op de 28F010 worden toegepast.

Het geheugen wordt geprogrammeerd en gewist met behulp van Intel's Quick-Pulse Programming en Quick-Erase algorithmen.

De Quick-pulse Programmeer algorithme

Bij de Quick-Pulse Programmeer algorithme (zie figuur 8/5.4-37) duren de programmeer-operaties 10 μs. Elke operatie wordt gevolgd door een byte-verificatie om te controleren of de geadresseerde byte met succes is geprogrammeerd. Is dit niet het geval dan wordt nogmaals geprogrammeerd (maximaal 25 maal per byte). De meeste bytes zijn echter na de eerste of tweede operatie al in orde. De gehele volgorde van programmeren en byte verifiëren wordt uitgevoerd bij V_{PP} = 12 V.

5.4 Type-beschrijving Flash-EPROM's

De Quick-Erase algorithme

De Quick-Erase algorithme dient om de inhoud van het geheugen snel en betrouwbaar elektrisch te wissen. De algorithme verloopt (evenals de Quick-Pulse Programmeer algorithme) volgens een gesloten lus om de lading van alle bits in het array gelijktijdig te verwijderen. Het wissen begint met het lezen van de geheugen-inhoud. De 28F010 wordt leeg geleverd. Na uitlezen van FFH-data kan direkt worden begonnen met het programmeren van het geheugen.

Componenten die reeds gewist en geprogrammeerd zijn kunnen uniform en betrouwbaar worden gewist door eerst alle bits naar de geladen toestand (00H) te programmeren. Dit duurt bij gebruik van de Quick-Pulse Programmeer algorithme ongeveer twee seconden. De wis-operatie wordt vervolgd met een initiële wis-operatie. Verificatie van het wissen (data = FFH) begint op adres 0000H en gaat door tot het laatste adres of totdat van FFH afwijkende data wordt ontmoet.

Het wissen kan efficiënter worden uitgevoerd door het adres van de laatst geverifieerde byte in een register op te slaan. Na de volgende wis-operatie begint het verifiëren dan op het opgeslagen adres. Het wissen duurt ongeveer één seconde.

Maatregelen bij het ontwerpen

- Tweelijns uitgangsbesturing

  Flash-geheugens worden vaak toegepast in grote geheugen-arrays. Om dit mogelijk te maken is de 28F010 uitgerust met twee read-control ingangen. Om deze besturingslijnen efficiënt te gebruiken moet de Chip-Enable door een adres-decoder worden bestuurd, terwijl het lees-signaal van het systeem alle Flash-geheugens en andere parallel geschakelde geheugens bestuurt.

  Hierdoor is men er zeker van dat alleen data van geselecteerde geheugens op de bus komt en dat de niet-geselecteerde geheugens in de standby toestand blijven.
- Ontkoppeling van de voeding

  Door het aan- en uitschakelen van de voeding van Flash-geheugens is een zorgvuldige ontkoppeling ervan nodig. Systeem-ontwerpers kunnen drie I_{CC}-gevallen verwachten: standby, aktief en piekstromen op de flanken van Chip-Enable. De amplituden van deze pieken zijn afhankelijk van de capacitieve en inductieve belastingen van de uitgangen.

  Spanningspieken worden onderdrukt door de tweelijns besturing en een geschikte ontkoppel-condensator. Elk Flash-geheugen moet tussen V_{CC} en V_{SS} en tussen V_{PP} en V_{SS} een keramische condensator van 0,1 μF hebben. Deze condensatoren moeten zo dicht mogelijk bij de component worden geplaatst. Bovendien moet elke groep van acht componenten een 4,7 μF elektrolitische condensator tussen V_{CC} en V_{SS} hebben.
- V_{PP}-bedrading op printkaarten

  Voor het programmeren van Flash-geheugens die zich in de definitieve schakeling op een printkaart bevinden moet aan het spoor voor V_{PP} in de gedrukte bedrading de nodige aandacht worden besteed. Hier kunnen dezelfde spoorbreedten en layout-overwegingen worden gebruikt als voor de V_{CC}-bus om spanningspieken en overshoots te voorkomen.
- Power Up/Down beveiliging

  Het ontwerp van de 28F010 biedt bescherming tegen per ongeluk wissen of programmeren bij veranderingen van de voedingsspanning. Bij het inschakelen van de voeding is het voor de 28F010 onbelangrijk welke spanning (V_{CC} of V_{PP}) het eerst aanwezig is. Er wordt inwendig voor gezorgd dat het Command Register bij power-up in de leesmode wordt gezet. De systeem-ontwerper moet vermijden dat wordt geschreven met V_{CC}-spanningen die hoger zijn dan V_{LKO} als V_{PP} aktief is.

  Aangezien zowel $\overline{WE}$ als $\overline{CE}$ LAAG moeten zijn voor een schrijfcommando, wordt schrijven voorkomen door één van beide HOOG te maken.

5.4 Type-beschrijving Flash-EPROM's

Operation	Notes	Power Dissipation (Watt-Seconds)
Array Program/Program Verify	1	0.171
Array Erase/Erase Verify	2	0.136
One Complete Cycle	3	0.478

Tabel 8/5.4-34: Opgenomen vermogen bij updaten van de 28F010.

De architectuur van het control register zorgt bovendien voor een extra beveiliging aangezien verandering van de inhoud van het geheugen alleen plaatsvindt na succesvolle afsluiting van de tweetraps commando-volgorden.

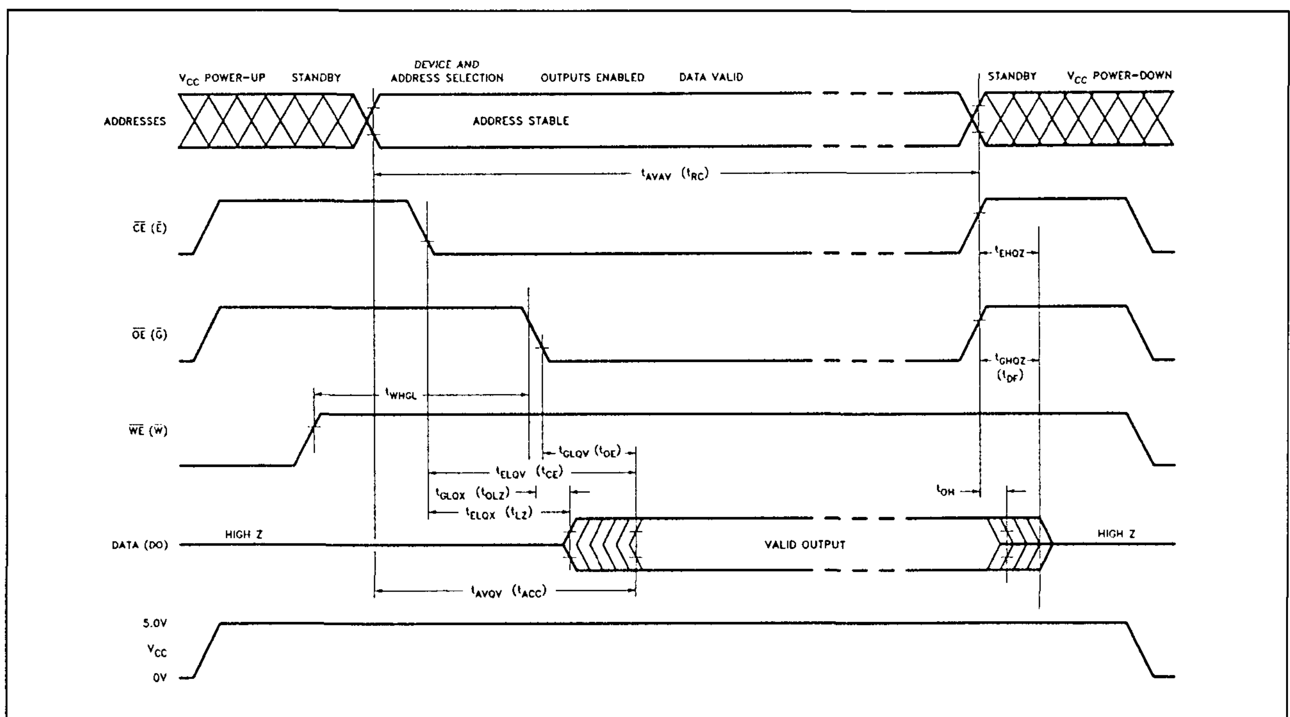
- Vermogensdissipatie van de 28F010
  Bij het ontwerpen van draagbare systemen moet rekening worden gehouden met het energieverbruik: niet alleen in bedrijf maar ook bij uitschakeling. De niet-vluchtige Flash-geheugens verbruiken geen energie om code of data vast te houden. In tabel 8/5.4-34 is te zien hoeveel vermogen wordt gedissipeerd bij het updaten van de 28F010.

Overige specificaties

De overige elektrische en timing karakteristieken (van het Intel-type) van de 28F010 zijn opgenomen in de figuren 8/5.4-38 tot en met 8/5.4-45 en de tabellen 8/5.4-35 tot en met 8/5.4-41.

Operating Temperature
During Read . . . . 0°C to +70°C
During Erase/Program . . . . 0°C to +70°C
Temperature Under Bias . . . . −10°C to +80°C
Storage Temperature . . . . −65°C to +125°C
Voltage on Any Pin with
Respect to Ground . . . . −2.0V to +7.0V
Voltage on Pin A_9 with
Respect to Ground . . . . −2.0V to +13.5V
V_{PP} Supply Voltage with
Respect to Ground
During Erase/Program . . . . −2.0V to +14.0V
V_{CC} Supply Voltage with
Respect to Ground . . . . −2.0V to +7.0V
Output Short Circuit Current . . . . 100 mA

Tabel 8/5.4-35: Maximaal toegelaten waarden.



Figuur 8/5.4-38: Golfvormen bij uitlezen van de 28F010.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typical	Max		
I_{LI}	Input Leakage Current	1			±1.0	μA	$V_{CC} = V_{CC}$ Max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			±10	μA	$V_{CC} = V_{CC}$ Max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1			1.0	mA	$V_{CC} = V_{CC}$ Max $\overline{CE} = V_{IH}$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$ Max, $\overline{CE} = V_{IL}$ f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$, Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$, Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			±10	μA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP}Read Current or Standby Current	1		90	200	μA	$V_{PP} > V_{CC}$
					±10.0		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		6.0	30	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$, Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$, Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		2.0		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA $V_{CC} = V_{CC}$ Min
V_{OH1}	Output High Voltage		2.4			V	I_{OH} = −2.5 mA $V_{CC} = V_{CC}$ Min
V_{ID}	A_9 int$_e$ligent Identifer™ Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier™ Current	1		90	200	μA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Program are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-36: TTL/NMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typical	Max		
I_{LI}	Input Leakage Current	1			±1.0	µA	$V_{CC} = V_{CC}$ Max $V_{IN} = V_{CC}$ or V_{SS}
I_{LO}	Output Leakage Current	1			±10	µA	$V_{CC} = V_{CC}$ Max $V_{OUT} = V_{CC}$ or V_{SS}
I_{CCS}	V_{CC} Standby Current	1		50	100	µA	$V_{CC} = V_{CC}$ Max $\overline{CE} = V_{CC} \pm 0.2V$
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	$V_{CC} = V_{CC}$ Max, $\overline{CE} = V_{IL}$ f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$, Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	$V_{PP} = V_{PPH}$, Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			±10	µA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current or Standby Current	1		90	200	µA	$V_{PP} > V_{CC}$
					±10		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8.0	30	mA	$V_{PP} = V_{PPH}$ Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		6.0	30	mA	$V_{PP} = V_{PPH}$ Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$, Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	$V_{PP} = V_{PPH}$, Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		0.7 V_{CC}		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA $V_{CC} = V_{CC}$ Min
V_{OH1}	Output High Voltage		0.85 V_{CC}			V	I_{OH} = −2.5 mA, $V_{CC} = V_{CC}$ Min
V_{OH2}			V_{CC} − 0.4				I_{OH} = −100 µA, $V_{CC} = V_{CC}$ Min
V_{ID}	A_9 inteligent Identifer™ Voltage		11.50		13.00	V	
I_{ID}	A_9 inteligent Identifier™ Current	1		90	200	µA	$A_9 = V_{ID}$
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Programs are Inhibited when $V_{PP} = V_{PPL}$
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-37: CMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

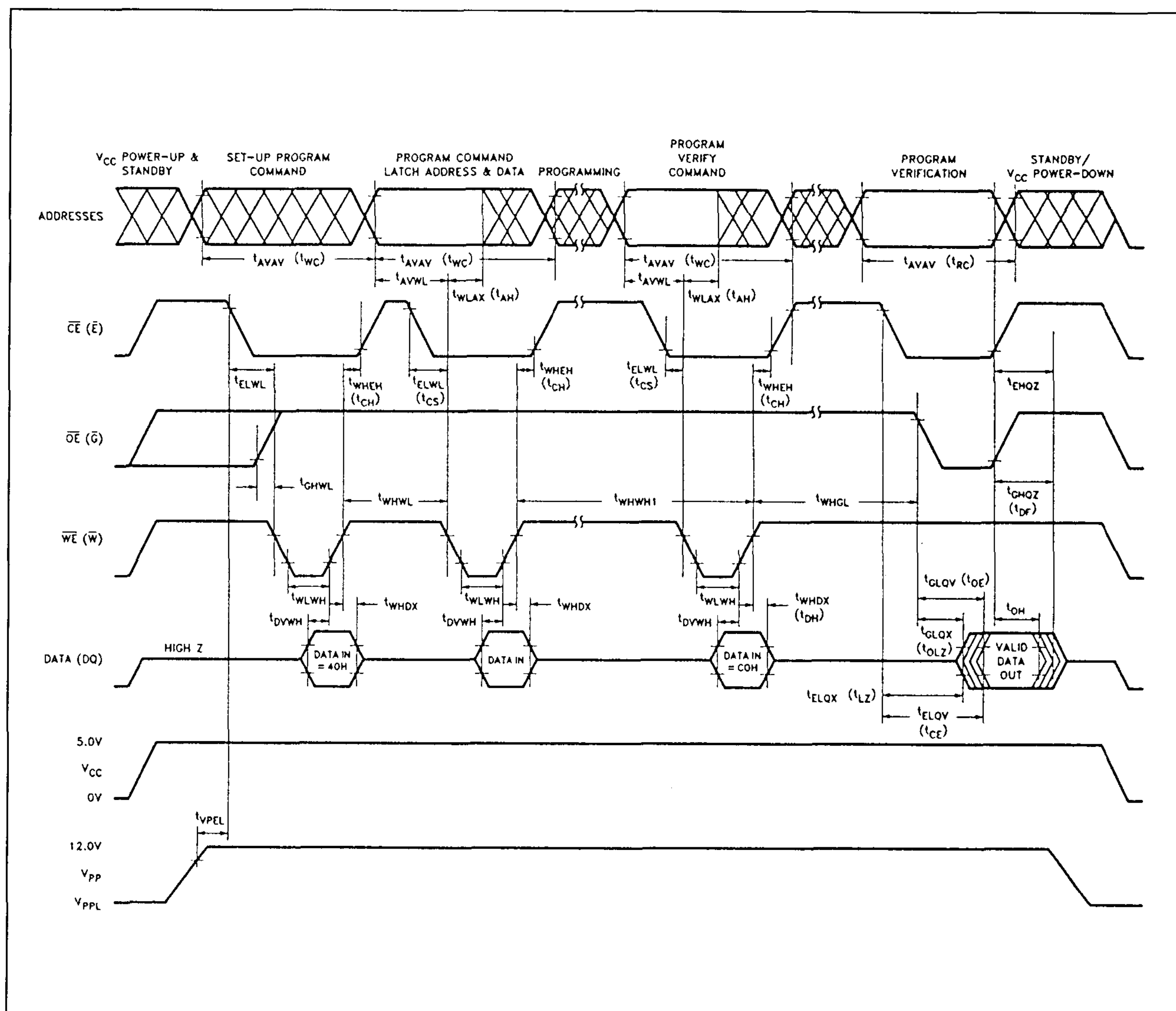
Versions		Notes	28F010-120		28F010-150		28F010-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{RC}	Read Cycle Time	3	120		150		200		ns
t_{ELQV}/t_{CE}	Chip Enable Access Time			120		150		200	ns
t_{AVQV}/t_{ACC}	Address Access Time			120		150		200	ns
t_{GLQV}/t_{OE}	Output Enable Access Time			50		55		60	ns
t_{ELQX}/t_{LZ}	Chip Enable to Output in Low Z	3	0		0		0		ns
t_{EHQZ}	Chip Disable to Output in High Z	3		55		55		55	ns
t_{GLQX}/t_{OLZ}	Output Enable to Output in Low Z	3	0		0		0		ns
t_{GHQZ}/t_{DF}	Output Disable to Output in High Z	4		30		35		40	ns
t_{OH}	Output Hold from Address, $\overline{CE}$, or $\overline{OE}$ Change	1, 3	0		0		0		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs

Tabel 8/5.4-38: Schakeltijden bij Read-Only operaties (zie ook figuur 8/5.4-38).

Versions		Notes	28F010-120		28F010-150		28F010-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}/t_{WC}	Write Cycle Time		120		150		200		ns
t_{AVWL}/t_{AS}	Address Set-Up Time		0		0		0		ns
t_{WLAX}/t_{AH}	Address Hold Time		60		60		75		ns
t_{DVWH}/t_{DS}	Data Set-Up Time		50		50		50		ns
t_{WHDX}/t_{DH}	Data Hold Time		10		10		10		ns
t_{WHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHWL}	Read Recovery Time before Write		0		0		0		µs
t_{ELWL}/t_{CS}	Chip Enable Set-Up Time before Write		20		20		20		ns
t_{WHEH}/t_{CH}	Chip Enable Hold Time		0		0		0		ns
t_{WLWH}/t_{WP}	Write Pulse Width	2	60		60		60		ns
t_{WHWL}/t_{WPH}	Write Pulse Width High		20		20		20		ns
t_{WHWH1}	Duration of Programming Operation	3	10		10		10		µs
t_{WHWH2}	Duration of Erase Operation	3	9.5		9.5		9.5		ms
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		1.0		µs

Tabel 8/5.4-39: Schakeltijden voor schrijven/wissen/programmeren van de 28F010 (zie ook de figuren 8/5.4-39 en -40).

5.4 Type-beschrijving Flash-EPROM's

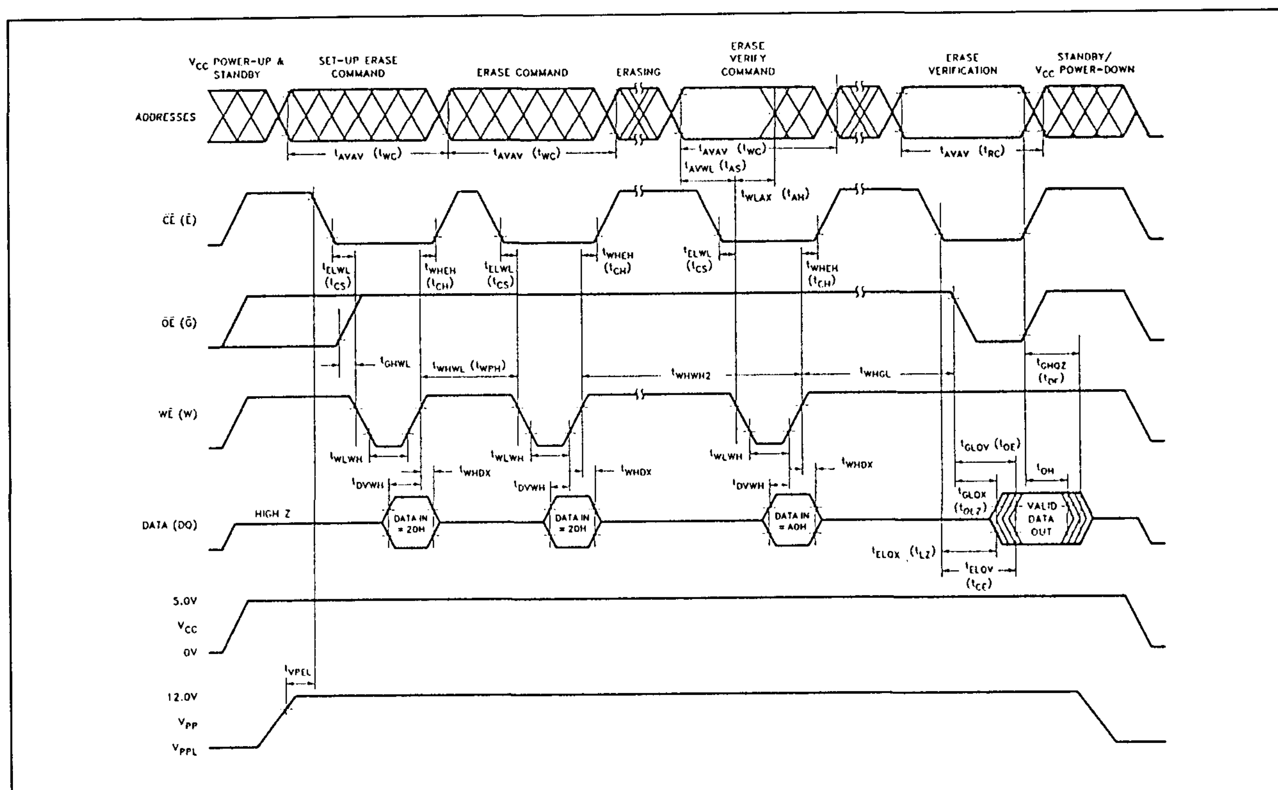


Figuur 8/5.4-39: Golfvormen bij het programmeren van de 28F010.

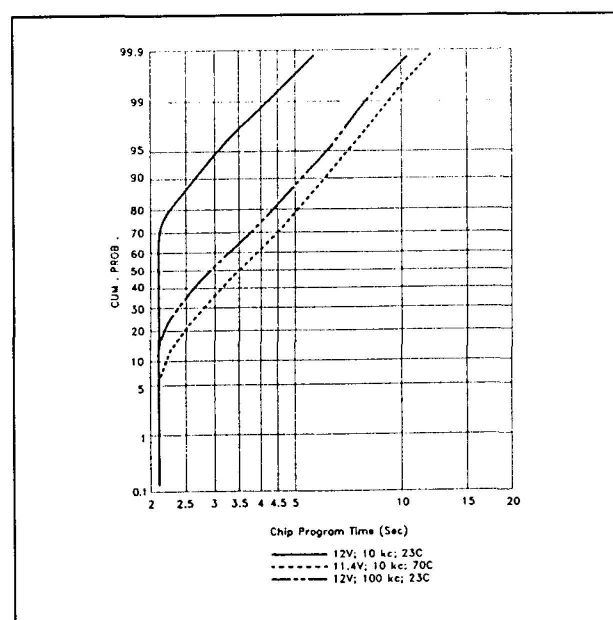
Parameter	Notes	Limits									Unit
		28F010-120			28F010-150			28F010-200			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Chip Erase Time	1, 3, 4		1.0	10		1.0	10		1.0	30	Sec
Chip Program Time	1, 2, 4		2	12.5		2	12.5		2	12.5	Sec
Erase/Program Cycles	1, 5	10,000	100,000		10,000	100,000		10,000	100,000		Cycles

Tabel 8/5.4-40: Prestaties bij het wissen en programmeren (zie ook de figuren 8/5.4-41 tot en met -44).

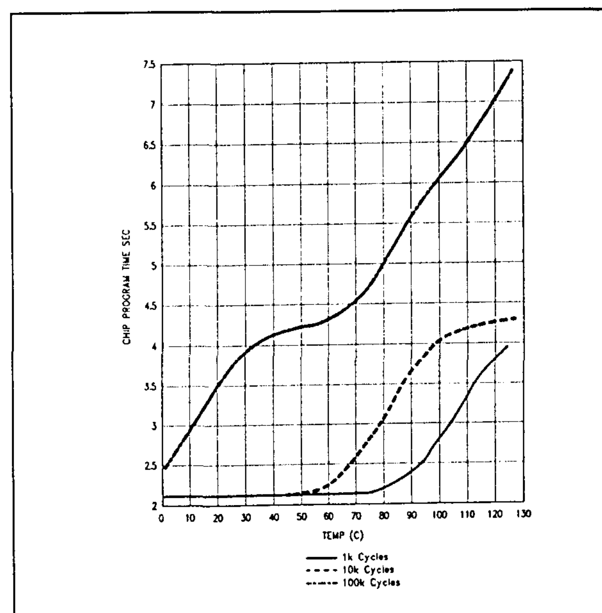
5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-40: Golfvormen bij het wissen van de 28F010.



Figuur 8/5.4-41: Programmeertijden onder verschillende bedrijfs-omstandigheden.

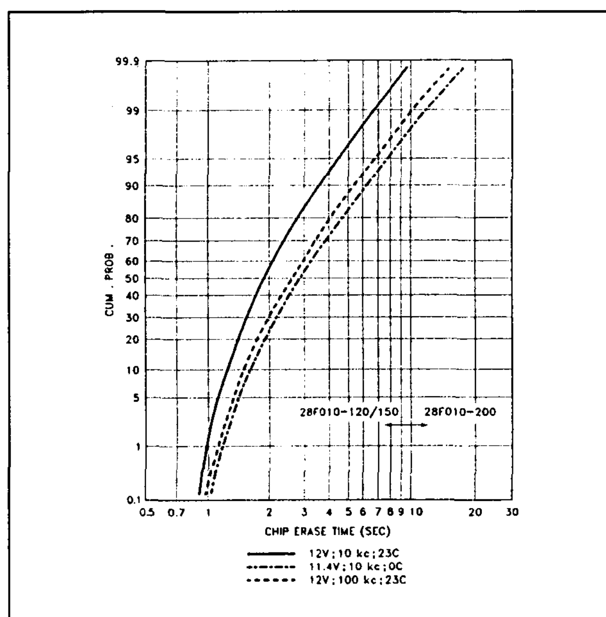


Figuur 8/5.4-42: Typische programmeertijden bij V_{PP} = 12 V.

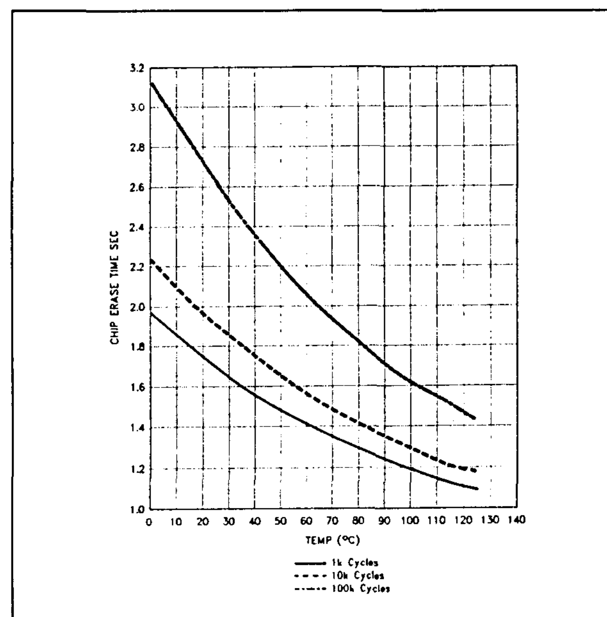
5.4 Type-beschrijving Flash-EPROM's

Versions		Notes	28F010-120		28F010-150		28F010-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time		120		150		200		ns
t_{AVEL}	Address Set-Up Time		0		0		0		ns
t_{ELAX}	Address Hold Time		80		80		95		ns
t_{DVEH}	Data Set-Up Time		50		50		50		ns
t_{EHDX}	Data Hold Time		10		10		10		ns
t_{EHGL}	Write Recovery Time before Read		6		6		6		µs
t_{GHEL}	Read Recovery Time before Write		0		0		0		µs
t_{WLEL}	Write Enable Set-Up Time before Chip Enable		0		0		0		ns
t_{EHWH}	Write Enable Hold Time		0		0		0		ns
t_{ELEH}	Write Pulse Width	1	70		70		80		ns
t_{EHEL}	Write Pulse Width High		20		20		20		ns
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		1.0		µs

Tabel 8/5.4-41: Schakeltijden bij alternatieve, door $\overline{CE}$ bestuurde schrijfcycli. Hierbij bepaalt $\overline{CE}$ de lengte van de schrijfpuls (binnen een langere $\overline{WE}$ golfvorm).

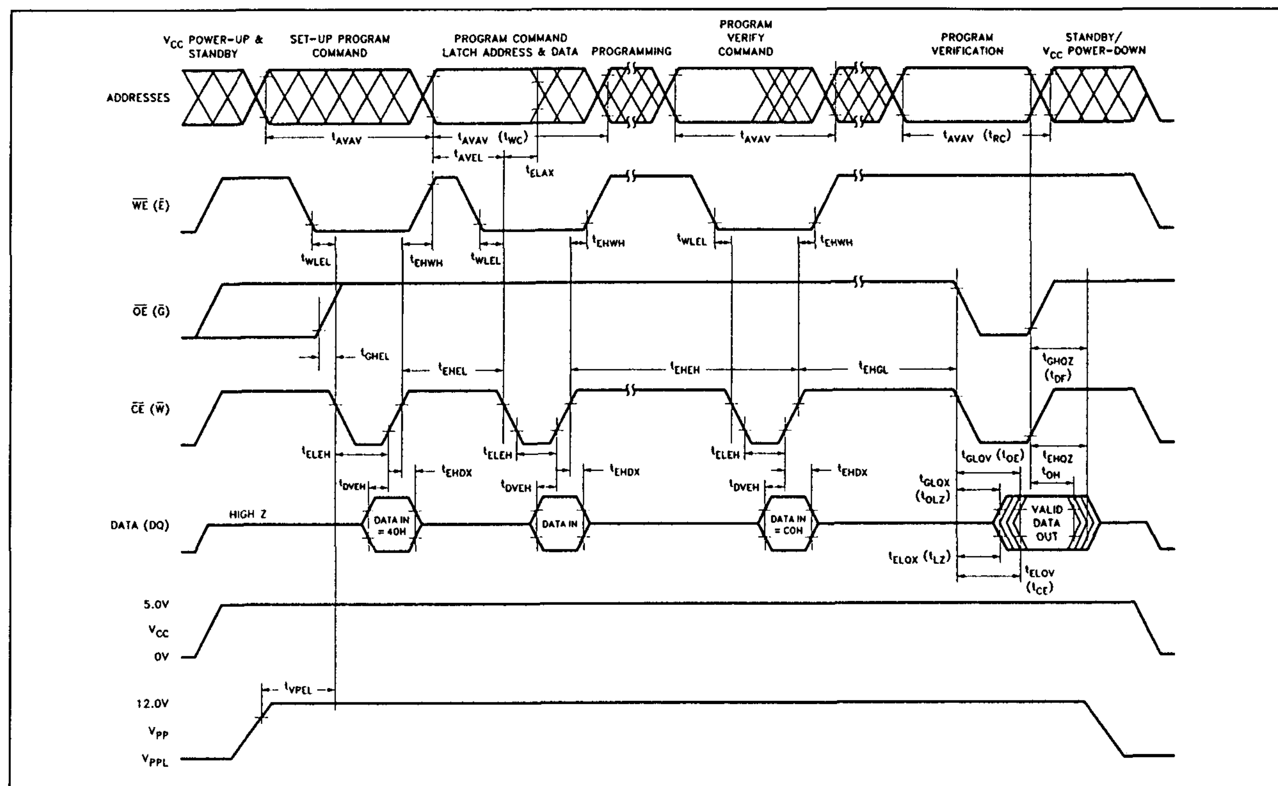


Figuur 8/5.4-43: Wistijden onder verschillende bedrijfscondities.



Figuur 8/5.4-44: Typische wis tijden bij V_{PP} = 12 V.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-45: Golfvormen bij alternatieve programmering van de 28F010.

28F020

256 kB x 8 CMOS

De 28F020 is een 2 MB "Flash" elektrisch wisbaar en programmeerbaar read-only geheugen met een organisatie van 256 k (262.144) x 8-bits. Dit niet-vluchtige geheugen kan in een testsocket, in een EPROM-programmer, op de printkaart bij het testen en in het definitieve systeem worden geprogrammeerd. De 28F020 heeft een 32-pens plastic DIL of LCC behuizing of een 1,2 mm dik TSOP (Thin Small Outline Package). De TSOP wordt bijvoorbeeld in "memory cards" toegepast en is verkrijgbaar met gewone en omgekeerde (reverse) aansluitingen om de layout te vereenvoudigen. De toegangstijd van de 28F020 is minimaal 150 ns (AMD-type: 90 ns), zodat toepassing in high-speed microprocessorsystemen zonder wait-states mogelijk is. Om bus-rivaliteit te voorkomen heeft dit geheugen aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen. De chip combineert de functionaliteit van een gewone EPROM met de mogelijkheid elektrisch wissen en programmeren. De commando's (op TTL-niveau) voor de 28F020 komen in een Command Register terecht, waarna een inwendige "state-machine" de eigenlijke programmeer- en wishandelingen verzorgt. De 28F020 kan ten minste 10.000 maal betrouwbaar worden gewist en opnieuw geprogrammeerd. Dit geheugen is tegen latch-up beveiligd voor belastingen tot 100 mA op alle pennen, tussen -1V en V_{CC} +1 V.

Specificaties

De 28F020 heeft de volgende algemene kenmerken:

- 2.048 kB: 128 kB x 8 CMOS
- Flash elektrische Chip-Erase (typisch 2 s)
- Quick-Pulse programmeer-algorithme toepasbaar
  byte programmeren in 10 µs typical
  chip programmeren in 4 s typical
- minimaal 10.000 wis/programmeercycli mogelijk

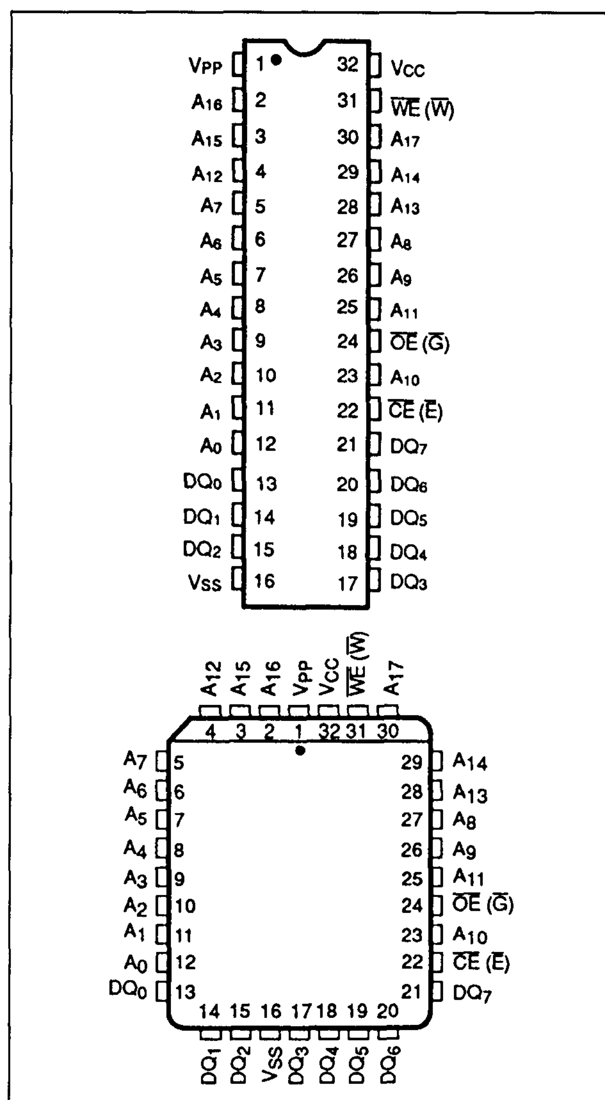
5.4 Type-beschrijving Flash-EPROM's

- programmeer-/wisspanning V_{PP}: 12 V +/-5 %
- toegangstijd 150 ns maximaal (AMD-type 90 ns min.)
- geringe dissipatie (CMOS) : 10 mA aktief, 50 µA standby, 0 Watt voor behoud van data
- geïntegreerde programmeer/wis stop-timer
- Command Register architectuur voor microprocessor/microcontroller compatibele schrijf-interface
- ongevoelig voor ruis: +/-10 % V_{CC} tolerantie
- on-chip adres- en data-latches
- één-transistor geheugencellen
- latch-up bescherming tot 100 mA van -1V tot V_{CC} +1 V
- behuizingen:
  JEDEC standaard plastic 32-pens DIL
  LCC (figuur 8/5.4-46)
  32-pens standaard/reverse TSOP
  (figuur 8/5.4-47)
- fabrikanten onder andere:
  Intel (P/N/E/F-28F020)
  AMD (Am28F020)

Toepassingen

De 28F020 combineert niet-vluchtigheid (het behoud van inhoud bij verwijderen van de voedingsspanning) met het voordeel dat het geheugen meer dan 100.000 maal elektrisch gewist en geprogrammeerd kan worden. Hierdoor kan de 28F020 zeer goed een harde schijf, diskette, EEPROM of batterijgevoede statische RAM vervangen. Wanneer periodieke aanpassing van codes en datatabellen nodig is, is dit geheugen een zeer aantrekkelijk alternatief voor de EPROM.
Wanneer primaire toepassingsprogramma's en operating systemen in Flash worden opgeslagen, vervalt het langzame disk-naar-DRAM download proces. Hierdoor verbeteren de prestaties van het systeem bij gelijktijdige verlaging van het opgenomen vermogen. Door het elektrisch wissen en in het systeem zelf updaten neemt de flexibiliteit enorm toe.

In werkstations en schijfloze terminals wordt het verkeer via de netwerken tot een minimum beperkt en is zeer snel opstarten van de systemen mogelijk en vervallen de tijdrovende "re-boot"-perioden bij onderbrekingen van de netspanning.

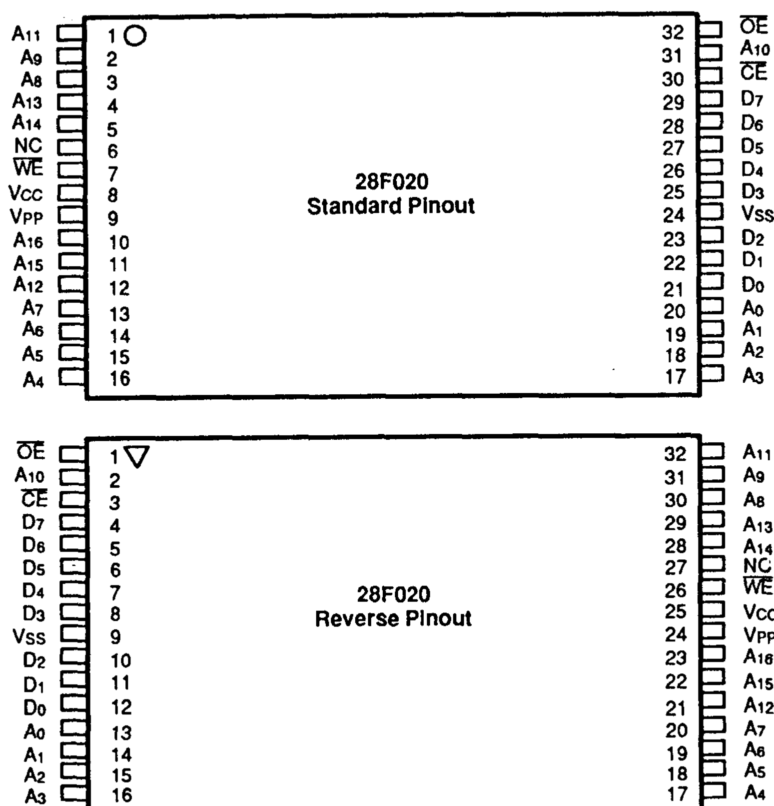


Figuur 8/5.4-46: Aansluitingen van de DIL en PLCC-behuizingen van de 28F020.

Bij ingebedde systemen is de 28F020 een "solid state" alternatief met betere prestaties, geringer energieverbruik, zeer snel opstarten en een "execute in place" geheugenhiërarchie voor het inlezen van code en data.

5.4 Type-beschrijving Flash-EPROM's

Bovendien is het Flash-geheugen betrouwbaarder en beter bestand tegen aggressieve omgevingen. De 28F020 kan gemakkelijk op een microprocessor worden aangesloten, zoals in figuur 8/5.4-49 te zien is. Hier zijn twee 28F020's met een minimum aan interface schakelingen op de systeembus van een 80C186 microcontroller aangesloten.

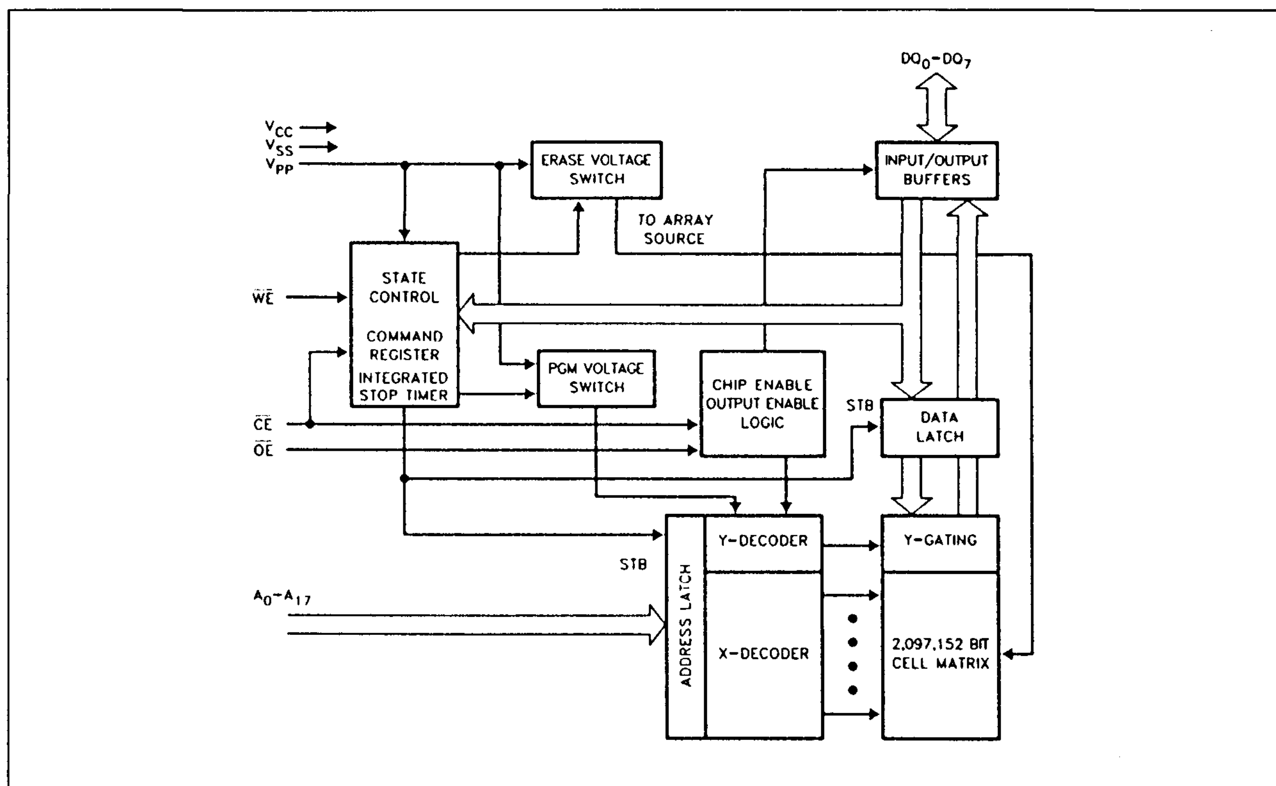


Figuur 8/5.4-47: Aansluitingen van de standaard en omgekeerde (reverse) TSOP uitvoering van de 28F020.

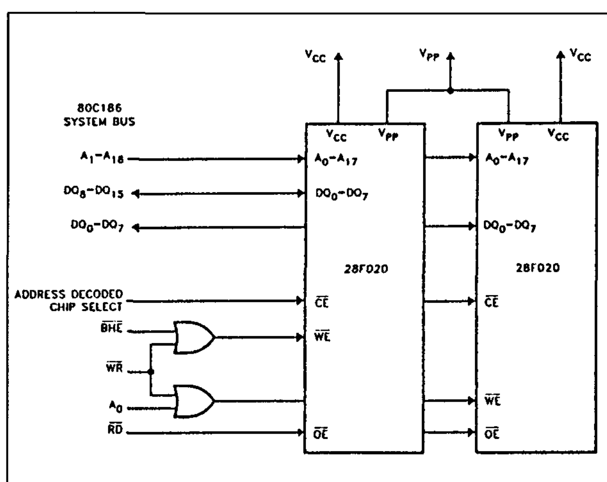
Symbol	Type	Name and Function
A_0–A_{17}	INPUT	**ADDRESS INPUTS** for memory addresses. Addresses are internally latched during a write cycle.
DQ_0–DQ_7	INPUT/OUTPUT	**DATA INPUT/OUTPUT:** Inputs data during memory write cycles; outputs data during memory read cycles. The data pins are active high and float to tri-state OFF when the chip is deselected or the outputs are disabled. Data is internally latched during a write cycle.
$\overline{CE}$	INPUT	**CHIP ENABLE:** Activates the device's control logic, input buffers, decoders and sense amplifiers. $\overline{CE}$ is active low; $\overline{CE}$ high deselects the memory device and reduces power consumption to standby levels.
$\overline{OE}$	INPUT	**OUTPUT ENABLE:** Gates the devices output through the data buffers during a read cycle. $\overline{OE}$ is active low.
$\overline{WE}$	INPUT	**WRITE ENABLE:** Controls writes to the control register and the array. Write enable is active low. Addresses are latched on the falling edge and data is latched on the rising edge of the $\overline{WE}$ pulse. **Note:** With $V_{PP} \leq 6.5V$, memory contents cannot be altered.
V_{PP}		**ERASE/PROGRAM POWER SUPPLY** for writing the command register, erasing the entire array, or programming bytes in the array.
V_{CC}		**DEVICE POWER SUPPLY** (5V ± 10%)
V_{SS}		**GROUND**

Tabel 8/5.4-42: Benamingen en functies van de signalen.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-48: Blokschema van de 2 MB Flash EPROM 28F020.



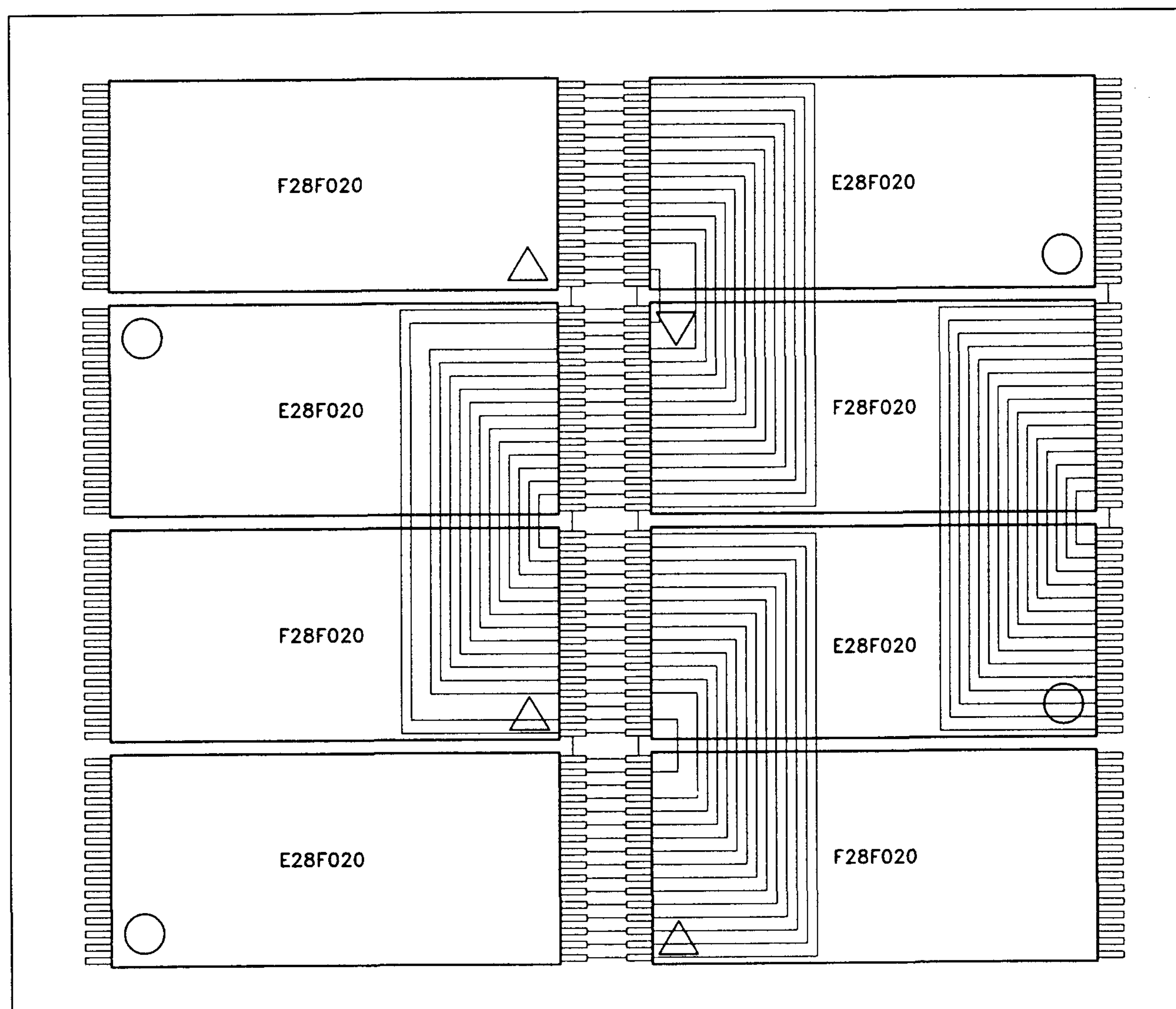
Figuur 8/5.4-49: Aansluiting van twee 28F020's op een 80C186 systeem.

De TSOP-behuizing (Thin Small Outline Package) heeft een dikte van slechts 1,2 mm. Doordat de aansluitingen hiervan zowel in standaard-uitvoering als omgekeerd (reverse) worden geleverd, zijn bij grotere array's flinke besparingen op metallisatielagen en volume mogelijk. Ze worden bijvoorbeeld toegepast in "Memory Cards". In figuur 8/5.4-50 is bijvoorbeeld de TSOP "serpentine layout" te zien.

Werking van de 28F020

Het Flash-geheugen combineert de eigenschappen van EPROM's met elektrisch wissen en programmeren van de EEPROM. De 28F020 heeft een Command Register dat 100 % TTL-compatibele besturingssignalen, een gefixeerde voedingsspanning tijdens het wissen en programmeren en maximale compatibiliteit met EPROM's mogelijk maakt. Wanneer de hoge spanning (12 V) op de programmeerpen V_{PP} ontbreekt, werkt de 28F020 als "read-only-memory" (ROM) en worden de normale EPROM lees-, standby-, output disable- en intelligent identifier-functies uitgevoerd. Dezelfde EPROM lees, standby en output disable operaties kunnen ook plaatsvinden als de hoge spanning wel op de V_{PP}-pen staat.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-50: Efficiënte bedrading met TSOP Serpentine Layout met acht 28F020's.

Bovendien kan de 28F020 in dat geval worden gewist en geprogrammeerd. Alle functies die te maken hebben met het veranderen van de inhoud van het geheugen (intelligente identificatie, wissen, wissen/verifiëren, programmeren en programmeren/verifiëren) zijn toegankelijk via het Command Register.

De commando's worden met behulp van standaard microprocessor schrijf-timingen naar het register geschreven. De inhoud van dit register werkt dan als instelling van een interne "state-machine" die de schakelingen voor het wissen en programmeren bestuurt. De adressen en data die voor het wissen en programmeren nodig zijn worden door de schrijfcycli ook intern gelatcht. Wanneer het betreffende commando in het register is geschreven kan de array-data, intelligente identificatiecode of de uitgangsdata door de microprocessor worden uitgelezen ter verificatie van wissen en programmeren.

Geïntegreerde Stop Timer

Hoe lang de programmeer- en wis-operaties duren is afhankelijk van de achtereenvolgen-

de commandoschrijfcycli. Dit geldt vooral wanneer de wis- en programmeercycli worden gevolgd door de bijbehorende verificatie-commando's. De timing van deze operaties wordt door een geïntegreerde stoptimer vereenvoudigd, waardoor de programmeer- en wistijden niet gespecificeerd behoeven te worden.
De pulsbreedten voor wissen en programmeren zijn hierdoor minimaal. Wanneer de stoptimer een programmeer- of wis-operatie laat eindigen, komt het geheugen in een niet-aktieve toestand totdat een verifieer- of reset-commando wordt ontvangen.

Schrijf-beveiliging
Het Command Register is alleen aktief als een hoge spanning (12 V) op de V_{PP}-pen aanwezig is.
De ontwerper kan de V_{PP}-voeding uitschakelbaar maken, zodat die alleen aanwezig is als de inhoud van het geheugen gewijzigd moet worden. Wanneer V_{PP} = V_{PPL} komt de inhoud van het register automatisch (default) overeen met het leescommando, waardoor de 28F020 als ROM werkt. De inhoud van het geheugen kan dan niet worden gewijzigd. De ontwerper kan er echter ook voor kiezen V_{PP} continu aangesloten te laten ("hard-wired"). De functies van het Command Register worden dan gesperd als V_{CC} lager wordt dan de schrijf-lockout spanning V_{LKO} (zie Power Up/Down beveiliging). De 28F020 is geschikt voor beide mogelijkheden.

Lezen
De 28F020 heeft twee besturingsfuncties die beide logisch aktief moeten zijn om data aan de uitgang te verkrijgen. Chip-Enable ($\overline{CE}$) bedient de voeding bestuurd en is bestemd om het geheugen te selecteren. Met Output-Enable ($\overline{OE}$) wordt de uitgang "waar" en is het mogelijk om, onafhankelijk van de keuze van de 28F020, data van de uitgangspennen te halen. Wanneer V_{PP} = V_{PPH} (12 V) is, kunnen de array-data, de intelligente identificatiecodes en data voor programmeer/wis-verificatie worden uitgelezen. Als V_{PP} LAAG is (V_{PPL}) kan uitsluitend de array-data worden uitgelezen.

Output Disable
Wanneer Output-Enable op een logisch-hoge waarde (V_{IH}) staat, worden de uitgangen van het geheugen gesperd. De uitgangspennen bevinden zich dan in een hoog-impedante toestand.

Standby
Als Chip-Enable logisch HOOG is, worden de meeste schakelingen in de 28F020 gesperd door de standby-werking, zodat er dan veel minder vermogen wordt opgenomen. De uitgangen worden, onafhankelijk van het $\overline{OE}$-signaal, in een hoog-impedante toestand gezet.
Als de 28F020 tijdens het wissen, programmeren of het verifiëren van programmeren/wissen gedeselecteerd wordt blijft het geheugen aktieve stroom trekken totdat de operatie is beëindigd.

Intelligente Identificatie
Met de intelligente identificatie-operatie (bij sommige merken ook wel auto-select genoemd) wordt de fabrikant-code (Intel: 89H, AMD: 01H) en de device-code (Intel: BDH, AMD: 2AH) verkregen. De programmeerapparatuur past hierdoor alle wis- en programmeer algorithmen automatisch aan. Wanneer Chip-Enable en Output-Enable op een logisch LAAG niveau staan, wordt deze operatie geaktiveerd door A9 op een hoge spanning V_{ID} te brengen (zie tabel 8/5.4-43). De fabrikant- en de device-code kunnen op de lokaties 0000H, respectievelijk 0001H worden uitgelezen.
Deze codes kunnen ook worden uitgelezen via het Command Register, als de 28F020 bijvoorbeeld in het doelsysteem moet worden gewist en opnieuw geprogrammeerd. Na het schrijven van 90H in het Command Register komt de fabrikanten-code (89H) op adres 0000H beschikbaar en de device-code (BDH) op adres 0001H.

5.4 Type-beschrijving Flash-EPROM's

Operation	Pins	V_{PP}(1)	A_0	A_9	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	DQ_0–DQ_7
READ-ONLY	Read	V_{PPL}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out
	Output Disable	V_{PPL}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby	V_{PPL}	X	X	V_{IH}	X	X	Tri-State
	int$_e$ligent Identifier™ (Mfr)(2)	V_{PPL}	V_{IL}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = 89H
	int$_e$ligent Identifier™ (Device)(2)	V_{PPL}	V_{IH}	V_{ID}(3)	V_{IL}	V_{IL}	V_{IH}	Data = BDH
READ/WRITE	Read	V_{PPH}	A_0	A_9	V_{IL}	V_{IL}	V_{IH}	Data Out(4)
	Output Disable	V_{PPH}	X	X	V_{IL}	V_{IH}	V_{IH}	Tri-State
	Standby(5)	V_{PPH}	X	X	V_{IH}	X	X	Tri-State
	Write	V_{PPH}	A_0	A_9	V_{IL}	V_{IH}	V_{IL}	Data In(6)

NOTES:
1. Refer to DC Characteristics. When $V_{PP} = V_{PPL}$ memory contents can be read but not written or erased.
2. Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 3. All other addresses low.
3. V_{ID} is the int$_e$ligent Identifier high voltage. Refer to DC Characteristics.
4. Read operations with $V_{PP} = V_{PPH}$ may access array data or the int$_e$ligent Identifier™ codes.
5. With V_{PP} at high voltage, the standby current equals $I_{CC} + I_{PP}$ (standby).
6. Refer to Table 3 for valid Data-In during a write operation.
7. X can be V_{IL} or V_{IH}.

Tabel 8/5.4-43: Bus-operaties van de 28F020.

Schrijven

Het wissen en programmeren van het geheugen wordt uitgevoerd via het Command Register wanneer een hoge spanning op de V_{PP}-pen wordt gezet. De inhoud van het register dient dan als besturing van de inwendige "state-machine". De uitgangen van de "state-machine" bepalen vervolgens de werking van het geheugen. Het Command Register heeft zelf geen adresseerbare geheugenlokatie. Het register bestaat uit een latch die wordt gebruikt voor de opslag van het commando en de voor de uitvoering van het commando benodigde adres- en data-informatie. Er wordt in het Command Register geschreven door Write-Enable ($\overline{WE}$) op een logisch LAAG niveau (V_{IL}) te brengen, terwijl Chip-Enable ($\overline{CE}$) LAAG is. Adressen worden op de dalende flank van Write-Enable gelatcht en data op de stijgende flank hiervan. Hierbij zijn de standaard microprocessor timingen van kracht.

Definities van de Commando's

Wanneer de spanning op de V_{PP}-pen LAAG is, wordt de inhoud van het Command Register automatisch (default) 00H, waardoor alleen uitgelezen kan worden (read-only).

Door een hoge spanning (12 V) op de V_{PP}-pen te zetten worden zowel lees- als schrijfoperaties toegestaan. Welke operaties dat zijn is afhankelijk van de data-patronen die in het Command Register worden geschreven. In tabel 8/5.4-44 wordt een overzicht van de register-commando's gegeven.

Lees-commando (Read Memory)

Terwijl V_{PP} HOOG is om te kunnen wissen en programmeren, kan de inhoud van het geheugen worden bereikt met lees-commando's. De leesoperatie wordt ingeleid door 00H in het Command Register te schrijven. Met microprocessor leescycli kan array-data worden opgehaald. Het geheugen blijft bereikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.
Bij het inschakelen van de voedingsspanning is de inhoud van het register automatisch (default) 00H. Hierdoor wordt voorkomen dat bij het aanbrengen van V_{PP} de inhoud van het geheugen per ongeluk verandert. Als V_{PP} "hard-wired" op de 28F020 aanwezig is komt het geheugen op spanning en blijft beschikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.

5.4 Type-beschrijving Flash-EPROM's

Command	Bus Cycles Req'd	First Bus Cycle			Second Bus Cycle		
		Operation(1)	Address(2)	Data(3)	Operation(1)	Address(2)	Data(3)
Read Memory	1	Write	X	00H			
Read int$_e$ligent Identifier™ Codes(4)	3	Write	X	90H	Read	(4)	(4)
Set-up Erase/Erase(5)	2	Write	X	20H	Write	X	20H
Erase Verify(5)	2	Write	EA	A0H	Read	X	EVD
Set-up Program/Program(6)	2	Write	X	40H	Write	PA	PD
Program Verify(6)	2	Write	X	C0H	Read	X	PVD
Reset(7)	2	Write	X	FFH	Write	X	FFH

NOTES:
1. Bus operations are defined in Table 2.
2. IA = Identifier address: 00H for manufacturer code, 01H for device code.
   EA = Address of memory location to be read during erase verify.
   PA = Address of memory location to be programmed.
   Addresses are latched on the falling edge of the Write-Enable pulse.
3. ID = Data read from location IA during device identification (Mfr = 89H, Device = BDH).
   EVD = Data read from location EA during erase verify.
   PD = Data to be programmed at location PA. Data is latched on the rising edge of Write-Enable.
   PVD = Data read from location PA during program verify. PA is latched on the Program command.
4. Following the Read int$_e$ligent ID command, two read operations access manufacturer and device codes.

Tabel 8/5.4-44: Definities van de commando's.

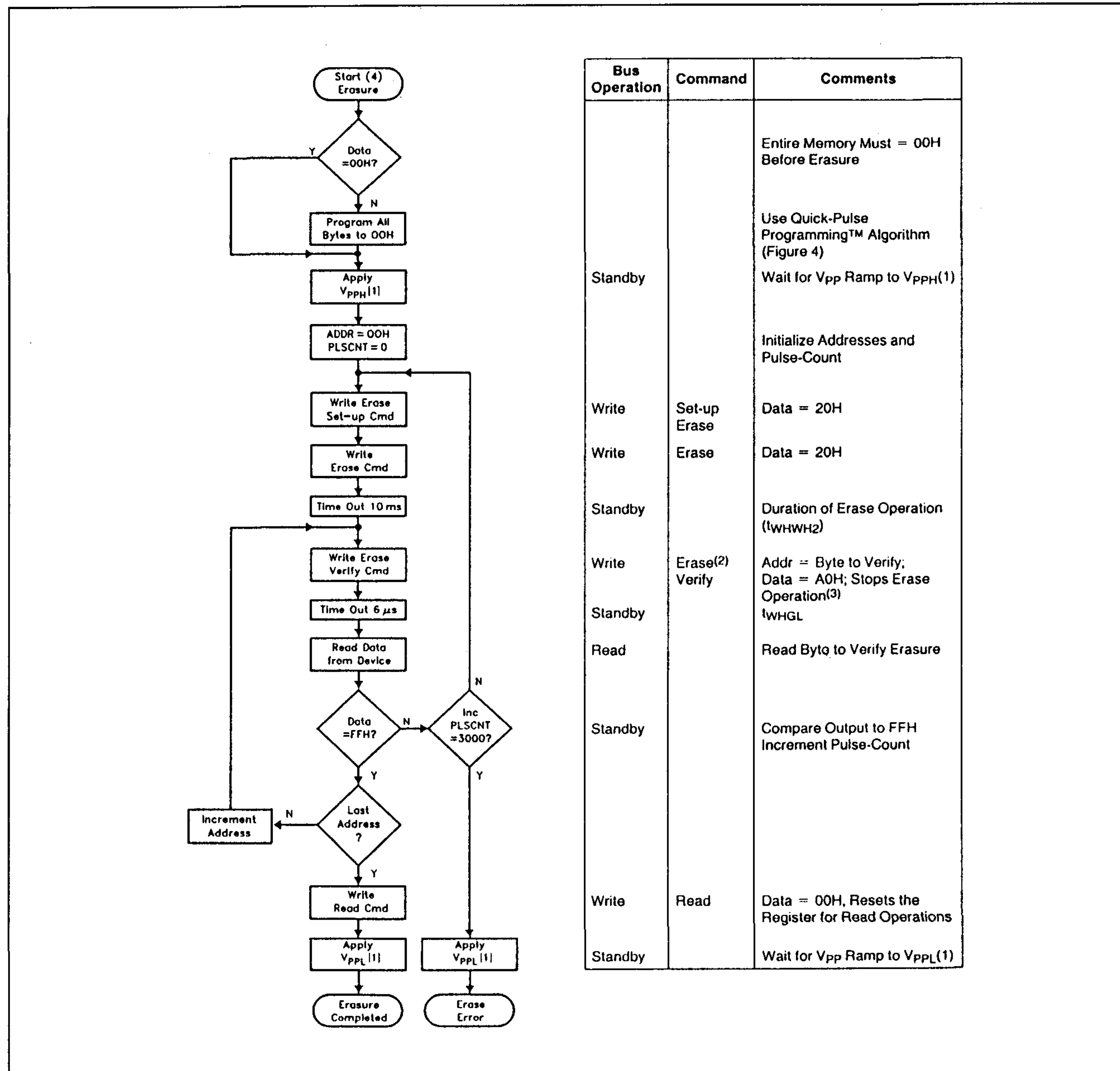
Identificatie

Flash-geheugens zijn ontworpen voor toepassingen waarbij de inhoud van het geheugen door de lokale CPU wordt veranderd. De fabrikant- en device-codes moeten dus uitgelezen kunnen worden terwijl de component zich in het definitieve systeem bevindt. PROM-programmers verkrijgen de identificatie-codes meestal door adreslijn A9 op een hoge spanning te brengen, maar bij praktische schakelingen moet het worden afgeraden een hoge spanning naar adreslijnen te multiplexen. De 28F020 kan intelligente identificatie-operaties uitvoeren die aan de traditionele PROM-programmeer methodologie worden toegevoegd. Deze operatie wordt ingeleid door 90H in het Command Register te schrijven. Na de schrijf-operatie levert een leescyclus op adres 0000H de fabrikant-code 89H (Intel) op. Op adres 0001H kan vervolgens de device-code (BDH) worden gelezen. Deze operaties eindigen door een ander geldig commando in het register te schrijven.

Set-up wis/wis commando (Set-up Erase/Erase)

Met set-up erase wordt het geheugen klaargezet voor het wissen van alle bytes in het array. Deze operatie wordt uitgevoerd door 20H in het Command Register te schrijven. Om het wissen te beginnen moet het wis-commando (20H) nog een tweede keer in het register worden geschreven. Het wissen begint dan op de stijgende flank van de Write-Enable puls en eindigt op de stijgende flank van de volgende Write-Enable puls (van bijvoorbeeld het Wis-Verifieer commando). Door deze tweetraps operatie van set-up, gevolgd door de uitvoering zelf, wordt voorkomen dat de inhoud van het geheugen per ongeluk wordt gewist. Bovendien kan het wissen van de chip alleen plaatsvinden wanneer de V_{PP}-pen op 12 V staat.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
		Entire Memory Must = 00H Before Erasure
		Use Quick-Pulse Programming™ Algorithm (Figure 4)
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Addresses and Pulse-Count
Write	Set-up Erase	Data = 20H
Write	Erase	Data = 20H
Standby		Duration of Erase Operation (t_{WHWH2})
Write	Erase(2) Verify	Addr = Byte to Verify; Data = A0H; Stops Erase Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Erasure
Standby		Compare Output to FFH Increment Pulse-Count
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

Figuur 8/5.4-51: De Quick Erase Algorithme.

Bij afwezigheid van deze hoge spanning is de inhoud van het geheugen beveiligd tegen wissen.

Wis-Verifieer (Erase-Verify) commando
Met het wis-commando worden alle bytes in het array parallel gewist. Elke wis-operatie moet worden gevolgd door een verificatie van alle bytes. De wis/verifieer operatie begint door A0H in het Command Register te schrijven. Het adres van de te verifiëren byte moet op de dalende flank van de Write-Enable puls worden gelatcht. De wis-operatie eindigt op de stijgende flank van de Write-Enable puls van het schrijven naar het register.
De 28F020 zet een intern opgewekte marge-spanning op de geadresseerde byte.

5.4 Type-beschrijving Flash-EPROM's

Wanneer de inhoud van de geadresseerde byte FFH is, betekent dit dat alle bits hierin zijn gewist.
Het wis/verifieer commando moet in het Command Register worden geschreven voordat het adres voor de byte-verificatie wordt gelatcht. Dit proces gaat door voor alle bytes in het array totdat een byte afwijkt van FFH of als het laatste adres is uitgelezen.
In het geval dat de uitgelezen data geen FFH is, wordt een extra wis-operatie uitgevoerd (zie ook set-up wissen /wissen). Er wordt dan geverifieerd vanaf de laatste goedgekeurde byte. Wanneer alle bytes in het array zijn geverifieerd, is de wis-operatie klaar en kan de 28F020 worden geprogrammeerd. Op dit punt wordt het verifiëren beëindigd door een geldig commando (bijvoorbeeld Program Set-up) in het Command Register te schrijven. In figuur 8/5.4-51 (de Quick Erase Algorithme) is te zien hoe commando's en bus-operaties worden gecombineerd om de 28F010 elektrisch te kunnen wissen.

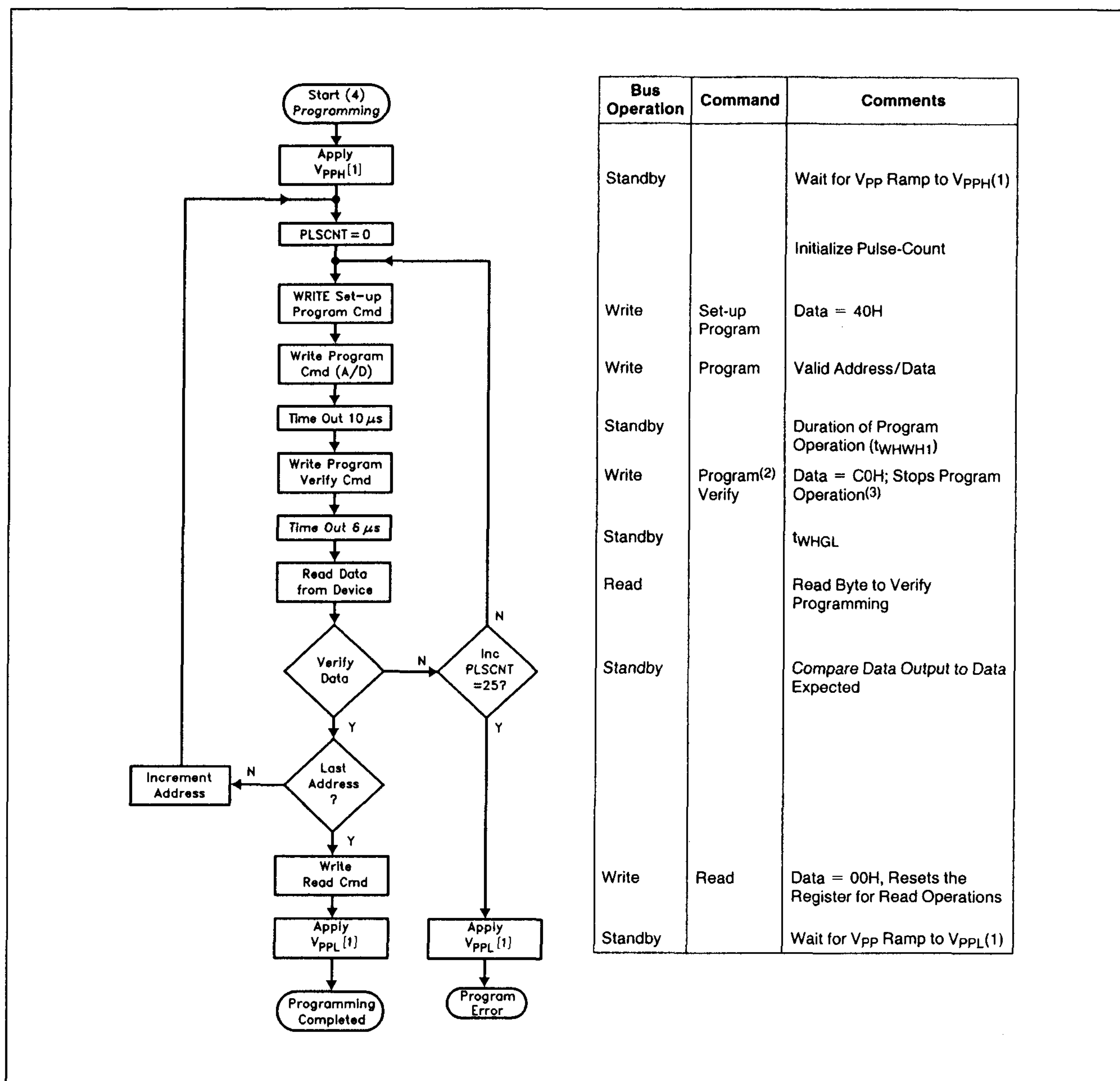
Set-up programmeer/programmeer commando
Met het Set-up Program commando wordt het geheugen klaargemaakt voor het programmeren van de bytes. De set-up operatie wordt uitgevoerd door 40H in het Command Register te schrijven.
Is de set-up eenmaal uitgevoerd dan maakt de volgende Write-Enable puls dat aktief kan worden geprogrammeerd. De adressen worden op de dalende flank van de Write-Enable puls gelatcht, terwijl de data op de stijgende flank van de Write-Enable puls worden gelatcht. Op de stijgende flank van Write-Enable wordt ook met programmeren begonnen. De programmeer-operatie eindigt op de volgende stijgende flank van Write-Enable die wordt gebruikt om het program-verifieer commando te schrijven.

Program-Verifieer commando
De 28F020 wordt op byte-voor-byte basis geprogrammeerd. Dit mag aaneengesloten of in een willekeurige volgorde gebeuren. Na iedere programmeer-operatie moet de zojuist geprogrammeerde byte worden geverifieerd.
De programmeer-verifieer operatie wordt ingeleid door C0H in het Command Register te schrijven. Door het schrijven in het register wordt de programmeer-operatie beëindigd op de stijgende flank van de Write-Enable puls. De programmeer-verifieer operatie zet het geheugen klaar voor controle van de laatst geprogrammeerde byte. Er wordt geen nieuwe adres-informatie gelatcht. De 28F020 zet een inwendig opgewekte marge-spanning op de byte. De data komt met een normale microprocessor lees-cyclus beschikbaar. Wanneer de geprogrammeerde data gelijk is aan de aangeboden data is de byte correct geprogrammeerd. Het programmeren gaat dan verder op de volgende gewenste byte-lokatie. In figuur 8/5.4-52 (de Quick Puls Programmeer Algorithme) is te zien hoe de commando's worden gecombineerd met bus-operaties om de byte-programmering uit te voeren.

Reset
De wis- en programmeer-operaties kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee aaneengesloten FFH's wordt de operatie veilig afgebroken. De inhoud van het geheugen zal hierdoor niet veranderen. Hierna moet een geldig commando worden ingeschreven om het geheugen in de gewenste toestand te plaatsen.

Langdurig wissen/programmeren
Gebruikers van EEPROM's hebben vaak weinig vertrouwen in de gevolgen van veelvuldig wissen/programmeren. Door het sterke elektrische veld dat nodig is voor het tunnelen van de dunne oxyde EEPROM's kan het oxyde op zwakke plaatsen letterlijk worden vernietigd. Om dit te vermijden maken sommige fabrikanten gebruik van redundanties.

5.4 Type-beschrijving Flash-EPROM's



Bus Operation	Command	Comments
Standby		Wait for V_{PP} Ramp to V_{PPH}(1)
		Initialize Pulse-Count
Write	Set-up Program	Data = 40H
Write	Program	Valid Address/Data
Standby		Duration of Program Operation (t_{WHWH1})
Write	Program(2) Verify	Data = C0H; Stops Program Operation(3)
Standby		t_{WHGL}
Read		Read Byte to Verify Programming
Standby		*Compare* Data Output to Data Expected
Write	Read	Data = 00H, Resets the Register for Read Operations
Standby		Wait for V_{PP} Ramp to V_{PPL}(1)

Figuur 8/5.4-52: De Quick-Pulse Programmeer Algorithme kan op de 28F020 worden toegepast.

Voor redundantie is echter verdubbeling van de cel-afmetingen nodig: een dure oplossing. Door de toegepaste Flash-geheugen technologiëen is zeer vaak wissen/programmeren mogelijk zonder toename van de afmetingen van de geheugencellen. De 28F020 kan zonder meer minimaal 10.000 programmeer/wiscycli verdragen. Het geheugen wordt geprogrammeerd en gewist met behulp van Intel's Quick-Pulse Programming en Quick-Erase algorithmen.

De Quick-pulse Programmeer algorithme

Bij de Quick-Pulse Programmeer algorithme (zie figuur 8/5.4-52) duren de programmeeroperaties 10 µs. Elke operatie moet worden gevolgd door een byte-verificatie om te con-

5.4 Type-beschrijving Flash-EPROM's

troleren of de geadresseerde byte met succes is geprogrammeerd. Is dit niet het geval dan wordt nogmaals geprogrammeerd (maximaal 25 maal per byte). De meeste bytes zijn echter na de eerste of tweede operatie al in orde. De gehele volgorde van programmeren en byte verifiëren wordt uitgevoerd bij V_{PP} = 12 V.

De Quick-Erase algorithme
De Quick-Erase algorithme wordt gebruikt om de inhoud van het geheugen snel en betrouwbaar elektrisch te wissen. De algorithme verloopt (evenals de Quick-Pulse Programmeer algorithme) volgens een gesloten lus om de lading van alle bits in het array gelijktijdig te verwijderen. Het wissen begint met het lezen van de geheugen-inhoud. De 28F020 wordt leeg afgeleverd. Na uitlezen van FFH-data kan direkt worden begonnen met het programmeren van het geheugen.
Componenten die reeds gewist en geprogrammeerd zijn kunnen uniform en betrouwbaar worden gewist door eerst alle bits naar de geladen toestand (00H) te programmeren. Dit duurt bij gebruik van de Quick-Pulse Programmeer algorithme ongeveer vier seconden. De wis-operatie wordt gevolgd door een initiële wis-operatie. Verificatie van het wissen (data = FFH) begint op adres 0000H en gaat door tot het laatste adres of totdat van FFH afwijkende data wordt ontmoet. Het wissen kan efficiënter worden uitgevoerd door het adres van de laatst geverifieerde byte in een register op te slaan. Na de volgende wis-operatie begint het verifiëren dan op het opgeslagen adres. Het wissen duurt ongeveer één seconde.

Maatregelen bij het ontwerpen
- Tweelijns uitgangsbesturing
  Flash-geheugens worden vaak toegepast in grote geheugen-arrays. Om dit mogelijk te maken is de 28F020 uitgerust met twee read-control ingangen. Om deze besturingslijnen efficiënt te gebruiken moet de Chip-Enable op een adres-decoder worden aangesloten, terwijl het lees-signaal van het systeem alle Flash-geheugens en andere parallel geschakelde geheugens bestuurt.
  Hierdoor is men er zeker van dat alleen data van geselecteerde geheugens op de bus komt en dat de niet-geselecteerde geheugens in de standby toestand blijven.
- Ontkoppeling van de voeding
  Door het aan- en uitschakelen van de voeding van Flash-geheugens is een zorgvuldige ontkoppeling ervan nodig. Systeem-ontwerpers kunnen drie I_{CC}-gevallen verwachten: standby, aktief en piekstromen op de flanken van Chip-Enable. De amplituden van deze pieken zijn afhankelijk van de capacitieve en inductieve belastingen van de uitgangen.
  Spanningspieken worden onderdrukt door de tweelijns besturing en een geschikte ontkoppel-condensator. Elk Flash-geheugen moet tussen V_{CC} en V_{SS} en tussen V_{PP} en V_{SS} een keramische condensator van 0,1 µF hebben. Deze condensatoren moeten zo dicht mogelijk bij de component worden geplaatst. Bovendien moet elke groep van acht componenten een 4,7 µF elektrolitische condensator tussen V_{CC} en V_{SS} hebben.
- V_{PP}-bedrading op printkaarten
  Voor het programmeren van Flash-geheugens die zich in de definitieve schakeling op een printkaart bevinden moet aan het spoor voor V_{PP} in de gedrukte bedrading de nodige aandacht worden besteed. Hier kunnen dezelfde spoorbreedten en layout-overwegingen worden gebruikt als voor de V_{CC}-bus om spanningspieken en overshoots te voorkomen.
- Power Up/Down beveiliging
  Het ontwerp van de 28F020 biedt bescherming tegen per ongeluk wissen of programmeren bij veranderingen van de voedingsspanning. Bij het inschakelen van de voeding is het voor de 28F020 onbelangrijk welke spanning (V_{CC} of V_{PP}) het eerst aanwezig is. Er wordt automatisch voor gezorgd dat het Command Register bij power-up in de leesmode wordt

5.4 Type-beschrijving Flash-EPROM's

gezet. De systeem-ontwerper moet vermijden dat wordt geschreven met V_{CC}-spanningen die hoger zijn dan V_{LKO} als V_{PP} aktief is. Aangezien zowel $\overline{WE}$ als $\overline{CE}$ LAAG moeten zijn voor een schrijfcommando, wordt schrijven voorkomen door één van beide HOOG te maken. De architectuur van het control register zorgt bovendien voor een extra beveiliging aangezien verandering van de inhoud van het geheugen alleen plaatsvindt na succesvolle afsluiting van de tweetraps commando-volgorden.

- Vermogensdissipatie van de 28F020
  Bij het ontwerpen van draagbare systemen moet rekening worden gehouden met het energieverbruik: niet alleen in bedrijf maar ook bij uitschakeling. De niet-vluchtige Flash-geheugens verbruiken geen energie om code of data vast te houden. In tabel 8/5.4-45 is te zien hoeveel vermogen wordt gedissipeerd bij het updaten van de 28F020.

Overige specificaties

De overige elektrische en timing karakteristieken (van het Intel-type) van de 28F020 zijn opgenomen in de figuren 8/5.4-53 tot en met 8/5.4-60 en de tabellen 8/5.4-46 tot en met 8/5.4-53.

Operation	Notes	Power Dissipation (Watt-Seconds)
Array Program/Program Verify	1	0.34
Array Erase/Erase Verify	2	0.37
One Complete Cycle	3	1.05

Tabel 8/5.4-45: Opgenomen vermogen bij updaten van de 28F020.

Operating Temperature
During Read ....0°C to +70°C
During Erase/Program ....0°C to +70°C
Temperature Under Bias ....−10°C to +80°C
Storage Temperature ....−65°C to +125°C
Voltage on Any Pin with
Respect to Ground ....−2.0V to +7.0V
Voltage on Pin A_9 with
Respect to Ground ....−2.0V to +13.5V
V_{PP} Supply Voltage with
Respect to Ground
During Erase/Program ....−2.0V to +14.0V
V_{CC} Supply Voltage with
Respect to Ground ....−2.0V to +7.0V
Output Short Circuit Current.............100 mA

Tabel 8/5.4-46: Maximaal toegelaten waarden.

Symbol	Parameter	Limits		Unit	Comments
		Min	Max		
T_A	Operating Temperature	0	70	°C	For Read-Only and Read/Write Operations
V_{CC}	V_{CC} Supply Voltage	4.50	5.50	V	

Tabel 8/5.4-47: Aanbevolen bedrijfscondities.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter	Notes	Limits			Unit	Test Conditions
			Min	Typical	Max		
I_{LI}	Input Leakage Current	1			±1.0	μA	V_{CC} = V_{CC} Max V_{IN} = V_{CC} or V_{SS}
I_{LO}	Output Leakage Current	1			±10	μA	V_{CC} = V_{CC} Max V_{OUT} = V_{CC} or V_{SS}
I_{CCS}	V_{CC} Standby Current	1			1.0	mA	V_{CC} = V_{CC} Max $\overline{CE}$ = V_{IH}
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{IL} f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	V_{PP} = V_{PPH}, Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	V_{PP} = V_{PPH}, Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1, 2			±10	μA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current or Standby Current	1		90	200	μA	$V_{PP} > V_{CC}$
					±10		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8	30	mA	V_{PP} = V_{PPH} Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		10	30	mA	V_{PP} = V_{PPH}
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	V_{PP} = V_{PPH}, Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	V_{PP} = V_{PPH}, Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		2.0		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA V_{CC} = V_{CC} Min
V_{OH1}	Output High Voltage		2.4			V	I_{OH} = −2.5 mA V_{CC} = V_{CC} Min
V_{ID}	A_9 int$_e$ligent Identifer™ Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier™ Current	1		90	200	μA	A_9 = V_{ID}
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Program are Inhibited when V_{PP} = V_{PPL}
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-48: TTL/NMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

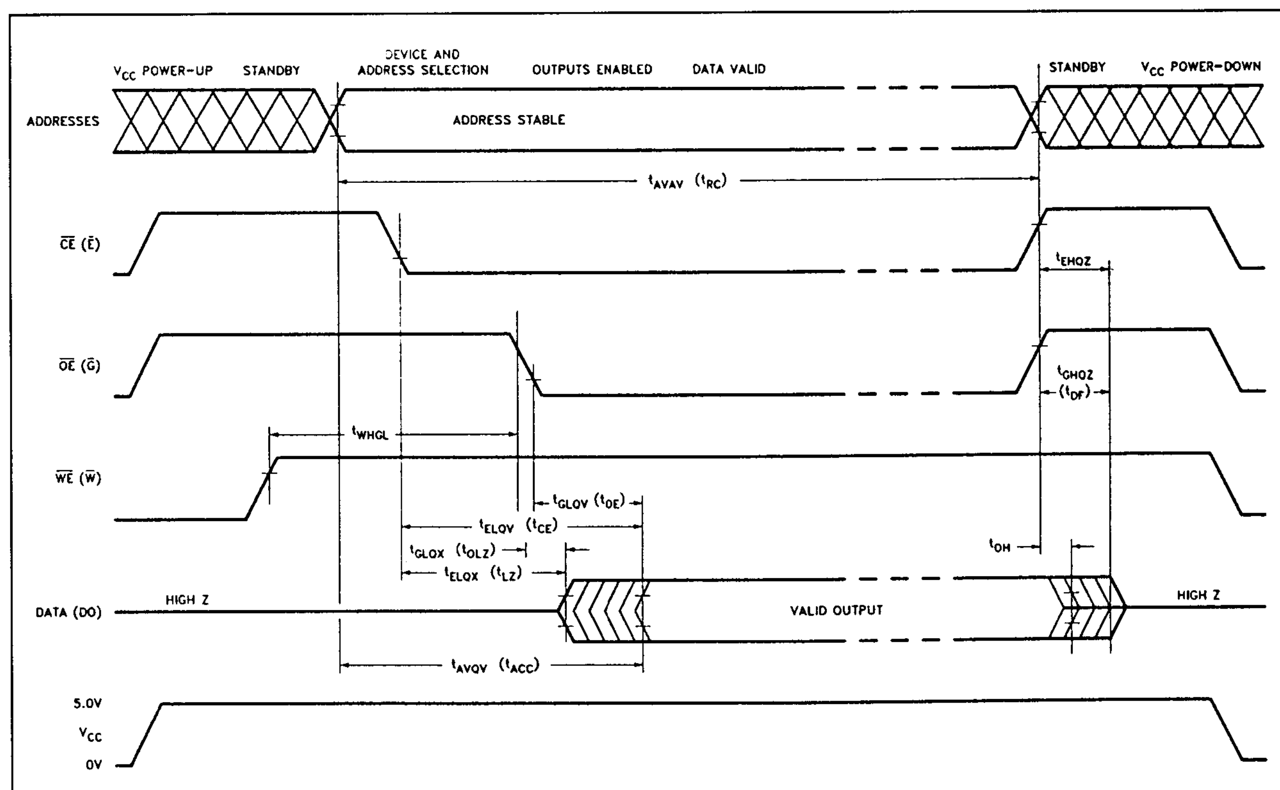
Symbol	Parameter	Notes	Limits Min	Limits Typical	Limits Max	Unit	Test Conditions
I_{LI}	Input Leakage Current	1			±1.0	µA	V_{CC} = V_{CC} Max V_{IN} = V_{CC} or V_{SS}
I_{LO}	Output Leakage Current	1			±10	µA	V_{CC} = V_{CC} Max V_{OUT} = V_{CC} or V_{SS}
I_{CCS}	V_{CC} Standby Current	1		50	100	µA	V_{CC} = V_{CC} Max $\overline{CE}$ = V_{CC} ±0.2V
I_{CC1}	V_{CC} Active Read Current	1		10	30	mA	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{IL} f = 6 MHz, I_{OUT} = 0 mA
I_{CC2}	V_{CC} Programming Current	1, 2		1.0	10	mA	Programming in Progress
I_{CC3}	V_{CC} Erase Current	1, 2		5.0	15	mA	Erasure in Progress
I_{CC4}	V_{CC} Program Verify Current	1, 2		5.0	15	mA	V_{PP} = V_{PPH}, Program Verify in Progress
I_{CC5}	V_{CC} Erase Verify Current	1, 2		5.0	15	mA	V_{PP} = V_{PPH}, Erase Verify in Progress
I_{PPS}	V_{PP} Leakage Current	1			±10	µA	$V_{PP} \leq V_{CC}$
I_{PP1}	V_{PP} Read Current, ID Current or Standby Current	1		90	200	µA	$V_{PP} > V_{CC}$
					±10		$V_{PP} \leq V_{CC}$
I_{PP2}	V_{PP} Programming Current	1, 2		8	30	mA	V_{PP} = V_{PPH}, Programming in Progress
I_{PP3}	V_{PP} Erase Current	1, 2		10	30	mA	V_{PP} = V_{PPH}, Erasure in Progress
I_{PP4}	V_{PP} Program Verify Current	1, 2		2.0	5.0	mA	V_{PP} = V_{PPH}, Program Verify in Progress
I_{PP5}	V_{PP} Erase Verify Current	1, 2		2.0	5.0	mA	V_{PP} = V_{PPH}, Erase Verify in Progress
V_{IL}	Input Low Voltage		−0.5		0.8	V	
V_{IH}	Input High Voltage		0.7 V_{CC}		V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage				0.45	V	I_{OL} = 5.8 mA V_{CC} = V_{CC} Min
V_{OH1}	Output High Voltage		0.85 V_{CC}			V	I_{OH} = −2.5 mA, V_{CC} = V_{CC} Min
V_{OH2}			V_{CC} − 0.4				I_{OH} = −100 µA, V_{CC} = V_{CC} Min
V_{ID}	A_9 int$_e$ligent Identifer™ Voltage		11.50		13.00	V	
I_{ID}	A_9 int$_e$ligent Identifier™ Current	1		90	200	µA	A_9 = V_{ID}
V_{PPL}	V_{PP} during Read-Only Operations		0.00		6.5	V	**NOTE:** Erase/Programs are Inhibited when V_{PP} = V_{PPL}
V_{PPH}	V_{PP} during Read/Write Operations		11.40		12.60	V	
V_{LKO}	V_{CC} Erase/Write Lock Voltage		2.5			V	

Tabel 8/5.4-49: CMOS-compatibele gelijkstroomkarakteristieken.

5.4 Type-beschrijving Flash-EPROM's

Versions		Notes	28F020-150		28F020-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	
t_{AVAV}/t_{RC}	Read Cycle Time	3	150		200		ns
t_{ELQV}/t_{CE}	Chip Enable Access Time			150		200	ns
t_{AVQV}/t_{ACC}	Address Access Time			150		200	ns
t_{GLQV}/t_{OE}	Output Enable Access Time			55		60	ns
t_{ELQX}/t_{LZ}	Chip Enable to Output in Low Z	3	0		0		ns
t_{EHQZ}	Chip Disable to Output in High Z	3		55		55	ns
t_{GLQX}/t_{OLZ}	Output Enable to Output in Low Z	3	0		0		ns
t_{GHQZ}/t_{DF}	Output Disable to Output in High Z	4		35		40	ns
t_{OH}	Output Hold from Address, $\overline{CE}$, or $\overline{OE}$ Change(1)	3	0		0		ns
t_{WHGL}	Write Recovery Time before Read		6		6		µs

Tabel 8/5.4-50: Schakeltijden bij Read-Only operaties (zie ook figuur 8/5.4-53).

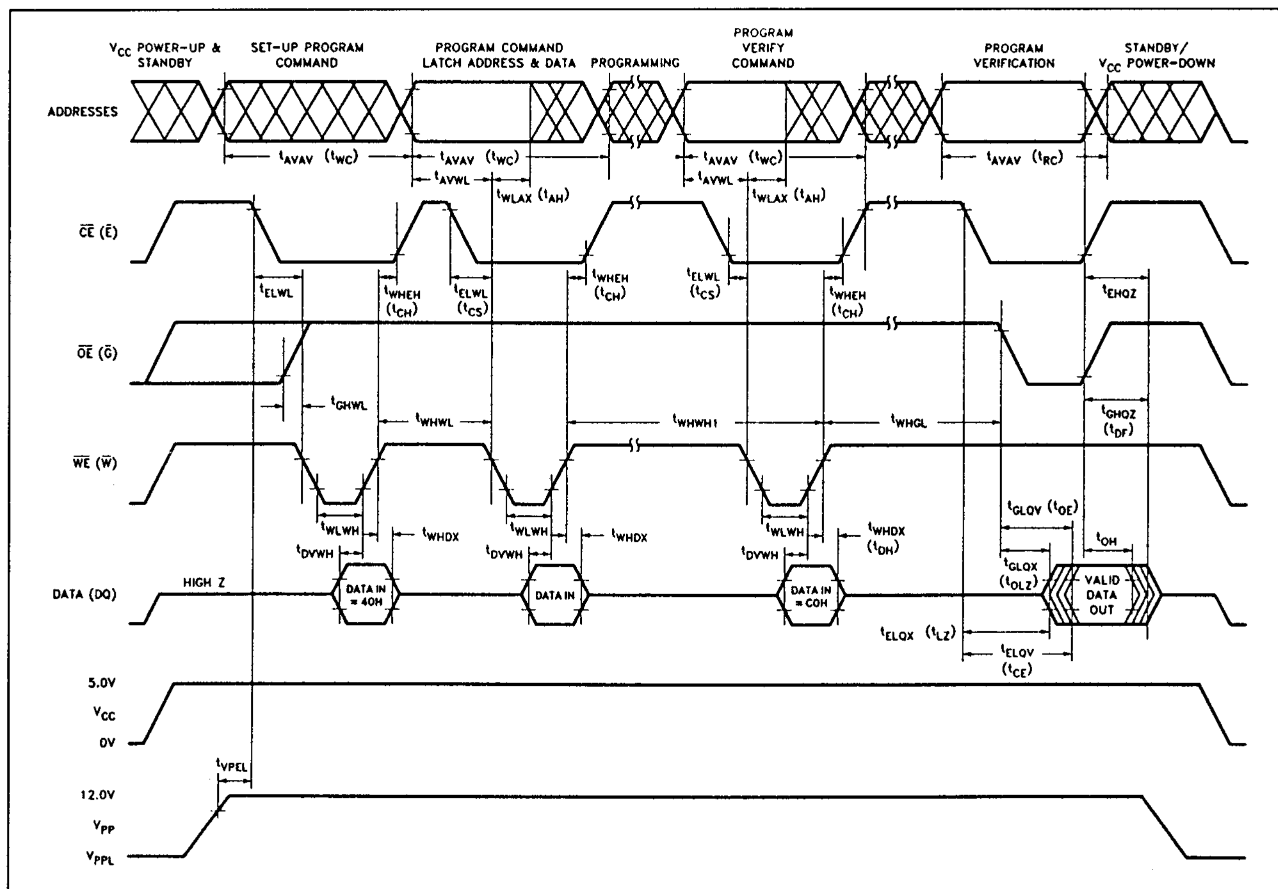


Figuur 8/5.4-53: Golfvormen bij uitlezen van de 28F020.

5.4 Type-beschrijving Flash-EPROM's

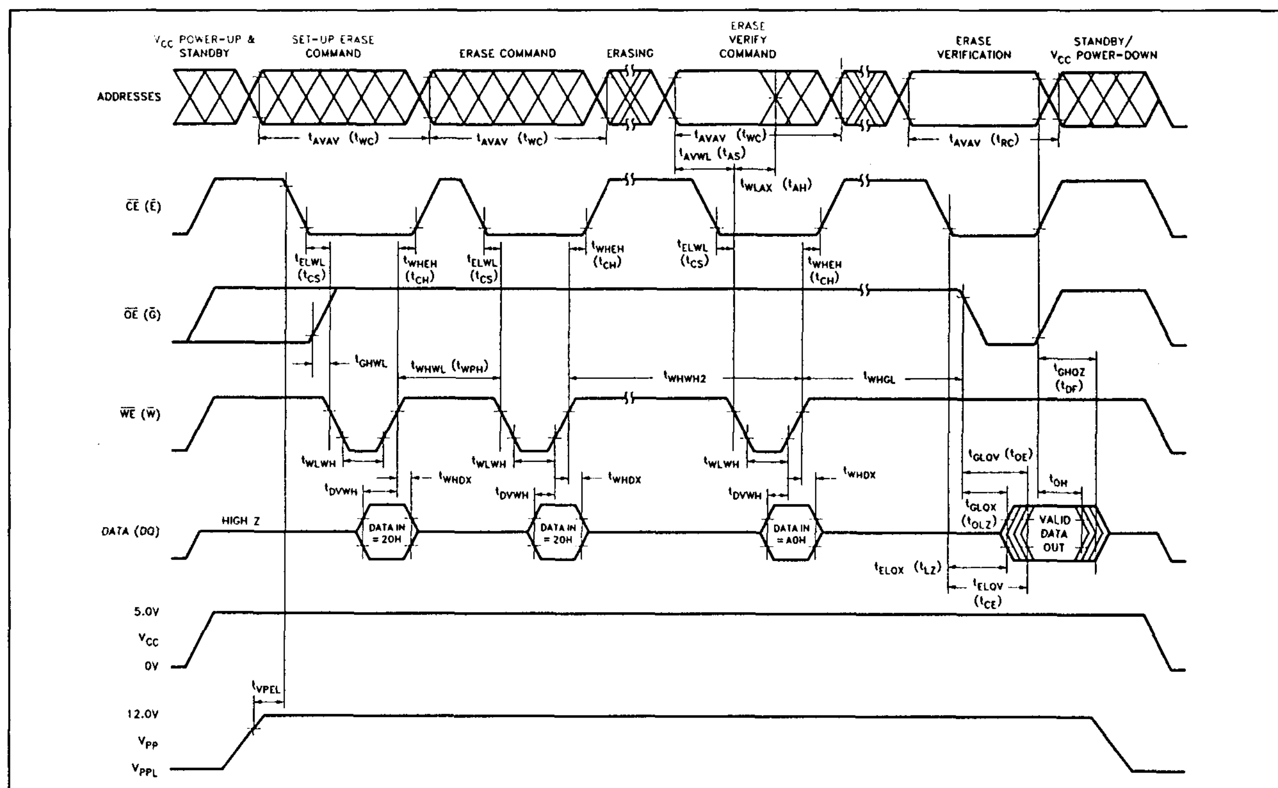
Versions		Notes	28F020-150		28F020-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	
t_{AVAV}/t_{WC}	Write Cycle Time		150		200		ns
t_{AVWL}/t_{AS}	Address Set-Up Time		0		0		ns
t_{WLAX}/t_{AH}	Address Hold Time		60		75		ns
t_{DVWH}/t_{DS}	Data Set-Up Time		50		50		ns
t_{WHDX}/t_{DH}	Data Hold Time		10		10		ns
t_{WHGL}	Write Recovery Time before Read		6		6		µs
t_{GHWL}	Read Recovery Time before Write		0		0		µs
t_{ELWL}/t_{CS}	Chip Enable Set-Up Time before Write		20		20		ns
t_{WHEH}/t_{CH}	Chip Enable Hold Time		0		0		ns
t_{WLWH}/t_{WP}	Write Pulse Width	2	60		60		ns
t_{WHWL}/t_{WPH}	Write Pulse Width High		20		20		ns
t_{WHWH1}	Duration of Programming Operation	3	10		10		µs
t_{WHWH2}	Duration of Erase Operation	3	9.5		9.5		ms
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		µs

Tabel 8/5.4-51: Schakeltijden voor schrijven/wissen/programmeren van de 28F020 (zie ook de figuren 8/5.4-54 en -55).

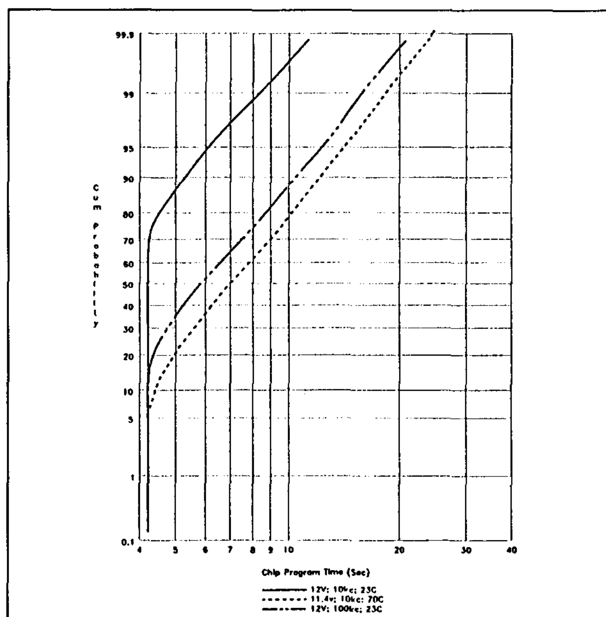


Figuur 8/5.4-54: Golfvormen bij het programmeren van de 28F020.

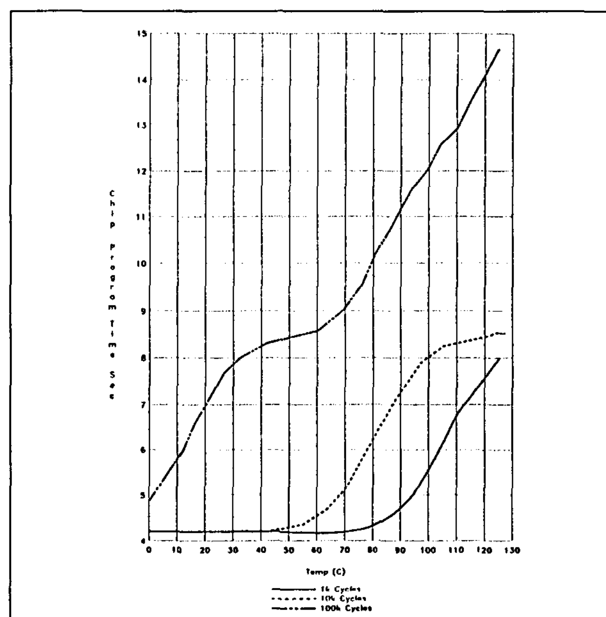
5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-55: Golfvormen bij het wissen van de 28F020.



Figuur 8/5.4-56: Programmeertijden bij verschillende bedrijfsomstandigheden.



Figuur 8/5.4-57: Typische programmeertijden bij V_{PP} = 12 V.

5.4 Type-beschrijving Flash-EPROM's

Figuur 8/5.4-58: Wistijden onder verschillende bedrijfscondities.

Figuur 8/5.4-59: Typische wistijden bij V_{PP} = 12 V.

Figuur 8/5.4-60: Golfvormen bij alternatieve programmering van de 28F020.

5.4 Type-beschrijving Flash-EPROM's

Parameter	Notes	Limits						Unit
		28F020-150			28F020-200			
		Min	Typ	Max	Min	Typ	Max	
Chip Erase Time	1, 3, 4		2	30		2	30	Sec
Chip Program Time	1, 2, 4		4	25		4	25	Sec
Erase/Program Cycles		10,000	100,0001, 5		10,000	100,000		Cycles

Tabel 8/5.4-52: Prestaties bij het wissen en programmeren (zie ook de figuren 8/5.4-56 tot en met -59).

Versions		Notes	28F020-150		28F020-200		Unit
Symbol	Characteristic		Min	Max	Min	Max	
t_{AVAV}	Write Cycle Time		150		200		ns
t_{AVEL}	Address Set-Up Time		0		0		ns
t_{ELAX}	Address Hold Time		80		95		ns
t_{DVEH}	Data Set-Up Time		50		50		ns
t_{EHDX}	Data Hold Time		10		10		ns
t_{EHGL}	Write Recovery Time before Read		6		6		μs
t_{GHEL}	Read Recovery Time before Write		0		0		μs
t_{WLEL}	Write Enable Set-Up Time before Chip Enable		0		0		ns
t_{EHWH}	Write Enable Hold Time		0		0		ns
t_{ELEH}	Write Pulse Width	1	70		80		ns
t_{EHEL}	Write Pulse Width High		20		20		ns
t_{VPEL}	V_{PP} Set-Up Time to Chip Enable Low		1.0		1.0		μs

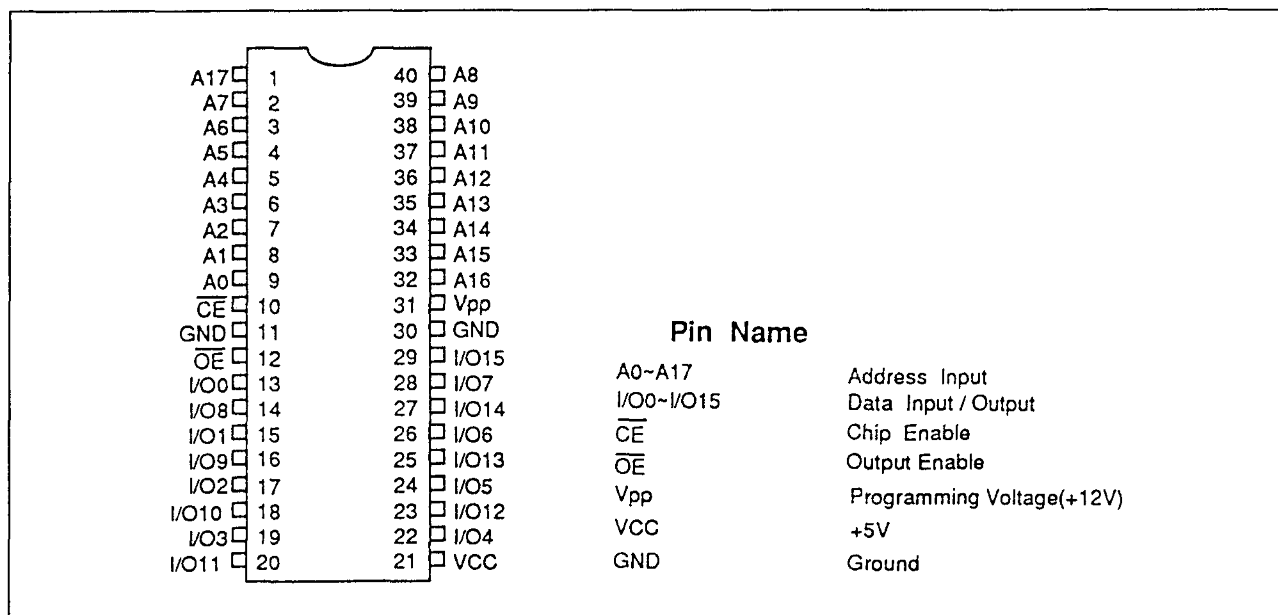
Tabel 8/5.4-53: Schakeltijden bij alternatieve, door $\overline{CE}$ bestuurde schrijfcycli. Hierbij bepaalt $\overline{CE}$ de lengte van de schrijfpuls (binnen een langere $\overline{WE}$ golfvorm).

28F4000

256 k x 16 CMOS

De 28F4000 is een high-speed 4 Mb "Flash" elektrisch wisbaar, elektrisch programmeerbaar read-only geheugen met een 256 kb x 16 bit organisatie. Doordat dit geheugen is voorzien van een Command Register Architectuur kan het zowel in een EPROM-programmer als "in-circuit" worden ge(her)-programmeerd. Bijkomende functies zijn Chip-Erase, Block Erase, Auto Erase en Auto Program. De 28F4000 heeft toegangstijden van 120, 150 of 200 ns, waardoor toepassing met snelle microprocessoren zonder wait-states mogelijk is. Om bus-rivaliteit te voorkomen heeft dit niet-vluchtige geheugen aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen.

5.4 Type-beschrijving Flash-EPROM's



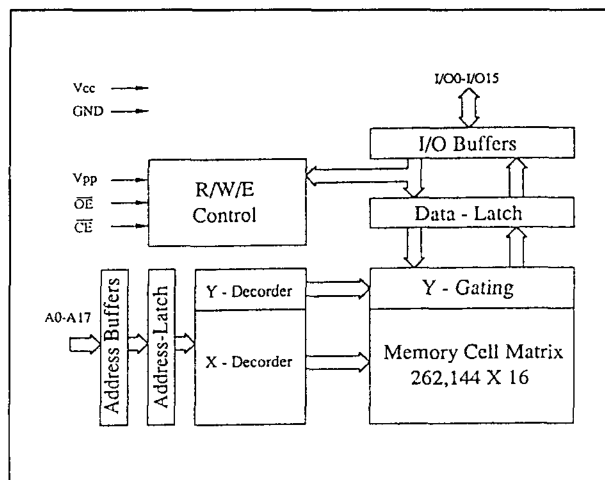
Figuur 8/5.4-61: Aansluitingen van de 28F4000 (40-pens DIL).

De 28F4000 is verkrijgbaar in een 40-pens 0,6" plastic DIP, een 40-pens 0,525 plastic miniflat-behuizing (SOP) of een 44-pens TSOP-behuizing en kan minstens 10.000 maal betrouwbaar worden gewist en geprogrammeerd.

Specificaties

De 28F4000 heeft de volgende algemene kenmerken:

- organisatie: 262.144 woorden van 16 bit (dubbel-byte)
- Command Register architectuur:
  Chip Erase (1 s typ.)
  Word programmering (10 µs typ.)
  Block Erase (16.384 woorden x 16 sector)
- Auto Erase (chip & block) en Auto Program Status Polling
- minimaal 10.000 wis/programmeercycli
- programmeer-/wisspanning V_{PP} 12 V +/-0,6 V
- toegangstijd 120, 150 of 200 ns
- geavanceerde CMOS technologie: geringe dissipatie: 50 mA aktief, 100 µA standby
- TTL-compatibele I/O, lezen, programmeren en wissen
- behuizingen (figuur 8/5.4-61):
  40-pens plastic DIL
  SOP
  44-pens TSOP(II)
- fabrikant: NEC: µPD28F4000



Figuur 8/5.4-62: Blokschema van de 28F4000.

Toepassingen

De 28F4000 koppelt niet-vluchtigheid aan de mogelijkheid om meer dan tienduizend maal elektrisch te wissen en te programmeren. Door zijn enorme grootte is de 28F4000 een aantrekkelijk alternatief voor schijf, EE-

5.4 Type-beschrijving Flash-EPROM's

PROM en batterij-gevoede statische RAM. Door alle toepassingen en het operating systeem in de 28F4000 op te slaan neemt het prestatievermogen van een systeem drastisch toe. In schijfloze werkstations en terminals kan het verkeer via netwerken tot een minimum worden beperkt, terwijl bij onderbrekingen van de netspanning tijdrovende "re-boot" perioden worden vermeden.
Door de architectuur van de 28F4000 zijn zeer weinig interface-schakelingen nodig voor complete in-circuit updates van de geheugeninhoud.

Werking van de 28F4000

Het Flash-geheugen kan elektrisch worden gewist en geprogrammeerd en is hiertoe voorzien van een Command Register dat 100 % TTL-compatibele besturingssignalen, een gefixeerde voedingsspanning tijdens wissen en programmeren en maximale EPROM-compatibiliteit mogelijk maakt (zie tabel 8/5.4-54).

Pins / Operation		Vpp (31)	$\overline{CE}$ (12)	$\overline{OE}$ (10)	A9 (39)	I/O0-I/O15 (13-20 22-29)
Read	Read	×	VIL	VIL	A9	Dout
	Output disable	×	VIL	VIH	×	HighZ
	Standby	×	VIH	×	×	HighZ
	Identifier	×	VIL	VIL	VH	ID
Command Write	Read	Vpp	VIL	VIL	A9	Dout
	Standby	Vpp	VIH	×	×	HighZ
	Write	Vpp	VIL	VIH	A9	Din

Tabel 8/5.4-54: Mode selectie via het Command Register.

Wanneer de hoge spanning op de programmeerpen (12 V op V_{PP}) ontbreekt kan de 28F4000 alleen worden uitgelezen (werkt als een ROM). Door signalen op de externe memory-control pennen ($\overline{CE}$, $\overline{OE}$ en A9) worden de standaard EPROM lees, standby, output disable en intelligent identifier functies uitgevoerd. De EPROM lees, standby en schrijf functies zijn ook beschikbaar als de 12 V programmeerspanning wel op de V_{PP}-pen staat.
Let er op dat V_{PP} alleen mag worden aangebracht als V_{CC} aanwezig is: V_{PP} komt NA het opkomen van V_{CC} en verdwijnt VOOR het weghalen van V_{CC}!
Alle functies die betrekking hebben op het veranderen van de inhoud van het geheugen (intelligent identifier, wissen, wis/verifieer, programmeren en programmeer /verifieer) zijn toegankelijk via het Command Register. De commando's worden met behulp van standaard microprocessor schrijf-timingen naar het register geschreven.

Lezen

De 28F4000 heeft twee besturingsfuncties die beide aktief (LAAG) moeten zijn om data aan de uitgangen te verkrijgen. Chip-Enable ($\overline{CE}$) wordt voor de selectie van de component gebruikt, terwijl Output-Enable ($\overline{OE}$) de uitgang bedient (figuur 8/5.4-63). De schakeltijden bij het uitlezen ($V_{SS}<V_{PP}<V_{CC}$) zijn opgenomen in tabel 8/5.4-56.

Output Disable

Wanneer Output-Enable logisch HOOG is, worden de uitgangen van het geheugen gesperd. De uitgangspennen bevinden zich dan in een hoog-impedante toestand.

Standby

Als Chip-Enable logisch HOOG is, worden door de standby-werking de meeste interne schakelingen in de 28F4000 gesperd, waardoor veel minder vermogen wordt opgenomen. Bovendien worden de uitgangen in een hoog-impedante toestand gezet.

Identificatie

Met de identificatie-operatie (ook auto-select genoemd) komt de fabrikantencode (ID) beschikbaar. De programmeerapparatuur past de wis- en programmeer-algorithmen automatisch hierop aan. Door ($\overline{CE}$) en ($\overline{OE}$) logisch LAAG te maken en A9 logisch HOOG, wordt deze operatie uitgevoerd.

5.4 Type-beschrijving Flash-EPROM's

Command	Bus cycles req'd	First Bus Cycle			Second Bus Cycle		
		Operation	Address	Data	Operation	Address	Data
Read Memory	1	Write	×	0000H	Read	×	Dout
Read identified codes	2	Write	×	0090H	Read	IA	ID
Setup erase/erase (chip)	2	Write	×	0020H	Write	×	0020H
Setup erase/erase (block)	2	Write	×	0060H	Write	EA	0060H
Erase verify	2	Write	EVA	00A0H	Read	×	EVD
Setup auto erase/ auto erase (chip)	2	Write	×	0030H	Write	×	0030H
Setup auto erase/ auto erase (block)	2	Write	×	0070H	Write	EA	0070H
Setup program/ program	2	Write	×	0040H	Write	PA	PD
Program verify	2	Write	×	00C0H	Read	×	PVD
Setup auto program/ program	2	Write	×	0050H	Write	PA	PD
Reset	2	Write	×	FFFFH	Write	×	FFFFH

IA = Identifier address.
EA = Block of memory location to be erase.
EVA = Address of memory location to be read during erase verify.
PA = Address of memory location to be programmed.
ID = Data read from location IA during device identification.
EVD = Data read from location EVD during erase verify.
PD = Data to be programmed at location PA.
PVD = Data read from location PA during program verify.

Tabel 8/5.4-55: Definities van de commando's.

Schrijven
Wissen en programmeren van het geheugen worden uitgevoerd via het Command Register als een hoge spanning op de V_{pp}-pen wordt gezet.

Lees-commando (Read Memory)
Terwijl V_{pp} HOOG is om te kunnen wissen en programmeren, kan de inhoud van het geheugen worden bereikt met het lees-commando.
De lees-operatie wordt ingeleid door 0000H (16 bit) in het Command Register te schrijven. Door microprocessor leescycli wordt de data opgehaald.
Het geheugen blijft bereikbaar voor uitlezen totdat de inhoud van het Command Register wordt veranderd.

Lezen van de identificatie
De inhoud van Flash-geheugens moet door de lokale CPU kunnen worden veranderd. De device-code moet dus leesbaar zijn terwijl het onderdeel zich in het systeem bevindt. Dit gebeurt door 0090H in het Command Register te schrijven. Na deze schrijf-operatie levert een leescyclus op het identificatieadres de device-code op.

Set-up wis/wis (Set-up Erase/Erase) commando's
Set-up erase is een commando waarmee het geheugen wordt klaargezet voor het wissen van alle bytes. De chip-wis operatie wordt uitgevoerd door 0020H in het Command Register te schrijven, terwijl per blok wordt gewist door 0060H te schrijven.

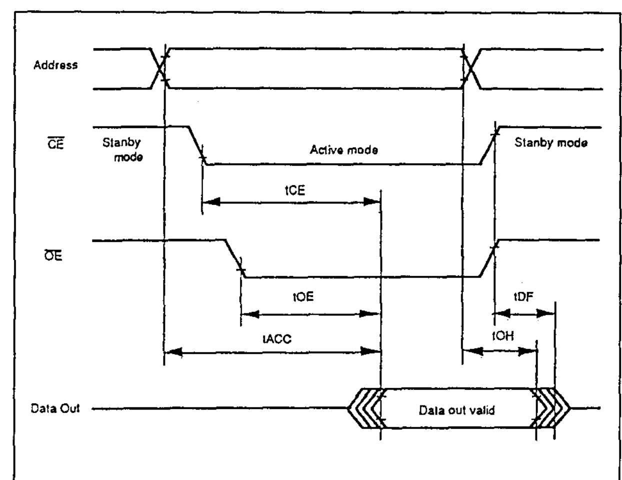
5.4 Type-beschrijving Flash-EPROM's

Item	Symbol	D28F4000 -12 Min	D28F4000 -12 Max	D28F4000 -15 Min	D28F4000 -15 Max	D28F4000 -20 Min	D28F4000 -20 Max	Unit	Test conditions
Address to output delay	t_{ACC}	—	120	—	150	—	200	ns	$\overline{CE} = \overline{OE} = V_{IL}$
$\overline{CE}$ to output delay	t_{CE}	—	120	—	150	—	200	ns	$\overline{OE} = V_{IL}$
$\overline{OE}$ to output delay	t_{OE}	—	60	—	70	—	80	ns	$\overline{CE} = V_{IL}$
$\overline{OE}$ high to output float*1	t_{DF}	0	55	0	55	0	70	ns	$\overline{CE} = V_{IL}$
Address to output hold	t_{OH}	0	—	0	—	0	—	ns	$\overline{CE} = \overline{OE} = V_{IL}$

Notes:1. t_{DF} is defined as the time at which the output achieves the open circuit condition data is no longer driven.

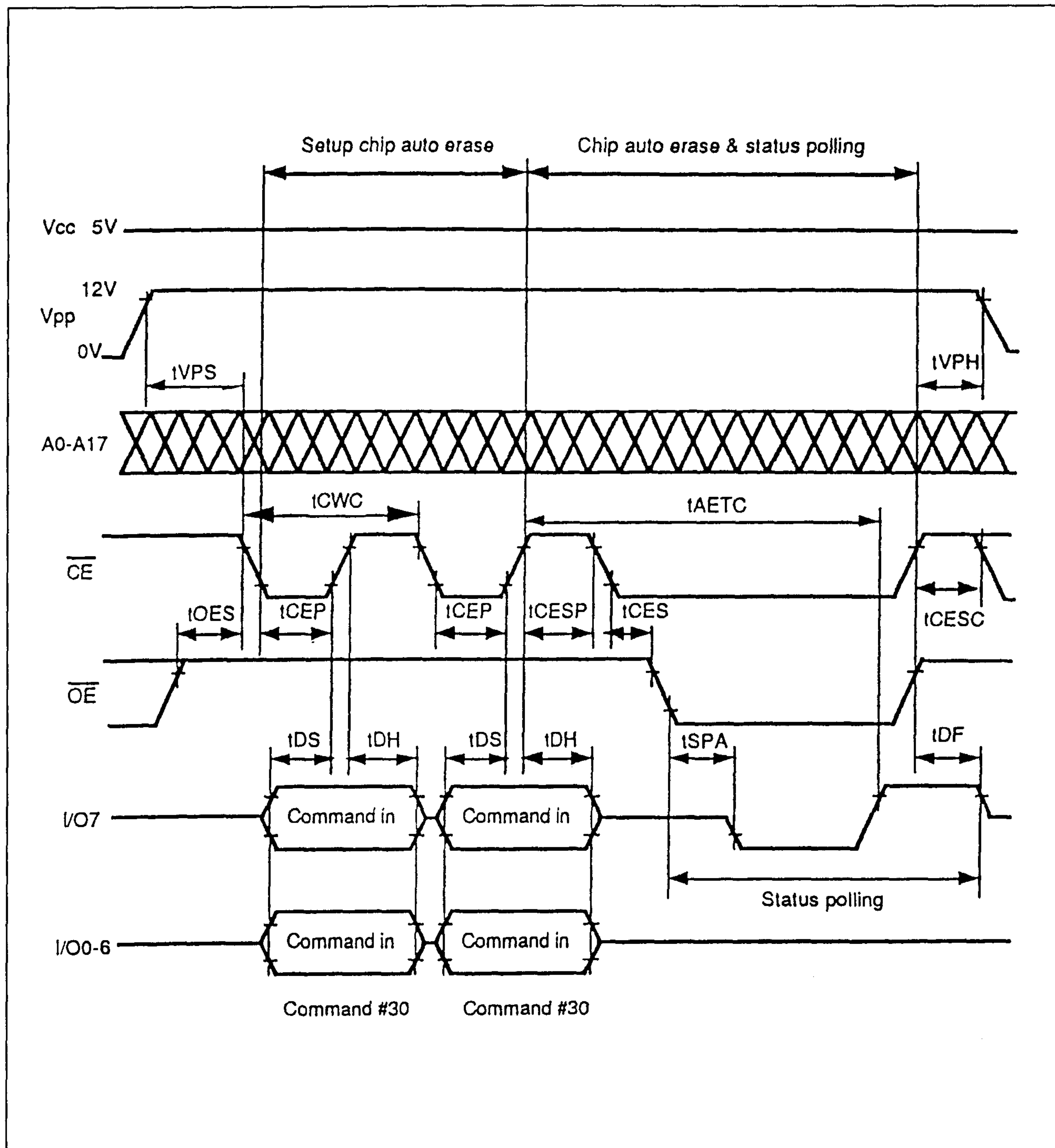
Tabel 8/5.4-56: Schakeltijden tijdens het uitlezen van de 28F4000 (drie snelheids-versies).

- **Automatisch chip-wissen**
  Bij Chip Erase wordt alle aanwezige data uitgewist. Het is hierbij niet nodig te verifiëren omdat automatisch gewist wordt door een interne schakeling. Wel kan de status worden afgevraagd: tijdens het wissen is pen I/O 15 LAAG en na het wissen HOOG (de pennen I/O 0 tot en met I/O 14 zijn HOOG). De golfvormen en gang van zaken tijdens het automatisch wissen zijn getekend in figuur 8/5.4-64.
- **Automatisch blok-wissen**
  Bij Block Erase wordt alle data in het blok dat met de adreslijnen A14 tot en met A17 wordt aangegeven uitgewist. Ook hierbij is niet nodig om tijdens het wissen te verifiëren. Na afloop kan de status worden opgevraagd: tijdens het wissen is pen I/O 15 LAAG en na het wissen HOOG (de pennen I/O 0 tot en met I/O 14 zijn HOOG). De golfvormen tijdens het automatisch blok-wissen zijn getekend in figuur 8/5.4-65.



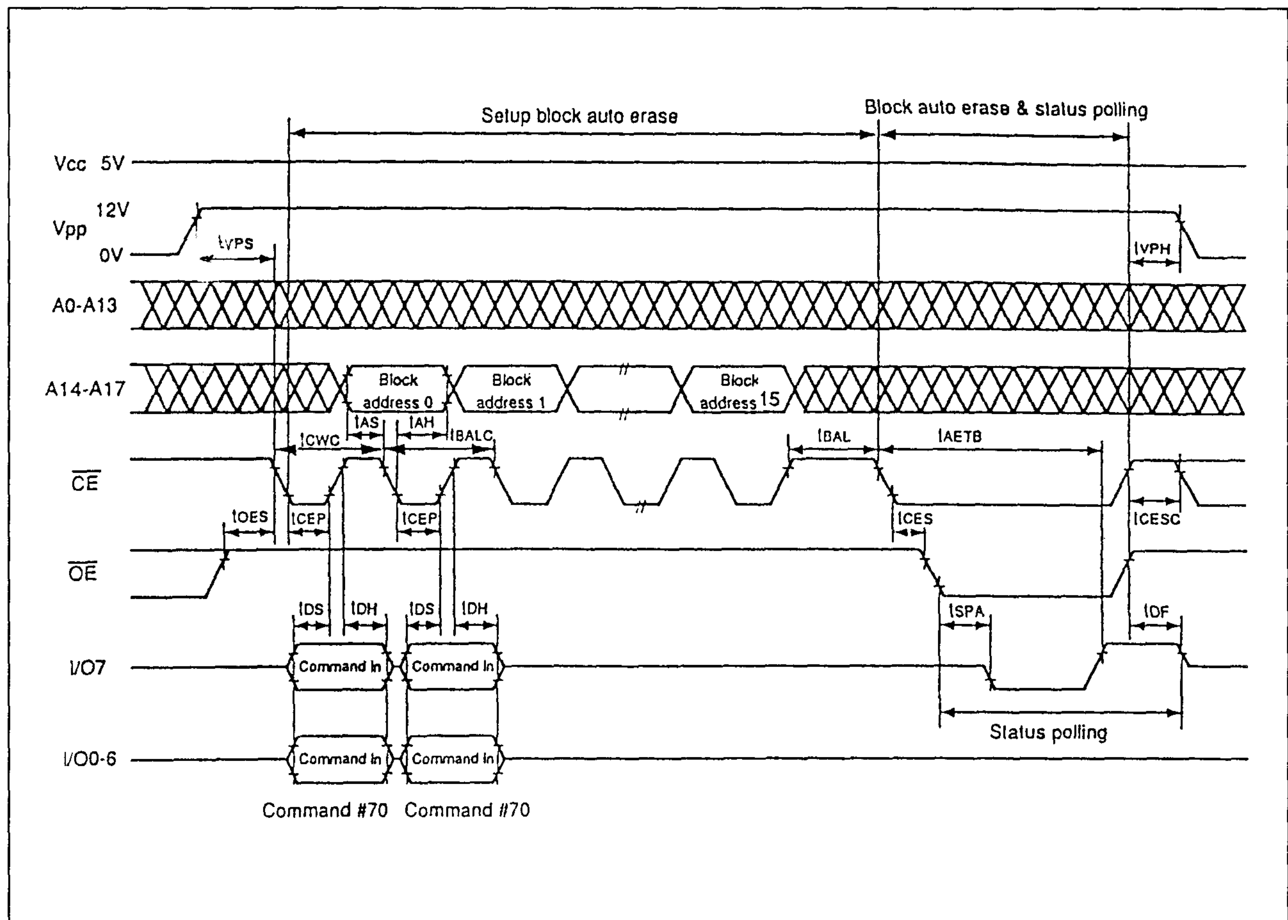
Figuur 8/5.4-63: Timing en golfvormen bij het uitlezen van de 28F4000.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-64: Golfvormen en timing tijdens automatisch chip-wissen.

5.4 Type-beschrijving Flash-EPROM's

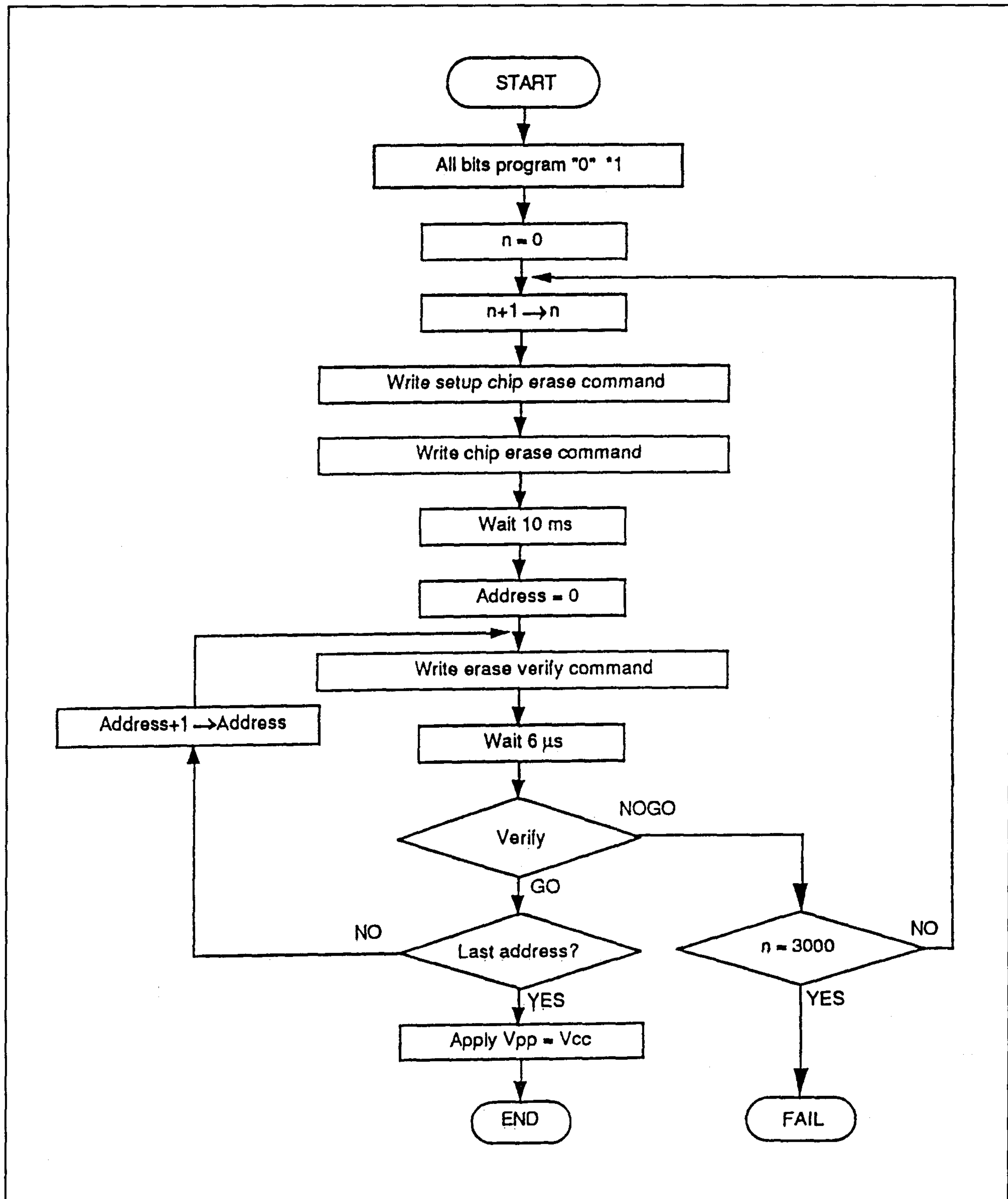


Figuur 8/5.4-65: Golfvormen en timing tijdens automatisch blok-wissen.

Wis-Verifieer (Erase-Verify) commando
Met het wis-commando worden alle bytes gewist. Na elke wis-operatie moeten alle bytes worden geverifieerd. De wis-verifieer operatie wordt ingeleid door 00A0H in het Command Register te schrijven.

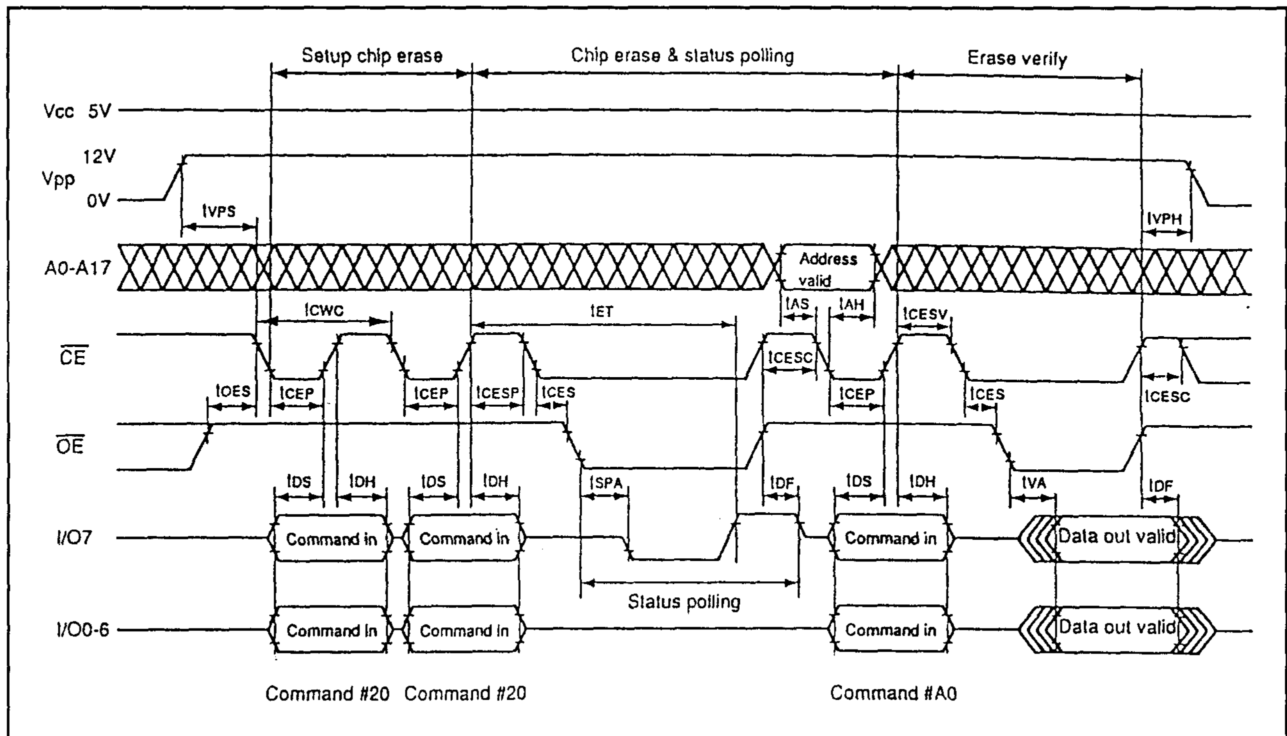
- **Fast High-Reliability Chip Erase**
  Het is ook mogelijk om op een veiliger manier alle aanwezige data te wissen en te verifiëren. In het flow-diagram van figuur 8/5.4-66 is dit aangegeven. Na elke wispuls wordt de status afgevraagd op pen I/O 15 (moet HOOG zijn) en kunnen eventueel nieuwe wispulsen worden gegeven.
  Het wissen van de chip gaat op deze manier sneller dan bij het automatisch chip-wissen.
- **Fast High-Reliability Block Erase**
  Op dezelfde manier is het ook mogelijk om veiliger en sneller alle data in een blok (16 k woorden van 16 bit) te wissen en te verifiëren. Aan de hand van het flow-diagram (figuur 8/5.4-68) wordt per blok gewist en geverifiëerd. De status wordt afgevraagd op pen I/O 15 (moet HOOG zijn), waarna eventueel nieuwe wispulsen worden gegeven. Het wissen per blok gaat op deze manier sneller dan bij het automatisch blok-wissen.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-66: Flow-diagram voor sneller en betrouwbaarder wissen en verifiëren van de chip.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-67: Timing en golfvormen tijdens Fast High-Reliability Chip Erase (zie ook figuur 8/5.4-66 en tabel 8/5.4-57).

Set-up programmeer en programmeer commando's

Set-up Program is een commando waardoor de component wordt klaargezet voor programmeren van de bytes. De set-up operatie wordt uitgevoerd door 0040H in het Command Register te schrijven.

Program Verifieer commando

De 28F4000 wordt woord-na-woord geprogrammeerd. Het woord-programmeren mag opeenvolgend of willekeurig gebeuren. Na iedere programmeer-operatie moet het zojuist geprogrammeerde woord worden geverifieerd. De program-verifieer operatie wordt ingeleid door 00C0H in het Command Register te schrijven.

- **Automatisch programmeren/verifiëren**
  Nadat een woord is geprogrammeerd, is verifiëren en aanvullend programmeren met externe signalen niet nodig, omdat deze bewerkingen automatisch door interne schakelingen worden uitgevoerd. Nadat het automatisch verifiëren is gestart, kan door afvragen van de status (polling) op pen I/O 15 worden gecheckt of het programmeren klaar is (zie figuur 8/5.4-70). Tijdens het programmeren is pen I/O 15 HOOG en na het programmeren LAAG. De aansluitingen I/O 0 tot en met I/O 14 zijn dan hoog-impedant.
- **Fast High-Reliability Programming**
  Op de 28F4000 kan ook de snelle, betrouwbare programmeer-algorithme worden toegepast, waarvan figuur 8/5.4-71 het flow-diagram laat zien. Op deze manier gebeurt het programmeren sneller en veiliger. Na het programmeren van een woord wordt extern geverifiëerd of de programmering goed ging en kan eventueel aanvullende programmering plaats vinden. Er kan worden geverifiëerd of het programmeren klaar is door de status af te vragen.

5.4 Type-beschrijving Flash-EPROM's

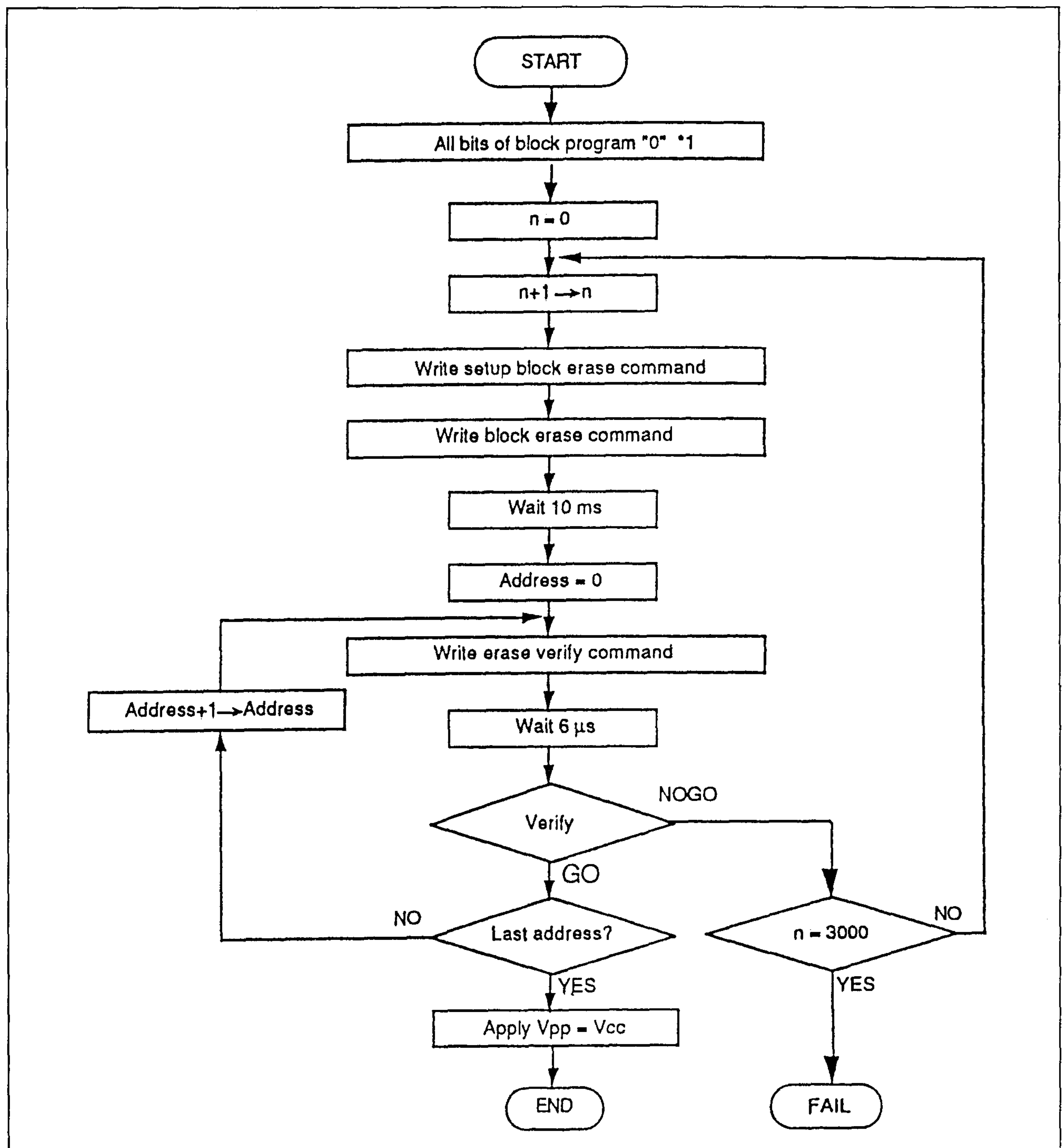
		D28F4000 -12		D28F4000 -15		D28F4000 -20			
Item	Symbol	Min	Max	Min	Max	Min	Max	Unit	Test Conditions
V_{PP} setup time	t_{VPS}	100	—	100	—	100	—	ns	
$\overline{OE}$ setup time	t_{OES}	100	—	100	—	100	—	ns	
Command programming cycle	t_{CWC}	120	—	150	—	200	—	ns	
$\overline{CE}$ programming pulse width	t_{CEP}	50	—	50	—	50	—	ns	
Address setup time	t_{AS}	0	—	0	—	0	—	ns	
Address hold time	t_{AH}	60	—	60	—	60	—	ns	
Data setup time	t_{DS}	50	—	50	—	50	—	ns	
Data hold time	t_{DH}	10	—	10	—	10	—	ns	
$\overline{CE}$ setup time before status polling	t_{CESP}	100	—	100	—	100	—	ns	
$\overline{CE}$ setup time	t_{CES}	0	—	0	—	0	—	ns	
$\overline{CE}$ setup time before command write	t_{CESC}	100	—	100	—	100	—	ns	
$\overline{CE}$ setup time before verify	t_{CESV}	6	—	6	—	6	—	µs	
V_{PP} hold time	t_{VPH}	100	—	100	—	100	—	ns	
Output disable time*3	t_{DF}	40	—	50	—	60	—	ns	
Status Polling access time	t_{SPA}	—	120	—	150	—	200	ns	
Verify access time	t_{VA}	—	120	—	150	—	200	ns	
Total erase time in chip auto erase	t_{AETC}	TYP. 14		TYP. 14		TYP. 14		s	
Total erase time in block auto erase	t_{AETB}	TYP. 7		TYP. 7		TYP. 7		s	
Total programming time in auto verify	t_{AVT}	15	300	15	300	15	300	µs	
Standby time in programming	t_{PPW}	10	—	10	—	10	—	µs	
Standby time in erase	t_{ET}	10	—	10	—	10	—	ms	
Block address load cycle	t_{BALC}	0.3	30	0.3	30	0.3	30	µs	
Block address load time	t_{BAL}	100	—	100	—	100	—	µs	

Notes: 1. CE and OE must be fixed high during V_{PP} transition from 5V to 12V or from 12V to 5V.
2. Refer to read operation when $V_{PP} = V_{CC}$ about read operation while V_{PP} 12V.
3. t_{DF} Defined as the time at which the output achieves the open circuit condition and data is no longer driven.

Tabel 8/5.4-57: Schakeltijden tijdens wissen, verifiëren en programmeren van de 28F4000 (bij V_{PP} = 12 V).

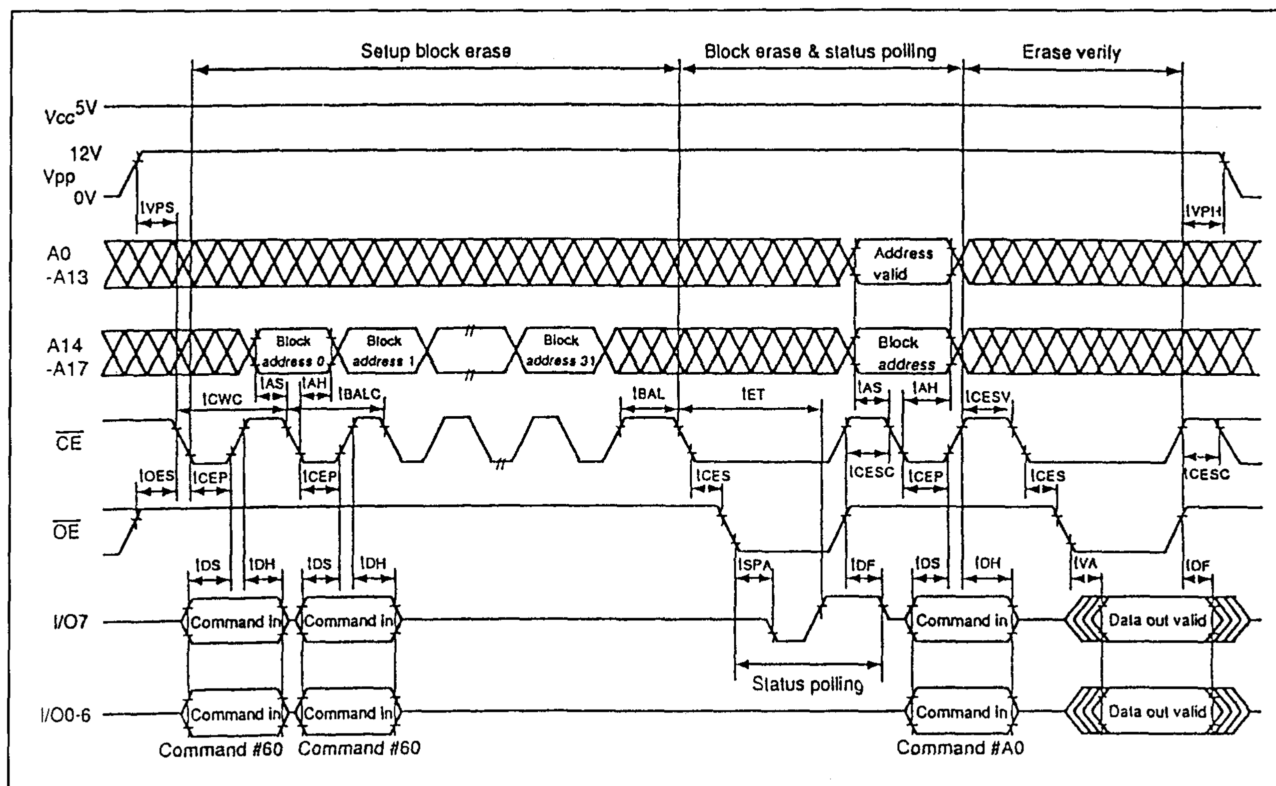
Tijdens het programmeren is pen I/O 15 namelijk HOOG en daarna LAAG (I/O 0 tot en met I/O 14 zijn dan hoog-impedant).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-68: Flow-diagram voor sneller en betrouwbaarder wissen en verifiëren per blok.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-69: Timing en golfvormen tijdens Fast High-Reliability Block Erase (zie ook figuur 8/5.4-68 en tabel 8/5.4-57).

Reset commando

De wis- en programmeer handelingen kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee opvolgende FFFFH's wordt de operatie veilig afgebroken. De inhoud van het geheugen zal hierdoor niet veranderen.

V_{PP}-lijn op printkaarten

Voor het programmeren van flash geheugens die zich in de definitieve schakeling bevinden is het nodig dat de ontwerper aandacht besteed aan het spoor voor V_{PP} in de gedrukte bedrading.
Het wordt aanbevolen dezelfde spoorbreedten en layout-overwegingen te gebruiken als voor de V_{CC}-bus om spanningspieken en overshoots te vermijden.

Overige elektrische kenmerken

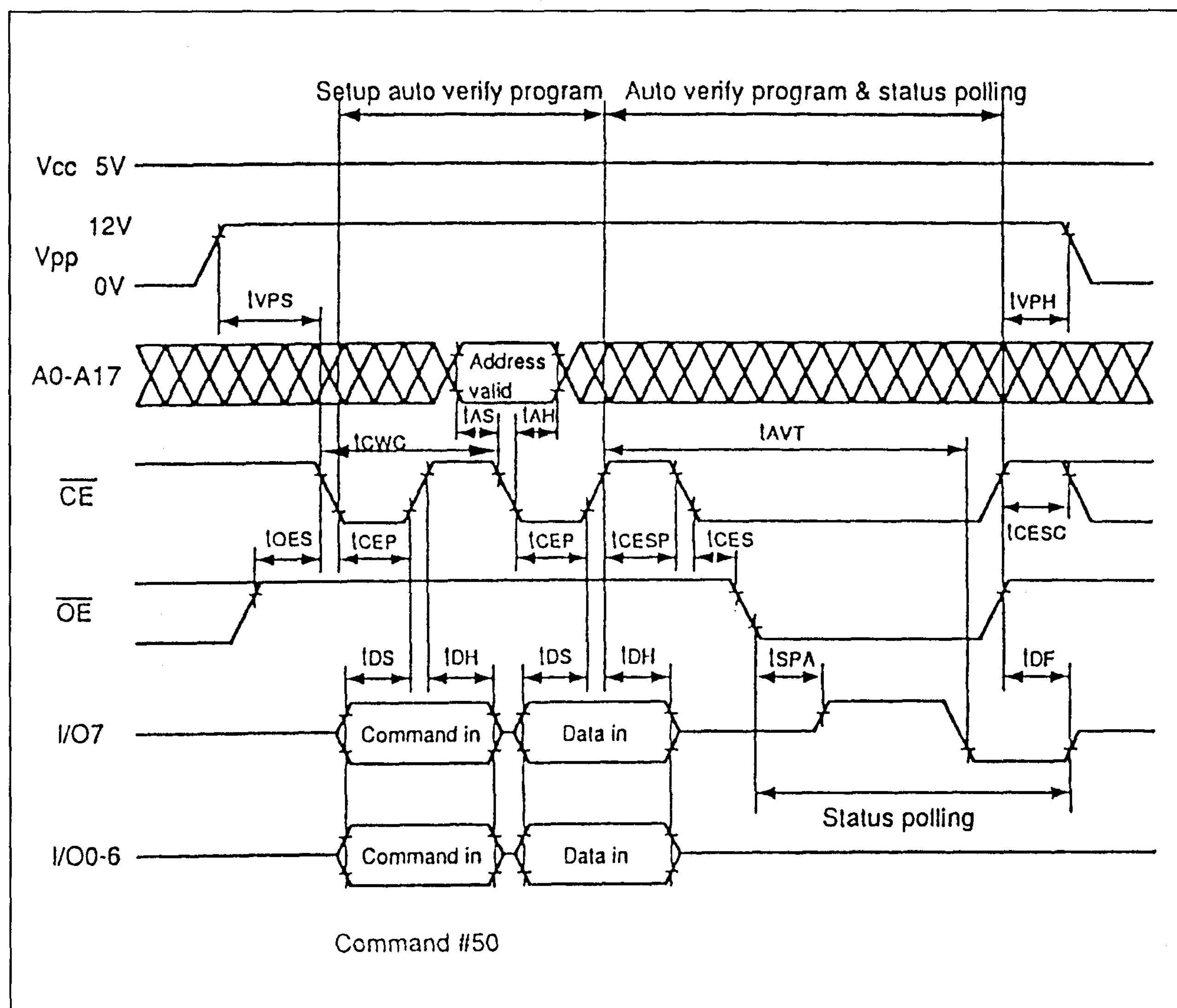
De overige elektrische karakteristieken van het NEC-type µPD28F4000 zijn opgenomen in de tabellen 8/5.4-58 tot en met 8/5.4-12.

Item	Symbol	Value	Unit
All input and output voltages *1	Vin, Vout	-0.6*2 to +7.0	V
A9 voltage *1	V_{ID}	-0.6*2 to +13.5	V
Vpp voltage *1	V_{PP}	-0.6 to +13.5	V
Vcc voltage *1	V_{CC}	-0.6 to Vcc +0.3	V
Operating temperature range	Topr	-10 to +80	℃
Storage temperature range *3	Tstg	-65 to +125	℃
Storage temperature under bias	Tbias	-10 to +80	℃

Notes : 1. Relative to V_{SS}.
2. Vin, Vout, V_{ID} min = -2.0V for pulse width ≤ 20ns
3. Device storage temperature range before programming.

Tabel 8/5.4-58: Maximaal toegelaten waarden.

5.4 Type-beschrijving Flash-EPROM's



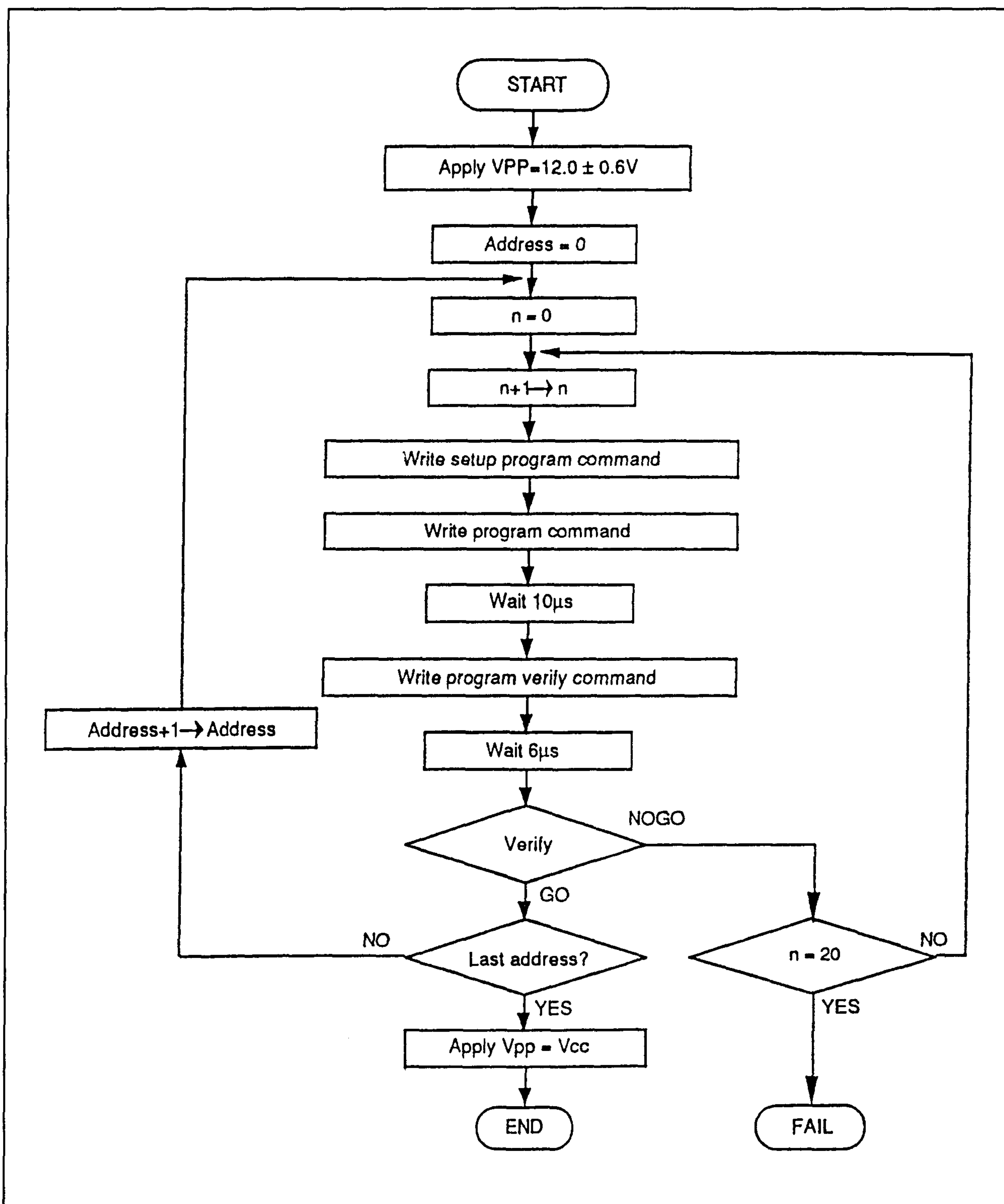
Figuur 8/5.4-70: Automatisch programmeren/verifiëren.

Capacitance(Ta = 25℃, f = 1 MHz)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance	Cin	—	—	14	pF	Vin=0v
Output capacitance	Cout	—	—	16	pF	Vout=0v

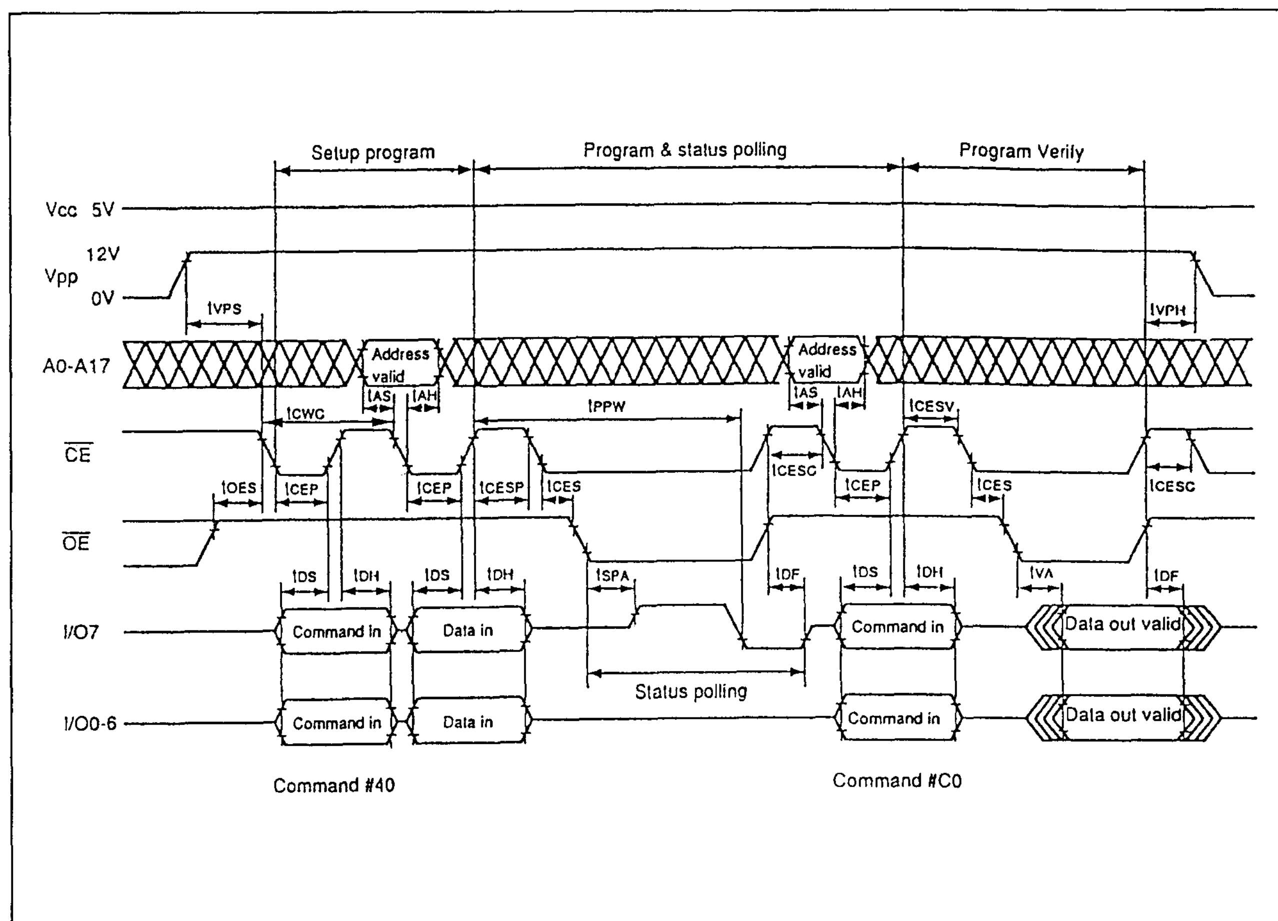
Tabel 8/5.4-59: Capaciteiten bij 1 MHz.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-71: Flow-diagram voor sneller en betrouwbaarder programmeren en verifiëren.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-72: Timing en golfvormen tijdens Fast High-Reliability Programming (zie ook figuur 8/5.4-71 en tabel 8/5.4-57).

5.4 Type-beschrijving Flash-EPROM's

DC Characteristics(V_{CC} = 5V ± 10%, V_{PP} = V_{SS} to V_{CC}, Ta = 0 to + 70℃)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Input leakage current	I_{LI}	—	—	10	µA	Vin = V_{SS} to V_{CC}
Output leakage current	I_{LO}	—	—	10	µA	Vout = V_{SS} to V_{CC}
V_{PP} Current	I_{PP1}	—	1	100	µA	V_{PP} = 5.5V
Standby V_{CC} current	I_{SB1}	—	—	1	mA	CE = V_{IH}
	I_{SB2}	—	1	100	µA	CE = V_{CC} + 0.3V
Operating V_{CC} current	I_{CC1}	—	—	30	mA	Iout = 0mA, f = 1MHz
	I_{CC2}	—	—	50	mA	Iout = 0mA, f = 8MHz
Input voltage	V_{IL}	-0.3 *1	—	0.8	V	
	V_{IH}	2.0	—	V_{CC} + 0.3	V	
Output voltage	V_{OL}	—	—	0.45	V	I_{OL} = 2.1mA
	V_{OH}	2.4	—	—	V	I_{OH} = -400µA

Notes :
1. V_{IL} min= -1.0V for pulse width ≤ 50ns.
   V_{IL} min= -2.0V for pulse width ≤ 20ns.
2. V_{IH}max=V_{CC} +1.5V for pulse width ≤ 20ns.
   If V_{IH} is over the specified maximum value, read operation cannot be guaranteed.

Tabel 8/5.4-60: Gelijkstroomkarakteristieken tijdens het uitlezen van de 28F4000 (V_{ss}<V_{pp}<V_{cc}).

5.4 Type-beschrijving Flash-EPROM's

DC Characteristics(V_{CC} = 5V ± 10%, V_{PP} = 12.0V ± 0.6V, Ta = 0 to + 70℃)

Item		Symbol	Min	Typ	Max	Unit	Test conditions
Input leakage current		I_{LI}	—	—	10	μA	Vin = V_{SS} to V_{CC}
Output leakage current		I_{LO}	—	—	10	μA	Vout = V_{SS} to V_{CC}
Standby V_{CC} current		I_{SB1}	—	—	1	mA	$\overline{CE}$ = V_{IH}
		I_{SB2}	—	1	100	μA	$\overline{CE}$ = V_{CC} + 0.3V
Operating V_{CC} current	Read	I_{CC1}	—	—	30	mA	Iout = 0mA, f = 1MHz
		I_{CC2}	—	—	50	mA	Iout = 0mA, f = 8MHz
	Program	I_{CC3}	—	—	50	mA	In programming
	Erase	I_{CC4}	—	—	50	mA	In erase
	Program verify	I_{CC5}	—	—	50	mA	In program verify
	Erase verify	I_{CC6}	—	—	50	mA	In erase verify
V_{PP} Current	Read	I_{PP1}	—	—	20	μA	V_{PP} = 12.6V
	Program	I_{PP2}	—	—	50	mA	In programming
	Erase	I_{PP3}	—	—	50	mA	In erase
	Program verify	I_{PP4}	—	—	50	mA	In program verify
	Erase verify	I_{PP5}	—	—	50	mA	In erase verify
Input voltage		V_{IL}	-0.3 *5	—	0.8	V	
		V_{IH}	2.0	—	V_{CC} + 0.3 *6	V	
Output voltage		V_{OL}	—	—	0.45	V	I_{OL} = 2.1mA
		V_{OH}	2.4	—	—	V	I_{OH} = -400μA

Notes:
1. V_{CC} must be applied before V_{PP} and removed after V_{PP}.
2. V_{PP} must not exceed 14V including overshoot.
3. An influence may be had upon device reliability if the device is installed or removed while V_{PP} = 12V.
4. Do not alter V_{PP} either V_{IL} to 12V or 12V to V_{IL} when CE = V_{IL}.
5. V_{IL} min = -0.6V for pulse width ≤ 20ns.
6. If V_{IH} is ober the specified maximum value, programming operation cannot be guaranteed.

Tabel 8/5.4-61: Overige gelijkstroomkarakteristieken bij lezen, programmeren, wissen en verifiëren met V_{pp} = 12 V.

5.4 Type-beschrijving Flash-EPROM's

28F4001

512 k x 8 CMOS

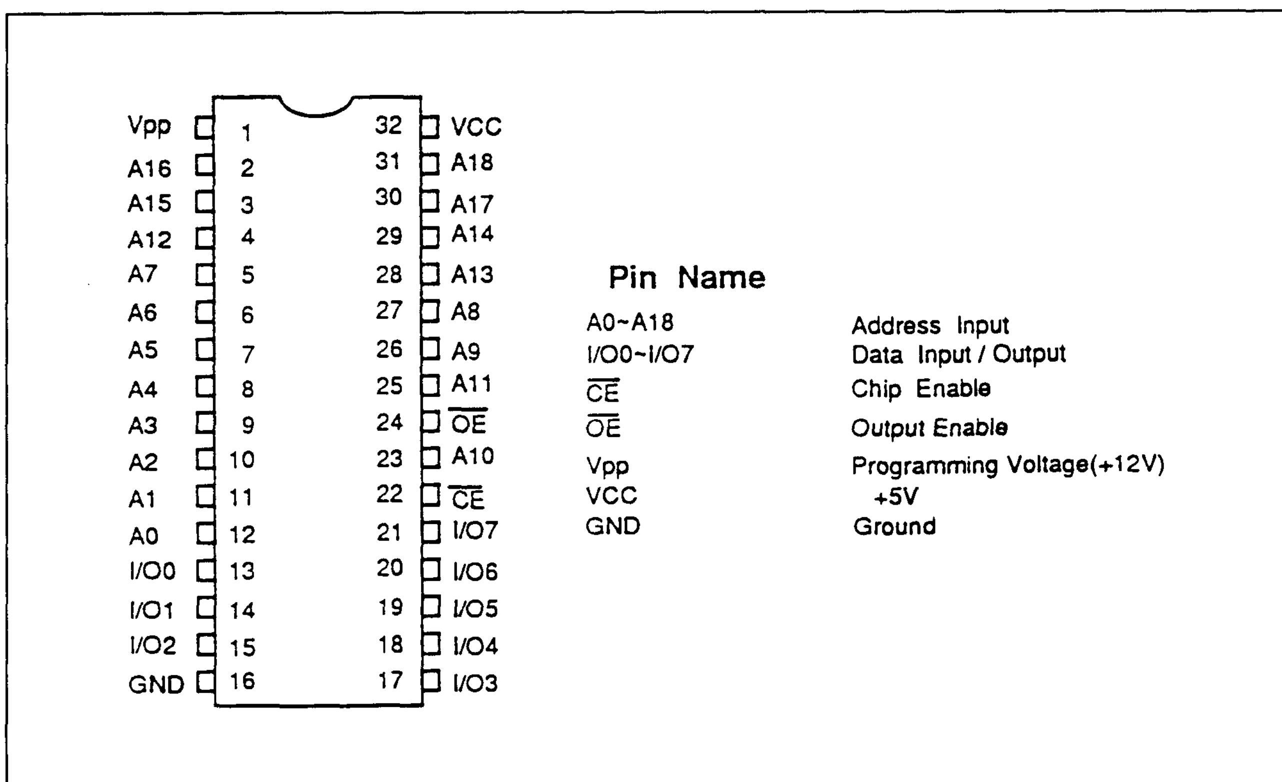
De 28F4001 is een snel 4 Mb "Flash"-type elektrisch wis- en programmeerbaar read-only geheugen met een organisatie van 512 kb x 8 bit.

Doordat toepassing van een Command Register Architectuur kan het geheugen zowel in een EPROM-programmer als "in-circuit" worden ge(her)programmeerd. De 28F4001 beschikt over de functies Chip Erase, Block Erase, Auto Erase en Auto Program en (om bus-rivaliteit te voorkomen) over aparte chip-enable ($\overline{CE}$) en output-enable ($\overline{OE}$) ingangen. De 28F4001 wordt geleverd in een 32-pens 0,6" plastic DIP, een 32-pens 0,525 plastic miniflat (SOP)-behuizing of een 32-pens TSOP(I)-behuizing.

Specificaties

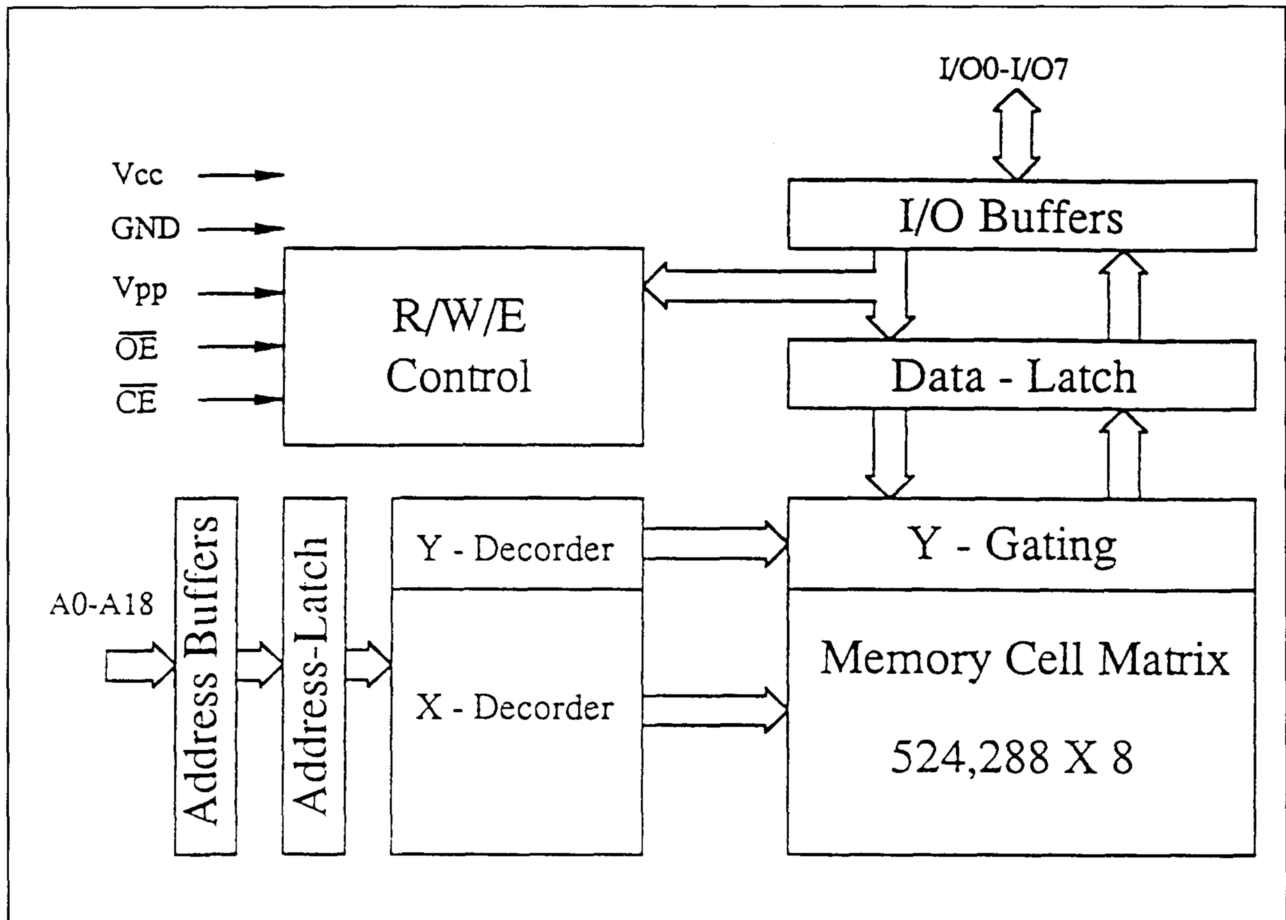
De 28F4001 heeft in het kort de volgende kenmerken:

- 524.288 woorden x 8 bit
- toegangstijd: 120, 150 of 200 ns
- Command Register architectuur:
  Byte programmering (10 µs typ.)
  Chip Erase (1 s typ.)
  Block Erase (16.384 bytes x 32 blok)
- Auto Erase (chip & sector) en Auto Program Status Polling
- minimaal 10.000 wis/programmeercycli
- programmeer-/wisspanning V_{PP}:
  12 V +/-0,6 V
- geavanceerde CMOS technologie
- geringe dissipatie: 30 mA aktief, 100 µA standby
- TTL-compatibele I/O, lezen, programmeren en wissen
- behuizingen (figuur 8/5.4-73):
  32-pens plastic DIL
  SOP
  32-pens TSOP(I)
- fabrikant: NEC: µPD28F4001



Figuur 8/5.4-73: Aansluitingen van de 28F4001 (32-pens DIL).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-74: Blokschema van de 28F4001.

Toepassingen

De 28F4001 is een niet-vluchtig geheugen dat meer dan tienduizend maal elektrisch kan worden gewist en geprogrammeerd. Door zijn grootte is de 28F4001 een zeer aantrekkelijk alternatief voor schijf, EE-PROM en batterij-gevoede statische RAM. Meestal kunnen alle toepassingen en het bedrijfssysteem in de 28F4001 worden opgeslagen.
Met de schijfloze werkstations en terminals die zo ontstaan kan het verkeer over netwerken tot een minimum worden beperkt, terwijl bij onderbrekingen van de netspanning tijdrovende "re-boot" perioden worden vermeden. Door de architectuur van de 28F4001 is een eenvoudige interface-schakeling voldoende voor complete in-circuit updates van de geheugeninhoud.

Werking

De Flash-EPROM kan elektrisch worden gewist en geprogrammeerd via een Command Register. Hierdoor zijn TTL-compatibele besturingssignalen, een vaste voedingsspanning tijdens het wissen en programmeren mogelijk (zie tabel 8/5.4-62).
Als de hoge spanning (12 V op V_{PP}) ontbreekt, werkt de 28F4001 als een ROM en kan hij alleen worden uitgelezen. Door signalen op ($\overline{CE}$, $\overline{OE}$ en A9) worden de standaard EPROM lees, standby, output disable en identifier functies uitgevoerd. De EPROM lees, standby en schrijf functies zijn bovendien beschikbaar als de 12 V programmeerspanning op de V_{PP}-pen staat.
Let op: V_{PP} mag alleen worden aangebracht als V_{CC} al aanwezig is: V_{CC} komt het eerst en verdwijnt het laatst!

5.4 Type-beschrijving Flash-EPROM's

Alle functies (identifier, wissen, wis/verifieer, programmeren en programmeer/verifieer) zijn toegankelijk via het Command Register. De commando's worden met behulp van standaard microprocessor schrijf-timingen naar het register geschreven.

Lezen

De 28F4001 heeft twee besturingslijnen die beide LAAG moeten zijn om data aan de uitgangen te verkrijgen. Chip-Enable ($\overline{CE}$) wordt voor de selectie van het IC gebruikt, terwijl Output-Enable ($\overline{OE}$) de uitgang bedient (figuur 8/5.4-75). De schakeltijden bij het uitlezen ($V_{SS}<V_{PP}<V_{CC}$) zijn opgenomen in tabel 8/5.4-64.

Operation	Pins	Vpp (1)	$\overline{CE}$ (22)	$\overline{OE}$ (24)	A9 (26)	I/O0-I/O7 (13-15 17-21)
Read	Read	Vcc	VIL	VIL	A9	Dout
	Output disable	Vcc	VIL	VIH	×	HighZ
	Standby	Vcc	VIH	×	×	HighZ
	Identifier	Vcc	VIL	VIL	VH	ID
Command Write	Read	Vpp	VIL	VIL	A9	Dout
	Standby	Vpp	VIH	×	×	HighZ
	Write	Vpp	VIL	VIH	A9	Din

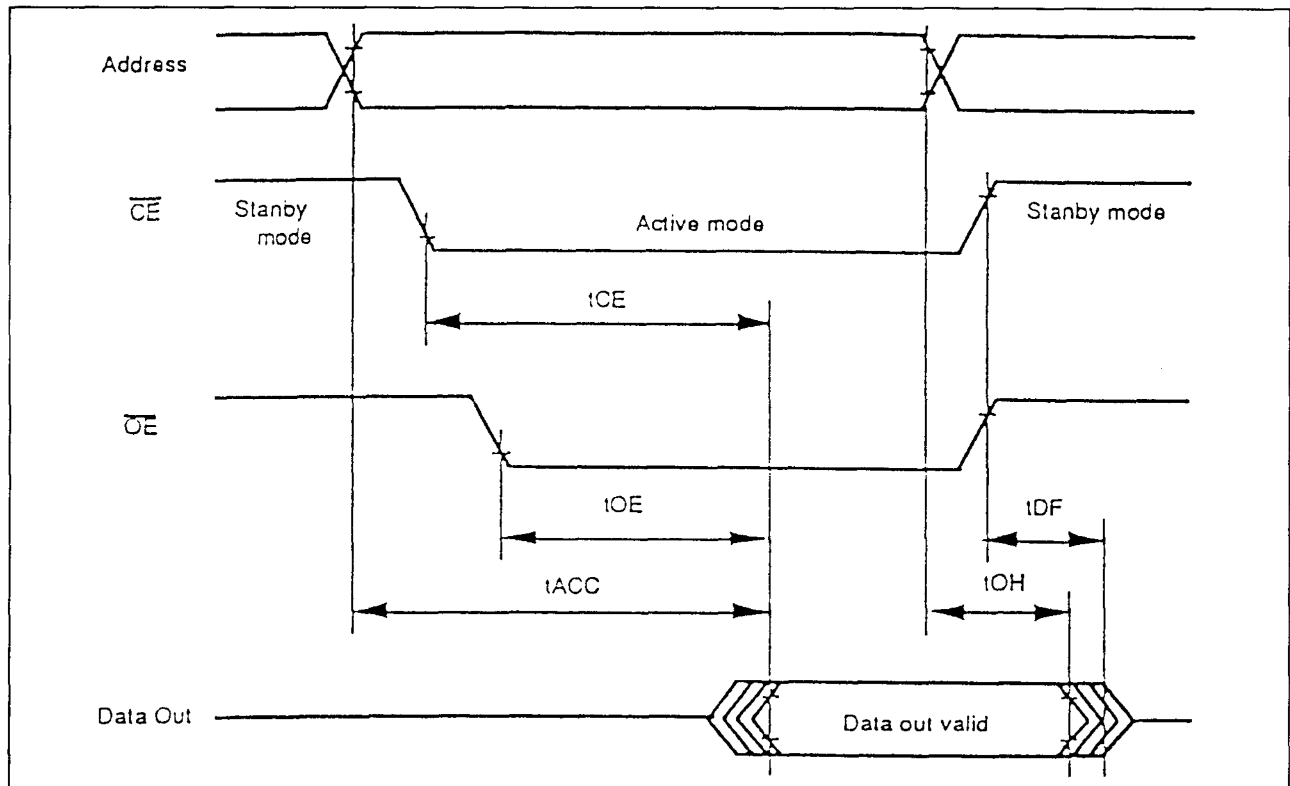
Tabel 8/5.4-62: Mode selectie via het Command Register.

Command	Bus cycles req'd	First Bus Cycle			Second Bus Cycle		
		Operation	Address	Data	Operation	Address	Data
Read Memory	1	Write	×	00H	Read	×	Dout
Read identified codes	2	Write	×	90H	Read	IA	ID
Setup erase/erase (chip)	2	Write	×	20H	Write	×	20H
Setup erase/erase (block)	2	Write	×	60H	Write	EA	60H
Erase verify	2	Write	EVA	A0H	Read	×	EVD
Setup auto erase/ auto erase (chip)	2	Write	×	30H	Write	×	30H
Setup auto erase/ auto erase (block)	2	Write	×	20H	Write	EA	D0H
Setup program/ program	2	Write	×	40H	Write	PA	PD
Program verify	2	Write	PVA	C0H	Read	×	PVD
Setup auto program/ program	2	Write	×	10H	Write	PA	PD
Reset	2	Write	×	FFH	Write	×	FFH

IA = Identifier address.
EA = Block of memory location to be erase.
EVA = Address of memory location to be read during erase verify.
PA = Address of memory location to be programmed.
PVA = Address of memory location to be read during program verify.
EVD = Data read from location EVD during erase verify.
PD = Data to be programmed at location PA.
PVD = Data read from location PA during program verify.

Tabel 8/5.4-63: Definities van de commando's en benodigde buscycli.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-75: Timing en golfvormen bij het uitlezen van de 28F4000.

Item	Symbol	D28F4001 -12 Min	D28F4001 -12 Max	D28F4001 -15 Min	D28F4001 -15 Max	D28F4001 -20 Min	D28F4001 -20 Max	Unit	Test conditions
Address to output delay	t_{ACC}	—	120	—	150	—	200	ns	$\overline{CE} = \overline{OE} = V_{IL}$
$\overline{CE}$ to output delay	t_{CE}	—	120	—	150	—	200	ns	$\overline{OE} = V_{IL}$
$\overline{OE}$ to output delay	t_{OE}	—	60	—	70	—	80	ns	$\overline{CE} = V_{IL}$
$\overline{OE}$ high to output float *1	t_{DF}	0	40	0	50	0	60	ns	$\overline{CE} = V_{IL}$
Address to output hold	t_{OH}	5	—	5	—	5	—	ns	$\overline{CE} = \overline{OE} = V_{IL}$

Note : 1. t_{DF} is defined as the time at which the output achieves the open circuit condition and data is no longer driven.

Tabel 8/5.4-64: Schakeltijden tijdens het uitlezen van de 28F4000 (drie snelheids-versies).

5.4 Type-beschrijving Flash-EPROM's

Output Disable
Wanneer Output-Enable logisch HOOG is, worden de uitgangen van het geheugen gesperd en bevinden de uitgangspennen zich in een hoog-impedante toestand.

Standby
Wanneer Chip-Enable HOOG is, worden door de standby-werking de meeste interne schakelingen in de 28F4001 gesperd zodat veel minder vermogen wordt gedissipeerd. Bovendien worden de uitgangen hoog-impedant.

Identificatie
Met de identificatie-operatie (of auto-select) komt de fabrikantencode (ID) beschikbaar. De programmeerapparatuur past de wis- en programmeer algorithmen automatisch hierop aan. Deze operatie wordt uitgevoerd door ($\overline{CE}$) plus ($\overline{OE}$) LAAG en A9 HOOG te maken.

Schrijven
Het wissen en programmeren wordt uitgevoerd via het Command Register als een hoge spanning op de V_{PP}-pen wordt gezet.

Lees-commando (Read Memory)
Terwijl V_{PP} HOOG is voor wissen en programmeren, kan de inhoud van het geheugen worden bereikt met het lees-commando. De lees-operatie wordt ingeleid door 00H (8 bit) in het Command Register te schrijven. Met normale microprocessor leescycli wordt de data opgehaald. Het geheugen blijft toegankelijk voor uitlezen totdat de inhoud van het Command Register wordt veranderd.

Lezen van de identificatie
De inhoud van een Flash-geheugen moet door de lokale CPU kunnen worden gewijzigd. De device-code moet dus leesbaar zijn terwijl het IC zich in het systeem bevindt. Dit gebeurt door 90H in het Command Register te schrijven. Na deze schrijf-operatie levert een leescyclus op het identificatieadres de device-code op.

Set-up wis/wis (Set-up Erase/Erase) commando's
Set-up erase is een commando waarmee het geheugen wordt klaargezet voor het wissen van alle bytes. De chip-wis operatie wordt uitgevoerd door 20H in het Command Register te schrijven, terwijl per blok wordt gewist door 60H te schrijven.

- **Automatisch chip-wissen**
  Met Chip Erase wordt alle in het geheugen aanwezige data gewist. Het is hierbij niet nodig om te verifiëren omdat het wissen automatisch gedaan wordt door een interne schakeling. Het is wel mogelijk om de status af te vragen (pollen): tijdens het wissen is pen I/O 7 LAAG en na het wissen HOOG (de pennen I/O 0 tot en met I/O 6 zijn HOOG). De golfvormen en de timing tijdens het automatisch wissen zijn te zien in figuur 8/5.4-76.
- **Automatisch blok-wissen**
  Bij Automatic Block Erase wordt alle data in het blok uitgewist dat met de adreslijnen A14 tot en met A18 wordt aangegeven (16 kB). Het is ook hierbij niet nodig om te verifiëren. Na afloop kan de status worden opgevraagd: tijdens het wissen is pen I/O 7 LAAG en na het wissen HOOG (de pennen I/O 0 tot en met I/O 6 zijn HOOG). De golfvormen tijdens het automatisch blok-wissen zijn gegeven in figuur 8/5.4-77.

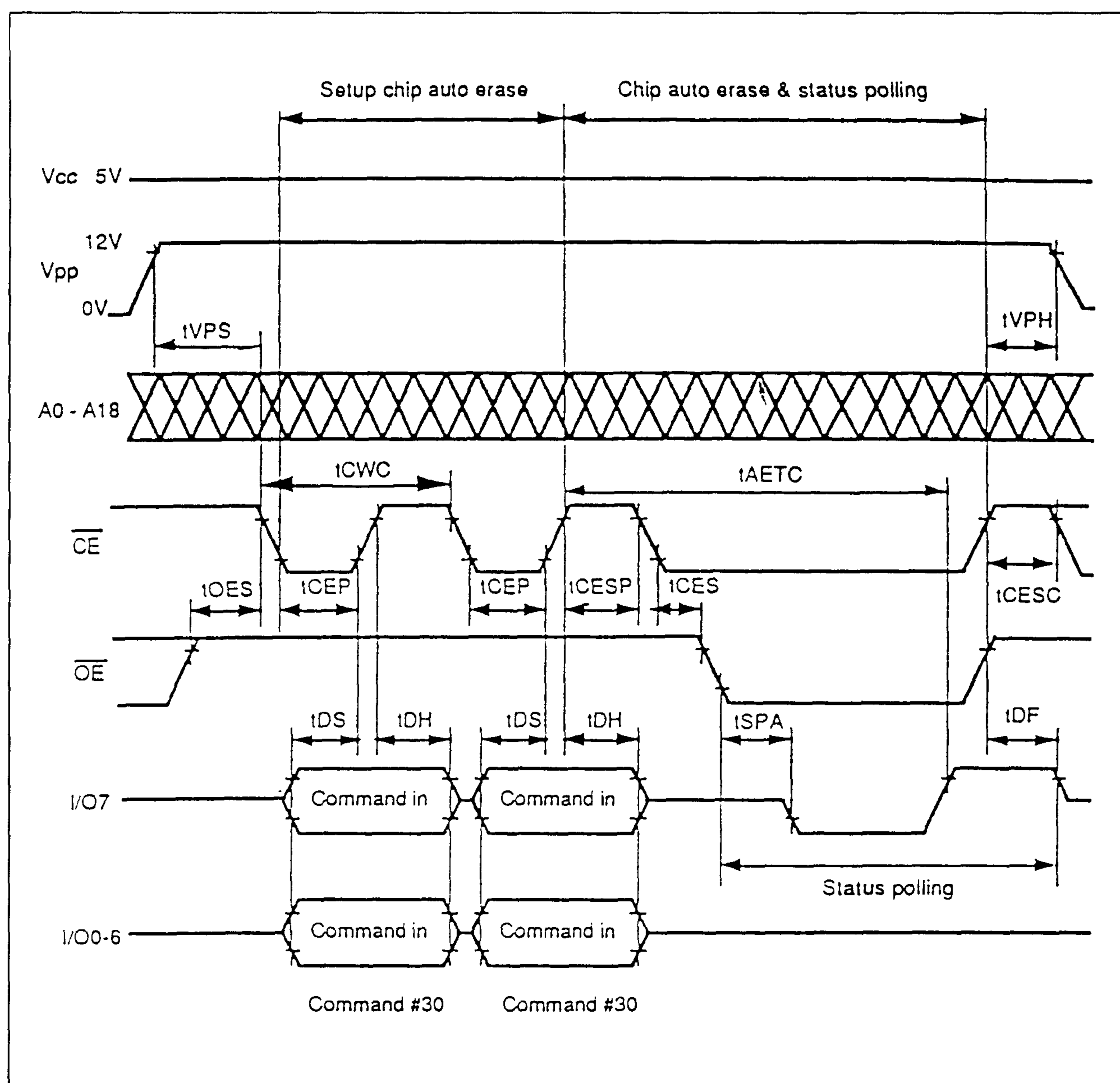
Wis-Verifieer (Erase-Verify) commando
Met het wis-commando worden alle bytes gewist. Na elke wis-operatie moeten alle bytes worden geverifieerd. De wis-verifieer operatie wordt ingeleid door A0H in het Command Register te schrijven.

- **Fast High-Reliability Chip Erase**
  Het is ook mogelijk om sneller en veiliger alle aanwezige data te wissen en te verifiëren. In het flow-diagram van figuur 8/5.4-78 is deze manier aangegeven. Na elke wispuls wordt de status afgevraagd op pen I/O 7 (HOOG na wissen) en kunnen eventueel nieuwe wispulsen worden gegeven. Het wissen van de chip gaat op

5.4 Type-beschrijving Flash-EPROM's

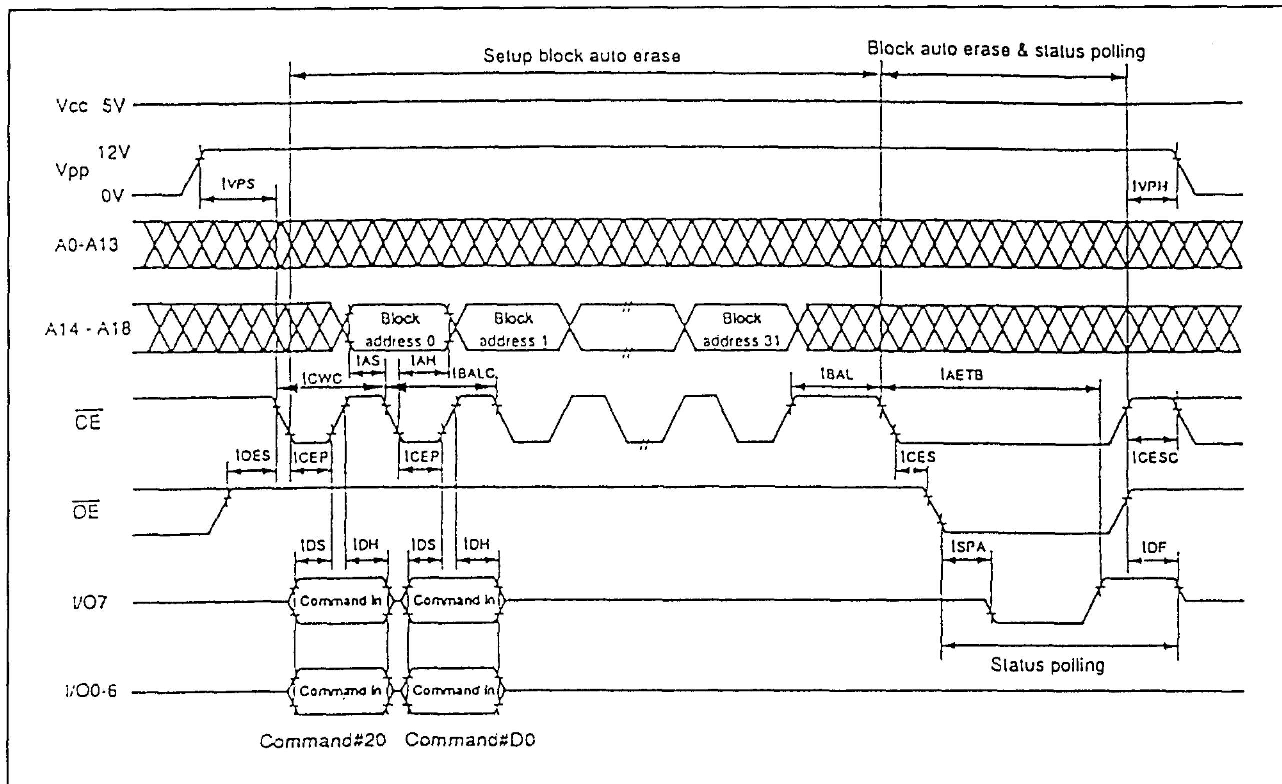
deze manier sneller dan bij het automatisch chip-wissen.

- **Fast High-Reliability Block Erase**
  Het is ook mogelijk om veiliger en sneller alle data in een blok (16 kB x 32 blok) te wissen en te verifiëren. Volgens het flowdiagram (figuur 8/5.4-80) wordt per blok gewist en geverifiëerd. De status wordt afgevraagd op pen I/O 7 (HOOG na wissen) waarna eventueel nieuwe wispulsen worden gegeven. Het wissen per blok gaat op deze manier sneller en betrouwbaarder dan bij het automatisch blokwissen.



Figuur 8/5.4-76: Golfvormen en timing tijdens automatisch chip-wissen.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-77: Golfvormen en timing bij automatisch blok-wissen.

Set-up programmeer en programmeer commando's

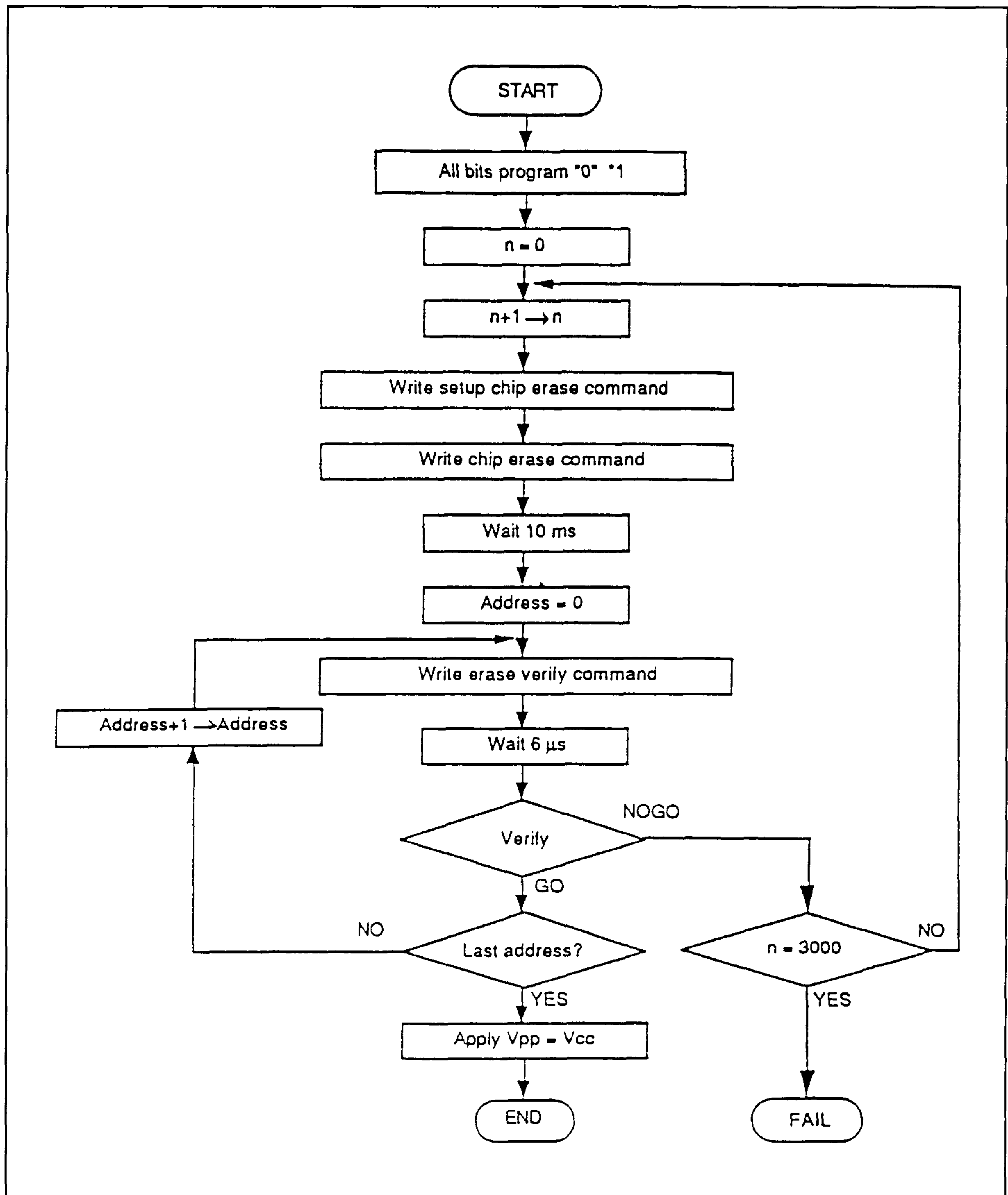
Set-up Program is een commando waardoor het IC wordt klaargezet voor programmeren van de bytes. De set-up operatie wordt uitgevoerd door 40H in het Command Register te schrijven.

Program Verifieer commando

De 28F4001 wordt byte-na-byte geprogrammeerd. Het byte-programmeren kan opeenvolgend of in willekeurige volgorde gebeuren. Na iedere programmeer-operatie moet de zojuist geprogrammeerde byte worden geverifieerd. De program-verifieer operatie wordt ingeleid door C0H in het Command Register te schrijven.

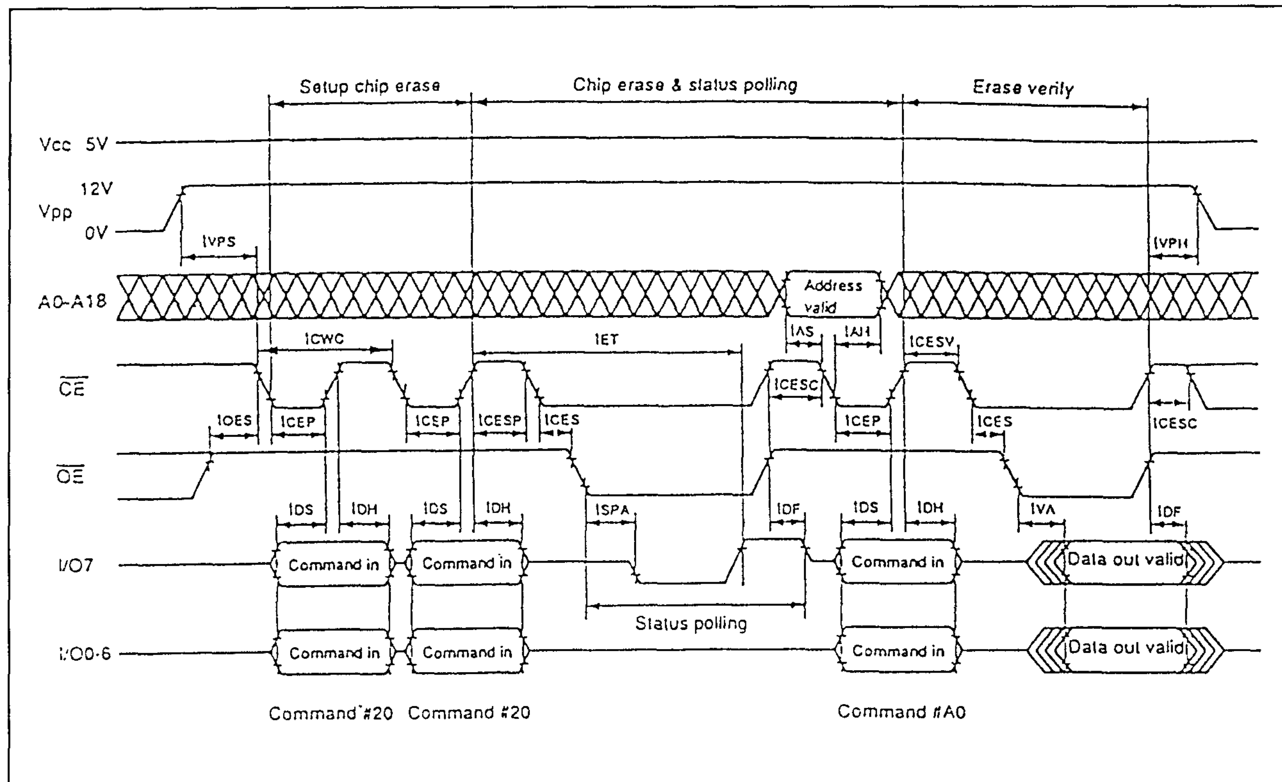
- **Automatisch programmeren/verifiëren**
  Nadat een byte is geprogrammeerd, is verifiëren en aanvullend programmeren met externe signalen niet nodig, omdat deze bewerkingen automatisch door interne schakelingen worden uitgevoerd. Nadat het automatisch verifiëren is gestart, kan door afvragen van de status (polling) op pen I/O 7 worden gecheckt of het programmeren klaar is (zie figuur 8/5.4-82). Tijdens het programmeren is pen I/O 7 HOOG en na het programmeren LAAG. De aansluitingen I/O 0 tot en met I/O 6 zijn dan hoog-impedant.
- **Fast High-Reliability Programming**
  Voor de 28F4001 kan ook de snelle, betrouwbare programmeer-algorithme worden toegepast, waarvoor in figuur 8/5.4-83 het flow-diagram is gegeven. Op deze manier gaat het programmeren sneller en veiliger. Na het programmeren van een byte wordt extern geverifiëerd of de programmering goed ging en kan eventueel aanvullende programmering plaatsvinden. Er kan worden geverifiëerd of het programmeren klaar is door de status af te vragen.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-78: Flow-diagram voor sneller en betrouwbaarder wissen en verifiëren van de chip.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-79: Timing en golfvormen tijdens Fast High-Reliability Chip Erase (zie ook figuur 8/5.4-78 en tabel 8/5.4-65).

Tijdens het programmeren is pen I/O 7 namelijk HOOG en daarna LAAG (I/O 0 tot en met I/O 6 zijn dan hoog-impedant).

Reset commando

De wis- en programmeer-operaties kunnen veilig worden beëindigd met een reset commando. Door de set-up commando's van zowel wissen als programmeren te laten volgen door het schrijven van twee opvolgende FFH's wordt de handeling veilig afgebroken. De inhoud van het geheugen zal hierdoor niet veranderen.

V_{PP}-lijn op printkaarten

Voor het programmeren van flash geheugens die zich in de definitieve schakeling bevinden is het nodig dat de ontwerper aandacht besteed aan het spoor voor V_{PP} in de gedrukte bedrading.
Het wordt aanbevolen dezelfde spoorbreedten en layout-overwegingen te gebruiken als voor de V_{CC}-bus om spanningspieken en overshoots te vermijden.

Overige elektrische kenmerken

De overige elektrische karakteristieken van het NEC-type µPD28F4001 zijn opgenomen in de tabellen 8/5.4-66 tot en met 8/5.4-69.

Item	Symbol	Value	Unit
All input and output voltages *1	Vin, Vout	-0.6 to +7.0	V
A9 voltage *1	V_{ID}	-0.6 to +13.5	V
Vpp voltage *1	V_{PP}	-0.6 to +13.5	V
Vcc voltage *1	V_{CC}	-0.6 to Vcc +0.3	V
Operating temperature range	Topr	-10 to +80	°C
Storage temperature range *3	Tstg	-65 to +125	°C
Storage temperature under bias	Tbias	-10 to +80	°C

Notes : 1. Relative to V_{SS} .
2. Device storage temperature range before programming.

Tabel 8/5.4-66: Maximaal toegelaten waarden.

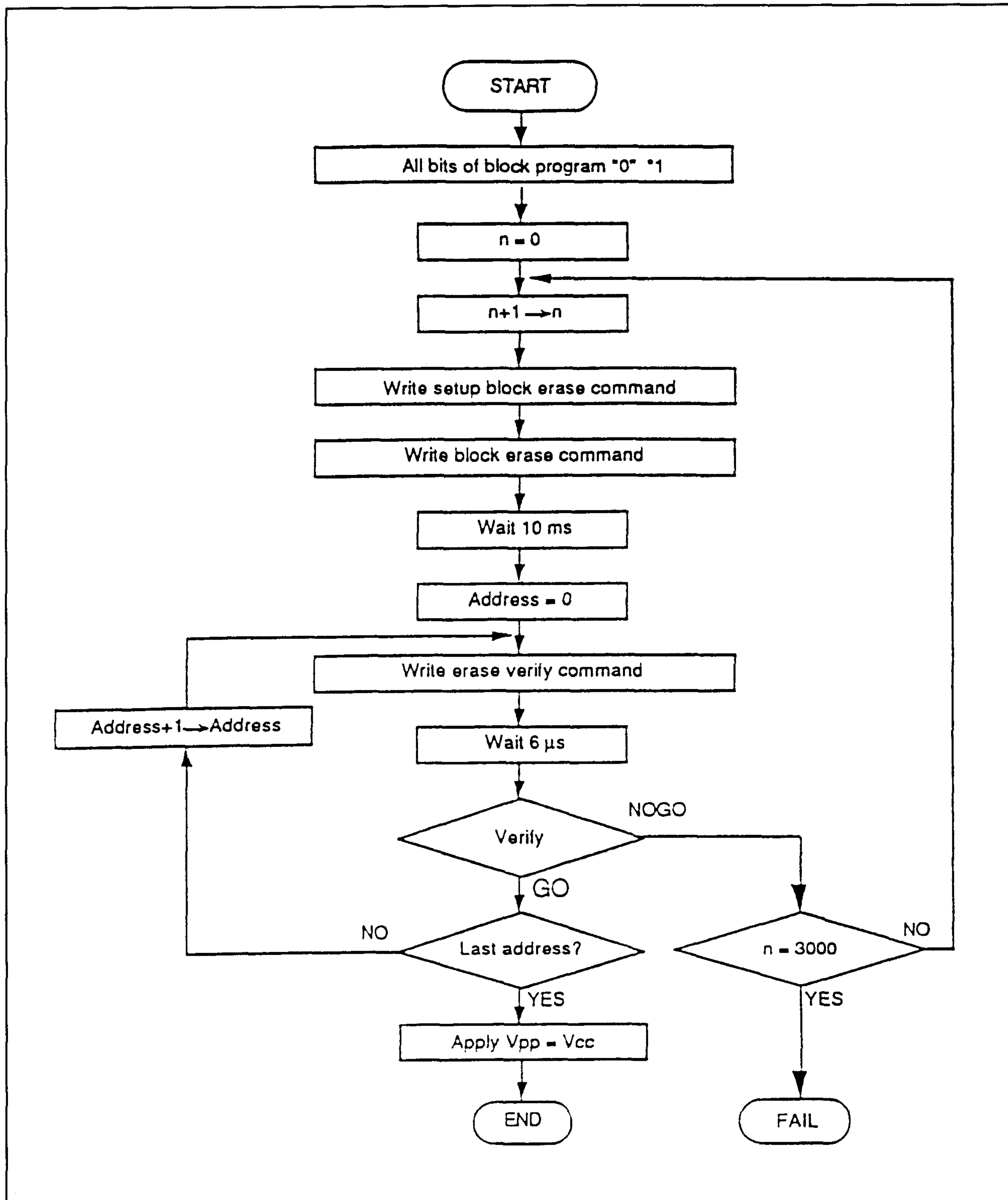
5.4 Type-beschrijving Flash-EPROM's

Item	Symbol	D28F4001 -12 Min	D28F4001 -12 Max	D28F4001 -15 Min	D28F4001 -15 Max	D28F4001 -20 Min	D28F4001 -20 Max	Unit	Test Conditions
V_{PP} setup time	t_{VPS}	100	—	100	—	100	—	ns	
$\overline{OE}$ setup time	t_{OES}	100	—	100	—	100	—	ns	
Command programming cycle	t_{CWC}	120	—	150	—	200	—	ns	
$\overline{CE}$ programming pulse width	t_{CEP}	50	—	50	—	50	—	ns	
Address setup time	t_{AS}	0	—	0	—	0	—	ns	
Address hold time	t_{AH}	60	—	60	—	60	—	ns	
Data setup time	t_{DS}	50	—	50	—	50	—	ns	
Data hold time	t_{DH}	10	—	10	—	10	—	ns	
$\overline{CE}$ setup time before status polling	t_{CESP}	100	—	100	—	100	—	ns	
$\overline{CE}$ setup time	t_{CES}	0	—	0	—	0	—	ns	
$\overline{CE}$ setup time before command write	t_{CESC}	100	—	100	—	100	—	ns	
$\overline{CE}$ setup time before verify	t_{CESV}	6	—	6	—	6	—	µs	
V_{PP} hold time	t_{VPH}	100	—	100	—	100	—	ns	
Output disable time*3	t_{DF}	40	—	50	—	60	—	ns	
Status Polling access time	t_{SPA}	—	120	—	150	—	200	ns	
Verify access time	t_{VA}	—	120	—	150	—	200	ns	
Total erase time in chip auto erase	t_{AETC}	TYP. 26		TYP. 26		TYP. 26		s	
Total erase time in block auto erase	t_{AETB}	TYP. 13		TYP. 13		TYP. 13		s	
Total programming time in auto verify	t_{AVT}	15	300	15	300	15	300	µs	
Standby time in programming	t_{PPW}	10	—	10	—	10	—	µs	
Standby time in erase	t_{ET}	10	—	10	—	10	—	ms	
Block address load cycle	t_{BALC}	70	300	70	300	70	300	ns	
Block address load time	t_{BAL}	1	—	1	—	1	—	µs	

Notes: 1. CE and OE must be fixed high during V_{PP} transition from 5V to 12V or from 12V to 5V.
2. Refer to read operation when $V_{PP} = V_{CC}$ about read operation while V_{PP} 12V.
3. t_{DF} Defined as the time at which the output achieves the open circuit condition and data is no longer driven.

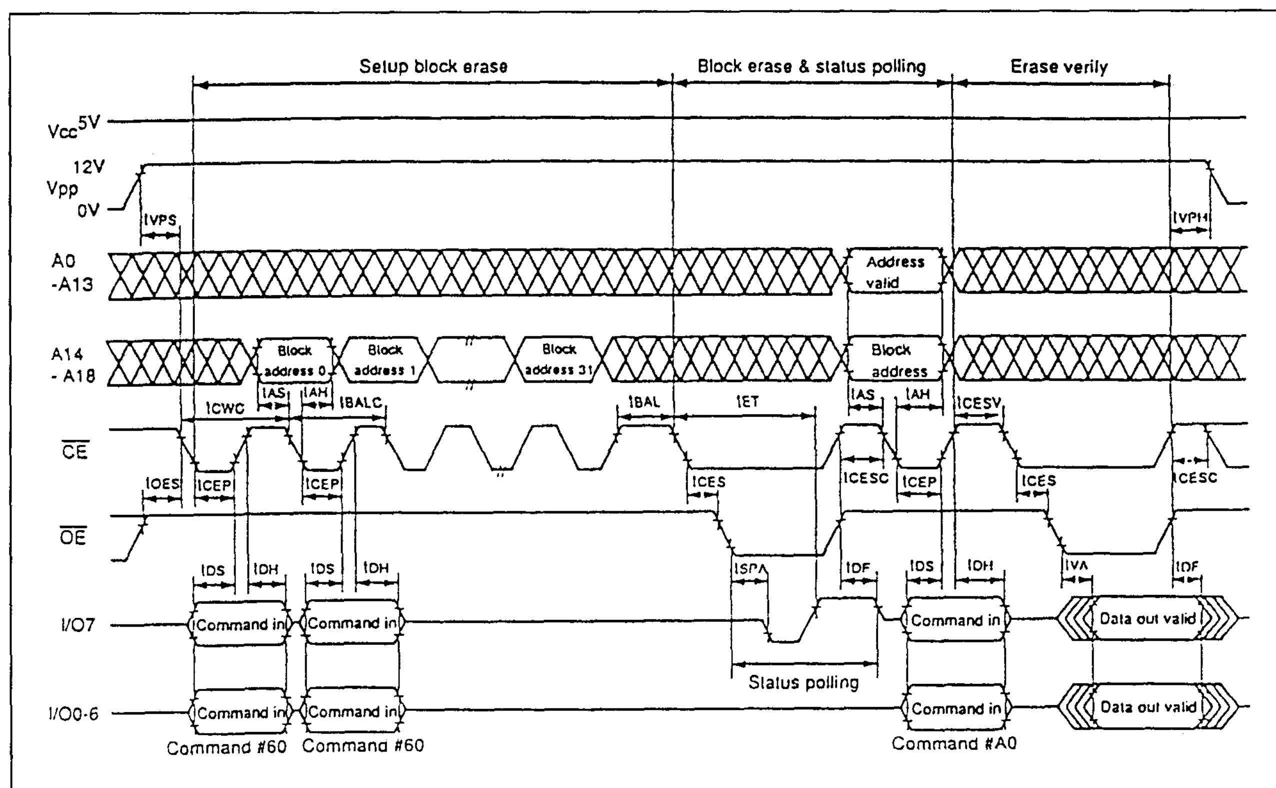
Tabel 8/5.4-65: Schakeltijden tijdens wissen, verifiëren en programmeren van de 28F4001 (V_{PP} = 12 V).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-80: Flow-diagram voor sneller en betrouwbaarder wissen en verifiëren per blok.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-81: Timing en golfvormen tijdens Fast High-Reliability Block Erase (zie ook figuur 8/5.4-80 en tabel 8/5.4-65).

Capacitance(Ta = 25℃, f = 1 MHz)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance	Cin	—	—	14	pF	Vin=0v
Output capacitance	Cout	—	—	16	pF	Vout=0v

Tabel 8/5.4-67: Capaciteiten bij 1 MHz.

DC Characteristics(V_{CC} = 5V ± 10%, V_{PP} = V_{SS} to V_{CC}, Ta = 0 to + 70℃)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Input leakage current	I_{LI}	—	—	10	µA	Vin = V_{SS} to V_{CC}
Output leakage current	I_{LO}	—	—	10	µA	Vout = V_{SS} to V_{CC}
V_{PP} Current	I_{PP1}	—	1	100	µA	V_{PP} = 5.5V
Standby V_{CC} current	I_{SB1}	—	—	1	mA	$\overline{CE}$ = V_{IH}
	I_{SB2}	—	1	100	µA	$\overline{CE}$ = V_{CC} + 0.3V
Operating V_{CC} current	I_{CCA1}	—	—	30	mA	$\overline{CE}$ = V_{IL}, V_{IN} = V_{IH}
	I_{CCA2}	—	—	30	mA	Iout = 0mA, f = 8MHz
Input voltage	V_{IL}	-0.3	—	0.8	V	
	V_{IH}	2.0	—	V_{CC} + 0.3	V	
Output voltage	V_{OL}	—	—	0.45	V	I_{OL} = 2.1mA
	V_{OH}	2.4	—	—	V	I_{OH} = -400µA

Tabel 8/5.4-68: Gelijkstroomkarakteristieken bij het uitlezen van de 28F4001 (V_{ss}<V_{pp}<V_{cc}).

5.4 Type-beschrijving Flash-EPROM's

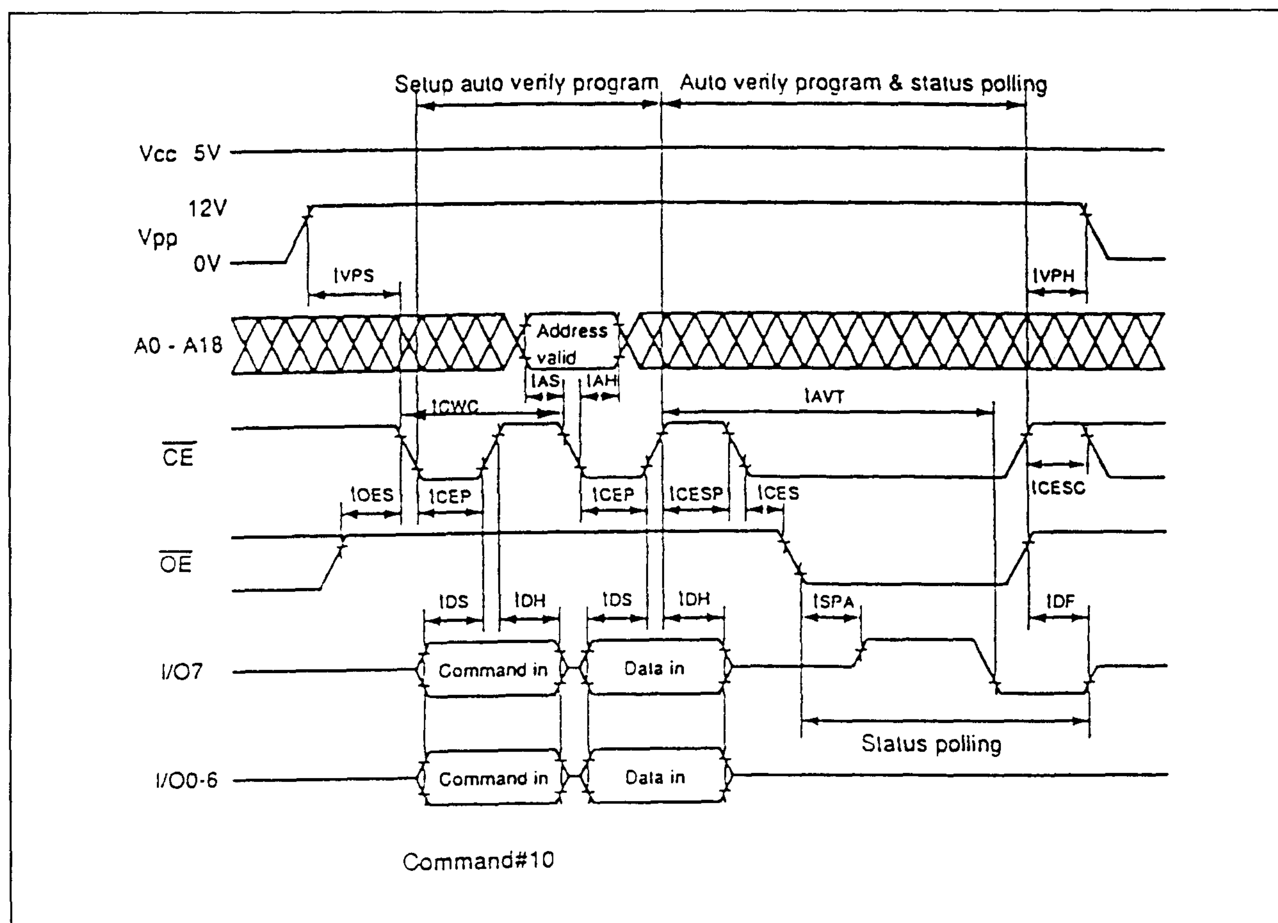
DC Characteristics(V_{CC} = 5V ± 10 %, V_{PP} = 12.0V ± 0.6V, Ta = 0 to + 70℃)

Item		Symbol	Min	Typ	Max	Unit	Test conditions
Input leakage current		I_{LI}	—	—	10	µA	Vin = V_{SS} to V_{CC}
Output leakage current		I_{LO}	—	—	10	µA	Vout = V_{SS} to V_{CC}
Standby V_{CC} current		I_{CCS1}	—	—	1	mA	$\overline{CE}$ = V_{IH}
		I_{CCS2}	—	1	100	µA	$\overline{CE}$ = V_{CC} + 0.3V
Operating V_{CC} current	Read	I_{CCA1}	—	—	30	mA	$\overline{CE}$ = V_{IL}, V_{IN} = V_{IH}
		I_{CCA2}	—	—	30	mA	Iout = 0mA, f = 8MHz
	Program	I_{CCA3}	—	—	30	mA	In programming
	Erase	I_{CCA4}	—	—	30	mA	In erase
	Program verify	I_{CCA5}	—	—	30	mA	In program verify
	Erase verify	I_{CCA6}	—	—	30	mA	In erase verify
V_{PP} Current	Read	I_{PP1}	—	—	20	µA	V_{PP} = 12.6V
	Program	I_{PP2}	—	—	30	mA	In programming
	Erase	I_{PP3}	—	—	30	mA	In erase
	Program verify	I_{PP4}	—	—	30	mA	In program verify
	Erase verify	I_{PP5}	—	—	30	mA	In erase verify
Input voltage		V_{IL}	-0.3	—	0.8	V	
		V_{IH}	2.0	—	V_{CC} + 0.3 *5	V	
Output voltage		V_{OL}	—	—	0.45	V	I_{OL} = 2.1mA
		V_{OH}	2.4	—	—	V	I_{OH} = -400µA

Notes: 1. V_{CC} must be applied before V_{PP} and removed after V_{PP}.
2. V_{PP} must not exceed 14V including overshoot.
3. An influence may be had upon device reliability if the device is installed or removed while V_{PP} = 12V.
4. Do not alter V_{PP} either V_{IL} to 12V or 12V to V_{IL} when CE = V_{IL}.
5. If V_{IH} is ober the specified maximum value, programming operation cannot be guaranteed.

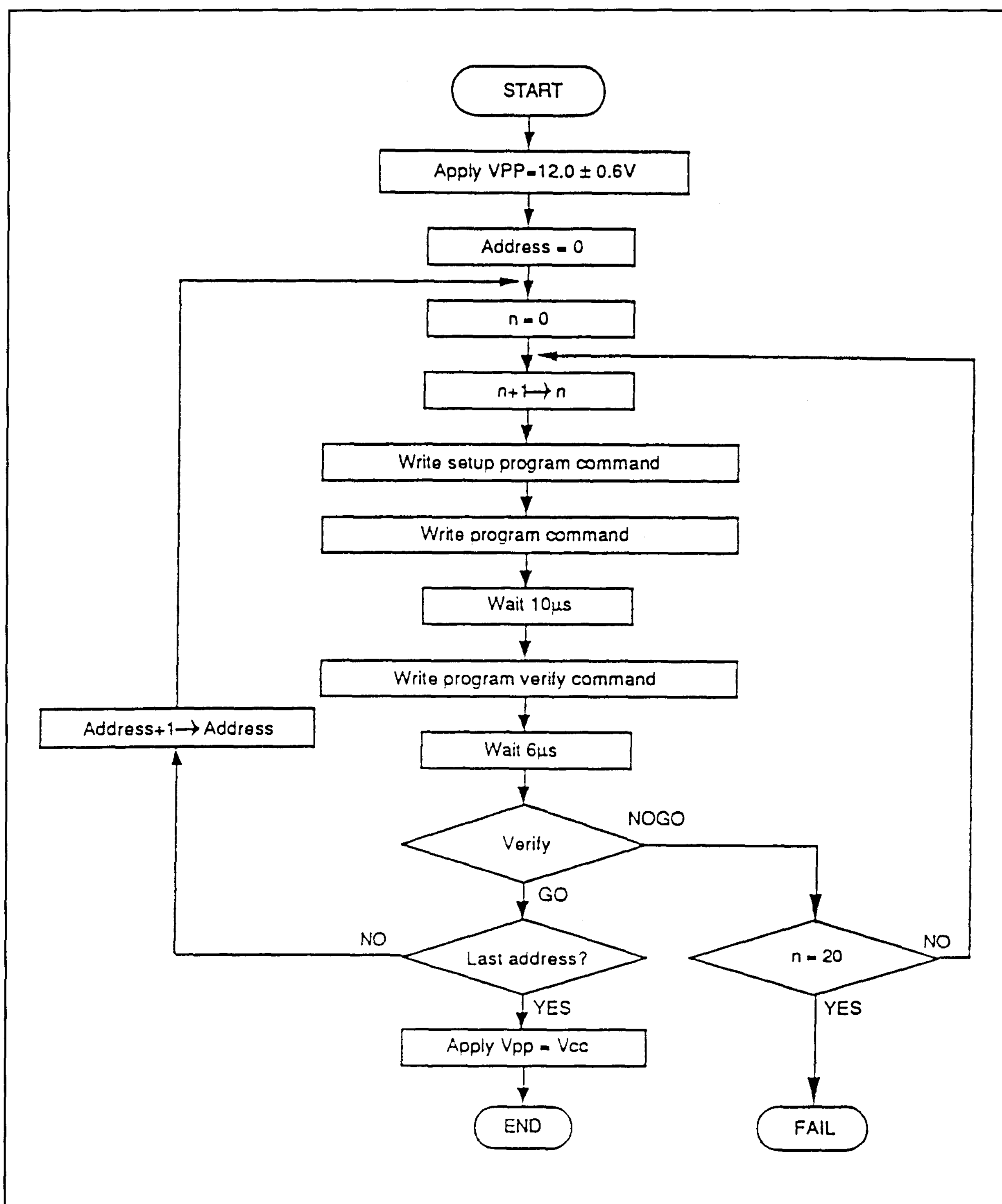
Tabel 8/5.4-69: Overige gelijkstroomkarakteristieken bij lezen, programmeren, wissen en verifiëren met V_{pp} = 12 V.

5.4 Type-beschrijving Flash-EPROM's



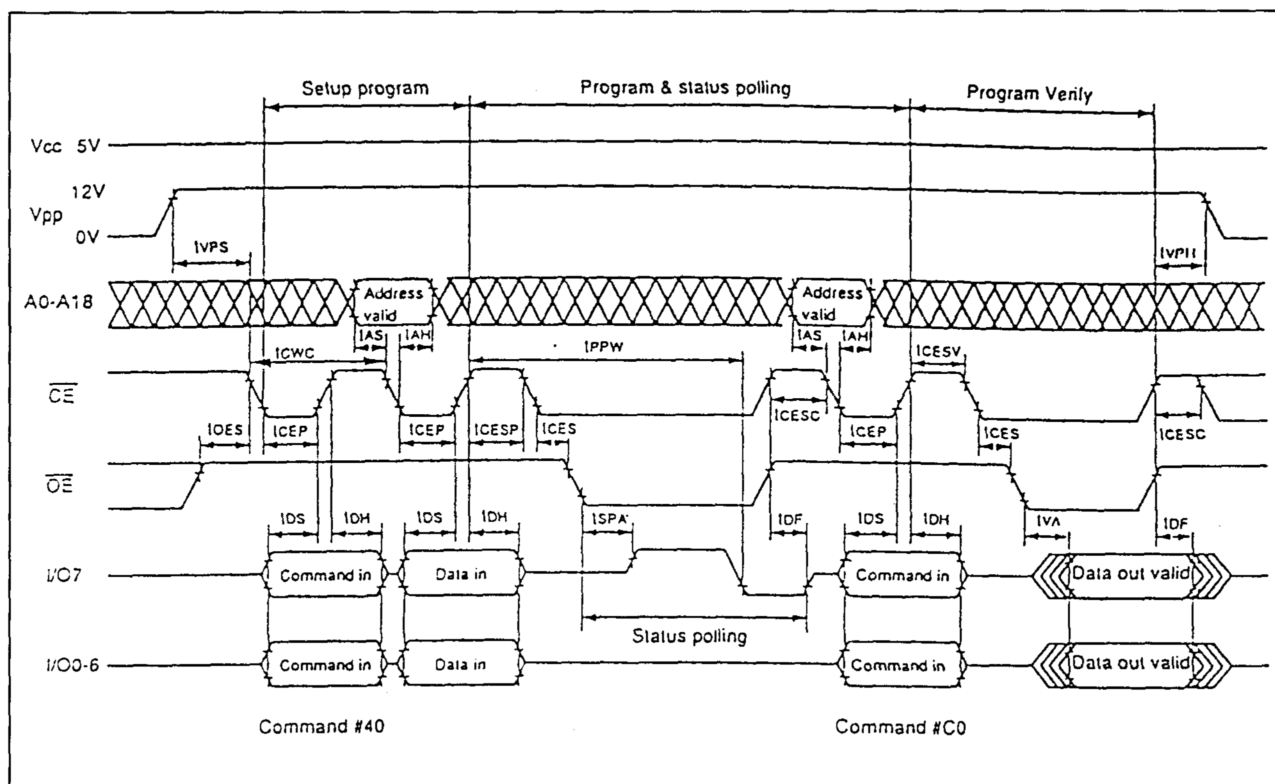
Figuur 8/5.4-82: Automatisch programmeren/verifiëren.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-83: Flow-diagram voor sneller en betrouwbaarder programmeren en verifiëren.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-84: Timing en golfvormen tijdens Fast High-Reliability Programming (zie ook figuur 8/5.4-83 en tabel 8/5.4-65).

28F101(A, B), 28V101A/B

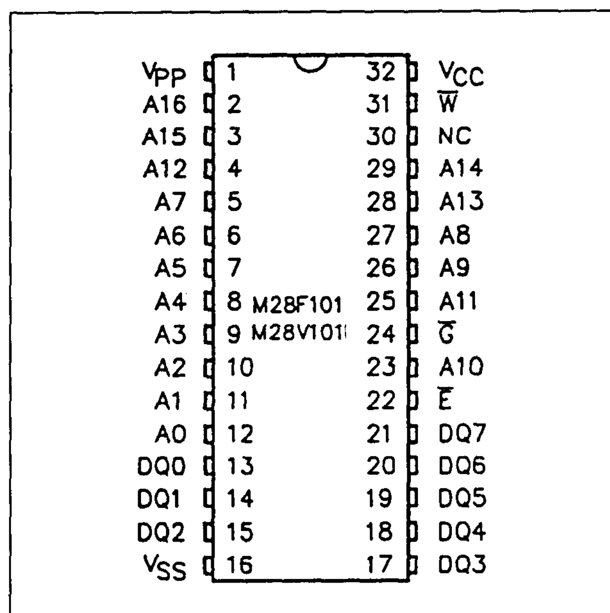
128 k x 8 bit CMOS Flash EPROM

De 28F101 is een 1 MB Flash geheugen met een organisatie van 128 k x 8 bit. Het geheugen kan in één keer elektrisch worden gewist, terwijl het byte-voor-byte wordt geprogrammeerd. De 28F101 maakt voor de instelling van de bedrijfsmodes gebruik van een commando-register, zodat een eenvoudige interface voldoende is voor aansluiting op een microprocessor. De 28F101 is leverbaar in drie typen: 28F101, 28F101A en 28F101B, waarvan het A- en B-type ook in de Low-Voltage uitvoering (3,3 V +/- 0,3 V: 28V101A, 28V101B) verkrijgbaar is. Alle typen worden geprogrammeerd met een spanning van 12 V, hetgeen ook binnen het systeem kan gebeuren, en bevinden zich in een 32-pens DIL-behuizing, een 32-pens PLCC of een 32-pens TSOP-behuizing (ook reverse). De 28F101 heeft toegangstijden tussen 60 en 200 ns en om busconflicten te voorkomen zijn er aparte Chip Enable (Ē), Write Enable (W̄) en Output Enable (Ḡ) ingangen. De 28F101 berust op een technologie die overeenkomt met die van een 1 MB EPROM, maar heeft door het elektrisch wissen en programmeren meer functionaliteit. De functies die via het commando-register worden geadresseerd, hangen af van de programmeerspanning V_{PP}. Als V_{PP} lager is dan 6,5 V is het commando-register gesperd en kan de 28F101 alleen worden uitgelezen, waarbij wel de EPROM-functies (read, output-disable, electric signature read en standby) operationeel zijn. Wordt V_{PP} op 12 V gebracht, dan is het commando-register vrijgegeven en kan er ook gewist en geprogrammeerd worden.

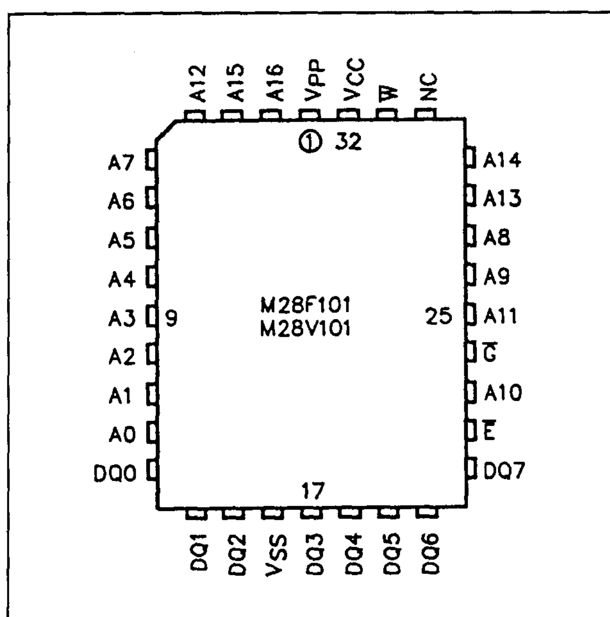
Specificaties

- 131.072 x 8 bit organisatie
- voedingsspanning:
  28F101(A/B): 5 V +/-10 %

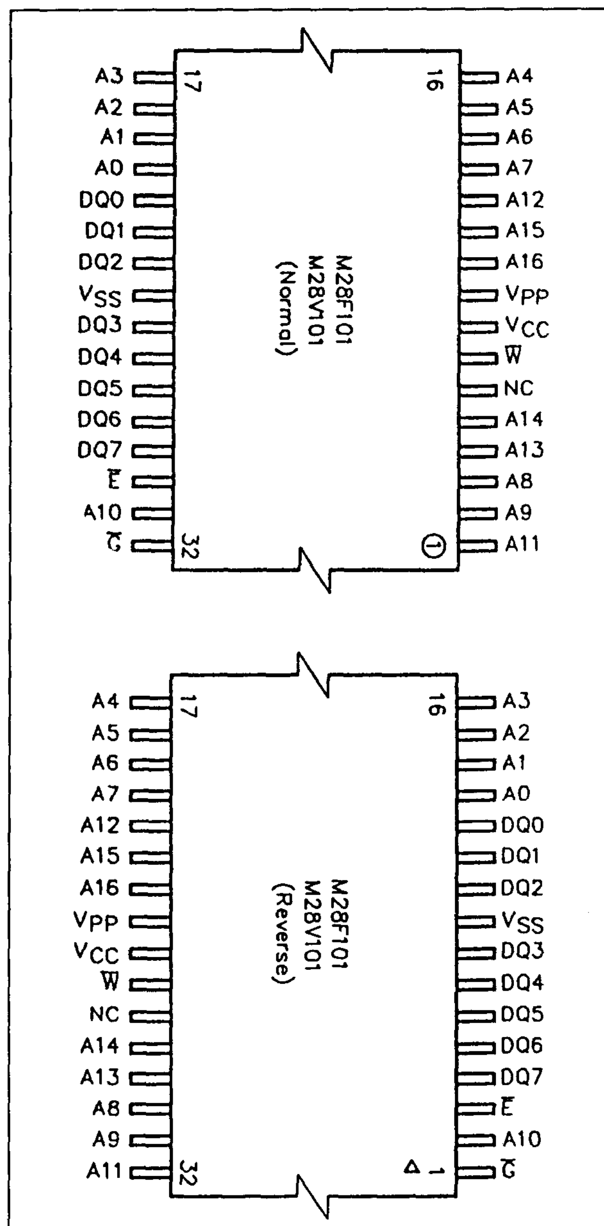
5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-85: Aansluitingen van de 32-pens DIL-versie van de 28F101(A/B) of 28V101A/B.



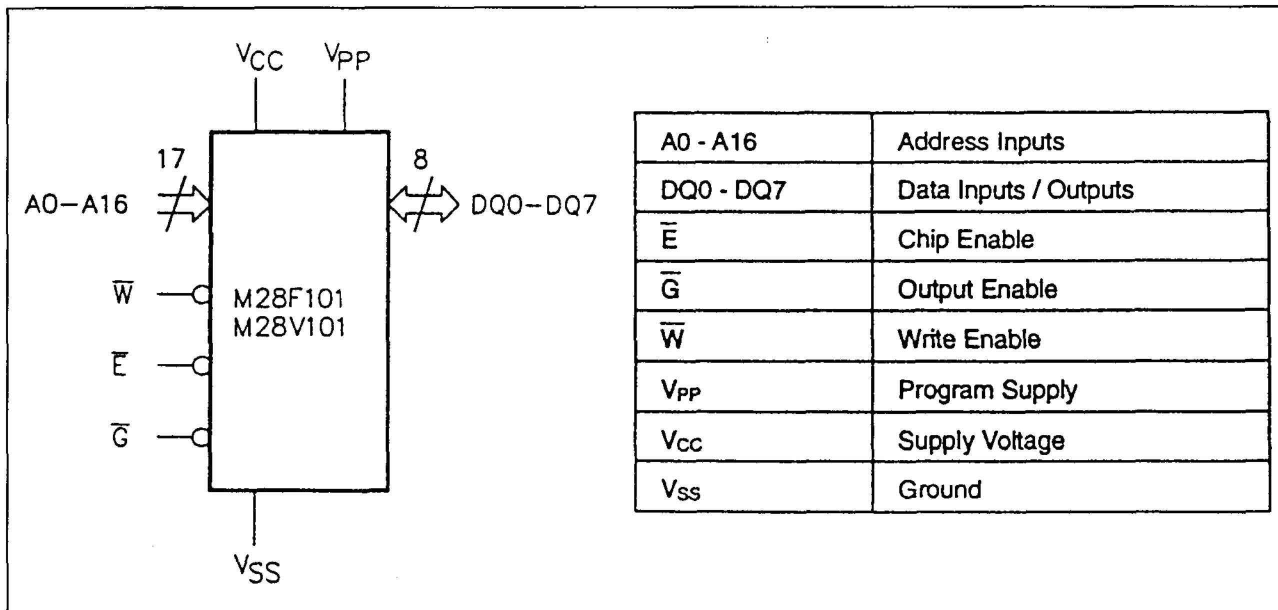
Figuur 8/5.4-86: Aansluitingen van de 32-pens kunststof LCC-versie van de 28F101(A/B) of 28V101A/B.



Figuur 8/5.4-87: Boven: de standaard TSOP-uitvoering van de 28F101(A/B) of 28V101A/B; onder: de geïnverteerde TSOP-versie (Thin Small Outline Package).

28V101A(B): 3,3 V +/-0,3 V
- 12 V programmeerspanning
- low power CMOS: 100 µA standby-stroom
- toegangstijden: 60 tot 200 ns (low-voltage: vanaf 150 ns)
- elektrisch wissen: 1 s (gehele chip)

5.4 Type-beschrijving Flash-EPROM's



A0 - A16	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/5.45-88: Logisch symbool en aansluitingen van de 28F101(A/B) en 28V101A/B.

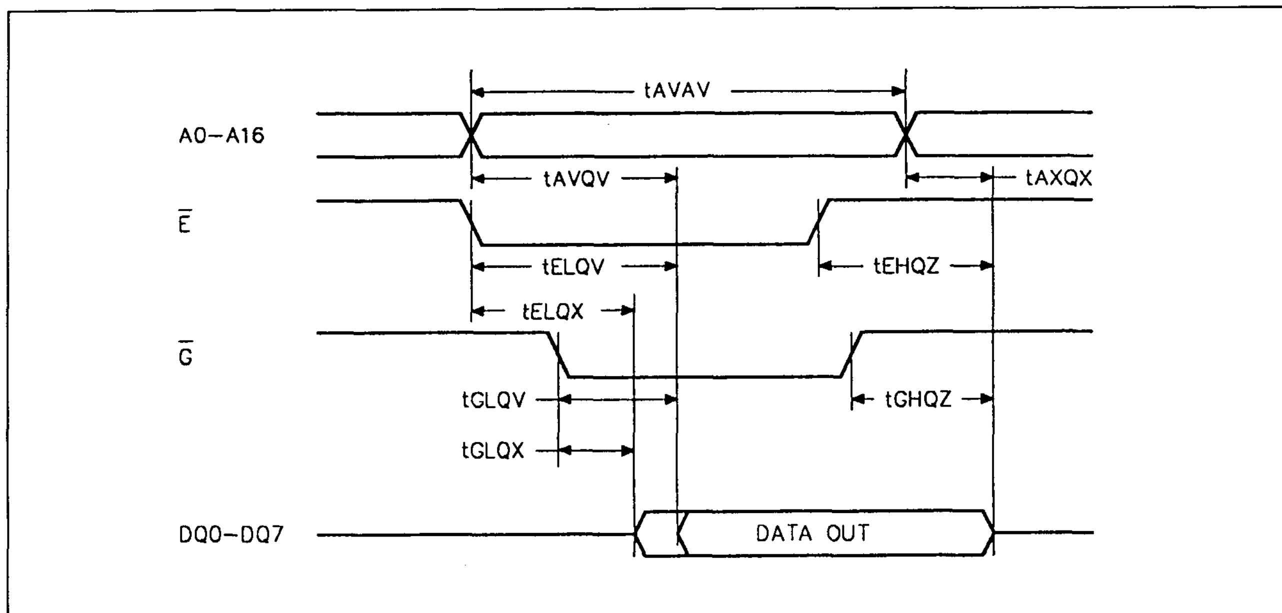
	V_{PP}	Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	A9	DQ0 - DQ7
Read Only	V_{PPL}	Read	V_{IL}	V_{IL}	V_{IH}	A9	Data Output
		Output Disable	V_{IL}	V_{IH}	V_{IH}	X	Hi-Z
		Standby	V_{IH}	X	X	X	Hi-Z
		Electronic Signature	V_{IL}	V_{IL}	V_{IH}	V_{ID}	Codes
Read/Write (2)	V_{PPH}	Read	V_{IL}	V_{IL}	V_{IH}	A9	Data Output
		Write	V_{IL}	V_{IH}	V_{IL} Pulse	A9	Data Input
		Output Disable	V_{IL}	V_{IH}	V_{IH}	X	Hi-Z
		Standby	V_{IH}	X	X	X	Hi-Z

Notes: 1. X = V_{IL} or V_{IH}
2. Refer also to the Command Table

Tabel 8/5.4-70: Bedrijfsmodes van de 28F101.

- 10 µs byte-programmeertijd (presto F algorithme)
- geïntegreerde wis/programmeer-stop timer
- minimaal 10.000 wis/programmeercycli mogelijk (28F101A: 100.000)
- behuizingen: 32-pens DIL, PLCC of TSOP (figuur 8/5.4-85, -86 en -87)
- fabrikant:
  SGS-Thomson: M28F101, M28F101A, M28F101B, M28V101A, M28V101B

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-89: Timing en golfvormen bij het uitlezen van de 28F101 in de Read Only-mode.

Read Only Modes ($V_{PP} \leq 6{,}5$ V)

Voor alle Read Only modes, behalve de standby-mode, dient de write enable-ingang W̄ HOOG te zijn. In de standby-mode maakt de toestand van W̄ niet uit.

Read Mode

De 28F101 (28V101) heeft twee enable-functies (Ē en Ḡ) die beide LAAG moeten zijn om data op de uitgangen te verkrijgen. De chip-enable Ē is de besturing van de voeding en wordt gebruikt om het geheugen te selecteren. De output-enable Ḡ bestuurt de uitgang en dient voor het aanbieden van data op de uitgangen. In figuur 8/5.4-89 is de timing voor het uitlezen te zien.

Standby Mode

In de standby-mode wordt de voedingsstroom verminderd van 30 mA naar 100 µA. Het geheugen wordt in de standby toestand gezet door de chip enable-ingang Ē HOOG te maken. De uitgangen zijn daarbij hoogimpedant, ongeacht het output enable-signaal Ḡ.

Output Disable

Door de output enable-ingang Ḡ HOOG te maken worden de uitgangen in een hoogimpedante toestand gezet.

Electronic Signature

In deze mode kunnen twee binaire codes ter identificatie van fabrikant en type worden uitgelezen. Dit is bedoeld voor automatische programmeer-apparatuur, die daardoor het juiste wis- en programmeer-algorithme kan kiezen. De electronic signature-mode wordt geaktiveerd door een hoge spanning (V_{ID} = 11,5 V tot 13 V) op adrespen A9 te zetten, terwijl Ē en Ḡ beide LAAG zijn.
Met A0 = LAAG verschijnt de fabrikantcode (SGS-Thomson: 20H) en met A0 = HOOG de device-code (M28F101: 07H, M28F101B: EEH, M28V101B: EFH). Tijdens het uitlezen van de codes moeten de overige adreslijnen LAAG worden gehouden.

Read/Write Modes ($11{,}4\text{ V} \leq V_{PP} \leq 12{,}6$ V)

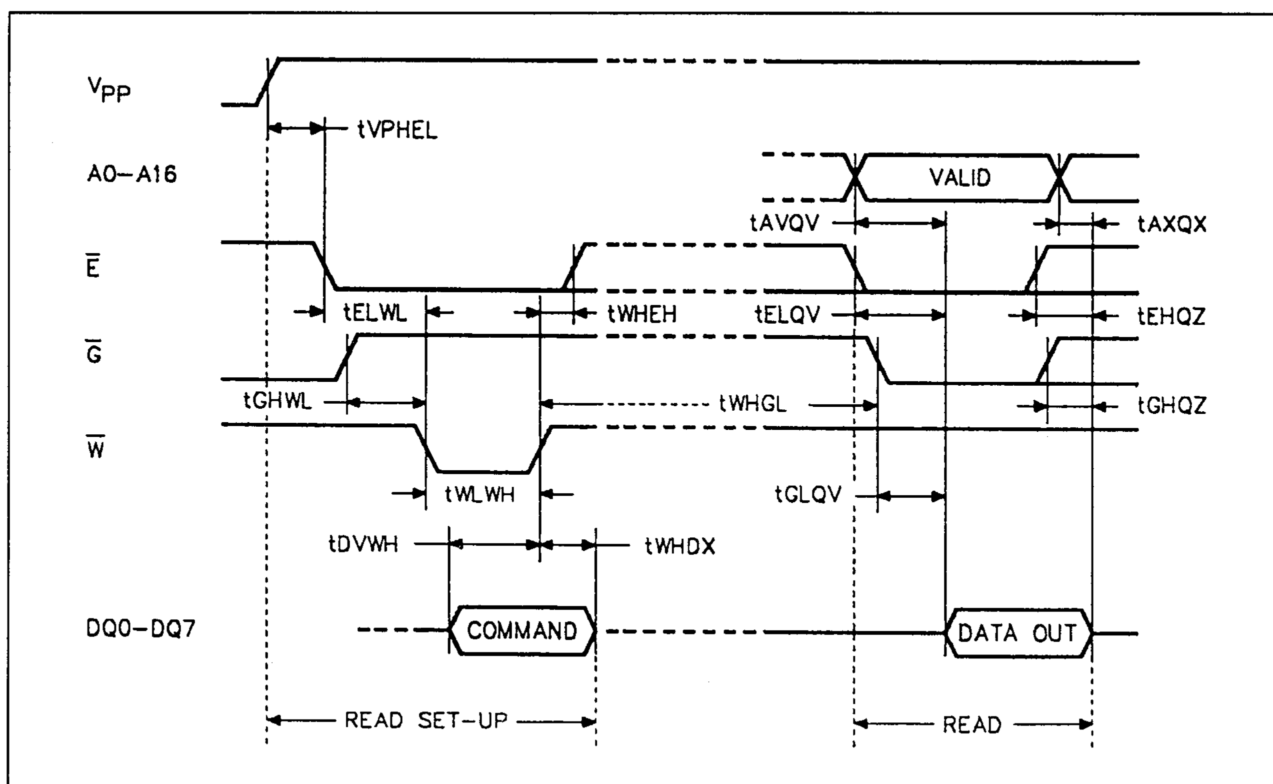
Als V_{PP} hoog (12 V) is kunnen zowel lees- als schrijfhandelingen worden verricht.

5.4 Type-beschrijving Flash-EPROM's

Command	Cycles	1st Cycle			2nd Cycle		
		Operation	A0-A16	DQ0-DQ7	Operation	A0-A16	DQ0-DQ7
Read	1	Write	X	00h			
Electronic Signature	2	Write	X	90h	Read	00000h	20h
					Read	00001h	07h
Setup Erase/	2	Write	X	20h			
Erase					Write	X	20h
Erase Verify	2	Write	A0-A16	0A0h	Read	X	Data Output
Setup Program/	2	Write	X	40h			
Program					Write	A0-A16	Data Input
Program Verify	2	Write	X	0C0h	Read	X	Data Output
Reset	2	Write	X	0FFh	Write	X	0FFh

Note: 1. X = V_{IL} or V_{IH}

Tabel 8/5.4-71: De commando's voor de 28F101 worden met twee cycli ingevoerd.



Figuur 8/5.4-90: Golfvormen en timing bij het invoeren van een commando en het uitlezen van data.

5.4 Type-beschrijving Flash-EPROM's

Deze worden gedefinieerd door de inhoud van het interne commando-register (zie tabel 8/5.4-70). Voor het schrijven van de commando's zijn telkens twee cycli nodig: set-up en execute.
Elke mode begint met een schrijf-operatie voor de set-up, gevolgd door een lees- of schrijf-operatie (zie tabel 8/5.4-71). Het geheugen verwacht dat de eerste cyclus een schrijf-operatie is en laat alle data met rust.
De lees-mode wordt met slechts één cyclus ingesteld en kan worden gevolgd door een willekeurig aantal lees-operaties. De electronic-signature read-mode wordt opgezet met één cyclus, gevolgd door een leescyclus voor de fabrikant- of device-code. Er wordt in het commando-register geschreven door $\overline{W}$ LAAG te maken terwijl $\overline{E}$ LAAG is (zie figuur 8/5.4-90). Voor commando's die een adres of een commando-signaal nodig hebben of data leveren wordt het adres op de dalende flank van $\overline{W}$ gelatcht en de data op de stijgende flank. Wanneer de voedingsspanning van het geheugen pas is ingeschakeld en $V_{PP} \leq 6{,}5$ V wordt de inhoud van het commando-register op 00H gezet, zodat het geheugen automatisch in de lees-mode komt. Natuurlijk kan het commando-register ook met een specifiek commando op 00H worden gezet. De systeem-ontwerper heeft de keus om V_{PP} voortdurend hoog te laten en de register-commando's voor alle operaties te gebruiken of om V_{PP} alleen van laag naar hoog te schakelen als dat nodig is om het geheugen te wissen of te programmeren. Als V_{CC} beneden de Erase/Write Lockout-spanning komt (V_{LKO} = 2,5 V), wordt de toegang tot het commando-register versperd. Als de 28F101 tijdens het wissen, programmeren of verifiëren niet langer geselecteerd is, blijft er een aktieve voedingsstroom lopen totdat de operaties beëindigd zijn. Het geheugen is beveiligd tegen overbelasting door langdurig wissen of programmeren. Als wis- of programmeer-operaties niet binnen een maximaal toegelaten tijd worden afgesloten met een verificatiecyclus, stopt een interne timer automatisch de handeling. Het geheugen verkeert daarna in een niet-aktieve toestand en staat klaar om een verificatie of reset-operatie uit te voeren.

Read mode

Na het opkomen van de voedingsspanning of door 00H in het commando-register te schrijven staat het geheugen in de leesmode. De 28F101 blijft in de lees-mode tot een nieuw commando in het commando-register wordt geschreven.

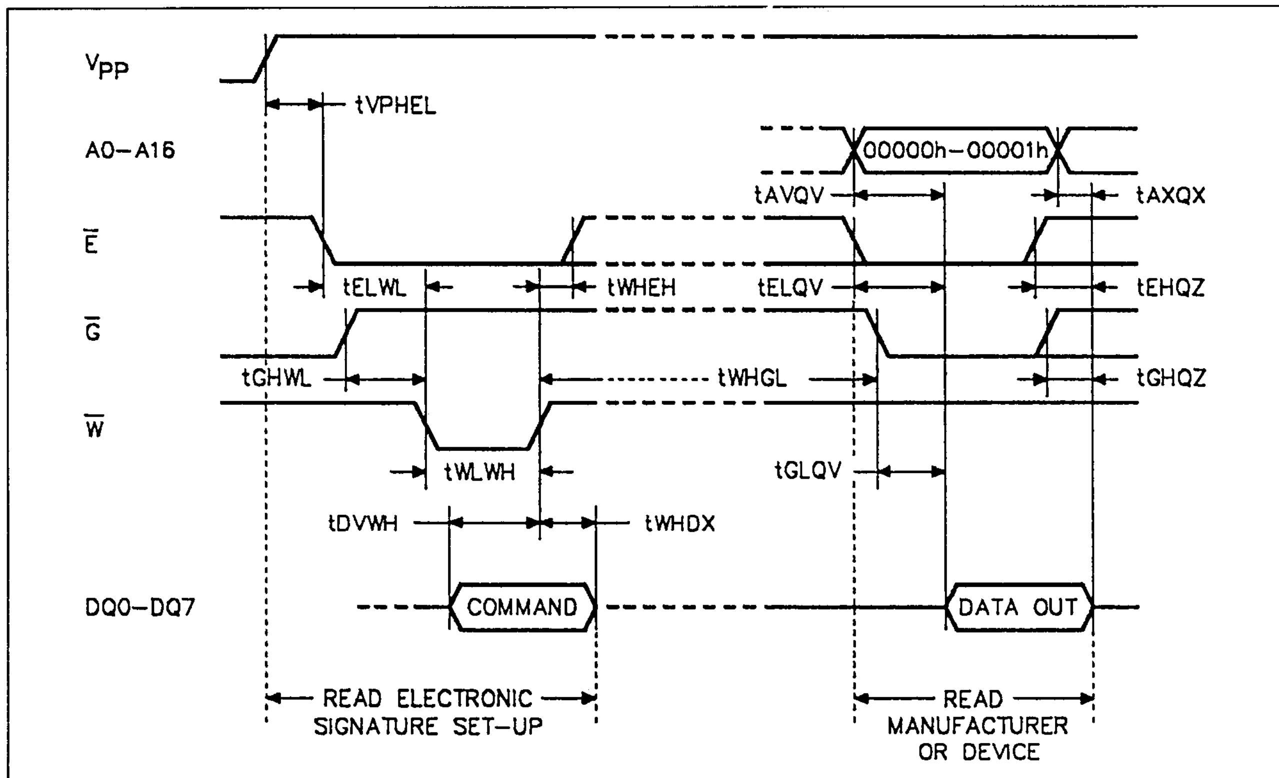
Electronic Signature

Om voor "on board" programmeren de juiste wis- en programmeer algorithmen te kunnen kiezen zijn de fabrikant- en type-code direkt uitleesbaar. Het is niet nodig om een hoge spanning op A9 te zetten als het commando-register wordt gebruikt. De Electronic Signature-mode wordt ingesteld door 80H of 90H in het commando-register te schrijven. Bij de daarna volgende lees-cyclus op adres 00000H of 00001H verschijnt de fabrikant- of device-code. Het commando wordt beëindigd door een ander geldig commando naar het commando-register te schrijven.

Identifier	A0	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0	Hex Data
Manufacturer's Code	V_{IL}	0	0	1	0	0	0	0	0	20h
Device Code	V_{IH}	0	0	0	0	0	1	1	1	07h

Tabel 8/5.4-72: Electronic Signature (in dit voorbeeld voor de 28F101).

5.4 Type-beschrijving Flash-EPROM's



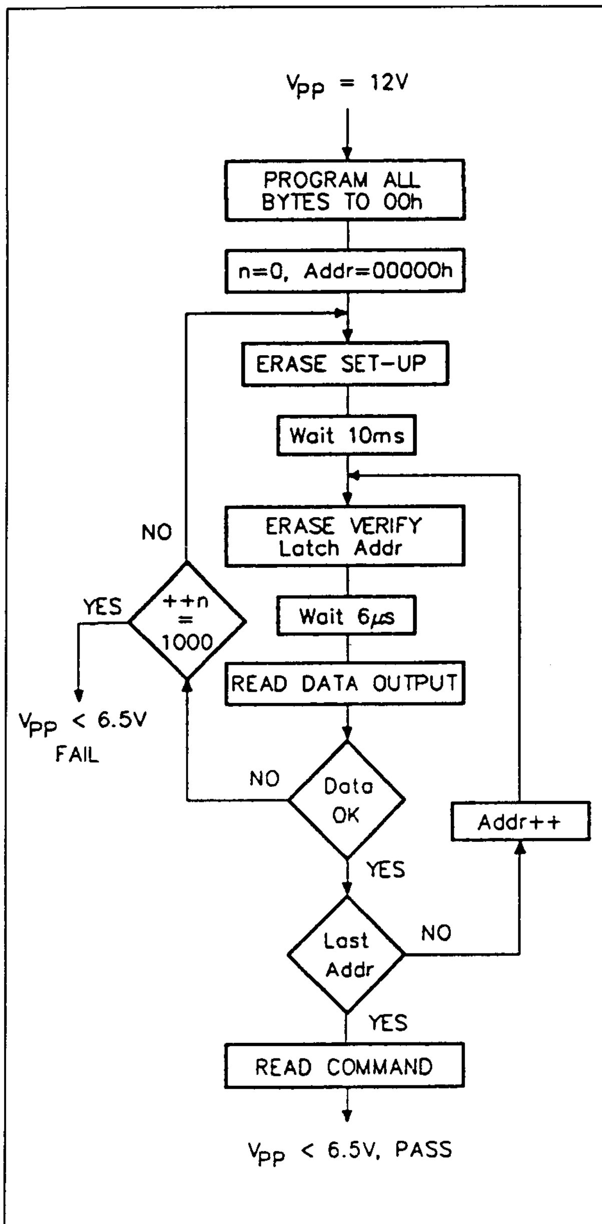
Figuur 8/5.4-91: Timing en golfvormen tijdens het Electronic Signature-commando.

In deze mode kunnen twee binaire codes ter identificatie van fabrikant en type worden uitgelezen. Dit is bedoeld voor automatische programmeer-apparatuur, die daardoor de juiste wis- en programmeer-algorithme kan kiezen. De electronic signature-mode wordt geaktiveerd door een hoge spanning (V_{ID} = 11,5 V tot 13 V) op adrespen A9 te zetten, terwijl $\overline{E}$ en $\overline{G}$ beide LAAG zijn.
Met A0 = LAAG verschijnt de fabrikantcode (SGS-Thomson: 20H) en met A0 = HOOG de device-code (M28F101: 07H, M28F101B: EEH, M28V101B: EFH). Tijdens het uitlezen van de codes moeten de overige adreslijnen LAAG worden gehouden.

Erase en Erase Verify Modes
Het geheugen wordt gewist door eerst alle bytes op 00H te programmeren, waarna het wis-commando ze op 0FFH zet. Hierna wordt het wis-verifieer commando gebruikt om het geheugen byte-voor-byte te checken op 0FFH-inhoud.

Het wis-commando wordt ingezet door 20H in het commando-register te schrijven. De schrijfcyclus wordt dan herhaald om de wis-operatie te laten beginnen. Het wissen begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Het wissen wordt gevolgd door een wis-verificatie die een geadresseerde byte uitleest.
De wis-verificatie mode wordt ingezet door 0A0H naar het commando-register te schrijven en tegelijkertijd het adres van de te verifiëren byte te geven. De stijgende flank van $\overline{W}$ gedurende de set-up van de eerste wis-verifieer mode stopt de wis-operatie. Wanneer bij de volgende leescyclus 0FFH wordt uitgelezen, betekent dit dat alle bits van het geadresseerde byte volledig zijn gewist. De gehele inhoud van het geheugen wordt geverifieerd door de wis-verifieer operatie te herhalen: eerst worden de set-up code 0A0H en het adres van het te checken byte geschreven, gevolgd door het uitlezen van het byte tijdens de tweede leescyclus.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-92: Flow-diagram voor het wissen.

Zoals in het flow-diagram van het wis-algorithme (figuur 8/5.4-92) te zien is, wordt nog een wis-operatie uitgevoerd als de tijdens Erase Verify gelezen data geen 0FFH is en gaat het wissen verder vanaf het laatst geverifieerde byte. Het commando wordt beëindigd door een ander geldig commando naar het commando-register te schrijven (bijvoorbeeld program of reset). In figuur 8/5.4-93 is de bijbehorende timing te zien.

Program en Program Verify Modes
De programmeer-mode wordt opgezet door 40H in het commando-register te schrijven. Hierna volgt een tweede schrijfcyclus die het adres en de data van het te programmeren byte latcht. De programmeer-operatie begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Na het programmeren wordt de geschreven data geverifieerd.
De Program Verify-mode wordt opgezet met het schrijven van 0C0H in het commando-register. De programmeer-operatie wordt gestopt door de stijgende flank van $\overline{W}$ tijdens het instellen van de program verify-mode. Het hierna volgende uitlezen van het reeds gelatchte adres wordt gedaan met een intern gegenereerde marge-spanning.

Reset Mode
Dit commando wordt gebruikt om veilig het wissen of programmeren te verlaten. De Reset-mode wordt opgezet en uitgevoerd door tweemaal 0FFH in het commando-register te schrijven. Na dit commando moet een geldig commando (bijvoorbeeld Read) in het commando-register worden gezet.

Presto F wis-algorithme
Het Presto F Erase Algorithme garandeert dat het geheugen op een betrouwbare manier wordt gewist. Het algorithme programmeert eerst alle bytes op 00H om een uniform wissen mogelijk te maken (dit programmeren gebeurt volgens de Presto F programmeer algorithme). Het wissen wordt opgezet door 20H in het commando-register te schrijven en start door deze schrijfcyclus te herhalen. Erase Verify wordt ingesteld door 0A0H naar het commando-register te schrijven, samen met het adres van het byte dat moet worden geverifieerd. De hierna komende leescyclus leest de data die wordt vergeleken met 0FFH. Erase Verify begint op adres 0000H en gaat door tot het laatste adres of totdat de vergelijking met 0FFH mis gaat. Als dit gebeurt, wordt het adres van het laatst gecheckte byte opgeslagen en wordt een nieuwe wis-operatie uitgevoerd. Erase Verify

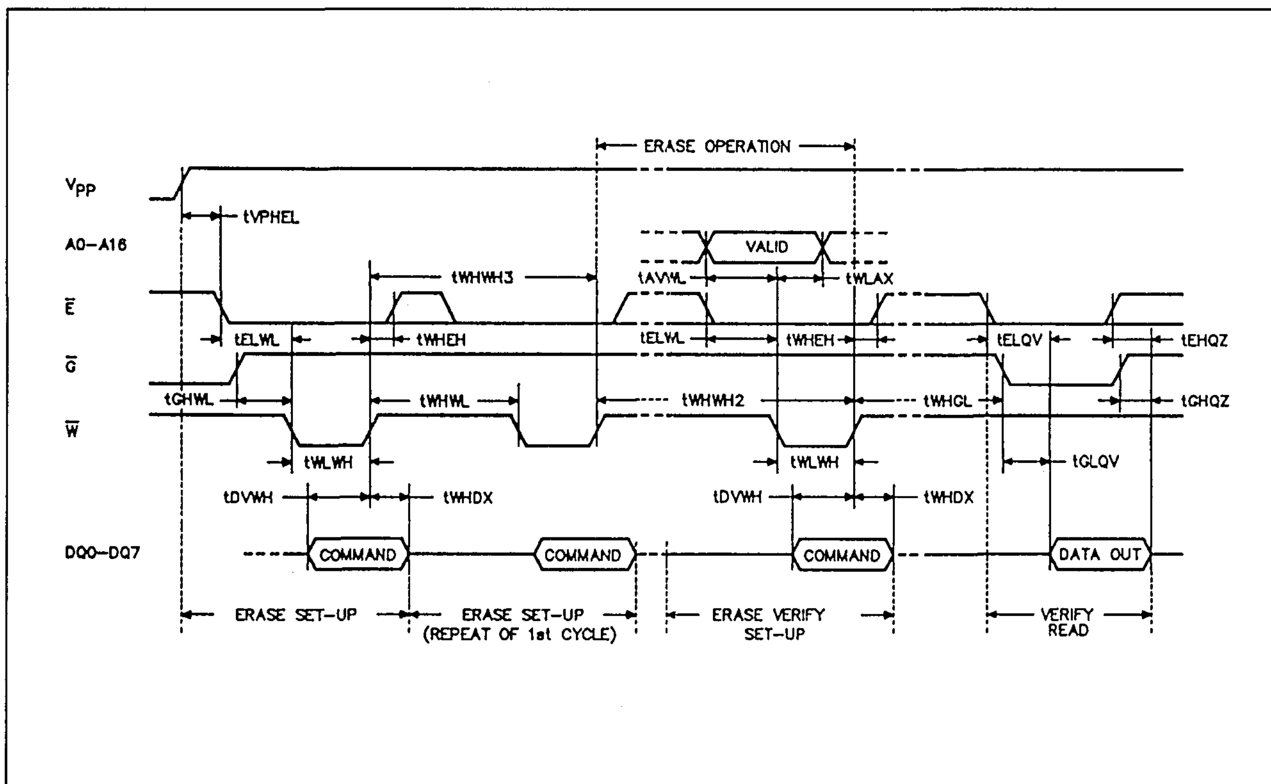
gaat dan door vanaf het adres van de opgeslagen lokatie.

Presto F programmeer-algorithme

Het Presto F programmeer-algorithme zet een reeks programmeerpulsen van 10 µs op een byte totdat een correcte verificatie optreedt (zie figuur 8/5.4-96). Voor één byte zijn maximaal 25 programmeer-operaties toegestaan. Het programmeren wordt opgezet door 40H in het commando-register te schrijven, terwijl het programmeren na de volgende schrijfcyclus (die ook het adres en de data latcht) begint.
Program Verify wordt opgezet door 0C0H in het commando-register te zetten, gevolgd door een leescyclus waarbij de uitgelezen data wordt vergeleken met de verwachte data. Gedurende het programmeren en de controle daarop wordt een marge-mode circuit geaktiveerd om er zeker van te zijn dat de cel met een veilige marge wordt geprogrammeerd.

Overige kenmerken

Tot slot volgen de resterende elektrische en timing eigenschappen van de verschillende typen van de 28F101.
De elektrische eigenschappen van de 28F101, de 28F101A en de 28F101B zijn bijna identiek. Van de laagspannings-typen zijn nog geen gegevens beschikbaar, maar het is veilig te veronderstellen dat de voedingsspanning tussen 3 V en 3,6 V moet liggen, terwijl ingangssignalen van 2 V als HOOG worden gezien.
De leden van de 28F101-familie zijn in verschillende snelheidsversies leverbaar. De toegangstijden zijn:
- 28F101: 90, 100, 120, 150 en 200 ns.
- 28F101A, 28F101B: 60, 70, 80, 100, 120, 150 en 200 ns.



Figuur 8/5.4-93: Golfvormen en timing bij het opzetten van het wissen en de uitvoering van wis-verifieer commando's.

5.4 Type-beschrijving Flash-EPROM's

Figuur 8/5.4-94: Golfvormen en timing van het opzetten van de programmering en programmeer-verificatie commando's (onder besturing van $\overline{W}$).

Figuur 8/5.4-95: Golfvormen en timing van de alternatieve methode voor het opzetten van programmering en programmeer-verificatie commando's (onder besturing van $\overline{E}$).

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter		Value	Unit
T_A	Ambient Operating Temperature	grade 1 grade 3 grade 6	0 to 70 –40 to 125 –40 to 85	°C
T_{STG}	Storage Temperature		–65 to 150	°C
V_{IO}	Input or Output Voltages		–0.6 to 7	V
V_{CC}	Supply Voltage		–0.6 to 7	V
V_{A9}	A9 Voltage		–0.6 to 13.5	V
V_{PP}	Program Supply Voltage, during Erase or Programming		–0.6 to 14	V

Tabel 8/5.4-73: Maximaal toegelaten waarden voor de 5 V typen van de 28F101.

(T_A = 0 to 70 °C, -40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%; 0V ≤ V_{PP} ≤ 6.5V)

Symbol	Alt	Parameter	Test Condition	M28F101						Unit
				-90		-100		-120		
				Min	Max	Min	Max	Min	Max	
t_{WHGL}		Write Enable High to Output Enable Low		6		6		6		µs
t_{AVAV}	t_{RC}	Read Cycle Time	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	90		100		120		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		90		100		120	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	$\overline{G} = V_{IL}$	0		0		0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		90		100		120	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	$\overline{E} = V_{IL}$	0		0		0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		35		45		50	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$	0	45	0	45	0	55	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$	0	30	0	30	0	30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		0		0		ns

Note: 1. Sampled only, not 100% tested

Tabel 8/5.4-75: Schakeltijden van enkele (snelheids-) typen van de 28F101 in de Read-Only mode.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC}	Supply Current (Read)	$\overline{E}$ = V_{IL}, f = 6MHz		30	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}		1	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V		100	µA
I_{CC2} (1)	Supply Current (Programming)	During Programming		10	mA
I_{CC3} (1)	Supply Current (Program Verify)	During Verify		15	mA
I_{CC4} (1)	Supply Current (Erase)	During Erasure		15	mA
I_{CC5} (1)	Supply Current (Erase Verify)	During Erase Verify		15	mA
I_{LPP}	Program Leakage Current	V_{PP} ≤ V_{CC}		±10	µA
I_{PP}	Program Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
		V_{PP} ≤ V_{CC}		±10	µA
I_{PP1} (1)	Program Current (Programming)	V_{PP} = V_{PPH}, During Programming		30	mA
I_{PP2} (1)	Program Current (Program Verify)	V_{PP} = V_{PPH}, During Verify		5	mA
I_{PP3} (1)	Program Current (Erase)	V_{PP} = V_{PPH}, During Erase		30	mA
I_{PP4} (1)	Program Current (Erase Verify)	V_{PP} = V_{PPH}, During Erase Verify		5	mA
V_{IL}	Input Low Voltage		-0.5	0.8	V
V_{IH}	Input High Voltage TTL		2	V_{CC} + 0.5	V
	Input High Voltage CMOS		0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA (grade 1)		0.45	V
		I_{OL} = 2.1mA (grade 6)		0.45	V
V_{OH}	Output High Voltage CMOS	I_{OH} = –100µA	4.1		V
		I_{OH} = –2.5mA	0.85 V_{CC}		V
	Output High Voltage TTL	I_{OH} = –2.5mA	2.4		V
V_{PPL}	Program Voltage (Read Operations)		0	6.5	V
V_{PPH}	Program Voltage (Read/Write Operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.5	13	V
I_{ID} (1)	A9 Current (Electronic Signature)	A9 = V_{ID}		200	µA
V_{LKO}	Supply Voltage, Erase/Program Lock-out		2.5		V

Tabel 8/5.4-74: Gelijkstroom-waarden voor de 28F101 (de I_{cc}-waarden voor de 28F101B zijn iets hoger; V_{LKO} = 2,2 V voor de 28F101B en = 2,0 V voor de 28V101B).

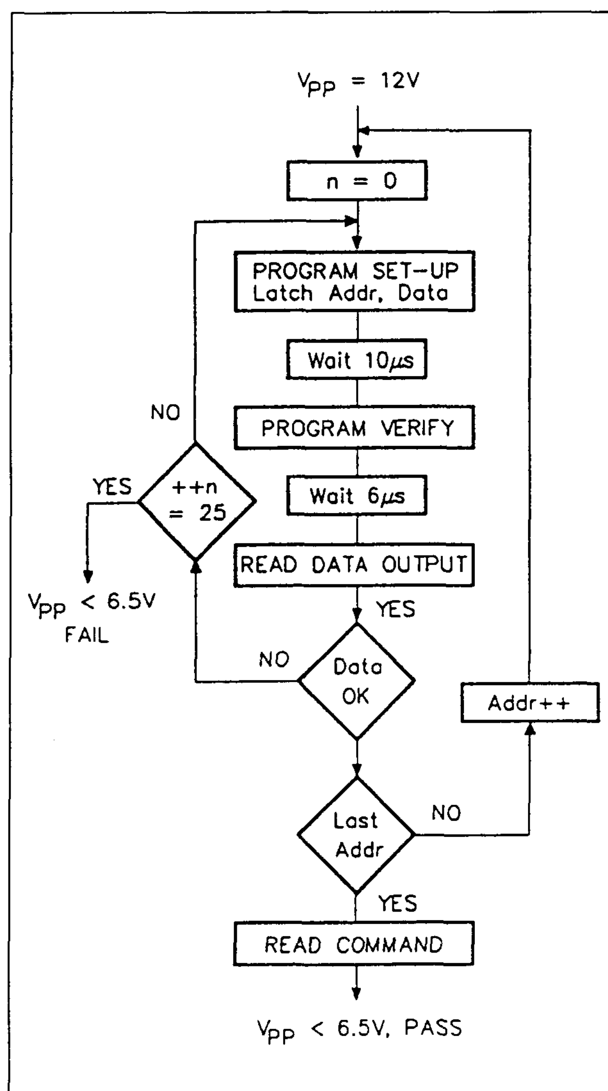
5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, -40 to 85 °C or -40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%)

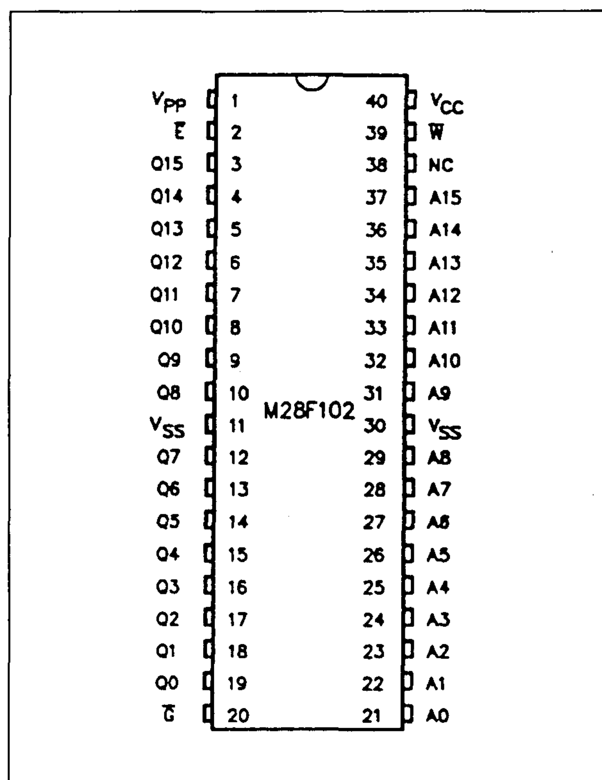
Symbol	Alt	Parameter	M28F101						Unit
			-90		-100		-120		
			Min	Max	Min	Max	Min	Max	
t_{VPHEL}		V_{PP} High to Chip Enable Low	1		1		1		µs
t_{VPHWL}		V_{PP} High to Write Enable Low	1		1		1		µs
t_{WHWH3}	t_{WC}	Write Cycle Time	90		100		120		ns
t_{AVWL}	t_{AS}	Address Valid to Write Enable Low	0		0		0		ns
t_{AVEL}		Address Valid to Chip Enable Low	0		0		0		ns
t_{WLAX}	t_{AH}	Write Enable Low to Address Transition	40		40		60		ns
t_{ELAX}		Chip Enable Low to Address Transition	60		60		80		ns
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	15		15		20		ns
t_{WLEL}		Write Enable Low to Chip Enable Low	0		0		0		ns
t_{GHWL}		Output Enable High to Write Enable Low	0		0		0		µs
t_{GHEL}		Output Enable High to Chip Enable Low	0		0		0		µs
t_{DVWH}	t_{DS}	Input Valid to Write Enable High	40		40		50		ns
t_{DVEH}		Input Valid to Chip Enable High	35		40		50		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High (Write Pulse)	40		40		60		ns
t_{ELEH}		Chip Enable Low to Chip Enable High (Write Pulse)	45		45		70		ns
t_{WHDX}	t_{DH}	Write Enable High to Input Transition	10		10		10		ns
t_{EHDX}		Chip Enable High to Input Transition	10		10		10		ns
t_{WHWH1}		Duration of Program Operation	9.5		9.5		9.5		µs
t_{EHEH1}		Duration of Program Operation	9.5		9.5		9.5		µs
t_{WHWH2}		Duration of Erase Operation	9.5		9.5		9.5		ms
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	0		0		0		ns
t_{EHWH}		Chip Enable High to Write Enable High	0		0		0		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	20		20		20		ns
t_{EHEL}		Chip Enable High to Chip Enable Low	20		20		20		ns
t_{WHGL}		Write Enable High to Output Enable Low	6		6		6		µs
t_{EHGL}		Chip Enable High to Output Enable Low	6		6		6		µs
t_{AVQV}	t_{ACC}	Addess Valid to data Output		90		100		120	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	0		0		0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid		90		100		120	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	0		0		0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid		35		45		50	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z		40		40		50	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z		30		30		30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	0		0		0		ns

Tabel 8/5.4-76: Schakeltijden van enkele (snelheids-) typen van de 28F101 onder besturing van $\overline{W}$ en $\overline{E}$.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-96: Stromingsdiagram voor het programmeren van de 28F101.



Figuur 8/5.4-97: Aansluitingen van de 40-pens DIL-versie van de 28F102.

28F102
64 k x 16 bit CMOS Flash EPROM

De 28F102 is een 1 MB niet-vluchtig geheugen met een 64 k x 16 bit organisatie. Het geheugen kan op chip-niveau elektrisch worden gewist, terwijl het met een spanning van 12 V woord-voor-woord wordt geprogrammeerd. Voor de instelling van de bedrijfsmodes wordt een commando-register gebruikt, zodat de aansluiting op een microprocessor eenvoudig is.

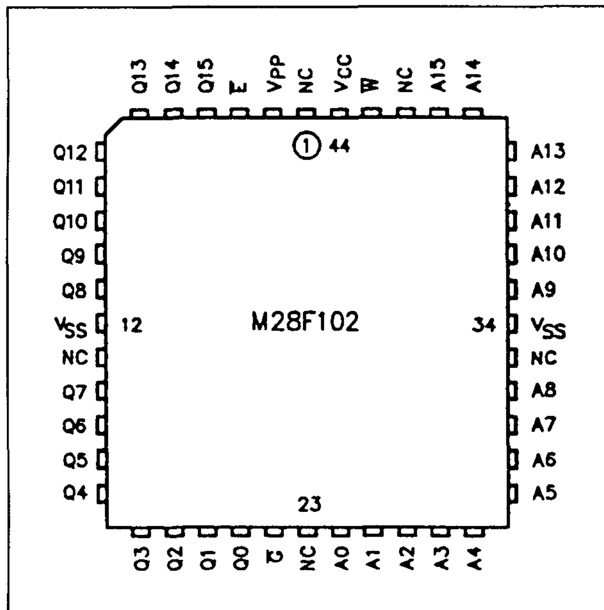
De 28F102 maakt gebruik van een met een 1 MB EPROM overeenkomende technologie, maar heeft vanwege het elektrisch wissen en programmeren meer functionaliteit. Deze functies, die via het commandoregister worden geadresseerd, zijn afhankelijk van de programmeerspanning V_{PP}. Als V_{PP} gelijk of lager is dan 6,5 V is het commando-register gesperd en kan de 28F102 alleen worden uitgelezen. Hierbij zijn de EPROM-functies (Read, Output Disable, Electric Signature Read en Standby) echter wel operationeel. Wordt V_{PP} verhoogd tot 12 V, dan is het commando-register vrijgegeven en kan er ook worden gewist en geprogrammeerd.

Specificaties

- 65.536 x 16 bit organisatie
- programmeerspanning: 12 V
- low power CMOS: 100 µA standby-stroom
- toegangstijden: 100 tot 200 ns

(wordt vervolgd)

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-98: Aansluitingen van de 44-pens LCC-versie van de 28F102.

- elektrisch wissen: 1 s (gehele chip)
- byte-programmeertijd: 10 µs (presto F algorithme)
- geïntegreerde wis/programmeer-stop timer
- minimaal 10.000 wis/programmeercycli mogelijk
- behuizingen: 40-pens DIP of 44-pens PLCC (figuur 8/5.4-97 en -98)
- fabrikant: SGS-Thomson: M28F102

Read Only Modes ($V_{PP} \leq 6{,}5$ V)

Voor alle Read Only modes, op de standby-mode na, moet de write enable-ingang $\overline{W}$ HOOG zijn. In de standby-mode is de toestand van $\overline{W}$ "don't care".

Read Mode

De 28F102 heeft twee enable-functies: ($\overline{E}$ en $\overline{G}$) die beide LAAG moeten zijn voor het verkrijgen van data op de uitgangen. Chip-enable $\overline{E}$ is de besturing van de voeding en wordt gebruikt om het geheugen te selecteren. Output-enable $\overline{G}$ bestuurt de uitgang en dient voor het aanbieden van data op de uitgangen. Figuur 8/5.4-100 toont de timing van het uitlezen.

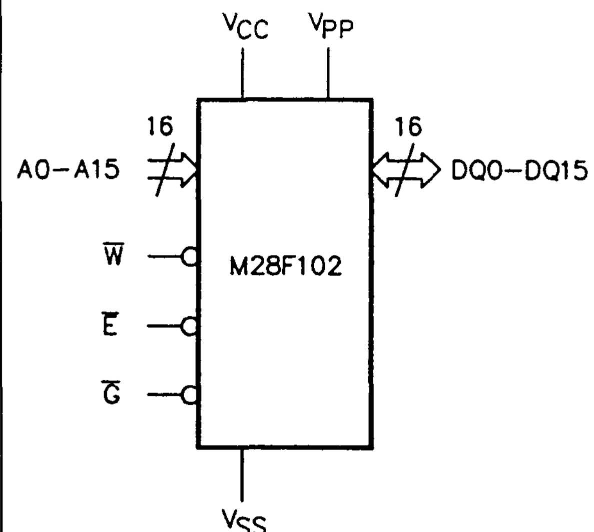
Standby Mode

In de standby-mode neemt de voedingsstroom af van 50 mA naar 100 µA. Het geheugen wordt in de standby toestand gezet door de chip enable-ingang $\overline{E}$ HOOG te maken. De uitgangen zijn daarbij hoog-impedant, onafhankelijk van het output enable-signaal $\overline{G}$.

Output Disable

Door de output enable-ingang $\overline{G}$ HOOG te maken worden de uitgangen in een hoog-impedante toestand gezet.

A0 - A15	Address Inputs
DQ0 - DQ15	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground



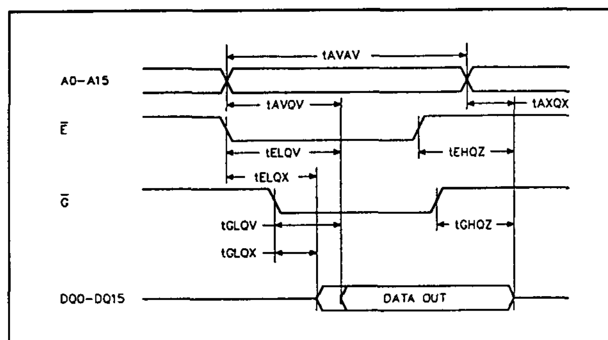
Figuur 8/5.45-99: Logisch symbool en aansluitingen van de 28F102.

5.4 Type-beschrijving Flash-EPROM's

	VPP	Operation	Ē	G̅	W̅	A9	DQ0 - DQ15
Read Only	VPPL	Read	VIL	VIL	VIH	A9	Data Output
		Output Disable	VIL	VIH	VIH	X	Hi-Z
		Standby	VIH	X	X	X	Hi-Z
		Electronic Signature	VIL	VIL	VIH	VID	Codes
Read/Write (2)	VPPH	Read	VIL	VIL	VIH	A9	Data Output
		Write	VIL	VIH	VIL Pulse	A9	Data Input
		Output Disable	VIL	VIH	VIH	X	Hi-Z
		Standby	VIH	X	X	X	Hi-Z

Note: 1. X = VIL or VIH
2. Refer also to the Command Table

Tabel 8/5.4-77: Bedrijfsmodes van de 28F102.



Figuur 8/5.4-100: Timing en golfvormen bij het uitlezen van de 28F102 in de Read Only-mode.

Electronic Signature

In deze mode kunnen twee binaire identificatie-codes worden uitgelezen. Deze codes zijn bestemd voor automatische programmeer-apparatuur om de juiste wis- en programmeer-algorithme te kiezen.
De electronic signature-mode wordt geaktiveerd door een hoge spanning (V_{ID} = 11,5 V tot 13 V) op adreslijn A9 te zetten, waarbij Ē en G̅ LAAG zijn. Met A0 = LAAG verschijnt de fabrikantcode (SGS-Thomson: 0020H) en met A0 = HOOG de device-code (M 28F102: 0050H). Tijdens het uitlezen van de codes moeten de andere adreslijnen LAAG worden gehouden.

Identifier	A0	DQ15-DQ8	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0	Hex Data
Manufacturer's Code	VIL	0	0	0	1	0	0	0	0	0	0020h
Device Code	VIH	0	0	1	0	1	0	0	0	0	0050h

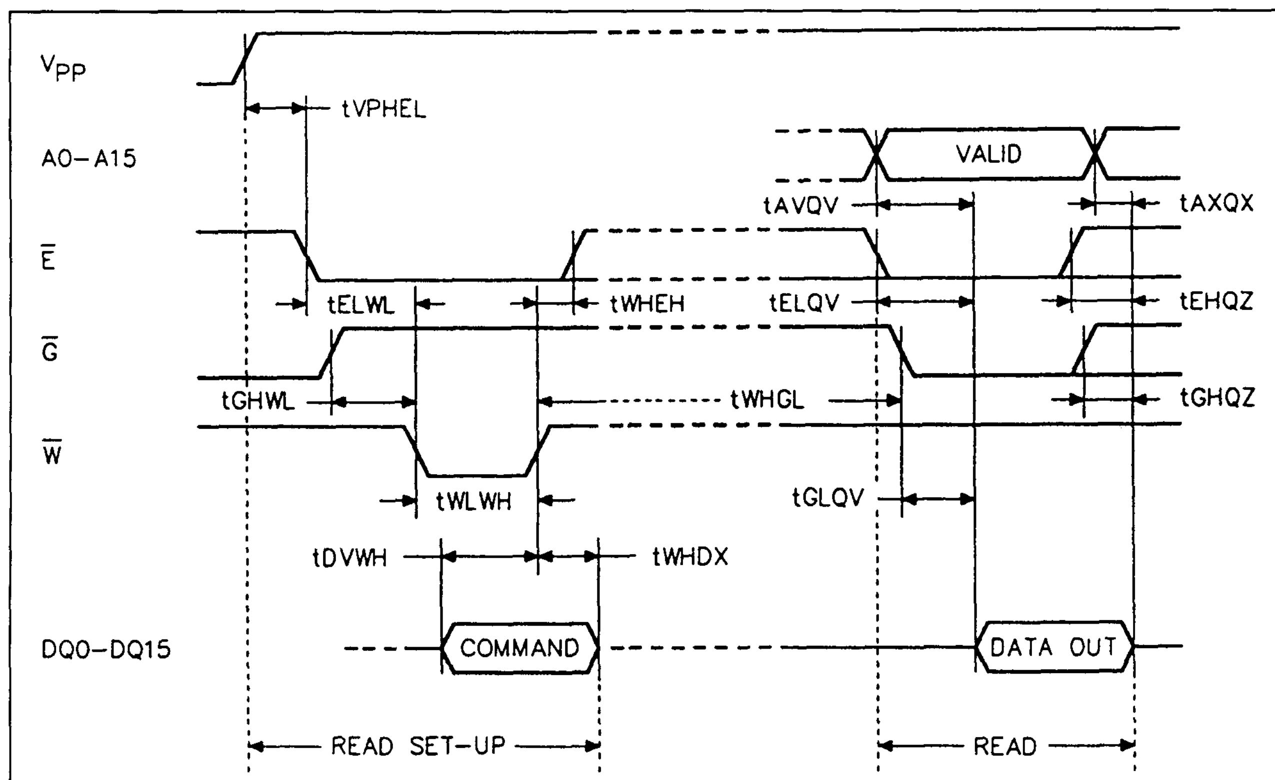
Tabel 8/5/4-78: De Electronic Signature-mode.

5.4 Type-beschrijving Flash-EPROM's

Command	Cycles	1st Cycle			2nd Cycle		
		Operation	A0-A15	DQ0-DQ15	Operation	A0-A15	DQ0-DQ15
Read	1	Write	X	0000h			
Electronic Signature	2	Write	X	0090h	Read	0000h	0020h
					Read	0001h	0050h
Setup Erase/	2	Write	X	0020h			
Erase					Write	X	0020h
Erase Verify	2	Write	A0-A15	00A0h	Read	X	Data Output
Setup Program/	2	Write	X	0040h			
Program					Write	A0-A15	Data Input
Program Verify	2	Write	X	00C0h	Read	X	Data Output
Reset	2	Write	X	0FFFFh	Write	X	0FFFFh

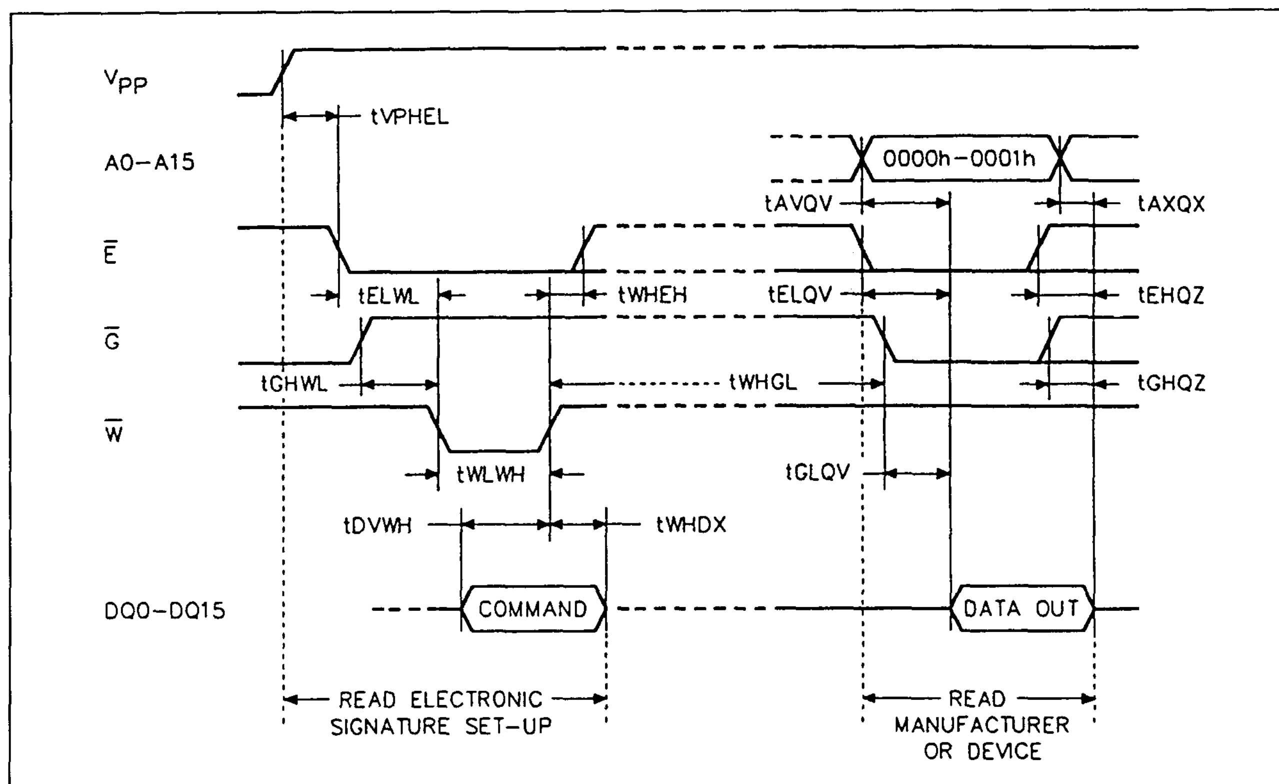
Note: 1. X = V_{IL} or V_{IH}

Tabel 8/5.4-79: De commando's voor de 28F102 worden met twee cycli ingevoerd.



Figuur 8/5.4-101: Golfvormen en timing bij het invoeren van een commando en het uitlezen van data.

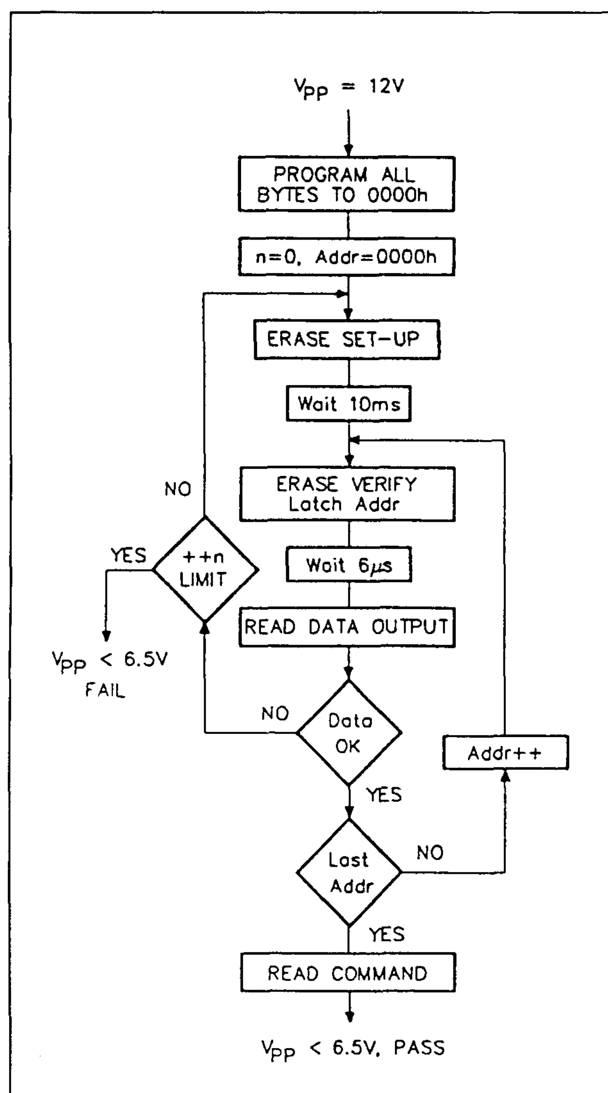
5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-102: *Timing en golfvormen tijdens het Electronic Signature-commando.*

Read/Write Modes (11,4 V ≤ V_{PP} ≤ 12,6 V)
Als V_{PP} 12 V is kunnen zowel lees- als schrijfhandelingen worden verricht. Deze worden gedefinieerd door de inhoud van het interne commando-register (zie tabel 8/5.4-77). Voor het schrijven van de commando's zijn telkens twee cycli nodig: het opzetten en het uitvoeren (set-up en execute), hetgeen in tabel 8/5.4-79 wordt getoond. Het geheugen is erop ingesteld dat de eerste cyclus een schrijf-operatie is en laat dus alle data met rust. De lees-mode wordt met slechts één cyclus ingesteld en kan worden gevolgd door een willekeurig aantal lees-operaties. De electronic-signature lees-mode wordt opgezet met één cyclus, gevolgd door een leescyclus voor de fabrikant- of device-code.
Er wordt in het commando-register geschreven door $\overline{W}$ LAAG te maken terwijl $\overline{E}$ LAAG is (zie figuur 8/5.4-101). Voor commando's die een adres of een commando-signaal nodig hebben of data leveren wordt het adres op de dalende flank van $\overline{W}$ gelatcht en de data op de stijgende flank.
Bij het opkomen van de voedingsspanning en als V_{PP} ≤ 6,5 V, wordt de inhoud van het commando-register op 0000H gezet, zodat het geheugen automatisch in de lees-mode komt. Natuurlijk kan het commando-register ook met een specifiek commando op 0000H worden gezet.
De systeem-ontwerper mag V_{PP} voortdurend hoog laten en de register-commando's voor alle operaties gebruiken of V_{PP} alleen van laag naar hoog schakelen als dat nodig is voor het wissen of programmeren van het geheugen. Als V_{CC} lager wordt dan de Erase/Write Lockout-spanning (V_{LKO} = 2,5 V), wordt de toegang tot het commando-register gesperd. Als de 28F102 tijdens het wissen, programmeren of verifiëren niet langer geselecteerd is, blijft er een aktieve voedingsstroom lopen totdat de operaties zijn geëindigd.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-103: Flow-diagram voor het wissen (Presto F wis-algorithme).

Het geheugen is beveiligd tegen overbelasting door langdurig wissen of programmeren. Als wis- of programmeer-operaties niet binnen een bepaalde maximumtijd worden afgesloten met een verificatie-cyclus, stopt de handeling automatisch.
Het geheugen verkeert daarna in een niet-aktieve toestand en staat klaar om een verificatie of reset-operatie uit te voeren.

Read mode

Na het opkomen van de voedingsspanning of door 0000H in het commando-register te schrijven staat het geheugen in de leesmode. De 28F102 blijft hierin tot een nieuw commando in het commando-register wordt geschreven.

Electronic Signature

Om bij het "on board" programmeren de juiste wis- en programmeer algorithmen te kiezen, kunnen de fabrikant- en type-code direkt worden uitgelezen. Het is niet nodig om op A9 een hoge spanning te zetten als het commando-register wordt gebruikt. De Electronic Signature-mode wordt ingesteld door 0090H in het commando-register te schrijven. Bij de daarna volgende lees-cyclus op adres 0000H of 0001H verschijnt de fabrikant- of device-code. Het commando wordt beëindigd door een ander geldig commando naar het commando-register te schrijven.

Erase en Erase Verify Modes

Het geheugen wordt gewist door eerst alle bytes op 0000H te programmeren, waarna het wis-commando ze op 0FFFFH zet. Vervolgens wordt het wis-verifieer commando gebruikt om het geheugen byte-voor-byte te controleren of de inhoud 0FFFFH is.
Het wis-commando wordt opgezet door 0020H in het commando-register te schrijven. De schrijfcyclus wordt dan herhaald om de wis-operatie te laten beginnen. Het wissen begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Het wissen wordt gevolgd door een wis-verificatie die een geadresseerd byte uitleest. De wis-verificatie mode wordt opgezet door 00A0H in het commando-register te schrijven en tegelijkertijd het adres van de te verifiëren byte te leveren. De wis-operatie stopt op de stijgende flank van $\overline{W}$ gedurende de set-up van de eerste wis-verifieer mode. Wanneer bij de volgende leescyclus 0FFFFH wordt uitgelezen, betekent dit dat alle bits van het geadresseerde byte volledig zijn gewist. De gehele inhoud van het geheugen wordt geverifieerd door de wis-verifieer operatie te herhalen: eerst worden de set-up code 00A0H en het adres van

5.4 Type-beschrijving Flash-EPROM's

het te checken byte geschreven, gevolgd door het uitlezen van het byte tijdens de tweede leescyclus. Zoals in het flow-diagram van het wis-algorithme (figuur 8/5.4-103) wordt getoond, wordt nog een wis-operatie uitgevoerd als de data die tijdens Erase Verify wordt gelezen geen 0FFFFH is. Het wissen gaat verder vanaf het laatst geverifieerde byte. Het commando wordt beëindigd door het schrijven van een ander geldig commando naar het commando-register (bijvoorbeeld program of reset). In figuur 8/5.4-104 is de bijbehorende timing te zien.

Program en Program Verify Modes

De programmeer-mode wordt opgezet door 0040H in het commando-register te schrijven. Hierna wordt een tweede schrijfcyclus uitgevoerd die het adres en de data van het te programmeren byte latcht. De programmeer-operatie begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Na het programmeren wordt de geschreven data natuurlijk geverifieerd.
De Program Verify-mode wordt opgezet door 00C0H in het commando-register te schrijven. De programmeer-operatie wordt gestopt door de stijgende flank van $\overline{W}$ tijdens het instellen van de program verify-mode. Het hierna volgende uitlezen van het reeds gelatchte adres wordt gedaan met een intern gegenereerde marge-spanning.

Reset Mode

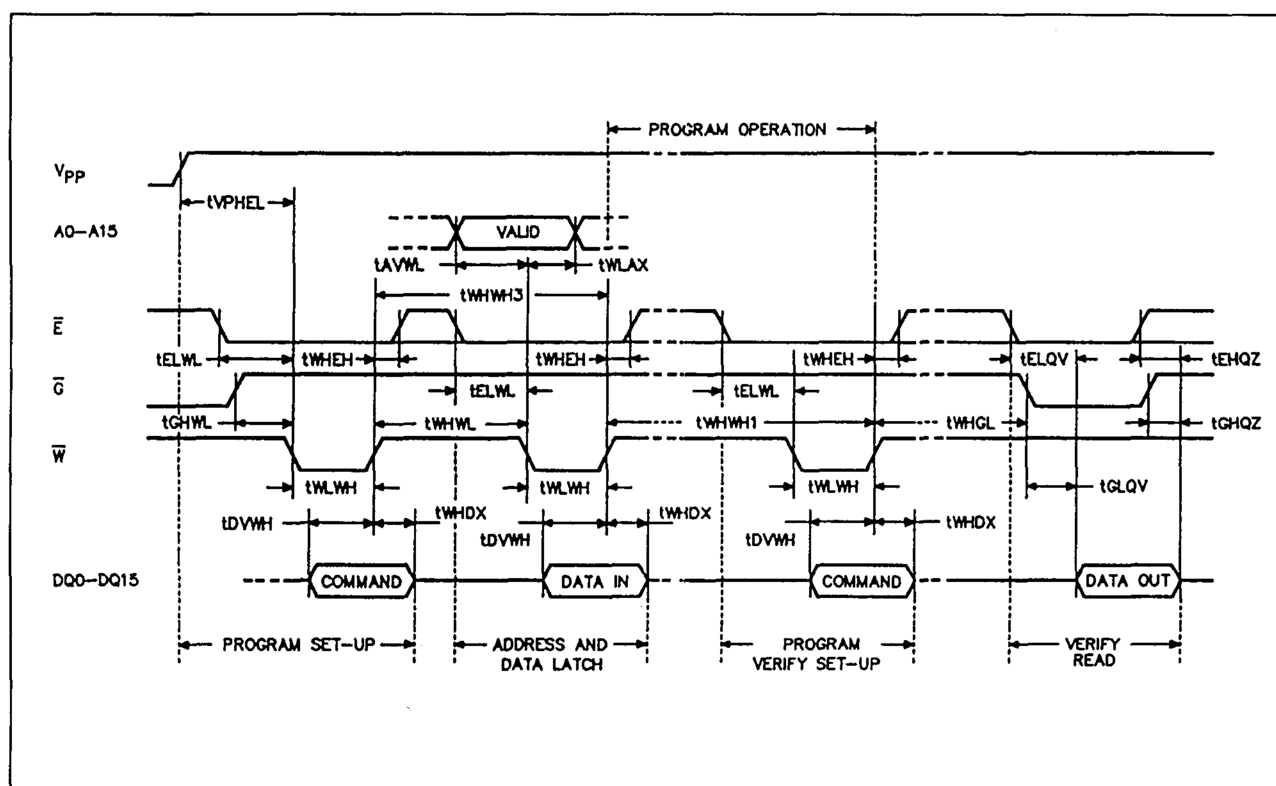
Dit commando wordt gebruikt om het wissen of programmeren op een veilige manier te verlaten. De Reset-mode wordt opgezet en uitgevoerd door tweemaal 0FFFFH in het commando-register te schrijven. Na dit commando moet een geldig commando (bijvoorbeeld Read) in het commando-register worden gezet.

Presto F wis-algorithme

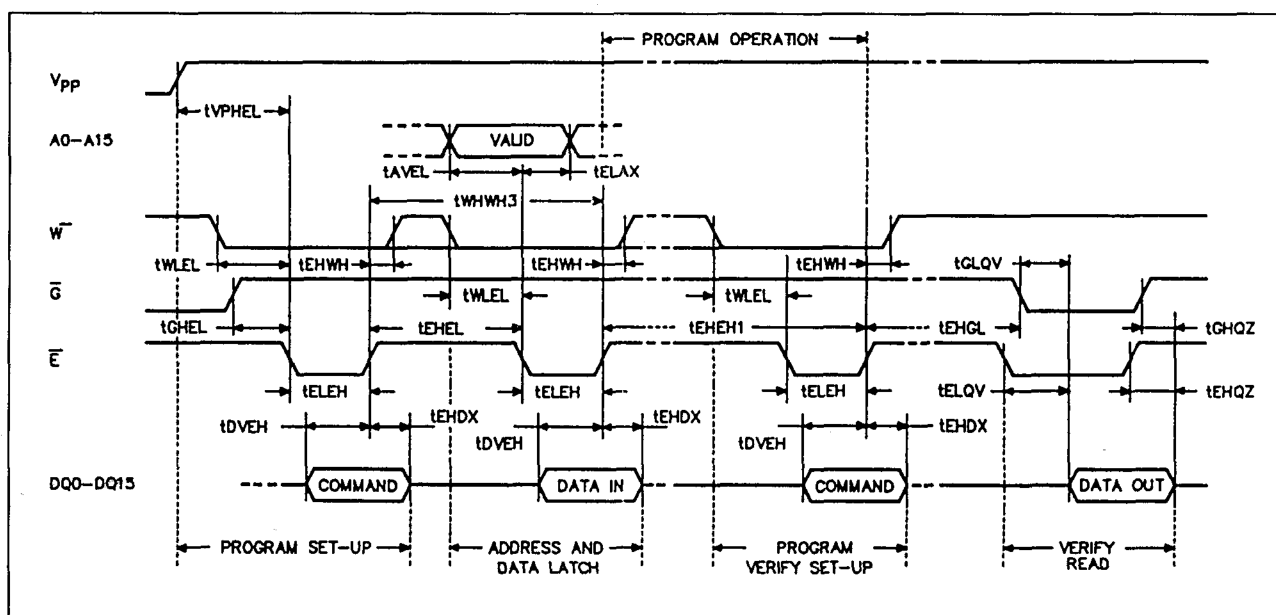
Het Presto F Erase Algorithme garandeert het betrouwbaar wissen van het geheugen. Het algorithme programmeert eerst alle bytes op 0000H om uniform wissen mogelijk te maken (dit programmeren gebeurt overigens volgens het Presto F programmeer algorithme).
Het wissen wordt opgezet door 0020H in het commando-register te schrijven en start door deze schrijfcyclus te herhalen.

Figuur 8/5.4-104: Golfvormen en timing bij het opzetten van het wissen en de uitvoering van wis-verifieer commando's.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-105: Golfvormen en timing van het opzetten van de programmering en programmeer-verificatie commando's (onder besturing van $\overline{W}$).

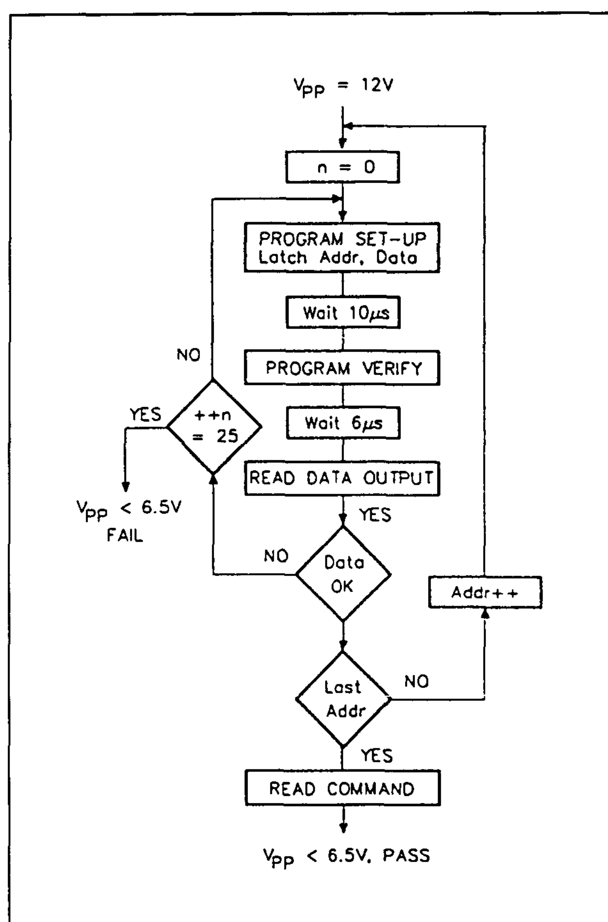


Figuur 8/5.4-106: Golfvormen en timing van de alternatieve methode voor het opzetten van programmering en programmeer-verificatie commando's (onder besturing van $\overline{E}$).

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter		Value	Unit
T_A	Ambient Operating Temperature	grade 1 grade 3 grade 6	0 to 70 –40 to 125 –40 to 85	°C
T_{STG}	Storage Temperature		–65 to 150	°C
V_{IO}	Input or Output Voltages		–0.6 to 7	V
V_{CC}	Supply Voltage		–0.6 to 7	V
V_{A9}	A9 Voltage		–0.6 to 13.5	V
V_{PP}	Program Supply Voltage, during Erase or Programming		–0.6 to 14	V

Tabel 8/5.4-80: Maximaal toegelaten waarden voor de 28F102.



Figuur 8/5.4-107: Stromingsdiagram voor het programmeren van de 28F102.

Presto F programmeer-algorithme

Het Presto F programmeer-algorithme zet een reeks programmeerpulsen van 10 µs op een woord totdat een correcte verificatie optreedt (zie figuur 8/5.4-107). Voor één woord zijn maximaal 25 programmeer-operaties toegestaan. Het programmeren wordt opgezet door 0040H in het commando-register te schrijven, terwijl het programmeren begint na de volgende schrijfcyclus (die ook het adres en de data latcht). Program Verify wordt opgezet door 00C0H in het commando-register te zetten, gevolgd door een leescyclus waarbij de uitgelezen data wordt vergeleken met de verwachte data. Gedurende het programmeren en de daarop volgende controle wordt een marge-mode circuit geaktiveerd om er zeker van te zijn dat de cel met een veilige marge wordt geprogrammeerd.

Overige kenmerken

De resterende elektrische en timing eigenschappen van de leverbare typen van de 28F102 zijn te zien in de tabellen 8/5.4-80 tot en met 8/5.4-83.

Erase Verify wordt opgezet door 00A0H in het commando-register te schrijven, tegelijk met het adres van het byte dat moet worden geverifieerd.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 10%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC}	Supply Current (Read)	$\overline{E}$ = V_{IL}, f = 5MHz		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}		1	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V		100	µA
I_{CC2} (1)	Supply Current (Programming)	During Programming		10	mA
I_{CC3} (1)	Supply Current (Program Verify)	During Verify		30	mA
I_{CC4} (1)	Supply Current (Erase)	During Erasure		15	mA
I_{CC5} (1)	Supply Current (Erase Verify)	During Erase Verify		30	mA
I_{LPP}	Program Leakage Current	V_{PP} ≤ V_{CC}		±10	µA
I_{PP}	Program Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
		V_{PP} ≤ V_{CC}		±10	µA
I_{PP1} (1)	Program Current (Programming)	V_{PP} = V_{PPH}, During Programming		50	mA
I_{PP2} (1)	Program Current (Program Verify)	V_{PP} = V_{PPH}, During Verify		5	mA
I_{PP3} (1)	Program Current (Erase)	V_{PP} = V_{PPH}, During Erase		50	mA
I_{PP4} (1)	Program Current (Erase Verify)	V_{PP} = V_{PPH}, During Erase Verify		5	mA
V_{IL}	Input Low Voltage		–0.5	0.8	V
V_{IH}	Input High Voltage TTL		2	V_{CC} + 0.5	V
	Input High Voltage CMOS		0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA (grade 1)		0.45	V
		I_{OL} = 2.1mA (grade 6)		0.45	V
V_{OH}	Output High Voltage CMOS	I_{OH} = –100µA	V_{CC} –0.4		V
		I_{OH} = –2.5mA	0.85 V_{CC}		V
	Output High Voltage TTL	I_{OH} = –2.5mA	2.4		V
V_{PPL}	Program Voltage (Read Operations)		0	6.5	V
V_{PPH}	Program Voltage (Read/Write Operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.5	13	V
I_{ID} (1)	A9 Current (Electronic Signature)	A9 = V_{ID}		200	µA
V_{LKO}	Supply Voltage, Erase/Program Lock-out		2.5		V

Tabel 8/5.4-81: Gelijkspanningswaarden voor de 28F102.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 10%; 0V ≤ V_{PP} ≤ 6.5V)

Symbol	Alt	Parameter	Test Condition	M28F102				M28F102				Unit
				-100		-120		-150		-200		
				Min	Max	Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{RC}	Read Cycle Time	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	100		120		150		200		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		100		120		150		200	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	$\overline{G} = V_{IL}$	0		0		0		0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		100		120		150		200	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	$\overline{E} = V_{IL}$	0		0		0		0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		45		50		55		60	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$	0	40	0	40	0	55	0	60	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$	0	30	0	30	0	35	0	45	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		0		0		0		ns

Tabel 8/5.4-82: Schakeltijden van de verschillende snelheids-typen van de 28F102 in de Read-Only mode.

De hierna komende leescyclus leest de data en vergelijkt die met 0FFFFH. Erase Verify begint op adres 0000H en gaat door tot het laatste adres of totdat de vergelijking met 0FFFFH mis gaat. Als dit gebeurt, wordt het adres van het laatst gecontroleerde byte opgeslagen en wordt een nieuwe wis-operatie uitgevoerd. Erase Verify gaat dan door vanaf het adres van de opgeslagen lokatie.

28F201(A), 28V201(A)

256 k x 8 bit CMOS Flash EPROM

De 28F201 is een 2 MB Flash geheugen, georganiseerd in 256 kB's van 8 bit. Het geheugen kan in één keer elektrisch worden gewist en byte-voor-byte geprogrammeerd. De 28F201 gebruikt voor het instellen van de bedrijfsmodes een commando-register, zodat een eenvoudige interface voldoet voor de aansluiting op een microprocessor.
De 28F201 is leverbaar in twee typen: 28F201 en 28F201A, terwijl er ook Low-Voltage uitvoeringen van zijn (3,3 V +/-0,3 V: 28V201 en 28V201A). Alle typen worden geprogrammeerd met een spanning van 12 V. Dit kan ook binnen het systeem zelf gebeuren. De geheugens zijn verpakt in een 32-pens DIL-behuizing, een 32-pens PLCC of een 32-pens TSOP-behuizing (ook reverse). De 28F201 heeft toegangstijden tussen 60 en 200 ns en heeft aparte Chip Enable ($\overline{E}$), Write Enable ($\overline{W}$) en Output Enable ($\overline{G}$) ingangen om busconflicten te voorkomen.
De 28F201 berust op dezelfde technologie als een 2 MB EPROM, maar kan elektrisch gewist en geprogrammeerd worden. De functies die via het commando-register worden geadresseerd zijn afhankelijk van de programmeerspanning V_{PP}. Als V_{PP} gelijk is of lager dan 6,5 V is het commando-register gesperd en kan de 28F201 alleen worden uitgelezen. Hierbij zijn echter wel de EPROM-functies (read, output-disable, electric signature read en standby) operationeel. Wanneer V_{PP} = 12 V is, is het commando-register vrijgegeven en kan er ook worden gewist en geprogrammeerd.

Specificaties
- 2 MB in een 262.144 x 8 bit organisatie
- voedingsspanning:
  28F201(A): 5 V +/-10 %
  28V201(A): 3,3 V +/-0,3 V
- 12 V programmeerspanning
- low power CMOS: max. 100 µA standbystroom
- toegangstijden:
  60 tot 200 ns (low-voltage: vanaf 150 ns)
- elektrisch wissen: 1 s (gehele chip)
- 10 µs byte-programmeertijd (presto F algorithme)

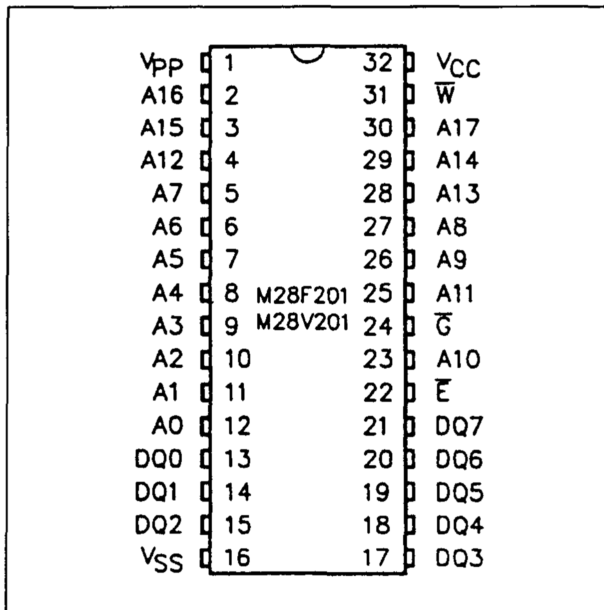
5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 10%)

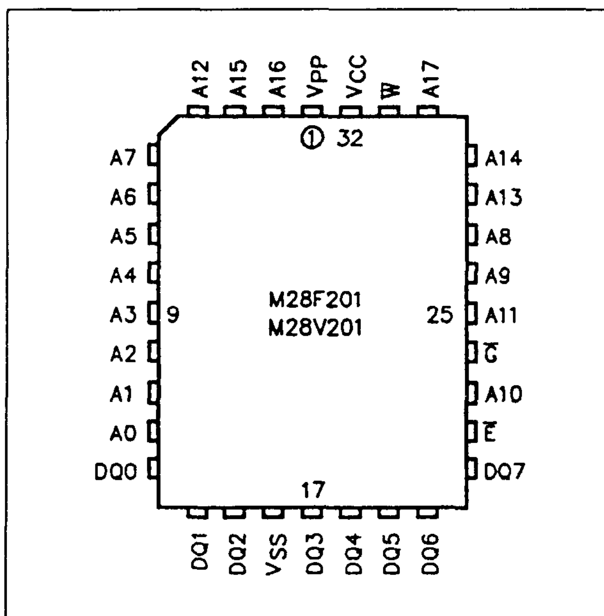
Symbol	Alt	Parameter	M28F102				Unit
			-100		-120		
			Min	Max	Min	Max	
t_{VPHEL}		V_{PP} High to Chip Enable Low	1		1		µs
t_{VPHWL}		V_{PP} High to Write Enable Low	1		1		µs
t_{WHWH3}	t_{WC}	Write Cycle Time	100		120		ns
t_{AVWL}	t_{AS}	Address Valid to Write Enable Low	0		0		ns
t_{AVEL}		Address Valid to Chip Enable Low	0		0		ns
t_{WLAX}	t_{AH}	Write Enable Low to Address Transition	60		60		ns
t_{ELAX}		Chip Enable Low to Address Transition	80		80		ns
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	20		20		ns
t_{WLEL}		Write Enable Low to Chip Enable Low	0		0		ns
t_{GHWL}		Output Enable High to Write Enable Low	0		0		µs
t_{GHEL}		Output Enable High to Chip Enable Low	0		0		µs
t_{DVWH}	t_{DS}	Input Valid to Write Enable High	50		50		ns
t_{DVEH}		Input Valid to Chip Enable High	50		50		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High (Write Pulse)	60		60		ns
t_{ELEH}		Chip Enable Low to Chip Enable High (Write Pulse)	70		70		ns
t_{WHDX}	t_{DH}	Write Enable High to Input Transition	10		10		ns
t_{EHDX}		Chip Enable High to Input Transition	10		10		ns
t_{WHWH1}		Duration of Program Operation	9.5		9.5		µs
t_{EHEH1}		Duration of Program Operation	9.5		9.5		µs
t_{WHWH2}		Duration of Erase Operation	9.5		9.5		ms
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	0		0		ns
t_{EHWH}		Chip Enable High to Write Enable High	0		0		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	20		20		ns
t_{EHEL}		Chip Enable High to Chip Enable Low	20		20		ns
t_{WHGL}		Write Enable High to Output Enable Low	6		6		µs
t_{EHGL}		Chip Enable High to Output Enable Low	6		6		µs
t_{AVQV}	t_{ACC}	Addess Valid to data Output		100		120	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	0		0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid		100		120	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	0		0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid		45		50	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z		40		40	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z		30		30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	0		0		ns

Tabel 8/5.4-83: Schakeltijden van de twee snelste typen van de 28F102 onder besturing van $\overline{W}$ of $\overline{E}$.

5.4 Type-beschrijving Flash-EPROM's

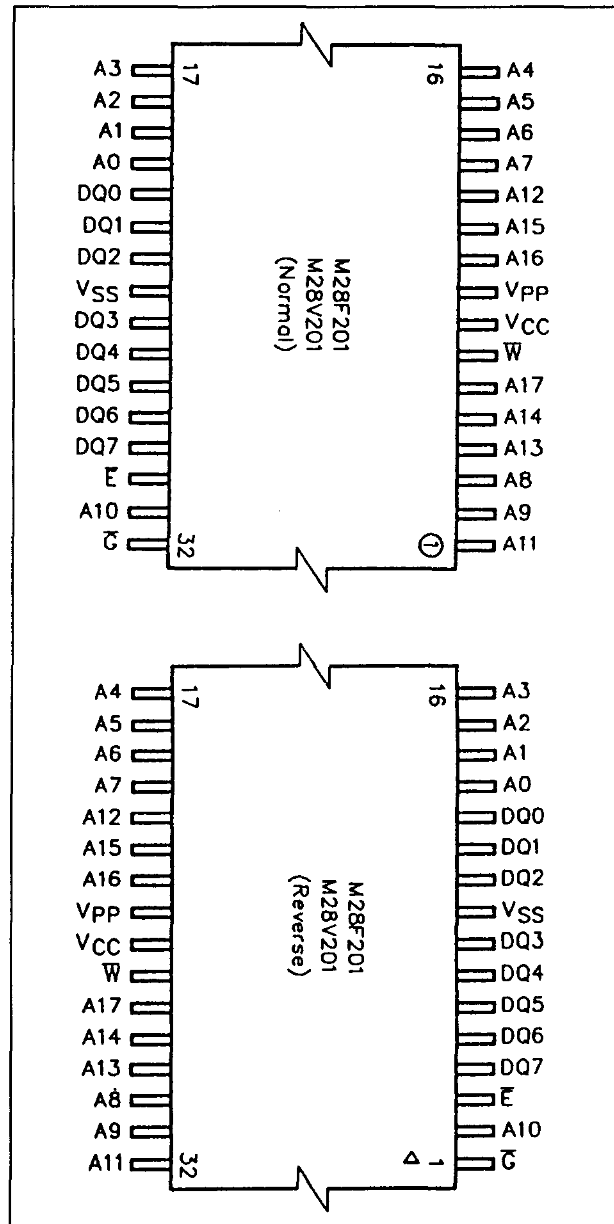


Figuur 8/5.4-108: Aansluitingen van de 32-pens DIL-versie (0 tot 70 °C) van de 28F201(A) of 28V201(A).



Figuur 8/5.4-109: Aansluitingen van de 32-pens PLCC-versie (-40 tot +125 °C) van de 28F101(A) en 28V201(A).

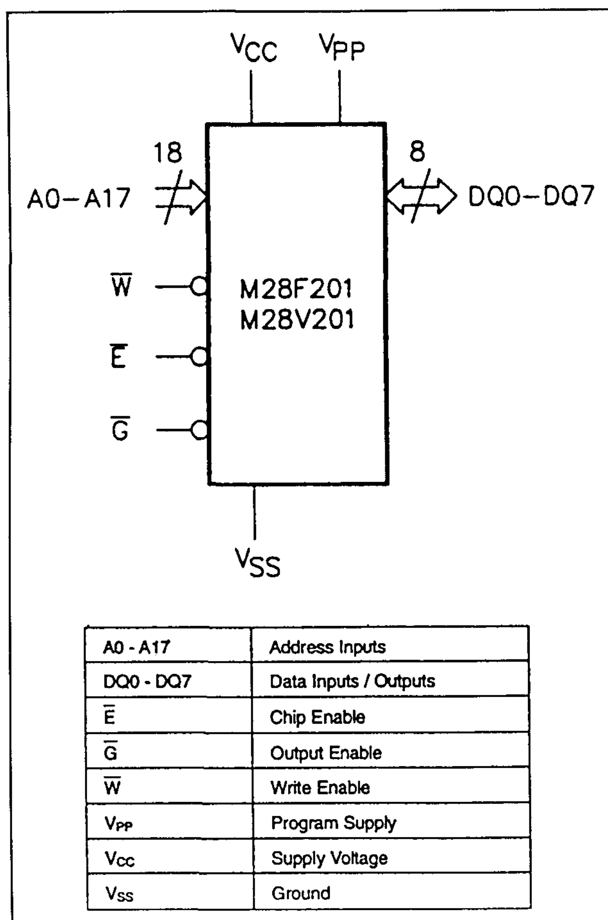
- geïntegreerde wis/programmeer-stop timer



Figuur 8/5.4-110: Boven: standaard TSOP-uitvoering (-40 tot +85 °C) van de 28F201(A) of 28V201(A); onder: geïnverteerde TSOP-versie (Thin Small Outline Package).

- min. 10.000 wis/programmeercycli (28F201A: 100.000)
- behuizingen: 32-pens DIL, PLCC of TSOP (figuur 8/5.4-108, -109 en -110)
- Fabrikant: SGS-Thomson: M28F201, M28F201A, M28V201, M28V201A

5.4 Type-beschrijving Flash-EPROM's



A0 - A17	Address Inputs
DQ0 - DQ7	Data Inputs / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/5.45-111: Logisch symbool en aansluitingen van de 28F201(A) en 28V201(A).

Read Only Modes ($V_{PP} \leq 6{,}5$ V)

Voor alle Read Only modes, behalve de standby-mode, dient de write enable-ingang $\overline{W}$ HOOG te zijn.
In de standby-mode maakt de toestand van $\overline{W}$ niet uit.

Read Mode

De 28F201 (28V201) heeft twee enable-ingangen ($\overline{E}$ en $\overline{G}$) die beide LAAG moeten zijn om data te kunnen uitlezen. Chip-enable $\overline{E}$ is de besturing van de voeding en dient meestal om het geheugen te selecteren. Output-enable $\overline{G}$ bestuurt de uitgang en dient om data op de uitgangen te zetten. In figuur 8/5.4-112 is de timing voor het uitlezen te zien.

Standby Mode

In de standby-mode neemt de voedingsstroom af van 30 mA tot 100 µA. Het geheugen gaat in de standby toestand door de chip enable-ingang $\overline{E}$ HOOG te maken. De uitgangen zijn dan hoog-impedant, ongeacht het output enable-signaal $\overline{G}$.

Output Disable

Als de output enable-ingang $\overline{G}$ HOOG is staan de uitgangen in een hoog-impedante toestand.

	V_{PP}	Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	A9	DQ0 - DQ7
Read Only	V_{PPL}	Read	V_{IL}	V_{IL}	V_{IH}	A9	Data Output
		Output Disable	V_{IL}	V_{IH}	V_{IH}	X	Hi-Z
		Standby	V_{IH}	X	X	X	Hi-Z
		Electronic Signature	V_{IL}	V_{IL}	V_{IH}	V_{ID}	Codes
Read/Write (2)	V_{PPH}	Read	V_{IL}	V_{IL}	V_{IH}	A9	Data Output
		Write	V_{IL}	V_{IH}	V_{IL} Pulse	A9	Data Input
		Output Disable	V_{IL}	V_{IH}	V_{IH}	X	Hi-Z
		Standby	V_{IH}	X	X	X	Hi-Z

Note: 1. X = V_{IL} or V_{IH}
2. Refer also to the Command Table

Tabel 8/5.4-84: Bedrijfsmodes van de 28F201.

5.4 Type-beschrijving Flash-EPROM's

Identifier	A0	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0	Hex Data
Manufacturer's Code	V_{IL}	0	0	1	0	0	0	0	0	20h
Device Code: M28F201	V_{IH}	1	1	1	1	0	1	0	0	0F4h
Device Code: M28V201	V_{IH}	1	1	1	1	0	1	0	1	0F5h

Tabel 8/5.4-85: De Electronic Signature mode.

Electronic Signature
In deze mode kunnen twee binaire codes ter identificatie van fabrikant en type worden uitgelezen. Deze mode is bedoeld voor automatische programmeer-apparatuur, die daardoor het juiste wis- en programmeer-algorithme kan kiezen. De electronic signature-mode wordt aktief gemaakt door een hoge spanning (V_{ID} = 11,5 V tot 13 V) op adrespen A9 te zetten, terwijl $\overline{E}$ en $\overline{G}$ beide LAAG zijn. Met A0 = LAAG verschijnt de fabrikantcode (SGS-Thomson: 20H) en met A0 = HOOG de device-code (M28F201: 0F4H en M28V201: 0F5H). Tijdens het uitlezen van de codes moeten de overige adreslijnen LAAG zijn.

Read/Write Modes (11,4 V $\leq V_{pp} \leq$ 12,6 V)
Als V_{pp} hoog (12 V) is kunnen zowel lees- als schrijfhandelingen worden uitgevoerd. Deze worden gedefinieerd door de inhoud van een intern commando-register (zie tabel 8/5.4-84). Voor het schrijven van de commando's zijn telkens twee cycli nodig: set-up en execute. Elke mode begint met een schrijf-operatie om het commando op te zetten, gevolgd door een lees- of schrijf-operatie (zie tabel 8/5.4-86). Het geheugen weet dat de eerste cyclus een schrijf-operatie is en laat overal alle data met rust. De lees-mode wordt met slechts één cyclus ingesteld, waarna een willekeurig aantal lees-operaties mag volgen. De electronic-signature read-mode wordt opgezet met één cyclus, gevolgd door een leescyclus voor de fabrikant- of device-code. Er wordt in het commando-register geschreven door $\overline{W}$ LAAG te maken terwijl $\overline{E}$ al LAAG is (zie figuur 8/5.4-113). Voor commando's die een adres of een commando-signaal nodig hebben of die data leveren wordt het adres op de dalende flank en de data op de stijgende flank van $\overline{W}$ gelatcht. Wanneer de voedingsspanning van het geheugen pas opkomt en $V_{pp} \leq$ 6,5 V wordt de inhoud van het commando-register 00H, zodat het geheugen automatisch in de lees-mode gaat. Bovendien kan het commando-register met een specifiek commando op 00H worden gezet. De systeem-ontwerper heeft de keus om V_{pp} steeds hoog te laten en de register-commando's voor alle operaties te gebruiken of om V_{pp} alleen van laag naar hoog te schakelen als dat nodig is voor wissen of programmeren van het geheugen. De toegang tot het commando-register wordt gesperd als V_{CC} lager wordt dan de Erase/Write Lockout-spanning (V_{LKO} = 2,5 V). Als de 28F201 tijdens het wissen, programmeren of verifiëren niet langer geselecteerd is, blijft er een aktieve voedingsstroom lopen totdat de operaties beëindigd zijn. Het geheugen is beveiligd tegen overbelasting door langdurig wissen of programmeren.
Als de wis- of programmeer-operaties niet binnen een maximaal toegelaten tijd worden afgesloten met een verificatie-cyclus, stopt een interne timer de handeling automatisch. Het geheugen staat daarna in een niet-aktieve toestand en is klaar om een verificatie of reset-operatie uit te voeren.

Read mode
Na het opkomen van de voedingsspanning of door 00H in het commando-register te schrijven staat het geheugen in de lees-

5.4 Type-beschrijving Flash-EPROM's

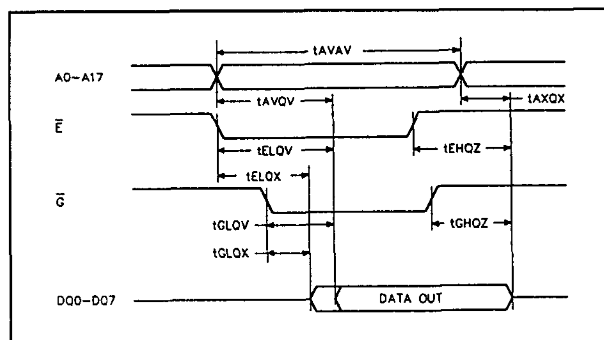
mode. De 28F201 blijft in de lees-mode tot een nieuw commando in het commando-register is geschreven.

Electronic Signature

Om voor het programmeren, terwijl het geheugen zich in het systeem bevindt ("on board programming"), de juiste wis- en programmeer algorithmen te kunnen kiezen zijn de fabrikant- en type-code direkt uitleesbaar. Als het commando-register wordt gebruikt is het niet nodig om een hoge spanning op A9 te zetten. De Electronic Signature-mode wordt opgezet door 80H of 90H in het commando-register te schrijven. Bij de daarna volgende lees-cyclus op adres 00000H of 00001H verschijnt de fabrikant- of device-code. Het commando wordt beëindigd door een ander geldig commando naar het commando-register te schrijven.

Erase en Erase Verify Modes

Het geheugen wordt leeg gemaakt door eerst alle bytes op 00H te programmeren, waarna het wis-commando ze op 0FFH zet. Hierna wordt het wis-verifieer commando gebruikt om het geheugen byte-voor-byte te checken op 0FFH-inhouden.
De wis-mode wordt opgezet door 20H in het commando-register te schrijven.
De schrijfcyclus wordt dan herhaald om de wis-operatie te laten beginnen. Het wissen begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Het wissen wordt gevolgd door een wis-verificatie die een geadresseerde byte uitleest.



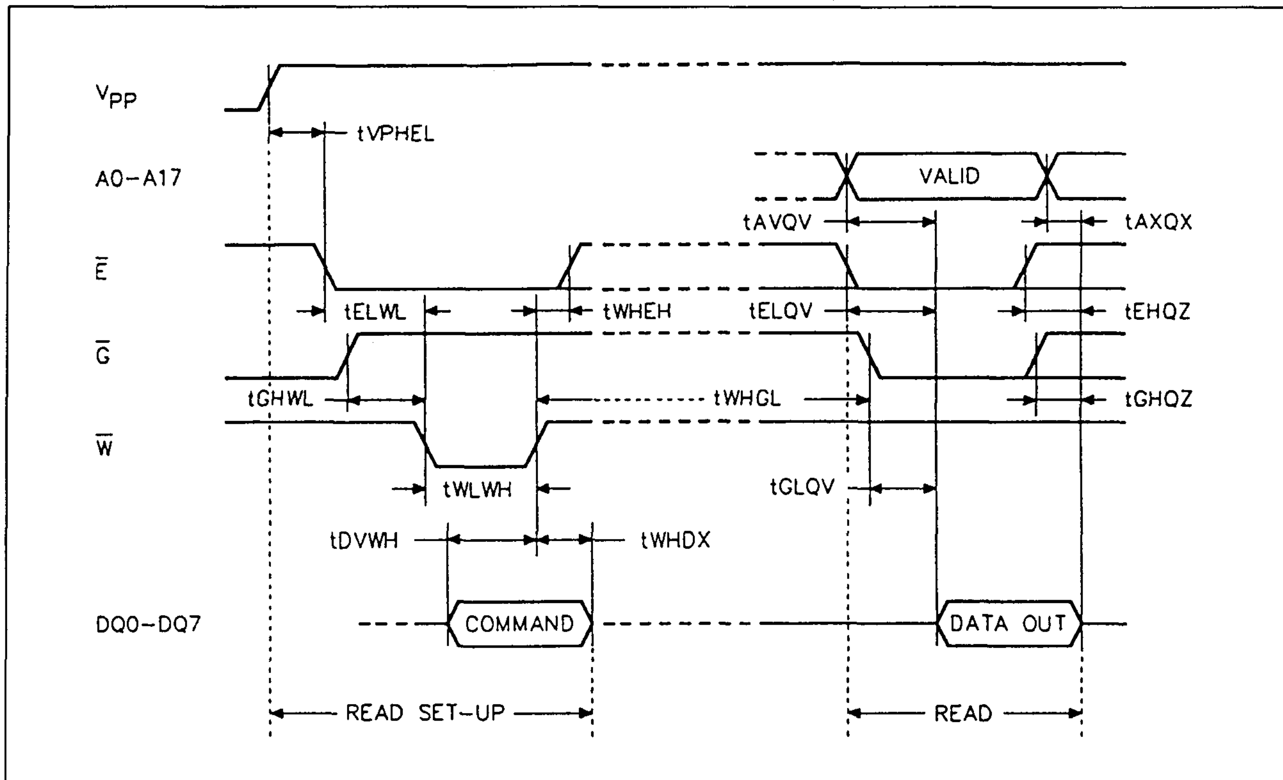
Figuur 8/5.4-112: Timing en golfvormen bij het uitlezen van de 28F201 in de Read Only-mode.

Command	Cycles	1st Cycle			2nd Cycle		
		Operation	A0-A17	DQ0-DQ7	Operation	A0-A17	DQ0-DQ7
Read	1	Write	X	00h			
Electronic Signature (2)	2	Write	X	80h or 90h	Read	00000h	20h
					Read	00001h	0EEh or 0EFh
Setup Erase/	2	Write	X	20h			
Erase					Write	X	20h
Erase Verify	2	Write	A0-A17	0A0h	Read	X	Data Output
Setup Program/	2	Write	X	40h			
Program					Write	A0-A17	Data Input
Program Verify	2	Write	X	0C0h	Read	X	Data Output
Reset	2	Write	X	0FFh	Write	X	0FFh

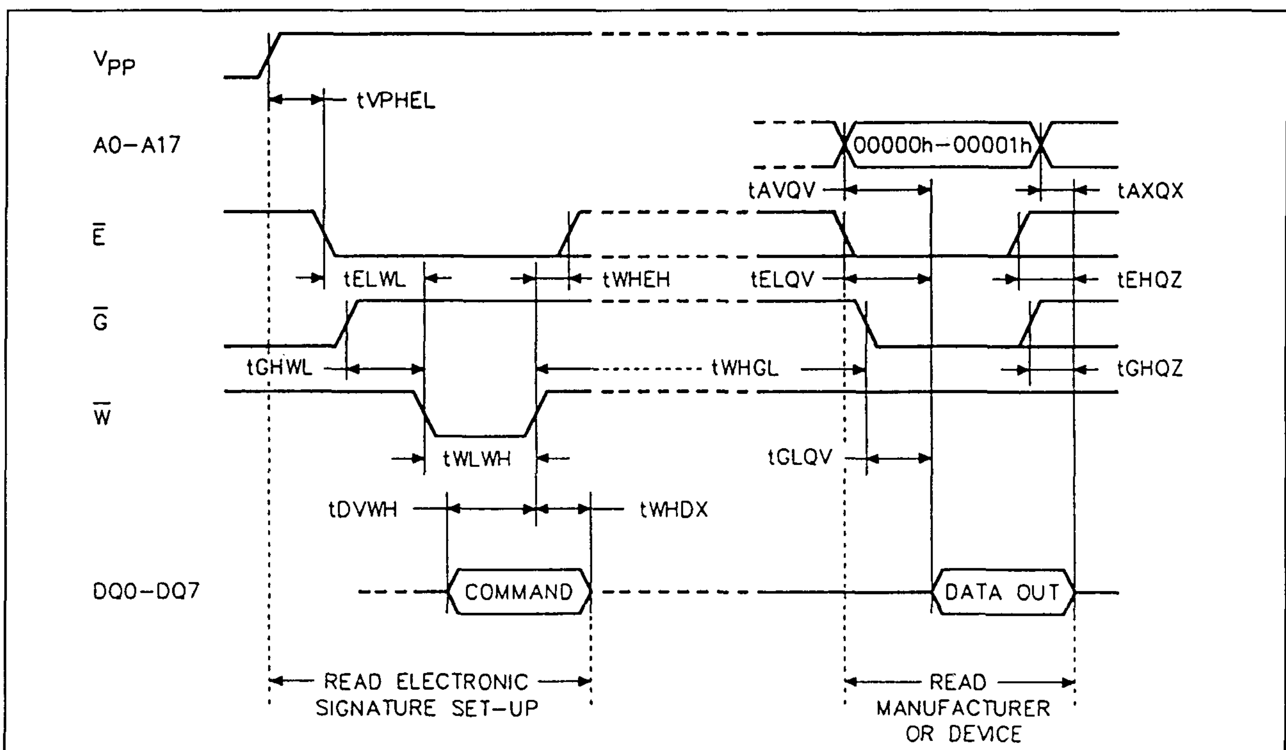
Note: 1. X = V_{IL} or V_{IH}
2. Refer also to the Electronic Signature Table

Tabel 8/5.4-86: De commando's voor de 28F201 worden met twee cycli gedefinieerd.

5.4 Type-beschrijving Flash-EPROM's

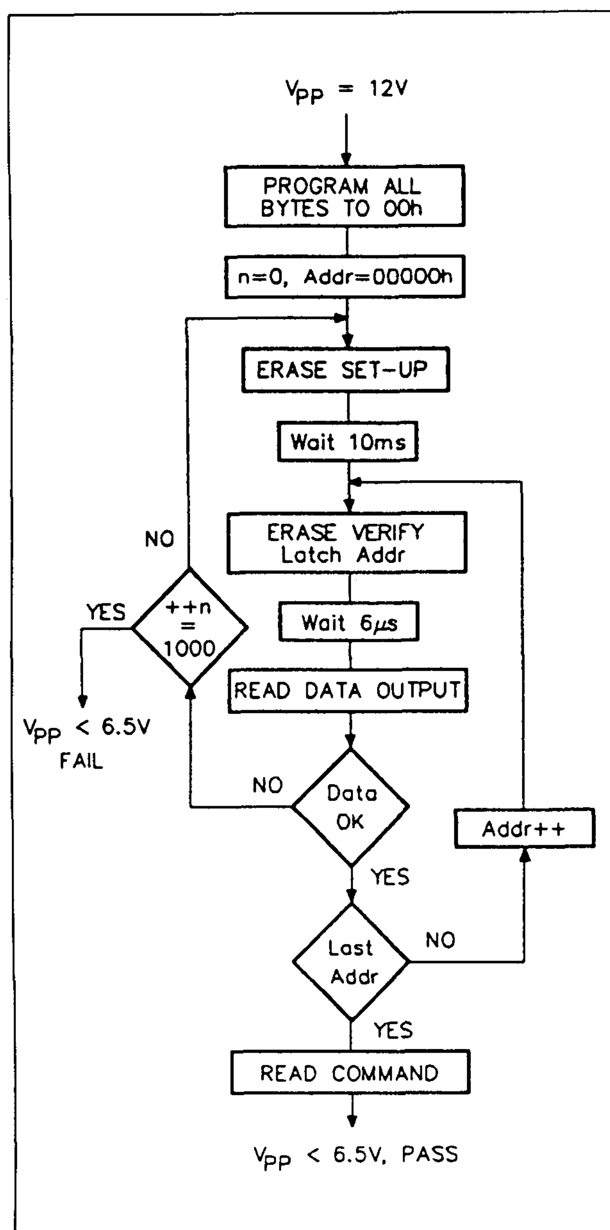


Figuur 8/5.4-113: Golfvormen en timing bij het invoeren van een commando en het uitlezen van data.



Figuur 8/5.4-114: Timing en golfvormen bij het Electronic Signature-commando.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-115: Flow-diagram voor het wissen.

De wis-verificatie mode wordt opgezet door 0A0H in het commando-register te schrijven en tegelijkertijd het adres te geven van het byte dat geverifieerd moet worden. De stijgende flank van $\overline{W}$ gedurende de set-up van de eerste wis-verifieer mode stopt de wis-operatie. Wanneer bij de volgende leescyclus 0FFH wordt gelezen, betekent dit dat alle bits van het geadresseerde byte volledig zijn gewist. De gehele inhoud van het geheugen wordt geverifieerd door de wis-verifieer operatie te herhalen: eerst worden de set-up code 0A0H en het adres van de te checken byte geschreven, gevolgd door het uitlezen van het byte tijdens de tweede leescyclus. Zoals in het flow-diagram van het wis-algorithme (figuur 8/5.4-115) te zien is, wordt nog een wis-operatie uitgevoerd als de data afwijkt van 0FFH en gaat het wissen verder vanaf het laatst geverifieerde byte. Het commando wordt beëindigd door een ander geldig commando naar het commando-register te schrijven (bijvoorbeeld program of reset). In figuur 8/5.4-116 is de bijbehorende timing te zien.

Program en Program Verify Modes

De programmeer-mode wordt opgezet door 40H in het commando-register te schrijven. Hierna volgt een tweede schrijfcyclus die het adres en de data van het te programmeren byte latcht.

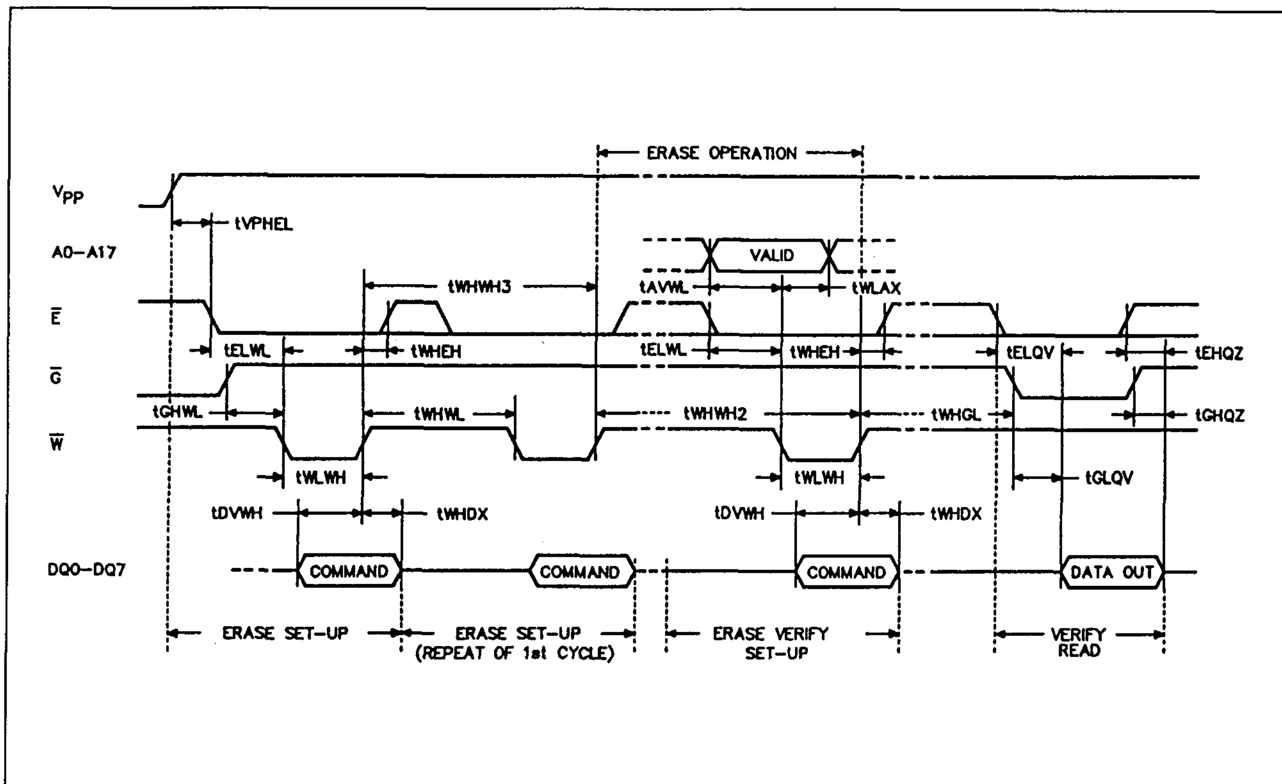
De programmeer-operatie begint op de stijgende flank van $\overline{W}$ tijdens deze tweede cyclus. Na het programmeren wordt de geschreven data geverifieerd.

Met het schrijven van 0C0H in het commando-register wordt de Program Verify-mode opgezet. De programmeer-operatie stopt op de stijgende flank van $\overline{W}$ tijdens het instellen van de program verify-mode. Het hierna volgende uitlezen van de inhoud van het reeds gelatchte adres wordt gedaan met een intern gegenereerde marge-spanning.

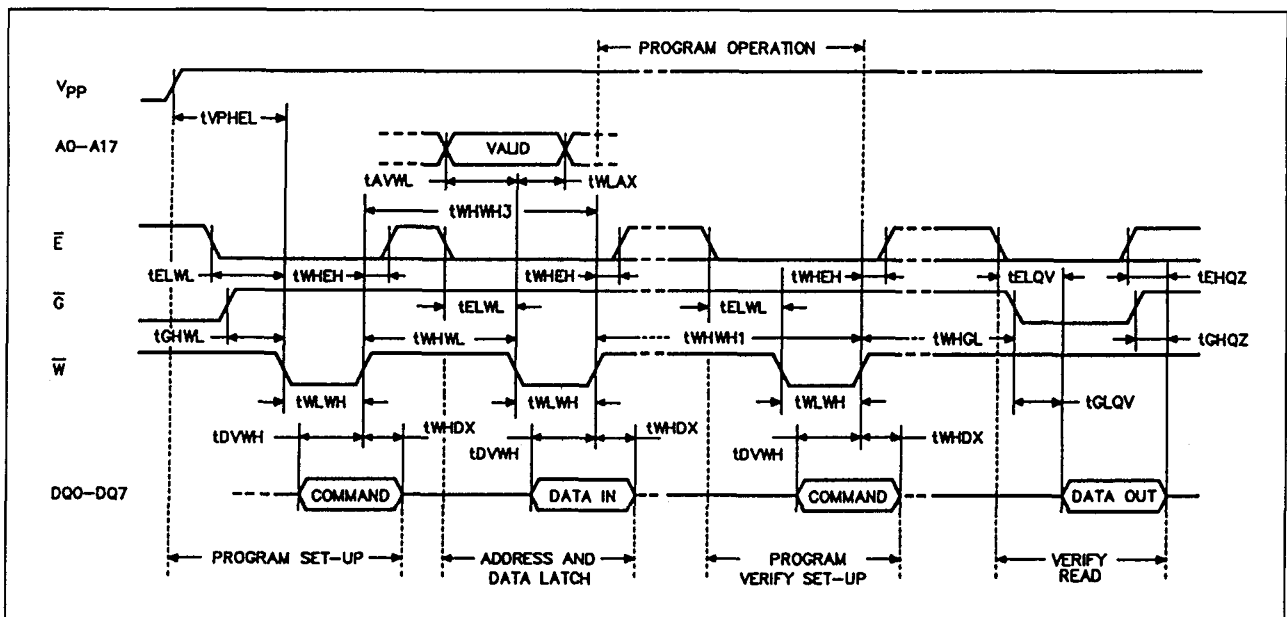
Reset Mode

Dit commando wordt gebruikt om op een veilige manier het wissen of programmeren te verlaten. De Reset-mode wordt opgezet en uitgevoerd door tweemaal 0FFH in het commando-register te schrijven. Hierna moet een geldig commando (bijvoorbeeld Read) in het commando-register worden geschreven.

5.4 Type-beschrijving Flash-EPROM's

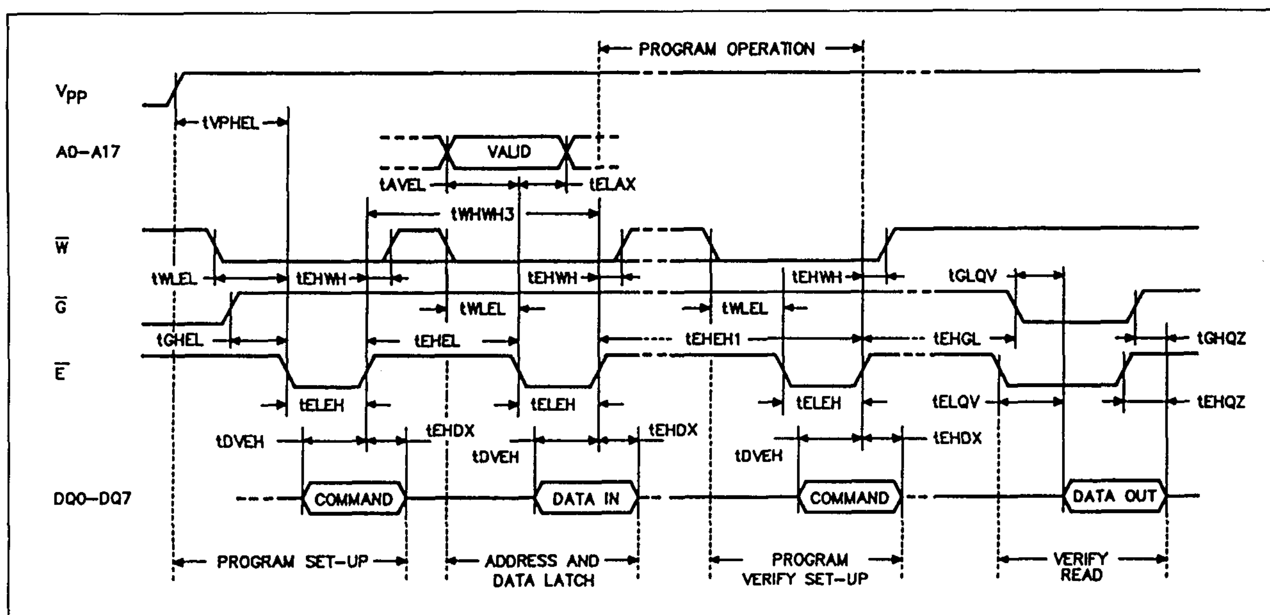


Figuur 8/5.4-116: Golfvormen en timing bij het opzetten van het wissen en de uitvoering van wis-verifieer commando's.



Figuur 8/5.4-117: Golfvormen en timing bij het opzetten van de programmeer-mode en programmeer-verificatie commando's (onder besturing van $\overline{W}$).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-118: Golfvormen en timing bij de alternatieve methode voor het opzetten van programmering en programmeer-verificatie commando's (onder besturing van $\overline{E}$).

Presto F wis-algorithme

Met het Presto F Erase Algorithme wordt gegarandeerd dat het geheugen op een betrouwbare manier wordt gewist. Het algorithme maakt eerst alle bytes op 00H om een uniform wissen mogelijk te maken (dit programmeren gebeurt overigens volgens het Presto F programmeer algorithme). Het wissen wordt opgezet door 20H in het commando-register te schrijven en begint door deze schrijfcyclus te herhalen. Erase Verify wordt opgezet door 0A0H naar het commando-register te schrijven, samen met het adres van het byte dat men wil verifiëren. Bij de hierna volgende leescyclus wordt de data vergeleken met 0FFH. Erase Verify begint op adres 0000H en gaat door tot het laatste adres of tot de vergelijking met 0FFH mis gaat. Als dit gebeurt, wordt het adres van het laatst gecheckte byte opgeslagen en wordt een nieuwe wis-operatie uitgevoerd. Erase Verify gaat dan door vanaf het adres van de opgeslagen lokatie.

Presto F programmeer-algorithme

Het Presto F programmeer-algorithme zet een reeks 10 µs durende programmeerpulsen op een byte totdat een correcte verificatie optreedt (zie figuur 8/5.4-119). Per byte zijn maximaal 25 programmeer-operaties toegestaan. De programmeer-mode wordt opgezet door 40H in het commando-register te schrijven, terwijl het programmeren zelf begint na de volgende schrijfcyclus (die ook het adres en de data latcht). Program Verify wordt opgezet door 0C0H in het commando-register te zetten, gevolgd door een leescyclus waarbij de uitgelezen data wordt vergeleken met de verwachte data.
Gedurende het programmeren en de daarop volgende verificatie wordt een marge-mode circuit geaktiveerd om er zeker van te zijn dat de cel met een veilige marge wordt geprogrammeerd.

Overige kenmerken

De resterende elektrische en timing eigenschappen van de 28F201(A) en 28V201(A) zijn hierna opgenomen in de tabellen 8/5.4-87 tot en met -90.
De elektrische eigenschappen van de 28F201 en de 28F201A zijn nagenoeg identiek.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 10%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±1	µA
I_{LO}	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±10	µA
I_{CC}	Supply Current (Read)	$\overline{E} = V_{IL}$, f = 10MHz		50	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		1	mA
	Supply Current (Standby) CMOS	$\overline{E} = V_{CC} \pm 0.2V$		100	µA
I_{CC2} (1)	Supply Current (Programming)	During Programming		10	mA
I_{CC3} (1)	Supply Current (Program Verify)	During Verify		20	mA
I_{CC4} (1)	Supply Current (Erase)	During Erasure		20	mA
I_{CC5} (1)	Supply Current (Erase Verify)	During Erase Verify)		20	mA
I_{LPP}	Program Leakage Current	$V_{PP} \le V_{CC}$		±10	µA
I_{PP}	Program Current (Read or Standby)	$V_{PP} > V_{CC}$		200	µA
		$V_{PP} \le V_{CC}$		±10	µA
I_{PP1} (1)	Program Current (Programming)	$V_{PP} = V_{PPH}$, During Programming		30	mA
I_{PP2} (1)	Program Current (Program Verify)	$V_{PP} = V_{PPH}$, During Verify		5	mA
I_{PP3} (1)	Program Current (Erase)	$V_{PP} = V_{PPH}$, During Erase		30	mA
I_{PP4} (1)	Program Current (Erase Verify)	$V_{PP} = V_{PPH}$, During Erase Verify		5	mA
V_{IL}	Input Low Voltage		–0.5	0.8	V
V_{IH}	Input High Voltage TTL		2	V_{CC} + 0.5	V
	Input High Voltage CMOS		0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA		0.45	V
V_{OH}	Output High Voltage CMOS	I_{OH} = –100µA	V_{CC} – 0.4		V
		I_{OH} = –2.5mA	0.85 V_{CC}		V
	Output High Voltage TTL	I_{OH} = –2.5mA	2.4		V
V_{PPL}	Program Voltage (Read Operations)		0	6.5	V
V_{PPH}	Program Voltage (Read/Write Operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.5	13	V
I_{ID} (1)	A9 Current (Electronic Signature)	A9 = V_{ID}		200	µA
V_{LKO}	Supply Voltage, Erase/Program Lock-out	M28F201	2.2		V
		M28V201	2.0		V

Note: 1. Not 100% tested.

Tabel 8/5.4-87: Gelijkstroom-waarden voor de 28F201(A). V_{LKO} = 2,2 V voor de 28F201(A) en = 2,0 V voor de 28V201(A).

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter		Value	Unit
T_A	Ambient Operating Temperature	grade 1 grade 3 grade 6	0 to 70 –40 to 125 –40 to 85	°C
T_{STG}	Storage Temperature		–65 to 150	°C
V_{IO}	Input or Output Voltages		–0.6 to 7	V
V_{CC}	Supply Voltage		–0.6 to 7	V
V_{A9}	A9 Voltage		–0.6 to 13.5	V
V_{PP}	Program Supply Voltage, during Erase or Programming		–0.6 to 14	V

Tabel 8/5.4-88: Maximaal toegelaten waarden voor de 28F201(A).

(T_A = 0 to 70 °C, –40 to 85 °C, –40 to 125 °C; V_{CC} = 5V ± 10%; 0V ≤ V_{PP} ≤ 6.5V)

Symbol	Alt	Parameter	Test Condition	M28F201 -80 Min	M28F201 -80 Max	Unit
t_{WHGL}		Write Enable High to Output Enable Low		6		µs
t_{AVAV}	t_{RC}	Read Cycle Time	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	80		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		80	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	$\overline{G} = V_{IL}$	0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		80	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	$\overline{E} = V_{IL}$	0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		40	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$	0	30	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$	0	30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		ns

Note: 1. Sampled only, not 100% tested

Tabel 8/5.4-89: Schakeltijden van het 80 ns-type van de 28F201 in de Read-Only mode.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 10%)

Symbol	Alt	Parameter	M28F201		Unit
			-80		
			Min	Max	
t_{VPHEL}		V_{PP} High to Chip Enable Low	1		µs
t_{VPHWL}		V_{PP} High to Write Enable Low	1		µs
t_{AVAV}	t_{WC}	Write Cycle Time	80		ns
t_{AVWL}	t_{AS}	Address Valid to Write Enable Low	0		ns
t_{AVEL}		Address Valid to Chip Enable Low	0		ns
t_{WLAX}	t_{AH}	Write Enable Low to Address Transition	45		ns
t_{ELAX}		Chip Enable Low to Address Transition	60		ns
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	0		ns
t_{WLEL}		Write Enable Low to Chip Enable Low	0		ns
t_{GHWL}		Output Enable High to Write Enable Low	0		µs
t_{GHEL}		Output Enable High to Chip Enable Low	0		µs
t_{DVWH}	t_{DS}	Input Valid to Write Enable High	45		ns
t_{DVEH}		Input Valid to Chip Enable High	50		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High (Write Pulse)	45		ns
t_{ELEH}		Chip Enable Low to Chip Enable High (Write Pulse)	60		ns
t_{WHDX}	t_{DH}	Write Enable High to Input Transition	0		ns
t_{EHDX}		Chip Enable High to Input Transition	0		ns
t_{WHWH1}		Duration of Program Operation	10		µs
t_{EHEH1}		Duration of Program Operation	10		µs
t_{WHWH2}		Duration of Erase Operation	9.5		ms
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	0		ns
t_{EHWH}		Chip Enable High to Write Enable High	0		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	20		ns
t_{EHEL}		Chip Enable High to Chip Enable Low	20		ns
t_{WHGL}		Write Enable High to Output Enable Low	6		µs
t_{EHGL}		Chip Enable High to Output Enable Low	6		µs
t_{AVQV}	t_{ACC}	Addess Valid to data Output		80	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	0		ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid		80	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	0		ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid		35	ns
t_{EHQZ} (1)		Chip Enable High to Output Hi-Z		35	ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z		30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	0		ns

Note: 1. Sampled only, not 100% tested

Tabel 8/5.4-90: Schakeltijden van het 80 ns-type van de 28F201 onder besturing van $\overline{W}$ of $\overline{E}$.

5.4 Type-beschrijving Flash-EPROM's

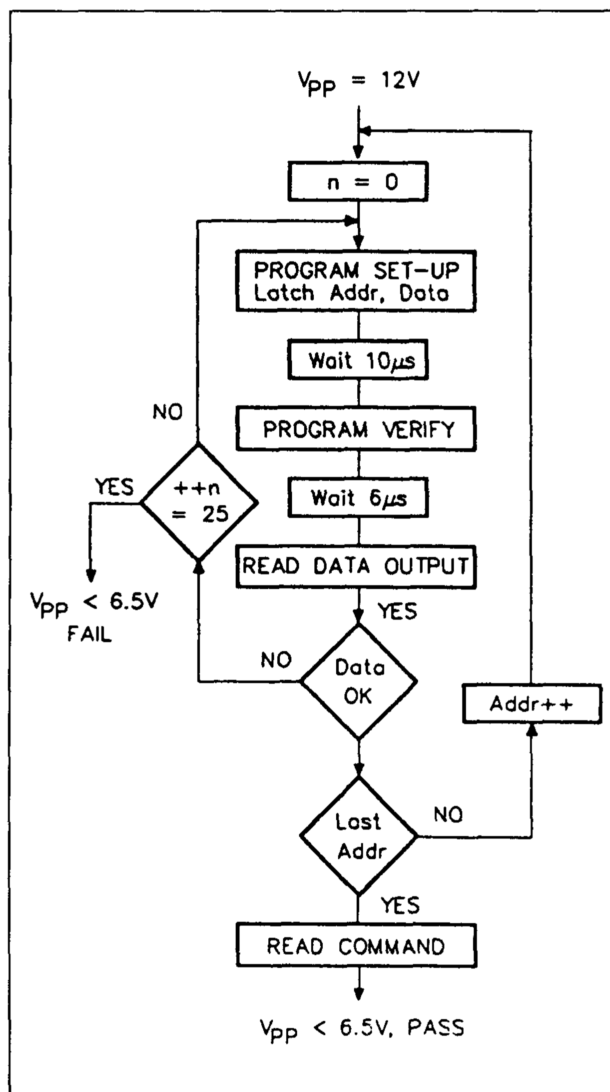
Van de laagspanningstypen zijn verder geen gegevens beschikbaar, maar de voedingsspanning hiervan ligt tussen 3 V en 3,6 V, terwijl ingangssignalen tussen 2 V en 3,3 V HOOG en lager dan 0,8 V LAAG zijn. Van de 28F201-familie zijn verschillende snelheidsversies leverbaar. De toegangstijden zijn:
- 28F201, 28F201A: 60, 70, 80, 100, 120, 150 en 200 ns.
- 28V101, 28V201A: 150 en 200 ns.

28F210, 28F220

256 k x 8 bit,
128 k x 16 bit CMOS Flash EPROM

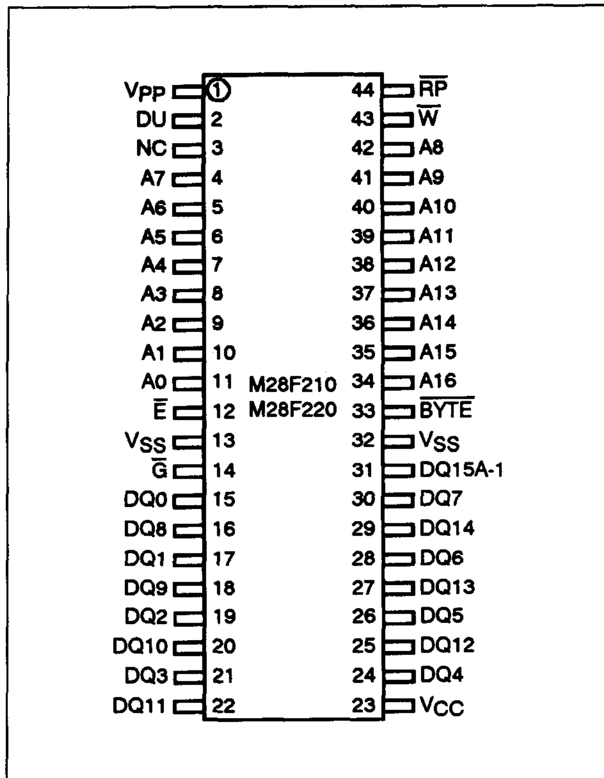
De 28F210 en 28F220 Flash geheugens zijn 2 MB niet-vluchtige geheugens die op blokniveau elektrisch wis- en programmeerbaar zijn.
Ze zijn direkt compatibel met vrijwel alle microprocessoren. De inrichting van 256 kB's van 8 bit of 128 k woorden van 16 bit kan door de gebruiker worden gekozen met behulp van een extern $\overline{BYTE}$-signaal.
De 28F210 heeft een "top boot"-blok en de 28F220 een "bottom boot"-blok. Beide typen worden geprogrammeerd met een spanning van 12 V, hetgeen ook in het systeem kan geschieden. De geheugens hebben een (44-pens) SO44-behuizing of een (56-pens) TSOP56-behuizing en ze zijn leverbaar met toegangstijden van 70 tot 120 ns.

Specificaties
- 2 MB
- zowel 262.144 x 8 bit als 131.072 x 16 bit voedingsspanning: 5 V +/-10 %
- programmeerspanning: 12 V +/-5 %
- low power CMOS:
  - 60 µA typ. (standby)
  - 0,2 µA typ. (deep power down)
  - 20/25 mA typ. (byte/word bedrijf)
- toegangstijden: 70 tot 120 ns
- elektrisch wissen in blokken:
  - één 16 kB of 8 k-word Boot-blok (top/bottom) met hardware schrijf/wisbeveiliging
  - twee 8 kB of 4 k-word Key Parameter blokken
  - één 96 kB of 48 k-word Main blokken
  - één 128 kB of 64 k-word Main blok
- geïntegreerde wis/programmeer-controller
- 100.000 wis/programmeercycli
- kleine behuizingen: SO44 of TSOP56 (figuur 8/5.4-120 en -121)
- fabrikant: SGS-Thomson: M28F210, M28F220



Figuur 8/5.4-119: Flowdiagram voor het programmeren van de 28F201.

5.4 Type-beschrijving Flash-EPROM's



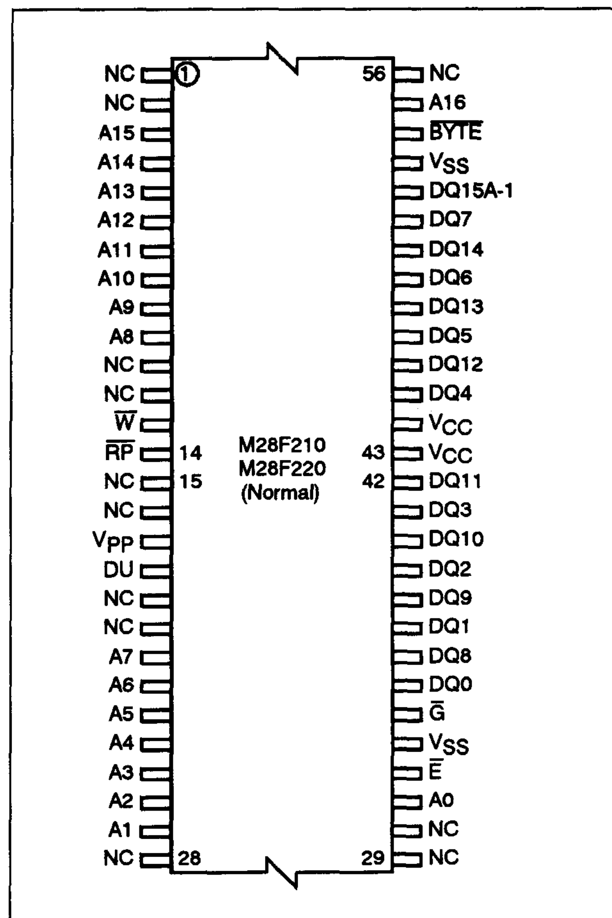
Figuur 8/5.4-120: Aansluitingen van de 44-pens Small Outline (SO44)-versie van de 28F210/220. Let op: DU = Don't use: niet gebruiken.

Organisatie

De organisatie van deze geheugens in 256 k x 8 of 128 k x 16 kan worden ingesteld met een extern BYTE-signaal. De X8 organisatie is aktief als dit LAAG is. De Data in-/uitgang DQ15 werkt dan als Adreslijn A11, waarmee gekozen wordt of de lower- of upper-byte van het geheugenwoord op DQ0 tot en met DQ7 verschijnt. DQ8 tot en met DQ15 blijven dan hoog-impedant. Wanneer BYTE HOOG is, gebruikt het geheugen de Adres-ingangen A0 tot en met A17 en de Data in-/uitgangen DQ0 tot en met DQ15. Het geheugen wordt bestuurd met de signalen Chip Enable, Output Enable en Write Enable. Een op drie niveaus werkende ingang "Reset/Power Down/Boot block unlock" zet de 28F210/220 of in een diepe power-down toestand of in de normale bedrijfsmode of maakt (bij 12 V) het wissen/programmeren van het boot-blok mogelijk.

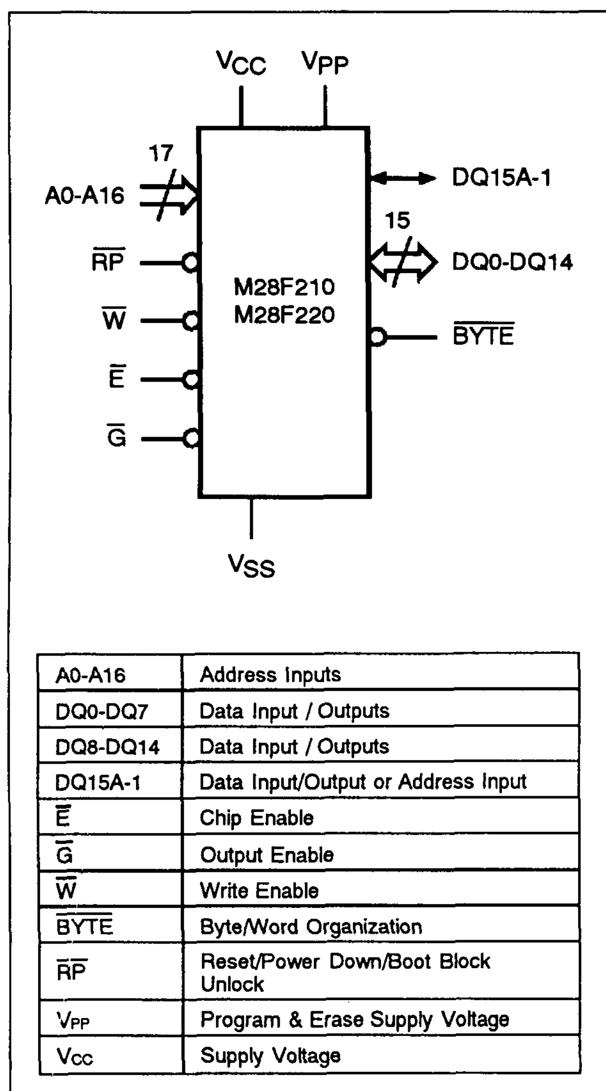
Geheugenblokken

Het geheugen wordt bloksgewijs gewist. Er zijn in totaal vijf blokken in de adresruimte: één Boot blok van 16 kB of 8 k woorden, twee "Key Parameter" blokken van 8 kB of 4 k woorden, één "Main" blok van 96 kB of 48 k woorden en één "Main" blok van 128 kB of 64 k woorden (zie figuur 8/5.4-123). De 28F210 heeft het Boot blok bovenin de adresruimte (tot 1FFFFH), terwijl de 28F220 het Boot blok onderaan heeft (vanaf 00000H). De keuze van een top- of bottom Boot blok is afhankelijk van de behoefte van de microprocessor.



Figuur 8/5.4-121: Aansluitingen van de 56-pens Thin Small Outline Package (TSOP56) van de 28F210/220.

5.4 Type-beschrijving Flash-EPROM's



A0-A16	Address Inputs
DQ0-DQ7	Data Input / Outputs
DQ8-DQ14	Data Input / Outputs
DQ15A-1	Data Input/Output or Address Input
E	Chip Enable
G	Output Enable
W	Write Enable
BYTE	Byte/Word Organization
RP	Reset/Power Down/Boot Block Unlock
V_{PP}	Program & Erase Supply Voltage
V_{CC}	Supply Voltage

Figuur 8/5.45-122: Logisch symbool en aansluitingen van de 28F210/220.

Elk blok kan apart in één seconde worden gewist (slechts één blok tegelijk) en meer dan 100.000 keer geprogrammeerd en gewist. Het Boot blok is door middel van hardware beveiligd tegen onbedoeld programmeren of wissen. Programmeer/wis-commando's in het Boot blok worden slechts uitgevoerd als $\overline{RP}$ = 12 V is.

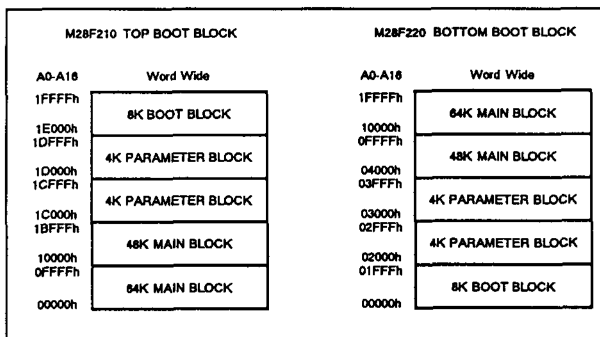
Bus-operaties
Door middel van geschikte buscycli kunnen zes operaties worden uitgevoerd:

- bytes of woorden uitlezen;
- electronic signature uitlezen;
- output disable;
- standby;
- power down;
- instructie-commando schrijven.

Commando-interface
De commando's kunnen naar een Command Interface latch (C.I.) worden geschreven om lezen, wissen en programmeren mogelijk te maken of om de status van het geheugen te controleren.
Bij het voor het eerst aanbrengen van de voedingsspanning, bij het terugkomen uit power down of als V_{CC} lager wordt dan V_{LKO} wordt het Command Interface gereset naar Read Memory Array.

Instructies en commando's
Zoals tabel 8/5.4-92 laat zien, zijn er acht instructies:

- Read Memory Array;
- Read Status Register;
- Read Electronic Signature;
- Erase;
- Program;
- Clear Status Register;
- Erase Suspend;
- Erase Resume.



Figuur 8/5.4-123: Inrichting (memory map) van het geheugen in woord-brede adressen. De 28F210 heeft het Boot blok aan de bovenkant en de 28F220 aan de onderkant van de adresruimte.

5.4 Type-beschrijving Flash-EPROM's

Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	$\overline{BYTE}$	DQ0 - DQ7	DQ8 - DQ14	DQ15A-1
Read Word	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	Data Output	Data Output	Data Output
Read Byte	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	Data Output	Hi-Z	Address Input
Write Word	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IH}	Data Input	Data Input	Data Input
Write Byte	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IL}	Data Input	Hi-Z	Address Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	X	Hi-Z	Hi-Z	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	X	Hi-Z	Hi-Z	Hi-Z
Power Down	X	X	X	V_{IL}	X	Hi-Z	Hi-Z	Hi-Z

Note: X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}

Tabel 8/5.4-91: De verschillende bedrijfsmodes kunnen worden ingesteld met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$, $\overline{RP}$ en $\overline{BYTE}$.

Mnemonic	Instruction	Cycles	1st Cycle			2nd Cycle		
			Operation	Address (1)	Data (4)	Operation	Address	Data
RD	Read Memory Array	1+	Write	X	0FFh	Read (2)	Read Address	Data
RSR	Read Status Register	1+	Write	X	70h	Read (2)	X	Status Register
RSIG	Read Electronic Signature	3	Write	X	90h	Read (2)	Signature Adress (3)	Signature
EE	Erase	2	Write	X	20h	Write	Block Address	0D0h
PG	Program	2	Write	X	40h or 10h	Write	Address	Data Input
CLRS	Clear Status Register	1	Write	X	50h			
ES	Erase Suspend	1	Write	X	0B0h			
ER	Erase Resume	1	Write	X	0D0h			

Notes:
1. X = Don't Care.
2. The first cycle of the RD, RSR or RSIG instruction is followed by read operations to read memory array, Status Register or Electronic Signature codes. Any number of Read cycle can occur after one command cycle.
3. Signature address bit A0=V_{IL} will output Manufacturer code. Address bit A0=V_{IH} will output Device code. Other address bits are ignored.
4. When word organization is used, upper byte is don't care for command input.

Tabel 8/5.4-92: Instructies voor de 28F210/220.

5.4 Type-beschrijving Flash-EPROM's

Hex Code	Command
00h	Invalid/Reserved
10h	Alternative Program Set-up
20h	Erase Set-up
40h	Program Set-up
50h	Clear Status Register
70h	Read Status Register
90h	Read Electronic Signature
0B0h	Erase Suspend
0D0h	Erase Resume/Erase Confirm
0FFh	Read Array

Tabel 8/5.4-93: Overzicht van de commando's.

Van de Program en Erase instructies worden alle timingen en verificaties verzorgd door een interne Program/Erase Controller (P/E.C), die ook zorgt voor de statusbits. Instructies zijn samengesteld uit een eerste schrijfoperatie, gevolgd door óf een tweede commando schrijfoperatie om het programmeer- of wiscommando te bevestigen óf een leesoperatie om data uit het array, de Electronic Signature of het statusregister te lezen. Om data extra te beveiligen bestaan instructies voor byte-/woord-programmeren en blok-wissen uit twee commando's die naar het geheugen worden geschreven en die de automatische P/E.C operatie starten. Byte- of woord-programmeren is klaar in 9 µs; blok-wissen in 1 seconde. Het wissen van een geheugenblok kan worden uitgesteld om data uit een ander blok te lezen, waarna het wissen verder gaat. Een statusregister kan altijd worden uitgelezen (ook tijdens programmeer- of wis-cycli) om de voortgang van de operatie te controleren.

Energiebesparing

De 28F210 en 28F220 hebben verschillende mogelijkheden om het opgenomen vermogen te beperken. Door Chip Enable $\overline{E}$ en Reset/Power Down ($\overline{RP}$) op V_{CC} te zetten komt het geheugen in een CMOS standby mode, waarbij de voedingsstroom afneemt tot circa 60 µA. Als $\overline{RP}$ op V_{SS} komt, wordt een diepe power down mode bereikt. De voedingsstroom neemt dan af tot ongeveer 0,2 µA. Om bij te komen uit de diepe power down mode is maximaal 300 ns nodig, waarbij instructies voor het Command Interface reeds na 210 ns worden herkend.

Adres-ingangen A0 tot en met A16

De adres-signalen om een lokatie in het geheugen-array te bepalen, worden tijdens een schrijfoperatie gelatcht.

Adreslijn A9 wordt ook gebruikt voor de Electronic Signature operatie (als A9 = 12 V is). Het A0-signaal wordt gebruikt om twee woorden of bytes uit te lezen. Als A0 LAAG is kan de fabrikantcode worden gelezen; als A0 HOOG is de device-code (tabel 8/5.4-94). Als $\overline{BYTE}$ LAAG is, verschijnt de code op DQ0 tot en met DQ7, waarbij DQ8 tot en met DQ15 "don't care" zijn. Is $\overline{BYTE}$ HOOG, dan verschijnen de codes op DQ0 tot en met DQ7, terwijl DQ8 tot en met DQ15 00H zijn.

Data-in-/uitgangen DQ0 tot en met DQ7

De data-ingangssignalen (een byte of de lage byte van een woord dat geprogrammeerd moet worden of een commando voor het C.I.) worden gelatcht wanneer zowel Chip Enable $\overline{E}$ als Write Enable $\overline{W}$ aktief zijn. De data-uitgangssignalen van het geheugen-array, de Electronic Signature of het Status Register zijn geldig als Chip Enable $\overline{E}$ en Output Enable ($\overline{G}$ aktief zijn. De uitgang is hoog-impedant als de chip gedeselecteerd is of als de uitgangen gesperd zijn.

Data-in-/uitgangen DQ8 tot en met DQ15A-1

Deze in-/uitgangen worden gebruikt in de woord-brede organisatie. Wanneer $\overline{BYTE}$ HOOG is, komt het functioneren van het hoogste byte overeen met de hiervoor beschreven DQ0 tot en met DQ7. Wanneer $\overline{BYTE}$ LAAG is, zijn DQ8 tot en met DQ14 hoog-impedant, terwijl DQ15A-1 dan de adres-ingang A-1 is.

5.4 Type-beschrijving Flash-EPROM's

Organis ation	Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{BYTE}$	A0	A9	A1-A8 & A10-A16	DQ0 - DQ7	DQ8 - DQ14	DQ15 A-1
Word-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h	00h	0
	Device Code	M28F210	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0E0h	00h	0
		M28F220	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0E6h	00h	0
Byte-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{ID}	Don't Care	20h	Hi-Z	Don't Care
	Device Code	M28F210	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{ID}	Don't Care	0E0h	Hi-Z	Don't Care
		M28F220	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{ID}	Don't Care	0E6h	Hi-Z	Don't Care

Note: $\overline{RP} = V_{IH}$

Tabel 8/5.4-94: De Electronic Signature van de 28F210/220.

Chip Enable $\overline{E}$

Met Chip Enable worden de besturingslogika, de ingangsbuffers, decoders en senseversterkers geaktiveerd. Door $\overline{E}$ HOOG te maken vervalt de selectie van het geheugen en neemt het opgenomen vermogen af tot het standby-niveau. $\overline{E}$ kan ook worden gebruikt om het schrijven naar het commandoregister en het geheugen-array te regelen, waarbij $\overline{W}$ LAAG blijft. Zowel adres- als datasignalen worden dan gelatcht op de stijgende flank van $\overline{E}$.

Reset/Power Down $\overline{RP}$

Dit is een tri-niveau ingang die het Boot blok van programmeren en wissen uit kan sluiten en die het geheugen in de diepe slaap power down-mode kan zetten.
Wanneer $\overline{RP}$ HOOG is (maximaal 6,5 V), is het Boot blok afgesloten en kan dit niet worden gewist of geprogrammeerd. Als $\overline{RP}$ hoger is dan 11,4 V staat het Boot blok klaar voor wissen of programmeren. Als $\overline{RP}$ LAAG is, bevindt het geheugen zich in de diepe power down toestand ($\overline{RP} < V_{SS} + 0,2$ V).

Output Enable $\overline{G}$

Met Output Enable wordt tijdens een leesoperatie de informatie op de databuffers gezet.

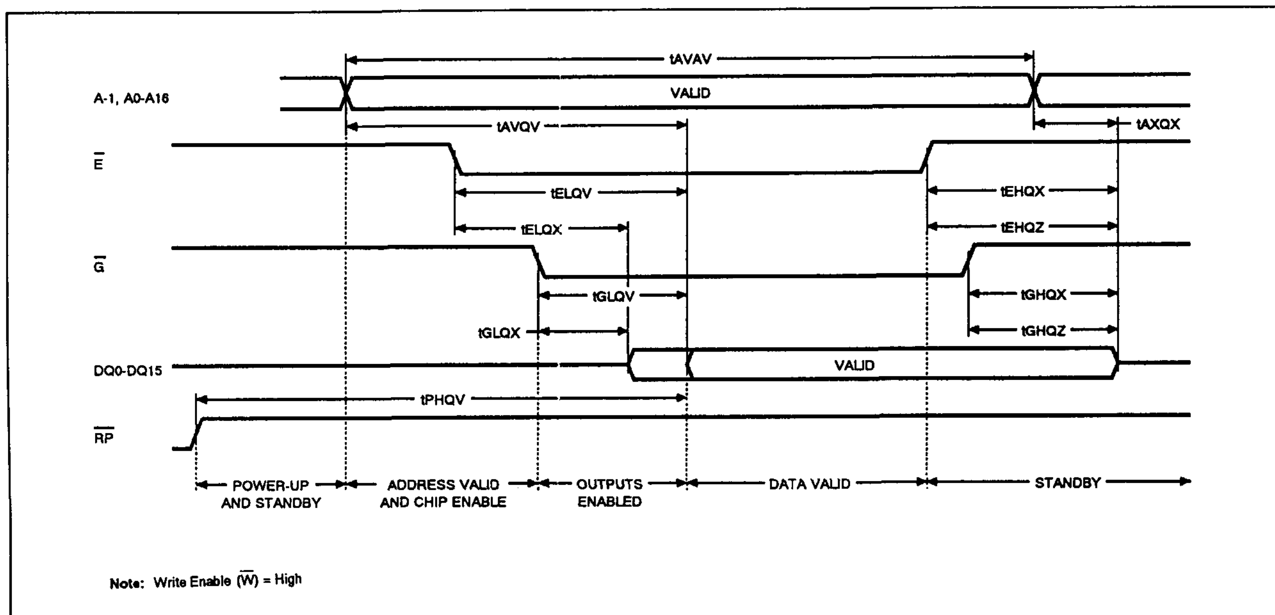
Write Enable $\overline{W}$

Write Enable bestuurt het schrijven naar het Command Register en de latches voor adres en data. Zowel adres als data worden op de stijgende flank van $\overline{W}$ gelatcht.

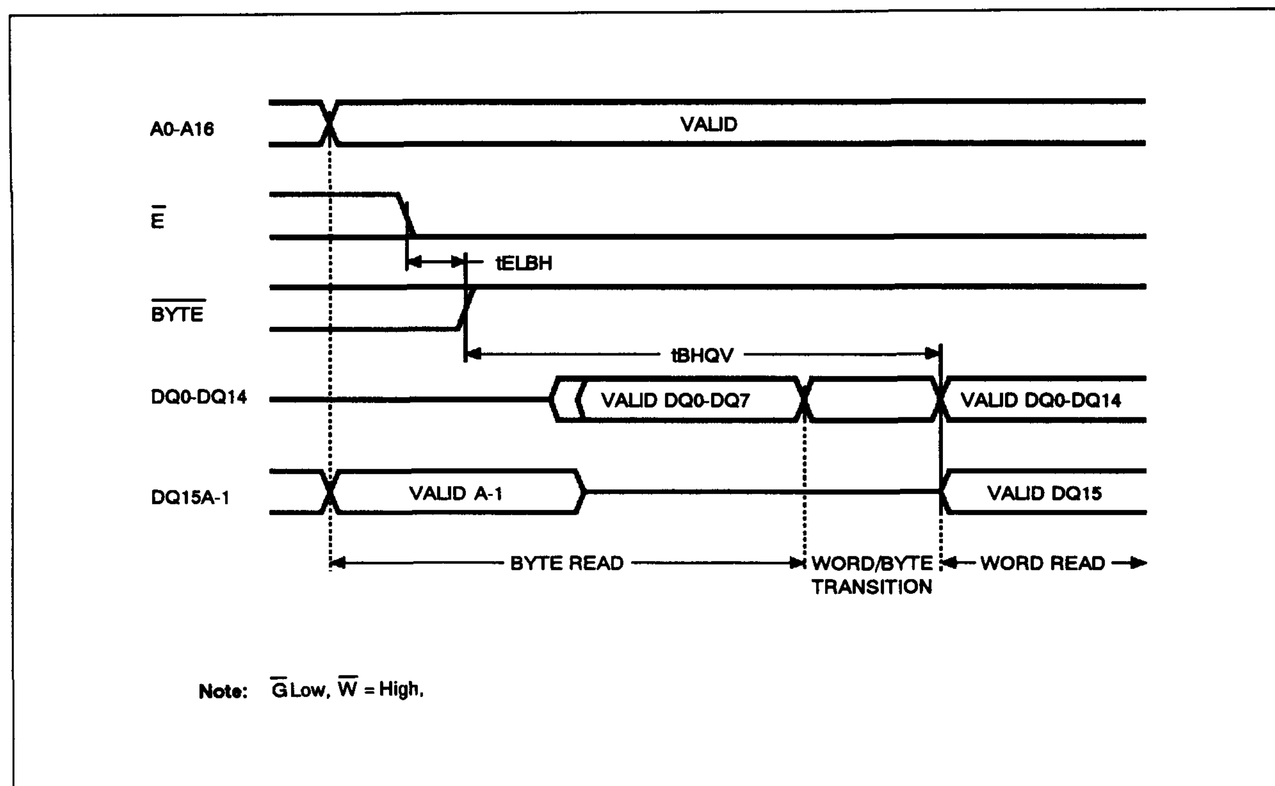
Byte/woord-keuze $\overline{BYTE}$

Met dit signaal kan de byte- of woord-brede organisatie van het geheugen worden geselecteerd. Als $\overline{BYTE}$ LAAG is, is het geheugen x8 of byte-breed georganiseerd en worden de data in-/uitgangen DQ0 tot en met DQ7 gebruikt. A-1 werkt dan als de extra LSB van het geheugen-adres dat het upper of lower byte multiplext. In de byte-brede organisatie zijn DQ8 tot en met DQ14 hoog-impedant. Wanneer $\overline{BYTE}$ HOOG is, is het geheugen x16 georganiseerd en wordt voor de data de in-/uitgangen DQ0 tot en met DQ15 gebruikt (en A0 tot en met A16 voor de adressen).

5.4 Type-beschrijving Flash-EPROM's

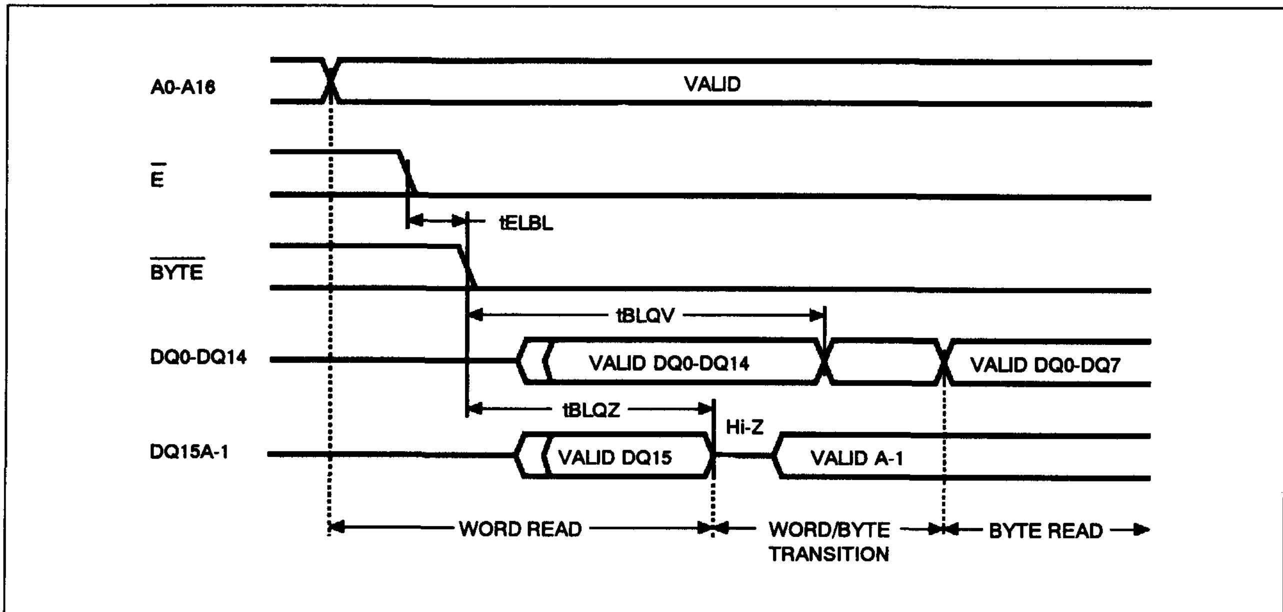


Figuur 8/5.4-124: Timing en golfvormen bij het uitlezen van de 28F210/220.

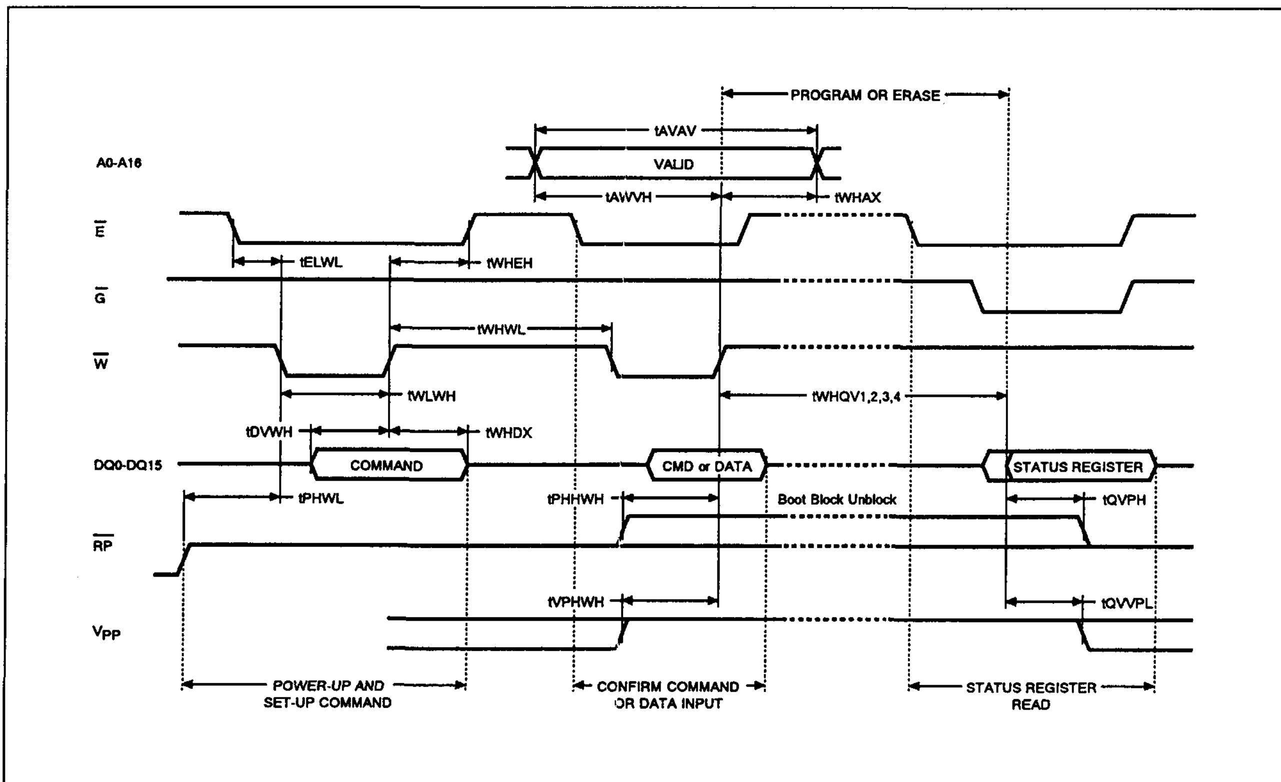


Figuur 8/5.4-125: Golfvormen bij een LAAG-naar-HOOG overgang van BYTE (zie ook tabel 8/5.4-99).

5.4 Type-beschrijving Flash-EPROM's

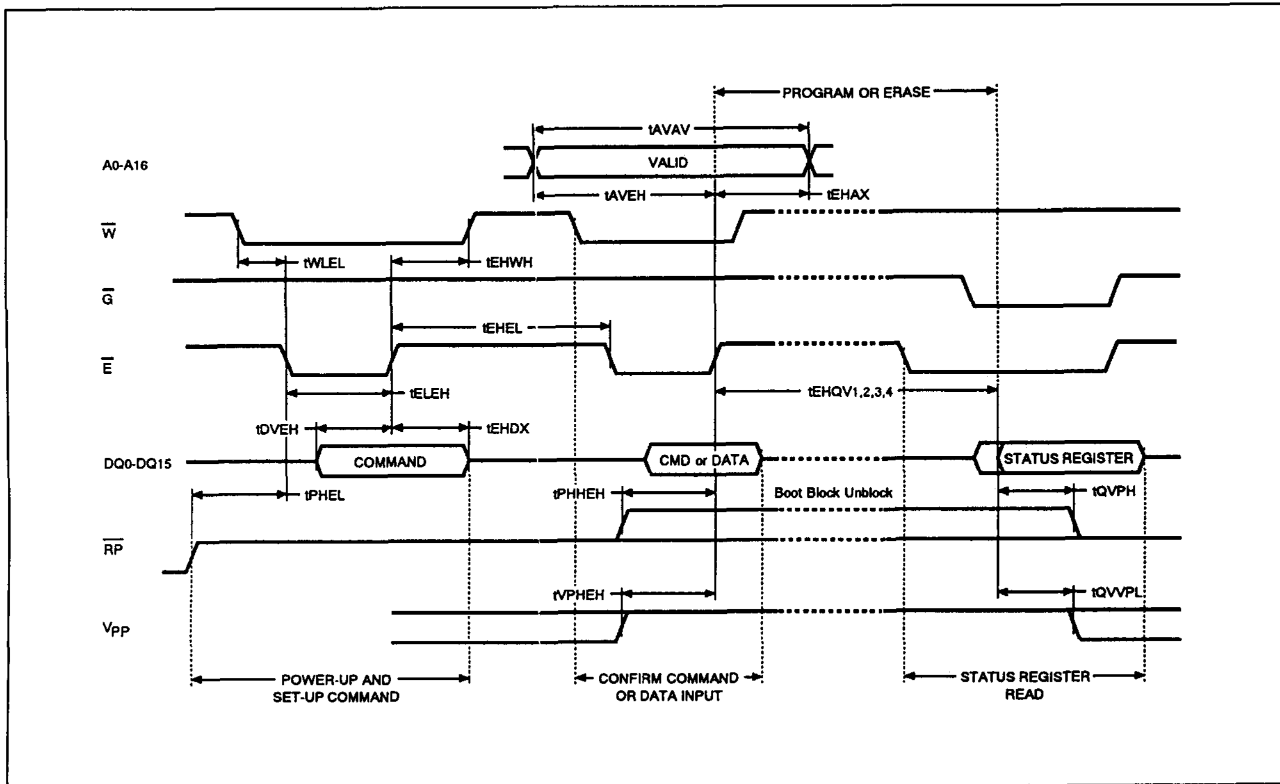


Figuur 8/5.4-126: Golfvormen bij een HOOG-naar-LAAG overgang van $\overline{BYTE}$ (zie tabel 8/5.4-99).



Figuur 8/5.4-127: Timing en golfvormen bij het programmeren en wissen van de 28F210/220, onder besturing van $\overline{W}$ (woord breed).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-128: Timing en golfvormen (onder controle van $\overline{E}$) bij het programmeren en wissen van de 28F210/220.

Programmeerspanning V_{PP}

De spanning V_{PP} wordt gebruikt voor het wissen en programmeren. V_{CC} is de voedingsspanning en V_{SS} de referentie voor alle spanningsmetingen.

Read

Om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen worden leesoperaties (Read) toegepast. Hierbij moeten $\overline{E}$ en $\overline{G}$ allebei LAAG zijn (figuur 8/5.4-124). Omdat met Chip Enable ook de dissipatie wordt geregeld, moet dit signaal worden gebruikt om de 28F210/220 te selecteren. Met Output Enable wordt de data op de uitgang gezet die, afhankelijk van het $\overline{BYTE}$-signaal, een byte of een woord kan zijn. Als $\overline{BYTE}$ LAAG is, wordt op DQ0 tot en met DQ7 een databyte gelezen, waarbij DQ8 tot en met DQ14 hoogimpedant zijn en A-1 een extra adreslijn is. Is $\overline{BYTE}$ HOOG dan wordt op DQ0 tot en met DQ15 een datawoord gelezen (figuren 8/5.4-125 en -126).

Bovendien is de data afhankelijk van het voorafgaande commando dat in het geheugen is geschreven (zie ook de RD, RSR en RSIG instructies).

Write

Schrijfoperaties (Write) worden toegepast om instructie-commando's aan het geheugen te geven of om ingangsdata die geprogrammeerd moet worden te latchen. Een schrijfoperatie wordt geïnitialiseerd als $\overline{E}$ en $\overline{W}$ LAAG zijn en $\overline{G}$ HOOG is. Commando's, ingangsdata en adressen worden op de stijgende flank van $\overline{W}$ of $\overline{E}$ gelatcht (figuur 8/5.4-127, respectievelijk -128). Net als bij een leesoperatie wordt een datawoord geschreven als $\overline{BYTE}$ HOOG is. Is $\overline{BYTE}$ LAAG, dan wordt een databyte geschreven, waarbij DQ8 tot en met DQ14 "don't care" zijn en A-1 een extra adreslijn is.

5.4 Type-beschrijving Flash-EPROM's

Mnemonic	Bit	Name	Logic Level	Definition	Note
P/ECS	7	P/E.C. Status	'1'	Ready	Indicates the P/E.C. status, check during Program or Erase, and on completion before checking bits b4 or b5 for Program or Erase Success
			'0'	Busy	
ESS	6	Erase Suspend Status	'1'	Suspended	On an Erase Suspend instruction P/ECS and ESS bits are set to '1'. ESS bit remains '1' until an Erase Resume instruction is given.
			'0'	In progress or Completed	
ES	5	Erase Status	'1'	Erase Error	ES bit is set to '1' if P/E.C. has applied the maximum number of erase pulses to the block without achieving an erase verify.
			'0'	Erase Success	
PS	4	Program Status	'1'	Program Error	PS bit set to '1' if the P/E.C. has failed to program a byte or word.
			'0'	Program Success	
VPPS	3	V_{PP} Status	'1'	V_{PP} Low, Abort	VPPS bit is set if the V_{PP} voltage is below V_{PPH}(min) when a Program or Erase instruction has been executed.
			'0'	V_{PP} OK	
	2	Reserved			
	1	Reserved			
	0	Reserved			

Notes: Logic level '1' is High, '0' is Low.

Tabel 8/5.4-95: Betekenis van de bits in het Status Register.

Output Disable

Als de output enable-ingang $\overline{G}$ HOOG is zijn de uitgangen hoog-impedant (met $\overline{W}$ = HOOG).

Standby

Het geheugen is standby als de Chip Enable-ingang $\overline{E}$ HOOG is. De dissipatie neemt dan af tot het standby-niveau en de uitgangen worden hoog-impedant, ongeacht $\overline{G}$ of $\overline{W}$.

Electronic Signature

Er kunnen twee binaire codes ter identificatie van fabrikant en type worden uitgelezen. De fabrikantcode van SGS-Thomson is 20H en de device-codes zijn 0E0H voor de M28F210 en 0E6H voor de M28F220. Met deze codes kunnen de interfaces van programmeer-apparatuur of applicaties automatisch worden afgestemd op de karakteristieken van de toegepaste produkten.

De electronic signature-mode wordt aktief door een hoge spanning V_{ID} op adrespen A9 te zetten. Met A0 = LAAG verschijnt de fabrikantcode en met A0 = HOOG de devicecode. De overige adreslijnen worden dan genegeerd. De codes verschijnen op de uitgangen DQ0 tot en met DQ7. Wanneer $\overline{BYTE}$ HOOG is, zijn DQ8 tot en met DQ15 00H; is $\overline{BYTE}$ LAAG, dan zijn DQ8 tot en met DQ14 hoog-impedant, waarbij adreslijn A-1 wordt genegeerd. De Electronic Signature kan ook worden uitgelezen zonder dat A9 op V_{ID} wordt gebracht als de instructie RSIG wordt gegeven.

5.4 Type-beschrijving Flash-EPROM's

Instructies en commando's

De 28F210/220 heeft een Command Interface (C.I.) waarin de commando's worden opgeslagen. Instructies bestaan uit één of meer commando's om Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume uit te voeren.
Deze instructies hebben 1 tot 3 operaties nodig, waarvan de eerste altijd een schrijfoperatie is. Deze wordt gevolgd door óf een tweede schrijfoperatie om het programmeer- of wiscommando te bevestigen óf een leesoperatie.
De toestanden van de Program/Erase Controller (P/E.C), de suspend/in-progress status van wis-operaties, de failure/success toestand van wissen en programmeren en de low/correct waarde van de programmeerspanning V_{PP} zijn te zien in een statusregister. De P/E.C zet de bits b3 tot en met b7 automatisch op "1" en bit b6 en b7 op "0" (hij kan bit b3 tot en met b5 niet clearen). Het register kan worden uitgelezen met de Read Status Register instructie (RSR) en gecleared met de Clear Status Register instructie (CLRS). De betekenis van de bits b3 tot en met b7 is te zien in tabel 8/5.4-95. Bits b0 tot en met b2 zijn gereserveerd voor toekomstig gebruik.

Read Instructie (RD)

De lees-instructie bestaat uit één schrijfoperatie die het commando 0FFH geeft. Met daarna volgende lees-operaties kan de inhoud van het geadresseerde geheugenarray worden uitgelezen die, afhankelijk van het niveau van $\overline{BYTE}$, een byte of woord kan zijn.

Read Status Register Instructie (RSR)

De lees-statusregister-instructie kan op elk moment worden gegeven (ook terwijl de P/E.C aktief is). Hij bestaat uit één schrijfoperatie die het commando 70H geeft, waarna lees-operaties de inhoud van het statusregister ophalen. Deze inhoud wordt op de dalende flank van de $\overline{E}$- of $\overline{G}$-signalen gelatcht en blijft beschikbaar totdat $\overline{E}$ of $\overline{G}$ weer naar zijn oorspronkelijke hoge niveau terugkeert. Om de latch van nieuwe informatie te voorzien moet met $\overline{E}$ of $\overline{G}$ worden getoggeld. Als gevolg hiervan zal bij een leespoging tijdens het wissen of programmeren automatisch de inhoud van het statusregister op de uitgang verschijnen.

Read Electronic Signature Instructie (RSIG)

Voor deze instructie worden 3 operaties gebruikt. Hij bestaat uit één schrijf-operatie (het commando 90H), gevolgd door twee leesoperaties voor het uitlezen van de fabrikant- en device-codes.

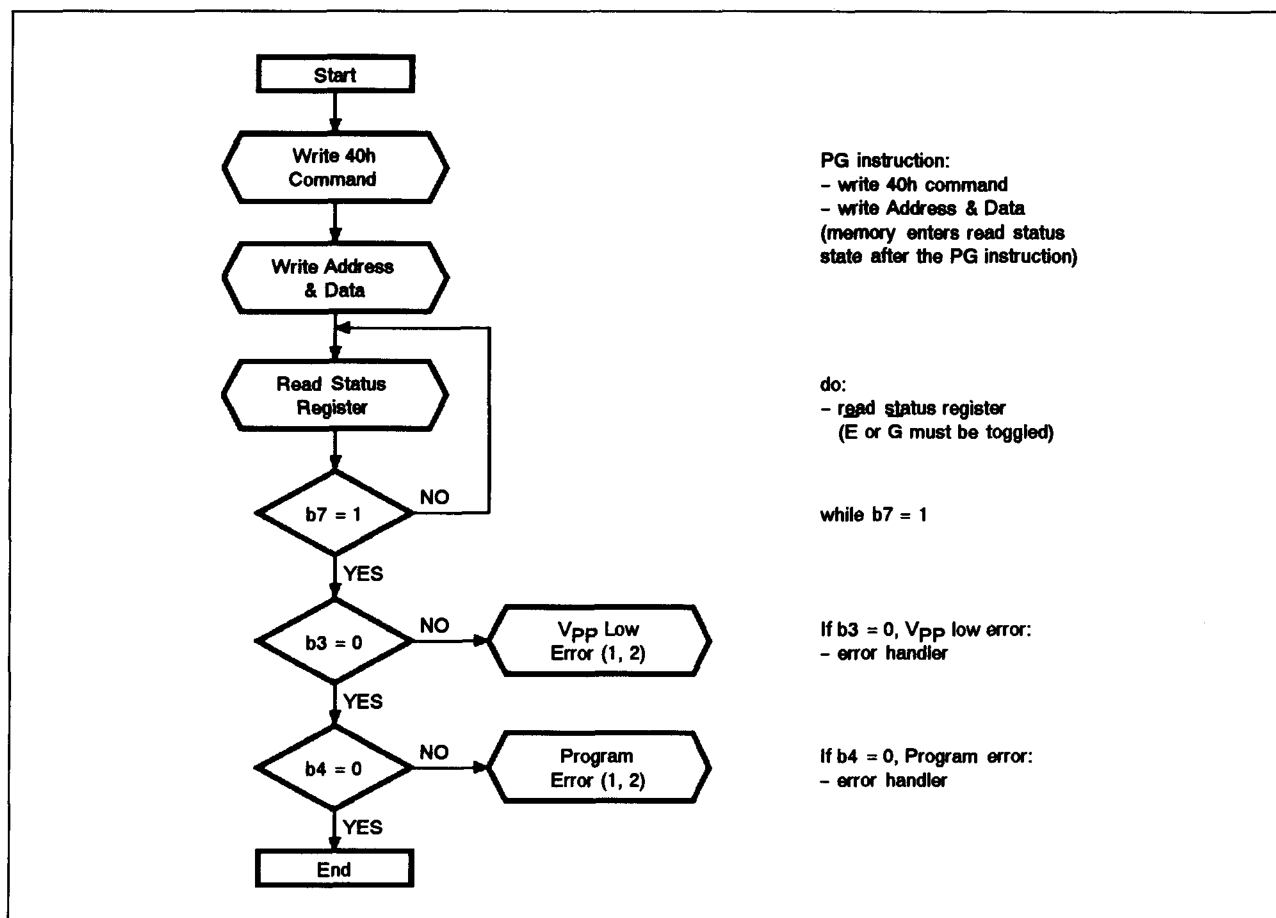
Erase Instructie (EE)

De wis-instructie gebruikt twee schrijfoperaties. Het eerst geschreven commando is Erase Set-up (20H); het tweede is Erase Confirm (0D0H). Tijdens het schrijven van het tweede commando wordt het adres van een te wissen blok gegeven en in het geheugen gelatcht. Als het tweede commando niet het Erase Confirm commando is, worden in het statusregister de bits b4 en b5 op "1" gezet en breekt de instructie af.
Tijdens het uitvoeren van Erase door de P/E.C accepteert het geheugen alleen de RSR en ES (Erase Suspend) instructies. Tijdens het wissen is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het wissen een Erase Failure is opgetreden, gaat bit b5 van het statusregister na afloop van het wissen naar "1". Wanneer V_{PP} bij het wissen lager wordt dan het V_{PPH}-niveau gaat statusregister-bit b3 naar "1" en wordt het wissen afgebroken (ook als $\overline{RP}$ LAAG wordt). Het Boot blok kan alleen worden gewist als $\overline{RP}$ op V_{HH} staat.

Program Instructie (PG)

Deze instructie gebruikt twee schrijfoperaties. Het commando dat het eerst wordt geschreven is Program Set-up (40H of 10H). Een tweede schrijf-operaties latcht het adres plus de te schrijven data en start de P/E.C.

5.4 Type-beschrijving Flash-EPROM's



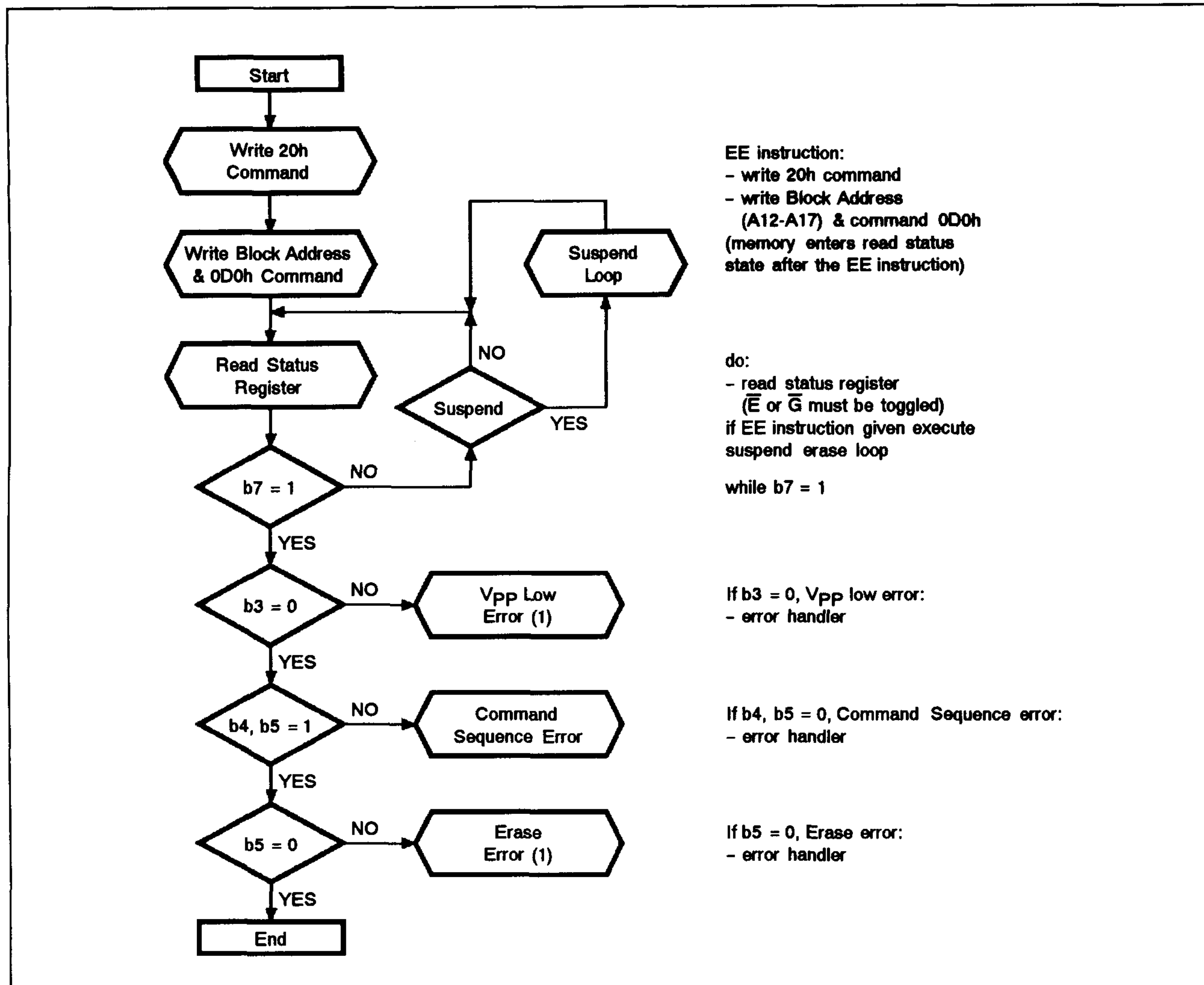
Figuur 8/5.4-129: Program flow-diagram en pseudo-code.

Met lees-operaties wordt de inhoud van het statusregister opgehaald als het programmeren begonnen is. Het programmeren houdt in dat alleen nullen op de plaats van enen in een byte of woord worden geschreven. Tijdens de uitvoering van het programmeren door de P/E.C accepteert het geheugen alleen de RSR instructie. Gedurende het programmeren is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het programmeren een Program Failure is opgetreden, gaat na afloop bit b4 in het statusregister naar "1". Wanneer V_{PP} voor en tijdens het programmeren afwijkt van V_{PPH} gaat bit b3 in het statusregister naar "1".
Bij het programmeren moet V_{PP} het V_{PPH}-niveau hebben. Er wordt afgeraden om te programmeren als $V_{PP} < V_{PPH}$, omdat het resultaat onzeker is. Het programmeren wordt afgebroken als V_{PP} lager wordt dan V_{PPH} en als $\overline{RP}$ LAAG wordt. De data kan in dat geval onjuist zijn, zodat na clearen van het statusregister het geheugen gewist en opnieuw geprogrammeerd moet worden. Het Boot blok kan alleen worden geprogrammeerd als $\overline{RP}$ op V_{HH} staat.

Clear Status Register Instructie (CLRS)
Om het statusregister leeg te maken is één schrijf-operatie nodig, waarmee bits b3, b4 en b5 op "0" worden gezet (als die door de P/E.C op "1" waren gelatcht). CLRS moet worden uitgevoerd vóór elke nieuwe operatie als een fout is gedetecteerd.

Erase Suspend Instructie (ES)
De wis-operatie kan met deze instructie (commando OBOH) worden uitgesteld.

5.4 Type-beschrijving Flash-EPROM's

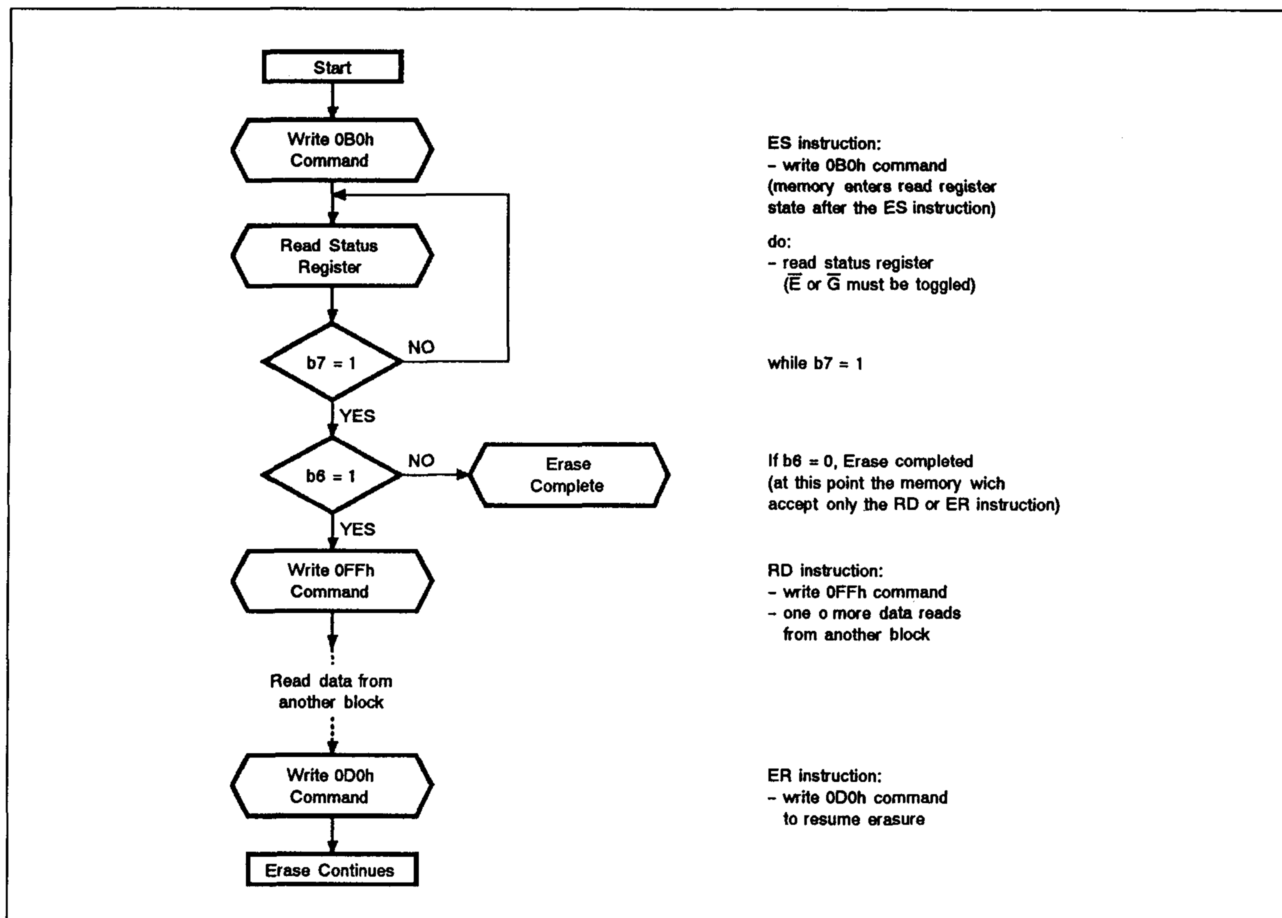


Figuur 8/5.4-130: Erase flow-diagram en pseudo-code.

Statusregisterbit b6 geeft aan of het wissen werkelijk is uitgesteld (b6 = "1") of dat de P/E.C-cyclus de laatste was en het wissen klaar is (b6 = "0"). Tijdens het uitstel reageert het geheugen alleen op RD, RSR en ER (Erase Resume) instructies. Als het wissen is uitgesteld halen lees-operaties eerst de inhoud van het statusregister op, maar na een Read-instructie kan data uit andere geheugenblokken worden uitgelezen. V_{PP} moet ook bij uitstellen van het wissen op V_{PPH} worden gehouden.
Als V_{PP} gedurende Erase Suspend afwijkt van V_{PPH} of als $\overline{RP}$ LAAG wordt, wordt het wissen afgebroken. Bits b5 en b3 van het statusregister worden dan gezet. Na clearen van het statusregister moet dan opnieuw worden gewist.

Erase Resume Instructie (ER)
Als een wis-uitstel instructie bezig is, kan het wissen worden hervat door het commando 0D0H te geven. Statusregisterbit b6 wordt dan gecleared, waarna leesoperaties de inhoud van het statusregister ophalen. De aanbevolen flow-diagrammen van programma's waarin het programmeren, wissen en uitstellen/hervatten van het wissen worden gebruikt, zijn te zien in de figuren 8/5.4-129 tot en met -131.

5.4 Type-beschrijving Flash-EPROM's

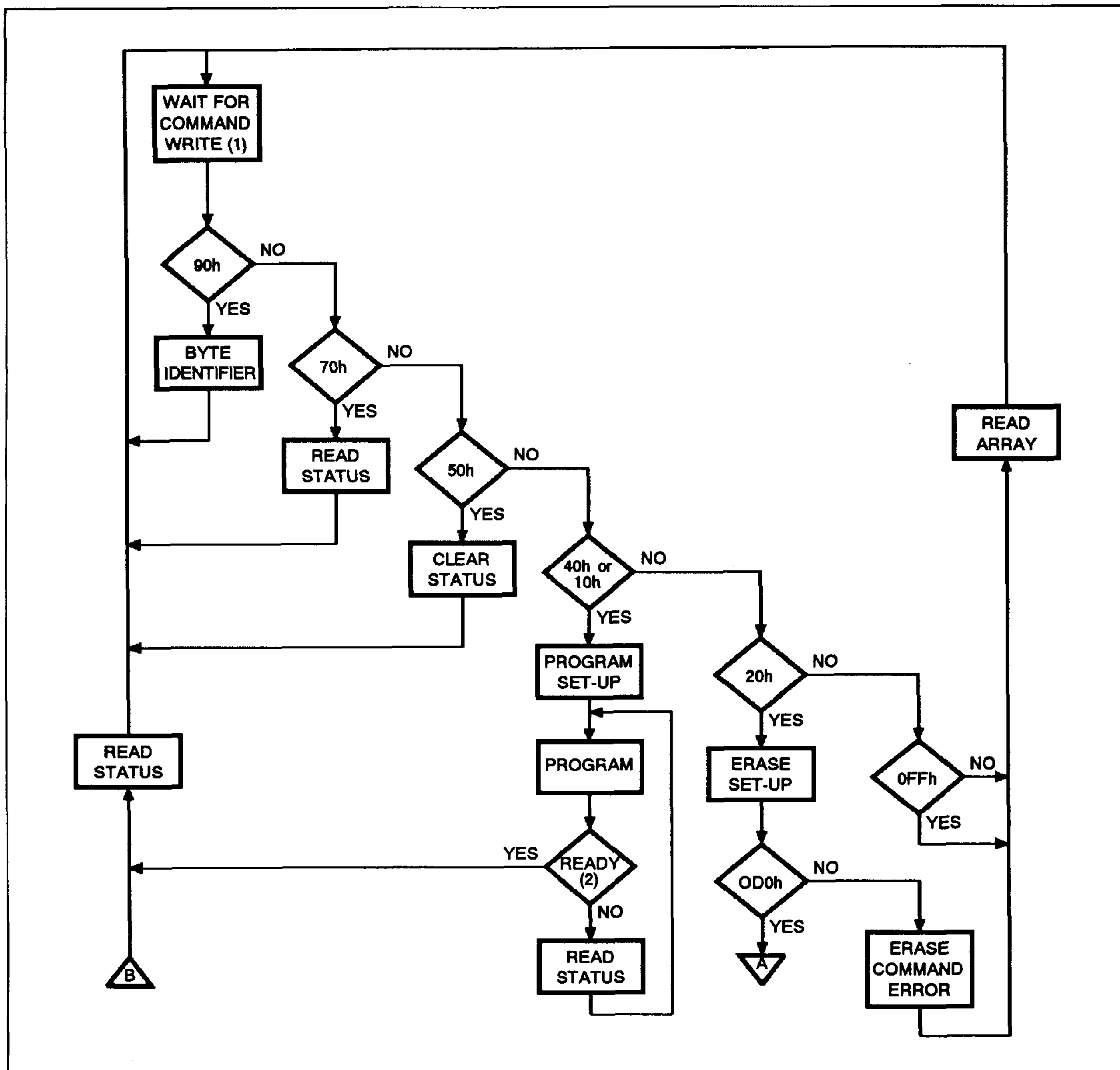


Figuur 8/5.4-131: Erase Suspend & Resume flow-diagram en pseudo-code.

Het programmeren

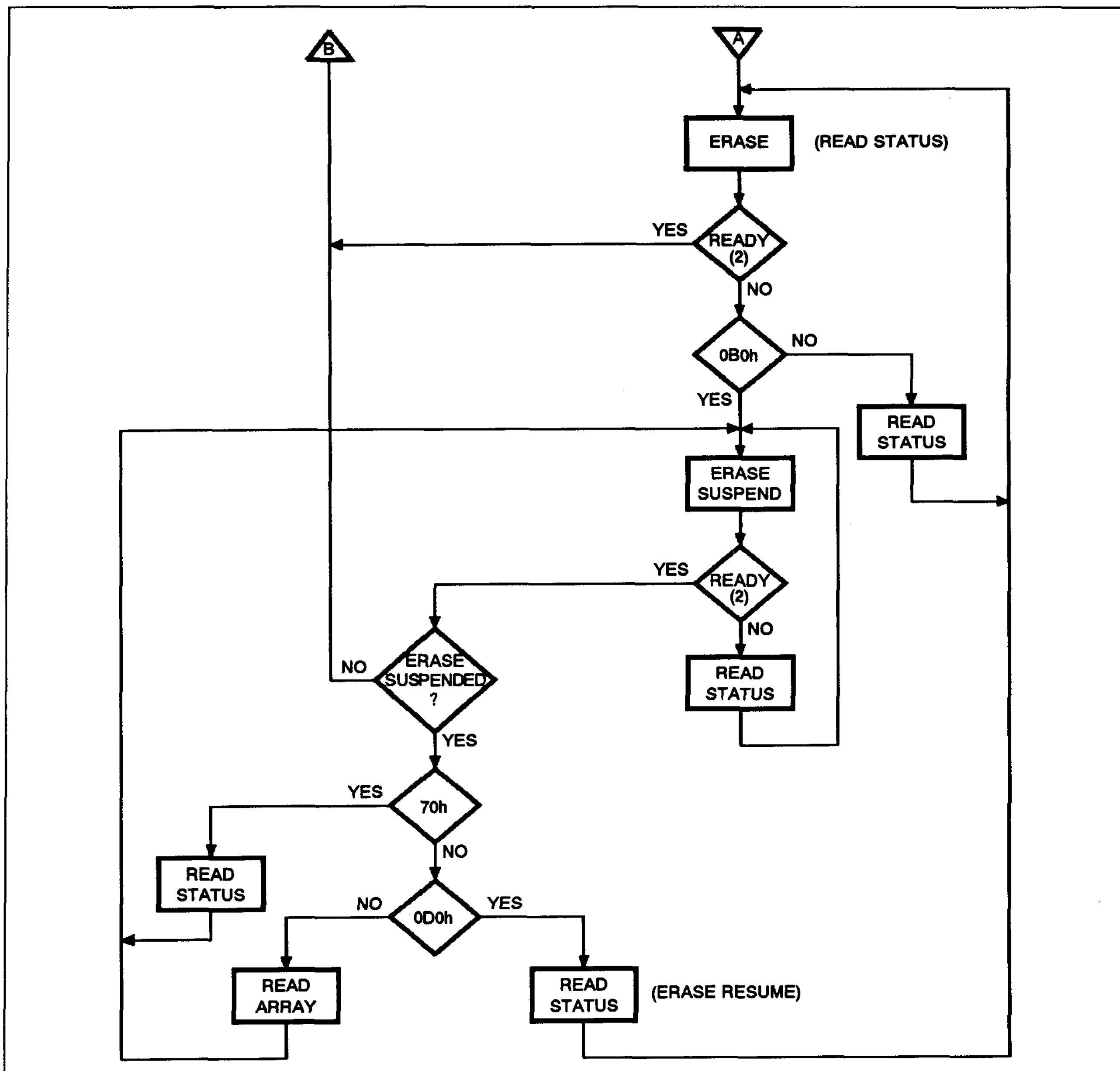
Het geheugen kan byte-voor-byte of woord-voor-woord worden geprogrammeerd. De programmeerspanning V_{PP} moet aanwezig zijn voordat de programmeer-instructie wordt gegeven. En als in het Boot blok moet worden geprogrammeerd, moet ook $\overline{RP}$ op V_{HH} worden gebracht om dit blok vrij te geven. Tijdens het programmeren mag de programmeerspanning continu aanwezig blijven.
De programmeer-volgorde wordt gestart met een Program Set-up commando (40H) aan het Command Interface, gevolgd door het schrijven van adres en data-byte of -woord.
De Program/Erase Controller (P/E.C) start automatisch en voert het programmeren uit na de tweede schrijf-operatie (mits V_{PP} en $\overline{RP}$ correct zijn). Tijdens het programmeren wordt de status van het geheugen gecheckt door statusregisterbit b7 te lezen (= de status van de P/E.C). Bit b7 = "1" geeft aan dat het programmeren klaar is.
Een volledige status check kan worden uitgevoerd na elk byte/woord of na een reeks data die is geprogrammeerd. De status check wordt gedaan op bit b3 voor een eventuele V_{PP}-fout en op b4 voor een mogelijke programmeerfout.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-132a: Flow-diagrammen van de Command Interface en Program Erase Controller, deel 1.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-132b: Flow-diagrammen van de Command Interface en Program Erase Controller, deel 2.

Het wissen

Het geheugen kan bloksgewijs worden gewist. Voordat de Erase-instructie wordt gegeven moet de programmeerspanning V_{PP} reeds aanwezig zijn. Bovendien moet, als het Boot blok wordt gewist, ook $\overline{RP}$ op V_{HH} staan om het blok vrij te geven. De wisvolgorde wordt gestart door een Erase Setup commando (20H) naar het Command Interface te schrijven, gevolgd door een adres in het te wissen blok en het Erase Confirm commando (0D0H).

De Program/Erase Controller start automatisch en wist het blok (als V_{PP} en $\overline{RP}$ correct zijn). Tijdens het wissen wordt het geheugen gecheckt door het statusregisterbit b7 te lezen. Als b7 = "1" geeft dit aan dat het wissen klaar is.

5.4 Type-beschrijving Flash-EPROM's

Symbol	Parameter		Value	Unit
T_A	Ambient Operating Temperature	grade 1 grade 3 grade 6	0 to 70 -40 to 125 -40 to 85	°C
T_{BIAS}	Temperature Under Bias		-50 to 125	°C
T_{STG}	Storage Temperature		-65 to 150	°C
V_{IO} (2, 3)	Input or Output Voltages		-0.6 to 7	V
V_{CC}	Supply Voltage		-0.6 to 7	V
V_{A9} (2)	A9 Voltage		-0.6 to 13.5	V
V_{PP} (2)	Program Supply Voltage, during Erase or Programming		-0.6 to 14	V
V_{RP} (2)	$\overline{RP}$ Voltage		-0.6 to 13.5	V

Tabel 8/5.4-96: Maximaal toegelaten waarden voor de 28F210 en 28F220.

Een volledige statuscheck kan na het wissen van het blok worden uitgevoerd op bit b3 voor een eventuele V_{PP}-fout, op b5 en b6 voor eventuele commando-volgorde fouten (bij uitgesteld wissen) en op b5 alleen voor een wisfout.

Reset

Merk op dat de Command Interface altijd moet worden gereset nadat bij het programmeren of wissen een fout is opgetreden of als V_{PP} onder V_{PPL} is gekomen.

Overige kenmerken

Bij het opkomen van de voedingsspanningen wordt de Command Interface automatisch gereset, zodat het niet uitmaakt welke spanning het eerst aanwezig is (V_{CC} of V_{PP}). Beide spanningen moeten (per geheugen) worden ontkoppeld met een 0,1 μF condensator. Op printkaarten dienen de geleiders voor V_{PP} breed genoeg te zijn om de programmeer- en wisstromen te kunnen verwerken. De resterende elektrische en timing kenmerken van de SGS-Thomson Flash-geheugens M28F210 en M28F220 zijn vermeld in de tabellen 8/5.4-96 tot en met 8/5.4-102.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C; V_{CC} = 5V±10% or 5V±5% ; V_{PP} = 12V±5%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) TTL	$\overline{E}$ = V_{IL}, f = 10MHz, I_{OUT} = 0mA		50	mA
I_{CC} (1, 3)	Supply Current (Read Word-wide) TTL	$\overline{E}$ = V_{IL}, f = 10MHz, I_{OUT} = 0mA		55	mA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) CMOS	$\overline{E}$ = V_{SS}, f = 10MHz, I_{OUT} = 0mA		45	mA
	Supply Current (Read Word-wide) CMOS	$\overline{E}$ = V_{SS}, f = 10MHz, I_{OUT} = 0mA		50	mA
I_{CC1} (3)	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}, $\overline{RP}$ = V_{IH}		3	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V, $\overline{RP}$ = V_{CC} ± 0.2V, $\overline{BYTE}$ = V_{CC} ± 0.2V or V_{SS}		100	µA
I_{CC2} (3)	Supply Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{CC3}	Supply Current (Program Byte-wide)	Byte program in progress		50	mA
	Supply Current (Program Word-wide)	Word program in progress		60	mA
I_{CC4}	Supply Current (Erase)	Erase in progress		30	mA
I_{CC5} (2)	Supply Current (Erase Suspend)	$\overline{E}$ = V_{IH}, Erase suspended		10	mA
I_{PP}	Program Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
I_{PP1}	Program Leakage Current (Read or Standby)	V_{PP} ≤ V_{CC}		±10	µA
I_{PP2}	Program Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{PP3}	Program Current (Program Byte-wide)	Byte program in progress		30	mA
I_{PP3}	Program Current (Program Word-wide)	Word program in progress		40	mA
I_{PP4}	Program Current (Erase)	Erase in progress		30	mA
I_{PP5}	Program Current (Erase Suspend)	Erase suspended		200	µA
V_{IL}	Input Low Voltage		-0.5	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA		0.45	V
V_{OH}	Output High Voltage	I_{OH} = -2.5mA	2.4		V
V_{PPL}	Program Voltage (Normal operation)		0	6.5	V
V_{PPH}	Program Voltage (Program or Erase operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.4	13	V
I_{ID}	A9 Current (Electronic Signature)	A9 = V_{ID}		500	µA
V_{LKO}	Supply Voltage (Erase and Program lock-out)		2		V
V_{HH}	Input Voltage ($\overline{RP}$, Boot unlock)	Boot block Program or Erase	11.4	13	V

Notes: 1. Automatic Power Saving reduces I_{CC} to ≤ 8mA typical in static operation.
2. Current increases to I_{CC} + I_{CC5} during a read operation.
3. CMOS levels V_{CC} ± 0.2V and V_{SS} ± 0.2V. TTL levels V_{IH} and V_{IL}.

Tabel 8/5.4-97: Gelijkspanningskarakteristieken van de 28F210/220 (0 tot 70 °C).

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or –40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F210 / 220								Unit
			-70		-80		-100		-120		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		EPROM Interface		EPROM Interface		
			Min	Max	Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{RC}	Address Valid to Next Address Valid	70		80		100		120		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid		70		80		100		120	ns
t_{PHQV}	t_{PWH}	Power Down High to Output Valid		300		300		300		300	ns
t_{ELQX} (2)	t_{LZ}	Chip Enable Low to Output Transition	0		0		0		0		ns
t_{ELQV} (3)	t_{CE}	Chip Enable Low to Output Valid		70		80		100		120	ns
t_{GLQX} (2)	t_{OLZ}	Output Enable Low to Output Transition	0		0		0		0		ns
t_{GLQV} (3)	t_{OE}	Output Enable Low to Output Valid		35		40		45		50	ns
t_{EHQX} (2)	t_{OH}	Chip Enable High to Output Transition	0		0		0		0		ns
t_{EHQZ} (2)	t_{HZ}	Chip Enable High to Output Hi-Z		25		30		35		35	ns
t_{GHQX} (2)	t_{OH}	Output Enable High to Output Transition	0		0		0		0		ns
t_{GHQZ} (2)	t_{DF}	Output Enable High to Output Hi-Z		25		30		35		35	ns
t_{AXQX} (2)	t_{OH}	Address Transition to Output Transition	0		0		0		0		ns

Tabel 8/5.4-98: Schakeltijden bij het uitlezen van de 28F210/220 (alle snelheids-versies).

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or −40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Parameter	M28F210 / 220								Unit
		-70		-80		-100		-120		
		V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		
		SRAM Interface		EPROM Interface		EPROM Interface		EPROM Interface		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ELBL}	Chip Enable Low to BYTE Low		5		5		5		5	ns
t_{ELBH}	Chip Enable Low to BYTE High		5		5		5		5	ns
t_{BLQV} (2)	$\overline{BYTE}$ Low to Output Valid		70		80		100		120	ns
t_{BHQV}	$\overline{BYTE}$ High to Output Valid		70		80		100		120	ns
t_{BLQZ}	$\overline{BYTE}$ Low to Output Hi-Z		25		30		35		35	ns

Notes: 1. Sampled only, not 100% tested.
2. It is equal to t_{AVQV} when measured from DQ15A-1 valid.

Tabel 8/5.4-99: Schakeltijden met betrekking tot $\overline{BYTE}$ voor de 28F210/220.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or −40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F210 / 220				Unit
			-70		-80		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		
			Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	70		80		ns
t_{PHWL}	t_{PS}	Power Down High to Write Enable Low	210		210		ns
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	0		0		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High	50		50		ns
t_{DVWH}	t_{DS}	Data Valid to Write Enable High	50		50		ns
t_{WHDX}	t_{DH}	Write Enable High to Data Transition	0		0		ns
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	10		10		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	20		30		ns
t_{AVWH}	t_{AS}	Address Valid to Write Enable High	50		50		ns
t_{PHHWH} (5)	t_{PHS}	Power Down VHH (Boot Block Unlock) to Write Enable High	100		100		ns
t_{VPHWH} (5)	t_{VPS}	V_{PP} High to Write Enable High	100		100		ns
t_{WHAX}	t_{AH}	Write Enable High to Address Transition	10		10		ns
t_{WHQV1} (2, 3)		Write Enable High to Output Valid (Word/Byte Program)	6		6		µs
t_{WHQV2} (2, 3)		Write Enable High to Output Valid (Boot Block Erase)	0.3		0.3		sec
t_{WHQV3} (2)		Write Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		sec
t_{WHQV4} (2)		Write Enable High to Output Valid (Main Block Erase)	0.6		0.6		sec
t_{QVPH} (5)	t_{PHH}	Output Valid to Reset/Power Down High	0		0		ns
t_{QVVPL} (5)		Output Valid to V_{PP} Low	0		0		ns
t_{PHBR} (4, 5)		Reset/Power Down High to Boot Block Relock		100		100	ns

Tabel 8/5.4-100: Schakeltijden bij het schrijven naar de (twee snelste versies van de) 28F210 en 28F220 onder besturing van W̄.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or −40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F210 / 220				Unit
			-70		-80		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		
			Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	70		80		ns
t_{PHEL}	t_{PS}	Power Down High to Chip Enable Low	210		210		ns
t_{WLEL}	t_{CS}	Write Enable Low to Chip Enable Low	0		0		ns
t_{ELEH}	t_{WP}	Chip Enable Low to Chip Enable High	50		50		ns
t_{DVEH}	t_{DS}	Data Valid to Chip Enable High	50		50		ns
t_{EHDX}	t_{DH}	Chip Enable High to Data Transition	0		0		ns
t_{EHWH}	t_{CH}	Chip Enable High to Write Enable High	10		10		ns
t_{EHEL}	t_{WPH}	Chip Enable High to Chip Enable Low	20		30		ns
t_{AVEH}	t_{AS}	Address Valid to Chip Enable High	50		50		ns
t_{PHHEH} (5)	t_{PHS}	Power Down VHH (Boot Block Unlock) to Chip Enable High	100		100		ns
t_{VPHEH} (5)	t_{VPS}	V_{PP} High to Chip Enable High	100		100		ns
t_{EHAX}	t_{AH}	Chip Enable High to Address Transition	10		10		ns
t_{EHQV1} (2, 3)		Chip Enable High to Output Valid (Word/Byte Program)	6		6		µs
t_{EHQV2} (2, 3)		Chip Enable High to Output Valid (Boot Block Erase)	0.3		0.3		sec
t_{EHQV3} (2)		Chip Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		sec
t_{EHQV4} (2)		Chip Enable High to Output Valid (Main Block Erase)	0.6		0.6		sec
t_{QVPH} (5)	t_{PHH}	Output Valid to Reset/Power Down High	0		0		ns
t_{QVVPL} (5)		Output Valid to V_{PP} Low	0		0		ns
t_{PHBR} (4, 5)		Reset/Power Down High to Boot Block Relock		100		100	ns

Tabel 8/5.4-101: Schakeltijden (door $\overline{E}$ geregeld) bij het schrijven naar de (twee snelste versies van de) 28F210 en 28F220.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C; V_{CC} = 5V ± 10% or 5V ± 5%)

Parameter	Test Conditions	M28F210 / 220			Unit
		Min	Typ	Max	
Main Block Program (Byte)	V_{PP} = 12V ±5%		1.2	4.2	sec
Main Block Program (Word)	V_{PP} = 12V ±5%		0.6	2.1	sec
Boot or Parameter Block Erase	V_{PP} = 12V ±5%		1	7	sec
Main Block Erase	V_{PP} = 12V ±5%		2.4	14	sec

Tabel 8/5.4-102: Benodigde tijden voor het programmeren en wissen van woord/byte blokken van de 28F210 en 28F220.

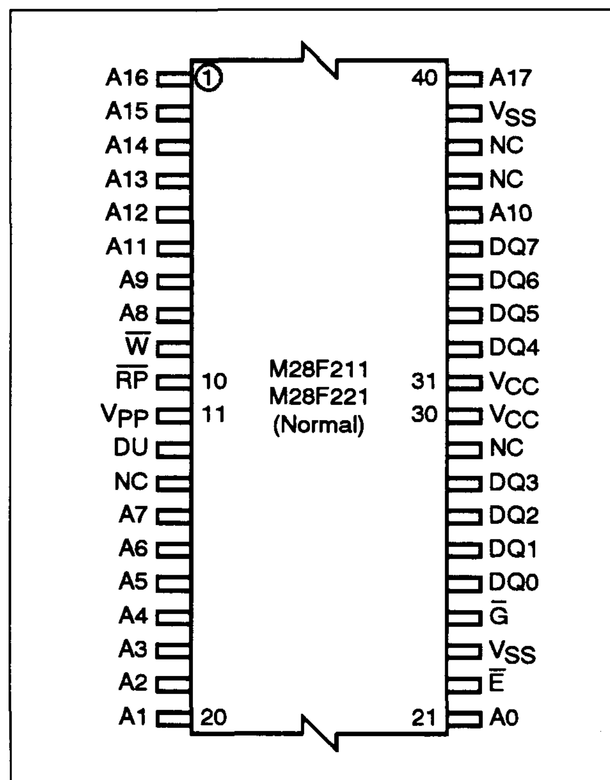
28F211, 28F221

256 x 8 bit CMOS Flash EPROM

De 28F211 en 28F221 Flash geheugens zijn, net als de 28F210/220, 2 MB niet-vluchtige geheugens die bloksgewijs elektrisch wis- en programmeerbaar zijn. De 28F211/221 hebben echter een vaste byte-instelling (zodat ook het $\overline{BYTE}$-signaal is vervallen).
De 28F211 heeft een "top boot"-blok en de 28F221 een "bottom boot"-blok. Beide typen zijn programmeerbaar met een spanning van 12 V (ook binnen het systeem).
De geheugens hebben een 40-pens TSOP40-behuizing en zijn leverbaar met toegangstijden van 70 tot 120 ns.

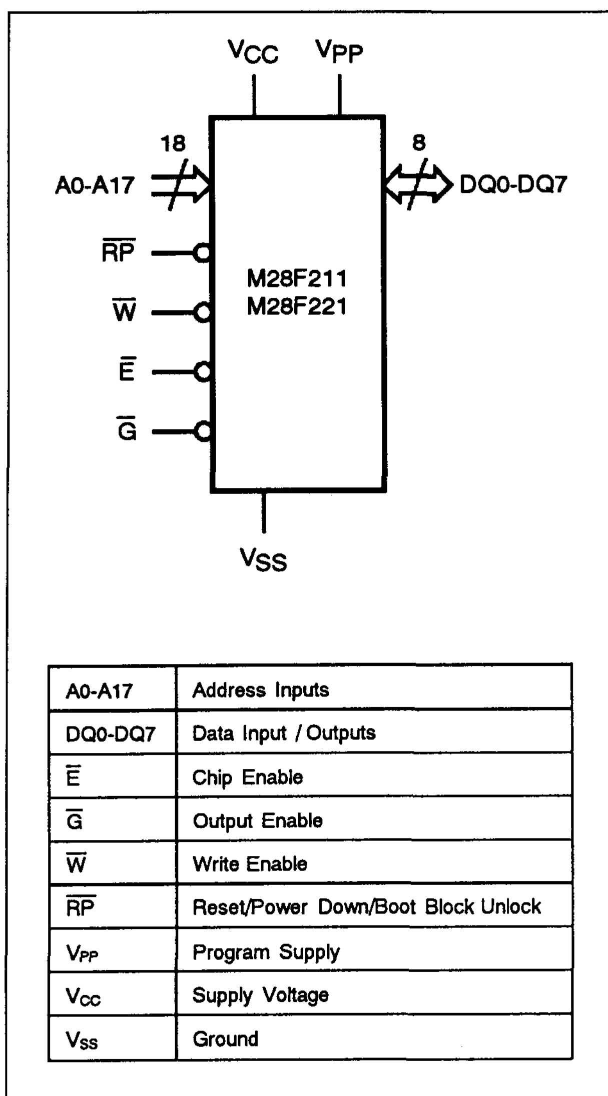
Specificaties

- 2 MB: 262.144 x 8 bit
- voedingsspanning: 5 V +/-10 %
- programmeerspanning: 12 V +/-5 %
- low power CMOS:
  - 60 µA typ. (standby)
  - 0,2 µA typ. (deep power down)
  - 20/25 mA typ. (byte/word bedrijf)
- toegangstijden: 70 tot 120 ns
- elektrisch wissen in blokken:
  - één 16 kB Boot-blok (top of bottom) met hardware schrijf/wis-beveiliging
  - twee 8 kB Key Parameter blokken
  - één 96 kB Main blok
  - één 128 kB Main blok
- geïntegreerde wis/programmeer-controller (P/E.C)
- 100.000 wis/programmeercycli
- behuizing: TSOP40 (figuur 8/5.4-133)
- fabrikant: SGS-Thomson: M28F211, M28F221



Figuur 8/5.4-133: Aansluitingen van de 40-pens Thin Small Outline Package (TSOP40) van de 28F211/221.

5.4 Type-beschrijving Flash-EPROM's



A0-A17	Address Inputs
DQ0-DQ7	Data Input / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
$\overline{RP}$	Reset/Power Down/Boot Block Unlock
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/5.45-134: Logisch symbool en aansluitingen van de 28F211/221.

Organisatie

Aangezien de 28F211/221 grote overeenkomsten vertoont met de 28F210/220, worden in dit gedeelte alleen de afwijkende waarden en handelwijzen behandeld. Voor de algemene gang van zaken wordt verwezen naar de 28F210/220. De 28F211/221 is georganiseerd in 256 k 8 bit bytes. De besturingssignalen van het geheugen zijn: Chip Enable, Output Enable en Write Enable. Met het op drie niveaus werkende ingangssignaal "Reset/Power Down/Boot block unlock" kan de 28F211/221 in een diepe power-down toestand of in de normale bedrijfsmode worden gezet, of is het wissen/programmeren van het boot-blok mogelijk (bij 12 V).

Geheugenblokken

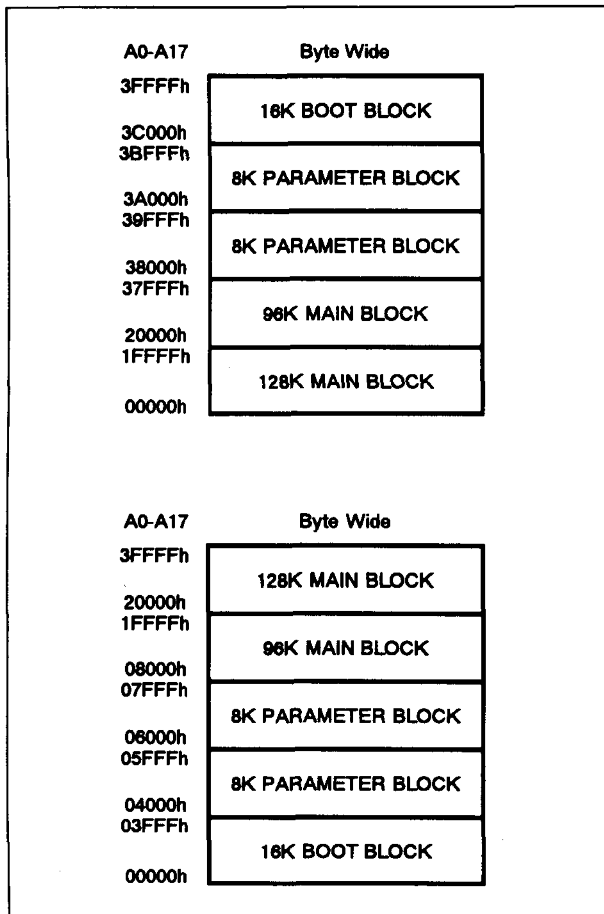
Het geheugen wordt bloksgewijs gewist. Er zijn vijf blokken in de adresruimte: één Boot blok van 16 kB, twee "Key Parameter" blokken van 8 kB, één "Main" blok van 96 kB en één "Main" blok van 128 kB (zie figuur 8/5.4-135). Bij de 28F211 bevindt het Boot blok zich bovenin de adresruimte (tot 3FFFFH), terwijl bij de 28F221 het Boot blok onderaan is (vanaf 00000H). Elk blok wordt binnen één seconde gewist en kan meer dan 100.000 keer worden geprogrammeerd en gewist. Het Boot blok is door middel van hardware beveiligd tegen het per ongeluk programmeren of wissen. Programmeer/-wis-commando's in het Boot blok worden alleen uitgevoerd als $\overline{RP}$ = 12 V is.

Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	DQ0 - DQ7
Read Byte	V_{IL}	V_{IL}	V_{IH}	V_{IH}	Data Output
Write Byte	V_{IL}	V_{IH}	V_{IL}	V_{IH}	Data Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	Hi-Z
Power Down	X	X	X	V_{IL}	Hi-Z

Note: X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}

Tabel 8/5.4-103: Instelling van de verschillende bedrijfsmodes met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$ en $\overline{RP}$.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-135: Indeling van het geheugen (memory map) in byte-brede adressen. De 28F211 heeft het Boot blok aan de bovenkant en de 28F221 aan de onderkant van de adresruimte.

Commando-interface

De commando's worden naar een Command Interface latch (C.I.) geschreven om te kunnen lezen, wissen en programmeren of om de status van het geheugen te controleren. Bij het opkomen van de voedingsspanning, bij het terugkomen uit power down of als V_{CC} lager is dan V_{LKO} wordt het Command Interface gereset op "Read Memory Array".

Instructies en commando's

Zoals in tabel 8/5.4-104 te zien is, kunnen er acht instructies worden gegeven:
- Read Memory Array;
- Read Status Register;
- Read Electronic Signature;
- Erase;
- Program;
- Clear Status Register;
- Erase Suspend;
- Erase Resume.

De timingen en verificaties van de Program en Erase instructies worden verzorgd door een interne Program/Erase Controller (P/E.C), inclusief de statusbits. Instructies bestaan uit een schrijfoperatie, gevolgd door een tweede commando schrijfoperatie om het programmeer- of wiscommando te bevestigen of een leesoperatie om data uit het array, de Electronic Signature of het statusregister uit te lezen.

Om data extra te beveiligen bestaan de instructies voor het programmeren en blokwissen uit twee commando's die naar het geheugen worden geschreven. Het programmeren is klaar in 9 µs; het blok-wissen in 1 seconde.

Het wissen van een geheugenblok kan worden uitgesteld om data uit een ander blok te lezen, waarna het wissen kan worden hervat. Het statusregister kan op elk moment worden uitgelezen (ook tijdens programmeer- of wis-cycli) om de voortgang van een operatie te controleren.

Energiebesparing

De 28F211/221 heeft verschillende mogelijkheden om het opgenomen vermogen te beperken. Met $\overline{E}$ en $\overline{RP}$ op V_{CC} gaat het geheugen in een CMOS standby mode, waardoor de voedingsstroom afneemt tot circa 60 µA. Met $\overline{RP} = V_{SS}$ wordt een diepe power down mode bereikt.

De voedingsstroom is dan slechts 0,2 µA. Om te ontwaken uit de diepe power down mode is maximaal 300 ns nodig, waarbij instructies voor het Command Interface na 210 ns worden herkend.

5.4 Type-beschrijving Flash-EPROM's

Mne-monic	Instruction	Cycles	1st Cycle			2nd Cycle		
			Operation	Address (1)	Data	Operation	Address (1)	Data
RD	Read Memory Array	1+	Write	X	0FFh	Read (2)	Read Address	Data
RSR	Read Status Register	1+	Write	X	70h	Read (2)	X	Status Register
RSIG	Read Electronic Signature	3	Write	X	90h	Read (2)	Signature Adress (3)	Signature
EE	Erase	2	Write	X	20h	Write	Block Address	0D0h
PG	Program	2	Write	X	40h or 10h	Write	Address	Data Input
CLRS	Clear Status Register	1	Write	X	50h			
ES	Erase Suspend	1	Write	X	0B0h			
ER	Erase Resume	1	Write	X	0D0h			

Notes: 1. X = Don't Care.
2. The first cycle of the RD, RSR or RSIG instruction is followed by read operations to read memory array, Status Register or Electronic Signature codes. Any number of Read cycle can occur after one command cycle.
3. Signature address bit A0=V_{IL} will output Manufacturer code. Address bit A0=V_{IH} will output Device code. Other address bits are ignored.

Tabel 8/5.4-104: Instructies voor de 28F211/221.

Hex Code	Command
00h	Invalid/Reserved
10h	Alternative Program Set-up
20h	Erase Set-up
40h	Program Set-up
50h	Clear Status Register
70h	Read Status Register
90h	Read Electronic Signature
0B0h	Erase Suspend
0D0h	Erase Resume/Erase Confirm
0FFh	Read Array

Tabel 8/5.4-105: Codering van de commando's.

Adres-ingangen A0 tot en met A17

De adres-signalen ter bepaling van een lokatie in het geheugen-array worden tijdens een schrijfoperatie gelatcht. Adreslijn A9 wordt ook gebruikt voor de Electronic Signature (met A9 = 12 V). Het A0-signaal dient om twee bytes uit te lezen: als A0 LAAG is kan de fabrikantcode worden gelezen; als A0 HOOG is de device-code (tabel 8/5.4-106).

5.4 Type-beschrijving Flash-EPROM's

Data-in-/uitgangen DQ0 tot en met DQ7

De data-ingangssignalen (een byte die geprogrammeerd moet worden of een commando voor het C.I.) worden gelatcht wanneer zowel $\overline{E}$ als $\overline{W}$ aktief zijn. De data-uitgangssignalen van het geheugen-array, de Electronic Signature of het Status Register zijn geldig als $\overline{E}$ en $\overline{G}$ aktief zijn. De uitgang is hoog-impedant als de chip niet geselecteerd is of als de uitgangen gesperd zijn.

Chip Enable $\overline{E}$

Met Chip Enable worden de besturingslogika, de ingangsbuffers, decoders en senseversterkers geaktiveerd. Als $\overline{E}$ HOOG is, is het geheugen niet geselecteerd (standby). Met $\overline{E}$ kan ook het schrijven naar het commando-register en het geheugen-array worden geregeld, waarbij $\overline{W}$ dan LAAG blijft. Zowel adres- als data-signalen worden dan gelatcht op de stijgende flank van $\overline{E}$.

Reset/Power Down $\overline{RP}$

Dit is een tri-niveau ingang die het programmeren en wissen van het Boot blok kan tegenhouden en die het geheugen in de diepe slaap power down-mode kan zetten.

- Wanneer $\overline{RP}$ HOOG is (maximaal 6,5 V), is het Boot blok afgesloten en kan dit niet worden gewist of geprogrammeerd.
- Als $\overline{RP}$ hoger is dan 11,4 V kan het Boot blok wel worden gewist of geprogrammeerd.
- Is $\overline{RP}$ LAAG, dan bevindt het geheugen zich in de diepe power down toestand ($\overline{RP}$ < V_{SS} + 0,2 V).

Output Enable $\overline{G}$

Met Output Enable wordt bij een leesoperatie de informatie op de databuffers gezet.

Write Enable $\overline{W}$

Write Enable regelt het schrijven naar het Command Register en de latches voor adres en data. Zowel adres als data worden op de stijgende flank van $\overline{W}$ gelatcht.

Voedingsspanningen V_{PP} en V_{CC}

De spanning V_{PP} is nodig voor het wissen en programmeren. V_{CC} is de voedingsspanning en V_{SS} de referentie voor alle spanningsmetingen.

Read, Write

Lezen, schrijven en wissen gaat bij de 28F211/221 op dezelfde manier als bij de 28F210/220 (maar nu alleen per byte).

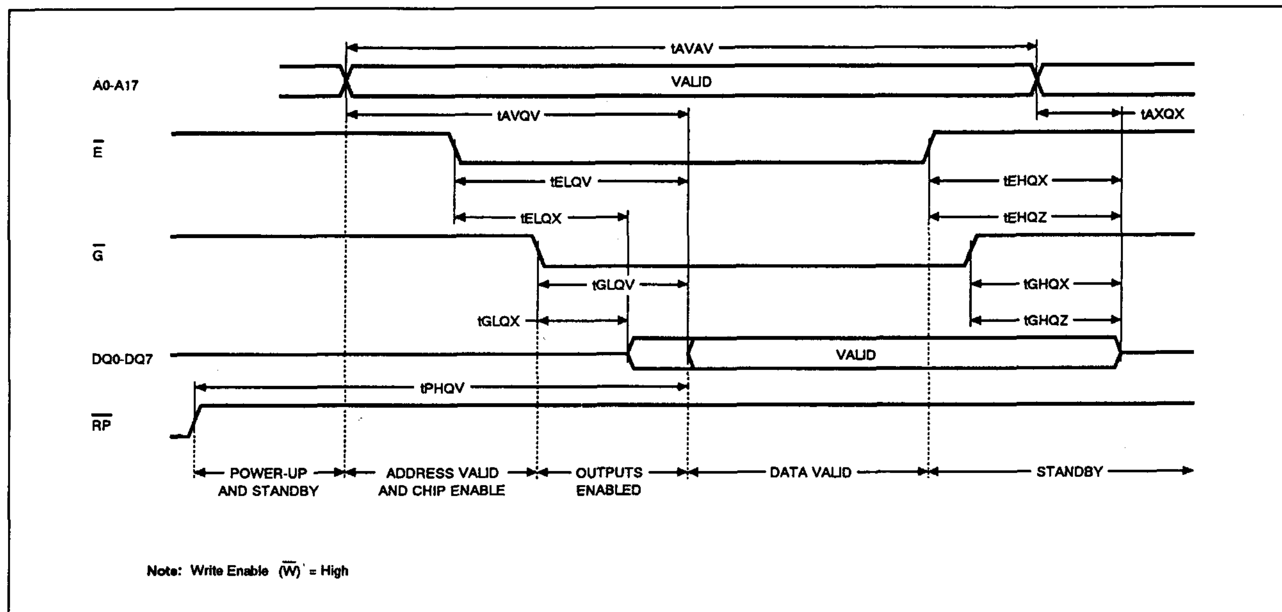
- Read:
  Om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen moeten $\overline{E}$ en $\overline{G}$ allebei LAAG zijn (figuur 8/5.4-136). De data is afhankelijk van het commando dat eerder in het geheugen is geschreven (zie ook de RD, RSR en RSIG instructies).
- Write:
  Schrijfoperaties zijn nodig om instructiecommando's aan het geheugen te geven of om ingangsdata die geprogrammeerd moet worden te latchen. Een schrijfoperatie wordt geïnitialiseerd als $\overline{E}$ en $\overline{W}$ LAAG zijn en $\overline{G}$ HOOG is. Commando's, ingangsdata en adressen worden op de stijgende flank van $\overline{W}$ of $\overline{E}$ gelatcht (figuur 8/5.4-137, respectievelijk -138).

Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	A0	A9	A1-A8 & A10-A17	DQ0 - DQ7
Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h
Device Code	M28F211	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0E4h
	M28F221	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0E8h

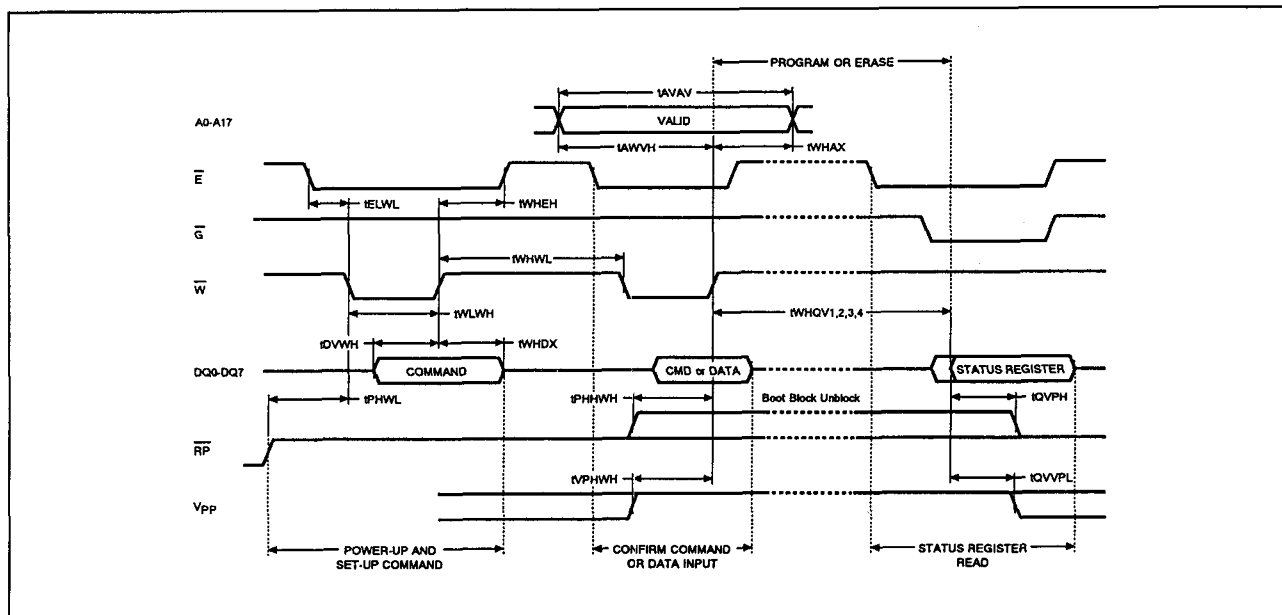
Note: $\overline{RP}$ = V_{IH}

Tabel 8/5.4-106: De Electronic Signature van de 28F211/221.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-136: Timing en golfvormen bij het uitlezen van de 28F211/221.



Figuur 8/5.4-137: Timing bij het programmeren en wissen van de 28F211/221, bestuurd door $\overline{W}$.

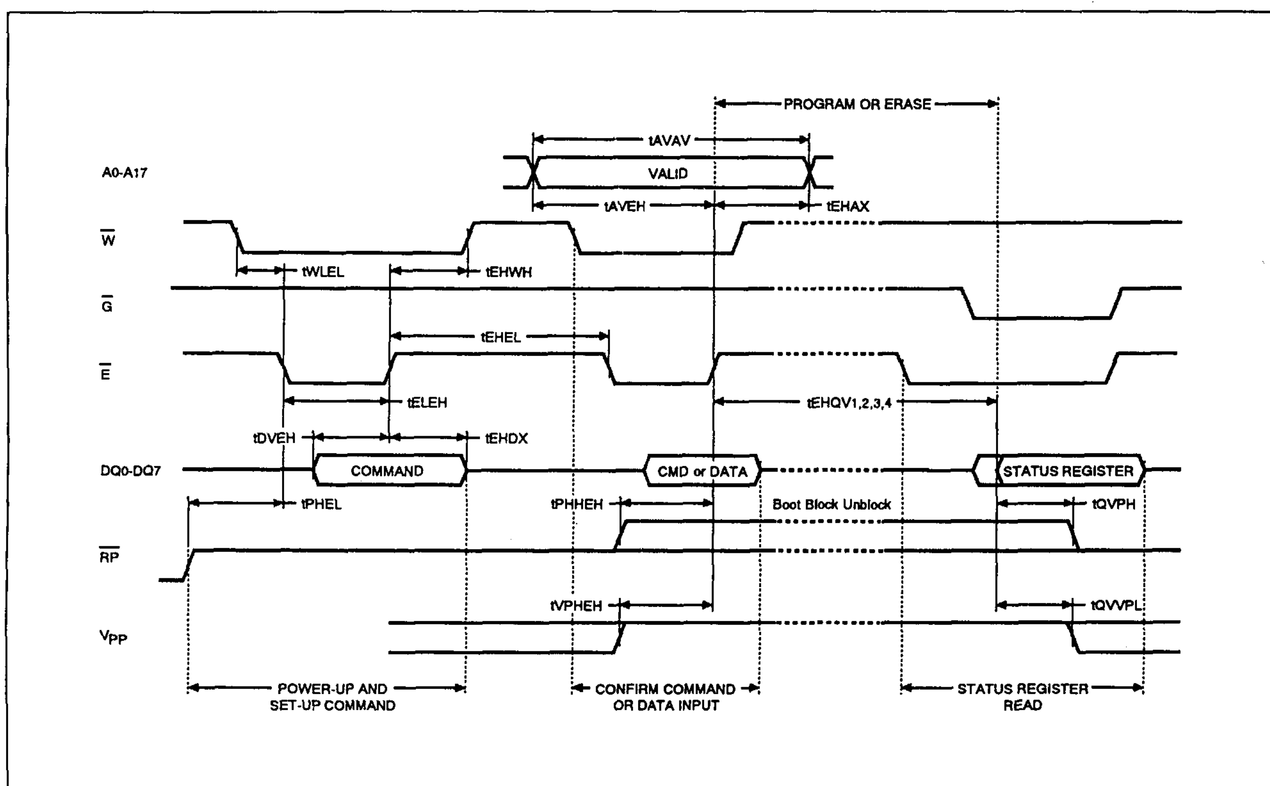
Output Disable en Standby

Als $\overline{G}$ HOOG is zijn de uitgangen gesperd (hoog-impedant). Het geheugen is standby als $\overline{E}$ HOOG is.

Electronic Signature

De twee binaire codes van de Electronic Signature zijn: de fabrikantcode (SGS-Thomson): 20H en de device-codes M28F211: 0E4H en M28F221: 0E8H (zie ook tabel 8/5.4-106).

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-138: Timing bij het programmeren en wissen van de 28F211/221, bestuurd door $\overline{E}$.

Instructies en commando's

Ook bij de 28F211/221 worden de commando's via het Command Interface (C.I.) opgeslagen en bestaan instructies uit één of meer commando's voor het uitvoeren van Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume. In het statusregister zijn de toestanden van de (P/E.C), de status van wis-operaties, het al dan niet geslaagd zijn van het wissen of programmeren en de low/correct waarde van V_{PP} te zien (zie de 28F210/220, tabel 8/5.4-95). De instructies RD, RSR, RSIG, EE, PG, CLRS, ES en ER en het wissen gaan op precies dezelfde wijze als bij de 28F210/220 (zie ook de figuren 8/5.4-129, -130 en -131). De 28F211/221 kan alleen byte-voor-byte worden geprogrammeerd. Voor de benodigde signalen en de timing ervan wordt weer verwezen naar de 28F210/220. V_{PP} moet aanwezig zijn vóór de programmeer-instructie. Moet in het Boot blok worden geprogrammeerd, dan moet ook $\overline{RP}$ = V_{HH} zijn. Het programmeren start met een Program Set-up commando (40H), gevolgd door het schrijven van adres en data-byte. De Program/Erase Controller (P/E.C) start dan automatisch. Na elke byte of een reeks geprogrammeerde data kan een status-check worden uitgevoerd.

Overige kenmerken

De maximaal toegelaten waarden, de schakeltijden bij het uitlezen en het schrijven (zowel onder controle van $\overline{W}$ als $\overline{E}$) en de benodigde tijden voor het programmeren en wissen van complete blokken zijn identiek aan die van de 28F210/220. Voor de elektrische- en timing kenmerken van de M28F211 en M28F221 wordt zodoende verwezen naar de tabellen 8/5.4-96 tot en met 8/5.4-102. Alleen wordt tabel 8/5.4-97 voor de 28F211/221 vervangen door tabel 8/5.4-107.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C; V_{CC} = 5V±5% or 5V±10%; V_{PP} = 12V±5%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC} (1, 3)	Supply Current (Read) TTL	$\overline{E}$ = V_{IL}, f = 10MHz, I_{OUT} = 0mA		50	mA
	Supply Current (Read) CMOS	$\overline{E}$ = V_{SS}, f = 10MHz, I_{OUT} = 0mA		45	mA
I_{CC1} (3)	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}, $\overline{RP}$ = V_{IH}		3	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V, $\overline{RP}$ = V_{CC} ± 0.2V		100	µA
I_{CC2} (3)	Supply Current (Power Down) CMOS	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{CC3}	Supply Current (Program)	Program in progress		50	mA
I_{CC4}	Supply Current (Erase)	Erase in progress		30	mA
I_{CC5} (2)	Supply Current (Erase Suspend)	$\overline{E}$ = V_{IH}, Erase suspended		10	mA
I_{PP}	Program Leakage Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
I_{PP1}	Program Current (Read or Standby)	V_{PP} ≤ V_{CC}		±10	µA
I_{PP2}	Program Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{PP3}	Program Current (Program)	Program in progress		30	mA
I_{PP4}	Program Current (Erase)	Erase in progress		30	mA
I_{PP5}	Program Current (Erase Suspend)	Erase suspended		200	µA
V_{IL}	Input Low Voltage		-0.5	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA		0.45	V
V_{OH}	Output High Voltage	I_{OH} = -2.5mA	2.4		V
V_{PPL}	Program Voltage (Normal operation)		0	6.5	V
V_{PPH}	Program Voltage (Program or Erase operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.4	13	V
I_{ID}	A9 Current (Electronic Signature)	A9 = V_{ID}		500	µA
V_{LKO}	Supply Voltage (Erase and Program lock-out)		2		V
V_{HH}	Input Voltage ($\overline{RP}$, Boot unlock)	Boot Block Program or Erase	11.4	13	V

Notes: 1. Automatic Power Saving reduces I_{CC} to ≤ 8mA typical in static operation.
2. Current increases to I_{CC} + I_{CC5} during a read operation.
3. CMOS levels V_{CC} ± 0.2V and V_{SS} ± 0.2V. TTL levels V_{IH} and V_{IL}.

Tabel 8/5.4-107: Gelijkspanningskarakteristieken van de 28F211/221.

5.4 Type-beschrijving Flash- EPROM's

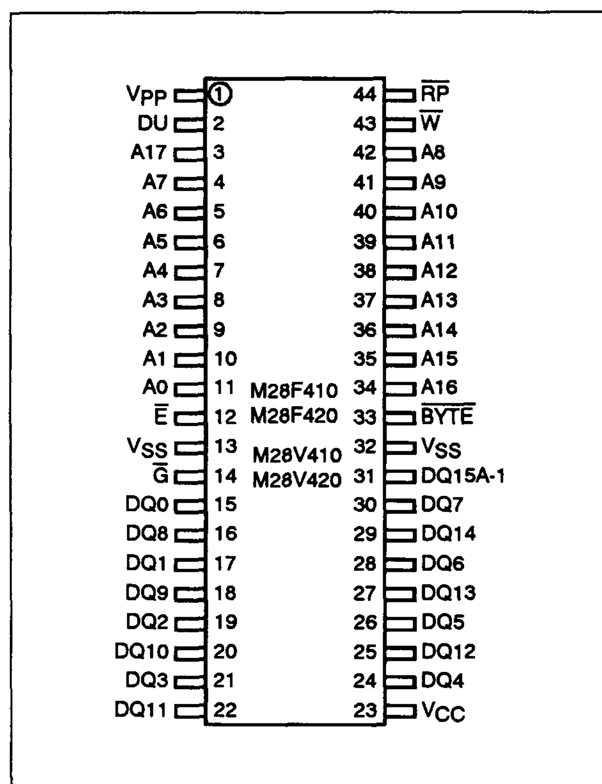
28F410, 28F420, 28V410, 28V420

512 k x 8 bit / 256 k x 16 bit
CMOS Flash EPROM

De 28F410 en 28F420 Flash geheugens zijn 4 MB grote, niet-vluchtige geheugens die elektrisch op blokniveau gewist en per byte of per woord geprogrammeerd kunnen worden. Ze zijn gemakkelijk aan te sluiten op vrijwel alle microprocessoren. De organisatie van 512 k x 8 bit of 256 k x 16 bit kan door de gebruiker worden ingesteld met een extern $\overline{\text{BYTE}}$-signaal. De 28F410 heeft een "top boot"-blok en de 28F420 een "bottom boot"-blok. Bovendien zijn beide typen leverbaar in een Low-Voltage uitvoering (V_{CC} = 3,3 V +/- 0,3 V): de 28V410 en 28V420. Alle typen worden geprogrammeerd met een spanning van 12 V, hetgeen ook in het systeem kan gebeuren. De geheugens hebben een SO44-behuizing (44-pens, Small Outline) of een TSOP56-behuizing (56-pens, Thin Small Outline). De geheugens zijn leverbaar met toegangstijden van 70 tot 120 ns (Low-Voltage typen: 120, 150 en 180 ns).
De F- en de V-typen worden in dit hoofdstuk tegelijk behandeld, omdat ze functioneel volkomen identiek zijn. Waar sommige waarden afwijken, worden die apart vermeld.

Specificaties

- 4 MB:
  524.288 x 8 bit of 262.144 x 16 bit
- voedingsspanning:
  28F410/420: 5 V +/- 10 %
  28V410/420: 3,3 V +/- 0,3 V
- programmeerspanning: 12 V +/- 5 %
- Low power CMOS:
  2 mA typ. (statisch bedrijf)
  60 µA typ. (standby)
  0,2 µA typ. (deep power down)
  20/25 mA typ. (vol byte/word bedrijf)
- toegangstijden: 70 tot 180 ns
- elektrisch wissen in blokken:
  - één 16 kB of 8 k-word Boot-blok (top/bottom) met hardware schrijf/wisbeveiliging
  - twee 8 kB of 4 k-word Key Parameter blokken
  - één 96 kB of 48 k-word Main blok
  - drie 128 kB of 64 k-word Main blokken
- geïntegreerde wis/programmeerbesturing
- 100.000 wis/programmeercycli
- kleine behuizingen: SO44 of TSOP56 (figuur 8/5.4-139 en -140)
- fabrikant: SGS-Thomson: M28F410, M28F420, M28V410, M28V420



Figuur 8/5.4-139: Aansluitingen van de 44-pens Small Outline (SO44)-versie van de 28F410/420 of 28V410/420.

Organisatie

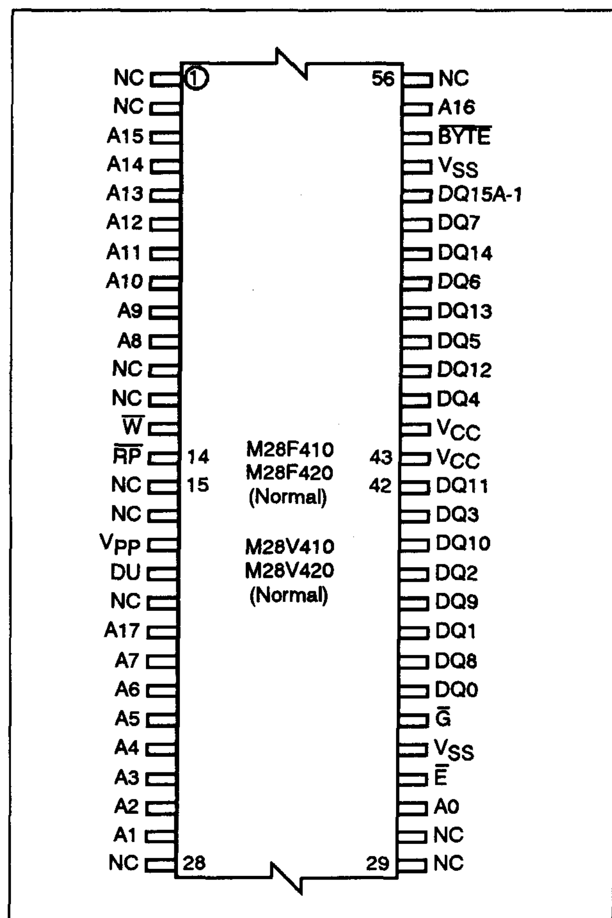
De organisatie van deze geheugens in 512 k x 8 of 256 k x 16 kan worden geselecteerd met behulp van een extern $\overline{\text{BYTE}}$-signaal. Als dit LAAG is, is de X8 organisatie gekozen en werkt de Data in/uitgang DQ15 als Adreslijn A-1, die selecteert of het lower-

of upper-byte van het geheugenwoord op DQ0 tot en met DQ7 verschijnt. DQ8 tot en met DQ14 blijven dan in de hoog-impedante toestand.
Wanneer $\overline{BYTE}$ HOOG is, gebruikt het geheugen de adres-ingangen A0 tot en met A17 en de data in/uitgangen DQ0 tot en met DQ15. Het geheugen wordt bestuurd met de Chip Enable $\overline{E}$, Output Enable $\overline{G}$ en Write Enable $\overline{W}$ signalen.
Een op drie niveaus werkende ingang "Reset/Power Down/Boot block unlock" zet het geheugen in een diepe power-down toestand of de normale bedrijfsmode of maakt (bij 12 V) het wissen/programmeren van het boot-blok mogelijk.

Blokken
Het geheugen wordt bloksgewijs gewist. Er zijn in totaal zeven blokken in de adresruimte: één Boot blok van 16 kB of 8 k-woorden, twee "Key Parameter" blokken van 8 kB of 4 k-woorden, één "Main" blok van 96 kB of 48 k-woorden en drie "Main" blokken van 128 kB of 64 k-woorden (zie figuur 8/5.4-123). De 28F410 (28V410) heeft het Boot blok bovenin de adresruimte (tot 3FFFFH), terwijl het zich bij de 28F420 (28V420) onderaan bevindt (vanaf 00000H). Elk blok kan meer dan 100.000 keer worden geprogrammeerd en gewist, waarbij het wissen in één seconde plaats vindt.
Het Boot blok is door middel van hardware beveiligd tegen onbedoeld programmeren of wissen. Programmeer/wis-commando's in het Boot blok worden alleen uitgevoerd als $\overline{RP}$ = 12 V is.

Bus-operaties
Met de juiste buscycli zijn zes verschillende operaties mogelijk:
- uitlezen van bytes of woorden uit het array;
- uitlezen van de electronic signature;
- output disable;
- standby;
- power down;
- schrijven van een instructie of commando.

Commando-interface
De commando's worden naar een Command Interface latch (C.I.) geschreven om lezen, wissen en programmeren mogelijk te maken of om de status van het geheugen te controleren. Bij het opkomen van de voedingsspanning, bij het terugkomen uit power down of als V_{CC} lager wordt dan V_{LKO} wordt het Command Interface gereset naar Read Memory Array.



Figuur 8/5.4-140: Aansluitingen van de 56-pens Thin Small Outline Package (TSOP56) van de 28F410/420 of 28V410/420.

Instructies en commando's
Zoals tabel 8/5.4-109 laat zien, zijn er acht instructies:
- Read Memory Array;

5.4 Type-beschrijving Flash- EPROM's

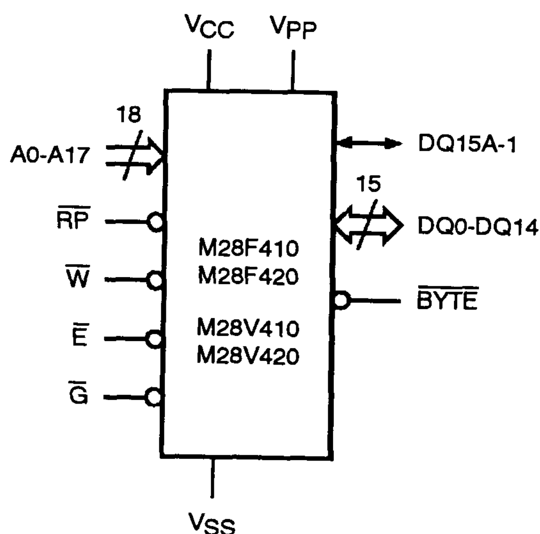
- Read Status Register;
- Read Electronic Signature;
- Erase;
- Program;
- Clear Status Register;
- Erase Suspend;
- Erase Resume.

Van de Program en Erase instructies worden alle timingen en verificaties verzorgd door een interne Program/Erase Controller (P/E.C), die ook de statusbits voor zijn rekening neemt. Instructies zijn opgebouwd uit een schrijfoperatie, gevolgd door nog een commando schrijfoperatie om het programmeer- of wiscommando te bevestigen óf door een leesoperatie om data uit het array, de Electronic Signature of het statusregister te lezen.

Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	$\overline{BYTE}$	DQ0 - DQ7	DQ8 - DQ14	DQ15A-1
Read Word	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	Data Output	Data Output	Data Output
Read Byte	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	Data Output	Hi-Z	Address Input
Write Word	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IH}	Data Input	Data Input	Data Input
Write Byte	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IL}	Data Input	Hi-Z	Address Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	X	Hi-Z	Hi-Z	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	X	Hi-Z	Hi-Z	Hi-Z
Power Down	X	X	X	V_{IL}	X	Hi-Z	Hi-Z	Hi-Z

Note: X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}

Tabel 8/5.4-108: De verschillende bedrijfsmodes kunnen worden ingesteld met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$, $\overline{RP}$ en $\overline{BYTE}$.



A0-A17	Address Inputs
DQ0-DQ7	Data Input / Outputs
DQ8-DQ14	Data Input / Outputs
DQ15A-1	Data Input/Output or Address Input
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
$\overline{BYTE}$	Byte/Word Organization
$\overline{RP}$	Reset/Power Down/Boot Block Unlock
V_{PP}	Program & Erase Supply Voltage
V_{CC}	Supply Voltage

Figuur 8/5.45-141: Logisch symbool en aansluitingen van de 28F410/420 en 28V410/420.

5.4 Type-beschrijving Flash-EPROM's

Mne-monic	Instruction	Cycles	1st Cycle			2nd Cycle		
			Operation	Address (1)	Data (4)	Operation	Address	Data
RD	Read Memory Array	1+	Write	X	0FFh	Read (2)	Read Address	Data
RSR	Read Status Register	1+	Write	X	70h	Read (2)	X	Status Register
RSIG	Read Electronic Signature	3	Write	X	90h	Read (2)	Signature Adress (3)	Signature
EE	Erase	2	Write	X	20h	Write	Block Address	0D0h
PG	Program	2	Write	X	40h or 10h	Write	Address	Data Input
CLRS	Clear Status Register	1	Write	X	50h			
ES	Erase Suspend	1	Write	X	0B0h			
ER	Erase Resume	1	Write	X	0D0h			

Notes: 1. X = Don't Care.
2. The first cycle of the RD, RSR or RSIG instruction is followed by read operations to read memory array, Status Register or Electronic Signature codes. Any number of Read cycle can occur after one command cycle.
3. Signature address bit A0=V_{IL} will output Manufacturer code. Address bit A0=V_{IH} will output Device code. Other address bits are ignored.
4. When word organization is used, upper byte is don't care for command input.

Tabel 8/5.4-109: Instructies voor de 28F410/420 (28V410/420).

Hex Code	Command
00h	Invalid/Reserved
10h	Alternative Program Set-up
20h	Erase Set-up
40h	Program Set-up
50h	Clear Status Register
70h	Read Status Register
90h	Read Electronic Signature
0B0h	Erase Suspend
0D0h	Erase Resume/Erase Confirm
0FFh	Read Array

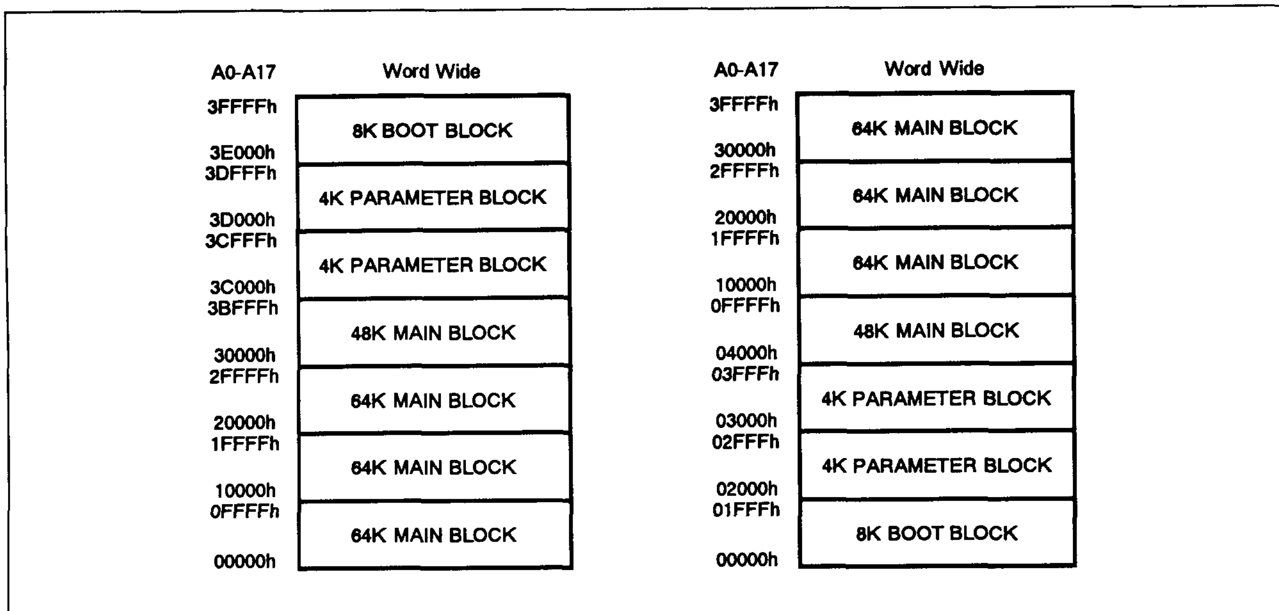
Tabel 8/5.4-110: Overzicht van de commando's.

Om data extra te beveiligen bestaan instructies voor byte- of woord-programmeren en blok-wissen uit twee commando's die in het geheugen worden geschreven en de automatische P/E.C operatie starten. Het byte- of woord-programmeren is klaar in 9 µs; het blok-wissen in 1 seconde. Het wissen van een geheugenblok kan worden uitgesteld om data uit een ander blok te lezen, waarna het wissen wordt hervat. Het statusregister kan altijd (ook tijdens programmeer- of wis-cycli) worden uitgelezen om de voortgang van de operatie te controleren.

Energie besparing

De 28F410/420 en 28V410/420 hebben een verschillende mogelijkheden om het opgenomen vermogen te beperken. Na het uitlezen van een lokatie komt het geheugen in een statische mode, waarbij de opgenomen stroom gemiddeld 2 mA bedraagt.

5.4 Type-beschrijving Flash- EPROM's



Figuur 8/5.4-142: Inrichting (memory map) van het geheugen in woord-brede adressen. De 28F410 (28V410) heeft het Boot blok aan de bovenkant en de 28F420 (28V420) aan de onderkant van de adresruimte.

Door de Chip Enable ($\overline{E}$) en de Reset/Power Down ($\overline{RP}$) ingangen op V_{CC} te brengen gaat het geheugen in een CMOS standby mode, waarbij de voedingsstroom tot circa 60 µA daalt. Een diepe power down mode wordt bereikt als de $\overline{RP}$-ingang op V_{SS} wordt aangesloten. De voedingsstroom neemt dan nog verder af tot ongeveer 0,2 µA. Om te ontwaken uit de diepe power down mode heeft de 28F410/420 maximaal 300 ns nodig, waarbij instructies voor het Command Interface reeds na 210 ns worden herkend. De 28V410/420 is na 700 ns wakker en herkent de instructies na 580 ns.

Beschrijving van de signalen

In de volgende paragrafen worden de verschillende signalen in het kort besproken.

Adres-ingangen A0 tot en met A17

De adres-signalen voor het bepalen van lokaties in het geheugen-array worden tijdens een schrijfoperatie gelatcht. Adreslijn A9 wordt ook gebruikt voor de Electronic Signature operatie: als A9 = 12 V is, kan de identificatie worden uitgelezen. Het A0-signaal dient om twee woorden of bytes uit te lezen: als A0 LAAG is, verschijnt de fabrikant-code en als A0 HOOG is de device-code.
Als $\overline{BYTE}$ LAAG is, verschijnen de codes op DQ0 tot en met DQ7, waarbij DQ8 tot en met DQ15 "don't care" zijn. Als $\overline{BYTE}$ HOOG is, komen de codes op DQ0 tot en met DQ7, terwijl DQ8 tot en met DQ15 00H zijn.

Data-in-/uitgangen DQ0 tot en met DQ7

Deze data-ingangen (een byte of het lage byte van een te programmeren woord of een commando voor het C.I.) worden gelatcht wanneer Chip Enable $\overline{E}$ en Write Enable $\overline{W}$ beide aktief zijn. De data-uitgangssignalen van het geheugen-array, de Electronic Signature of het Status Register zijn geldig als Chip Enable $\overline{E}$ en Output Enable $\overline{G}$ aktief zijn. De uitgang is hoog-impedant als de chip niet geselecteerd is of als de uitgangen gesperd zijn.

Data-in-/uitgangen DQ8 tot en met DQ14 en DQ15A-1

Deze in-/uitgangen worden gebruikt bij de woord-brede organisatie. Wanneer $\overline{BYTE}$

HOOG is, werkt het hoogste byte precies als de hiervoor beschreven DQ0 tot en met DQ7. Wanneer $\overline{BYTE}$ LAAG is, zijn DQ8 tot en met DQ14 hoog-impedant, terwijl DQ15A-1 dan de adres-ingang A-1 is.

Chip Enable $\overline{E}$
Met Chip Enable worden de besturingslogika, de ingangsbuffers, decoders en senseversterkers geaktiveerd. Als $\overline{E}$ HOOG is vervalt de selectie van het geheugen en neemt het opgenomen vermogen af tot het standby-niveau. $\overline{E}$ kan ook worden gebruikt om het schrijven naar het commando-register en het geheugen-array te regelen, waarbij $\overline{W}$ LAAG blijft. Zowel adres- als data-signalen worden dan gelatcht op de stijgende flank van $\overline{E}$.

Reset/Power Down $\overline{RP}$
Dit is een tri-niveau ingang waarmee programmeren en wissen van het Boot blok kan worden tegengehouden en waarmee het geheugen in de diepe power down-mode kan worden gezet. Als $\overline{RP}$ HOOG is (maximaal 6,5 V), is het Boot blok afgesloten en kan dit niet worden gewist of geprogrammeerd. Is $\overline{RP}$ hoger dan 11,4 V dan staat het Boot blok open voor wissen of programmeren. Het geheugen bevindt zich in de diepe power down toestand als $\overline{RP}$ LAAG is ($\overline{RP} < V_{SS} + 0{,}2$ V).

Output Enable $\overline{G}$
Met Output Enable wordt tijdens leesoperaties de informatie op de databuffers gezet.

Write Enable $\overline{W}$
Write Enable regelt het schrijven naar het Command Register en latcht adressen en data op de stijgende flank van $\overline{W}$.

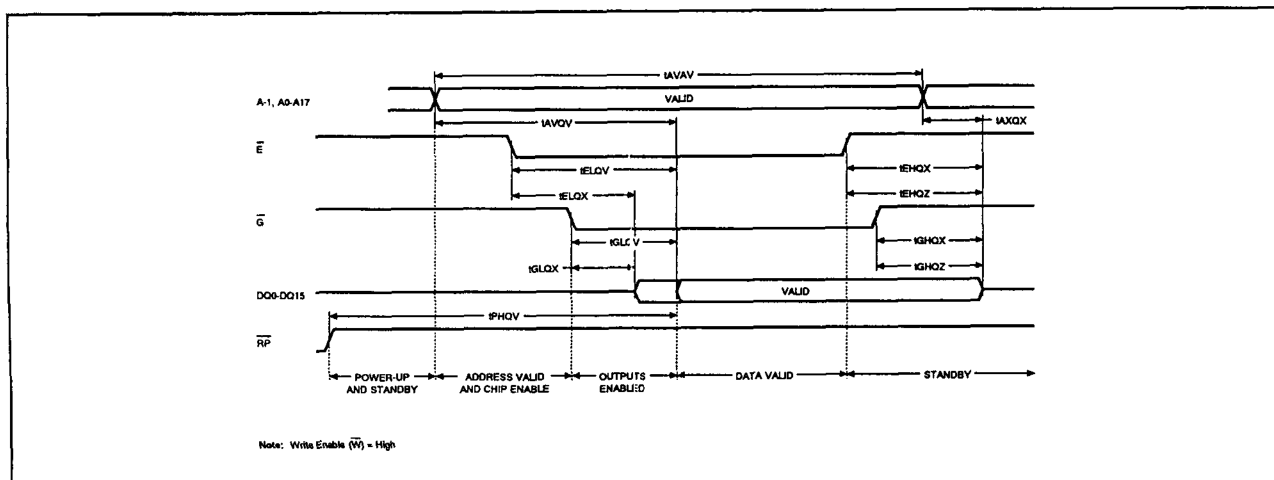
Byte/woord-keuze $\overline{BYTE}$
Met dit signaal kan worden geselecteerd of het geheugen een byte- of woord-brede organisatie heeft. Wanneer $\overline{BYTE}$ LAAG is, is het geheugen x8 of byte-breed georganiseerd en worden de data in-/uitgangen DQ0 tot en met DQ7 gebruikt. A-1 werkt dan als de extra LSB van het geheugen-adres om de upper of lower byte te multiplexen. In de x8 organisatie zijn DQ8 tot en met DQ14 hoog-impedant. Wanneer $\overline{BYTE}$ HOOG is, is het geheugen x16 georganiseerd en wordt voor de data de in-/uitgangen DQ0 tot en met DQ15 gebruikt (en A0 tot en met A17 voor de adressen).

Programmeerspanning V_{PP}
De voedingsspanning V_{PP} wordt gebruikt voor het wissen en programmeren. V_{CC} is de werkspanning en V_{SS} de referentie voor alle spanningsmetingen.

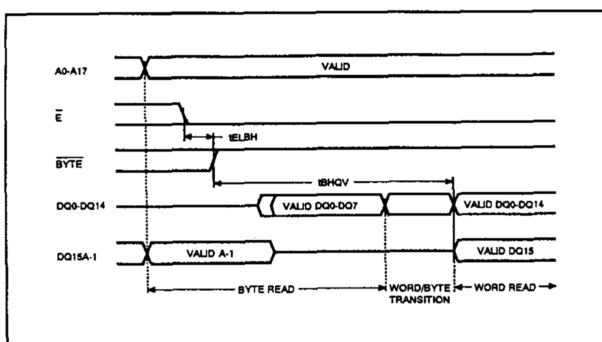
Read
Leesoperaties (Read) dienen om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen.
Hierbij moeten $\overline{E}$ en $\overline{G}$ beide LAAG zijn (figuur 8/5.4-143). Omdat met Chip Enable ook de dissipatie wordt geregeld, moet dit signaal worden gebruikt om het geheugen te selecteren. Output Enable dient om de data op de uitgang te zetten die, afhankelijk van het $\overline{BYTE}$-signaal, een byte of een woord kan zijn. Als $\overline{BYTE}$ LAAG is, wordt op DQ0 tot en met DQ7 een databyte gelezen, waarbij DQ8 tot en met DQ14 hoog-impedant zijn en A-1 een extra adreslijn is. Is $\overline{BYTE}$ HOOG dan wordt op DQ0 tot en met DQ15 een datawoord gelezen (figuren 8/5.4-144 en -145).

Write
Met schrijfoperaties (Write) worden instructiecommando's naar het geheugen gestuurd of te programmeren data gelatcht. Een schrijfoperatie wordt geïnitialiseerd als $\overline{E}$ en $\overline{W}$ LAAG zijn en $\overline{G}$ HOOG is. Commando's, ingangsdata en adressen worden op de stijgende flank van $\overline{W}$ of $\overline{E}$ gelatcht (zie figuur 8/5.4-146, respectievelijk -147).
Net als bij een leesoperatie wordt een dataword geschreven als $\overline{BYTE}$ HOOG is en een databyte als $\overline{BYTE}$ LAAG is. In het laatste geval zijn DQ8 tot en met DQ14 "don't care" en is A-1 een extra adreslijn.

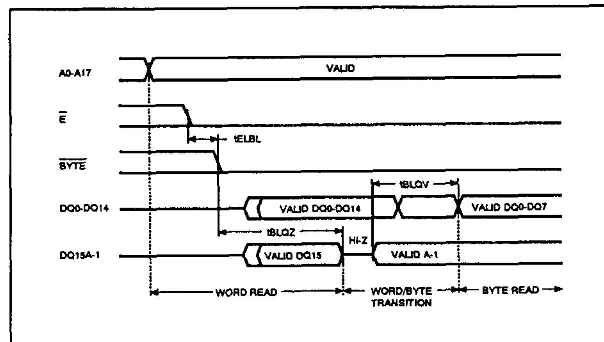
5.4 Type-beschrijving Flash- EPROM's



Figuur 8/5.4-143: Timing en golfvormen bij het uitlezen van de 28F410/420 (28V410/420).



Figuur 8/5.4-144: Golfvormen en timing bij een LAAG-naar-HOOG overgang van $\overline{BYTE}$.



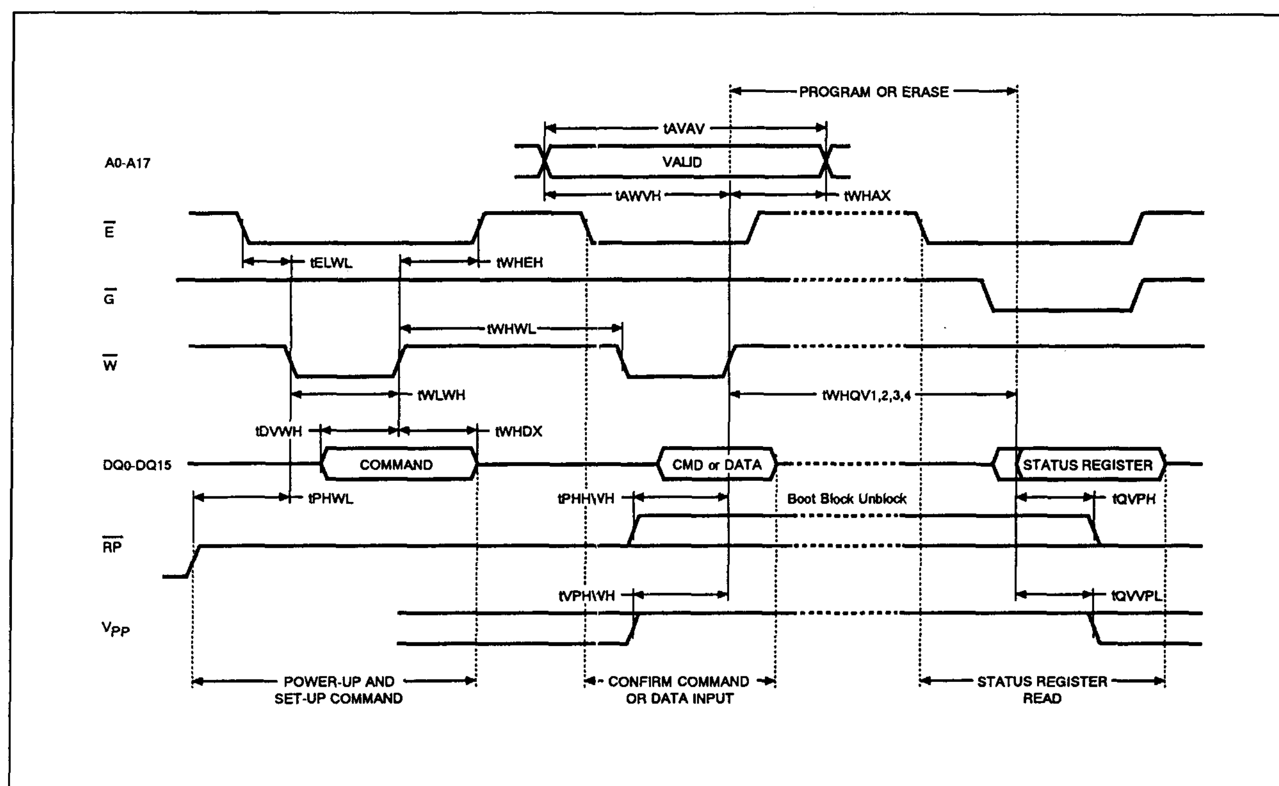
Figuur 8/5.4-145: Golfvormen en timing bij een HOOG-naar-LAAG overgang van $\overline{BYTE}$.

Organi-sation	Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{BYTE}$	A0	A9	A1-A8 & A10-A17	DQ0 - DQ7	DQ8 - DQ14	DQ15 A-1
Word-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h	00h	0
	Device Code	M28F410	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0F2h	00h	0
		M28F420	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0FAh	00h	0
Byte-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{ID}	Don't Care	20h	Hi-Z	Don't Care
	Device Code	M28F410	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{ID}	Don't Care	0F2h	Hi-Z	Don't Care
		M28F420	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{ID}	Don't Care	0FAh	Hi-Z	Don't Care

Note: $\overline{RP}$ = V_{IH}

Tabel 8/5.4-111: Electronic Signature van de M28F410 en M28F420.

5.4 Type-beschrijving Flash-EPROM's



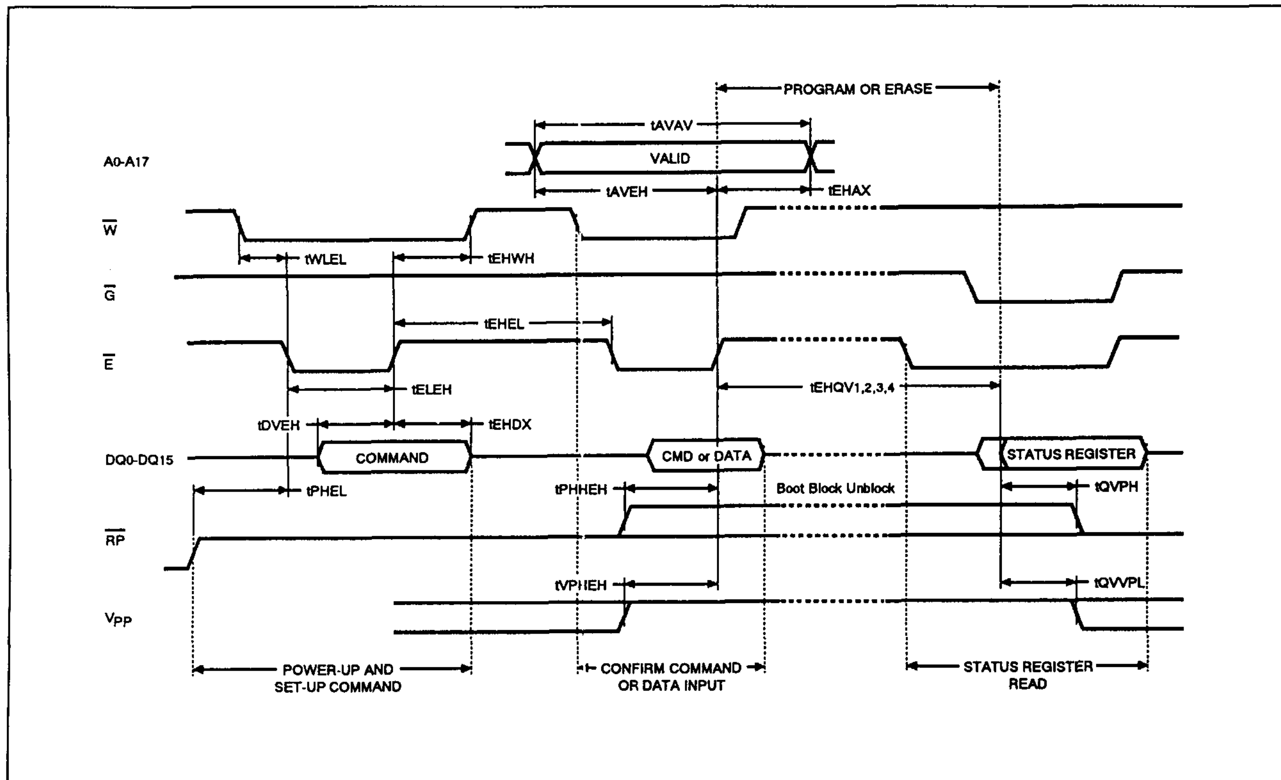
Figuur 8/5.4-146: Timing en golfvormen bij het woord-breed programmeren en wissen van de 28F410/420 (28V410/420), onder besturing van $\overline{W}$.

Organisation	Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{BYTE}$	A0	A9	A1-A8 & A10-A17	DQ0 - DQ7	DQ8 - DQ14	DQ15 A-1
Word-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h	00h	0
	Device Code	M28V410	V_{IL}	VIL	VIH	VIH	VIH	VID	Don't Care	0F3h	00h	0
		M28V420	V_{IL}	VIL	VIH	VIH	VIH	VID	Don't Care	0FBh	00h	0
Byte-wide	Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{ID}	Don't Care	20h	Hi-Z	Don't Care
	Device Code	M28V410	V_{IL}	VIL	VIH	VIL	VIH	VID	Don't Care	0F3h	Hi-Z	Don't Care
		M28V420	V_{IL}	VIL	VIH	VIL	VIH	VID	Don't Care	0FBh	Hi-Z	Don't Care

Note: $\overline{RP} = V_{IH}$

Tabel 8/5.4-112: Electronic Signature van de M28V410 en M28V420.

5.4 Type-beschrijving Flash- EPROM's



Figuur 8/5.4-147: Timing en golfvormen bij het woord-breed programmeren en wissen van de 28F410/420 (28V410/420), bestuurd door E̅.

Output Disable

Als de Output Enable-ingang G̅ HOOG is, zijn de uitgangen hoog-impedant (met W̅ = HOOG).

Standby

Het geheugen is standby als Chip Enable E̅ HOOG is. De dissipatie neemt dan af tot het standby-niveau en de uitgangen worden hoog-impedant, ongeacht G̅ of W̅.

Electronic Signature

Er kunnen twee binaire codes ter identificatie van fabrikant en type worden uitgelezen. De fabrikantcode van SGS-Thomson is 20H en de device-codes zijn 0F2H voor de M28F410 en 0FAH voor de M28F420 (tabel 8/5.4-111) en 0F3H voor de M28V410 en 0FBH voor de M28V420 (tabel 8/5.4-112). Met deze codes kunnen programmeer-apparatuur of applicaties automatisch worden afgestemd op de karakteristieken van de toegepaste produkten.

De electronic signature komt op de uitgang door een hoge spanning V_{ID} op adrespen A9 te zetten. Met A0 = LAAG verschijnt de fabrikantcode en met A0 = HOOG de devicecode. De overige adreslijnen worden dan genegeerd. De codes verschijnen op de uitgangen DQ0 tot en met DQ7. Als B̅Y̅T̅E̅ HOOG is, zijn DQ8 tot en met DQ15 00H; als B̅Y̅T̅E̅ LAAG is, zijn DQ8 tot en met DQ14 hoog-impedant, waarbij adreslijn A-1 wordt genegeerd. De Electronic Signature kan ook worden uitgelezen zonder A9 op V_{ID} te brengen als de instructie RSIG wordt gegeven.

Instructies en commando's

De 28F410/420 beschikt over een Command Interface (C.I.) waarin de commando's worden opgeslagen. Instructies zijn samengesteld uit één of meer commando's om

5.4 Type-beschrijving Flash-EPROM's

Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume uit te voeren. Voor deze instructies zijn 1 tot 3 operaties nodig, waarvan de eerste altijd een schrijfoperatie is. Hierna volgt óf een tweede schrijfoperatie om het programmeer- of wiscommando te bevestigen óf een lees-operatie. De Ready/Busy-toestanden van de Program/Erase Controller (P/E.C), de suspend/in-progress status van wisoperaties, de failure/success toestand van wissen en programmeren en de low/correct waarde van de programmeerspanning V_{pp} zijn te zien in een statusregister. De P/E.C zet de bits b3 tot en met b7 automatisch op "1" en bit b6 & b7 op "0" (bit b3 tot en met b5 kunnen niet worden gecleard). Het register kan worden uitgelezen met de Read Status Register instructie (RSR) en gecleared met de Clear Status Register instructie (CLRS). De betekenis van de bits b3 tot en met b7 is te zien in tabel 8/5.4-113. Bits b0 tot en met b2 zijn gereserveerd voor toekomstig gebruik.

Read Instructie (RD)

De lees-instructie bestaat uit één schrijfoperatie van het commando 0FFH. Met daarna volgende lees-operaties kan de inhoud van het geadresseerde geheugen-array worden uitgelezen die, afhankelijk van het niveau van $\overline{BYTE}$, een byte of woord kan zijn.

Mnemonic	Bit	Name	Logic Level	Definition	Note
P/ECS	7	P/E.C. Status	'1'	Ready	Indicates the P/E.C. status, check during Program or Erase, and on completion before checking bits b4 or b5 for Program or Erase Success
			'0'	Busy	
ESS	6	Erase Suspend Status	'1'	Suspended	On an Erase Suspend instruction P/ECS and ESS bits are set to '1'. ESS bit remains '1' until an Erase Resume instruction is given.
			'0'	In progress or Completed	
ES	5	Erase Status	'1'	Erase Error	ES bit is set to '1' if P/E.C. has applied the maximum number of erase pulses to the block without achieving an erase verify.
			'0'	Erase Success	
PS	4	Program Status	'1'	Program Error	PS bit set to '1' if the P/E.C. has failed to program a byte or word.
			'0'	Program Success	
VPPS	3	V_{PP} Status	'1'	V_{PP} Low, Abort	VPPS bit is set if the V_{PP} voltage is below V_{PPH}(min) when a Program or Erase instruction has been executed.
			'0'	V_{PP} OK	
	2	Reserved			
	1	Reserved			
	0	Reserved			

Notes: Logic level '1' is High, '0' is Low.

Tabel 8/5.4-113: Betekenis van de bits in het Status Register.

5.4 Type-beschrijving Flash- EPROM's

Read Status Register Instructie (RSR)
De lees-statusregister instructie kan op elk moment worden gegeven (ook terwijl de P/E.C aktief is). Hij bestaat uit één schrijf-operatie van het commando 70H, waarna lees-operaties de inhoud van het status-register ophalen. Deze inhoud wordt op de dalende flank van de $\overline{E}$- of $\overline{G}$-signalen gelatcht en blijft beschikbaar totdat $\overline{E}$ of $\overline{G}$ weer naar zijn oorspronkelijke hoge niveau terugkeert. Om nieuwe informatie naar de latch te sturen, moet met $\overline{E}$ of $\overline{G}$ worden getoggeld. Als gevolg hiervan zal bij een leespoging tijdens het wissen of programmeren automatisch de inhoud van het statusregister op de uitgang verschijnen.

Read
Electronic Signature Instructie (RSIG)
Voor deze instructie worden 3 operaties gebruikt. Hij bestaat uit één schrijf-operatie van het commando 90H, gevolgd door twee lees-operaties voor het uitlezen van de fabrikant- en device-codes (zie de tabellen 8/5.4-111 en -112).

Erase Instructie (EE)
De wis-instructie gebruikt twee schrijf-operaties. Het eerst geschreven commando is Erase Set-up (20H); het tweede is Erase Confirm (0D0H). Tijdens het schrijven van het tweede commando wordt het adres van een te wissen blok gegeven en in het geheugen opgeslagen. Als het tweede commando geen Erase Confirm commando is, worden in het statusregister de bits b4 en b5 op "1" gezet en wordt de instructie afgebroken.
Tijdens de uitvoering van Erase door de P/E.C accepteert het geheugen alleen de RSR (Read Status Register) en ES (Erase Suspend) instructies. Tijdens het wissen is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het wissen een Erase Failure is opgetreden, gaat bit b5 van het statusregister na afloop van het wissen naar "1". Wanneer V_{pp} bij het wissen lager wordt dan het V_{PPH}-niveau gaat statusregister-bit b3 naar "1" en wordt het wissen afgebroken (ook als $\overline{RP}$ LAAG wordt). Het Boot blok kan alleen worden gewist als $\overline{RP}$ op V_{HH} staat.

Program Instructie (PG)
Deze instructie gebruikt twee schrijf-operaties. Eerst wordt Program Set-up 40H (of 10H) geschreven. Een tweede schrijf-operaties latcht het adres plus de te schrijven data en start de P/E.C. Met lees-operaties wordt de inhoud van het statusregister opgehaald als het programmeren begonnen is. Het programmeren houdt in dat alleen nullen op de plaats van enen in een byte of woord worden geschreven.
Tijdens de uitvoering van het programmeren door de P/E.C accepteert het geheugen alleen de RSR instructie. Gedurende het programmeren is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het programmeren een Program Failure is opgetreden, gaat na afloop bit b4 in het statusregister naar "1". Wanneer V_{pp} vóór of tijdens het programmeren afwijkt van V_{PPH} gaat bit b3 in het statusregister naar "1".
Bij het programmeren moet V_{pp} het V_{PPH}-niveau hebben. Als $V_{pp} < V_{PPH}$ kan beter niet worden geprogrammeerd, omdat het resultaat onzeker is. Het programmeren wordt afgebroken als V_{pp} lager wordt dan V_{PPH} of als $\overline{RP}$ LAAG wordt. De data kan dan onjuist zijn, zodat na clearen van het statusregister het geheugen gewist en opnieuw geprogrammeerd moet worden. Het Boot blok kan alleen worden geprogrammeerd als $\overline{RP}$ op V_{HH} staat.

Clear Status Register Instructie (CLRS)
Om het statusregister leeg te maken is één schrijfoperatie nodig, waarmee bits b3, b4 en b5 op "0" worden gezet (als die door de P/E.C op "1" waren gelatcht). CLRS moet worden uitgevoerd vóór elke nieuwe operatie als een fout is gedetecteerd.

Erase Suspend Instructie (ES)
Een wis-operatie kan met deze instructie (commando 0B0H) worden uitgesteld. Statusregisterbit b6 geeft aan of het wissen wer-

kelijk is uitgesteld (b6 = "1") of dat de P/E.C-cyclus de laatste was en het wissen klaar is (b6 = "0"). Tijdens het uitstel reageert het geheugen alleen op RD, RSR en ER instructies. Als het wissen is uitgesteld halen leesoperaties eerst de inhoud van het statusregister op, maar na een Read-instructie kan data uit andere geheugenblokken worden uitgelezen. V_{PP} moet ook bij uitstellen van het wissen op V_{PPH} worden gehouden. Als V_{PP} gedurende Erase Suspend afwijkt van V_{PPH} of als $\overline{RP}$ LAAG wordt, wordt het wissen afgebroken. Bits b5 en b3 van het statusregister worden dan gezet. Na clearen van het statusregister moet dan opnieuw worden gewist.

Erase Resume Instructie (ER)
Als een wis-uitstel instructie werd uitgevoerd, kan het wissen worden hervat door het commando 0D0H te geven.
Het statusregisterbit b6 wordt dan gecleared, waarna leesoperaties de inhoud van het statusregister ophalen. De aanbevolen flowdiagrammen van programma's waarin het programmeren, wissen en uitstellen/hervatten van het wissen worden gebruikt, zijn te zien in de figuren 8/5.4-129 tot en met -131 (bij de 28F210/220).

Het programmeren
Het geheugen kan byte-voor-byte of woord-voor-woord worden geprogrammeerd. De programmeerspanning V_{PP} moet aanwezig zijn voordat de programmeer-instructie wordt gegeven. Als in het Boot blok moet worden geprogrammeerd, moet ook $\overline{RP}$ op V_{HH} worden gebracht om dit blok vrij te geven. Tijdens het programmeren mag de programmeerspanning continu aanwezig blijven.
De programmeer-volgorde wordt gestart met een Program Set-up commando (40H) aan het Command Interface, gevolgd door het schrijven van adres en data-byte of -woord. De Program/Erase Controller (P/E.C) start automatisch en voert het programmeren uit na de tweede schrijf-operatie (mits V_{PP} en $\overline{RP}$ correct zijn). Tijdens het programmeren wordt de status van het geheugen gecheckt door statusregisterbit b7 te lezen (= de status van de P/E.C). Als bit b7 = "1" is, geeft deze aan dat het programmeren klaar is.
Een volledige status-check kan worden uitgevoerd na elke byte/woord of nadat een reeks data is geprogrammeerd. De status-check wordt gedaan op bit b3 voor een eventuele V_{PP}-fout en op b4 voor een mogelijke programmeerfout.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature grade 1 grade 3 grade 6	0 to 70 -40 to 125 -40 to 85	°C
T_{BIAS}	Temperature Under Bias	-50 to 125	°C
T_{STG}	Storage Temperature	-65 to 150	°C
V_{IO} (2, 3)	Input or Output Voltages	-0.6 to 7	V
V_{CC}	Supply Voltage	-0.6 to 7	V
V_{A9} (2)	A9 Voltage	-0.6 to 13.5	V
V_{PP} (2)	Program Supply Voltage, during Erase or Programming	-0.6 to 14	V
V_{RP} (2)	$\overline{RP}$ Voltage	-0.6 to 13.5	V

Tabel 8/5.4-114: Maximaal toegelaten waarden voor de 28F410, 28F420, 28V410 en 28V420.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C; V_{CC} = 5V±10% or 5V±5% ; V_{PP} = 12V±5%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) TTL	$\overline{E}$ = V_{IL}, f = 10MHz, I_{OUT} = 0mA		50	mA
I_{CC} (1, 3)	Supply Current (Read Word-wide) TTL	$\overline{E}$ = V_{IL}, f = 10MHz, I_{OUT} = 0mA		55	mA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) CMOS	$\overline{E}$ = V_{SS}, f = 10MHz, I_{OUT} = 0mA		45	mA
	Supply Current (Read Word-wide) CMOS	$\overline{E}$ = V_{SS}, f = 10MHz, I_{OUT} = 0mA		50	mA
I_{CC1} (3)	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}, $\overline{RP}$ = V_{IH}		3	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V, $\overline{RP}$ = V_{CC} ± 0.2V, $\overline{BYTE}$ = V_{CC} ± 0.2V or V_{SS}		100	µA
I_{CC2} (3)	Supply Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{CC3}	Supply Current (Program Byte-wide)	Byte program in progress		50	mA
	Supply Current (Program Word-wide)	Word program in progress		60	mA
I_{CC4}	Supply Current (Erase)	Erase in progress		30	mA
I_{CC5} (2)	Supply Current (Erase Suspend)	$\overline{E}$ = V_{IH}, Erase suspended		10	mA
I_{PP}	Program Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
I_{PP1}	Program Leakage Current (Read or Standby)	V_{PP} ≤ V_{CC}		±10	µA
I_{PP2}	Program Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{PP3}	Program Current (Program Byte-wide)	Byte program in progress		30	mA
I_{PP3}	Program Current (Program Word-wide)	Word program in progress		40	mA
I_{PP4}	Program Current (Erase)	Erase in progress		30	mA
I_{PP5}	Program Current (Erase Suspend)	Erase suspended		200	µA
V_{IL}	Input Low Voltage		-0.5	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8mA		0.45	V
V_{OH}	Output High Voltage	I_{OH} = -2.5mA	2.4		V
V_{PPL}	Program Voltage (Normal operation)		0	6.5	V
V_{PPH}	Program Voltage (Program or Erase operations)		11.4	12.6	V
V_{ID}	A9 Voltage (Electronic Signature)		11.4	13	V
I_{ID}	A9 Current (Electronic Signature)	A9 = V_{ID}		500	µA
V_{LKO}	Supply Voltage (Erase and Program lock-out)		2		V
V_{HH}	Input Voltage ($\overline{RP}$, Boot unlock)	Boot block Program or Erase	11.4	13	V

Notes: 1. Automatic Power Saving reduces I_{CC} to ≤ 8mA typical in static operation.
2. Current increases to I_{CC} + I_{CC5} during a read operation.
3. CMOS levels V_{CC} ± 0.2V and V_{SS} ± 0.2V. TTL levels V_{IH} and V_{IL}.

Tabel 8/5.4-115: Gelijkspanningskarakteristieken van de standaard 28F410/420.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V±5% or 12V±10%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) TTL	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}, f = 5MHz		40	mA
I_{CC} (1, 3)	Supply Current (Read Word-wide) TTL	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}, f = 5MHz		45	mA
I_{CC} (1, 3)	Supply Current (Read Byte-wide) CMOS	$\overline{E}$ = V_{SS}, $\overline{G}$ = V_{SS}, f = 5MHz		35	mA
	Supply Current (Read Word-wide) CMOS	$\overline{E}$ = V_{SS}, $\overline{G}$ = V_{SS}, f = 5MHz		40	mA
I_{CC1} (3)	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}, $\overline{RP}$ = V_{IH}		3	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V, $\overline{RP}$ = V_{CC} ± 0.2V, $\overline{BYTE}$ = V_{CC} ± 0.2V or V_{SS}		150	µA
I_{CC2} (3)	Supply Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{CC3}	Supply Current (Program Byte-wide)	Byte program in progress		50	mA
	Supply Current (Program Word-wide)	Word program in progress		60	mA
I_{CC4}	Supply Current (Erase)	Erase in progress		30	mA
I_{CC5} (2)	Supply Current (Erase Suspend)	$\overline{E}$ = V_{IH}, Erase suspended		10	mA
I_{PP}	Program Current (Read or Standby)	V_{PP} > V_{CC}		200	µA
I_{PP1}	Program Leakage Current (Read or Standby)	V_{PP} ≤ V_{CC}		±15	µA
I_{PP2}	Program Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{PP3}	Program Current (Program Byte-wide)	Byte program in progress		30	mA
I_{PP3}	Program Current (Program Word-wide)	Word program in progress		40	mA
I_{PP4}	Program Current (Erase)	Erase in progress		30	mA
I_{PP5}	Program Current (Erase Suspend)	Erase suspended		200	µA
V_{IL}	Input Low Voltage		-0.5	0.6	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 2mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = −2mA	2.4		V
V_{PPL}	Program Voltage (Normal operation)		0	4.1	V
V_{PPH}	Program Voltage (Program or Erase operations) 5% range		11.4	12.6	V
	Program Voltage (Program or Erase operations) 10% range		10.8	13.2	V
V_{ID}	A9 Voltage (Electronic Signature)		11.4	13	V
I_{ID}	A9 Current (Electronic Signature)	A9 = V_{ID}		500	µA
V_{LKO}	Supply Voltage (Erase and Program lock-out)		2		V
V_{HH}	Input Voltage ($\overline{RP}$, Boot unlock)	Boot block Program or Erase	11.4	13	V

Notes: 1. Automatic Power Saving reduces I_{CC} to ≤ 2mA typical in static operation.
2. Current increases to I_{CC} + I_{CC5} during a read operation.
3. CMOS levels V_{CC} ± 0.2V and V_{SS} ± 0.2V. TTL levels V_{IH} and V_{IL}.

Tabel 8/5.4-116: Gelijkspanningskarakteristieken van de Low Voltage-versie 28V410/420.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C or –40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F410 / 20								Unit
			-70		-80		-100		-120		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		EPROM Interface		EPROM Interface		
			Min	Max	Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{RC}	Address Valid to Next Address Valid	70		80		100		120		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid		70		80		100		120	ns
t_{PHQV}	t_{PWH}	Power Down High to Output Valid		300		300		300		300	ns
t_{ELQX} (2)	t_{LZ}	Chip Enable Low to Output Transition	0		0		0		0		ns
t_{ELQV} (3)	t_{CE}	Chip Enable Low to Output Valid		70		80		100		120	ns
t_{GLQX} (2)	t_{OLZ}	Output Enable Low to Output Transition	0		0		0		0		ns
t_{GLQV} (3)	t_{OE}	Output Enable Low to Output Valid		35		40		45		50	ns
t_{EHQX} (2)	t_{OH}	Chip Enable High to Output Transition	0		0		0		0		ns
t_{EHQZ} (2)	t_{HZ}	Chip Enable High to Output Hi-Z		25		30		35		35	ns
t_{GHQX} (2)	t_{OH}	Output Enable High to Output Transition	0		0		0		0		ns
t_{GHQZ} (2)	t_{DF}	Output Enable High to Output Hi-Z		25		30		35		35	ns
t_{AXQX} (2)	t_{OH}	Address Transition to Output Transition	0		0		0		0		ns

Tabel 8/5.4-117: Schakeltijden bij het uitlezen van de 28F410/420.

Het wissen

Het geheugen kan per blok worden gewist. Voordat de Erase-instructie wordt gegeven moet de programmeerspanning V_{pp} reeds aanwezig zijn. Bovendien moet, als het Boot blok wordt gewist, ook $\overline{RP}$ op VHH staan om het blok vrij te geven. De wis-volgorde wordt gestart door een Erase Set-up commando (20H) naar het Command Interface te schrijven, gevolgd door een adres in het te wissen blok en het Erase Confirm commando (0D0H). De Program/Erase Controller start automatisch en wist het blok (als V_{pp} en $\overline{RP}$ correct zijn). Tijdens het wissen wordt het geheugen gecheckt door het status-registerbit b7 te lezen. Als b7 = "1" geeft dit aan dat het wissen klaar is. Een volledige statuscheck kan na het wissen van het blok

worden uitgevoerd op bit b3 voor een eventuele V_{pp}-fout, op b5 en b6 voor eventuele commando-volgorde fouten (bij uitgesteld wissen) en op b5 alleen voor een wisfout.

Reset

Let op: Als bij het programmeren of wissen een fout is opgetreden of als V_{pp} onder V_{PPL} is gekomen moet de Command Interface altijd worden gereset

Overige kenmerken

Bij het opkomen van de voedingsspanningen wordt de Command Interface automatisch gereset, zodat het niet belangrijk is, welke spanning het eerst aanwezig is (V_{CC} of V_{pp}). Beide spanningen moeten (per geheugenchip) worden ontkoppeld met een condensator van 0,1 µF. Op printkaarten moeten de geleiders voor V_{pp} breed genoeg zijn om de programmeer- en wisstromen te kunnen verwerken.

(T_A = 0 to 70°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V±5% or 12V±10%)

Symbol	Alt	Parameter	Test Condition	M28V410 / 420						Unit
				-120 SRAM Interface		-150 EPROM Interface		-180 EPROM Interface		
				Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{RC}	Address Valid to Next Address Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	120		150		180		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		120		150		180	ns
t_{PHQV}	t_{PWH}	Power Down High to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		700		700		700	ns
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	$\overline{G} = V_{IL}$	0		0		0		ns
t_{ELQV} (2)	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		120		150		180	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	$\overline{E} = V_{IL}$	0		0		0		ns
t_{GLQV} (2)	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		60		65		70	ns
t_{EHQX}	t_{OH}	Output Enable High to Output Transition	$\overline{G} = V_{IL}$	0		0		0		ns
t_{EHQZ} (1)	t_{HZ}	Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$		50		55		60	ns
t_{GHQX}	t_{OH}	Output Enable High to Output Transition	$\overline{E} = V_{IL}$	0		0		0		ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$		45		50		55	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		0		0		ns

Tabel 8/5.4-118: Schakeltijden bij het uitlezen van de 28V410/420.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C or –40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Parameter	M28F410 / 20								Unit
		-70		-80		-100		-120		
		V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		V_{CC} = 5V ± 10%		
		SRAM Interface		EPROM Interface		EPROM Interface		EPROM Interface		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ELBL}	Chip Enable Low to $\overline{\text{BYTE}}$ Low		5		5		5		5	ns
t_{ELBH}	Chip Enable Low to $\overline{\text{BYTE}}$ High		5		5		5		5	ns
t_{BLQV} [2]	$\overline{\text{BYTE}}$ Low to Output Valid		70		80		100		120	ns
t_{BHQV}	$\overline{\text{BYTE}}$ High to Output Valid		70		80		100		120	ns
t_{BLQZ}	$\overline{\text{BYTE}}$ Low to Output Hi-Z		25		30		35		35	ns

Tabel 8/5.4-119: Schakeltijden met betrekking tot $\overline{\text{BYTE}}$ voor de 28F410/420.

De overige elektrische en timing kenmerken van de SGS-Thomson Flashgeheugens M28F410, M28F420, M28V410 en M28V420 zijn opgenomen in de tabellen 8/5.4-114 tot en met 8/5.4-125.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or –40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F410 / 20				Unit
			-70		-80		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		
			Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	70		80		ns
t_{PHWL}	t_{PS}	Power Down High to Write Enable Low	210		210		ns
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	0		0		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High	50		50		ns
t_{DVWH}	t_{DS}	Data Valid to Write Enable High	50		50		ns
t_{WHDX}	t_{DH}	Write Enable High to Data Transition	0		0		ns
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	10		10		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	20		30		ns
t_{AVWH}	t_{AS}	Address Valid to Write Enable High	50		50		ns
t_{PHHWH} (5)	t_{PHS}	Power Down VHH (Boot Block Unlock) to Write Enable High	100		100		ns
t_{VPHWH} (5)	t_{VPS}	V_{PP} High to Write Enable High	100		100		ns
t_{WHAX}	t_{AH}	Write Enable High to Address Transition	10		10		ns
t_{WHQV1} (2, 3)		Write Enable High to Output Valid (Word/Byte Program)	6		6		µs
t_{WHQV2} (2, 3)		Write Enable High to Output Valid (Boot Block Erase)	0.3		0.3		sec
t_{WHQV3} (2)		Write Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		sec
t_{WHQV4} (2)		Write Enable High to Output Valid (Main Block Erase)	0.6		0.6		sec
t_{QVPH} (5)	t_{PHH}	Output Valid to Reset/Power Down High	0		0		ns
t_{QVVPL} (5)		Output Valid to V_{PP} Low	0		0		ns
t_{PHBR} (4, 5)		Reset/Power Down High to Boot Block Relock		100		100	ns

Tabel 8/5.4-120: Schakeltijden bij het schrijven naar de (twee snelste versies van de) 28F410/420 onder besturing van $\overline{W}$. Zie ook figuur 8/5.4-146.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V±5% or 12V±10%)

Symbol	Alt	Parameter	M28V410 / 420						Unit
			-120		-150		-180		
			SRAM Interface		EPROM Interface		EPROM Interface		
			Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	120		150		180		ns
t_{PHWL}	t_{PS}	Power Down High to Write Enable Low	1		1		1		µs
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	0		0		0		ns
t_{WLWH}	t_{WP}	Write Enable Low to Write Enable High	100		100		100		ns
t_{DVWH}	t_{DS}	Input Valid to Write Enable High	100		100		100		ns
t_{WHDX}	t_{DH}	Write Enable High to Input Transition	0		0		0		ns
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	10		10		10		ns
t_{WHWL}	t_{WPH}	Write Enable High to Write Enable Low	50		50		50		ns
t_{AVWH}	t_{AS}	Address Valid to Write Enable High	95		95		95		ns
t_{PHHWH}	t_{PHS}	Power Down VHH (Boot Block Unlock) to Write Enable High	200		200		200		ns
t_{VPHWH}	t_{VPS}	V_{PP} High to Write Enable High	200		200		200		ns
t_{WHAX}	t_{AH}	Write Enable High to Address Transition	10		10		10		ns
t_{WHQV1} (1, 2)		Write Enable High to Output Valid (Word/Byte Program)	6		6		6		µs
t_{WHQV2} (1, 2)		Write Enable High to Output Valid (Boot Block Erase)	0.3		0.3		0.3		sec
t_{WHQV3} (1)		Write Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		0.3		sec
t_{WHQV4} (1)		Write Enable High to Output Valid (Main Block Erase)	0.6		0.6		0.6		sec
t_{QVPH}	t_{PHH}	Output Valid to Reset/Power Down High	0		0		0		ns
t_{QVVPL}		Output Valid to V_{PP} Low	0		0		0		ns
t_{PHBR} (3)		Reset/Power Down High to Boot Block Relock		200		200		200	ns

Tabel 8/5.4-121: Schakeltijden bij het schrijven naar alle snelheidsversies van de 28V410/420, onder besturing van $\overline{W}$. Zie ook figuur 8/5.4-146.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C or −40 to 85°C; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F410 / 20				Unit
			-70		-80		
			V_{CC} = 5V ± 5%		V_{CC} = 5V ± 10%		
			SRAM Interface		EPROM Interface		
			Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	70		80		ns
t_{PHEL}	t_{PS}	Power Down High to Chip Enable Low	210		210		ns
t_{WLEL}	t_{CS}	Write Enable Low to Chip Enable Low	0		0		ns
t_{ELEH}	t_{WP}	Chip Enable Low to Chip Enable High	50		50		ns
t_{DVEH}	t_{DS}	Data Valid to Chip Enable High	50		50		ns
t_{EHDX}	t_{DH}	Chip Enable High to Data Transition	0		0		ns
t_{EHWH}	t_{CH}	Chip Enable High to Write Enable High	10		10		ns
t_{EHEL}	t_{WPH}	Chip Enable High to Chip Enable Low	20		30		ns
t_{AVEH}	t_{AS}	Address Valid to Chip Enable High	50		50		ns
t_{PHHEH} (5)	t_{PHS}	Power Down VHH (Boot Block Unlock) to Chip Enable High	100		100		ns
t_{VPHEH} (5)	t_{VPS}	V_{PP} High to Chip Enable High	100		100		ns
t_{EHAX}	t_{AH}	Chip Enable High to Address Transition	10		10		ns
t_{EHQV1} (2, 3)		Chip Enable High to Output Valid (Word/Byte Program)	6		6		µs
t_{EHQV2} (2, 3)		Chip Enable High to Output Valid (Boot Block Erase)	0.3		0.3		sec
t_{EHQV3} (2)		Chip Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		sec
t_{EHQV4} (2)		Chip Enable High to Output Valid (Main Block Erase)	0.6		0.6		sec
t_{QVPH} (5)	t_{PHH}	Output Valid to Reset/Power Down High	0		0		ns
t_{QVVPL} (5)		Output Valid to V_{PP} Low	0		0		ns
t_{PHBR} (4, 5)		Reset/Power Down High to Boot Block Relock		100		100	ns

Tabel 8/5.4-122: Schakeltijden bij het schrijven naar de (twee snelste versies van de) 28F410/420 (door $\overline{E}$ geregeld). Zie ook figuur 8/5.4-147.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V±5% or 12V±10%)

Symbol	Alt	Parameter	M28V410 / 420						Unit
			-120		-150		-180		
			SRAM Interface		EPROM Interface		EPROM Interface		
			Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	120		150		180		ns
t_{PHEL}	t_{PS}	Power Down High to Chip Enable Low	1		1		1		µs
t_{WLEL}	t_{CS}	Write Enable Low to Chip Enable Low	0		0		0		ns
t_{ELEH}	t_{WP}	Chip Enable Low to Chip Enable High	100		100		100		ns
t_{DVEH}	t_{DS}	Input Valid to Chip Enable High	100		100		100		ns
t_{EHDX}	t_{DH}	Chip Enable High to Input Transition	0		0		0		ns
t_{EHWH}	t_{CH}	Chip Enable High to Write Enable High	10		10		10		ns
t_{EHEL}	t_{WPH}	Chip Enable High to Chip Enable Low	50		50		50		ns
t_{AVEH}	t_{AS}	Address Valid to Chip Enable High	95		95		95		ns
t_{PHHEH}	t_{PHS}	Power Down VHH (Boot Block Unlock) to Chip Enable High	200		200		200		ns
t_{VPHEH}	t_{VPS}	V_{PP} High to Chip Enable High	200		200		200		ns
t_{EHAX}	t_{AH}	Chip Enable High to Address Transition	10		10		10		ns
t_{EHQV1} [1,2]		Chip Enable High to Output Valid (Word/Byte Program)	6		6		6		µs
t_{EHQV2} [1,2]		Chip Enable High to Output Valid (Boot Block Erase)	0.3		0.3		0.3		sec
t_{EHQV3} [1]		Chip Enable High to Output Valid (Parameter Block Erase)	0.3		0.3		0.3		sec
t_{EHQV4} [1]		Chip Enable High to Output Valid (Main Block Erase)	0.6		0.6		0.6		sec
t_{QVPH}	t_{PHH}	Output Valid to Reset/Power Down High	0		0		0		ns
t_{QVVPL}		Output Valid to V_{PP} Low	0		0		0		ns
t_{PHBR} [3]		Reset/Power Down High to Boot Block Relock		200		200		200	ns

Tabel 8/5.4-123: Schakeltijden bij het schrijven naar alle snelheidsversies van de 28V410/420 (door $\overline{E}$ geregeld). Zie ook figuur 8/5.4-147.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C; V_{CC} = 5V ± 10% or 5V ± 5%)

Parameter	Test Conditions	M28F410 / 420			Unit
		Min	Typ	Max	
Main Block Program (Byte)	V_{PP} = 12V ±5%		1.2	4.2	sec
Main Block Program (Word)	V_{PP} = 12V ±5%		0.6	2.1	sec
Boot or Parameter Block Erase	V_{PP} = 12V ±5%		1	7	sec
Main Block Erase	V_{PP} = 12V ±5%		2.4	14	sec

Tabel 8/5.4-124: Benodigde tijden voor het programmeren en wissen van woord/byte blokken van de 28F410 en 28F420.

(T_A = 0 to 70°C; V_{CC} = 3.3V ± 0.3V)

Parameter	Test Conditions	M28V410 / 420			Unit
		Min	Typ	Max	
Main Block Program (Byte)	V_{PP} = 12V ±5%		1.2	4.2	sec
Main Block Program (Word)	V_{PP} = 12V ±5%		0.6	2.1	sec
Boot or Parameter Block Erase	V_{PP} = 12V ±5%		1	7	sec
Main Block Erase	V_{PP} = 12V ±5%		2.4	14	sec
Main Block Program (Byte)	V_{PP} = 12V ±10%		6	20	sec
Main Block Program (Word)	V_{PP} = 12V ±10%		3	10	sec
Boot or Parameter Block Erase	V_{PP} = 12V ±10%		5.8	40	sec
Main Block Erase	V_{PP} = 12V ±10%		14	60	sec

Tabel 8/5.4-125: Benodigde tijden voor het programmeren en wissen van woord/byte blokken van de 28V410 en 28V420.

28F411, 28F421, 28V411, 28V421

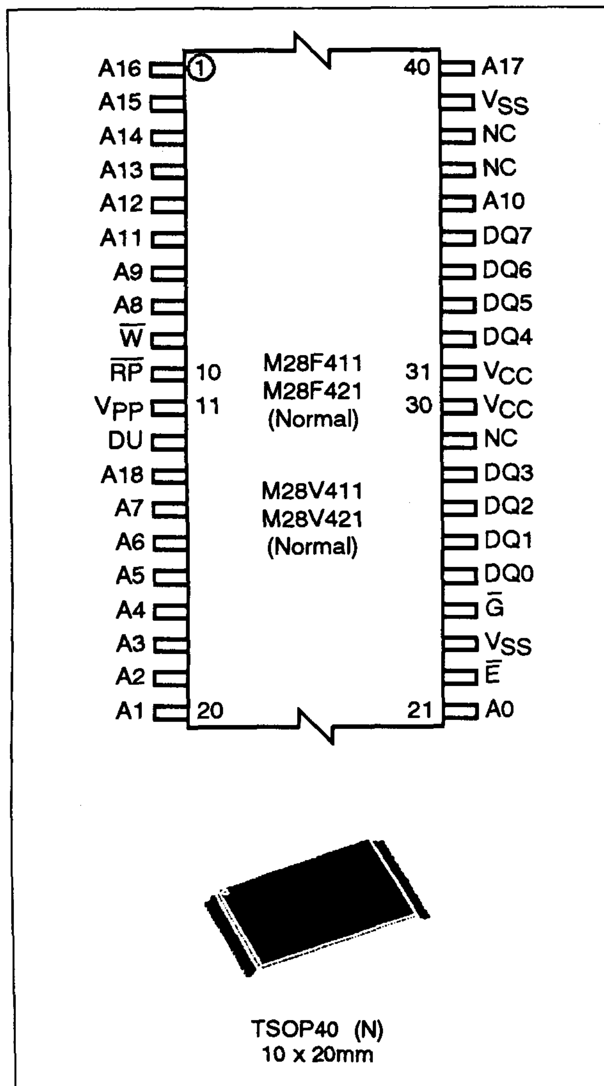
512 k x 8 bit CMOS Flash EPROM

De 28F411 en 28F421 Flash geheugens zijn, evenals de 28F410/420, 4 MB niet-vluchtige geheugens die per blok elektrisch wis- en programmeerbaar zijn.
De 28F411/421 zijn echter alleen 8 bit breed, zodat het $\overline{BYTE}$-signaal is vervallen. De 28F411 heeft een "top boot"-blok en de 28F421 een "bottom boot"-blok. Bovendien zijn beide typen leverbaar in een Low-Voltage uitvoering (V_{CC} = 3,3 V +/- 0,3 V): de 28V411 en 28V421. Beide typen zijn, ook binnen het systeem, programmeerbaar met een spanning van 12 V. De geheugens hebben een 40-pens TSOP40-behuizing en zijn leverbaar met toegangstijden van 70 tot 120 ns (bij de Low Voltage-typen 120 en 150 ns).

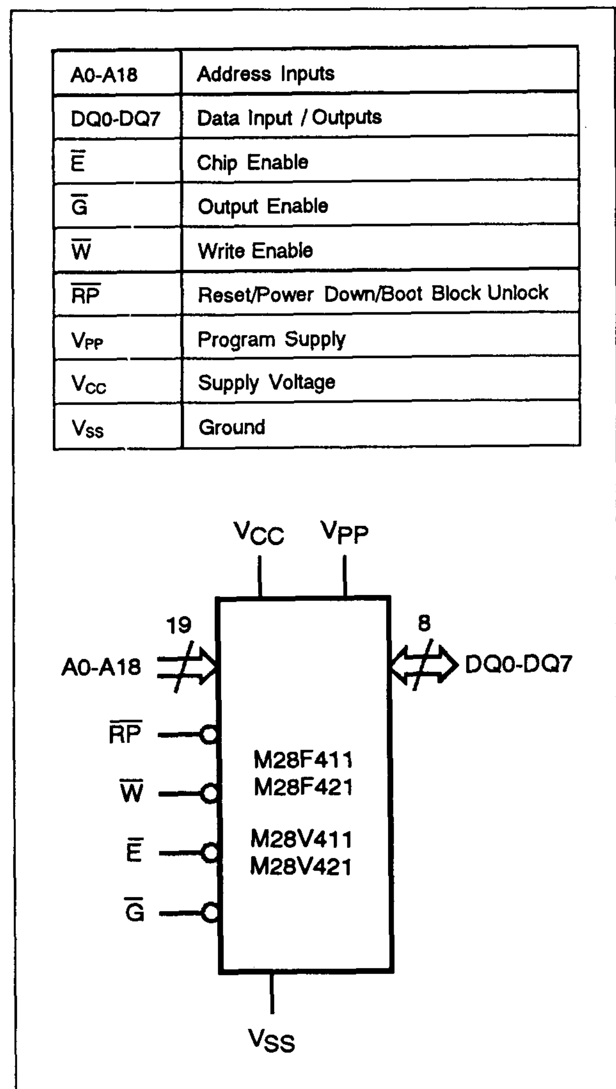
Specificaties

- 4 MB: 524.288 x 8 bit
- voedingsspanning:
  28F411/421: 5 V +/- 10 %
  28V411/421: 3,3 V +/- 0,3 V
- programmeerspanning: 12 V +/-5 %
- Low power CMOS:
  - 60 µA typ. standby (V-type: 55 µA)
  - 0,2 µA typ. deep power down (V-type: 3 µA
  - 20/25 mA typ. vol bedrijf (V-type: 10 mA)

5.4 Type-beschrijving Flash- EPROM's



Figuur 8/5.4-148: Aansluitingen van de 40-pens Thin Small Outline Package (TSOP40) van de 28F411/421 en 28V411/421.



A0-A18	Address Inputs
DQ0-DQ7	Data Input / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
$\overline{RP}$	Reset/Power Down/Boot Block Unlock
V_{PP}	Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/5.45-149: Logisch symbool en aansluitingen van de 28F411/421 en 28V411/421.

- toegangstijden: 70 tot 120 ns (V-type: 120 en 150 ns)
- elektrisch wissen in blokken:
  - één 16 kB Boot-blok (top/bottom) met hardware schrijf/wis-beveiliging
  - twee 8 kB Key Parameter blokken
  - één 96 kB Main blok
  - drie 128 kB Main blokken
- geïntegreerde wis/programmeer-besturing
- 100.000 wis/programmeercycli
- kleine behuizing: TSOP40 (figuur 8/5.4-148)
- fabrikant: SGS-Thomson: M28F411, M28F421, M28V411, M28V421

Organisatie

Omdat de 28F411/421 vrijwel gelijk is aan de 28F410/420, wordt in dit gedeelte alleen het afwijkende behandeld. Voor de algemene gang van zaken wordt verwezen naar de 28F410/420.

5.4 Type-beschrijving Flash-EPROM's

Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	DQ0 - DQ7
Read Byte	V_{IL}	V_{IL}	V_{IH}	V_{IH}	Data Output
Write Byte	V_{IL}	V_{IH}	V_{IL}	V_{IH}	Data Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	Hi-Z
Power Down	X	X	X	V_{IL}	Hi-Z

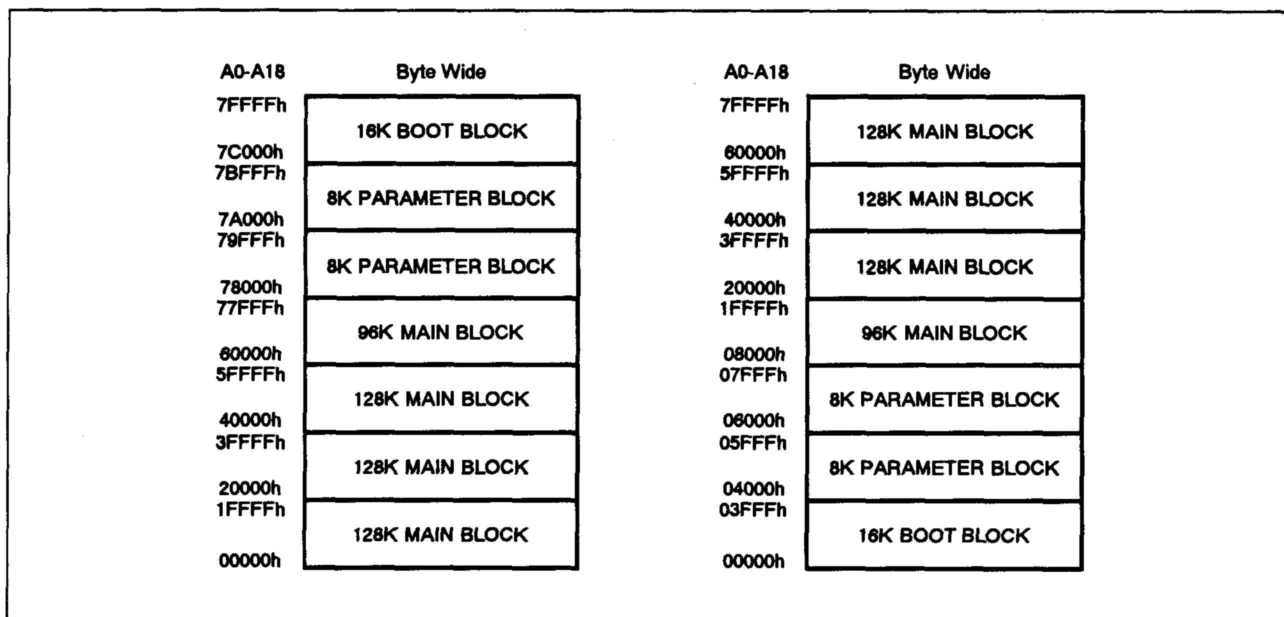
Note: X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}

Tabel 8/5.4-126: Instelling van de verschillende bedrijfsmodes met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$ en $\overline{RP}$.

De 28F411/421 is georganiseerd in 512 kB (8 bit).
Het geheugen heeft drie besturingssignalen: Chip Enable, Output Enable en Write Enable plus een op drie niveaus werkend ingangssignaal "Reset/Power Down/Boot block unlock". Hiermee kan de 28F411/421 in een diepe power-down toestand of in de normale bedrijfstoestand worden gezet, of is het wissen/programmeren van het boot-blok mogelijk (bij 12 V).

Geheugenblokken

Het geheugen wordt bloksgewijs gewist. Er zijn zeven blokken in de adresruimte: één Boot blok van 16 kB, twee "Key Parameter" blokken van 8 kB, één "Main" blok van 96 kB en drie "Main" blokken van 128 kB (zie figuur 8/5.4-150). Bij de 28F411 bevindt het Boot blok zich bovenin de adresruimte (tot 7FFFFH) en bij de 28F421 onderaan (vanaf 00000H). Elk blok wordt binnen één seconde gewist en kan meer dan 100.000 keer worden geprogrammeerd en gewist.
Het Boot blok is door middel van hardware beveiligd tegen abusievelijk programmeren of wissen. Programmeer/wis-commando's in het Boot blok worden alleen uitgevoerd als $\overline{RP}$ = 12 V is.



Figuur 8/5.4-150: Indeling van het geheugen (memory map). De 28F411 (28V411) heeft het Boot blok aan de bovenkant en de 28F421 (28V421) aan de onderkant van de adresruimte.

5.4 Type-beschrijving Flash- EPROM's

Commando-interface

De commando's worden naar een Command Interface latch (C.I.) geschreven om te kunnen lezen, wissen en programmeren of om de status van het geheugen te controleren. Bij het opkomen van de voedingsspanning, bij het terugkomen vanaf power down of als V_{CC} lager is dan V_{LKO} wordt het Command Interface gereset in de toestand "Read Memory Array".

Instructies en commando's

Zoals tabel 8/5.4-127 laat zien, zijn er acht instructies mogelijk:
- Read Memory Array;
- Read Status Register;
- Read Electronic Signature;
- Erase;
- Program;
- Clear Status Register;
- Erase Suspend;
- Erase Resume.

De timingen en verificaties van de Program en Erase instructies (inclusief de statusbits) worden verzorgd door een interne Program/ Erase Controller (P/E.C).
Instructies bestaan uit een schrijfoperatie, gevolgd door nog een commando schrijfoperatie om het programmeer- of wiscommando te bevestigen of een leesoperatie om data uit het array, de Electronic Signature of het statusregister uit te lezen.
Om data extra te beveiligen bestaan de instructies voor het programmeren en blokwissen uit twee commando's die naar het geheugen worden geschreven. Het programmeren duurt circa 9 μs; het blok-wissen 1 seconde. Het wissen van een geheugenblok kan worden uitgesteld om data in een ander blok uit te lezen, waarna het wissen kan worden hervat. Het statusregister kan op elk moment worden uitgelezen (ook tijdens programmeer- of wis-cycli) om de voortgang van een operatie te controleren.

Mnemonic	Instruction	Cycles	1st Cycle			2nd Cycle		
			Operation	Address (1)	Data	Operation	Address (1)	Data
RD	Read Memory Array	1+	Write	X	0FFh	Read (2)	Read Address	Data
RSR	Read Status Register	1+	Write	X	70h	Read (2)	X	Status Register
RSIG	Read Electronic Signature	3	Write	X	90h	Read (2)	Signature Adress (3)	Signature
EE	Erase	2	Write	X	20h	Write	Block Address	0D0h
PG	Program	2	Write	X	40h or 10h	Write	Address	Data Input
CLRS	Clear Status Register	1	Write	X	50h			
ES	Erase Suspend	1	Write	X	0B0h			
ER	Erase Resume	1	Write	X	0D0h			

Tabel 8/5.4-127: Instructies voor de 28F411/421 en 28V411/421.

5.4 Type-beschrijving Flash-EPROM's

Hex Code	Command
00h	Invalid/Reserved
10h	Alternative Program Set-up
20h	Erase Set-up
40h	Program Set-up
50h	Clear Status Register
70h	Read Status Register
90h	Read Electronic Signature
0B0h	Erase Suspend
0D0h	Erase Resume/Erase Confirm
0FFh	Read Array

Tabel 8/5.4-128: Codering van de commando's.

Energiebesparing

De 28F411/421 (28V411/421) heeft verschillende mogelijkheden om het opgenomen vermogen te beperken. Met $\overline{E}$ en $\overline{RP}$ aan V_{CC} gaat het geheugen in een CMOS standby mode, waardoor de voedingsstroom afneemt tot circa 60 µA (55 µA). Met $\overline{RP}$ = V_{SS} wordt een diepe power down mode bereikt. De voedingsstroom is dan slechts 0,2 µA (3 µA). Om te ontwaken uit de diepe power down mode is maximaal 300 ns (1 µs) nodig, waarbij instructies voor het Command Interface na 210 ns (880 ns) worden herkend.

Beschrijving van de signalen

In de volgende paragraafjes wordt een kort overzicht gegeven van de betekenis van de signalen.

Adres-ingangen A0 tot en met A18

De adres-signalen voor het kiezen van een lokatie in het geheugen-array worden tijdens een schrijfoperatie gelatcht. Adreslijn A9 wordt ook gebruikt voor de Electronic Signature (als A9 = 12 V). Het A0-signaal dient om twee bytes uit te lezen: als A0 LAAG is, is de fabrikantcode beschikbaar en als A0 HOOG is de device-code toegankelijk (tabellen 8/5.4-129 en -130).

Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	A0	A9	A1-A8 & A10-A18	DQ0 - DQ7
Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h
Device Code	M28F411	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0F6h
	M28F421	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{ID}	Don't Care	0FEh

Note: $\overline{RP}$ = V_{IH}

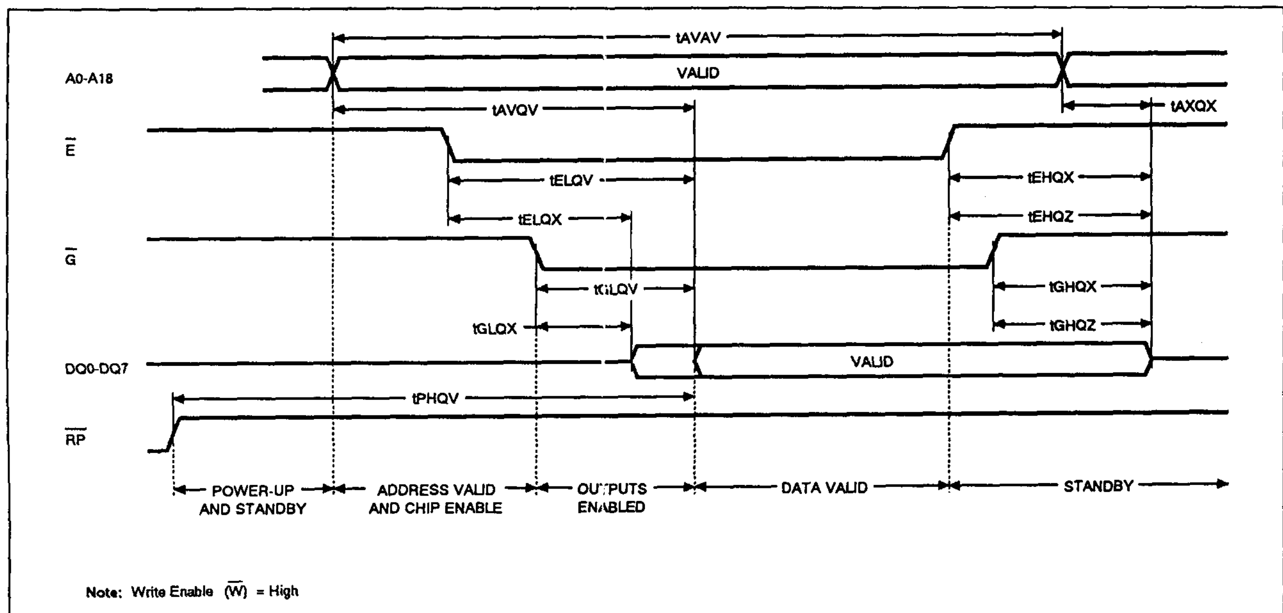
Tabel 8/5.4-129: De Electronic Signature van de 28F411 en 28F421.

Code	Device	$\overline{E}$	$\overline{G}$	$\overline{W}$	A0	A9	A1-A8 & A10-A18	DQ0 - DQ7
Manufact. Code		V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{ID}	Don't Care	20h
Device Code	M28V411	V_{IL}	VIL	VIH	VIH	VID	Don't Care	0F7h
	M28V421	V_{IL}	VIL	VIH	VIH	VID	Don't Care	0FFh

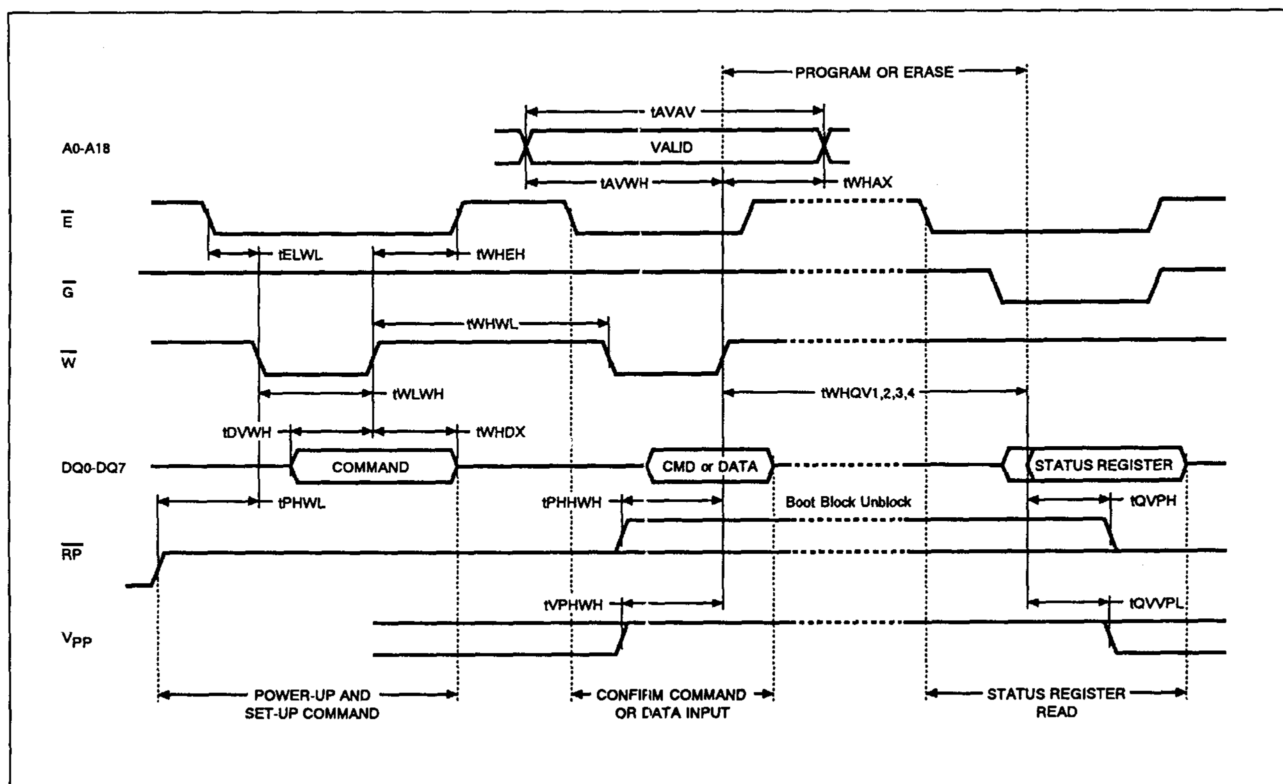
Note: $\overline{RP}$ = V_{IH}

Tabel 8/5.4-130: De Electronic Signature van de 28V411 en 28V421.

5.4 Type-beschrijving Flash- EPROM's

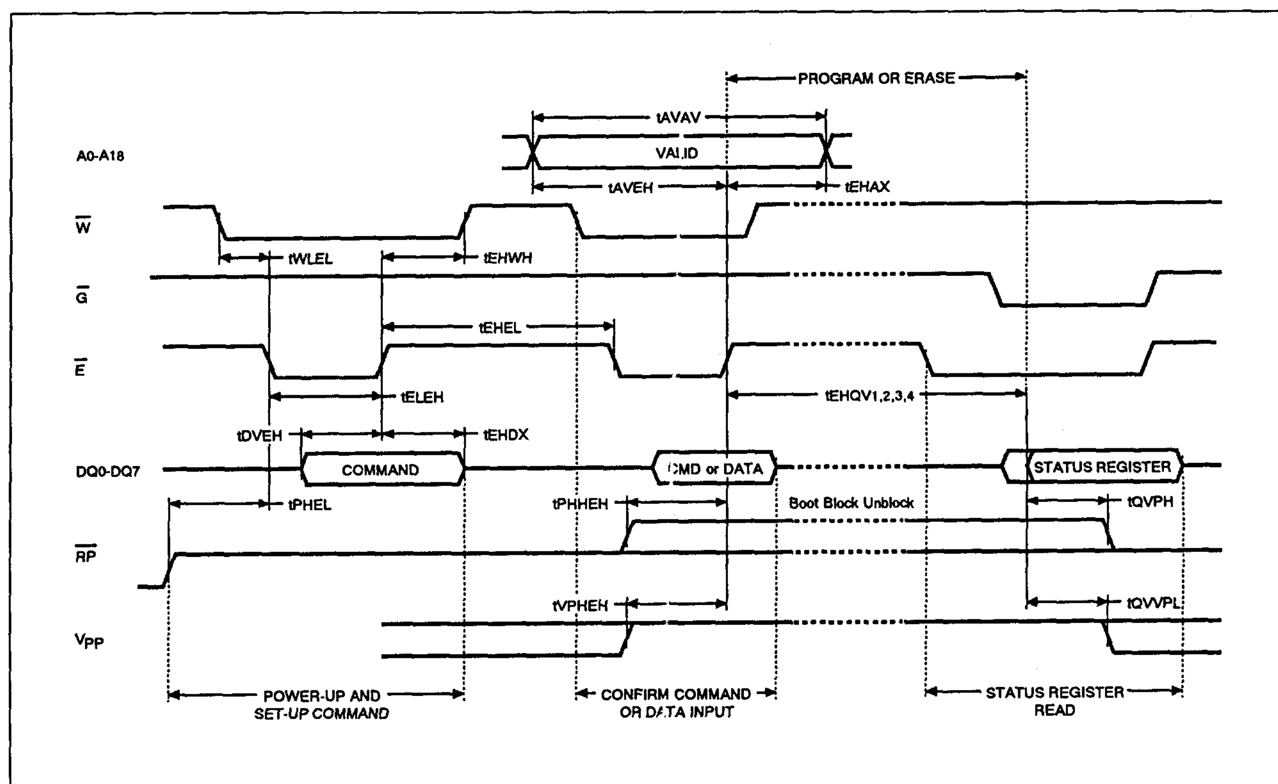


Figuur 8/5.4-151: Timing en golfvormen bij het uitlezen van de 28F411/421 en 28V411/421.



Figuur 8/5.4-152: Timing bij het programmeren en wissen van de 28F411/421 en 28V411/421, bestuurd door $\overline{W}$. Zie ook tabel 8/5.4-121.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-153: Timing bij het programmeren en wissen van de 28F411/421 en 28V411/421, bestuurd door $\overline{E}$. Zie ook tabel 8/5.4-122.

Data-in-/uitgangen DQ0 tot en met DQ7

De data-ingangssignalen (= een te programmeren byte of een commando voor het C.I.) worden gelatcht wanneer $\overline{E}$ en $\overline{W}$ aktief zijn. De data-uitgangssignalen van het geheugen-array, de Electronic Signature of het Status Register zijn geldig als $\overline{E}$ en $\overline{G}$ aktief zijn. De uitgang is hoog-impedant als de chip niet geselecteerd is of als de uitgangen gesperd zijn.

Chip Enable $\overline{E}$

Met Chip Enable worden de besturingslogika, ingangsbuffers, decoders en senseversterkers geaktiveerd. Als $\overline{E}$ LAAG is, is het geheugen geselecteerd. Met $\overline{E}$ kan ook het schrijven naar het commando-register en het geheugen-array worden geregeld als $\overline{W}$ LAAG blijft. Zowel adres- als data-signalen worden dan gelatcht op de stijgende flank van $\overline{E}$.

Reset/Power Down $\overline{RP}$

Dit is een tri-niveau ingang die het programmeren en wissen van het Boot blok kan tegenhouden en die het geheugen in de diepe power down-mode kan zetten. Wanneer $\overline{RP}$ HOOG is (maximaal 6,5 V), is het Boot blok afgesloten en kan dit niet worden gewist of geprogrammeerd. Als $\overline{RP}$ hoger is dan 11,4 V kan het Boot blok wel worden gewist of geprogrammeerd. Als $\overline{RP}$ LAAG is, bevindt het geheugen zich in de diepe power down toestand ($\overline{RP}$ < V_{SS} + 0,2 V).

Output Enable $\overline{G}$

Met Output Enable wordt bij een leesoperatie de informatie op de databuffers gezet.

Write Enable $\overline{W}$

Write Enable bestuurt het schrijven naar het Command Register en de latches voor adres

en data. Zowel adres als data worden op de stijgende flank van $\overline{W}$ gelatcht.

Voedingsspanningen V_{PP} en V_{CC}
De spanning V_{PP} is nodig voor het wissen en programmeren. V_{CC} is de voedingsspanning en V_{SS} de referentie voor alle spanningsmetingen.

Read, Write
Lezen, schrijven en wissen gaat bij de 28F411/421 op dezelfde manier als bij de 28F410/420 (maar nu alleen per byte).

- Read
  Om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen moeten $\overline{E}$ en $\overline{G}$ allebei LAAG zijn (figuur 8/5.4-151). De beschikbare data is afhankelijk van het commando dat eerder in het geheugen is geschreven (zie ook de RD, RSR en RSIG instructies).
- Write
  Om instructie-commando's aan het geheugen te geven of om ingangsdata die geprogrammeerd moet worden te latchen zijn schrijfoperaties nodig.
  Een schrijfoperatie wordt geïnitialiseerd als $\overline{E}$ en $\overline{W}$ LAAG zijn en $\overline{G}$ HOOG is. Commando's, ingangsdata en adressen worden op de stijgende flank van $\overline{W}$ of $\overline{E}$ gelatcht (figuur 8/5.4-152, respectievelijk -153).

Output Disable en Standby
Als $\overline{G}$ HOOG is zijn de uitgangen gesperd (hoog-impedant), terwijl het geheugen standby is als $\overline{E}$ HOOG is.

Electronic Signature
De twee binaire codes van de Electronic Signature zijn:

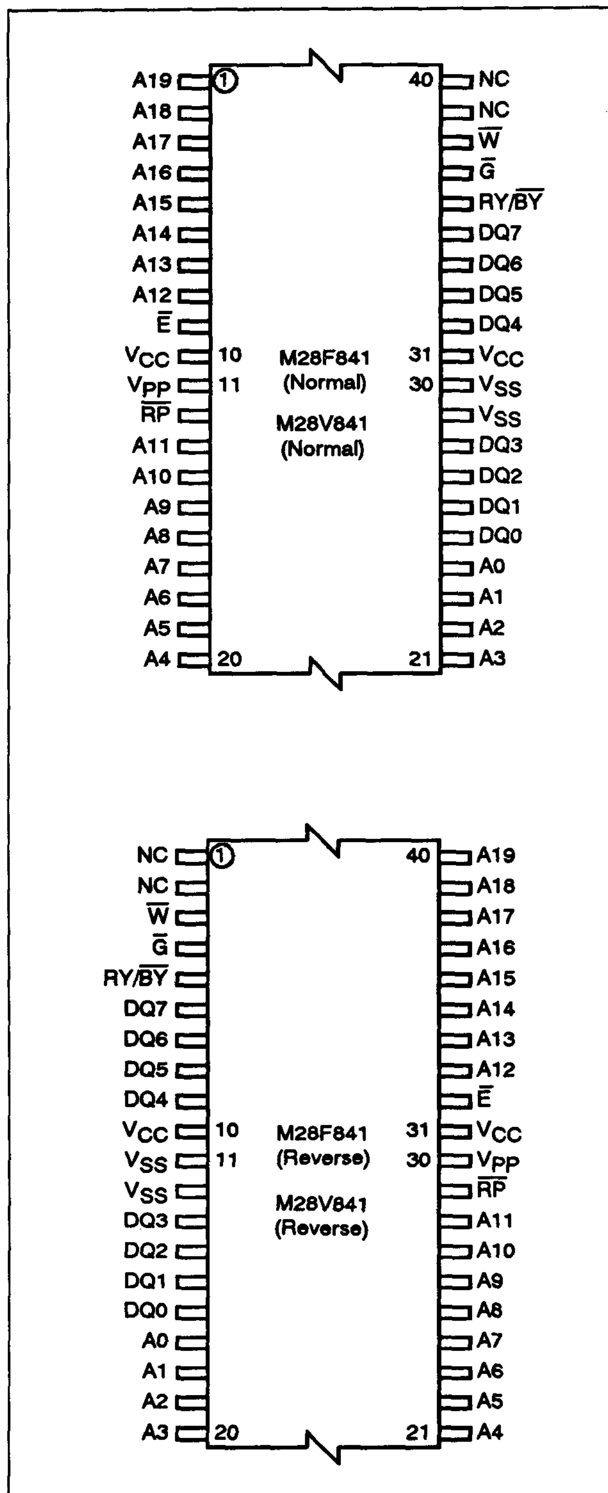
- de fabrikantcode (SGS-Thomson) 20H;
- de device-codes:
  M28F411: 0F6H;
  M28F421: 0FEH;
  M28V411: 0F7H;
  M28V421: 0FFH;

(zie ook de tabellen 8/5.4-129 en -130).

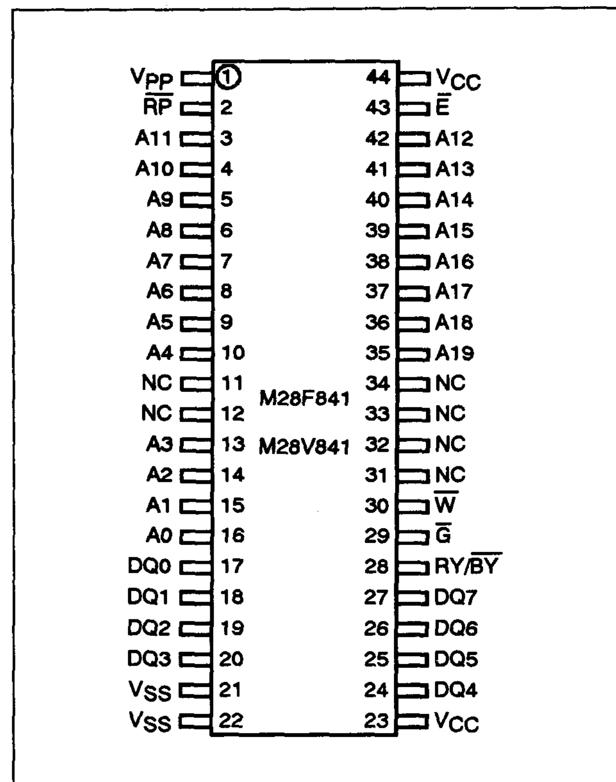
Instructies en commando's
Ook bij de 28F411/421 en 28V411/421 worden de commando's via het Command Interface (C.I.) opgeslagen en bestaan instructies uit één of meer commando's voor het uitvoeren van Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume. In het statusregister zijn de toestanden van de (P/E.C), de status van wis-operaties, het al dan niet geslaagd zijn van het wissen of programmeren en de low/correct waarde van V_{PP} te zien (zie de 28F410/420, tabel 8/5.4-113).
De instructies RD, RSR, RSIG, EE, PG, CLRS, ES en ER en het wissen gaan op precies dezelfde wijze als bij de 28F410/420. De 28F411/421 kan alleen byte-voor-byte worden geprogrammeerd. Voor de benodigde signalen en de timing ervan wordt ook verwezen naar de 28F410/420. V_{PP} moet aanwezig zijn vóór de programmeer-instructie. Als in het Boot blok geprogrammeerd moet worden, moet ook $\overline{RP}$ = V_{HH} zijn. Het programmeren start met een Program Set-up commando (40H), gevolgd door het schrijven van adres en data-byte. De Program/Erase Controller (P/E.C) start dan automatisch. Na elke byte of een reeks geprogrammeerde data kan een status-check worden uitgevoerd.

Overige kenmerken
De maximaal toegelaten waarden, de schakeltijden bij het uitlezen en het schrijven (zowel onder controle van $\overline{W}$ als $\overline{E}$) en de benodigde tijden voor het programmeren en wissen van complete blokken zijn bijna identiek aan die van de 28F410/420, respectievelijk 28V410/V420. Voor de elektrische en timing kenmerken van de M28F411, M28F421, M28V411 en M28V421 wordt zodoende verwezen naar de tabellen 8/5.4-114 tot en met 8/5.4-124. Omdat de voor programmeren en wissen van de 28V411/421 benodigde tijden langer zijn dan voor de 28V410/420, geldt niet tabel 8/5.4-125 maar tabel 8/5.4-131.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-154: Aansluitingen van de 40-pens TSOP40-behuizing (boven: normaal, onder: reverse) van de 28F841 en 28V841.



Figuur 8/5.4-155: Aansluitingen van de 44-pens SO44-behuizing van de 28F841 en 28V841.

28F841, 28V841

1 M x 8 bit CMOS Flash EPROM

De 28F841 is een 8 MB Flash geheugen dat elektrisch op sector-niveau gewist en byte-voor-byte geprogrammeerd kan worden.
Dit geheugen is bovendien leverbaar in een Low-Voltage uitvoering (V_{cc} = 3,3 V +/- 0,3 V), de 28V841. Het geheugen is bedoeld voor computer file-systemen en massa-opslag en wordt geprogrammeerd met een spanning van 12 V. De 28F841 (28V841) heeft een 44-pens SO44 of een 40-pens TSOP40-behuizing (normaal of omgekeerd) en is leverbaar met toegangstijden van 100, 120 ns of 150 ns.

Specificaties

- 8 MB: 1.048.576 x 8 bit
- voedingsspanning:
  28F841: 5 V +/- 10 %

5.4 Type-beschrijving Flash- EPROM's

28V841: 3,3 V +/- 0,3 V
- programmeerspanning: 12 V +/- 5 %
- Low power CMOS:
  - 30 μA typ. (standby)
  - 0,2 μA typ. (deep power down)
- toegangstijden: 100, 120 en 150 ns
- elektrisch wissen in sectoren: 16 sectoren van 64 kB per stuk
- geïntegreerde wis/programmeer-besturing
- 100.000 wis/programmeercycli
- kleine behuizingen: TSOP40 (figuur 8/5.4-154) of SO44 (figuur 8/5.4-155)
- fabrikant: SGS-Thomson: M28F841, M28V841
- compatibel met 16 MB Flash geheugen

Organisatie

De organisatie is 1 M x 8 bit met adreslijnen A0 tot en met A19 en Data Input/Output-lijnen DQ0 tot en met DQ7. Het geheugen wordt bestuurd door middel van de signalen Chip Enable, Output Enable en Write Enable. Met een Reset/Power Down signaal kan de 28F841 in een diepe power-down toestand worden gezet. Een Ready/Busy uitgangssignaal geeft de toestand van de interne Program/Erase Controller (P/E.C) weer.

Sectoren

Het geheugen wordt per sector gewist. Er zijn 16 sectoren van 64 kB per stuk in de adresruimte (zie figuur 8/5.4-157). Elke sector kan in 0,6 seconde worden geprogrammeerd, terwijl het wissen in 1,6 seconde klaar is. Er zijn meer dan 100.000 programmeer/wiscycli mogelijk. Alle sectoren zijn tegen programmeren en wissen beveiligd als $\overline{RP}$ LAAG is. Het wissen van een sector kan worden uitgesteld als data in een andere geheugensector moet worden uitgelezen en kan daarna hervat worden.

(T_A = 0 to 70°C, –20 to 85°C, –40 to 85°C, –40 to 125°C; V_{CC} = 3.3V ± 0.3V)

Parameter	Test Conditions	M28V 411 / 421			Unit
		Min	Typ	Max	
Main Block Program	V_{PP} = 12V ±5%		1.4	5.3	sec
Boot or Parameter Block Erase	V_{PP} = 12V ±5%		2	8.6	sec
Main Block Erase	V_{PP} = 12V ±5%		3.4	17	sec

Tabel 8/5.4-131: Benodigde tijden voor het programmeren en wissen van blokken in de 28V411 en 28V421.

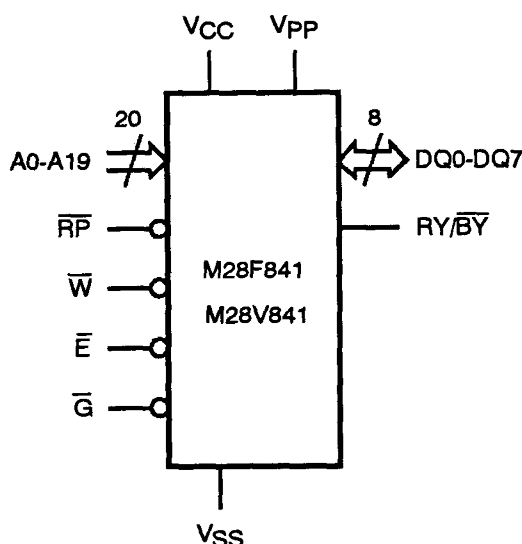
Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	RY/$\overline{BY}$ (2)	DQ0 - DQ7
Read	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{OH}	Data Output
Write	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{OL} / V_{OH}	Data Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{OH}	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	V_{OH}	Hi-Z
Power Down	X	X	X	V_{IL}	V_{OH}	Hi-Z

Notes: 1. X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}
2. RY/$\overline{BY}$ = V_{OL} when the P/E.C. is executing a Sector Erase or Write operation. It is at V_{OH} when the P/E.C. is not busy, in the Erase Suspend or Power Down modes.

Tabel 8/5.4-132: Instelling van de verschillende bedrijfsmodes met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$ en $\overline{RP}$.

5.4 Type-beschrijving Flash-EPROM's

A0-A19	Address Inputs
DQ0-DQ7	Data Input / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
$\overline{RP}$	Reset/Power Down
RY/$\overline{BY}$	Ready/Busy Output
V_{PP}	Program & Erase Supply Voltage
V_{CC}	Supply Voltage
V_{SS}	Ground



Figuur 8/5.45-156: Logisch symbool en aansluitingen van de 28F841 en 28V841.

Bus-operaties

Met de juiste buscycli kunnen vijf verschillende operaties worden uitgevoerd (zie tabel 8/5.4-132):

- lezen van een byte uit de array;
- Output Disable;
- Standby;
- Power Down;
- schrijven van een commando of een instructie.

Commando-interface

De commando's worden naar een Command Interface latch (C.I.) geschreven om te kunnen lezen, wissen en programmeren of om de status van het geheugen te controleren. Bij het opkomen van de voedingsspanning, bij het terugkomen uit Power Down of als V_{CC} lager is dan V_{LKO} wordt het Command Interface gereset in de toestand "Read Memory Array".

TOP ADDRESS A0-A19		BOTTOM ADDRESS A0-A19
0FFFFFh	64K BYTE SECTOR	0F0000h
0EFFFFh	64K BYTE SECTOR	0E0000h
0DFFFFh	64K BYTE SECTOR	0D0000h
0CFFFFh	64K BYTE SECTOR	0C0000h
0BFFFFh	- -	0B0000h
0AFFFFh	- -	0A0000h
9FFFFh	- -	90000h
8FFFFh	- -	80000h
7FFFFh	- -	70000h
6FFFFh	- -	60000h
5FFFFh	- -	50000h
4FFFFh	- -	40000h
3FFFFh	64K BYTE SECTOR	30000h
2FFFFh	64K BYTE SECTOR	20000h
1FFFFh	64K BYTE SECTOR	10000h
0FFFFh	64K BYTE SECTOR	00000h

Figuur 8/5.4-157: Indeling van de 28F841/28V841 (memory map).

Instructies en commando's

Zoals in tabel 8/5.4-133 wordt getoond zijn er acht instructies mogelijk:

- Read Memory Array;
- Read Status Register;
- Read Electronic Signature;
- Erase;
- Program;
- Clear Status Register;
- Erase Suspend;
- Erase Resume.

Een interne Program/Erase Controller (P/E.C) verzorgt alle benodigde timingen en verificaties van de Program en Erase instructies en levert ook de statusbits met betrekking tot de werking.

5.4 Type-beschrijving Flash- EPROM's

Instructies bestaan uit een schrijfoperatie, gevolgd door een tweede commando schrijfoperatie om het programmeer- of wiscommando te bevestigen of een leesoperatie om data uit het array, de Electronic Signature of het statusregister uit te lezen.
Voor extra beveiliging van de data bestaan de instructies voor het byte-programmeren en sector-wissen uit twee commando's die naar het geheugen worden geschreven. Het programmeren duurt circa 9 µs en het wissen 1,6 seconde. Het wissen van een geheugensector kan worden uitgesteld om data in een andere sector te lezen. Het statusregister kan altijd worden uitgelezen (ook tijdens programmeer- of wis-cycli).
Bovendien geeft het Ready/Busy-signaal (RY/$\overline{BY}$) de status van de P/E.C weer. Na het wissen of programmeren moet de C.I. worden gereset door middel van de Read Memory Array-instructie.

Energiebesparing
De 28F841 (28V841) heeft een aantal mogelijkheden om het opgenomen vermogen te beperken. Als $\overline{E}$ en $\overline{RP}$ aan V_{CC} worden gelegd, gaat het geheugen in een CMOS standby mode, waardoor de voedingsstroom tot circa 30 µA afneemt. Met $\overline{RP}$ aan V_{SS} gaat het geheugen in een diepe power down mode, waarbij de voedingsstroom slechts 0,2 µA bedraagt. Om hieruit te ontwaken is maximaal 1 µs nodig, terwijl instructies voor het Command Interface na 400 ns worden herkend.

Mnemonic	Instruction	Cycles	1st Cycle			2nd Cycle		
			Operation	Address [1]	Data	Operation	Address [1]	Data
RD	Read Memory Array	1+	Write	X	0FFh	Read [2]	Read Address	Data Output
RSR	Read Status Register	1+	Write	X	70h	Read [2]	X	Status Register Output
RSIG	Read Electronic Signature	3	Write	X	90h	Read [2]	Signature Adress [3]	Code Input
EE	Erase	2	Write	X	20h	Write	Sector Address	0D0h
PG	Program	2	Write	X	40h or 10h	Write	Address	Data Input
CLRS	Clear Status Register	1	Write	X	50h			
ES	Erase Suspend	1	Write	X	0B0h			
ER	Erase Resume	1	Write	X	0D0h			

Notes: 1. X = Don't Care.
2. The first cycle of the RD, RSR or RSIG instruction is followed by read operations to Read Memory Array, Read Status Register or Read Electronic Signature codes. Any number or read cycles may be performed after an RD, RSR or RSIG instructions.
3. Signature address bit A0=V_{IL} will output Manufacturer code. Address bit A0=V_{IH} will output Device code. Other address bits are ignored.

Tabel 8/5.4-133: Instructies voor de 28F841 en 28V841.

5.4 Type-beschrijving Flash-EPROM's

Hex Code	Command
00h	Invalid/Reserved
10h	Alternative Program Set-up
20h	Erase Set-up
40h	Program Set-up
50h	Clear Status Register
70h	Read Status Register
90h	Read Electronic Signature
0B0h	Erase Suspend
0D0h	Erase Resume/Erase Confirm
0FFh	Read Memory Array / Reset

Tabel 8/5.4-134: Codering van de commando's.

Beschrijving van de signalen

Een korte beschrijving van de signalen is samengevat in de volgende paragraafjes.

Adres-ingangen A0 tot en met A19

De adres-signalen om lokaties in het geheugen-array te kiezen worden tijdens schrijfoperaties gelatcht.

Data-in-/uitgangen DQ0 tot en met DQ7

De data-ingangssignalen (een te programmeren byte of een commando voor het C.I.) worden gelatcht op de stijgende flank van $\overline{E}$ of $\overline{W}$.

De data-uitgangssignalen van het geheugen-array, de Electronic Signature of het Status Register zijn geldig als $\overline{E}$ en $\overline{G}$ aktief zijn. De uitgang is hoog-impedant als de chip niet geselecteerd is of als de uitgangen gesperd zijn.

Chip Enable $\overline{E}$

Chip Enable aktiveert de besturingslogika, ingangsbuffers, decoders en senseversterkers. Als $\overline{E}$ HOOG is, is het geheugen gedeselecteerd en wordt vermogen op standby-niveau verbruikt. $\overline{E}$ kan ook worden gebruikt om schrijven naar het commando-register en het geheugen-array te regelen, waarbij $\overline{W}$ LAAG blijft. Zowel adres- als datasignalen worden dan op de stijgende flank van $\overline{E}$ gelatcht.

Reset/Power Down $\overline{RP}$

Met dit ingangssignaal kan het geheugen in de diepe power down-mode worden gezet. Als $\overline{RP}$ LAAG is, bevindt het geheugen zich in de diepste power down toestand ($\overline{RP}$ < V_{SS} + 0,2 V).

Ready/Busy RY/$\overline{BY}$

Op deze uitgang is te zien wanneer de Program Erase Controller bezig is met programmeren of wissen. Het signaal is altijd aktief, zelfs bij power-down. Als RY/$\overline{BY}$ LAAG is, is de P/E.C aktief.

Output Enable $\overline{G}$

Met Output Enable wordt bij een lees-operatie de informatie op de databuffers gezet.

Write Enable $\overline{W}$

Write Enable regelt het schrijven naar de C.I. en de latches voor adres en data. Zowel adres als data worden op de stijgende flank van $\overline{W}$ gelatcht.

Voedingsspanningen V_{PP} en V_{CC}

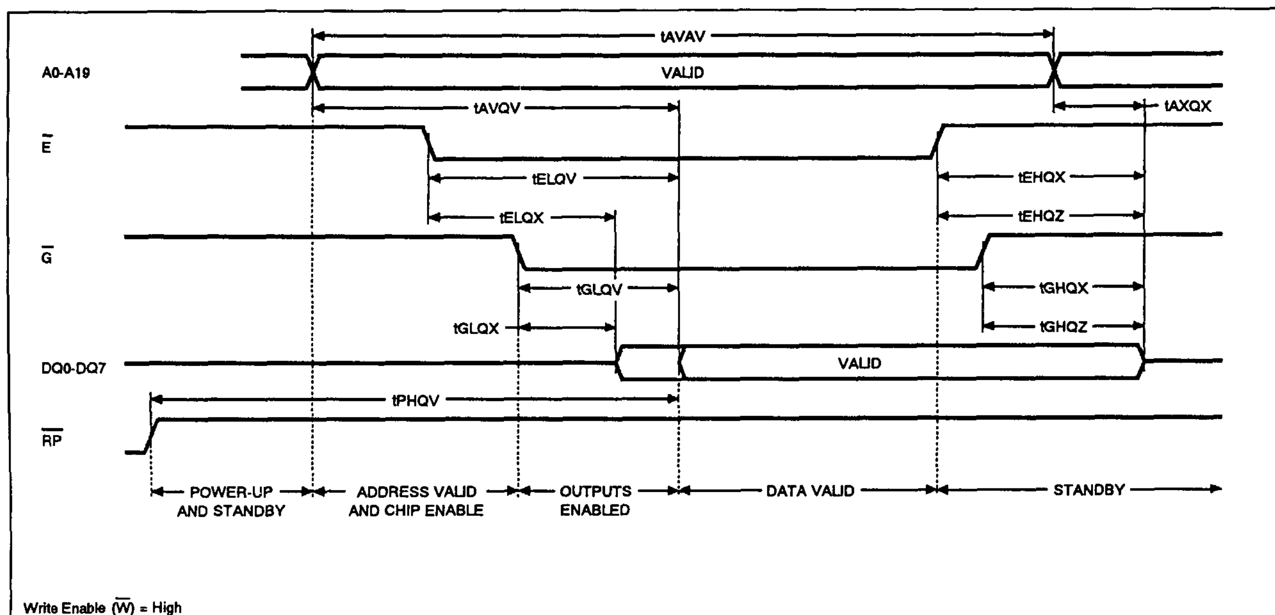
V_{PP} is nodig voor het wissen en programmeren. V_{CC} is de voedingsspanning en V_{SS} de referentie voor alle spanningsmetingen.

Geheugensectoren

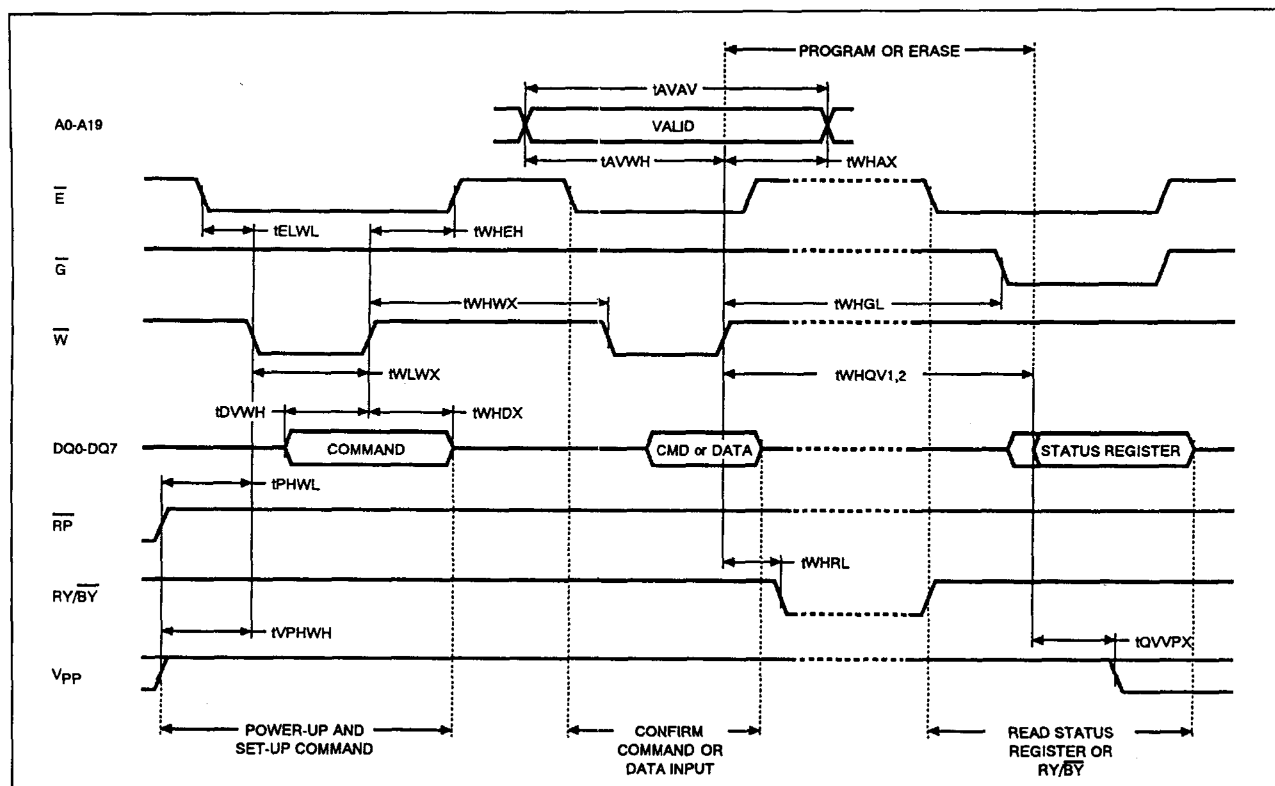
Er zijn 16 geheugensectoren van 64 kB per stuk. Elke sector kan apart worden gewist (één sector tegelijk). De wisoperatie wordt bestuurd door de P/E.C, maar kan worden uitgesteld om in een andere sector te kunnen lezen. Hierna kan het wissen weer verder gaan.

Het programmeren en wissen wordt gesperd als V_{PP} LAAG is.

5.4 Type-beschrijving Flash- EPROM's

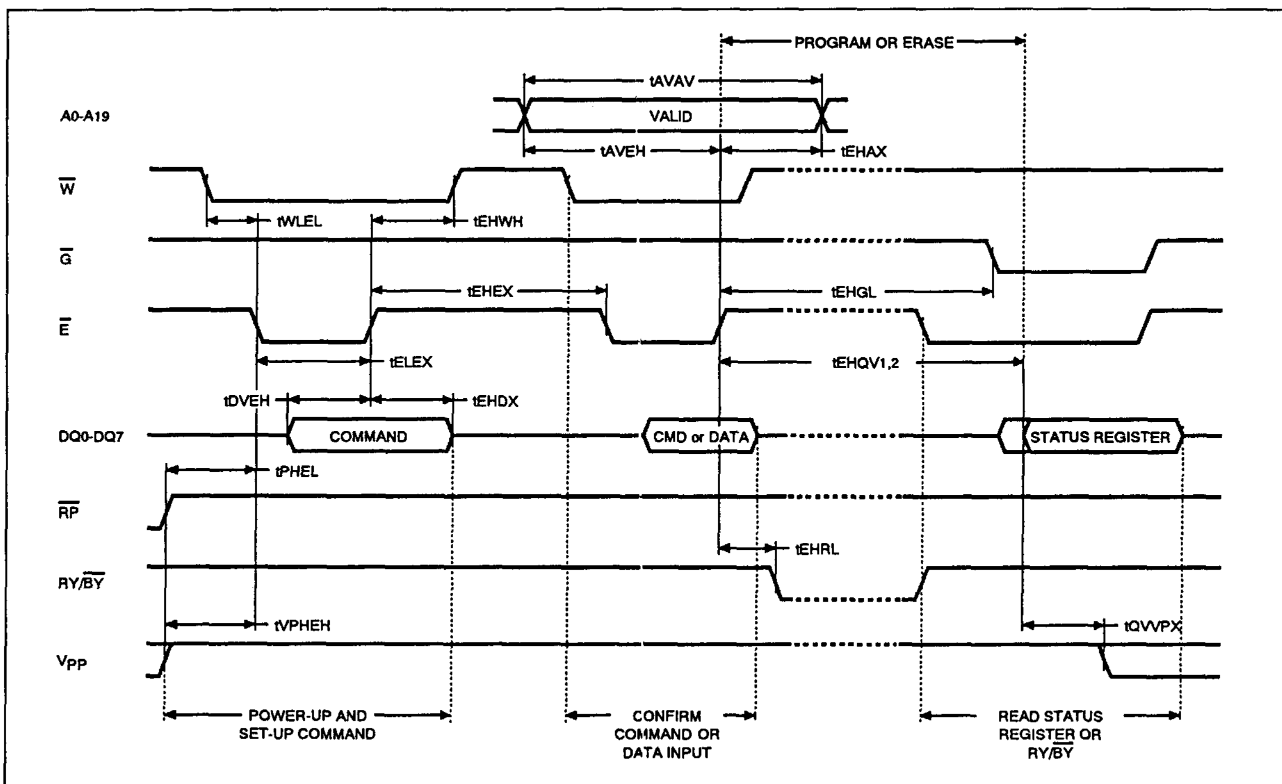


Figuur 8/5.4-158: Timing en golfvormen bij het uitlezen van de 28F841 en 28V841.



Figuur 8/5.4-159: Timing bij het programmeren en wissen van de 28F841 of 28V841, bestuurd door $\overline{W}$.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-160: Timing bij het (alternatieve) programmeren en wissen van de 28F841 of 28V841, bestuurd door E.

Operaties

Operaties worden gedefinieerd als specifieke buscycli en signalen die memory Read, Command Write, Output Disable, Standby, Power Down en Electronic Signature Read mogelijk maken (zie tabel 8/5.4-132).

- Read
  Lees-operaties worden gebruikt om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen. Hierbij moeten E en G allebei LAAG zijn (figuur 8/5.4-158). Met E wordt ook de dissipatie geregeld en kan daarom het beste als device-selector worden gebruikt. Door een lees-operatie wordt een byte op DQ0 tot en met DQ7 gezet. Welke data dat is, is afhankelijk van het commando dat eerder in het geheugen werd geschreven (zie de RD, RSR en RSIG instructies).
- Write
  Schrijf-operaties worden gebruikt om instructie-commando's aan het geheugen te geven of om te programmeren ingangsdata te latchen. Een schrijfoperatie wordt geïnitialiseerd als E en W LAAG zijn en G HOOG is. Commando's, ingangsdata (op DQ0 tot en met DQ7) en adressen worden op de stijgende flank van W of E gelatcht (figuur 8/5.4-159, respectievelijk -160).

Output Disable en Standby

Als G HOOG is zijn de uitgangen hoogimpedant, terwijl het geheugen standby is als E HOOG is.

Electronic Signature

Er kunnen twee codes worden uitgelezen: de fabrikantcode van SGS-Thomson: 20H en de device-codes M28F841: 0FCH of M28V841: 0FDH (zie ook tabel 8/5.4-135, respectievelijk -136).

5.4 Type-beschrijving Flash- EPROM's

Code	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	A0	RY/$\overline{BY}$	DQ0 - DQ7
Manufact. Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{OH}	20h
Device Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{OH}	0FCh

Tabel 8/5.4-135: Electronic Signature van de M28F841.

Code	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	A0	RY/$\overline{BY}$	DQ0 - DQ7
Manufact. Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{OH}	20h
Device Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{OH}	0FDh

Tabel 8/5.4-136: Electronic Signature van de M28V841.

De twee Electronic Signature codes verschijnen aan de uitgang door lees-operaties met A0 = LAAG of HOOG, na een RSIG-instructie naar het geheugen.

Instructies en commando's

De 28F841 en 28V841 hebben een Command Interface (C.I.), waarin de commando's worden opgeslagen. Instructies bestaan uit één of meer commando's voor het uitvoeren van Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume. Voor deze instructies zijn één tot drie operaties nodig, waarvan de eerste altijd een schrijfoperatie is, gevolgd door nog een schrijfoperatie om adres en data op te nemen of om het commando te bevestigen of door een leesoperatie.

Het statusregister laat de toestanden van de (P/E.C), de status van wis-operaties, het al dan niet geslaagd zijn van het wissen of programmeren en de low/correct waarde van V_{PP} zien (tabel 8/5.4-137).

De P/E.C zet de statusbits b3 tot en met b7 automatisch op "1" en bit b6 en b7 op "0" (de P/E.C kan bits b3 tot en met b5 niet clearen). Het register kan worden uitgelezen met de Read Status Register instructie (RSR) en gecleared met de Clear Status Register instructie (CLRS). Bits b0 tot en met b2 zijn gereserveerd voor toekomstig gebruik. De P/E.C Ready/Busy status wordt ook aangegeven met het RY/$\overline{BY}$-signaal.

Read Instructie (RD)

De lees-instructie bestaat uit één schrijfoperatie met het commando 0FFH. Met daarna volgende lees-operaties kan de inhoud van de geadresseerde bytes in het geheugen-array worden uitgelezen.

Read Status Register Instructie (RSR)

De Lees Statusregister-instructie kan op elk moment worden gegeven (ook als de P/E.C aktief is).

Hij bestaat uit één schrijf-operatie met het commando, waarna lees-operaties de inhoud van het statusregister ophalen. De inhoud wordt op de dalende flank van de $\overline{E}$- of $\overline{G}$-signalen gelatcht en blijft beschikbaar totdat $\overline{E}$ of $\overline{G}$ weer naar zijn oorspronkelijke HOGE niveau terugkeert. Om de latch met nieuwe informatie te vullen moet met $\overline{E}$ of $\overline{G}$ worden getoggeld. Bij een leespoging tijdens het wissen of programmeren zal automatisch de inhoud van het statusregister op de uitgang verschijnen.

5.4 Type-beschrijving Flash-EPROM's

Mnemonic	Bit	Name	Logic Level	Definition	Note
P/ECS	7	P/E.C. Status	'1'	Ready	The RY/$\overline{BY}$ output or the P/E.C. status bit may be checked during Program or Erase. The bit should be checked on completion before checking bits b4 or b5 for success.
			'0'	Busy	
ESS	6	Erase Suspend Status	'1'	Suspended	On an Erase Suspend instruction the ESS bit is set to '1' and the P/ECS bit remains at '1'. ESS bit remains '1' until an Erase Resume instruction is given.
			'0'	In Progress or Completed	
ES	5	Erase Status	'1'	Erase Error	ES bit is set to '1' if P/E.C. has applied the maximum number of erase pulses to the block without achieving an erase verify.
			'0'	Erase Success	
PS	4	Program Status	'1'	Program Error	PS bit set to '1' if the P/E.C. has failed to program a byte or word.
			'0'	Program Success	If PS and ES bits are set to '1' during a sector erase attempt, an improper command sequence was entered and the instruction should be given again.
VPPS	3	V_{PP} Status	'1'	V_{PP} Low, Abort	VPPS bit is set if the V_{PP} voltage is below V_{PPH}(min) when a Program or Erase instruction is executed and the instruction is aborted. The Status Register must be cleared before another write or erase operation is attempted.
			'0'	V_{PP} OK	
	2	Reserved			Bits b2, b1 and b0 are reserved for future use and should be masked out when polling the Status Register.
	1	Reserved			
	0	Reserved			

Note: Logic level '1' is High, '0' is Low.

Tabel 8/5.4-137: Het Statusregister van de 28F841 en 28V841.

Read Electronic Signature Instructie (RSIG)
Deze instructie heeft 3 operaties nodig. Hij bestaat uit één schrijf-operatie van het commando 90H, gevolgd door twee lees-operaties voor het uitlezen van de fabrikant- en device-codes.

Erase Instructie (EE)
Het geheugen kan per sector worden gewist. De programmeerspanning V_{PPH} moet aanwezig zijn voordat de EE instructie wordt gegeven.
Deze instructie maakt gebruik van twee schrijf-operaties: eerst wordt het Erase Set-up (20H) commando geschreven, gevolgd door Erase Confirm (0D0H). Tijdens het schrijven van het tweede commando wordt het adres van een te wissen sector gegeven en in het geheugen gelatcht. Als het tweede commando niet het Erase Confirm commando is, worden in het statusregister de bits b4

(wordt vervolgd)

5.4 Type-beschrijving Flash- EPROM's

en b5 op "1" gezet en wordt de instructie afgebroken.
Tijdens de uitvoering van Erase door de P/E.C accepteert het geheugen alleen de Read Status Register (RSR) en Erase Suspend (ES) instructies. Tijdens het wissen is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het wissen een fout is opgetreden, wordt na afloop van het wissen bit b5 van het statusregister "1". Wanneer bij het wissen V_{PP} lager wordt dan V_{PPH}, wordt statusregister-bit b3 "1" en wordt het wissen afgebroken (ook als $\overline{RP}$ LAAG wordt).

Program Instructie (PG)
Het geheugen wordt byte-voor-byte geprogrammeerd. De programmeerspanning V_{PPH} moet aanwezig zijn voordat de PG instructie wordt gegeven en mag gedurende het programmeren continu aanwezig zijn. Deze instructie maakt gebruik van twee schrijf-operaties: eerst wordt Program Setup (40H of 10H) geschreven. Met een tweede schrijf-operatie worden adres en ingangsdata gelatcht en begint de P/E.C met de uitvoering. Lees-operaties halen de inhoud van het statusregister op als het programmeren begonnen is.
Het programmeren houdt in dat alleen nullen op de plaats van enen in een byte worden geschreven. Tijdens de uitvoering van het programmeren accepteert het geheugen alleen de RSR instructie. Gedurende het programmeren is bit b7 van het statusregister "0" en na afloop "1". Als tijdens het programmeren een fout is opgetreden, gaat na afloop bit b4 in het statusregister naar "1". Wanneer V_{PP} voor en tijdens het programmeren afwijkt van V_{PPH} wordt bit b3 in het statusregister "1".
Bij het programmeren moet V_{PP} het V_{PPH}-niveau hebben. Als $V_{PP} < V_{PPH}$ is, is het resultaat onzeker.

Clear Status Register Instructie (CLRS)
Om het statusregister leeg te maken is één schrijf-operatie nodig, waarmee bits b3, b4 en b5 op "0" worden gezet. CLRS moet worden uitgevoerd vóór elke nieuwe operatie als een fout werd gedetecteerd.

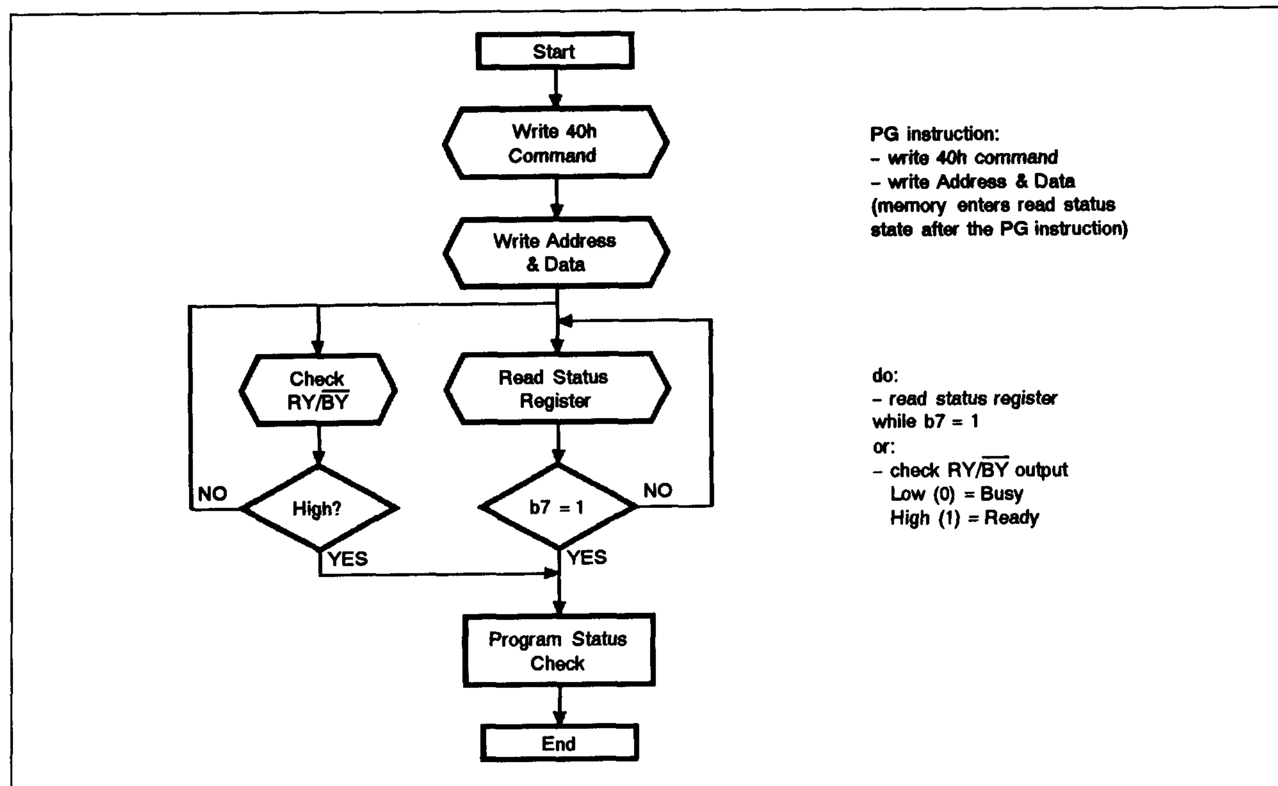
Erase Suspend Instructie (ES)
Een wis-operatie kan worden uitgesteld door deze instructie (commando 0B0H) te gebruiken. Statusregisterbit b6 geeft aan of het wissen is uitgesteld (b6 = "1") of dat de P/E.C-cyclus de laatste was en het wissen klaar is (b6 = "0").
Tijdens het uitstel reageert het geheugen alleen op RD, RSR en ER instructies. Als het wissen is uitgesteld halen lees-operaties eerst de inhoud van het statusregister op, maar na een Read-instructie kan data in andere sectoren worden uitgelezen. V_{PP} moet ook bij uitstellen van het wissen op V_{PPH} worden gehouden. Als V_{PP} gedurende Erase Suspend afwijkt van V_{PPH} of als $\overline{RP}$ LAAG wordt, wordt het wissen afgebroken en worden bits b5 en b3 van het statusregister op "1" gezet. In dat geval moet na het clearen van het statusregister opnieuw worden gewist.

Erase Resume Instructie (ER)
Als een wis-uitstel instructie bezig was, kan het wissen worden hervat door het commando 0D0H te geven. Statusregisterbit b6 wordt dan gecleared.
Met leesoperaties wordt dan de inhoud van het statusregister opgehaald.

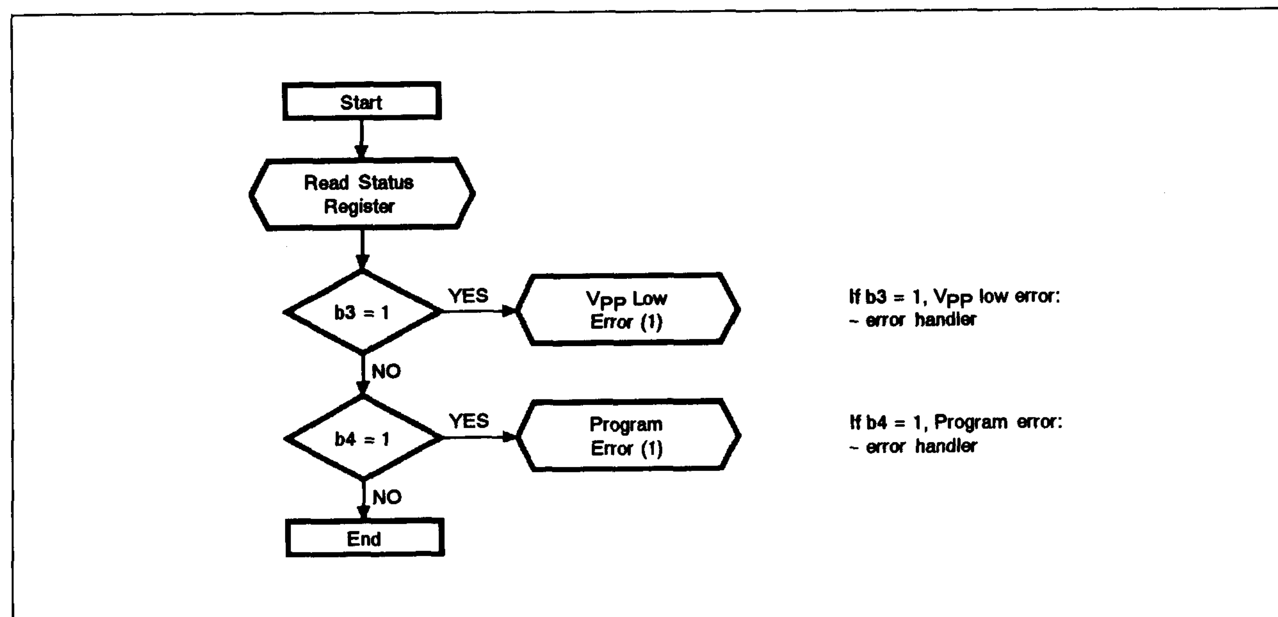
Aanwijzingen voor het opzetten van de software
De aanbevolen flow-diagrammen van programma's voor het programmeren, wissen en uitstellen/hervatten van het wissen, zijn te zien in de figuren 8/5.4-129 tot en met -131.

Overige kenmerken
De overige elektrische en timing kenmerken van de M28F841 en M28V841 zijn opgenomen in de tabellen 8/5.4-138 tot en met 8/5.4-143.
Let hierbij op dat de 28F841 op 5 V werkt en de 28V841 op 3,3 V.

5.4 Type-beschrijving Flash-EPROM's

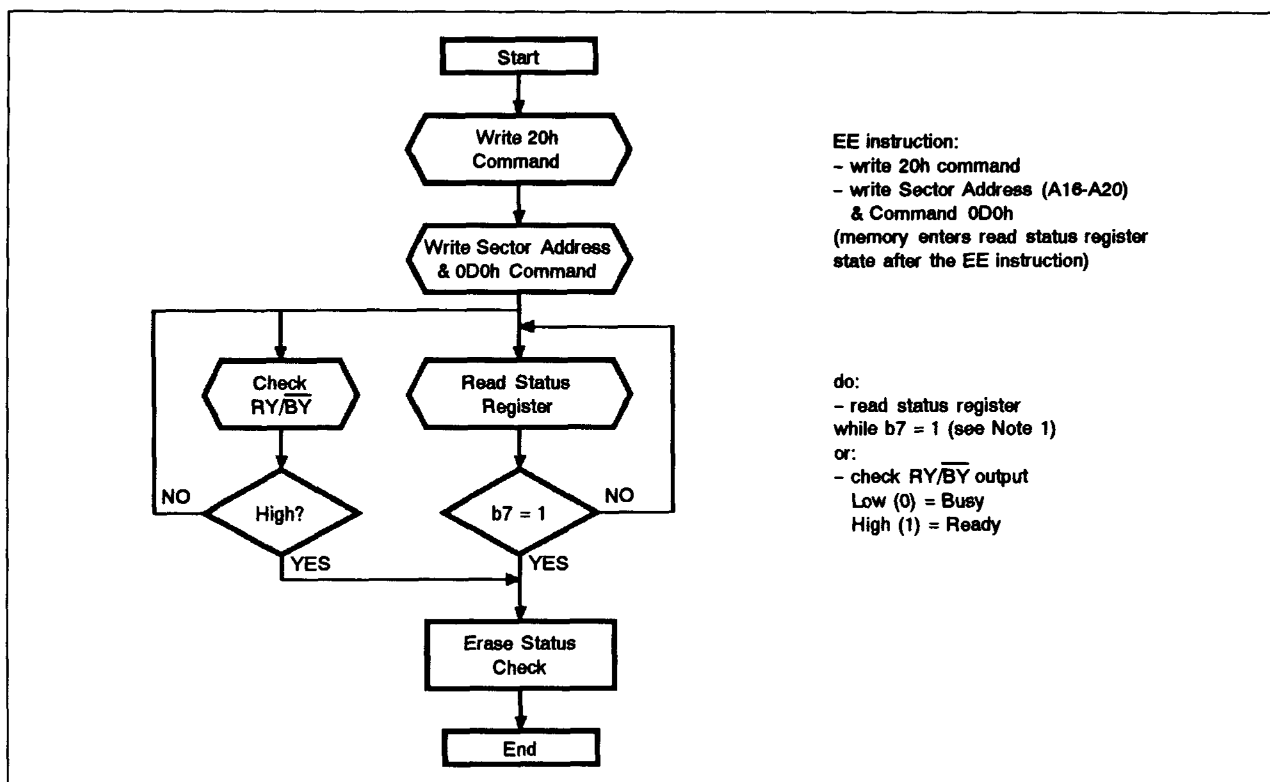


Figuur 8/5.4-161: Flow-diagram en pseudo-code van een programma dat gebruikt kan worden voor het programmeren van de 28F841 en 28V841. Statuscheck op b7 kan worden gedaan na elke geprogrammeerde byte of na de hele reeks.

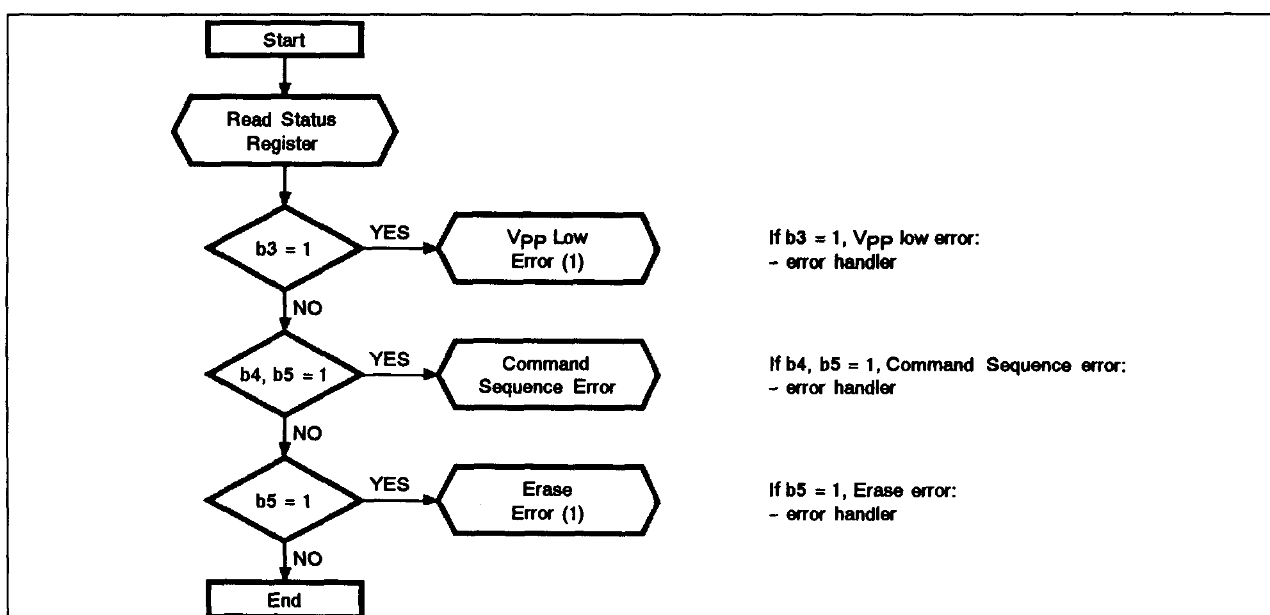


Figuur 8/5.4-162: Voorbeeld van een flow-diagram en pseudo-code van een programma dat gebruikt kan worden voor het controleren van de status van de 28F841 en 28V841. Als een fout wordt gevonden, moet het statusregister worden gecleared vóór een nieuwe P/E.C-operatie.

5.4 Type-beschrijving Flash- EPROM's

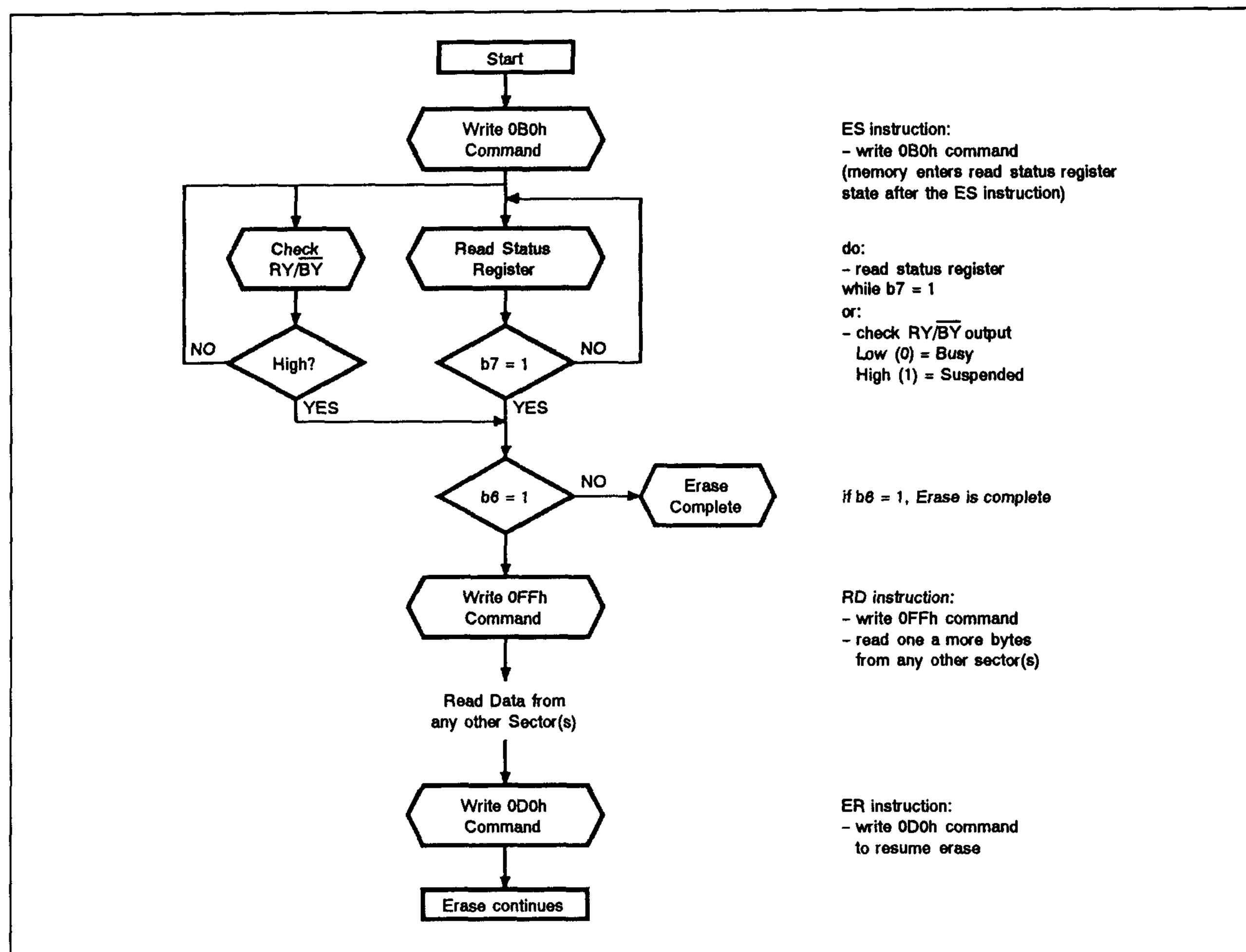


Figuur 8/5.4-163: Flow-diagram en pseudo-code van een programma dat gebruikt kan worden voor het wissen van de 28F841 en 28V841. Note 1: tijdens deze lus kan het wissen worden uitgesteld.



Figuur 8/5.4-164: Flow-diagram en pseudo-code van een programma dat gebruikt kan worden voor het controleren van de status bij het wissen van de 28F841 en 28V841. Als een fout wordt gevonden, moet het statusregister worden gecleared vóór een nieuwe P/E.C-operatie.

5.4 Type-beschrijving Flash-EPROM's



Figuur 8/5.4-165: Voorstel van een flow-diagram en pseudo-code van een programma dat gebruikt kan worden voor uitstel en hervatten van het wissen van de 28F841 en 28V841.

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature grade 1 grade 3 grade 6	0 to 70 -40 to 125 -40 to 85	°C
T_{BIAS}	Temperature Under Bias	-50 to 125	°C
T_{STG}	Storage Temperature	-65 to 150	°C
V_{IO} (2, 3)	Input or Output Voltages	-0.6 to 7	V
V_{CC}	Supply Voltage	-0.6 to 7	V
V_{PP} (2)	Program Supply Voltage, during Erase or Programming	-0.6 to 14	V
I_{OUT} (4)	Output Short Circuit Current	100	mA

Tabel 8/5.4-138: Maximaal toegelaten waarden voor de 28F841 (bij de 28V841 zijn V_{CC} en V_{IO} maximaal 5 V).

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C, -40 to 85°C or -40 to 125°C; V_{CC} = 5V ± 0.5V; V_{PP} = 12V ± 5%)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	0V ≤ V_{IN} ≤ V_{CC}		±1	µA
I_{LO}	Output Leakage Current	0V ≤ V_{OUT} ≤ V_{CC}		±10	µA
I_{CC} (1, 3)	Supply Current (Read) TTL	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}, f = 8MHz		30	mA
	Supply Current (Read) CMOS	$\overline{E}$ = V_{SS}, $\overline{G}$ = V_{SS}, f = 8MHz		20	mA
I_{CC1} (1, 3)	Supply Current (Standby) TTL	$\overline{E}$ = V_{IH}, $\overline{RP}$ = V_{IH}		1	mA
	Supply Current (Standby) CMOS	$\overline{E}$ = V_{CC} ± 0.2V, $\overline{RP}$ = V_{CC} ± 0.2V		100	µA
I_{CC2} (1, 3)	Supply Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{CC3} (1, 3)	Supply Current (Program)	Byte program in progress		30	mA
I_{CC4} (1, 3)	Supply Current (Erase)	Sector Erase in progress		30	mA
I_{CC5} (1, 2, 3)	Supply Current (Erase Suspend)	$\overline{E}$ = V_{IH}, Erase suspended		6	mA
I_{PP}	Program Current (Read)	V_{PP} > V_{CC}		200	µA
I_{PP1}	Program Current (Standby)	V_{PP} ≤ V_{CC}		±10	µA
I_{PP2}	Program Current (Power Down)	$\overline{RP}$ = V_{SS} ± 0.2V		5	µA
I_{PP3}	Program Current (Program)	Byte program in progress		15	mA
I_{PP4}	Program Current (Erase)	Sector Erase in progress		10	mA
I_{PP5}	Program Current (Erase Suspend)	Erase suspended		200	µA
V_{IL}	Input Low Voltage		-0.5	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 2mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = -2mA	2.4		V
V_{PPL}	Program Voltage (Normal operation)		0	V_{CC} + 0.5	V
V_{PPH}	Program Voltage (Program or Erase operations)		11.4	12.6	V
V_{LKO}	Supply Voltage (Program or Erase Lock-out)		2		V

Tabel 8/5.4-139: Gelijkspanningskenmerken van de 28F841 en 28V841.
Bij de 28V841 is V_{cc} = 3,3 V +/-0,3 V.

5.4 Type-beschrijving Flash-EPROM's

(T_A = 0 to 70°C, –40 to 85°C or –40 to 125°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	Test Condition	M28V841						Unit
				-100		-120		-150		
				Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{RC}	Address Valid to Next Address Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	100		120		150		ns
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		100		120		150	ns
t_{PHQV}	t_{PWH}	Power Down High to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		1		1		1	µs
t_{ELQX} (1)	t_{LZ}	Chip Enable Low to Output Transition	$\overline{G} = V_{IL}$	0		0		0		ns
t_{ELQV} (2)	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		100		120		150	ns
t_{GLQX} (1)	t_{OLZ}	Output Enable Low to Output Transition	$\overline{E} = V_{IL}$	0		0		0		ns
t_{GLQV} (2)	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		45		50		50	ns
t_{EHQX}	t_{OH}	Output Enable High to Output Transition	$\overline{G} = V_{IL}$	0		0		0		ns
t_{EHQZ} (1)	t_{HZ}	Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$		50		50		55	ns
t_{GHQX}	t_{OH}	Output Enable High to Output Transition	$\overline{E} = V_{IL}$	0		0		0		ns
t_{GHQZ} (1)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$		30		40		50	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		0		0		ns

Tabel 8/5-4-140: Timing en schakeltijden bij het uitlezen van de 28F841 en 28V841 (zie figuur 8/5.4-158).

(T_A = 0 to 70°C, –40 to 85°C or –40 to 125°C; V_{CC} = 5V ± 0.5V)

Parameter	Test Conditions	M28F841			Unit
		Min	Typ	Max	
Block Program	V_{PP} = 12V ± 5%		0.6	2.1	sec
Block Erase	V_{PP} = 12V ± 5%		1.6	10	sec

Tabel 8/5.4-141: Benodigde tijden voor het programmeren en wissen van de 28V841 en 28V841.

5.4 Type-beschrijving Flash- EPROM's

(T_A = 0 to 70°C, −40 to 85°C or −40 to 125°C; V_{CC} = 5V ± 0.5V; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28F841						Unit
			-100		-120		-150		
			Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	100		120		150		ns
t_{PHWL} (1)	t_{PS}	Power Down High to Write Enable Low	1		1		1		µs
t_{ELWL}	t_{CS}	Chip Enable Low to Write Enable Low	0		0		0		ns
t_{WLWX}	t_{WP}	Write Enable Low to Write Enable Transition	40		40		40		ns
t_{DVWH}	t_{DS}	Input Valid to Write Enable High	40		40		40		ns
t_{WHDX}	t_{DH}	Write Enable High to Input Transition	5		5		5		ns
t_{WHEH}	t_{CH}	Write Enable High to Chip Enable High	10		10		10		ns
t_{WHWX}	t_{WPH}	Write Enable High to Write Enable Transition	30		30		30		ns
t_{AVWH}	t_{AS}	Address Valid to Write Enable High	40		40		40		ns
t_{VPHWH} (1)	t_{VPS}	V_{PP} High to Write Enable High	100		100		100		ns
t_{WHAX}	t_{AH}	Write Enable High to Address Transition	5		5		5		ns
t_{WHGL}		Write Enable High to Output Enable Low	0		0		0		ns
t_{WHRL}		Write Enable High to Ready Busy Low		100		100		100	ns
t_{WHQV1} (2)		Write Enable High to Output Valid (Byte Program)	6		6		6		µs
t_{WHQV2} (2, 3)		Write Enable High to Output Valid (Sector Erase)	0.3		0.3		0.3		sec
t_{QVVPX} (1, 2)	t_{VPH}	Output Valid or Ready Busy High to V_{PP} Transition	0		0		0		ns

Notes: 1. Sampled only, not 100% tested.
2. Byte Program and Sector Erase durations are measured to completion as indicated by Status Register b7 = 1 or RY/$\overline{BY}$ = high. V_{PP} is held high until Status Register bits b3, b4 and b5 indicate Program or Sector Erase success.
3. Temperature range 0 to 70 °C (grade 1) only.

Tabel 8/5.4-142: Schakeltijden bij het programmeren van de 28F841 en 28V841, onder besturing van $\overline{W}$ (zie figuur 8/5.4-159).

5.4 Type-beschrijving Flash-EPROM's

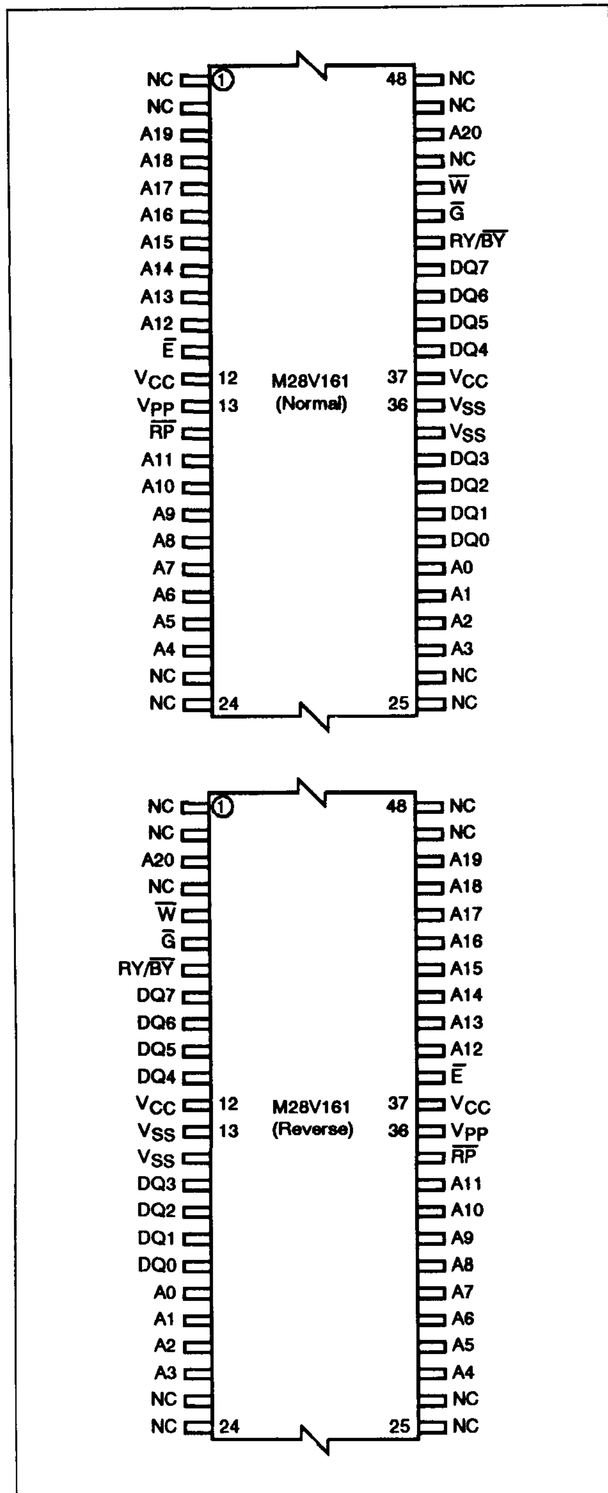
(T_A = 0 to 70°C, -40 to 85°C or -40 to 125°C; V_{CC} = 3.3V ± 0.3V; V_{PP} = 12V ± 5%)

Symbol	Alt	Parameter	M28V841						Unit
			-100		-120		-150		
			Min	Max	Min	Max	Min	Max	
t_{AVAV}	t_{WC}	Write Cycle Time	100		120		150		ns
t_{PHEL} (1)	t_{PS}	Power Down High to Chip Enable Low	1		1		1		µs
t_{WLEL}	t_{WS}	Write Enable Low to Chip Enable Low	0		0		0		ns
t_{ELEX}	t_{CP}	Chip Enable Low to Chip Enable Transition	50		50		50		ns
t_{DVEH}	t_{DS}	Input Valid to Chip Enable High	40		40		40		ns
t_{EHDX}	t_{DH}	Chip Enable High to Input Transition	5		5		5		ns
t_{EHWH}	t_{CH}	Chip Enable High to Write Enable High	5		5		5		ns
t_{EHEX}	t_{EPH}	Chip Enable High to Chip Enable Transition	25		25		25		ns
t_{AVEH}	t_{AS}	Address Valid to Chip Enable High	40		40		40		ns
t_{VPHEH} (1)	t_{VPS}	V_{PP} High to Chip Enable High	100		100		100		ns
t_{EHAX}	t_{AH}	Chip Enable High to Address Transition	5		5		5		ns
t_{EHGL}		Chip Enable High to Output Enable Low	0		0		0		ns
t_{EHRL}		Chip Enable High to Ready Busy Low		100		100		100	ns
t_{EHQV1} (2)		Chip Enable High to Output Valid (Byte Program)	6		6		6		µs
t_{EHQV2} (2, 3)		Chip Enable High to Output Valid (Sector Erase)	0.3		0.3		0.3		sec
t_{QVVPX} (1, 2)	t_{VPH}	Output Valid or Ready Busy High to V_{PP} Transition	0		0		0		ns

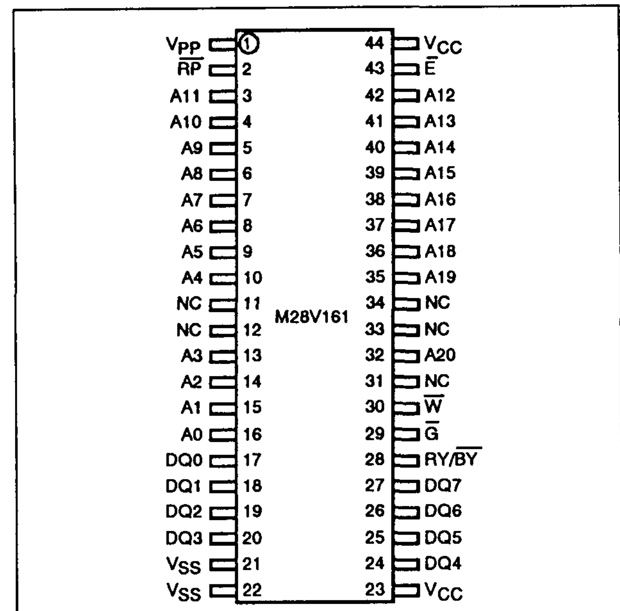
Notes: 1. Sampled only, not 100% tested.
2. Byte Program and Sector Erase durations are measured to completion as indicated by Status Register b7 = 1 or RY/$\overline{BY}$ = high. V_{PP} is held high until Status Register bits b3, b4 and b5 indicate Program or Sector Erase success.
3. Temperature range 0 to 70 °C (grade 1) only.

Tabel 8/5.4-143: Schakeltijden bij het programmeren van de 28F841 en 28V841, onder besturing van $\overline{E}$ (zie *figuur 8/5.4-160*).

5.4 Type-beschrijving Flash- EPROM's



Figuur 8/5.4-166: Aansluitingen van de 48-pens TSOP48-behuizing (boven: normaal, onder: omgekeerd) van de 28V161.



Figuur 8/5.4-167: Aansluitingen van de 44-pens SO44-behuizing van de 28V161.

28V161

2 M x 8 bit

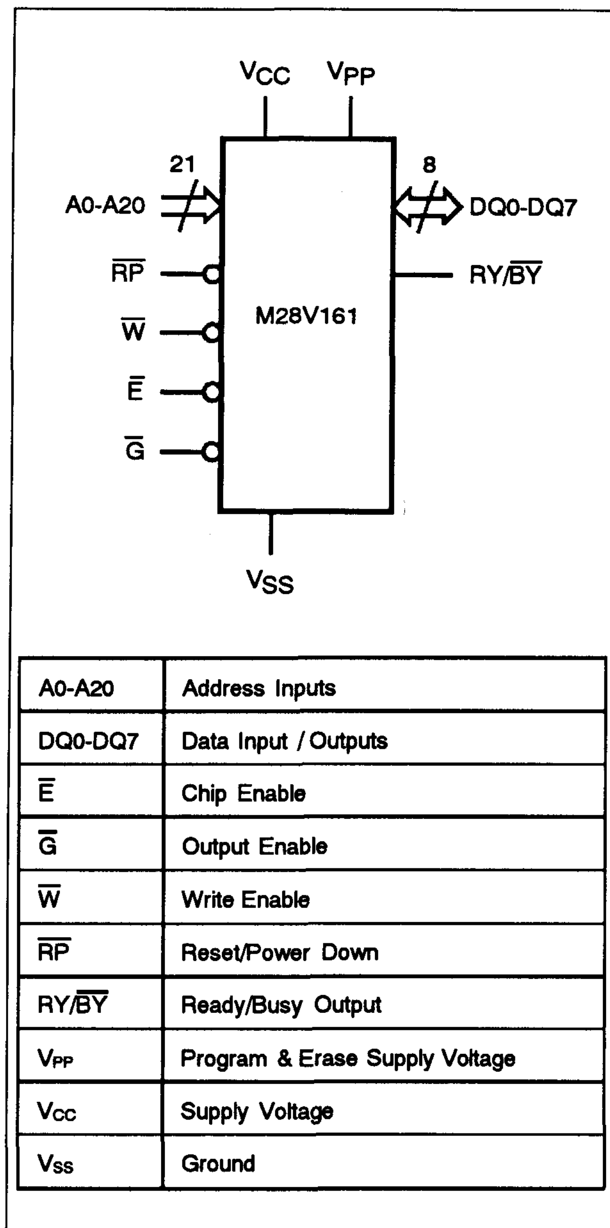
Low Voltage CMOS Flash EPROM

De 28V161 is een 16 MB Flash geheugen dat elektrisch per sector gewist en byte-voor-byte geprogrammeerd kan worden. Dit geheugen is alleen leverbaar in de Low-Voltage uitvoering. Het geheugen is ontworpen voor computer file-systemen en massa-opslag en wordt geprogrammeerd en gewist met een spanning van 12 V. De 28V161 heeft een 44-pens SO44 of een 48-pens TSOP48-behuizing (zowel normaal als omgekeerd) en is leverbaar met toegangstijden van 100, 120 ns of 150 ns.

Specificaties

- 16 MB: 2.097.152 x 8 bit
- voedingsspanning: 3,3 V +/- 0,3 V
- programmeerspanning: 12 V +/- 5 %
- Low power CMOS:
  30 µA typ. (standby)
  0,2 µA typ. (deep power down)
- toegangstijden: 100, 120 en 150 ns

5.4 Type-beschrijving Flash-EPROM's



A0-A20	Address Inputs
DQ0-DQ7	Data Input / Outputs
$\overline{E}$	Chip Enable
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
$\overline{RP}$	Reset/Power Down
RY/$\overline{BY}$	Ready/Busy Output
V_{PP}	Program & Erase Supply Voltage
V_{CC}	Supply Voltage
V_{SS}	Ground

Figuur 8/5.45-168: Logisch symbool en aansluitingen van de 28V161.

- elektrisch wissen in sectoren:
  32 sectoren van 64 kB per stuk
- geïntegreerde wis/programmeer-besturing
- 100.000 wis/programmeercycli
- kleine behuizingen: TSOP48 (figuur 8/5.4-166) of SO44 (figuur 8/5.4-167)
- fabrikant: SGS-Thomson: M28V161
- compatibel met 8 MB Flash geheugen (1 adreslijn meer)

Organisatie

Aangezien de 28V161 tweemaal zo groot is als de 28V841, maar verder vrijwel identiek, worden in dit gedeelte alleen gegevens behandeld die de werking bevestigen en die afwijken van het 8 MB type. Voor de algemene gang van zaken wordt verwezen naar de 28F841 en 28V841.

De 28V161 is georganiseerd in 2 MB (8 bit). Het geheugen heeft drie besturingssignalen: Chip Enable, Output Enable en Write Enable plus een ingangssignaal "Reset/Power Down". Met het laatste signaal kan de 28V161 in een diepe power-down toestand worden gezet.

Een Ready/Busy uitgangssignaal geeft de toestand van de interne Program/Erase Controller (P/E.C) weer.

Sectoren

Het geheugen wordt sectorgewijs gewist. Er zijn 32 sectoren van 64 kB per stuk in de adresruimte (zie figuur 8/5.4-169). Elke sector kan in 0,6 seconde worden geprogrammeerd, terwijl het wissen 1,6 seconde duurt. Er zijn meer dan 100.000 programmeer/wiscycli mogelijk. Alle sectoren zijn tegen programmeren en wissen beveiligd als $\overline{RP}$ LAAG is. Het wissen van een sector kan tijdelijk worden uitgesteld als data in een andere geheugensector moet worden uitgelezen.

Werking

De busoperaties en het gebruik van het Command Interface (C.I.) zijn volkomen gelijk aan die van de 28F841 en 28V841, evenals de manier waarop commando's en instructies worden verwerkt. Ook de timing hiervan is identiek (zie de tabellen 8/5.4-133 tot en met -134).

Ook heeft de 28V161 dezelfde mogelijkheden om het opgenomen vermogen te beperken als de 28F841 en 28V841.

5.4 Type-beschrijving Flash- EPROM's

Operation	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	RY/$\overline{BY}$ (2)	DQ0 - DQ7
Read	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{OH}	Data Output
Write	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{OL} / V_{OH}	Data Input
Output Disable	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{OH}	Hi-Z
Standby	V_{IH}	X	X	V_{IH}	V_{OH}	Hi-Z
Power Down	X	X	X	V_{IL}	V_{OH}	Hi-Z

Notes: 1. X = V_{IL} or V_{IH}, V_{PP} = V_{PPL} or V_{PPH}
2. RY/$\overline{BY}$ = V_{OL} when the P/E.C. is executing a Sector Erase or Write operation. It is at V_{OH} when the P/E.C. is not busy, in the Erase Suspend or Power Down modes.

Tabel 8/5.4-144: Met de signalen $\overline{E}$, $\overline{G}$, $\overline{W}$ en $\overline{RP}$ kunnen de verschillende bedrijfsmodes worden ingesteld.

TOP ADDRESS A0-A20		BOTTOM ADDRESS A0-A20
1FFFFFh	64K BYTE SECTOR	1F0000h
1EFFFFh	64K BYTE SECTOR	1E0000h
1DFFFFh	64K BYTE SECTOR	1D0000h
1CFFFFh	64K BYTE SECTOR	1C0000h
1BFFFFh	- -	1B0000h
1AFFFFh	- -	1A0000h
19FFFFh	- -	190000h
18FFFFh	- -	180000h
17FFFFh	- -	170000h
16FFFFh	- -	160000h
15FFFFh	- -	150000h
14FFFFh	- -	140000h
13FFFFh	- -	130000h
12FFFFh	- -	120000h
11FFFFh	- -	110000h
10FFFFh	- -	100000h
0FFFFFh	- -	0F0000h
0EFFFFh	- -	0E0000h
0DFFFFh	- -	0D0000h
0CFFFFh	- -	0C0000h
0BFFFFh	- -	0B0000h
0AFFFFh	- -	0A0000h
9FFFFh	- -	90000h
8FFFFh	- -	80000h
7FFFFh	- -	70000h
6FFFFh	- -	60000h
5FFFFh	- -	50000h
4FFFFh	- -	40000h
3FFFFh	64K BYTE SECTOR	30000h
2FFFFh	64K BYTE SECTOR	20000h
1FFFFh	64K BYTE SECTOR	10000h
0FFFFh	64K BYTE SECTOR	00000h

Figuur 8/5.4-169: Indeling van de 28V161 (memory map).

Adres-ingangen A0 tot en met A20

Omdat de 16 MB van de 28V161 georganiseerd zijn als 2 M x 8 bit, moeten 21 adreslijnen (A0 tot en met A20) worden gebruikt om alle lokaties in het geheugen-array te kiezen.

Overige signalen

De overige signalen: DQ0 tot en met DQ7, $\overline{E}$, $\overline{RP}$, RY/$\overline{BY}$, $\overline{G}$, $\overline{W}$ en de voedingsspanningen V_{pp} en V_{cc} (en V_{ss}) hebben precies dezelfde functies als bij de 28F841 en 28V841.

Geheugensectoren

Er zijn 32 geheugensectoren van 64 kB die één voor één apart gewist kunnen worden. De wisoperatie wordt bestuurd door de P/E.C, maar kan worden uitgesteld om in een andere sector te kunnen lezen. Hierna kan het wissen weer verder gaan. Het programmeren en wissen wordt gesperd als V_{pp} LAAG is.

Operaties

Alle operaties: memory Read, Command Write, Output Disable, Standby, Power Down en Electronic Signature Read zijn precies gelijk aan die bij de 28F841 en 28V841.

- Read
  Lees-operaties worden gebruikt om de inhoud van het geheugen-array, het statusregister of de electronic signature uit te lezen. Hierbij moeten $\overline{E}$ en $\overline{G}$ allebei LAAG zijn (figuur 8/5.4-158).
- Write
  Schrijf-operaties worden gebruikt om instructie-commando's aan het geheugen te geven of om te programmeren ingangs-

data te latchen. Een schrijfoperatie wordt geïnitialiseerd als $\overline{E}$ en $\overline{W}$ LAAG zijn en $\overline{G}$ HOOG is. Commando's, ingangsdata (op DQ0 tot en met DQ7) en adressen worden op de stijgende flank van $\overline{W}$ of $\overline{E}$ gelatcht (figuur 8/5.4-159, respectievelijk -160).

Output Disable en Standby
Als $\overline{G}$ HOOG is zijn de uitgangen hoog-impedant, terwijl het geheugen standby is als $\overline{E}$ HOOG is.

Electronic Signature
Er kunnen twee codes worden uitgelezen: de fabrikantcode van SGS-Thomson: 20H en de device-code M28V161: 58H (zie tabel 8/5.4-145).

Instructies en commando's
De 28V161 heeft, net als de 28F841/28V841, een Command Interface, waarin de commando's worden opgeslagen. Instructies bestaan uit één of meer commando's voor het uitvoeren van Read, Read Status Register, Read Electronic Signature, Erase, Program, Clear Status Register, Erase Suspend en Erase Resume. Deze instructies hebben één tot drie operaties nodig, waarvan de eerste altijd een schrijfoperatie is, gevolgd door nog een schrijfoperatie om adres en data te latchen of om het commando te bevestigen of door een leesoperatie.
In het statusregister zijn de toestanden van de (P/E.C), de status van wis-operaties, het al dan niet geslaagd zijn van het wissen of programmeren en de low/correct waarde van V_{PP} te zien (tabel 8/5.4-137).
De exakte werkingen van de lees- (RD), lees Statusregister- (RSR), lees Electronic Signature- (RSIG), wis- (EE), programmeer- (PG), clear Statusregister- (CLRS), erase suspend- (ES), erase resume- (ER) en reset instructies zijn volkomen identiek met die van de 28F841 en 28V841, waarnaar dan ook verwezen wordt.
Ook de aanbevolen flow-diagrammen van programma's voor het programmeren, wissen en uitstellen/hervatten van het wissen (te zien in de figuren 8/5.4-129 tot en met -131) kunnen voor de 28V161 worden gebruikt.

Overige kenmerken
Ook de overige elektrische en timing kenmerken van de M28V161 zijn gelijk aan die voor de 28V841. De tabellen 8/5.4-138 tot en met 8/5.4-143 zijn dus ook geldig voor de M28V161.

Code	$\overline{E}$	$\overline{G}$	$\overline{W}$	$\overline{RP}$	A0	RY/$\overline{BY}$	DQ0 - DQ7
Manufact. Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{OH}	20h
Device Code	V_{IL}	V_{IL}	V_{IH}	V_{IH}	V_{IH}	V_{OH}	58h

Tabel 8/5.4-145: Electronic Signature van de M28V161.

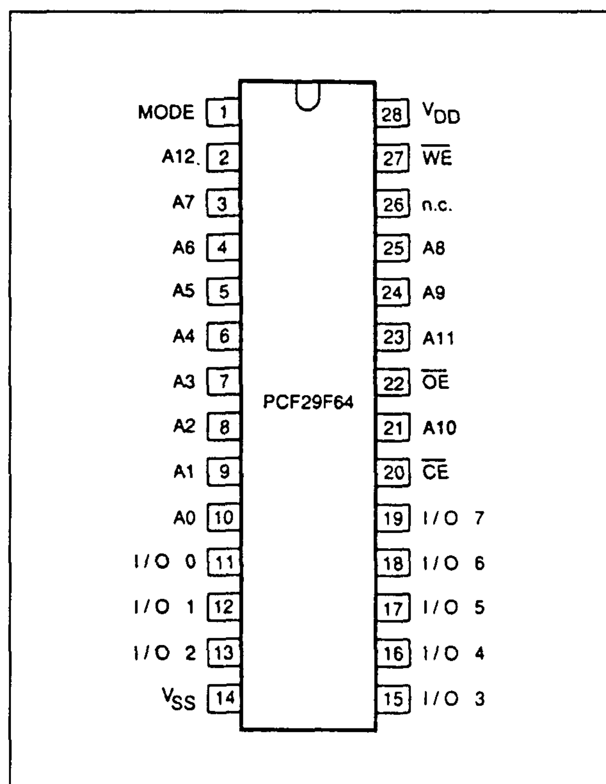
8/5.5

Type-beschrijving Flash EEPROM's

29F64

8 k x 8 bit CMOS

De 29F64 is een 8 k x 8 bit zwevende-gate elektrisch wis- en programmeerbaar read-only geheugen (EEPROM). Door de gebruikte CMOS-technologie is het energieverbruik zeer gering. Het wissen van dit geheugen kan op drie manieren gebeuren: 32 byte pagina-wissen, 256 byte blok-wissen en compleet wissen. Per schrijfoperatie is ongeveer 2,5 ms nodig, zodat het gehele geheugen binnen 21 s kan worden beschreven.



Figuur 8/5.5-1: Aansluitingen van de 29F64.

SYMBOL	PIN	DESCRIPTION
MODE	1	selection of Erase mode is achieved by a HIGH at this input, LOW selects the Write mode
A0 to A7 A8, A9 A10, A11, A12	10 to 3 25, 24 21, 23, 2	address inputs which select an 8-bit memory location during a read or write operation
I/O 0 to I/O 7	11 to 13, 15 to 19	data is written to or read from the PCF29F64 via the I/O pins
V_{SS}	14	negative supply voltage
$\overline{CE}$	20	Chip Enable input which must be LOW to enable all read/write operations, when HIGH power consumption is reduced
$\overline{OE}$	22	Output Enable input which controls the data output buffers and is used to initiate read operations
n.c.	26	not connected
$\overline{WE}$	27	Write Enable input which controls the writing of data to the PCF29F64
V_{DD}	28	positive supply voltage

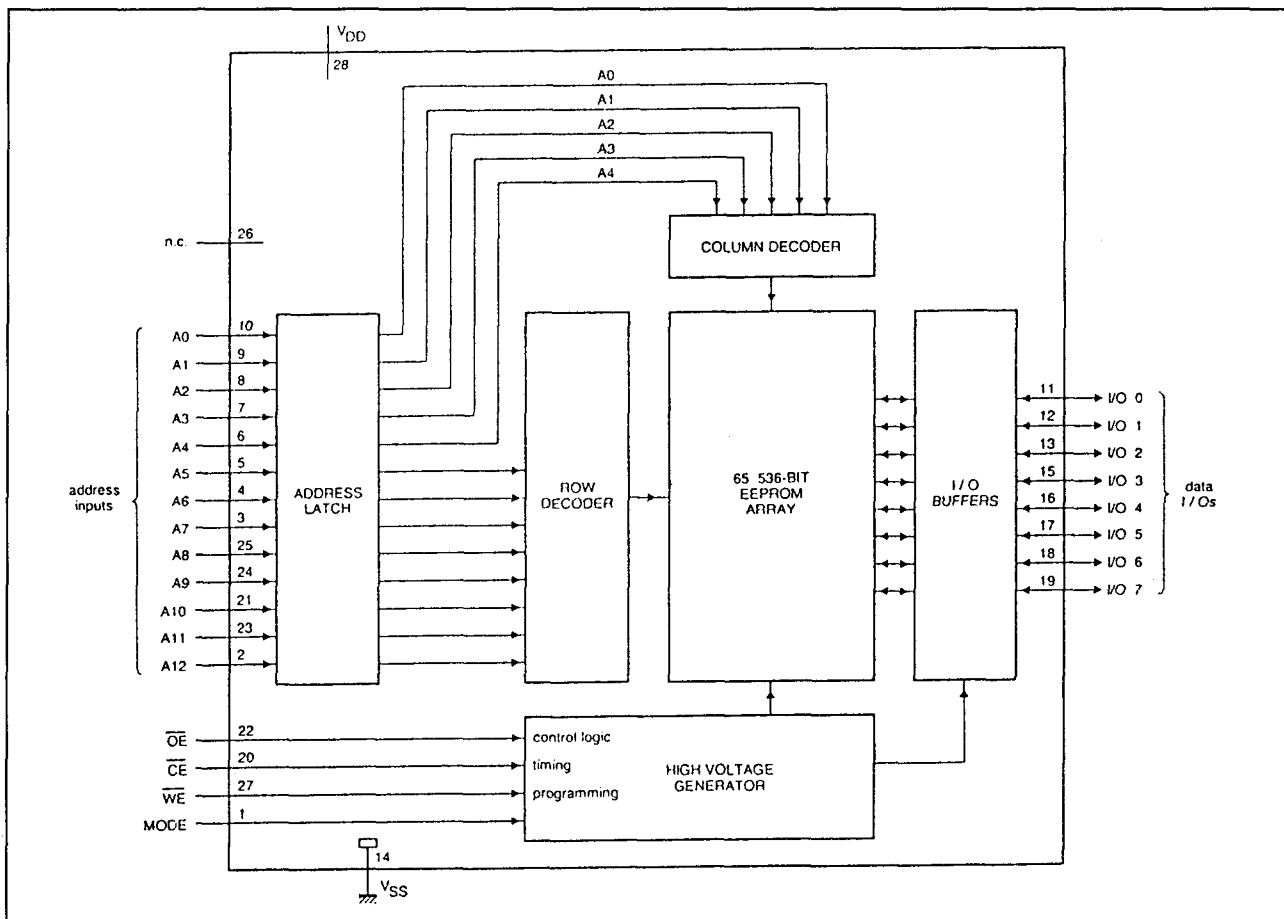
Tabel 8/5.5-1: Beschrijving van de aansluitpennen en signalen.

Specificaties

De 29F64 heeft de volgende algemene kenmerken:

- 8.192 x 8 bit organisatie
- low power CMOS: 10 mA aktief, 200 µA standby
- toegangstijd 200 ns
- 32 byte Page Erase, 256 byte Block Erase en compleet geheugen wissen in 5 ms
- schrijfcyclustijd: 2,5 ms
- adres en data intern gelatcht

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-2: Blokschema van de 29F64.

- automatische schrijf-timing
- minimaal 10.000 wis/programmeercycli
- enkele voedingsspanning 5 V +/-10 %
- TTL- en CMOS-compatibel
- behuizingen: 28-pens plastic DIL of mini-pack (SO28) (figuur 8/5.5-1)
- fabrikant:
  Philips: PCF29F64

Toepassingen

Het flash-geheugen kan elektrisch worden gewist en geprogrammeerd, waardoor het de vervaardiging van "ingebedde" toepassingen vergemakkelijkt. Nieuwe versies van programmatuur of gemodificeerde parameters kunnen in de definitieve opstelling worden aangebracht. De voordelen hiervan zijn: er wordt geen tijd verloren met UV (ultraviolet) wissen, uitsolderen is niet nodig en er zijn geen dure IC-voeten nodig. In tabel 8/5.5-2 is te zien hoe de verschillende bedrijfsmodes kunnen worden gekozen.

Read

Het lezen wordt geïnitialiseerd door zowel $\overline{OE}$ als $\overline{CE}$ LAAG te maken. Het lezen stopt wanneer één van beide weer HOOG wordt. Door deze tweelijns architectuur wordt busrivaliteit voorkomen. De databus bevindt zich in een hoog-impedante toestand als $\overline{OE}$ en/of $\overline{CE}$ HOOG is.

Erase

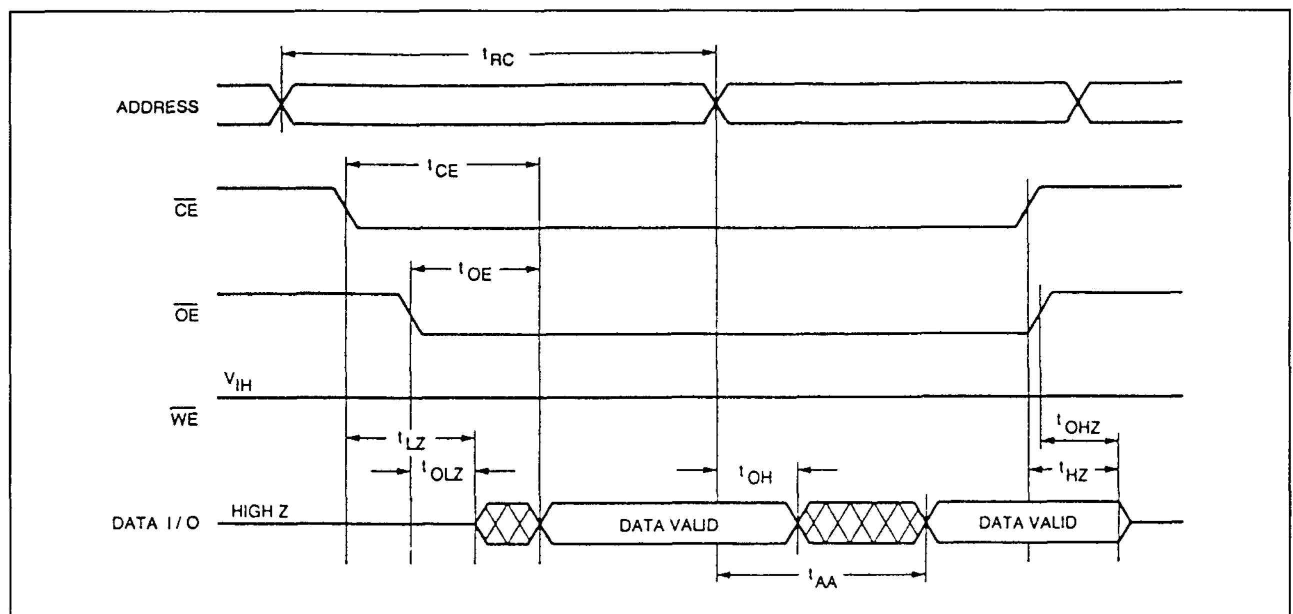
De wis-operaties worden ingeleid door $\overline{CE}$ en $\overline{WE}$ beide LAAG en zowel $\overline{OE}$ als MODE HOOG te maken. De 29F64 kan onder $\overline{CE}$- of $\overline{WE}$-besturing worden gewist: het adres wordt (afhankelijk van wat het laatst op-

5.5 Type-beschrijving Flash EEPROM's

treedt) op de dalende flank van $\overline{CE}$ of $\overline{WE}$ gelatcht. Figuur 8/5.5-4 toont het wissen onder besturing van $\overline{CE}$, terwijl in figuur 8/5.5-5 het $\overline{WE}$-bestuurde wissen te zien is.

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	MODE	I/O PIN	POWER
L	L	H	read	D OUT	active
L	H	L	erase (MODE input = HIGH)	–	active
L	H	L	write (MODE input = LOW)	D IN	active
H	X	X	standby and E/W inhibit	HIGH Z	standby
X	L	X	E/W inhibit	–	–
X	X	H	E/W inhibit	–	–

Tabel 8/5.5-2: Selectie van de bedrijfsmodes van de 29F64.

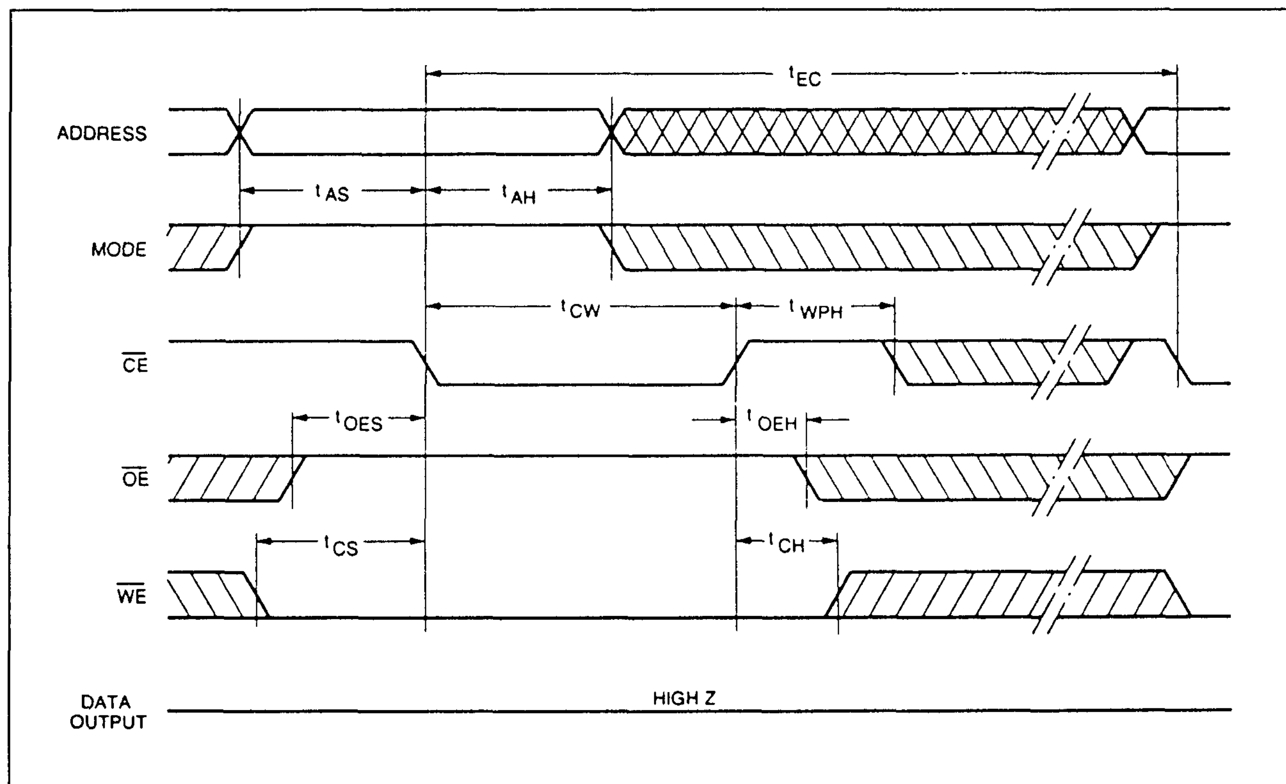


Figuur 8/5.5-3: Timing en golfvormen bij het uitlezen van de 29F64.

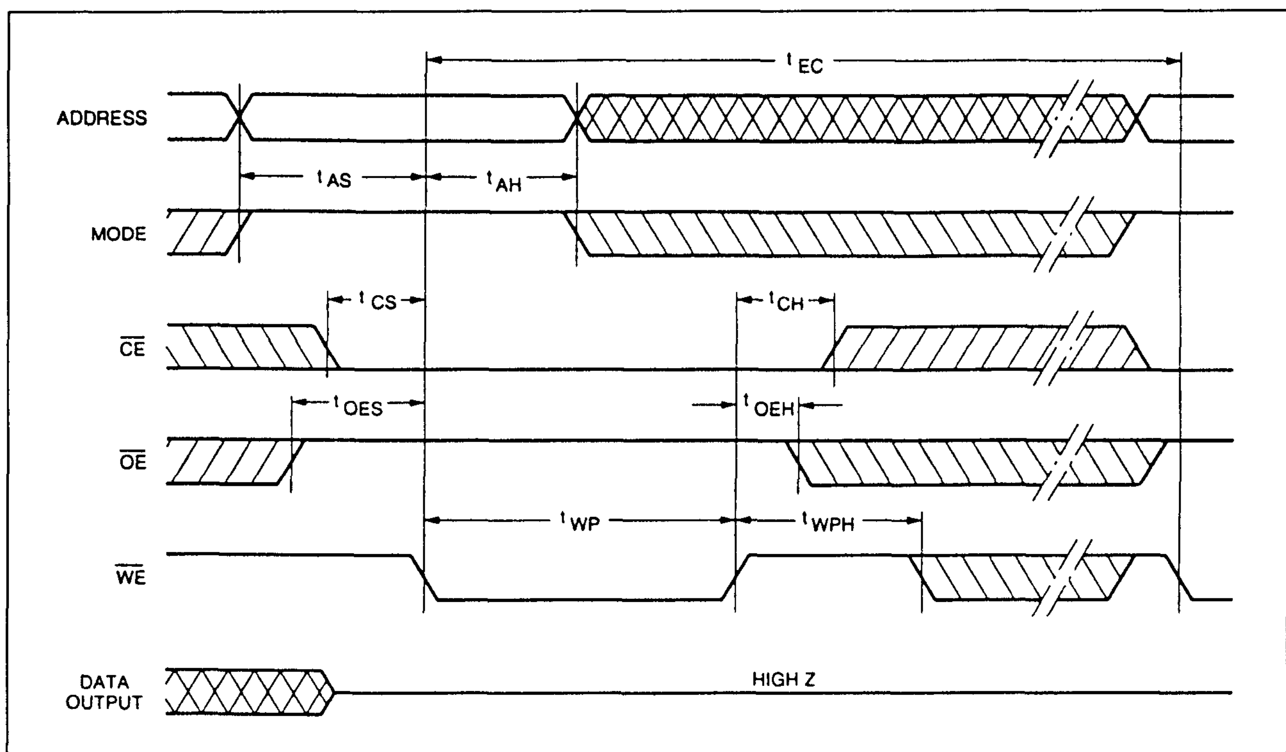
MODE/ADDRESS	A0 to A2	A3	A4	A5 to A7	A8 to A12
PAGE	X	0	0	valid	valid
BLOCK ERASE	X	0	1	X	valid (note 1)
BLOCK ERASE	X	1	0	X	valid (note 1)
FULL ERASE	X	1	1	X	X

Tabel 8/5.5-3: Keuze uit de wis-mogelijkheden. Als A3 of A4 HOOG is, wordt het wissen per blok geselecteerd.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-4: Golfvormen en timing bij het wissen van de 29F64 onder $\overline{CE}$-besturing.



Figuur 8/5.5-5: Golfvormen en timing bij $\overline{WE}$-geregeld wissen.

5.5 Type-beschrijving Flash EEPROM's

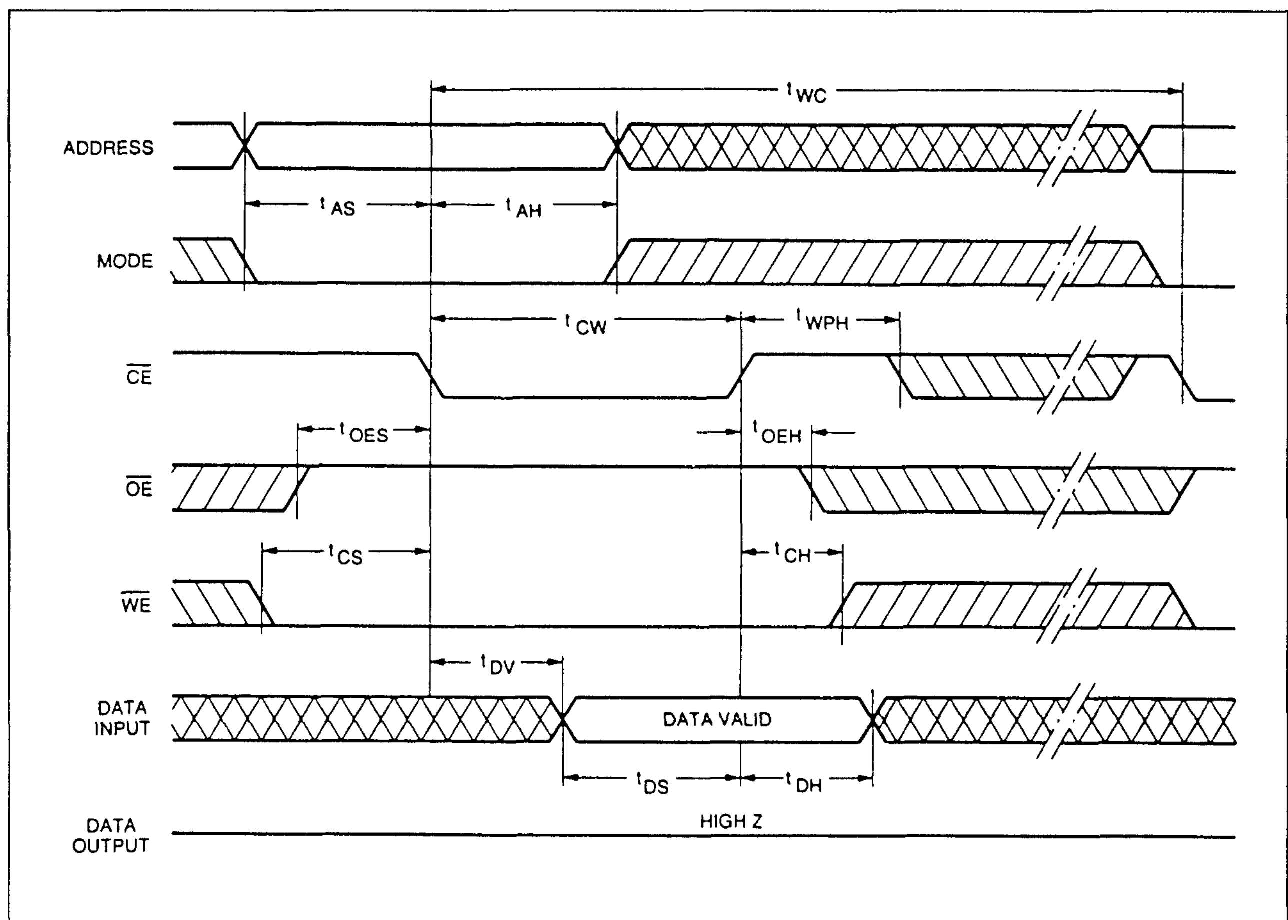
Het wissen kan bovendien op drie manieren geschieden: wissen per pagina, per blok of het gehele geheugen in één keer (zie tabel 8/5.5-3).

Write

De schrijfhandelingen worden geïnitieerd wanneer zowel $\overline{CE}$ als $\overline{WE}$ LAAG zijn en $\overline{OE}$ en MODE beide HOOG zijn. Net als bij lezen kan de 29F64 onder $\overline{CE}$- of $\overline{WE}$-besturing worden beschreven: het adres wordt op de laatst optredende dalende flank van $\overline{CE}$ of $\overline{WE}$ gelatcht. De data wordt intern opgeslagen op de eerst komende stijgende flank van $\overline{CE}$ of $\overline{WE}$. In figuur 8/5.5-6 is het schrijven onder $\overline{CE}$-besturing te zien en in figuur 8/5.5-7 het schrijven onder $\overline{WE}$-besturing. Wanneer een schrijf-operatie eenmaal begonnen is, wordt deze automatisch beëindigd binnen 2,5 ms.

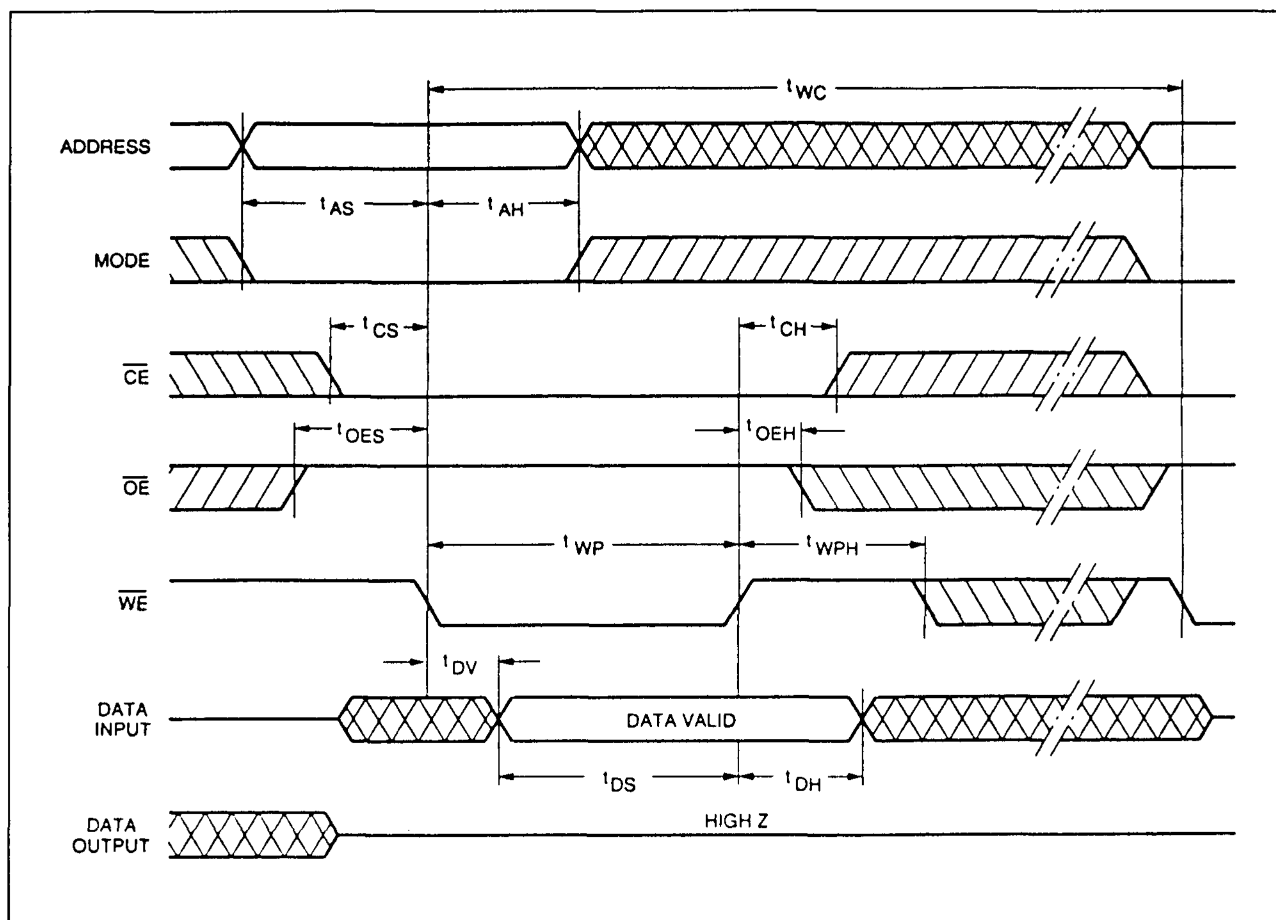
$\overline{\text{Data}}$-Polling

Bij de 29F64 kan $\overline{\text{Data}}$-Polling worden toegepast om aan het computersysteem te signaleren dat een schrijfcyclus klaar is. Bij $\overline{\text{Data}}$-Polling wordt een eenvoudige bittest-operatie uitgevoerd om de status van het geheugen te bepalen, zonder dat daarvoor interrupties of extra hardware nodig zijn. Tijdens de interne programmeercyclus levert elke poging om de laatst geschreven byte te lezen het complement van die data op pen I/O 7. Wordt bijvoorbeeld 0XXX XXXX geschreven, dan wordt tijdens het programmeren 1XXX XXXX gelezen. Nadat de programmeercyclus klaar is, staat op I/O 7 de echte data.

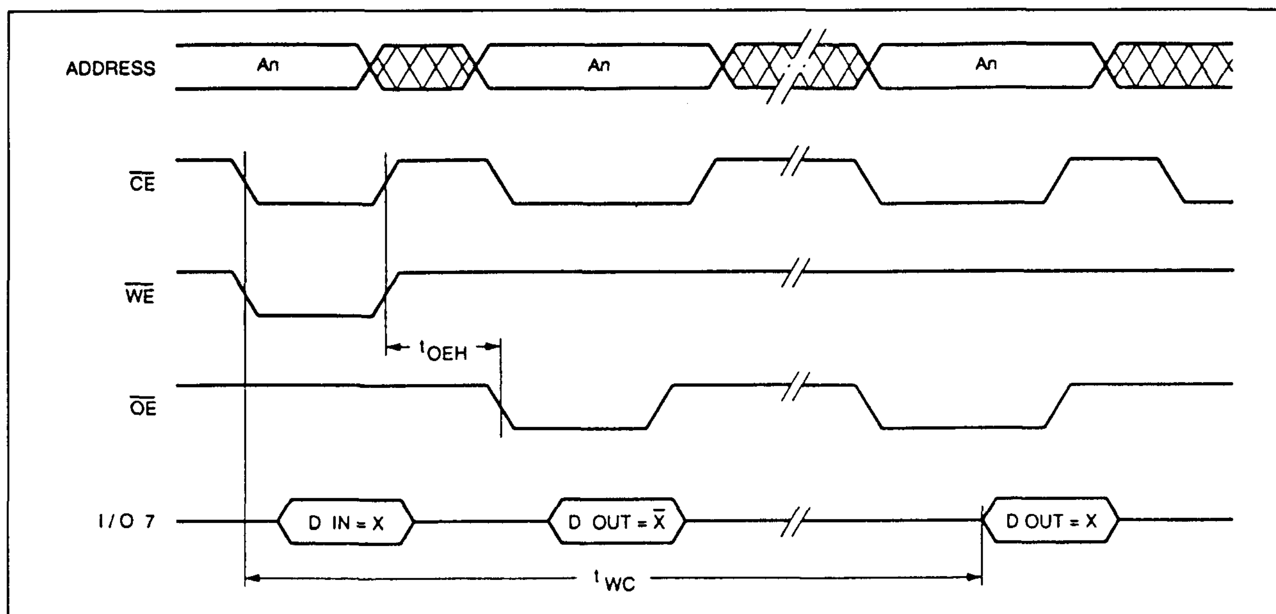


Figuur 8/5.5-6: Golfvormen en timing bij het schrijven onder $\overline{CE}$-besturing.

5.5 Type-beschrijving Flash EEPROM's

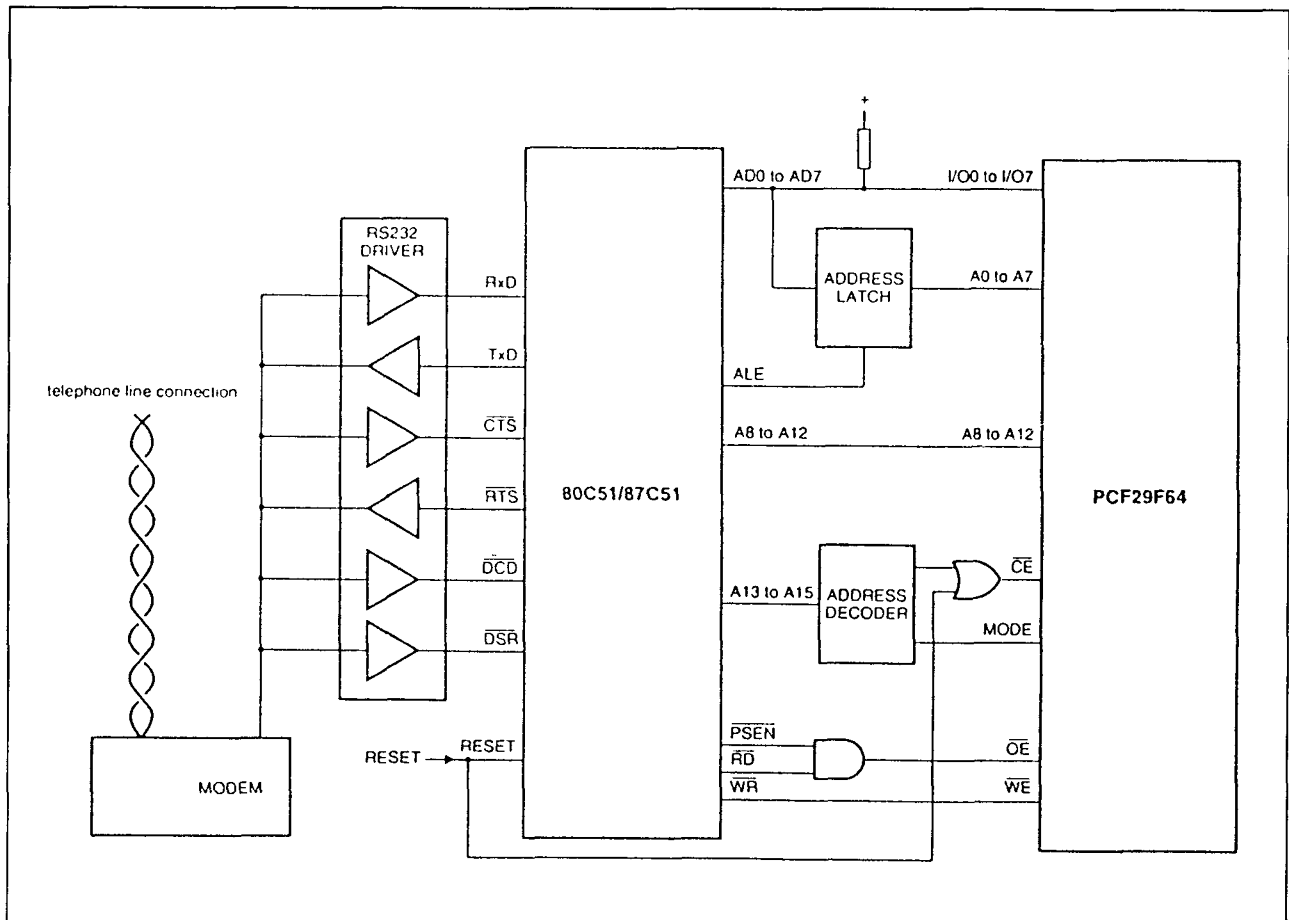


Figuur 8/5.5-7: Golfvormen en timing bij $\overline{\text{WE}}$-bestuurd schrijven.



Figuur 8/5.5-8: Timing van $\overline{\text{Data}}$-Polling bij de 29F64.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-9: Toepassingsvoorbeeld van een 29F64 en een 80C51/87C51 microcontroller.

Erase-Write Protection

Op drie manieren wordt voorkomen dat de niet-vluchtige data per ongeluk wordt gewist of overschreven:

- beveiliging tegen storingen: een schrijfpuls moet tenminste 20 ns duren om als zodanig herkend te worden.
- V_{DD}-sense: alle functies zijn gesperd als V_{DD} lager is dan 3,5 V.
- E/W inhibit: door $\overline{OE}$ LAAG of $\overline{WE}$ HOOG of $\overline{CE}$ HOOG te houden tijdens het opkomen of weghalen van de voedingsspanning wordt onbedoeld wissen en schrijven gesperd.

Toepassing

Het programmeren van een Flash EEPROM in de definitieve schakeling kan worden geregeld door bijvoorbeeld een personal computer, via een RS232 of RS485 verbinding of via een gewone telefoonlijn. Hierdoor wordt het wijzigen van programma's op afstand mogelijk. In het voorbeeld van figuur 8/5.5-9 wordt een 29F64 (F)EEPROM bij een 80C51/87C51 microcontroller gebruikt. De inhoud van de 29F64 wordt via een telefoonlijn (met modem) gemodificeerd.

De 80C51/87C51 microcontroller bevat de firmware die nodig is voor:

- modem-besturing en handshaking (bijvoorbeeld RTS/CTS of XON/XOFF);
- protocol-behandeling van opgehaalde (downloaded) files;
- programmeer-besturing van de (F)EEPROM;

De adressen van de (F)EEPROM zijn zodanig gekozen dat zij hoger zijn dan het hoogste geheugenadres van de microcontroller.

5.5 Type-beschrijving Flash EEPROM's

Voor een 80C51/87C51 is dat 4 k. Om dit te bereiken wordt een externe adresdecoder gebruikt.
De wis-mode van de 29F64 wordt geregeld door het signaal op de MODE-pen. De aansluiting van deze pen op de adresdecoder is zodanig dat een "schaduw" geheugenveld van 8 k ontstaat. Er wordt gewist door een juiste schrijfhandeling naar dit geheugengebied. Het $\overline{CE}$-signaal is tevens afkomstig van het RESET-signaal van de microcontroller. Door de $\overline{RD}$- en $\overline{PSEN}$-signalen van de microcontroller te combineren kan de 29F64 voor zowel programma-geheugen als voor extern data-geheugen worden gebruikt.

Overige elektrische kenmerken

De overige elektrische en timing-karakteristieken van de PCF29F64 zijn te zien in de tabellen 8/5.5-4, -5 en -6.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DD}	supply voltage		-0.3	+7.0	V
V_I	voltage on any input pin	$\lvert Z_I \rvert > 500\ \Omega$	V_{SS} -0.8	V_{DD} +0.8	V
I_I	current on any input pin		-	1	mA
I_O	output current		-	5	mA
T_{stg}	storage temperature		−65	+150	°C
T_{amb}	operating ambient temperature		−40	+85	°C

Tabel 8/5.5-4: Maximaal toegelaten waarden.

DC CHARACTERISTICS
V_{DD} = 4.5 to 5.5 V; V_{SS} = 0 V; T_{amb} = −40 to +85 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{DD}	supply voltage range		4.5	–	5.5	V
I_{DDR}	supply current READ	$\overline{CE}$ = $\overline{OE}$ = V_{IL}; $\overline{WE}$ = V_{IH}; outputs open; f = 5 MHz; other inputs = V_{IL} or V_{IH}				
	CMOS input level		–	–	5.0	mA
I_{DDW}	supply current ERASE/WRITE	see Figs 4 to 7				
	CMOS input level		–	–	10.0	mA
I_{DDO}	supply current STANDBY	$\overline{CE}$ = V_{IH}; $\overline{OE}$ = V_{IL}; all other pins = V_{IL} or V_{IH}				
	CMOS input level		–	–	200	μA
	TTL input level		–	–	2	mA
V_{IL}	LOW level input voltage					
	CMOS		V_{SS}–0.3	–	V_{SS}+0.3	V
	TTL		–1.0	–	0.8	V
V_{IH}	HIGH level input voltage					
	CMOS		V_{DD}–0.3	–	V_{DD}+0.3	V
	TTL		2.0	–	V_{DD}+1.0	V
V_{OL}	LOW level output voltage	I_{OL} = 2.1 mA	–	–	0.4	V
V_{OH}	HIGH level output voltage	I_{OH} = –400 μA	2.4	–	–	V
I_{LI}	input leakage current	V_I = V_{DD} or V_{SS}	–	–	1	μA
I_{LO}	output leakage current	V_O = V_{DD} or V_{SS}; $\overline{CE}$ = V_{IH}	–	–	1	μA
C_I	input capacitance	V_I = V_{SS}	–	–	tbf	pF
$C_{I/O}$	input/output capacitance	$V_{I/O}$ = V_{SS}	–	–	tbf	pF
t_{PU}	power-up to operation time		–	5	–	ms

Tabel 8/5.5-5: Elektrische karakteristieken (DC) van de 29F64.

5.5 Type-beschrijving Flash EEPROM's

TIMING CHARACTERISTICS

V_{DD} = 5 V ±10%; T_{amb} = –40 to +85 °C; unless otherwise specified.

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
Read cycle				
t_{RC}	read cycle time	200	–	ns
t_{AA}	address access time	–	200	ns
t_{CE}	chip enable access time	–	200	ns
t_{OE}	output enable access time	–	100	ns
t_{LZ}	chip enable to output LOW Z	0	–	ns
t_{OLZ}	output enable to output LOW Z	0	–	ns
t_{HZ}	chip disable to output HIGH Z	0	50	ns
t_{OHZ}	output disable to output HIGH Z	0	50	ns
t_{OH}	output hold time from address change	10	–	ns
Erase and Write cycle				
t_{EC}	erase cycle time	4	6	ms
t_{WC}	write cycle time	2	3	ms
t_{AS}	address set-up time	10	–	ns
t_{AH}	address hold time	200	–	ns
t_{CS}	operation set-up time	0	–	ns
t_{CH}	operation hold time	0	–	ns
t_{CW}	chip enable pulse width	150	–	ns
t_{OES}	output enable HIGH set-up time	10	–	ns
t_{OEH}	output enable HIGH hold time	10	–	ns
t_{WP}	write enable pulse width	150	–	ns
t_{WPH}	write enable HIGH recovery time	50	–	ns
t_{DV}	data valid time	–	300	ns
t_{DS}	data set-up time	100	–	ns
t_{DH}	data hold time	20	–	ns

Tabel 8/5.5-6: Schakeltijden bij lezen, wissen en programmeren van de 29F64.

29F256, 29F258, 29F259

32 k x 8 bit CMOS

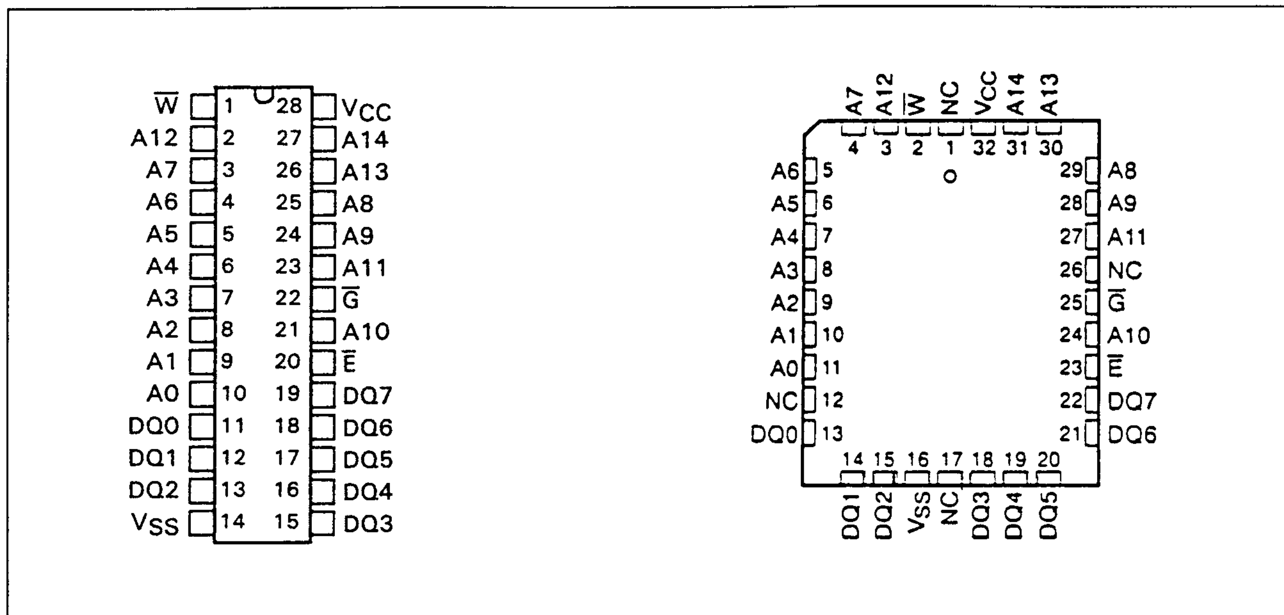
De 29F256, 29F258 en 29F259 zijn snelle 256 kB programmeerbare read-only geheugens waarvan de inhoud in zijn geheel "flash" kan worden gewist en ge(her)programmeerd. Voor het automatisch wissen/programmeren is een enkele +5 V voedingsspanning nodig, terwijl het programmeren per byte of per pagina (1 tot 64 bytes) kan geschieden. Intern zijn de 29F256, 29F258 en 29F259 identiek. Ze hebben alleen verschillende aansluitingen.

Specificaties

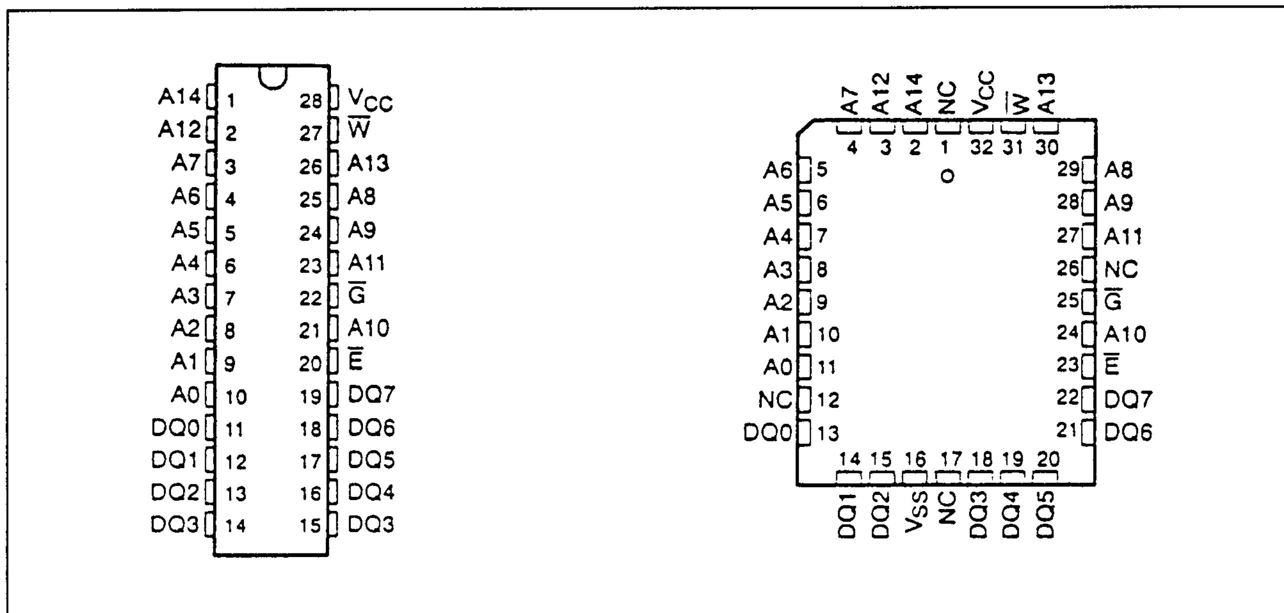
De 29F256, 29F258 en 29F259 hebben de volgende kenmerken:

- organisatie: 32.768 x 8 bit
- enkele 5 V voeding +/-5 % of +/-10 %
- toegangstijd:
  29F256/258/259-170: 170 ns
  29F256/258/259-200 en -20: 200 ns

5.5 Type-beschrijving Flash EEPROM's



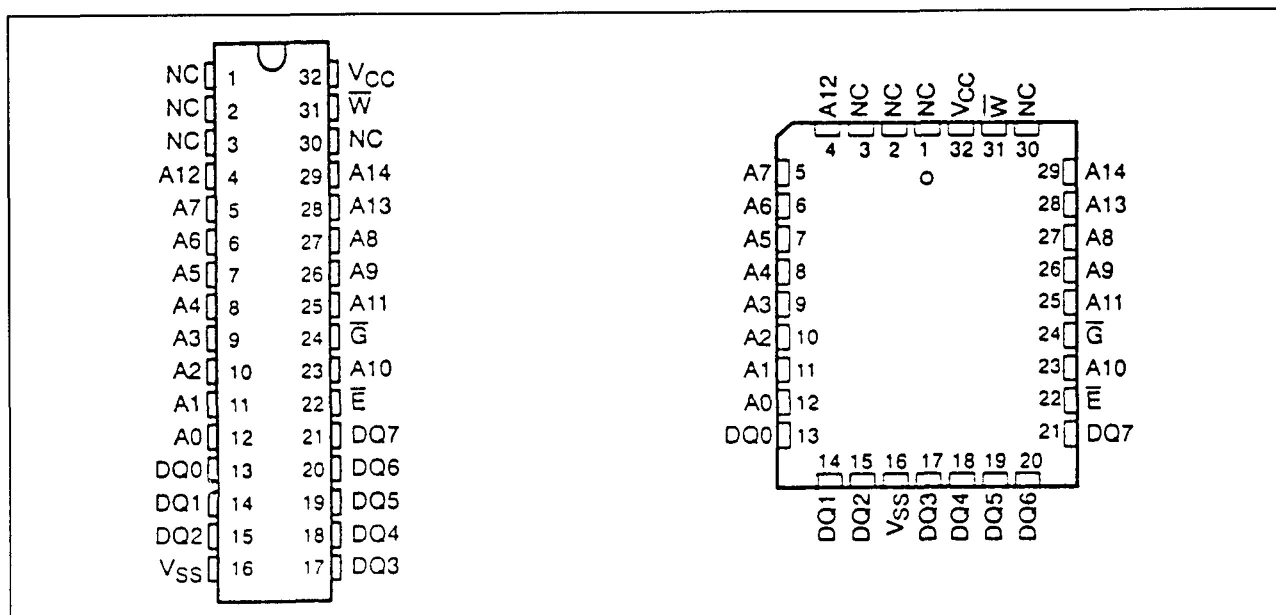
Figuur 8/5.5-10: Aansluitingen van de 29F256 (28-pens DIL en 32-pens PLCC).



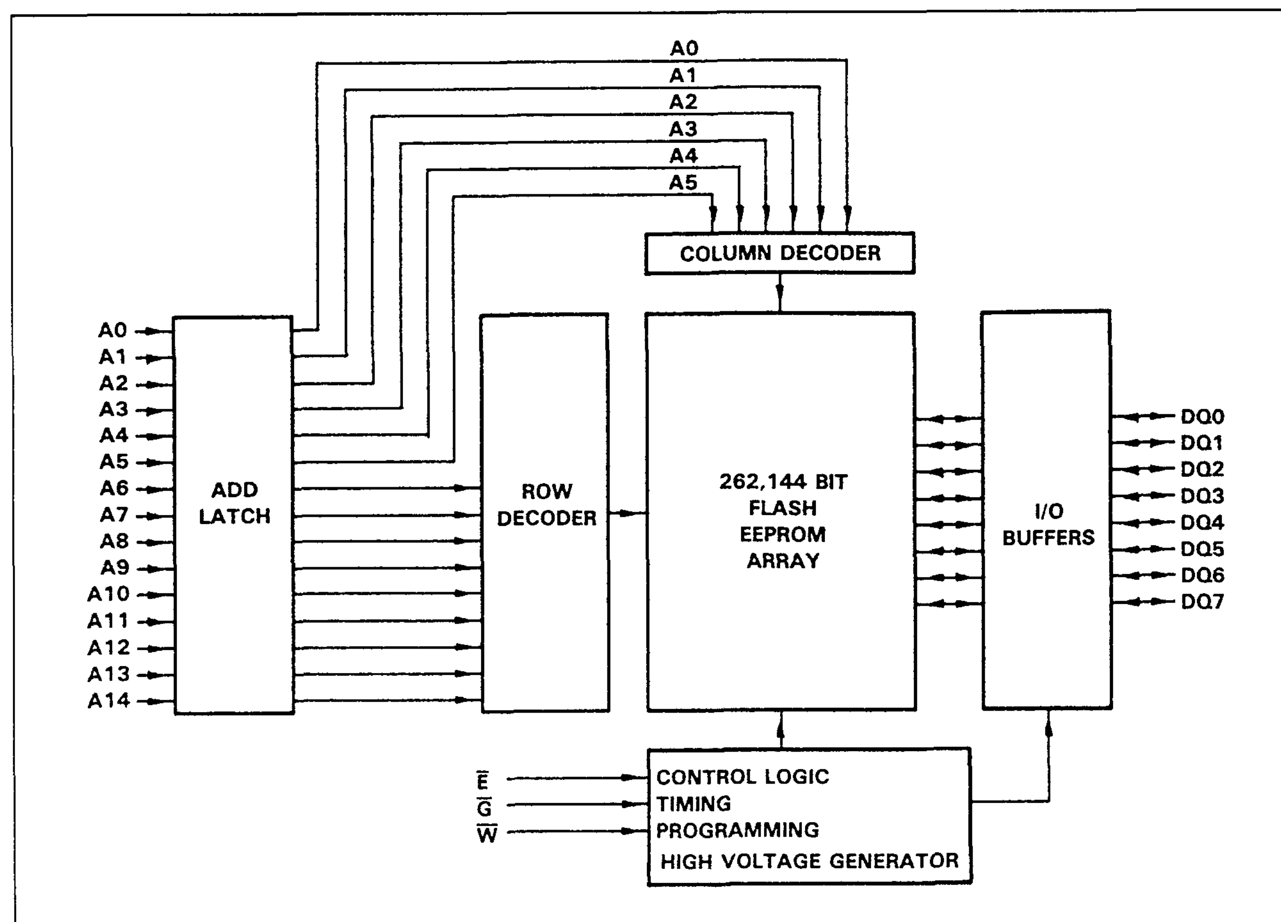
Figuur 8/5.5-11: Aansluitingen van de 29F258 (28-pens DIL en 32-pens PLCC).

29F256/258/259-250 en -25: 250 ns
29F256/258/259-300 en -30: 300 ns
- alle in-/uitgangen TTL-compatibel
- automatisch wissen van het gehele geheugen vóór programmering (15 ms max.)
- programmeren per enkele byte of per pagina
- gelatchte adres en data
- zelf-timing bij programmeren
- verificatie door data-polling
- softwarebeveiliging tegen onbedoeld schrijven
- toegang tot wissen door middel van software
- aansluitingen:

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-12: Aansluitingen van de 29F259 (32-pens DIL en 32-pens PLCC).



Figuur 8/5.5-13: Functioneel blokschema van de 29F256/258/259.

5.5 Type-beschrijving Flash EEPROM's

29F256 compatibel met EPROM standaard
29F258 compatibel met EEPROM standaard
- HVCMOS-technologie
- behuizingen:
  - 29F256 en 29F258: 28-pens plastic of ceramische DIL
  - 29F259: 32-pens ceramische DIL
  - Alle 3: 32-pens PLCC (zie figuren 8/5.5-10, -11 en -12)
- fabrikant: Texas Instruments

Werking

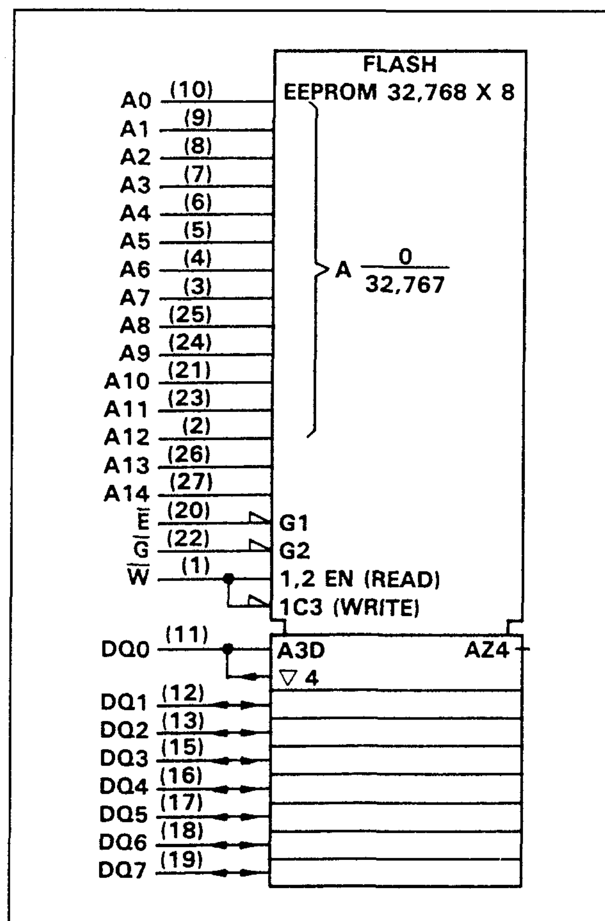
De 29F256/258/259 beschikt over interne schakelingen voor het latchen van data en adres, zelf-timing voor programmeren en data-polling voor verificatie. Hierdoor kan de externe hardware minimaal zijn. In figuur 8/5.5-13 is de interne opbouw van deze (F)EEPROM te zien, terwijl tabel 8/5.5-7 de vijf verschillende bedrijfsmodes en de hiervoor benodigde signalen toont.
In gewiste toestand zijn alle bits logisch 1 en voordat het programmeren begint worden eerst alle bits gewist. Tijdens het programmeren is de data-polling functie beschikbaar om te detecteren of de programmering klaar is: gedurende het programmeren is het belangrijkste bit (MSB) geïnverteerd.

Read/Output disable

Wanneer twee of meer 29F256, 29F258 of 29F259 geheugens parallel met dezelfde bus zijn verbonden, kan de uitgang van één ervan worden uitgelezen zonder dat de andere deze beïnvloeden. Om te worden uitgelezen moeten de $\overline{E}$ en $\overline{G}$ pennen beide LAAG zijn (zie figuur 8/5.5-15). Door tenminste één van deze lijnen van de andere geheugens HOOG te houden, zijn de uitgangen daarvan gesperd.

Power Down

De aktieve I_{CC}-stroom kan van 20 mA worden teruggebracht tot circa 2 mA door op de $\overline{E}$-pen een HOOG signaal te zetten. Hierdoor worden alle uitgangen hoog-impedant.



Figuur 8/5.5-14: Logisch symbool van de 29F256/258/259 (de aansluitingen hebben betrekking op de 29F256).

Programmeren per byte

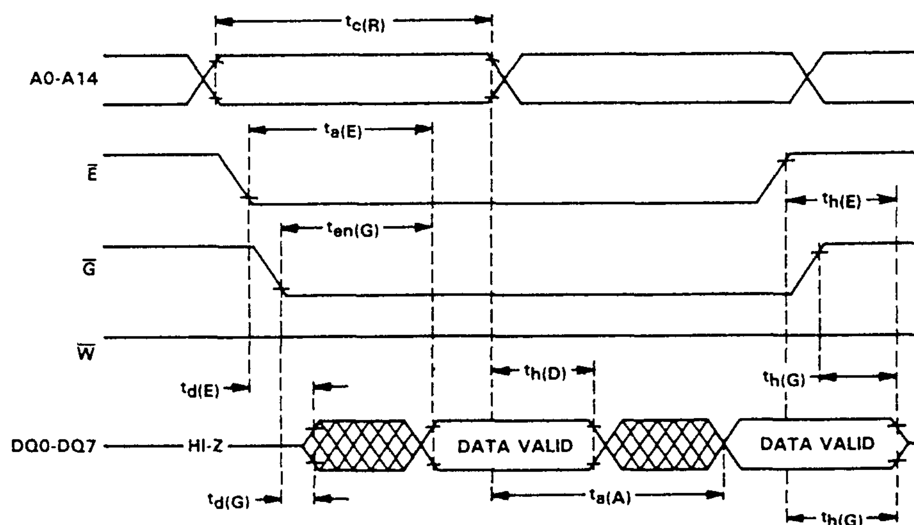
Het programmeren per byte (single-byte programming) van een bepaalde (F)EEPROM begint door $\overline{W}$ LAAG en $\overline{G}$ HOOG te maken. Het adres op de adrespennen wordt (afhankelijk van wat het laatst optreedt) op de dalende flank van $\overline{E}$ of $\overline{W}$ intern opgeslagen. In figuur 8/5.5-16 gebeurt dit door $\overline{W}$ en in figuur 8/5.5-17 door $\overline{E}$. Na het latchen van het adres wordt de data automatisch (binnen 15 ms) op de gekozen lokatie in het geheugen-array geprogrammeerd. Tabel 8/5.5-9 toont de bijbehorende schakeltijden en figuur 8/5.5-18 geeft een flow-diagram van de gang van zaken.

5.5 Type-beschrijving Flash EEPROM's

FUNCTION (PINS)	MODE					
	Read	Output Disable	Standby and Write Inhibit	Write	Signature Mode	
$\overline{E}$ (20)	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	
$\overline{G}$ (22)	V_{IL}	V_{IH}	X†	V_{IH}	V_{IL}	
A0 (10)	X	X	X	X	V_{IL}	V_{IH}
A9 (24)	X	X	X	X	V_H‡	
$\overline{W}$ (1)	V_{IH}	V_{IH}	X	V_{IL}	V_{IH}	
DQ0-DQ7 (11-13, 15-19)	D_{OUT}	HI-Z	HI-Z	D_{IN}	MFG 97	DEVICE F1

†X = Don't care for $V < V_{CC}$.
‡9 V < V_H < 15 V.

Tabel 8/5.5-7: Selectie van de bedrijfsmodes.



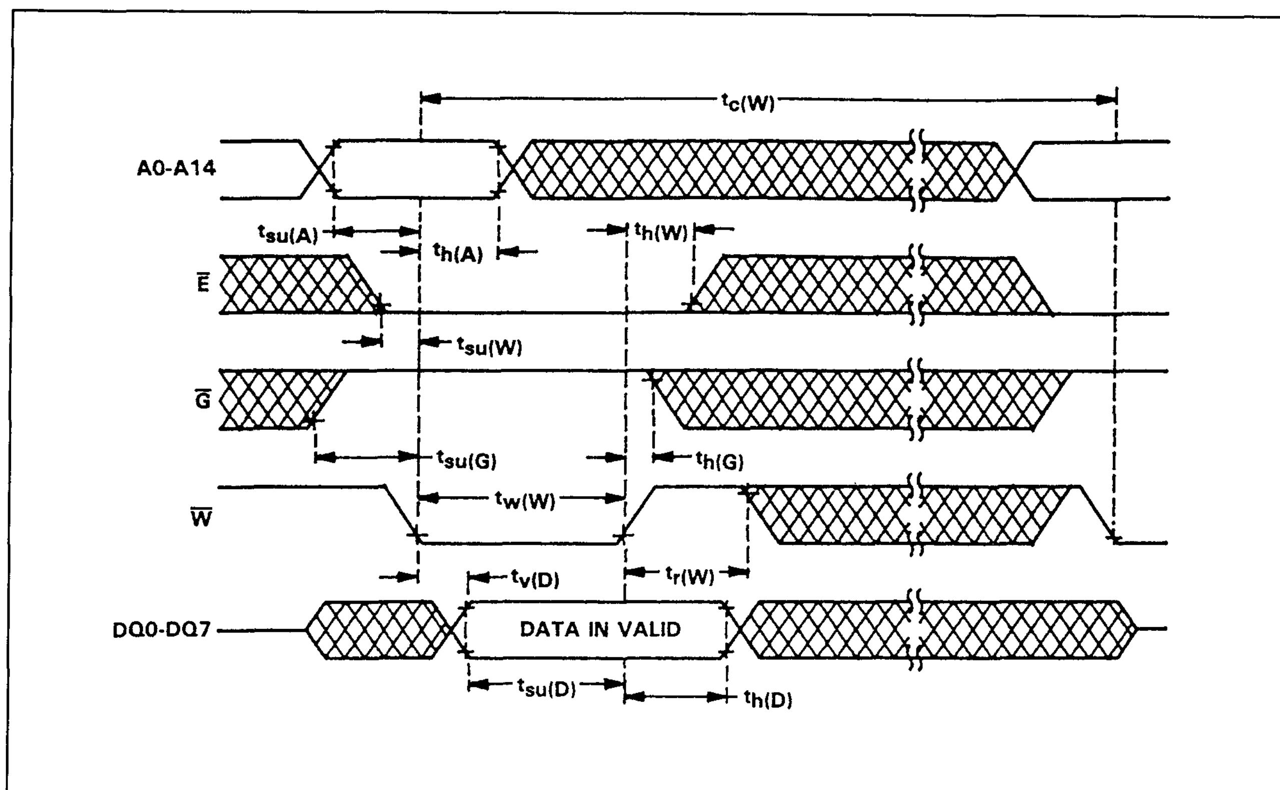
Figuur 8/5.5-15: Timing en golfvormen bij het uitlezen van de 29F256/258/259.

PARAMETER		MIN	TYP‡	MAX	UNIT
$t_{a(A)}$	Access time from address			170	ns
$t_{a(E)}$	Access time from chip enable			170	ns
$t_{en(G)}$	Output enable time from $\overline{G}$			75	ns
$t_{c(R)}$	Read cycle time	170			ns
$t_{d(E)}$	Delay time, chip enable low to output	10		40	ns
$t_{d(G)}$	Delay time, output enable low to output	10		40	ns
$t_{h(E)}$	Hold time, chip enable to hi-z output	10			ns
$t_{h(G)}$	Hold time, output enable to hi-z output	10			ns
$t_{h(D)}$	Hold time, data valid to address	20			ns

‡Typical values are at T_A = 25°C and nominal voltage.

Tabel 8/5.5-8: Schakeltijden bij het uitlezen van de snelste versie (170 ns) van de 29F256/258/259.

5.5 Type-beschrijving Flash EEPROM's



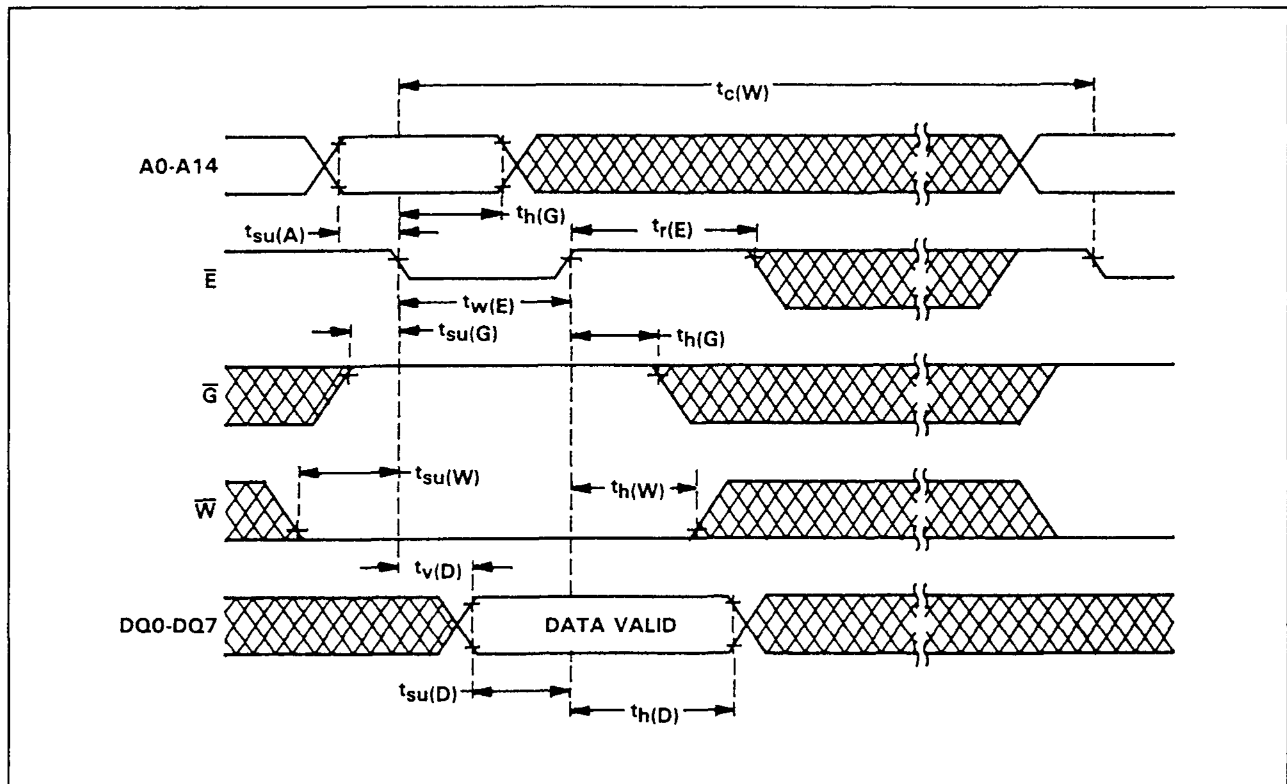
Figuur 8/5.5-16: Golfvormen tijdens een door $\overline{W}$ bestuurde schrijfcyclus.

	PARAMETER	MIN	TYP‡	MAX	UNIT
$t_{c(W)}$	Write cycle time			15	ms
$t_{c(W)B}$	Byte load cycle time	1		100	µs
$t_{su(A)}$	Address setup time	10			ns
$t_{su(W)}$	Write setup time	0			ns
$t_{su(D)}$	Data setup time	80			ns
$t_{su(G)}$	Output enable setup time	10			ns
$t_{h(A)}$	Address hold time	150			ns
$t_{h(W)}$	Write hold time	0			ns
$t_{h(G)}$	Output enable hold time	10			ns
$t_{h(D)}$	Data hold time	10			ns
$t_{w(W)}$	Write pulse duration	200			ns
$t_{r(W)}$	Write high recovery time	800			ns
$t_{rec(W)}$	Write high recovery time in page mode	800			ns
$t_{r(E)}$	Chip enable high recovery time	800			ns
$t_{v(D)}$	Data valid time			300	µs
$t_{w(E)}$	Chip enable pulse duration	200			ns

‡Typical values are at T_A = 25°C and nominal voltage.

Tabel 8/5.5-9: Schakeltijden van de 29F256/258/259.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-17: De timing van het schrijven onder besturing van Ē.

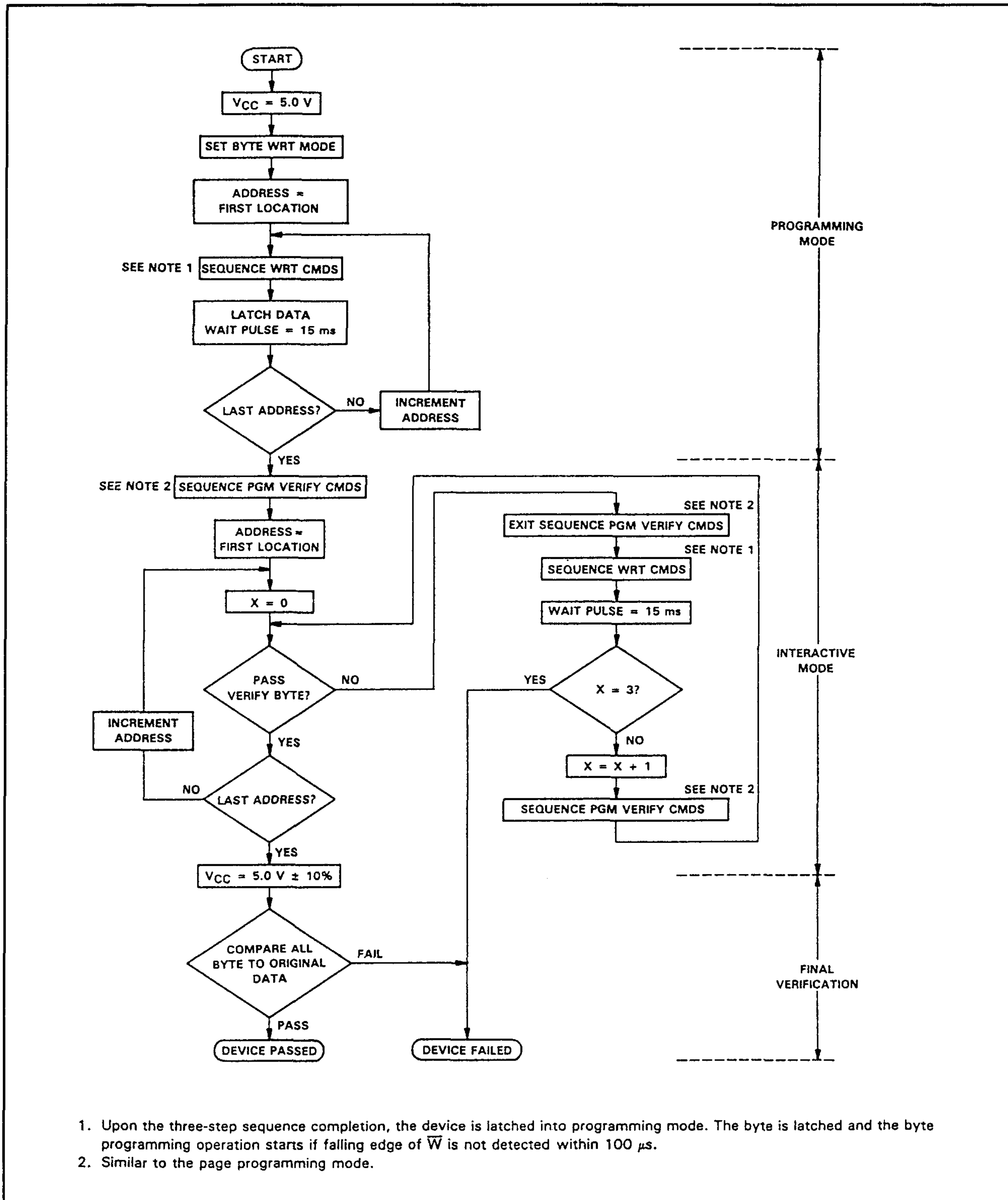
Programmeren per pagina

De pagina-mode van de 29F256, 29F258 en 29F259 stelt de gebruiker in staat om 2 tot 64 bytes tegelijk te programmeren. Deze bytes worden eerst in het interne register geladen en vervolgens automatisch opgeslagen in de geadresseerde geheugenlocaties. De interne programmeer-operatie is binnen 15 ms gereed, onafhankelijk van het aantal bytes.

Tijdens het pagina-programmeren moet het pagina-adres (A6 tot en met A14) gelijk blijven. In figuur 8/5.5-19 is de timing hiervan te zien en in figuur 8/5.5-20 het flow-diagram. Het programmeren per pagina begint op dezelfde wijze als het programmeren per byte. Nadat de eerste byte is geladen kan het geheugen nog één tot 63 opvolgende bytes opnemen. Elke byte-laadcyclus start op de (laatst optredende) dalende flank van W̄ of Ē. Een volgende byte moet binnen 100 μs na de stijgende flank van de vorige byte-laadcyclus geladen worden. Indien een volgende stijgende flank van W̄ niet binnen 100 μs wordt gedetecteerd, begint de interne programmeer-operatie automatisch en worden volgende pogingen om extra bytes te laden genegeerd totdat de operatie is beëindigd.

Merk op dat zowel het programmeren per enkele byte als het automatische pagina-programmeren kan beginnen nadat een geschikte "dummy" reeks bytes is geladen (zie ook "beveiliging tegen onbedoeld schrijven").

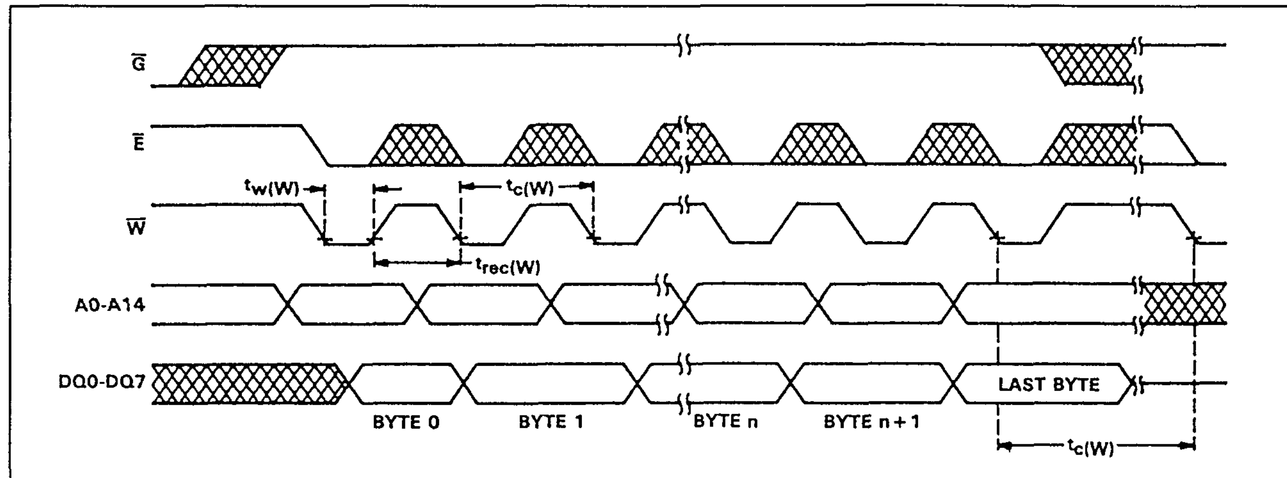
5.5 Type-beschrijving Flash EEPROM's



1. Upon the three-step sequence completion, the device is latched into programming mode. The byte is latched and the byte programming operation starts if falling edge of $\overline{W}$ is not detected within 100 μs.
2. Similar to the page programming mode.

Figuur 8/5.5-18: Flow-diagram van het programmeren per byte.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-19: Golfvormen en schakeltijden bij het automatisch programmeren per pagina.

Data-Polling

Gedurende het programmeren is de data-polling functie vrijgegeven om aan de microcomputer te laten weten dat het geheugen bezig is geprogrammeerd te worden. Alle commando's worden dan genegeerd. Wanneer tijdens het programmeren wordt geprobeerd om een byte te lezen, antwoordt het geheugen met de laatst geladen byte, maar dan met de geïnverteerde waarde op DQ7.

Flash wis-mode

De flash wis-operatie kan met software worden geaktiveerd door een dummy-reeks data/adres-strings te laden. De timing hiervan is dezelfde als van de pagina-mode. Het geheugen detecteert deze bijzondere volgorde en start automatisch de zelf-timing van het wissen (zie figuur 8/5.5-21).

Als de volgorde afwijkt van de gespecificeerde (zie tabel 8/5.5-10) of als de laadcyclus langer duurt dan 100 µs, dan negeert het geheugen deze.

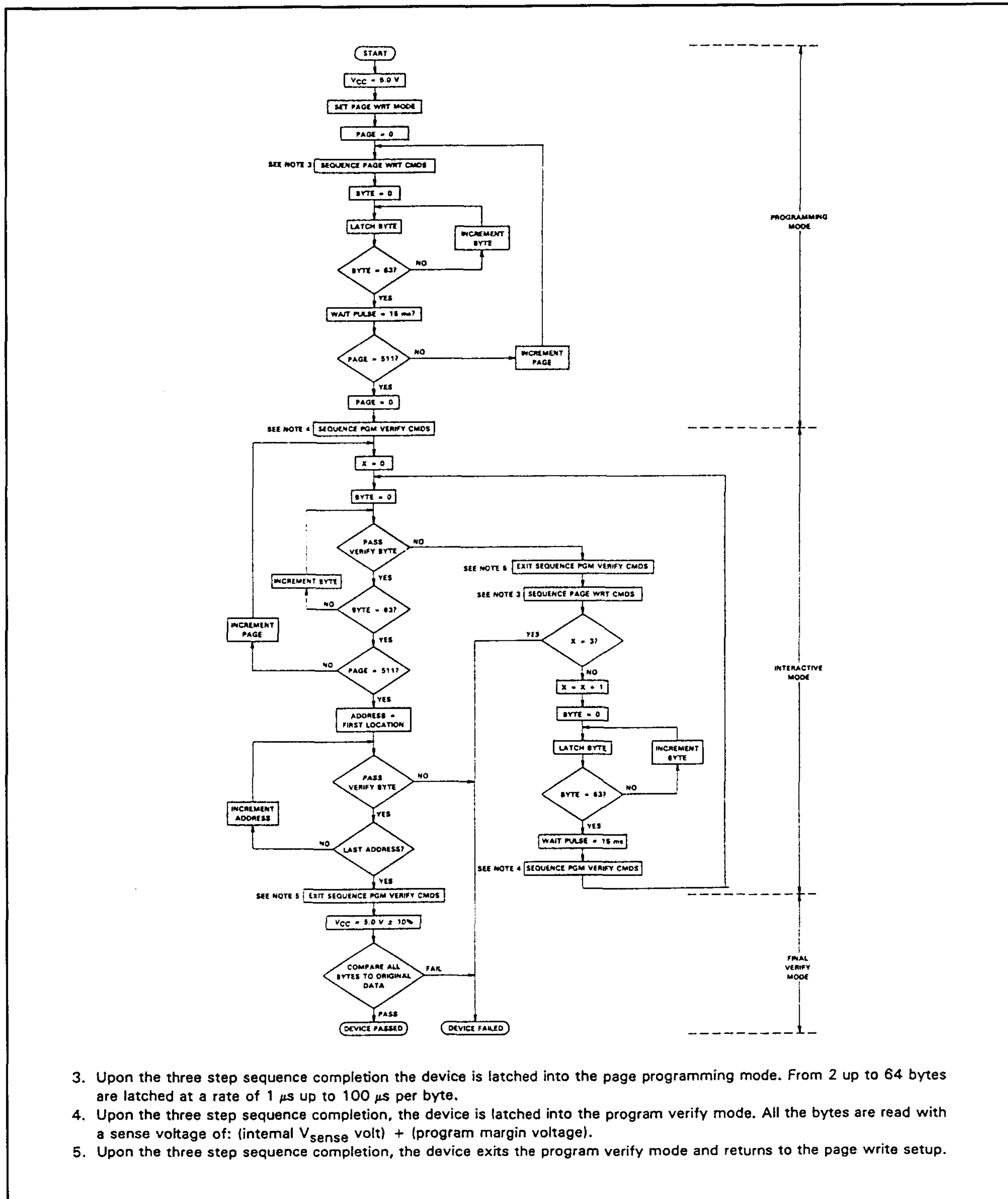
LET OP

Deze volgorde moet liever niet in het echte software-programma worden gebruikt om onbedoeld wissen te voorkomen!

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	80
4	Access Write	5555	AA
5	Access Write	2AAA	55
6	Access Write	5555	10

Tabel 8/5.5-10: Na deze dummy-volgorde begint het flash wissen automatisch.

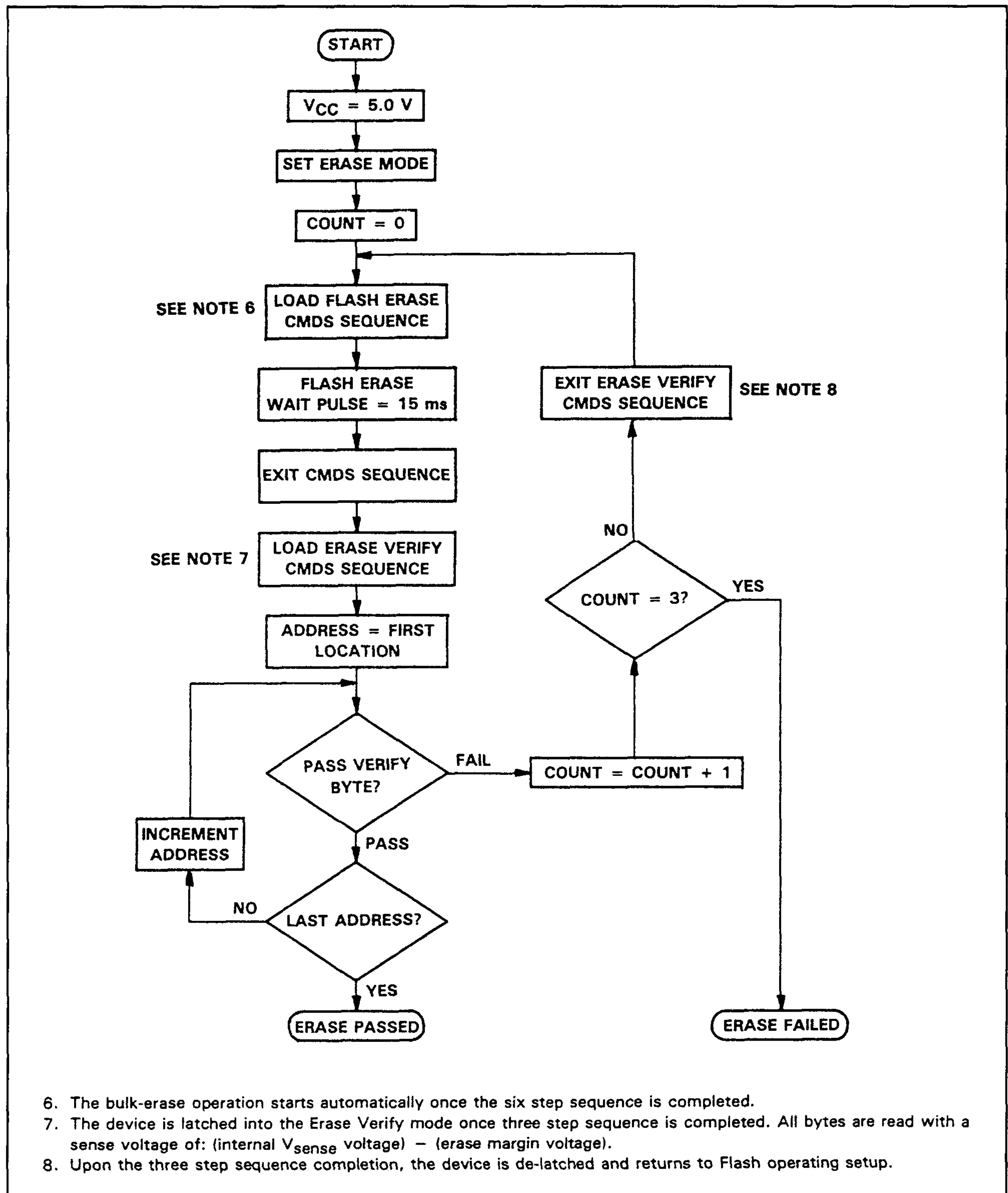
5.5 Type-beschrijving Flash EEPROM's



3. Upon the three step sequence completion the device is latched into the page programming mode. From 2 up to 64 bytes are latched at a rate of 1 µs up to 100 µs per byte.
4. Upon the three step sequence completion, the device is latched into the program verify mode. All the bytes are read with a sense voltage of: (internal V_{sense} volt) + (program margin voltage).
5. Upon the three step sequence completion, the device exits the program verify mode and returns to the page write setup.

Figuur 8/5.5-20: Flow-diagram voor het programmeren per pagina.

5.5 Type-beschrijving Flash EEPROM's



6. The bulk-erase operation starts automatically once the six step sequence is completed.
7. The device is latched into the Erase Verify mode once three step sequence is completed. All bytes are read with a sense voltage of: (internal V_{sense} voltage) – (erase margin voltage).
8. Upon the three step sequence completion, the device is de-latched and returns to Flash operating setup.

Figuur 8/5.5-21: Flow-diagram van het automatisch flash wissen.

5.5 Type-beschrijving Flash EEPROM's

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	90

Tabel 8/5.5-11: Software data/adres-strings voor het initialiseren van de signature-mode.

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	FO

Tabel 8/5.5-12: Software data/adres-strings voor het verlaten van de signature-mode.

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	BO

Tabel 8/5.5-13: Software data/adres-strings voor het verlaten van een willekeurige bedrijfsmode en daarna automatisch betreden van de programmeer-verificatie mode.

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	DO

Tabel 8/5.5-14: Software volgorde voor het binnenkomen van de wis-verificatie mode.

STEP	MODE	A14-A0	DQ7-DQ0
1	Access Write	5555	AA
2	Access Write	2AAA	55
3	Access Write	5555	A0
4	Page Program	page address + 1st byte address up to the 64th	1st data up to the 64th

Tabel 8/5.5-15: Software volgorde bij beveiliging tegen onbedoeld schrijven.

Identificatie

De signature-mode geeft toegang tot twee bytes in een reserve-rij. Eén byte beschrijft de fabrikantencode, de andere de device-code. De signature-mode komt men binnen door middel van een hardware of een software operatie. De hardware toegangsmode is te zien in tabel 8/5.5-7. Wanneer het geheugen in de leesmode komt terwijl op pen 9 een spanning tussen 9 V en 15 V wordt gezet, verschijnt de fabrikantencode op de I/O-pennen als A0 = LAAG is. Bij A0 = HOOG verschijnt de device-code. Met de informatie van deze twee bytes kan de juiste programmeeralgorithme worden gekozen. In tabel 8/5.5-11 staan de adres/data-strings voor het inleiden van de identificatie, terwijl tabel 8/5.5-12 de volgorde van het verlaten hiervan bevat.

Programmeer-verificatie mode

De programmeur kan met de program-verify mode controleren of het programmeren gelukt is. Door middel van de data/adres-strings in tabel 8/5.5-13 kan elke willekeurige bedrijfsmode worden verlaten, waarna het geheugen automatisch in de programmeer-verificatie is gelatcht. Alle bytes worden nu uitgelezen met een sense-spanning van: (interne V_{sense}) + (programmeerspanningsmarge). De drie toegangsstappen (steps 1 tot en met 3) worden alleen gebruikt om in de program-verify mode te komen (er wordt geen echte data in het geheugen geschreven). Ook deze mode wordt weer verlaten met de adres/data-strings van tabel 8/5.5-12.

Wis-verificatie mode

De erase-verify mode stelt de programmeur in staat om te controleren of het wissen werkelijk (en correct) heeft plaatsgevonden. De wis-verificatie mode wordt bereikt na het uitvoeren van de adres/data-string van tabel 8/5.5-14.
Alle bytes worden hierna uitgelezen met een sense-spanning van:
(interne V_{sense}) + (wisspannings-marge)
Deze bedrijfsmode wordt ook weer verlaten met de adres/data-strings van tabel 8/5.5-12.

Beveiliging tegen onbedoeld schrijven

Het geheugen is beveiligd tegen schrijfcommando's gedurende opkomen en wegvallen van de voedingsspanning. De beveiliging wordt alleen verlaten als V_{cc} hoger is dan 3 V. Bovendien kan het geheugen gebruik maken van een hardware en een software beveiliging tegen per ongeluk schrijven, zelfs als V_{cc} stabiel is. De hardware beveiliging bestaat uit "storingsongevoeligheid" voor pulsen op $\overline{W}$. Zijn de schrijfpulsen korter dan 20 ns dan kan een programmeercyclus niet gestart worden. Bovendien treedt een logisch sperren op wanneer niet tegelijk aan de timing-eisen van $\overline{W}$ LAAG, $\overline{E}$ LAAG en $\overline{G}$ HOOG wordt voldaan. De software-beveiliging is zodanig dat geen programmeer-operatie is toegestaan, tenzij eerst drie dummy schrijf-operaties zijn uitgevoerd (zie tabel 8/5.5-15).
Wanneer deze data-adres-strings niet worden geladen vóór een programmeeroperatie of wanneer het laden langer duurt dan 100 µs, dan negeert het geheugen de programmeercommando's.

Overige elektrische kenmerken

De overige elektrische karakteristieken van het Texas Instruments-type TMS29F256 (ook TMS29F258 en TMS29F259) zijn opgenomen in de tabellen 8/5.5-16 tot en met 8/5.5-19.

Supply voltage range, V_{CC} (see Note 9) . . . . −0.6 V to 7 V
Input voltage range: All except $\overline{G}$ and A9 . . . . −0.6 to 6.5 V
$\overline{G}$ and A9 . . . . −0.6 V to 15 V
Output voltage (see Note 9) . . . . −0.6 V to V_{CC} + 0.6 V
Operating free-air temperature range . . . . 0°C to 70°C
Storage temperature range . . . . −65°C to 125°C

Tabel 8/5.5-16: Maximaal toegelaten waarden.

			MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	V
V_{IH}	High-level input voltage	TTL	2		V_{CC}+1	V
		CMOS	V_{CC}−0.2		V_{CC}+0.2	V
V_{IL}	Low-level input voltage	TTL	−0.5		0.8	V
		CMOS	GND−0.2		GND+0.2	V
T_A	Operating free-air temperature		0		70	°C

Tabel 8/5.5-17: Aanbevolen bedrijfscondities.

5.5 Type-beschrijving Flash EEPROM's

PARAMETER		TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
C_i	Input capacitance	V_I = 0 V, f = 1 MHz		4	6	pF
C_o	Output capacitance	V_O = 0 V, f = 1 MHz		8	12	pF

‡Typical values are T_A = 25 °C and nominal voltage.

Tabel 8/5.5-18: Capaciteiten bij 1 MHz.

PARAMETER			TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
V_{OH}	High-level output voltage (except R/$\overline{B}$)		I_{OH} = −400 μA	2.4			V
V_{OL}	Low-level output voltage (included R/$\overline{B}$)		I_{OL} = 2.1 mA			0.4	V
I_I	Input current (leakage)	All except A9, $\overline{G}$	V_I = 0 V to 5.5 V			±10	μA
		A9, $\overline{G}$	V_I = 0 V to 15 V			±50	μA
I_O	Output current (leakage)		V_O = 0.1 V to V_{CC}			±10	μA
I_{CC1}	V_{CC} supply current (standby)	TTL-input level	V_{CC} = 5.5 V, $\overline{E}$ = V_{IH}		2.0	3.5	mA
		CMOS-input level	V_{CC} = 5.5 V, $\overline{E}$ = V_{CC}		1.5	2.5	mA
I_{CC2}	V_{CC} average supply current (active read)		t_{cycle} = minimum cycle time, outputs open			15	mA
I_{CC3}	V_{CC} average supply current (active write)		t_{cycle} = 15 ms			10	mA

‡Typical values are at T_A = 25 °C and nominal voltages.

Tabel 8/5.5-19: Gelijkspanningskarakteristieken van de 29F256/258/259.

29F010

128 k x 8 bit CMOS

De 29F010 is een 1 MB flash geheugen, georganiseerd in 128 k x 8 bit. De 29F010 wordt geleverd in een 32-pens behuizing die "upgrading" tot 4 MB met dezelfde aansluitingen mogelijk maakt.

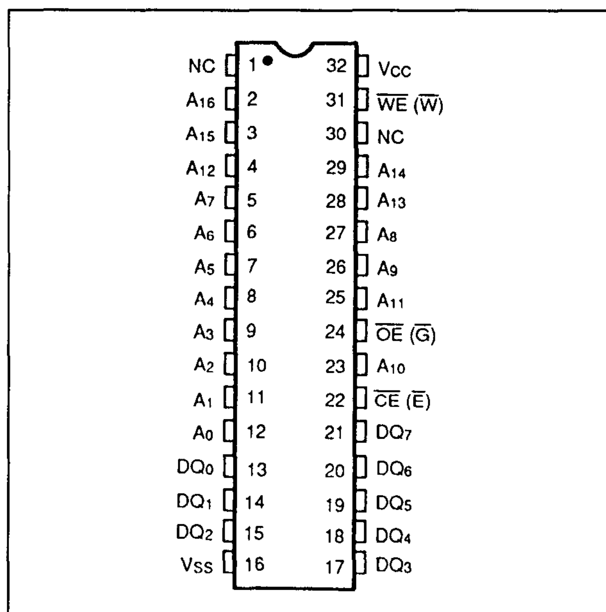
Het geheugen kan in het systeem worden geprogrammeerd met een enkele 5 V voedingsspanning (er is geen 12 V nodig) of in een standaard EPROM programmeer-apparaat. Door de hoge snelheid (toegangstijden tussen 45 en 120 ns) kan de 29F010 door snelle microprocessoren worden gebruikt zonder dat er wait-states optreden. Om busconflicten te vermijden is het geheugen uitgerust met aparte Chip Enable ($\overline{CE}$), Write Enable ($\overline{WE}$) en Output Enable ($\overline{OE}$) stuuringangen. De 29F010 is qua aansluitingen en commandoset volledig compatibel met 1 MB JEDEC-standaard EEPROM's. De commando's worden met gewone schrijfoperaties in het Command Register geplaatst, waarna de inhouden van de registers dienen als besturing voor een interne state-machine die voor het eigenlijke wissen en programmeren zorgt.

Specificaties

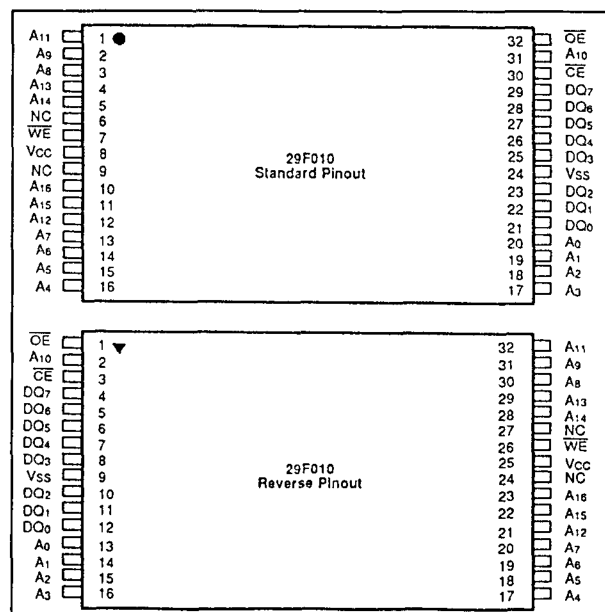
De 29F010 heeft de volgende algemene kenmerken:

- 131.072 x 8 bit organisatie
- enkele voedingsspanning 5 V +/-10 % (ook voor wissen en programmeren)
- Low power CMOS: 10 mA lezen, 30 mA wissen/programmeren, 25 μA standby
- toegangstijden: 45, 55, 70, 90 of 120 ns
- sector wis-architectuur
- ingebedde wis-algorithmen (automatisch pre-programmeren en wissen van chip of sector)
- ingebedde programmeer-algorithmen (automatisch programmeren en verifiëren van data)

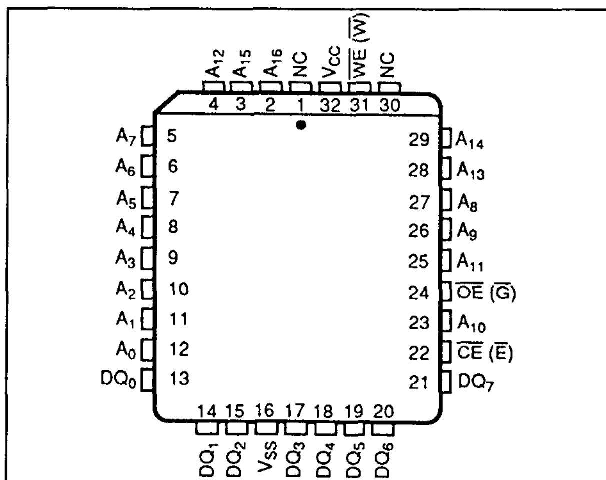
5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-22: Aansluitingen van de 32-pens DIL-versie van de 29F010.



Figuur 8/5.5-24: Boven: de standaard TSOP-uitvoering van de 29F010.
Onder: de geïnverteerde TSOP-versie (Thin Small Outline Package).



Figuur 8/5.5-23: De 32-pens Chip Carrier (LCC/PLCC) versie van de 29F010.

- data-polling en toggle-bit detectie van einde programmeren of wissen
- minimaal 100.000 wis/programmeercycli
- TTL-, NMOS- en CMOS-compatibel
- Behuizingen: 32-pens plastic of ceramische DIL, TSOP of PLCC/LCC (figuur 8/5.5-22, -23 en -24)
- fabrikanten:
  AMD: Am29F010
  Texas Instruments: TMS29F010

Werking

Aan de hand van het blokschema (figuur 8/5.5-26) en de commandotabel (tabel 8/5.5-20) zullen stap voor stap alle operaties worden behandeld.

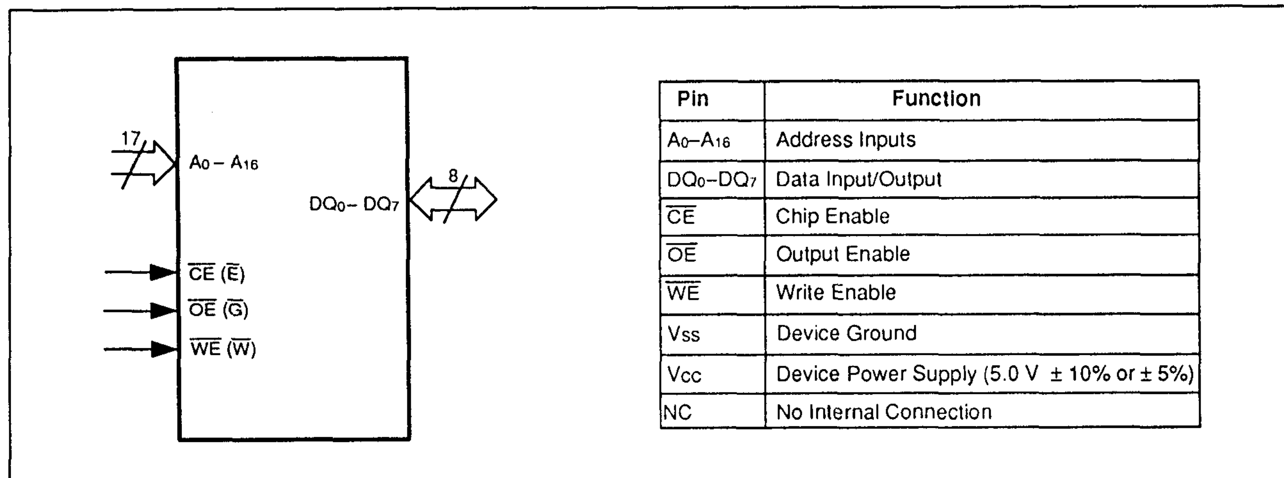
Read

Data is alleen beschikbaar aan de uitgangen als zowel $\overline{OE}$ als $\overline{CE}$ LAAG zijn.
Bovendien moet $\overline{WE}$ dan logisch HOOG zijn.
De databus bevindt zich in een hoog-impedante toestand als $\overline{OE}$ en/of $\overline{CE}$ HOOG is.

Standby

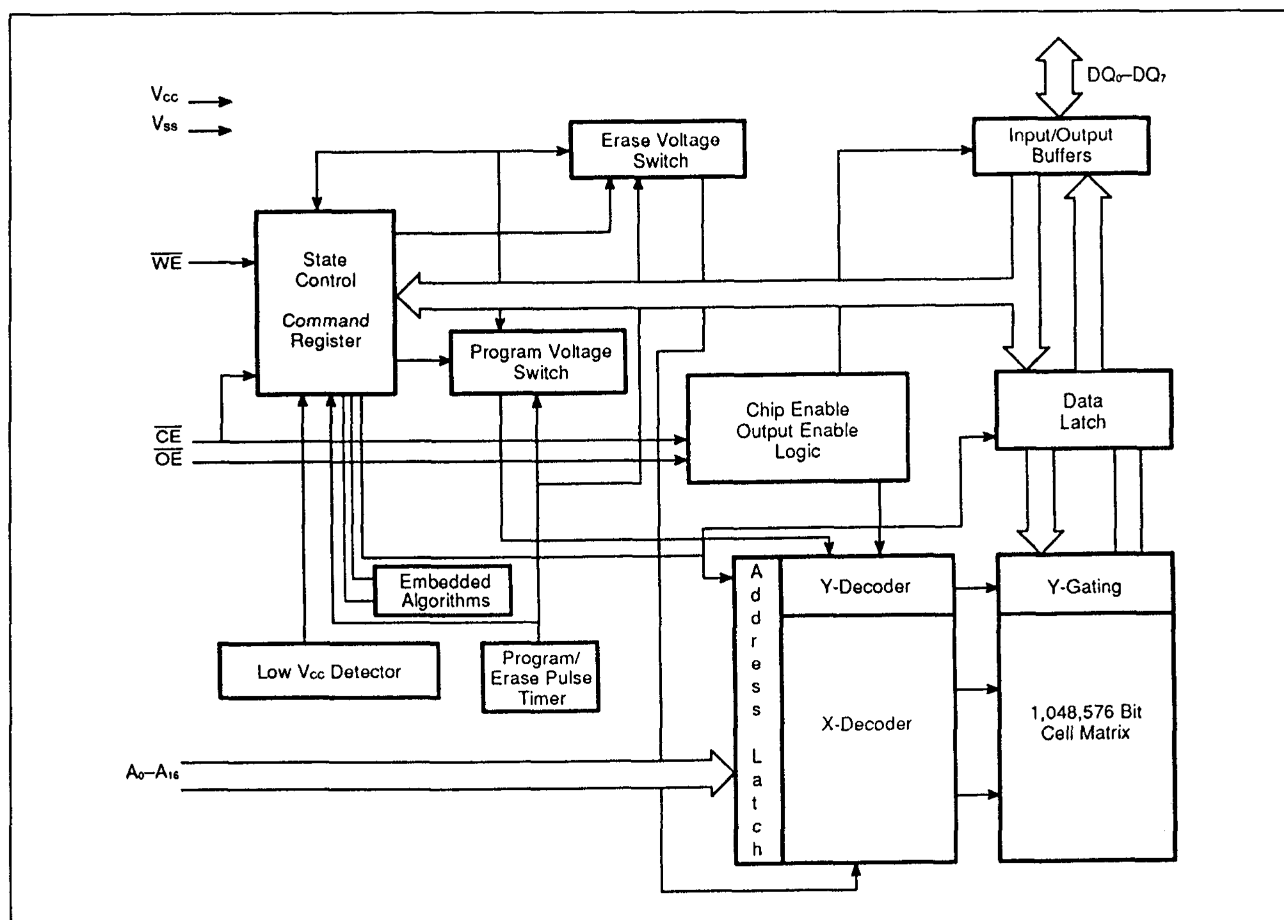
De 29F010 heeft twee standby-modes: de CMOS standby-mode, waarbij $\overline{CE}$ op 5 V +/-0,5 V wordt gehouden en de TTL standby-mode met $\overline{CE}$ = logisch HOOG.

5.5 Type-beschrijving Flash EEPROM's



Pin	Function
A_0–A_{16}	Address Inputs
DQ_0–DQ_7	Data Input/Output
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
Vss	Device Ground
Vcc	Device Power Supply (5.0 V ± 10% or ± 5%)
NC	No Internal Connection

Figuur 8/5.5-25: Vereenvoudigd logisch symbool en aansluitingen van de 29F010.



Figuur 8/5.5-26: Functioneel blokschema van de 29F010.

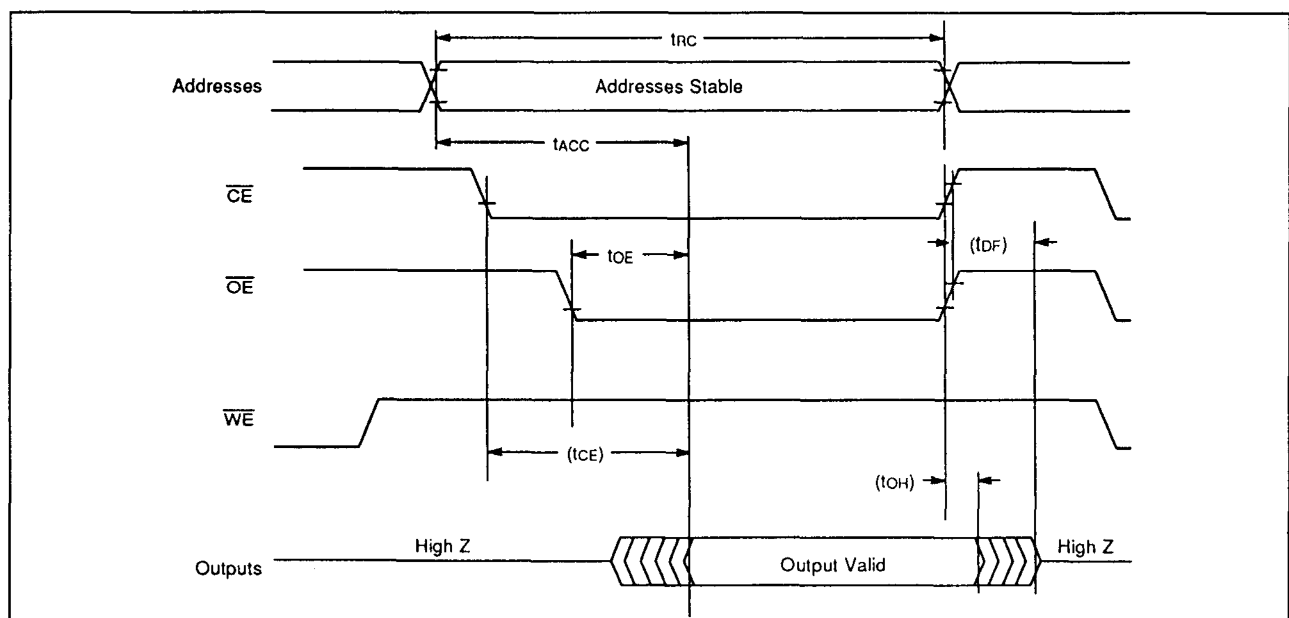
In het eerste geval wordt minder dan 100 µA opgenomen, terwijl in het tweede geval de stroom ongeveer 1 mA bedraagt. In de standby-mode bevinden de uitgangen zich in de hoog-impedante toestand, onafhankelijk van $\overline{OE}$.

5.5 Type-beschrijving Flash EEPROM's

Operation	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A_0	A_1	A_9	I/O
Auto-Select Manufacturer Code (1)	L	L	H	L	L	V_{ID}	Code
Auto-Select Device Code (1)	L	L	H	H	L	V_{ID}	Code
Read	L	L	H	A_0	A_1	A_9	D_{OUT}
Standby	H	X	X	X	X	X	HIGH Z
Output Disable	L	H	H	X	X	X	HIGH Z
Write	L	H	L	A_0	A_1	A_9	D_{IN} (2)
Enable Sector Protect	L	V_{ID}	L	X	X	V_{ID}	X
Verify Sector Protect (3)	L	L	H	L	H	V_{ID}	Code

Legend:
L = V_{IL}, H = V_{IH}, X = Don't Care.

Tabel 8/5.5-20: *Mogelijke bus-operaties met de 29F010.*



Figuur 8/5.5-27: Timing en golfvormen bij het uitlezen van de 29F010.

Output Disable

Door $\overline{OE}$ op een logisch HOOG niveau te brengen worden de uitgangen ook in de hoog-impedante toestand gezet.

Auto Select

In de autoselect-mode (of intelligent identifier-mode) kan een binaire code worden uitgelezen. Deze mode is bedoeld voor automatische programmeer-apparatuur om de juiste programmeer-algorithme te gebruiken.

Deze bedrijfsmode wordt geaktiveerd door V_{ID} (11,5 V tot 12,5 V) op adrespen A9 te zetten. Hierdoor kunnen twee identificatiebytes worden uitgelezen door A0 beurtelings LAAG en HOOG te maken met A1 = LAAG (behalve A0 en A1 doen de overige adreslijnen niet mee).
Met A0 = LAAG verschijnt de fabrikantencode (AMD: 01H) en met A0 = HOOG kan de device-code (Am29F010: 20H) worden uitgelezen (zie ook tabel 8/5.5-21).

5.5 Type-beschrijving Flash EEPROM's

Type	A_{16}	A_{15}	A_{14}	A_1	A_0	Code (HEX)	DQ_7	DQ_6	DQ_5	DQ_4	DQ_3	DQ_2	DQ_1	DQ_0
Manufacture Code	X	X	X	V_{IL}	V_{IL}	01H	0	0	0	0	0	0	0	1
Am29F010 Device Code	X	X	X	V_{IL}	V_{IH}	20H	0	0	1	0	0	0	0	0
Sector Protection	Sector Addresses			V_{IH}	V_{IL}	01H*	0	0	0	0	0	0	0	1

*Outputs 01H at protected sector addresses

Tabel 8/5.5-21: Autoselect codes van de (AMD) 29F010.

Het is overigens ook mogelijk deze codes via het Command Register uit te lezen zonder dat de hoge spanning op pen A9 wordt gezet. Dat gebeurt wanneer de 29F010 in een systeem wordt gewist of geprogrammeerd en een bepaalde commando-volgorde wordt uitgevoerd (zie tabel 8/5.5-23: Autoselect).

Write

Het wissen en programmeren geschiedt met behulp van het Command Register. De inhouden van dit register dienen als besturingen van de interne state-machine. De werking van het geheugen wordt bepaald door de uitgangssignalen van de state machine. Het Command Register neemt zelf geen adresseerbare geheugenlocatie in. Het register is een latch die wordt gebruikt voor het opslaan van commando's plus de adres- en data-informatie die voor de uitvoering van het commando nodig zijn. Er wordt in het Command Register geschreven door $\overline{WE}$ LAAG te maken, terwijl $\overline{CE}$ LAAG en $\overline{OE}$ HOOG is. De adressen worden op de dalende flank van $\overline{WE}$ gelatcht en data op de stijgende flank van de $\overline{WE}$-puls.

Sector beveiliging

De 29F010 beschikt over een hardware sector beveiliging waarmee zowel programmeren als wissen in een aantal sectoren (0 tot 7) wordt voorkomen. Om deze mode te aktiveren moet V_{ID} op A9 en $\overline{OE}$ worden gezet. Hierbij moet met de adreslijnen A16, A15 en A14 de gewenste sector worden ingesteld. In tabel 8/5.5-22 zijn de sector-adressen van elk van de acht individuele sectoren te zien. Het programmeren van de beveiligingscircuits begint op de dalende flank van de $\overline{WE}$-puls en eindigt op de stijgende flank ervan. Gedurende de $\overline{WE}$-puls moet het sectoradres constant blijven. Om te controleren of de sector-beveiliging werkelijk is geprogrammeerd moet V_{ID} op A9 worden gezet met $\overline{CE}$, $\overline{OE}$ en A0 LAAG en $\overline{WE}$ en A1 HOOG (zie ook tabel 8/5.5-20). Door het geheugen op een bepaald sector-adres uit te lezen (met A16, A15 en A14) komt voor een beveiligde sector 01H op de data-uitgangen (DQ0 tot en met DQ7) te staan. Is de sector niet beveiligd, dan verschijnt 00H.

	A_{16}	A_{15}	A_{14}	Addr Range
SA_0	0	0	0	00000h-03FFFh
SA_1	0	0	1	04000h-07FFFh
SA_2	0	1	0	08000h-0BFFFh
SA_3	0	1	1	0C000h-0FFFFh
SA_4	1	0	0	10000h-13FFFh
SA_5	1	0	1	14000h-17FFFh
SA_6	1	1	0	18000h-1BFFFh
SA_7	1	1	1	1C000h-1FFFFh

Tabel 8/5.5-22: Sector adressen.

Het is ook mogelijk om in een systeem te controleren of een sector beveiligd is door het autoselect commando te schrijven. Door een lees-operatie op een bepaald sectoradres (A16, A15, A14) uit te voeren met A1 HOOG en A0 LAAG (de overige adressen doen niet ter zake) verschijnt 01H op de datalijnen als die sector beveiligd is (zie ook tabel 8/5.5-21).

5.5 Type-beschrijving Flash EEPROM's

Command Sequence	Bus Write Cycles Req'd	First Bus Write Cycle		Second Bus Write Cycle		Third Bus Write Cycle		Fourth Bus Read/Write Cycle		Fifth Bus Write Cycle		Sixth Bus Write Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read/Reset	4	5555H	AAH	2AAAH	55H	5555H	F0H	RA	RD				
Autoselect	4	5555H	AAH	2AAAH	55H	5555H	90H	00H/01H	01H/20H				
Byte Program	4	5555H	AAH	2AAAH	55H	5555H	A0H	PA	PD				
Chip Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	5555H	10H
Sector Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	SA	30H

Tabel 8/5.5-23: Definities van commando's voor de 29F010.

Definities van de commando's

Door specifieke adres/data reeksen in het Command Register te schrijven kunnen bepaalde operaties worden geselecteerd. Deze zijn in tabel 8/5.5-23 opgenomen.

Read/Reset Commando

De lees- of reset-operatie begint met het schrijven van de read/reset command-reeks in het Command Register. Door middel van leescycli wordt array-data uit het geheugen gehaald. De 29F010 blijft in de leesmode staan totdat de inhoud van het Command Register wordt gewijzigd. Bij het aanzetten van de voedingsspanning komt het geheugen automatisch in de read/reset toestand. In dat geval is dus geen commando-reeks nodig om data te kunnen lezen.

Autoselect Commando

Flash geheugens zijn bedoeld voor gebruik bij systemen waarbij de CPU de inhoud van het geheugen verandert. Daarom moeten fabrikanten- en typecode toegankelijk zijn terwijl het geheugen in het doelsysteem is opgenomen. PROM programmeerapparaten bereiken de identificatiecodes gewoonlijk door A9 op een hoge spanning te brengen. Het multiplexen van hoge spanningen op de adreslijnen is echter meestal niet gewenst.
Op de 29F010 kan naast de traditionele PROM programmeer methodologie ook een autoselect operatie worden uitgevoerd. Deze operatie wordt ingeleid door de autoselect commando reeks in het Command Register te schrijven. Na het schrijven van het commando levert een leescylus op adres XXX0H de fabrikantencode 01H op. Lezen op adres XXX1H heeft de typecode 20H tot gevolg (zie ook tabel 8/5.5-21). Een leescyclus op adres XXX2H levert informatie op over welke sectoren beveiligd zijn. Beide identificatie-codes hebben oneven pariteit, waarbij de MSB (DQ7) als pariteitsbit werkt. Om de operatie te beëindigen moet de read/reset volgorde naar het register worden geschreven.

Byte programmeren

Het geheugen wordt byte-voor-byte geprogrammeerd. Voor het programmeren zijn vier buscycli nodig. Er zijn twee "unlock" schrijfcycli die worden gevolgd door het program-set-up commando en data schrijfcyli. De adressen worden gelatcht op de dalende flank van $\overline{WE}$, terwijl de data wordt gelatcht op de stijgende flank van $\overline{WE}$ en dan begint het programmeren. Na het uitvoeren van de commando-volgorde voor de ingebedde programma-algorithme (Embedded P.A.) behoeft het systeem geen verdere besturingen of timingen te leveren. De 29F010 voorziet zichzelf van de juiste inwendig gegenereerde programmeerpulsen en verificatie. De automatische programmeer-operatie is klaar als de data op DQ7 gelijk is aan de data die naar dit bit werd geschreven, waarna wordt teruggekeerd naar de leesmode.
Op de lokatie die geprogrammeerd wordt moet $\overline{Data}$-polling worden uitgevoerd. Het programmeren is toegestaan in elke willekeurige adresvolgorde en over de sector-

5.5 Type-beschrijving Flash EEPROM's

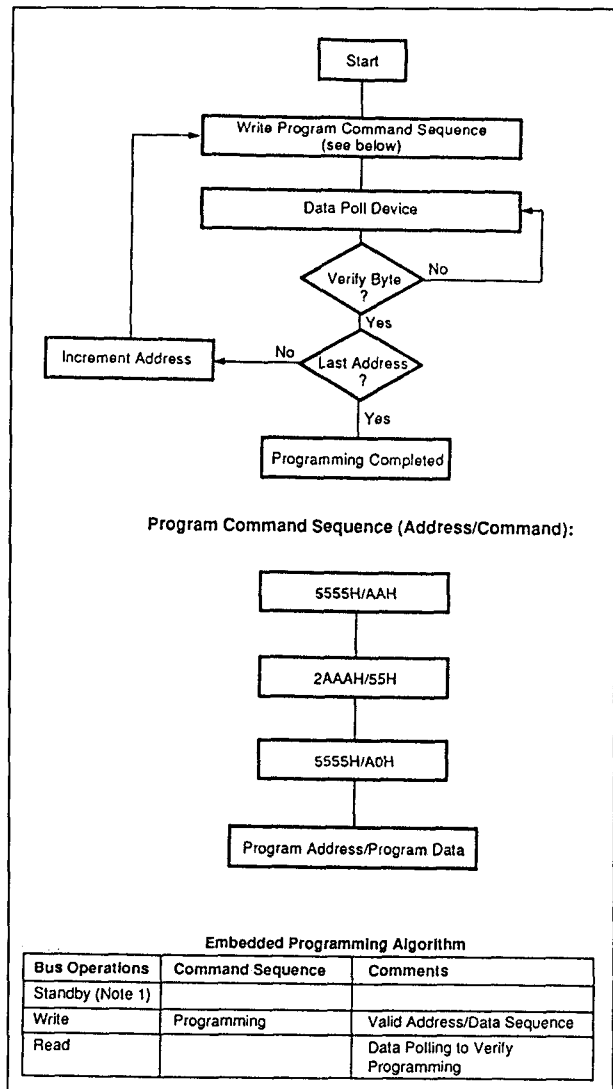
grenzen. In figuur 8/5.5-28 is de Embedded Programming Algorithm te zien en in figuur 8/5.5-29 de bijbehorende timing.

Chip Erase

Het wissen van het complete geheugen (chip erase) is een operatie die zes buscycli duurt. Er zijn twee "unlock" schrijfcycli, gevolgd door het "set-up" commando. Na nog eens twee unlock schrijfcycli volgt dan het chip erase commando. Voorafgaande aan het wissen van de chip behoeft het geheugen niet door de gebruiker geprogrammeerd te worden. Na uitvoering van de commando-reeks voor de Embedded Program Algorithm programmeert en verifieert de 29F010 automatisch het gehele geheugen naar allemaal nullen, waarna het elektrisch wissen volgt. Deze handelingen worden uitgevoerd zonder dat daar besturingssignalen of timingen voor nodig zijn. Het automatisch wissen begint op de stijgende flank van de laatste $\overline{WE}$-puls van de commando-reeks en eindigt als de data op DQ7 "1" is, waarna het geheugen in de leesmode komt.
In figuur 8/5.5-30 is de Embedded Erase Algorithm te zien en in figuur 8/5.5-31 de bijbehorende timing.

Sector Erase

Ook het wissen per sector is een operatie waarvoor zes buscycli nodig zijn. Na twee "unlock" schrijfcycli volgt het "set-up" commando. Na nog eens twee unlock schrijfcycli volgt het sector erase commando. Het sector-adres (alle adreslocaties binnen de gewenste sector) wordt gelatcht op de dalende flank van $\overline{WE}$, terwijl het commando (data) wordt gelatcht op de stijgende flank van $\overline{WE}$. Na een time-out (blokkeertijd) van 100 µs na de stijgende flank van het laatste sector erase-commando (30H) begint het wissen van de sector. Na elkaar kunnen meerdere sectoren worden gewist door de hiervoor beschreven zes buscycli uit te voeren. Wanneer in de 100 µs time-out periode een ander commando dan sector erase wordt geschreven, reset de 29F010 naar de leesmode en wordt de voorafgaande commando-reeks genegeerd.
Ook voorafgaande aan het wissen van een sector behoeft het geheugen niet geprogrammeerd te worden. Het geheugen programmeert alle geheugenlocaties in de te wissen sector(en) automatisch vóór het elektrisch wissen. De overige sectoren worden hierdoor niet beïnvloed. Deze operaties worden automatisch uitgevoerd zonder besturingssignalen of timingen.

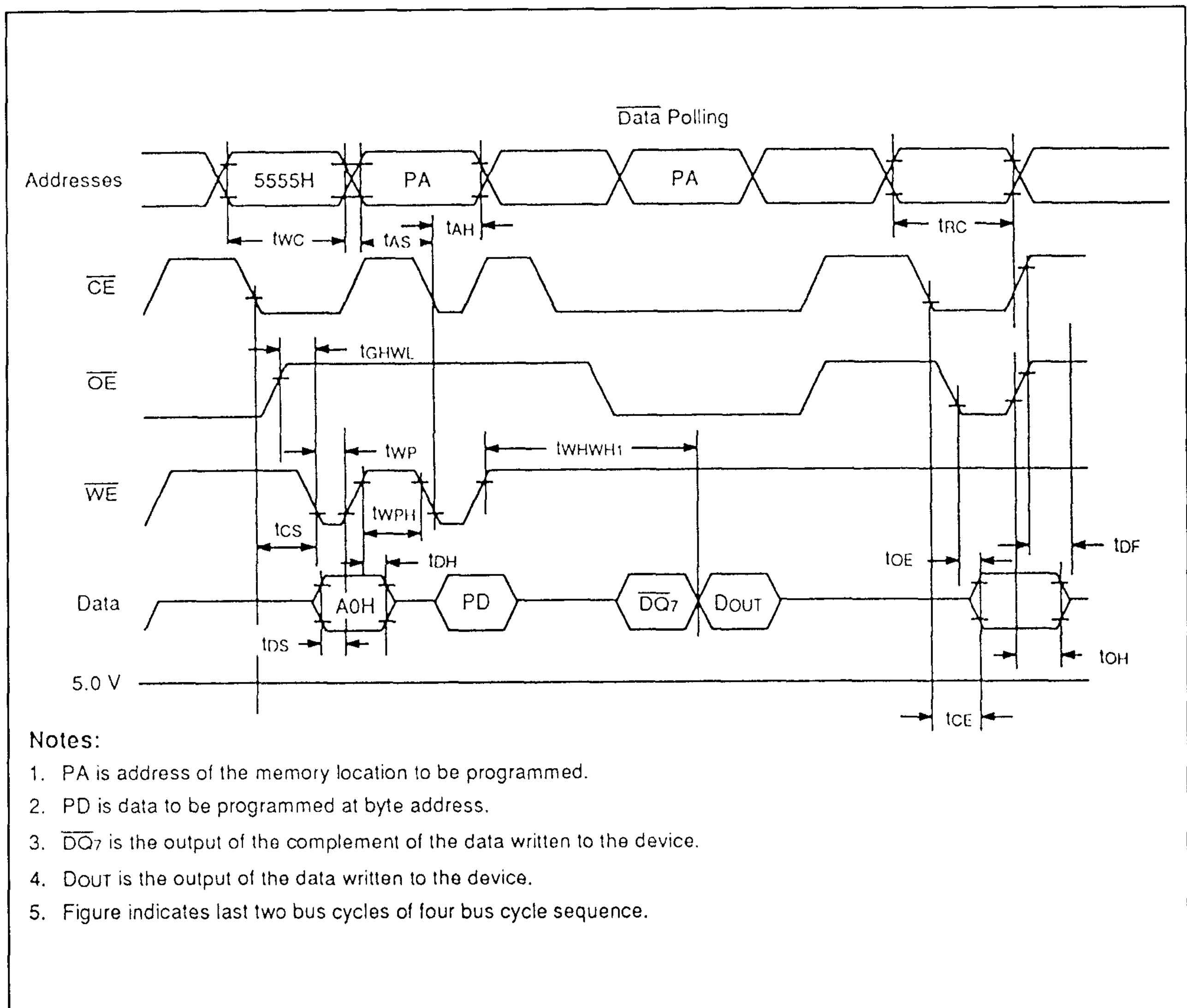


Embedded Programming Algorithm

Bus Operations	Command Sequence	Comments
Standby (Note 1)		
Write	Programming	Valid Address/Data Sequence
Read		Data Polling to Verify Programming

Figuur 8/5.5-28: De ingebedde programmeer-algorithme.

5.5 Type-beschrijving Flash EEPROM's



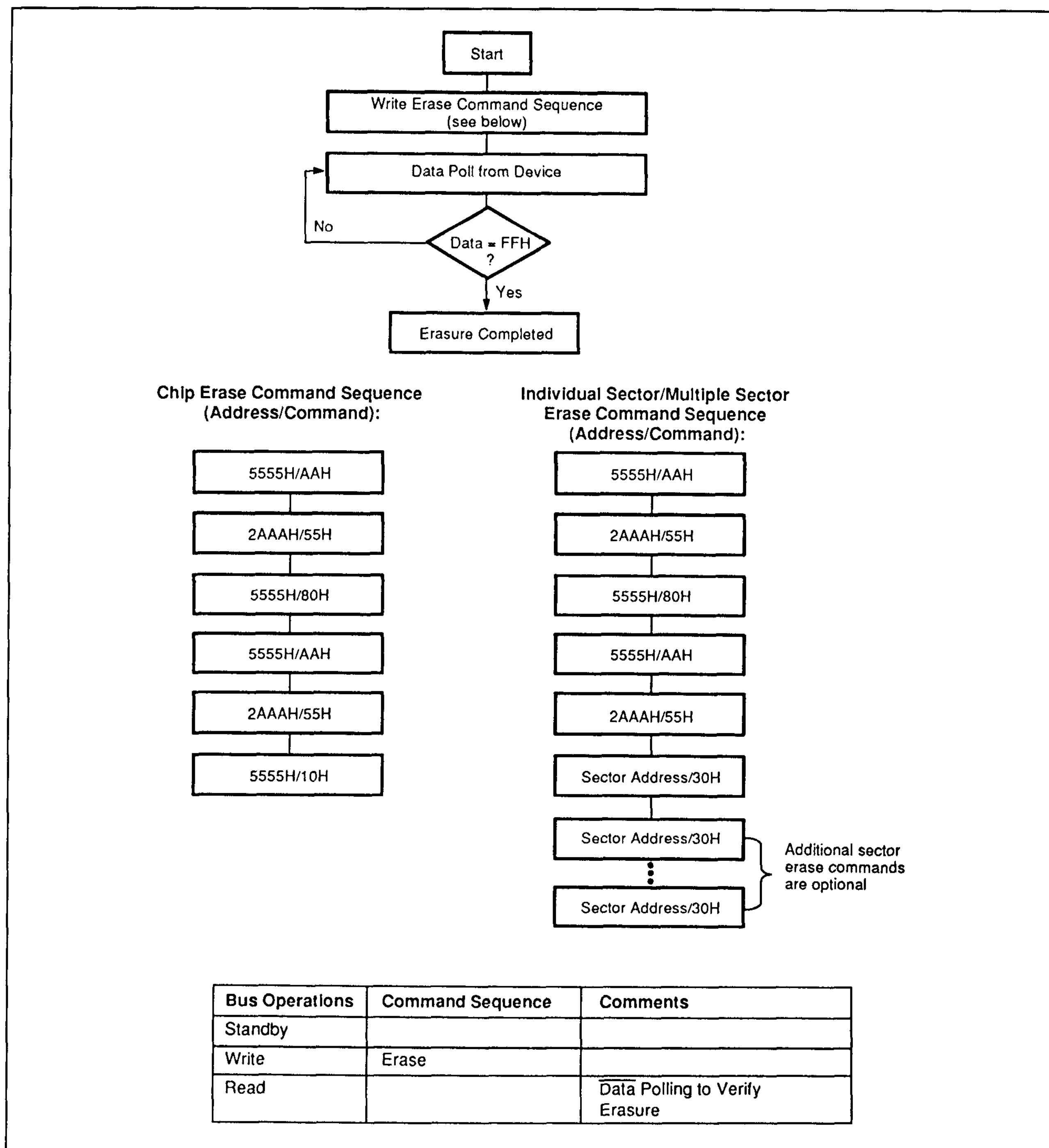
Figuur 8/5.5-29: **Golfvormen en timing bij het programmeren van de 29F010.**

Data-Polling (DQ7)
Bij de 29F010 kan Data-polling worden toegepast als middel om aan het computersysteem te signaleren dat de lopende ingebedde algoritmen nog bezig of klaar zijn. Tijdens de ingebedde programmeer-algorithme levert een poging tot uitlezen van het geheugen de omgekeerde data van de laatst geschreven data op DQ7 op. Als het programmeren klaar is, komt de echte laatst geprogrammeerde data op DQ7. De Data-polling is geldig na de stijgende flank van de laatste WE-puls uit de reeks van vier schrijfpulsen.
Gedurende de ingebedde wis-algorithme is DQ7 = "0" totdat het wissen klaar is (hierna is DQ7 = "1"). Bij het chip-wissen is de Data-polling geldig na de stijgende flank van de zesde WE-puls uit de reeks van zes schrijfpulsen. Voor het sector-wissen is de Data-polling geldig na de laatste stijgende flank van de sector-wis WE-puls.

5.5 Type-beschrijving Flash EEPROM's

Data-polling kan alleen worden uitgevoerd wanneer de ingebedde programmeer-algorithme, de ingebedde wis-algorithme of het sector-wissen bezig zijn.

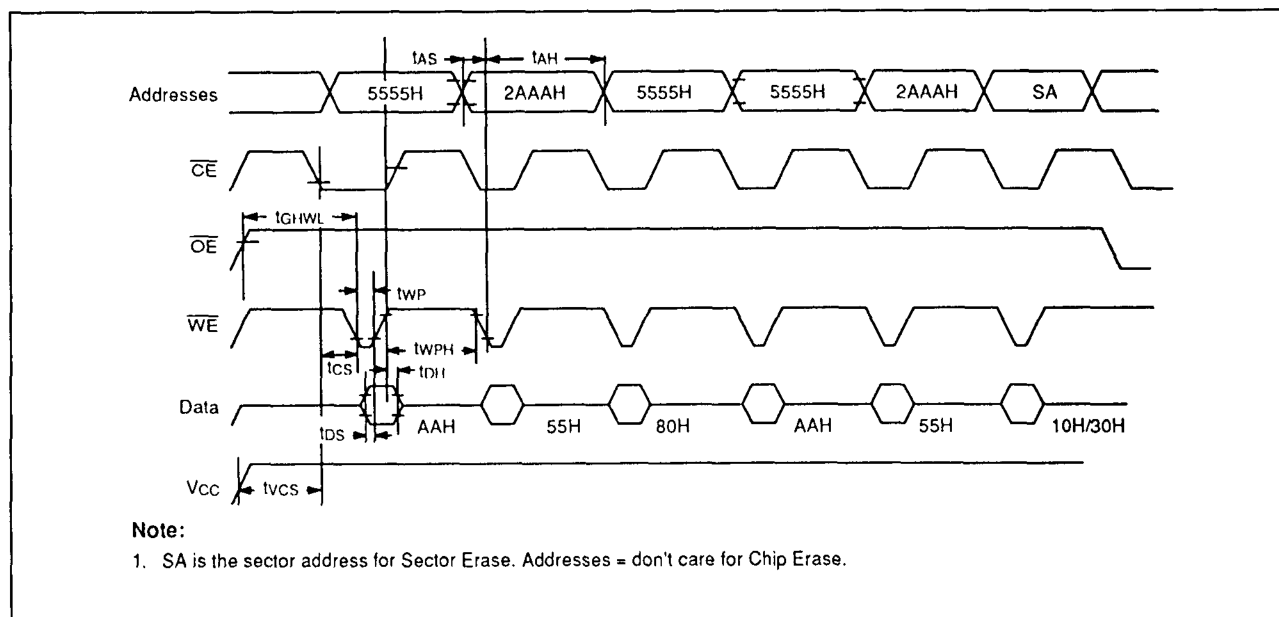
In figuur 8/5.5-32 is het flowdiagram van de Data-polling te zien en in figuur 8/5.5-33 de hiervoor benodigde timing.



Bus Operations	Command Sequence	Comments
Standby		
Write	Erase	
Read		Data Polling to Verify Erasure

Figuur 8/5.5-30: De ingebedde wis-algorithme.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-31: Golfvormen en timing bij het wissen van de 29F010.

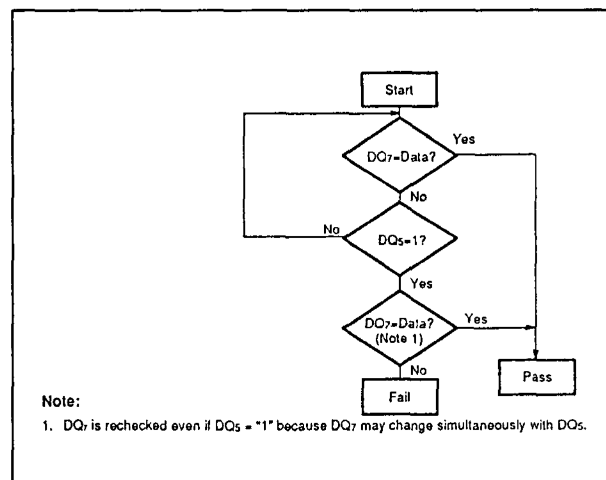
Toggle Bit (DQ6)

De 29F010 beschikt ook over de "Toggle Bit" methode om de microcomputer te laten weten of de lopende ingebedde algorithmen klaar of bezig zijn. Tijdens een ingebedde programmeer- of wis-algorithme zullen herhaalde leespogingen resulteren in het beurtelings aanwezig zijn van een "0" en een "1" op DQ6 (= "toggle"). Na afloop van zo'n ingebedde cyclus stopt dit omschakelen op DQ6 en blijft de geldige data aanwezig.

Gedurende het programmeren is de Toggle Bit geldig na de stijgende flank van de vierde WE-puls uit de reeks van vier schrijfpulsen. Voor het chip-wissen is de Toggle Bit geldig na de laatste stijgende flank van de zesde sector-wis WE-puls uit de reeks van zes schrijfpulsen. Bij het sector-wissen is de Toggle Bit geldig na de laatste stijgende flank van de sector-wis WE-puls. De Toggle Bit is aktief gedurende de sector time-out. In figuur 8/5.5-34 is het flow-diagram van de toggle bit-algorithme te zien en in figuur 8/5.5-35 de optredende timing.

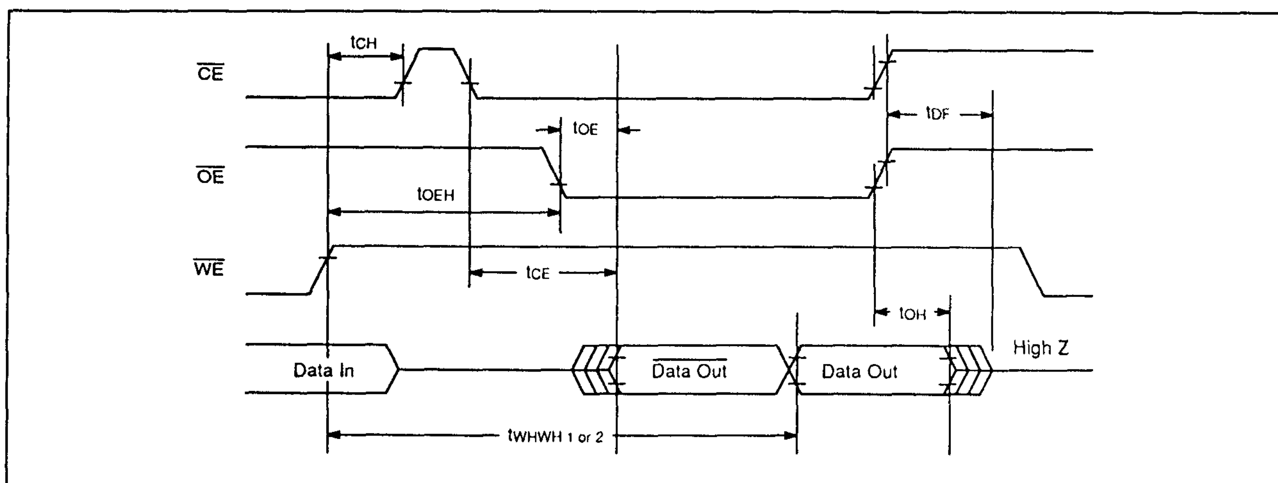
Overschreden tijd-limieten (DQ5)

Met een "1" op DQ5 wordt aangegeven dat de tijd voor het programmeren of wissen de gespecificeerde grenzen heeft overschreden. De programmeer- of wis-cyclus was dan niet correct verlopen. Onder deze omstandigheden werkt alleen Data-polling nog en zal het CE-circuit de voeding van het geheugen gedeeltelijk verminderen tot ongeveer 2 mA. De OE en WE aansluitingen sperren dan de uitgangen. Om het geheugen te resetten moet de reset-commandoreeks worden geschreven. Hierdoor kan het systeem gebruik maken van de andere aktieve sectoren in het geheugen.

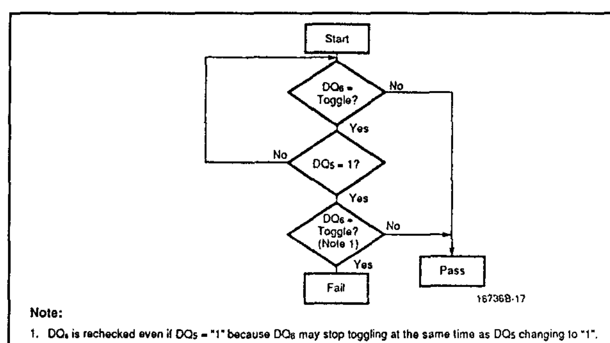


Figuur 8/5.5-32: Flow-diagram van Data-polling.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-33: Timing van $\overline{\text{Data}}$-polling bij de 29F010.



Figuur 8/5.5-34: Flow-diagram voor de Toggle Bit algorithme.

Hardware volgorde-vlag (DQ4)

Wanneer de 29F010 de gespecificeerde wis- of programmeertijd heeft overschreden en DQ5 = 1 is, geeft DQ4 aan door welke soort algorithme dit veroorzaakt werd. Een "0" in DQ4 wijst op programmeren, terwijl een "1" op wissen duidt.

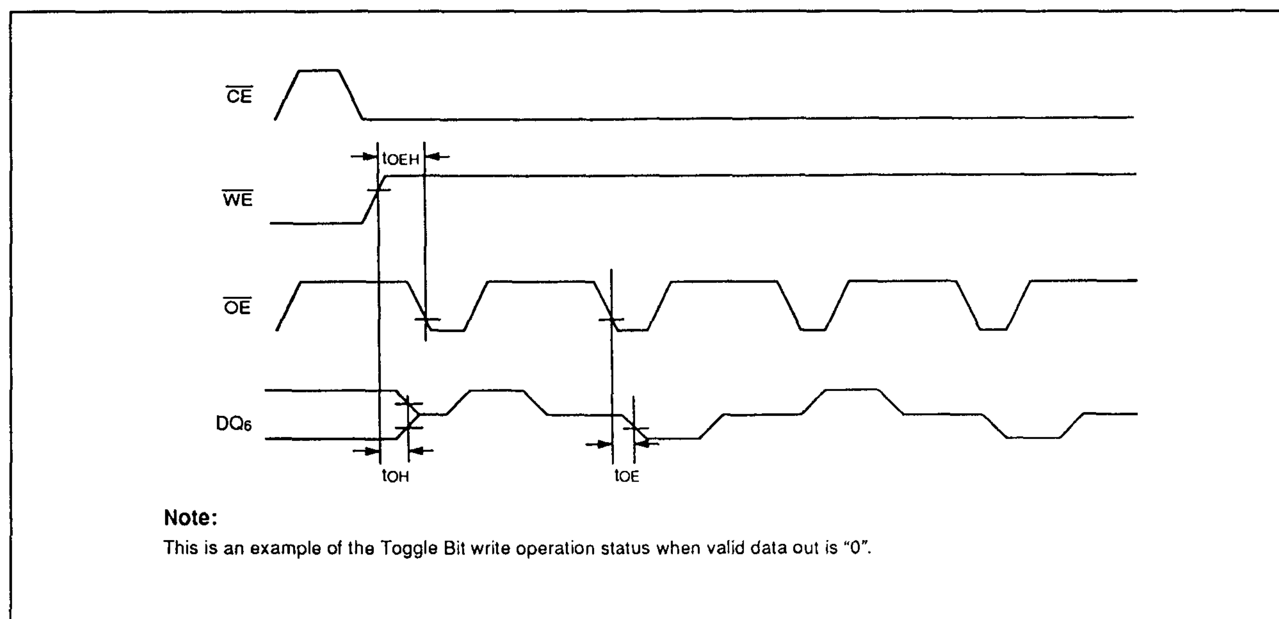
Sector-wis timer (DQ3)

Na beëindiging van de initiële sector-wis commandoreeks begint de sector-wis blokkeertijd (time-out). DQ3 blijft LAAG totdat de time-out klaar is. $\overline{\text{Data}}$-polling en Toggle Bit zijn geldig na de initiële sector-wis commandoreeks. Als door middel van $\overline{\text{Data}}$-polling of Toggle Bit wordt aangegeven dat in de 29F010 een geldig wiscommando is geschreven, kan DQ3 worden gebruikt om te bepalen of het sector-wis timervenster nog open staat. Als DQ3 HOOG is ("1"), is de intern geregelde wis-cyclus begonnen. Pogingen extra commando's naar het geheugen te schrijven worden dan genegeerd totdat de wis-handeling klaar is. Als DQ3 LAAG is, accepteert het geheugen aanvullende sector-wis commando's. Om er zeker van te zijn dat het commando werd geaccepteerd, moet de software de status van DQ3 controleren vóór en na elk volgende sector-wis commando. Als DQ3 HOOG is bij de tweede controle van de status, kan het zijn dat het commando niet werd geaccepteerd.

Data beveiliging

De 29F010 is beveiligd tegen onbedoeld wissen of programmeren door valse signalen in het systeem. Bij het opkomen van de voedingsspanning wordt de interne state machine automatisch in de leesmode gezet. Bovendien wordt de inhoud van het geheugen (door de architectuur van besturingsregisters) alleen veranderd na het met succes doorlopen van specifieke multi-buscyclus commandoreeksen. Om te voorkomen dat een schrijfcyclus start bij het opkomen en wegvallen van V_{CC}, wordt deze gesperd als V_{CC} lager is dan 3,2 V.
Storingen op $\overline{OE}$, $\overline{CE}$ of $\overline{WE}$ die korter duren dan 5 ns triggeren geen schrijfcyclus.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-35: Golfvormen en timing van het toggle bit tijdens operaties met ingebedde algorithmen.

ABSOLUTE MAXIMUM RATINGS

Storage Temperature	
Ceramic Packages	–65°C to +150°C
Plastic Packages	–65°C to +125°C
Ambient Temperature with Power Applied	–55°C to + 125°C
Voltage with Respect To Ground	
All pins except A_9 (Note 1)	–2.0 V to +7.0 V
V_{CC} (Note 1)	–2.0 V to +7.0 V
A_9 (Note 2)	–2.0 V to +14.0 V
Output Short Circuit Current (Note 3)	200 mA

OPERATING RANGES

Commercial (C) Devices	
Case Temperature (T_C)	0°C to +70°C
Industrial (I) Devices	
Case Temperature (T_C)	–40°C to +85°C
Extended (E) Devices	
Case Temperature (T_C)	–55°C to +125°C
Military (M) Devices	
Case Temperature (T_C)	–55°C to +125°C
V_{CC} Supply Voltages	
V_{CC} for Am29F010–45	+4.75 V to +5.25 V
V_{CC} for Am29F010–55, 70, 90, 120	+4.50 V to +5.50 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

Tabel 8/5.5-25: Maximaal toegelaten waarden en bedrijfscondities.

Overige elektrische kenmerken

De tabellen 8/5.5-25 tot en met 8/5.5-29 geven een overzicht van de overige elektrische en timing-karakteristieken van de 29F010 van AMD.

5.5 Type-beschrijving Flash EEPROM's

DC CHARACTERISTICS—TTL/NMOS COMPATIBLE

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Unit
I_{LI}	Input Load Current	V_{IN} = Vss to Vcc, Vcc = Vcc Max.		± 1.0	µA
I_{LO}	Output Leakage Current	V_{OUT} = Vss to Vcc, Vcc = Vcc Max.		± 1.0	µA
I_{OS}	Output Short Circuit Current (Note 1)	Vcc = Vcc Max., V_{OUT} = 0.5 V		100	mA
I_{CC1}	Vcc Active Current for Read (Note 2)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		30	mA
I_{CC2}	Vcc Active Current for Program or Erase (Note 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		50	mA
I_{CC3}	Vcc Standby Current	Vcc = Vcc Max, $\overline{CE}$ = V_{IH}		1.0	mA
V_{IL}	Input Low Level		−0.5	0.8	V
V_{IH}	Input High Level		2.0	Vcc + 0.5	V
V_{ID}	A_9 Voltage for Autoselect	Vcc = 5.0 V	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12 mA, Vcc = Vcc Min.		0.45	V
V_{OH}	Output High Level	I_{OH} = −2.5 mA, Vcc = Vcc Min.	2.4		V
V_{LKO}	Low Vcc Lock-out Voltage		3.2		V

Tabel 8/5.5-26: Elektrische karakteristieken (TTL/NMOS-compatibel) van de 29F010.

DC CHARACTERISTICS—CMOS COMPATIBLE

Parameter Symbol	Parameter Description	Test Conditions	Min.	Max.	Unit
I_{LI}	Input Load Current	Vcc = Vcc Max., V_{IN} = Vss to Vcc		± 1.0	µA
I_{LO}	Output Leakage Current	Vcc = Vcc Max., V_{OUT} = Vss to Vcc		± 1.0	µA
I_{OS}	Output Short Circuit Current (Note 1)	Vcc = Vcc Max., V_{OUT} = 0.5 V		100	mA
I_{CC1}	Vcc Active Current for Read (Note 2)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		30	mA
I_{CC2}	Vcc Active Current for Program or Erase (Note 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		50	mA
I_{CC3}	Vcc Standby Current	Vcc = Vcc Max., $\overline{CE}$ = Vcc ± 0.5 V		100	µA
V_{IL}	Input Low Level		−0.5	0.8	V
V_{IH}	Input High Level		0.7 Vcc	Vcc +0.5	V
V_{ID}	A_9 Voltage for Autoselect	Vcc = 5.0 V	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12.0 mA, Vcc = Vcc Min.		0.45	V
V_{OH1}		I_{OH} = −2.5 mA, Vcc = Vcc Min.	0.85 Vcc		
V_{OH2}	Output High Voltage	I_{OH} = −100 µA, Vcc = Vcc Min.	Vcc −0.4		
V_{LKO}	Low Vcc Lock-out Voltage		3.2		V

Tabel 8/5.5-27: Gelijkspanningskarakteristieken (CMOS-compatibel) van de 29F010.

5.5 Type-beschrijving Flash EEPROM's

AC CHARACTERISTICS—READ ONLY OPERATIONS CHARACTERISTICS

Parameter Symbols JEDEC	Parameter Symbols Standard	Description	Test Setup	–45 (1)	–55 (1)	–70 (2)	–90 (2)	–120 (2)	Unit
tAVAV	tRC	Read Cycle Time		45	55	70	90	120	ns
tAVQV	tACC (max)	Address to Output Delay	$\overline{CE}$ = VIL $\overline{OE}$ = VIL	45	55	70	90	120	ns
tELQV	tCE (max)	Chip Enable to Output	$\overline{OE}$ = VIL	45	55	70	90	120	ns
tGLQV	tOE (max)	Output Enable to Output		25	30	30	35	50	ns
tEHQZ	tDF (max)	Chip Enable to Output High Z (Note 3)		10	15	20	20	30	ns
tGHQZ	tDF	Output Enable to Output High Z (Note 3)		10	15	20	20	30	ns
tAXQX	tOH	Output Hold Time From Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurs First		0	0	0	0	0	ns

Notes:

1. Test Conditions:
   Output Load: 1 TTL gate and 30 pF
   Input rise and fall times: 5 ns
   Input pulse levels: 0.0 V to 3.0 V
   Timing measurement reference level
   Input: 1.5 V
   Output: 1.5 V
2. Test Conditions:
   Output Load: 1 TTL gate and 100 pF
   Input rise and fall times: 20 ns
   Input pulse levels: 0.45 V to 2.4 V
   Timing measurement reference level
   Input: 0.8 and 2.0 V
   Output: 0.8 and 2.0 V
3. Output driver disable time.

Tabel 8/5.5-28: *Schakeltijden bij het uitlezen van de 29F010 (vijf snelheidsversies).*

29F040

512 k x 8 bit CMOS

De 29F040 is een zeer recent 4 MB flash geheugen, met een organisatie van 512 k x 8 bit. De 29F040 is met zijn 32-pens behuizing een "upgrading" van de 29F010 met dezelfde aansluitingen. Het geheugen kan binnen een systeem worden geprogrammeerd met een enkele 5 V voedingsspanning (geen 12 V nodig) of in een standaard EPROM programmeer-apparaat.

De standaard 29F040 heeft toegangstijden tussen 70 en 150 ns, waardoor hij naast snelle microprocessoren kan worden gebruikt zonder dat er wait-states optreden. Om busconflicten te voorkomen heeft het geheugen aparte Chip Enable ($\overline{CE}$), Write Enable ($\overline{WE}$) en Output Enable ($\overline{OE}$) besturingsingangen. De aansluitingen en commandoset van de 29F040 zijn compatibel met standaard 4 MB EEPROM's. De commando's worden met gewone schrijfoperaties in het Command Register geschreven, waarna de inhouden van de registers een interne statemachine bedienen die voor het wissen en programmeren zorgt. Het uitlezen van de data geschiedt op dezelfde manier als bij 12 V flash of EPROM geheugens.

Specificaties

De 29F040 heeft de volgende kenmerken:

- 524.288 x 8 bit organisatie
- enkele voedingsspanning 5 V +/-10 % (ook voor wissen en programmeren)
- low power CMOS: 20 mA lezen, 30 mA wissen/programmeren, 25 μA standby
- toegangstijden: 70, 90, 120 of 150 ns
- sector wis-architectuur (8 gelijke sectoren van 64 kB)
- ingebedde wis-algorithmen (automatisch pre-programmeren en wissen van chip of sector)

5.5 Type-beschrijving Flash EEPROM's

AC CHARACTERISTICS—WRITE/ERASE/PROGRAM OPERATIONS

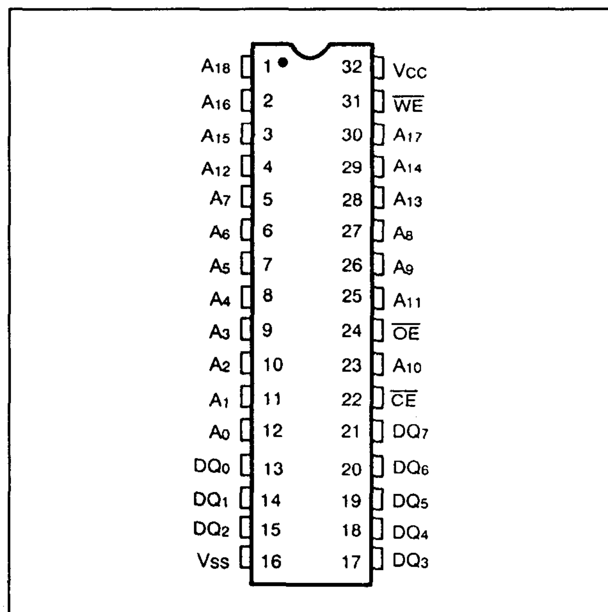
Parameter Symbols									
JEDEC	Standard	Description		–45	–55	–70	–90	–120	Unit
tAVAV	tWC	Write Cycle Time		45	55	70	90	120	ns
tAVWL	tAS	Address Setup Time		0	0	0	0	0	ns
tWLAX	tAH	Address Hold Time		35	45	45	45	50	ns
tDVWH	tDS	Data Setup Time		20	20	30	45	50	ns
tWHDX	tDH	Data Hold Time		0	0	0	0	0	ns
	tOES	Output Enable Setup Time		0	0	0	0	0	ns
	tOEH	Output Enable Hold Time	Read	0	0	0	0	0	ns
			Toggle and $\overline{\text{Data}}$ Polling	10	10	10	10	10	ns
tGHWL	tGHWL	Read Recover Time Before Write		0	0	0	0	0	ns
tELWL	tCS	$\overline{\text{CE}}$ Setup Time		0	0	0	0	0	ns
tWHEH	tCH	$\overline{\text{CE}}$ Hold Time		0	0	0	0	0	ns
tWLWH	tWP	Write Pulse Width		25	30	35	45	50	ns
tWHWL	tWPH	Write Pulse Width High		15	20	20	20	20	ns
tWHWH1	tWHWH1	Programming Operation (min)		14	14	14	14	14	µs
tWHWH2	tWHWH2	Erase Operation (min) (Note 1)		2.2	2.2	2.2	2.2	2.2	sec
	tVCS	VCC Set Up Time		2	2	2	2	2	µs
	tVLHT	Voltage Transition Time (Note 2)		4	4	4	4	4	µs
	tWPP	Write Pulse Width (Note 2)		10	10	10	10	10	ms
	tOESP	$\overline{\text{OE}}$ Setup Time to $\overline{\text{WE}}$ Active (Note 2)		4	4	4	4	4	µs
	tCSP	$\overline{\text{CE}}$ Setup Time to $\overline{\text{WE}}$ Active (Note 3)		4	4	4	4	4	µs

Notes:
1. This also includes the preprogramming time.
2. These timings are for Sector Protect/Unprotect operations.
3. This timing is only for Sector Unprotect.

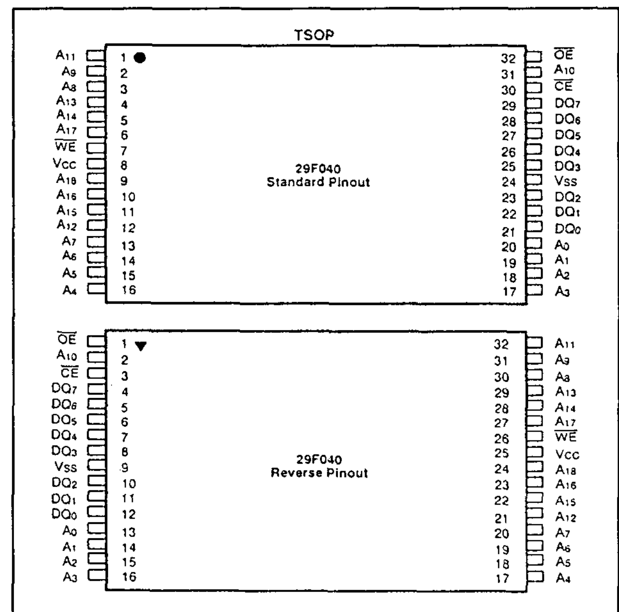
Tabel 8/5.5-29: Schakeltijden bij het wissen en programmeren van de 29F010 (vijf snelheidsversies).

- ingebedde programmeer-algorithmen (automatisch programmeren en verifiëren van data)
- data-polling en toggle-bit detectie van einde programmeren of wissen
- minimaal 100.000 wis/programmeercycli
- TTL-, NMOS- en CMOS-compatibel
- behuizingen: 32-pens plastic DIL, TSOP of PLCC/LCC (figuur 8/5.5-36, -37 en -38)
- fabrikant: AMD: Am29F040

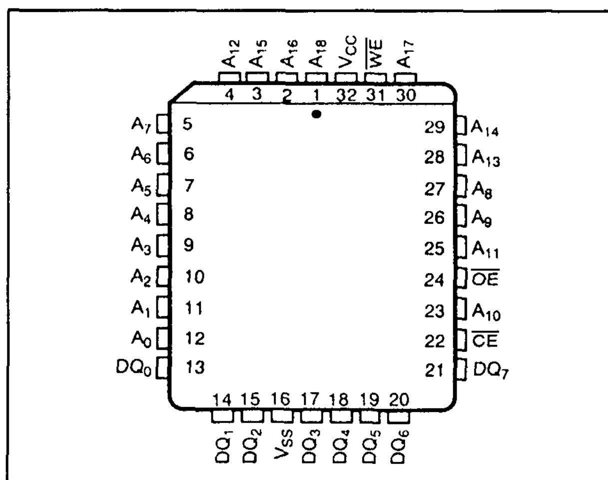
5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-36: Aansluitingen van de 32-pens DIL-versie van de 29F040.



Figuur 8/5.5-38: Boven: de standaard TSOP-uitvoering van de 29F040. Onder: de geïnverteerde TSOP-versie (Thin Small Outline Package).



Figuur 8/5.5-37: De 32-pens Chip Carrier (LCC/PLCC) versie van de 29F040.

Werking

De 29F040 wordt geprogrammeerd door een programmeer commando-reeks uit te voeren. Hierdoor wordt de ingebedde programmeer-algorithme opgeroepen (een interne algorithme voor automatische timing van de pulsbreedten).

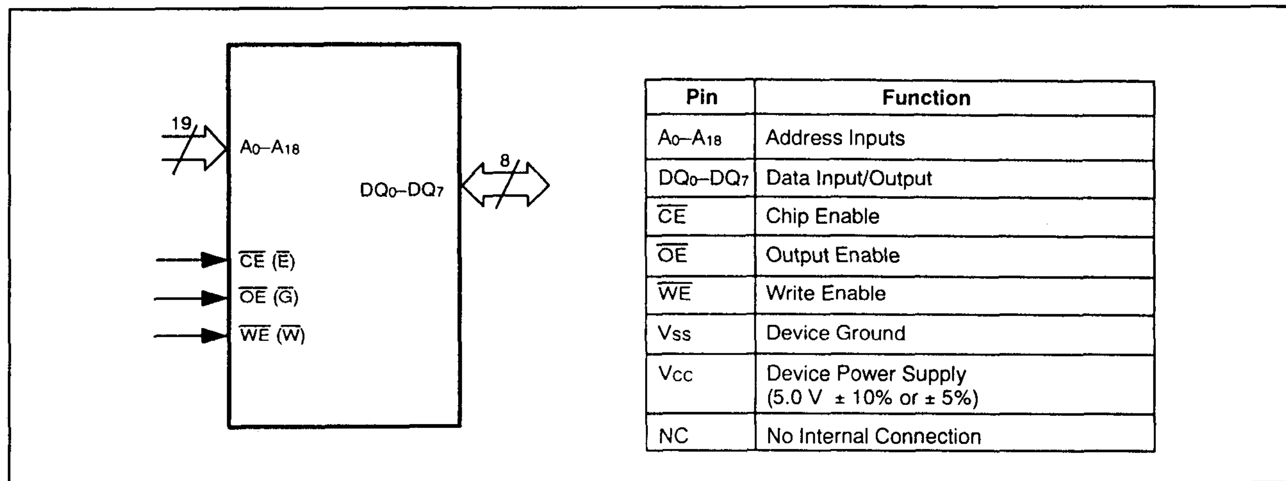
Op deze manier kan een sector in minder dan een seconde worden geprogrammeerd en geverifieerd. Het wissen wordt uitgevoerd door de wis commando-reeks te doorlopen, waardoor de ingebedde wis-algorithme wordt aangesproken. Ook dit is een interne algorithme die de array automatisch voorprogrammeert als die nog niet was geprogrammeerd voordat de wis-operatie wordt uitgevoerd. De gehele chip of een willekeurige sector wordt op deze manier binnen 1,5 seconde gewist en geverifieerd.

Het geheugen beschikt ook over een sector wis-architectuur. In de sector-mode kunnen 64 kB blokken worden gewist en geprepro-grammeerd zonder andere blokken te beïnvloeden.

De 29F040 werkt op een enkele +5 V voedingsspanning voor alle functies. Voor het programmeren en wissen worden interne spanningen opgewekt en gestabiliseerd.

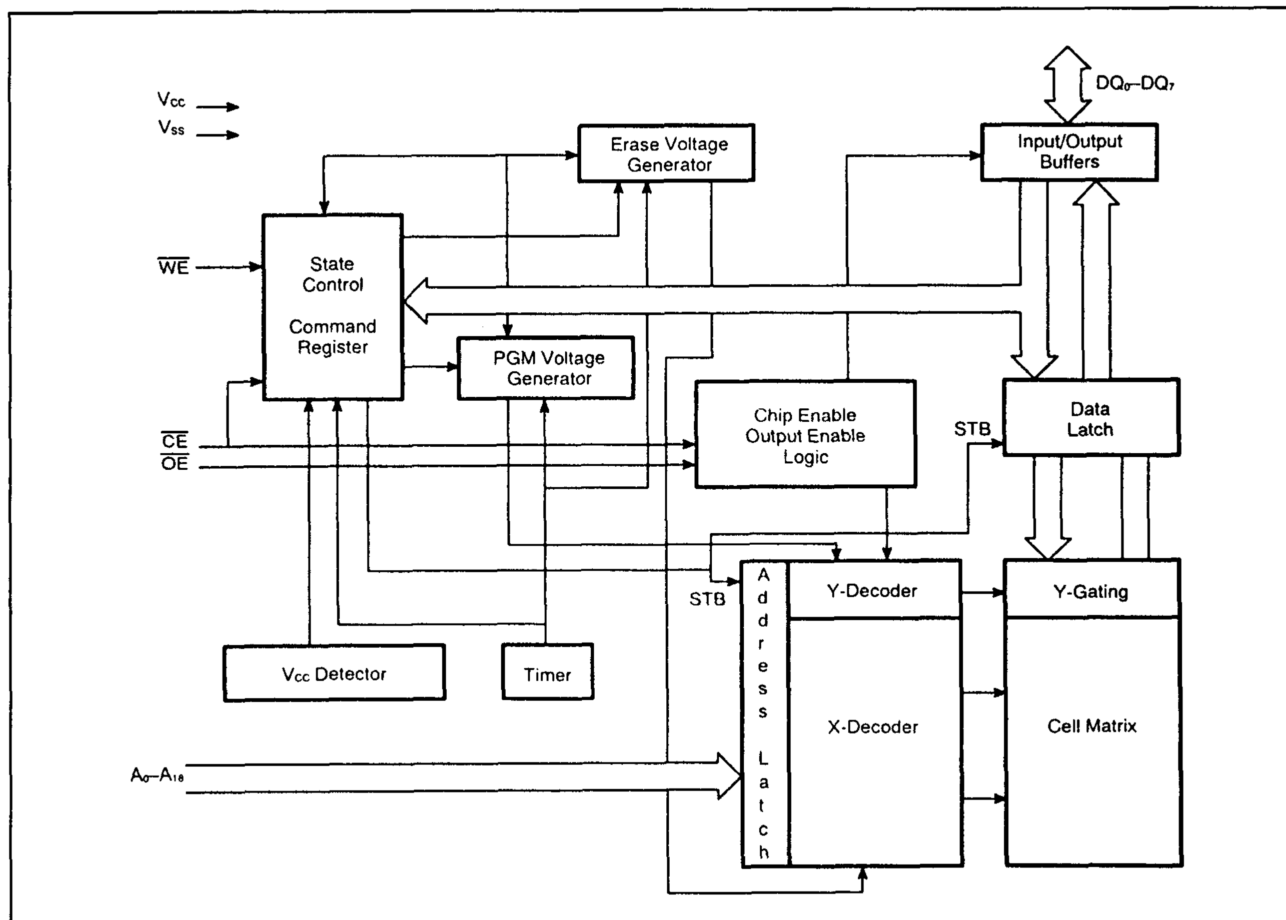
Aan de hand van het blokschema (figuur 8/5.5-40) en de tabel met de bus-operaties (tabel 8/5.5-30) zullen alle mogelijke handelingen worden behandeld.

5.5 Type-beschrijving Flash EEPROM's



Pin	Function
A_0–A_{18}	Address Inputs
DQ_0–DQ_7	Data Input/Output
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
V_{SS}	Device Ground
V_{CC}	Device Power Supply (5.0 V ± 10% or ± 5%)
NC	No Internal Connection

Figuur 8/5.5-39: Vereenvoudigd logisch symbool en aansluitingen van de 29F040.



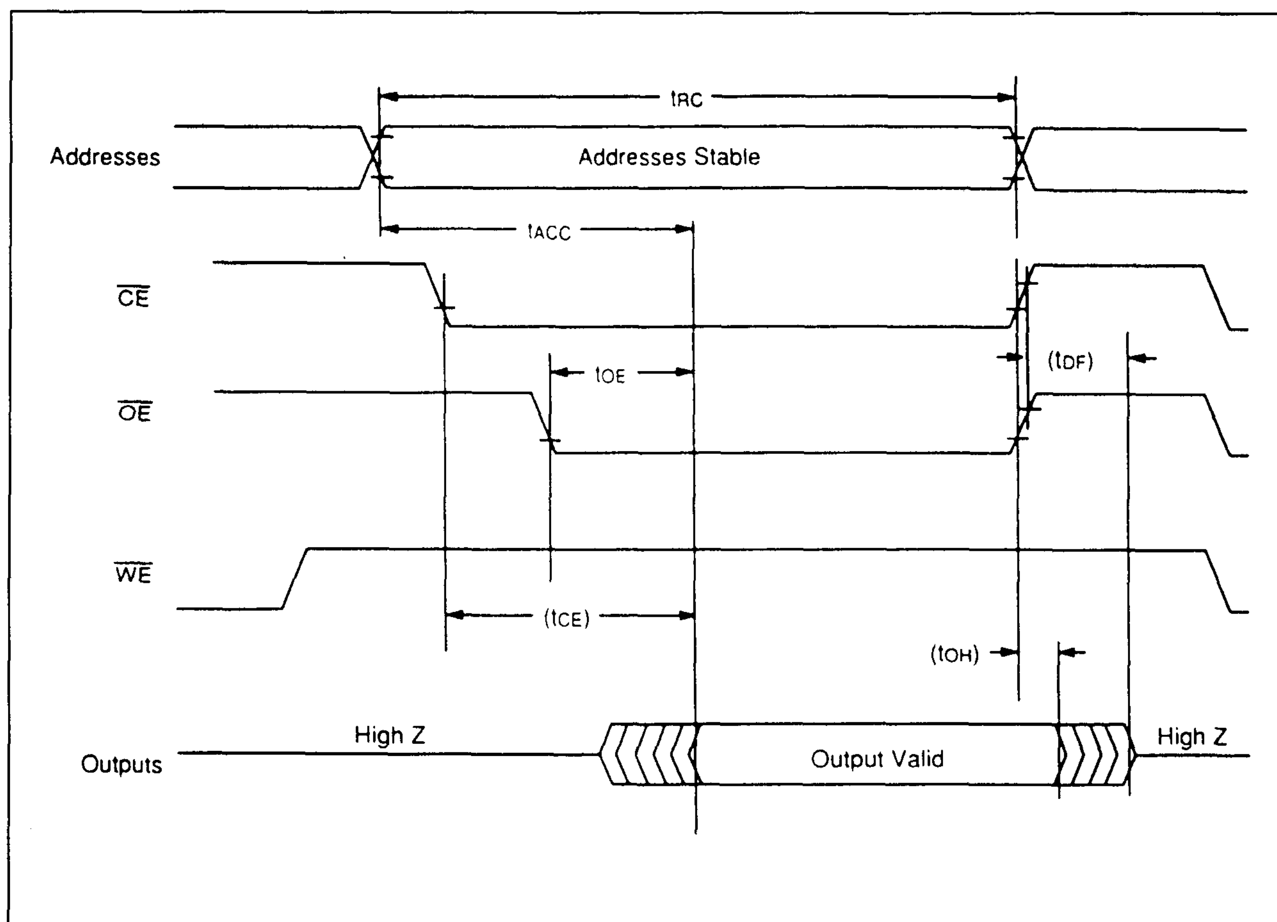
Figuur 8/5.5-40: Functioneel blokschema van de 29F040.

5.5 Type-beschrijving Flash EEPROM's

Operation	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0	A1	A6	A9	I/O
Auto-Select Manufacturer Code (1)	L	L	H	L	L	L	V_{ID}	Code
Auto-Select Device Code (1)	L	L	H	H	L	L	V_{ID}	Code
Read (4)	L	L	H	A0	A1	A6	A9	D_{OUT}
Standby	H	X	X	X	X	X	X	HIGH Z
Output Disable	L	H	H	X	X	X	X	HIGH Z
Write	L	H	L	A0	A1	A6	A9	D_{IN} (2)
Enable Sector Protect	L	V_{ID}	L	X	X	X	V_{ID}	X
Verify Sector Protect (3)	L	L	H	L	H	L	V_{ID}	Code

Legend:
L = V_{IL}, H = V_{IH}, X = Don't Care.

Tabel 8/5.5-30: Mogelijke bus-operaties met de 29F040.



Figuur 8/5.5-41: Timing en golfvormen bij het uitlezen van de 29F040.

5.5 Type-beschrijving Flash EEPROM's

Type	A18	A17	A16	A6	A1	A0	Code (HEX)	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
Manufacture Code	X	X	X	V_{IL}	V_{IL}	V_{IL}	01H	0	0	0	0	0	0	0	1
Am29F040 Device Code	X	X	X	V_{IL}	V_{IL}	V_{IH}	A4H	1	0	1	0	0	1	0	0
Sector Protection	Sector Addresses			V_{IL}	V_{IH}	V_{IL}	01H*	0	0	0	0	0	0	0	1

**Outputs 01H at protected sector addresses*

Tabel 8/5.5-31: Autoselect codes van de (AMD) 29F040.

Read Mode

Data wordt bij de 29F040 alleen op de uitgangen gezet als zowel $\overline{OE}$ als $\overline{CE}$ LAAG zijn. Bovendien moet $\overline{WE}$ dan HOOG zijn. De databus bevindt zich in de hoog-impedante toestand als $\overline{OE}$ en/of $\overline{CE}$ HOOG is. In figuur 8/5.5-41 is de timing voor het uitlezen te zien.

Standby Mode

De 29F040 heeft twee standby-toestanden: een CMOS standby-mode, waarbij $\overline{CE}$ op 5 V +/-0,5 V staat en minder dan 100 µA wordt opgenomen en een TTL standby-mode met $\overline{CE}$ = logisch HOOG. In het laatste geval wordt circa 1 mA opgenomen. In de standby-mode bevinden de uitgangen zich, onafhankelijk van $\overline{OE}$, in de hoog-impedante toestand.

Output Disable

Door $\overline{OE}$ op een logisch HOOG niveau te brengen worden de uitgangen hoog-impedant.

Auto Select

In de auto select-mode (of intelligent identifier-mode) kunnen type en fabrikant in de vorm van een binaire code worden uitgelezen. Dit is nodig voor automatische programmeer-apparatuur, zodat de juiste programmeer-algorithme kan worden gekozen. Deze bedrijfsmode wordt geaktiveerd door V_{ID} (11,5 V tot 12,5 V) op adrespen A9 te zetten. Hierdoor kunnen twee identificatiebytes worden uitgelezen door A0 LAAG of HOOG te maken met A1 = LAAG (behalve A0, A1 en A6 doen de overige adreslijnen niet ter zake). Met A0 = LAAG verschijnt de fabrikantencode (AMD: 01H) en met A0 = HOOG de device-code (Am29F040: A4H) (zie ook tabel 8/5.5-31). Het is bij de 29F040 natuurlijk ook mogelijk deze codes via het Command Register uit te lezen zonder dat de hoge spanning op pen A9 wordt gezet. Dat is bijvoorbeeld het geval wanneer de 29F040 binnen een systeem wordt gewist of geprogrammeerd. Er moet dat een bepaalde commando-volgorde worden uitgevoerd (zie tabel 8/5.5-30: Autoselect).

Write Mode

Het wissen en programmeren geschiedt met behulp van het Command Register. De inhouden van dit register dienen als besturingen van de interne state-machine.
De werking van het geheugen wordt bepaald door de uitgangssignalen van deze state-machine. Het Command Register is zelf geen adresseerbare geheugenlocatie. Het register bestaat uit een latch die wordt gebruikt voor de opslag van commando's plus de adres- en data-informatie die nodig zijn voor de uitvoering van het commando. Het Command Register wordt beschreven door $\overline{WE}$ LAAG te maken, terwijl $\overline{CE}$ LAAG en $\overline{OE}$ HOOG is. De adressen worden op de (laatst optredende) dalende flank van $\overline{WE}$ of $\overline{CE}$ gelatcht en data op de (eerst optredende) stijgende flank van $\overline{WE}$ of $\overline{CE}$.
Voor het schrijven worden standaard microprocessor-timingen gebruikt.

5.5 Type-beschrijving Flash EEPROM's

Sector beveiliging

De 29F040 heeft een hardware sector beveiliging waarmee zowel programmeren als wissen in een aantal sectoren (0 tot 7) wordt voorkomen. Om deze beveiliging te aktiveren moet V_{ID} op A9 en $\overline{OE}$ worden gezet. Hierbij moet het gewenste sector-adres worden ingesteld (met A16, A15 en A14). In tabel 8/5.5-32 zijn de sector-adressen van alle acht individuele sectoren te zien. Het programmeren van de beveiligingscircuits begint op de dalende flank van de $\overline{WE}$-puls en eindigt op de stijgende flank ervan. Tijdens aanwezigheid van de $\overline{WE}$-puls moet het sector-adres constant blijven. Om te controleren of de sector-beveiliging werkelijk is ingeschakeld moet V_{ID} op A9 worden gezet met $\overline{CE}$ en $\overline{OE}$ LAAG en $\overline{WE}$ HOOG (zie ook tabel 8/5.5-30). Door een bepaald sector-adres uit te lezen met A18, A17 en A16 (terwijl A6, A1, A0 respectievelijk "0," "1" en "0" zijn) komt voor een beveiligde sector 1 op data-uitgang DQ0 te staan. Is de sector niet beveiligd, dan verschijnt 00H op DQ0 tot en met DQ7.

	A18	A17	A16	Address Range
SA0	0	0	0	00000h–0FFFFh
SA1	0	0	1	10000h–1FFFFh
SA2	0	1	0	20000h–2FFFFh
SA3	0	1	1	30000h–3FFFFh
SA4	1	0	0	40000h–4FFFFh
SA5	1	0	1	50000h–5FFFFh
SA6	1	1	0	60000h–6FFFFh
SA7	1	1	1	70000h–7FFFFh

Tabel 8/5.5-32: Sector adressen.

Het is ook mogelijk om met de 29F040 in een systeem te controleren of een sector beveiligd is door het autoselect commando te schrijven. Door een lees-operatie op het adres XX02H uit te voeren, waarbij de hogere adreslijnen A16, A17 en A18 het sectoradres vormen, verschijnt een logische "1" op DQ0 als die sector beveiligd is (zie ook tabel 8/5.5-31).

Definities van de commando's

Door specifieke adres/data reeksen in het Command Register te schrijven kunnen bepaalde operaties worden geselecteerd. Deze zijn in tabel 8/5.5-33 opgenomen.

Read/Reset Commando

Het lezen of resetten begint met het schrijven van de read/reset command-reeks in het Command Register. Array-data kan door leescycli uit het geheugen worden opgehaald. De 29F040 blijft in de leesmode totdat de inhoud van het Command Register wordt gewijzigd. Bij het inschakelen van de voedingsspanning komt het geheugen automatisch in de read/reset toestand. Er is dan dus geen commando-reeks nodig om data te kunnen lezen.

Autoselect Commando

Flash geheugens zijn ontworpen om te worden gebruikt in systemen waarbij de inhoud van het geheugen door de CPU wordt veranderd. Daarom moeten fabrikant- en typecode ook toegankelijk zijn als het geheugen zich in het doelsysteem bevindt. PROM programmeerapparaten krijgen meestal toegang tot identificatiecodes door A9 op een hoge spanning te brengen. Het multiplexen van dergelijke hoge spanningen op de adreslijnen binnen een systeem is echter niet gewenst. Vandaar dat op de 29F040 naast de traditionele PROM-programmeer methodologie ook een autoselect operatie kan worden uitgevoerd.
Deze operatie begint door de autoselect commandoreeks in het Command Register te schrijven. Hierna levert een leescylus op adres XX00H de fabrikantencode 01H op. Lezen op adres XX01H heeft de typecode A4H tot gevolg (zie ook tabel 8/5.5-31). Beide identificatie-codes hebben een oneven pariteit, waarbij de MSB (DQ7) als pariteitsbit werkt.

5.5 Type-beschrijving Flash EEPROM's

Command Sequence Read/Reset	Bus Write Cycles Req'd	First Bus Write Cycle		Second Bus Write Cycle		Third Bus Write Cycle		Fourth Bus Read/Write Cycle		Fifth Bus Write Cycle		Sixth Bus Write Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read/Reset	1	XXXH	F0H										
Read/Reset	4	5555H	AAH	2AAAH	55H	5555H	F0H	RA	RD				
Autoselect	4	5555H	AAH	2AAAH	55H	5555H	90H						
Byte Program	4	5555H	AAH	2AAAH	55H	5555H	A0H	PA	Data				
Chip Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	5555H	10H
Sector Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	SA	30H
Sector Erase Suspend		Erase can be suspended during sector erase with Addr (don't care), Data (B0H)											
Sector Erase Resume		Erase can be resumed after suspend with Addr (don't care), Data (30H)											

Notes:

1. *Address bits A15, A17, and A18 = X = Don't Care. Write Sequences may be initiated with A15, A17, and A18 in either state.*
2. *Address bits A16, A17, and A18 = X = Don't Care for all address commands except for Program Address (PA) and Sector Address (SA).*
3. *Bus operations are defined in Table 2.*
4. *RA = Address of the memory location to be read.*
   PA = Address of the memory location to be programmed. Addresses are latched on the falling edge of the $\overline{WE}$ pulse.
   SA = Address of the sector to be erased. The combination of A18, A17, A16 will uniquely select any sector.
5. *RD = Data read from location RA during read operation.*
   PD = Data to be programmed at location PA. Data is latched on the falling edge of $\overline{WE}$.

Tabel 8/5.5-33: Definities van commando's voor de 29F040.

Een leescyclus op een door A16, A17 en A18 bepaald sectoradres (met A6, A1, A0 = respectievelijk "0", "1", "0") levert een logische "1" op DQ0 op als die sector beveiligd is. De operatie stopt als de read/reset volgorde naar het register wordt geschreven.

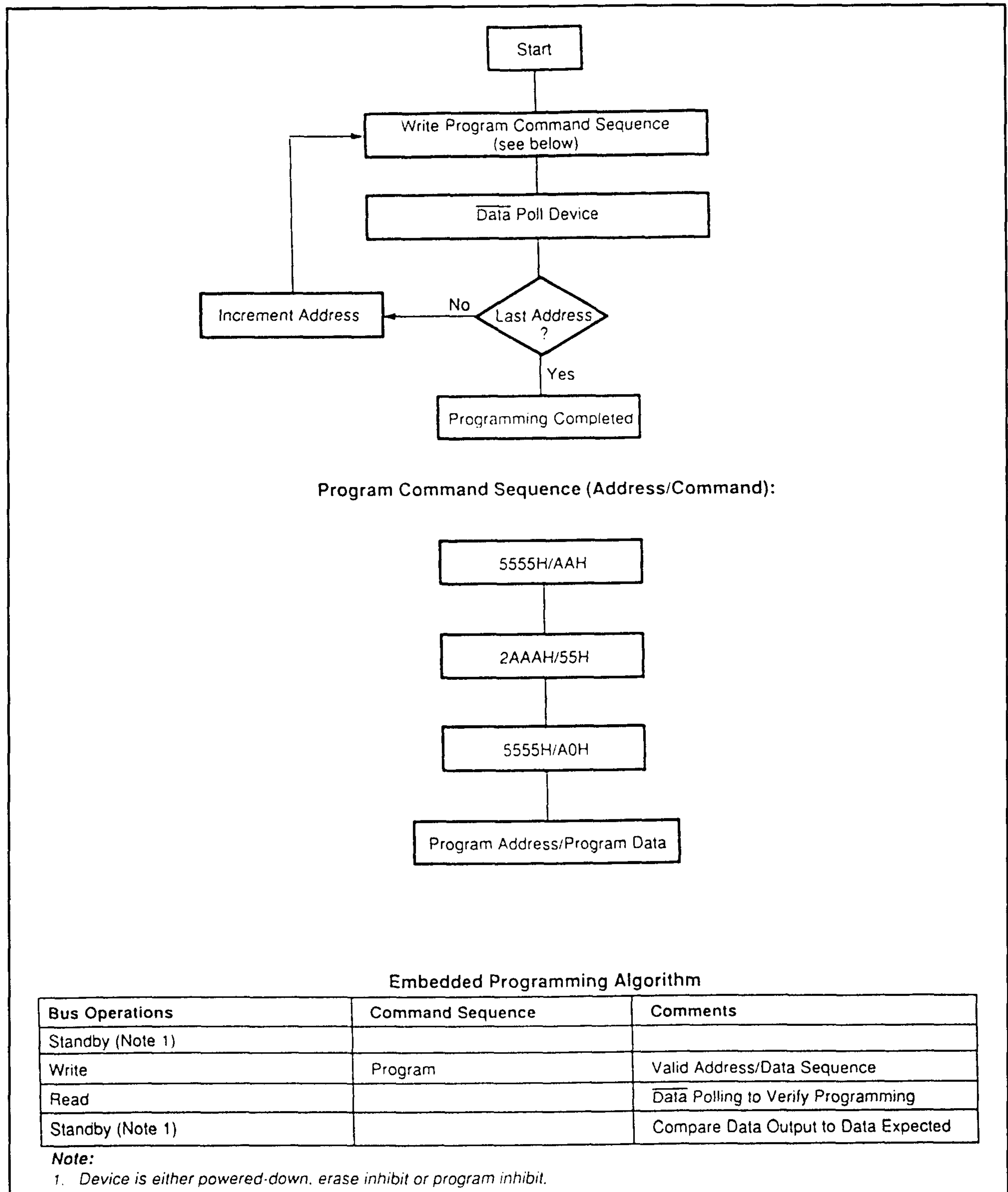
Byte programmeren

Het geheugen wordt byte-voor-byte geprogrammeerd, waarvoor vier buscycli nodig zijn. Er zijn twee "unlock" schrijfcycli die worden gevolgd door het program set-up commando en data schrijfcyli. De adressen worden gelatcht op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$, terwijl de data wordt gelatcht op de eerst komende stijgende flank van $\overline{WE}$ of $\overline{CE}$ en het programmeren begint. Na het uitvoeren van de commando-volgorde voor de ingebedde programma-algorithme (Embedded P.A.) behoeft het systeem geen verdere besturingen of timingen te leveren. De 29F040 levert zelf correcte, inwendig gegenereerde programmeerpulsen en verificatie.

De automatische programmeer-operatie is klaar als de data op DQ7 gelijk is aan de data die hier naartoe werd geschreven, waarna wordt teruggekeerd naar de leesmode (zie ook tabel 8/5.5-34).

Op de lokatie die wordt geprogrammeerd moet $\overline{\text{Data}}$-polling worden uitgevoerd. Het programmeren is toegestaan in elke willekeurige adresvolgorde en over de sectorgrenzen heen. In figuur 8/5.5-42 is de Embedded Programming Algorithm te zien en in figuur 8/5.5-43 de bijbehorende timing.

5.5 Type-beschrijving Flash EEPROM's



Embedded Programming Algorithm

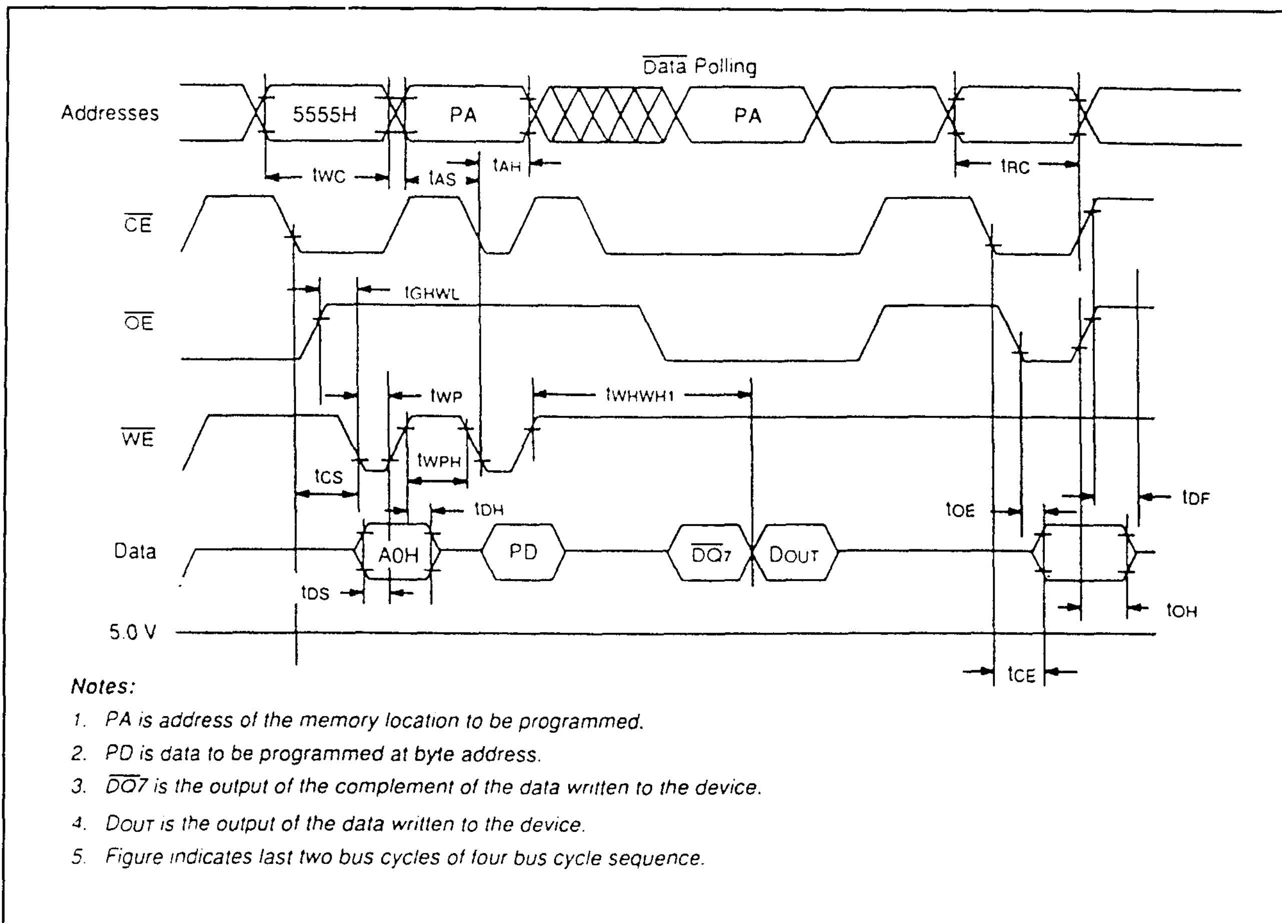
Bus Operations	Command Sequence	Comments
Standby (Note 1)		
Write	Program	Valid Address/Data Sequence
Read		$\overline{\text{Data}}$ Polling to Verify Programming
Standby (Note 1)		Compare Data Output to Data Expected

Note:

1. Device is either powered-down, erase inhibit or program inhibit.

Figuur 8/5.5-42: De ingebedde programmeer-algorithme.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-43: Golfvormen en timing bij het programmeren van de 29F040.

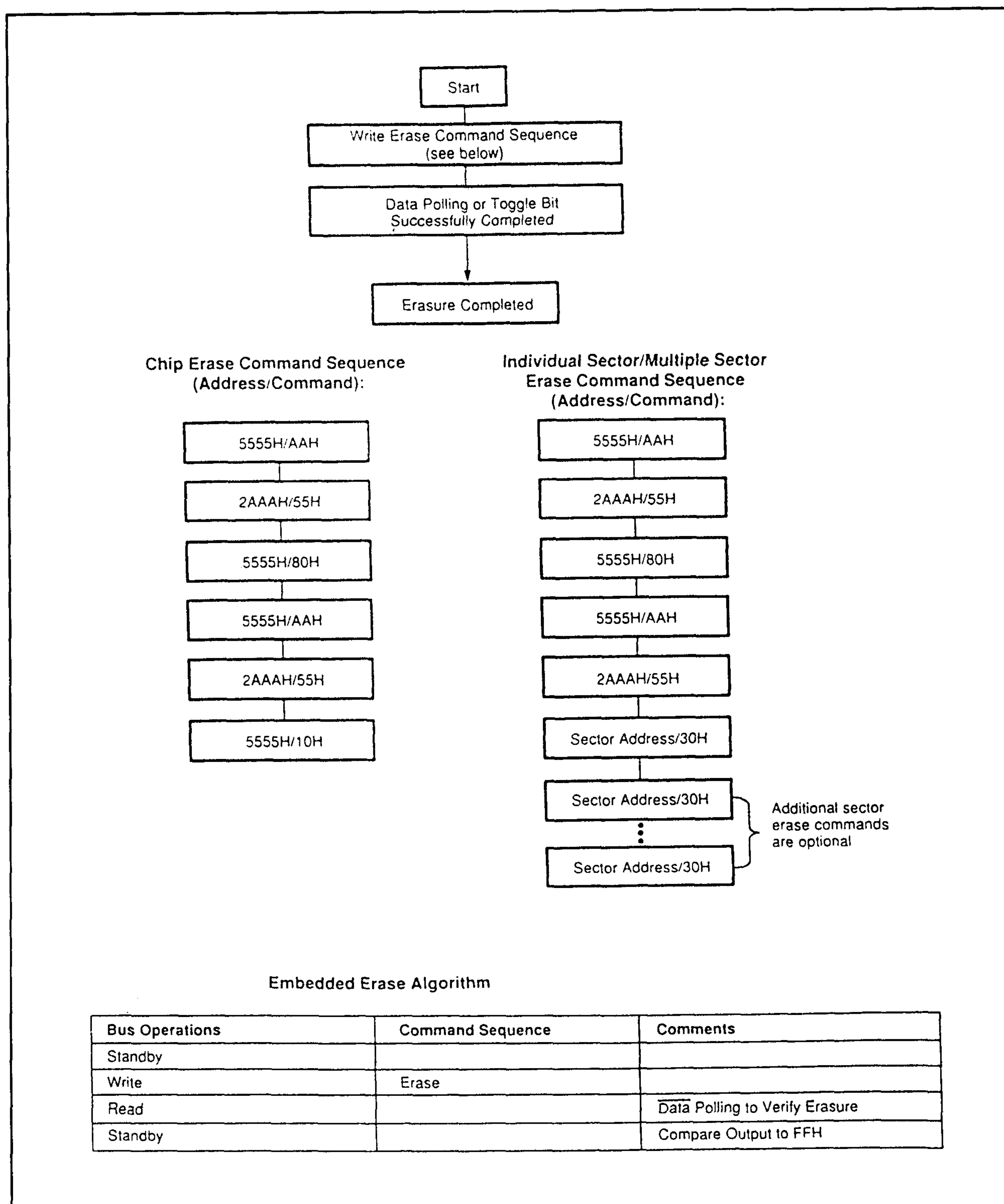
	Status	DQ7	DQ6	DQ5	DQ3	DQ2–DQ0
In Progress	Auto-Programming	$\overline{DQ7}$	Toggle	0	0	($\overline{D}$)
	Programming in Auto Erase	0	Toggle	0	1	
	Erasing in Auto-Erase	0	Toggle	0	1	
Exceeded Time Limits	Auto-Programming	$\overline{DQ7}$	Toggle	1	1	($\overline{D}$)
	Programming in Auto-Erase	0	Toggle	1	1	
	Erasing in Auto-Erase	0	Toggle	1	1	

Tabel 8/5.5-34: Status van de schrijfoperaties: hardware volgorde-vlaggen (hardware sequence flags).

Chip Erase

Het wissen van de complete inhoud van het geheugen (chip erase) neemt zes buscycli in beslag. Het wissen begint met twee "unlock" schrijfcycli, gevolgd door het "set-up" commando. Na twee extra unlock schrijfcycli volgt dan het eigenlijke chip erase commando. Voorafgaande aan het wissen van de chip behoeft het geheugen niet geprogrammeerd te zijn.

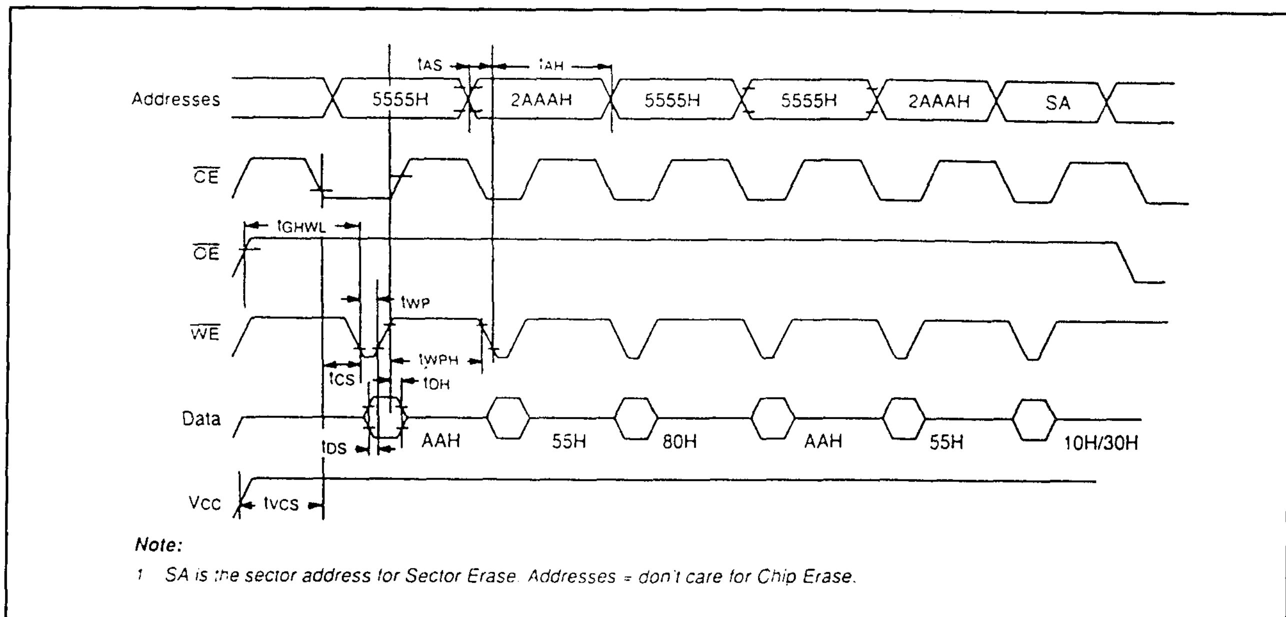
5.5 Type-beschrijving Flash EEPROM's



Bus Operations	Command Sequence	Comments
Standby		
Write	Erase	
Read		Data Polling to Verify Erasure
Standby		Compare Output to FFH

Figuur 8/5.5-44: De ingebedde wis-algorithme.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-45: Golfvormen en timing bij het wissen van de 29F040.

Na het doorlopen van de commando-reeks voor de Embedded Program Algorithm programmeert en verifieert de 29F040 zichzelf eerst automatisch op een patroon van allemaal nullen. Voor deze operaties zijn geen besturingssignalen of timingen nodig.
Het automatisch wissen begint op de stijgende flank van de laatste $\overline{WE}$-puls van de commando-reeks en eindigt als op DQ7 een "1" aanwezig is. Daarna gaat het geheugen in de leesmode (zie tabel 8/5.5-34). In figuur 8/5.5-44 is de Embedded Erase Algorithm te zien en in figuur 8/5.5-45 de bijbehorende timing.

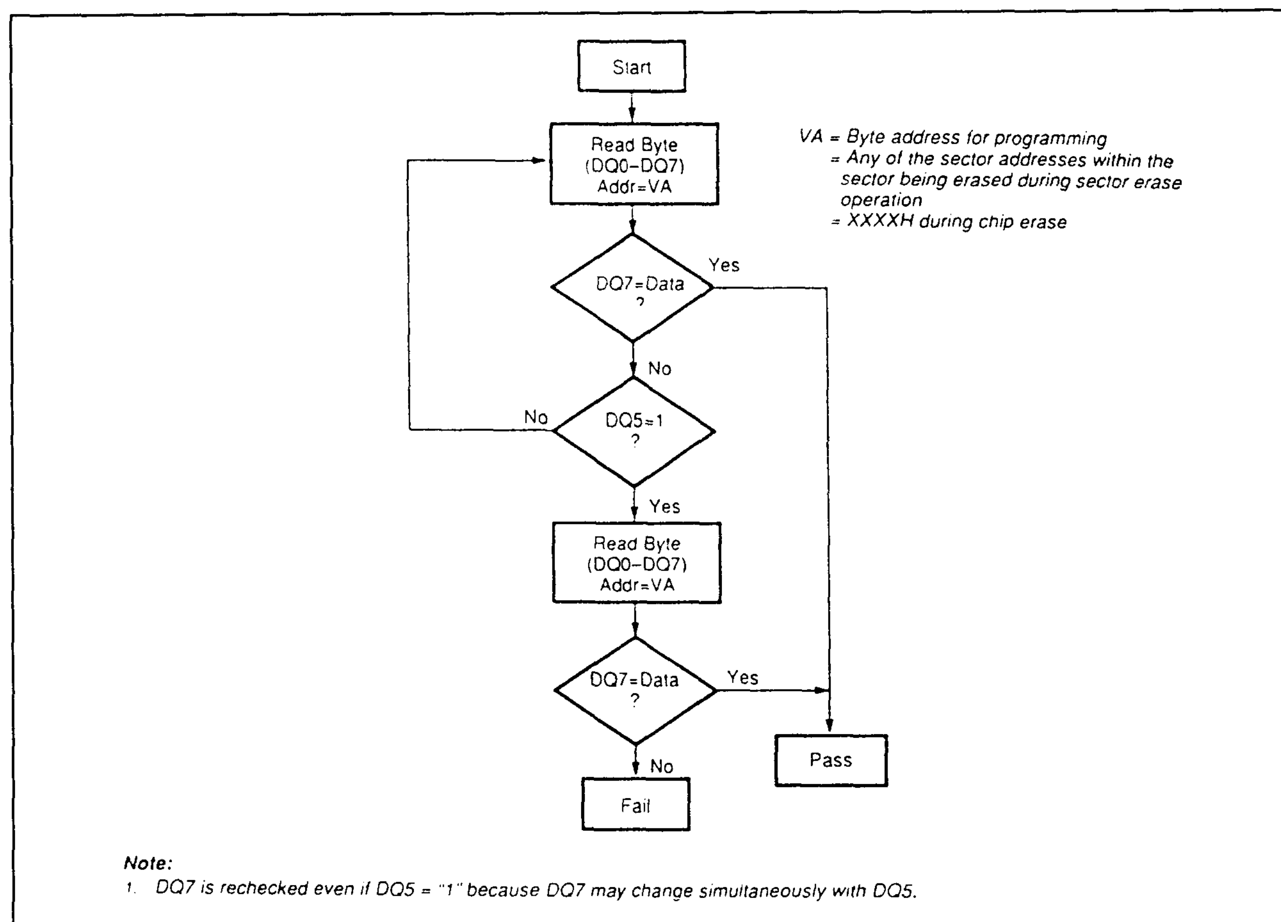
Sector Erase

Ook voor het wissen per sector zijn zes buscycli nodig. Na twee "unlock" schrijfcycli volgen het "set-up" commando, twee unlock schrijfcycli en dan het sector erase commando. Het sector-adres (een willekeurige adreslocatie binnen de gewenste sector) wordt op de dalende flank van $\overline{WE}$ gelatcht, terwijl het commando (data) op de stijgende flank van $\overline{WE}$ wordt gelatcht. Het wissen van de sector begint na een blokkeertijd van 100 µs, volgend op de stijgende flank van het laatste sector erase-commando (30H).
Er kunnen meerdere sectoren na elkaar worden gewist door de bovengenoemde zes buscycli uit te voeren. Als in de 100 µs time-out periode een ander commando dan sector erase wordt geschreven, gaat de 29F040 terug naar de leesmode en wordt de voorafgaande commando-reeks genegeerd (zie ook tabel 8/5.5-34).
Ook voorafgaande aan het wissen van een sector behoeft het geheugen niet geprogrammeerd te worden. De 29F040 programmeert alle geheugenlocaties in de gewenste sector(en) automatisch vóór het elektrisch wissen.
Dit heeft geen invloed op de overige sectoren. Deze operaties worden automatisch, zonder besturingssignalen of timingen uitgevoerd.

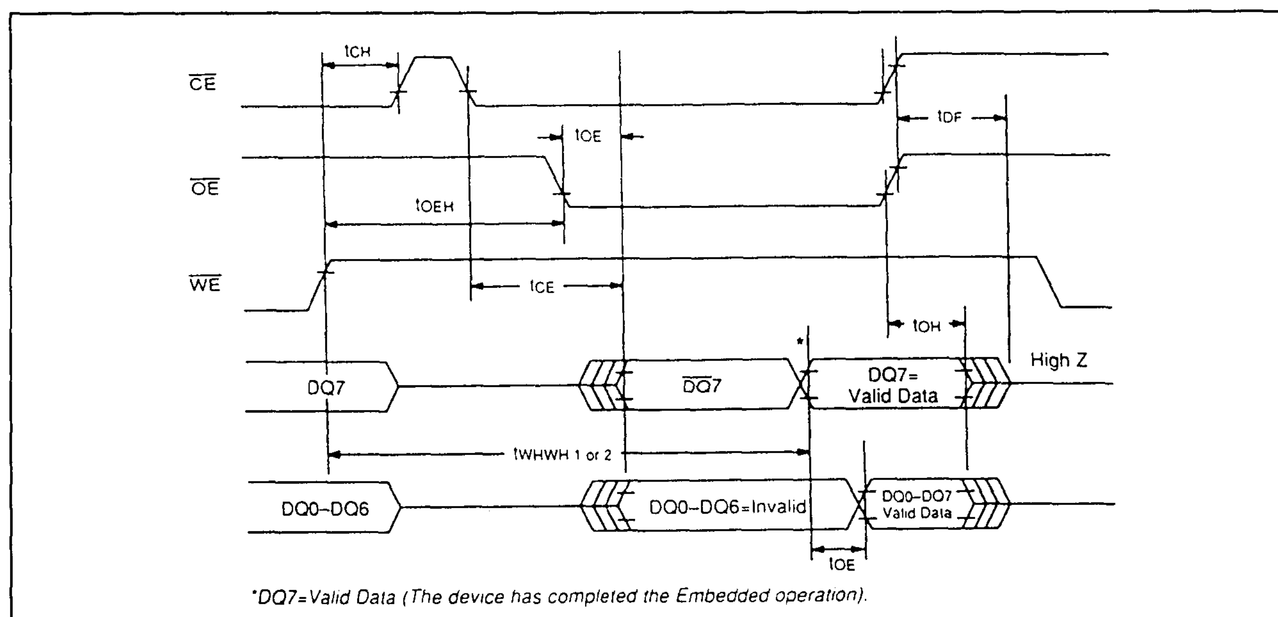
Erase Suspend

Het Erase Suspend commando stelt de gebruiker in staat om midden in een sectorwisoperatie een niet-busy sector op de chip te interrumperen en data uit te lezen.

5.5 Type-beschrijving Flash EEPROM's

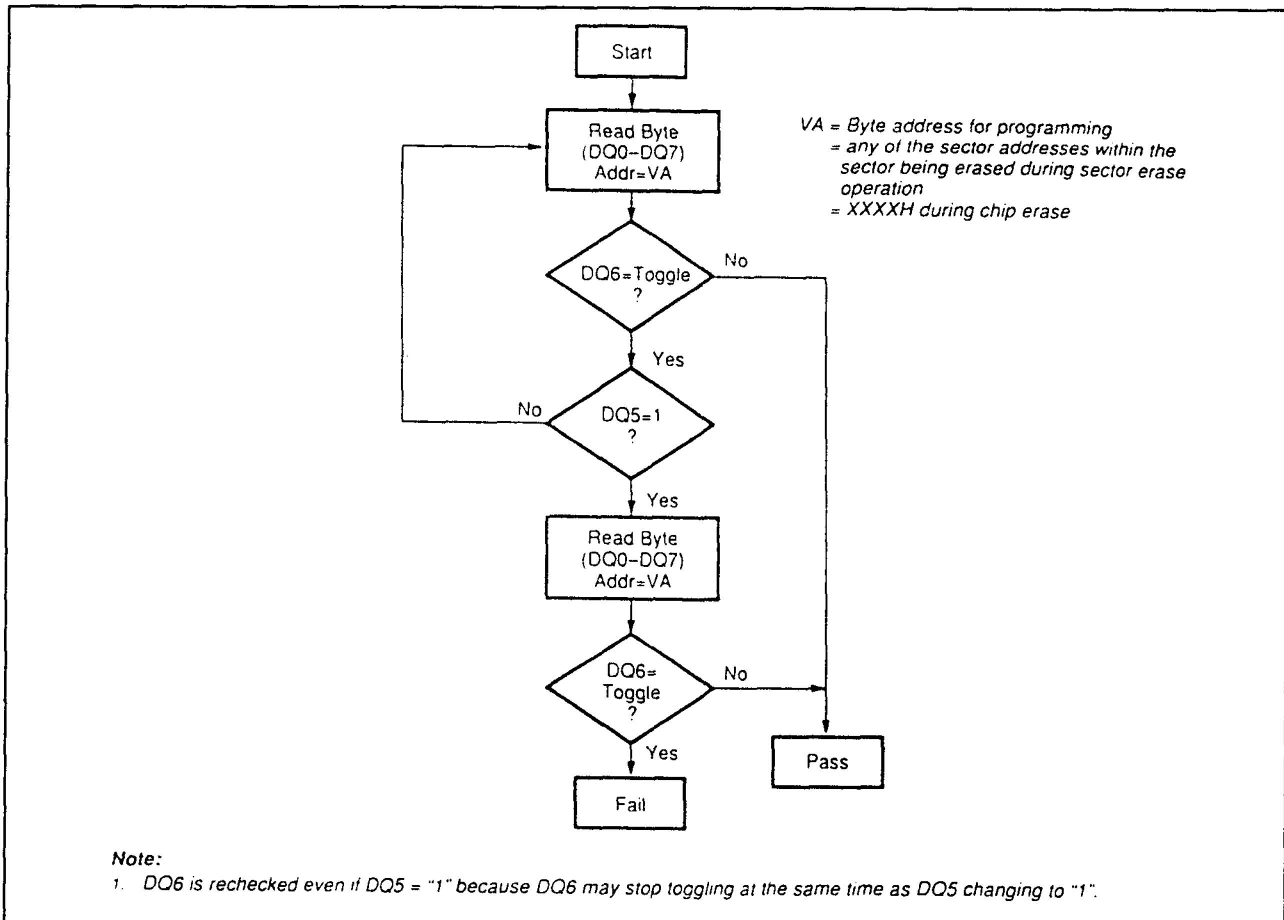


Figuur 8/5.5-46: Flow-diagram van $\overline{\text{Data}}$-polling.

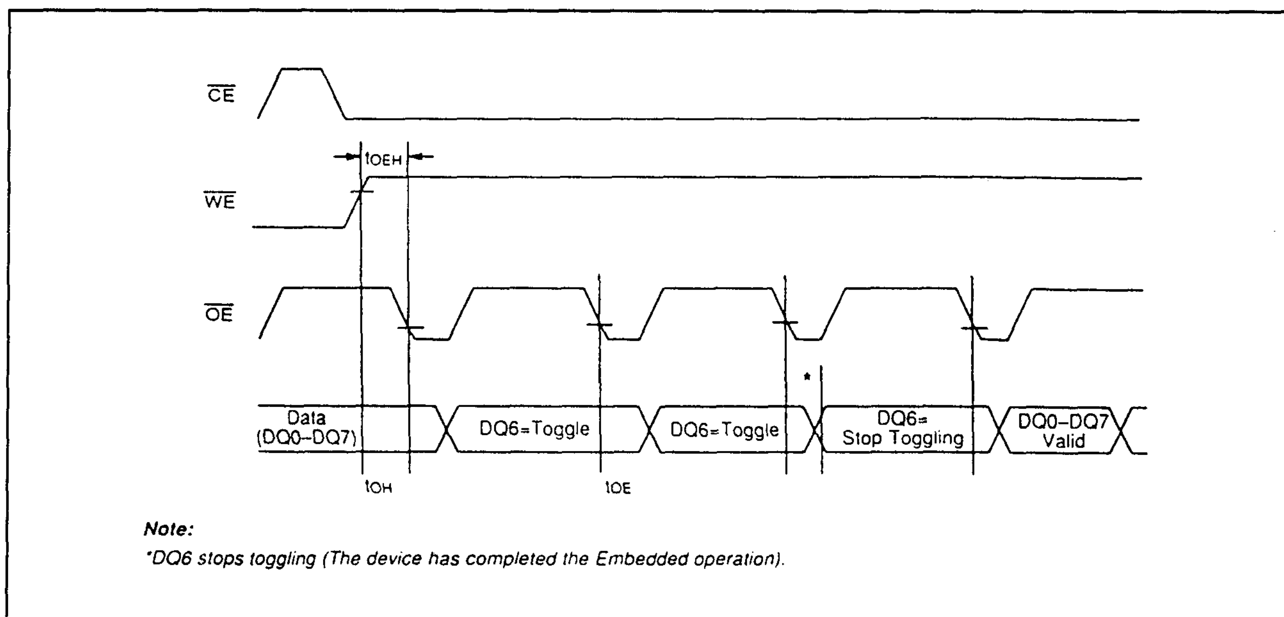


Figuur 8/5.5-47: Timing van $\overline{\text{Data}}$-polling bij de 29F040.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-48: Flow-diagram voor de Toggle Bit algorithme.



Figuur 8/5.5-49: Golfvormen en timing van de toggle bit tijdens operaties met ingebedde algorithmen.

5.5 Type-beschrijving Flash EEPROM's

Dit commando (B0H) kan alleen worden uitgevoerd gedurende een Sector Erase operatie en wordt bijvoorbeeld genegeerd tijdens Chip Erase of tijdens het programmeren. Wordt dit commando om het wissen uit te stellen (Erase Suspend) gedurende de time-out geschreven, dan wordt deze periode onmiddellijk afgebroken.
Wanneer het Erase Suspend commando tijdens een Sector Erase operatie wordt geschreven, komt de chip na 0,1 µs tot 10 µs in een pseudo-leesmode terecht, waarbij een sector die ***NIET*** wordt gewist kan worden uitgelezen (een sector die wel werd gewist kan foute data opleveren). De gebruiker moet de toggle-bit in de gaten houden om te kunnen vaststellen dat de chip in de pseudo-leesmode is terecht gekomen.
Na afloop van de Sector Erase moet een Resume commando (30H) worden geschreven.

Data-Polling (DQ7)
Op de 29F040 kan Data-polling worden toegepast om de toestand van de lopende ingebedde algoritmen te signaleren. Tijdens de ingebedde programmeer-algorithme verschijnt bij een poging tot uitlezen het omgekeerde van de laatst geschreven data op DQ7.
Als het programmeren klaar is, verschijnt de werkelijke, laatst geprogrammeerde data op DQ7. Gedurende de ingebedde wis-algorithme is op DQ7 een "0" aanwezig totdat het wissen klaar is (hierna is DQ7 = "1"). Bij het chip-wissen is de Data-polling geldig na de stijgende flank van de zesde WE-puls uit de reeks van zes schrijfpulsen. Voor het sector-wissen is de Data-polling geldig na de laatste stijgende flank van de sector-wis WE-puls.
Zoals ook in tabel 8/5.5-34 te zien is, is Data-polling alleen mogelijk tijdens de ingebedde programmeer-algorithme, de ingebedde wis-algorithme of het sector-wissen. Figuur 8/5.5-46 toont het flow-diagram van de Data-polling en figuur 8/5.5-47 de benodigde timing.

Toggle Bit (DQ6)
De 29F040 biedt ook de "Toggle Bit" methode om te informeren over de toestand van de lopende ingebedde algorithmen. Gedurende een ingebedde programmeer- of wis-algorithme hebben herhaalde leespogingen tot gevolg dat beurtelings een "0" en een "1" op DQ6 aanwezig is. Na afloop van een dergelijke ingebedde cyclus stopt dit "toggelen" op DQ6 en blijft de geldige data bij verdere leespogingen staan.
Tijdens het programmeren kan de Toggle Bit worden gebruikt na de stijgende flank van de vierde WE-puls uit de reeks van vier schrijfpulsen. Voor het chip-wissen is de Toggle Bit geldig na de laatste stijgende flank van de zesde sector-wis WE-puls uit de reeks van zes schrijfpulsen. Voor het sector-wissen is de Toggle Bit geldig na de laatste stijgende flank van de sector-wis WE-puls. De Toggle Bit is aktief gedurende de sector time-out. In figuur 8/5.5-48 is het flow-diagram van de toggle bit-algorithme te zien en in figuur 8/5.5-49 de hierbij optredende timing.

Exceeded Timing Limits (DQ5)
Door middel van een "1" op DQ5 wordt aangegeven dat de tijd voor het programmeren of wissen langer heeft geduurd dan de gespecificeerde grenzen. Dit betekent dat de programmeer- of wis-cyclus niet correct is verlopen. Onder deze omstandigheden werkt dan alleen Data-polling nog en zal het CE-circuit de opgenomen stroom verminderen tot ongeveer 2 mA. De OE en WE aansluitingen sperren dan de uitgangen. Om de 29F040 te resetten moet de reset-commandoreeks worden geschreven. Hierdoor kan het systeem gebruik maken van de andere aktieve sectoren in het geheugen.

Sector Erase timer (DQ3)
Na beëindiging van de initiële sector-wis commandoreeks begint de sector-wis blokkeertijd (sector erase time-out), waarbij DQ3 LAAG is. Data-polling en Toggle Bit zijn bruikbaar na de initiële sector-wis commandoreeks. Als door Data-polling of Toggle Bit

5.5 Type-beschrijving Flash EEPROM's

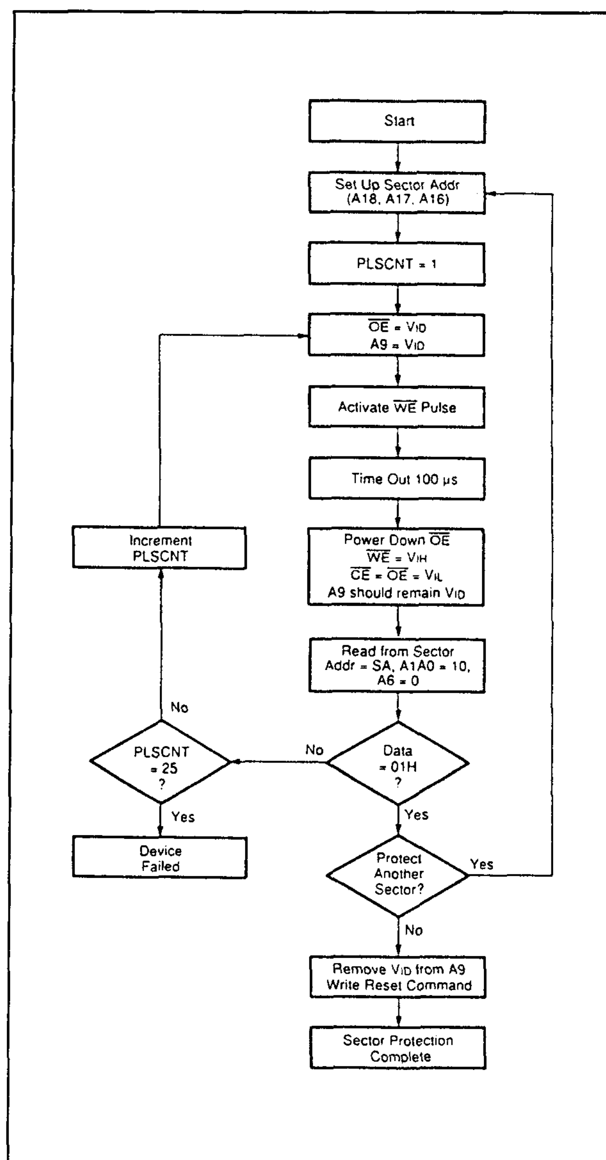
wordt aangegeven dat de 29F040 een geldig wiscommando bevat, kan met DQ3 worden bepaald of het sector-wis timer-venster nog open staat. Als DQ3 HOOG ("1") is, is de intern geregelde wis-cyclus begonnen. Pogingen extra commando's naar het geheugen te schrijven worden dan genegeerd totdat het wissen klaar is. Als DQ3 LAAG ("0") is, accepteert het geheugen nakomende sector-wis commando's. Om er zeker van te zijn dat het commando is geaccepteerd, moet de software de status van DQ3 vóór en na elk volgende sector-wis commando controleren. Als DQ3 HOOG is bij de tweede controle van de status, is het commando niet geaccepteerd.

Data beveiliging

De 29F040 heeft een beveiliging tegen onbedoeld wissen of programmeren door valse signalen in het systeem. Bij het opkomen van de voedingsspanning staat de interne statemachine automatisch in de leesmode. Bovendien wordt (door de architectuur van besturingsregisters) de inhoud van het geheugen alleen veranderd als specifieke multibuscyclus commandoreeksen met succes werden doorlopen. Om te voorkomen dat met een schrijfcyclus wordt begonnen bij het opkomen en wegvallen van V_{CC}, wordt deze gesperd als V_{CC} lager is dan 3,2 V (3,7 V typ.). De 29F040 komt dan in de lees-mode. Bovendien kunnen storingen op $\overline{OE}$, $\overline{CE}$ of $\overline{WE}$ die korter duren dan 5 ns geen schrijfcyclus triggeren.

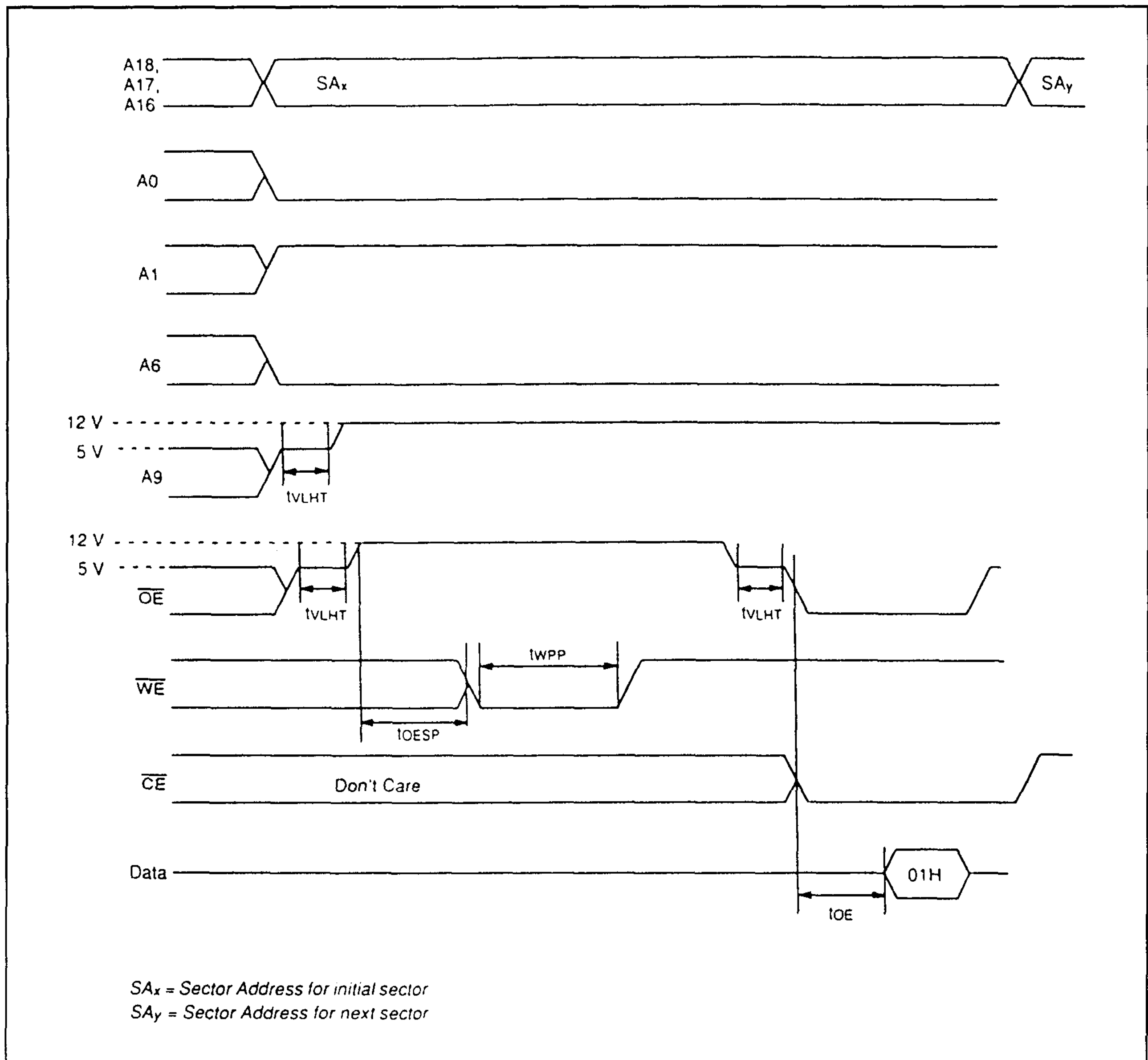
Aan- en uitzetten van sector-beveiliging

De 29F040 kan ook een sector-beveiliging door middel van hardware worden in- en uitgeschakeld. Om deze beveiliging te aktiveren moet men V_{ID} op de besturingspen $\overline{OE}$ en de adrespen A9 zetten. De sectoradressen worden ingesteld met de hogere adreslijnen A16, A17 en A18. Het beveiligingsmechanisme begint op de dalende flank van de $\overline{WE}$-puls en stopt op de stijgende flank hiervan. Figuur 8/5.5-50 toont de handelingen voor het inschakelen van de sector-beveiliging en figuur 8/5.5-51 de bijbehorende timing. Het is ook mogelijk om te verifiëren of een sector beveiligd is. Hiertoe moeten A6, $\overline{CE}$ en $\overline{OE}$ LAAG worden gemaakt en $\overline{WE}$ HOOG (A9 blijft hoog op V_{ID}). Wordt nu gelezen op adres XXX2H, waarbij de hogere orde adressen A16, A17 en A18 de sector bepalen, dan verschijnt 01H op de uitgangen (DQ0 tot en met DQ7) als de sector beveiligd is.



Figuur 8/5.5-50: Flow-diagram voor het inschakelen van de sector-beveiliging.

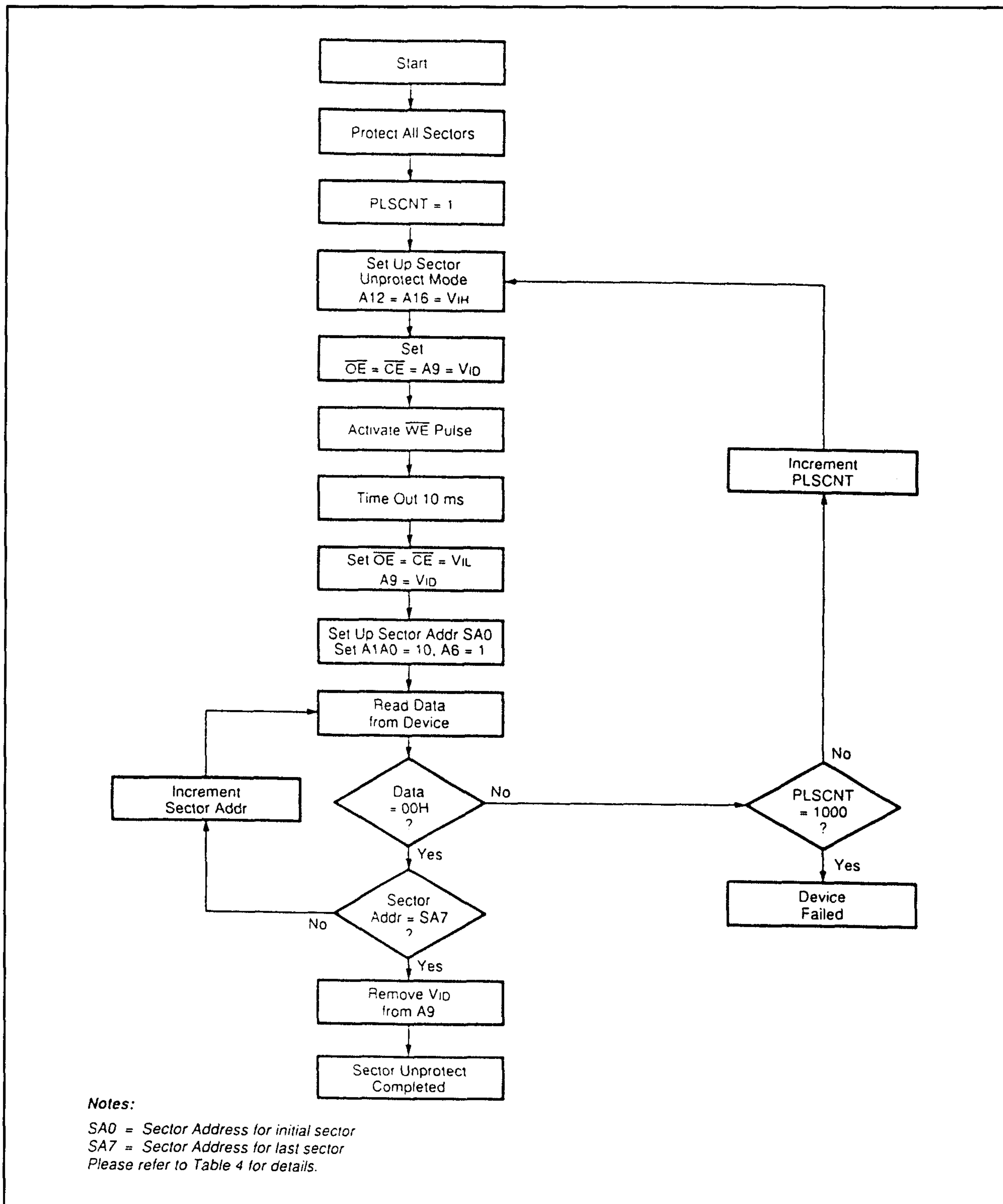
5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-51: Timing en golfvormen bij het inschakelen van de sector-beveiliging.

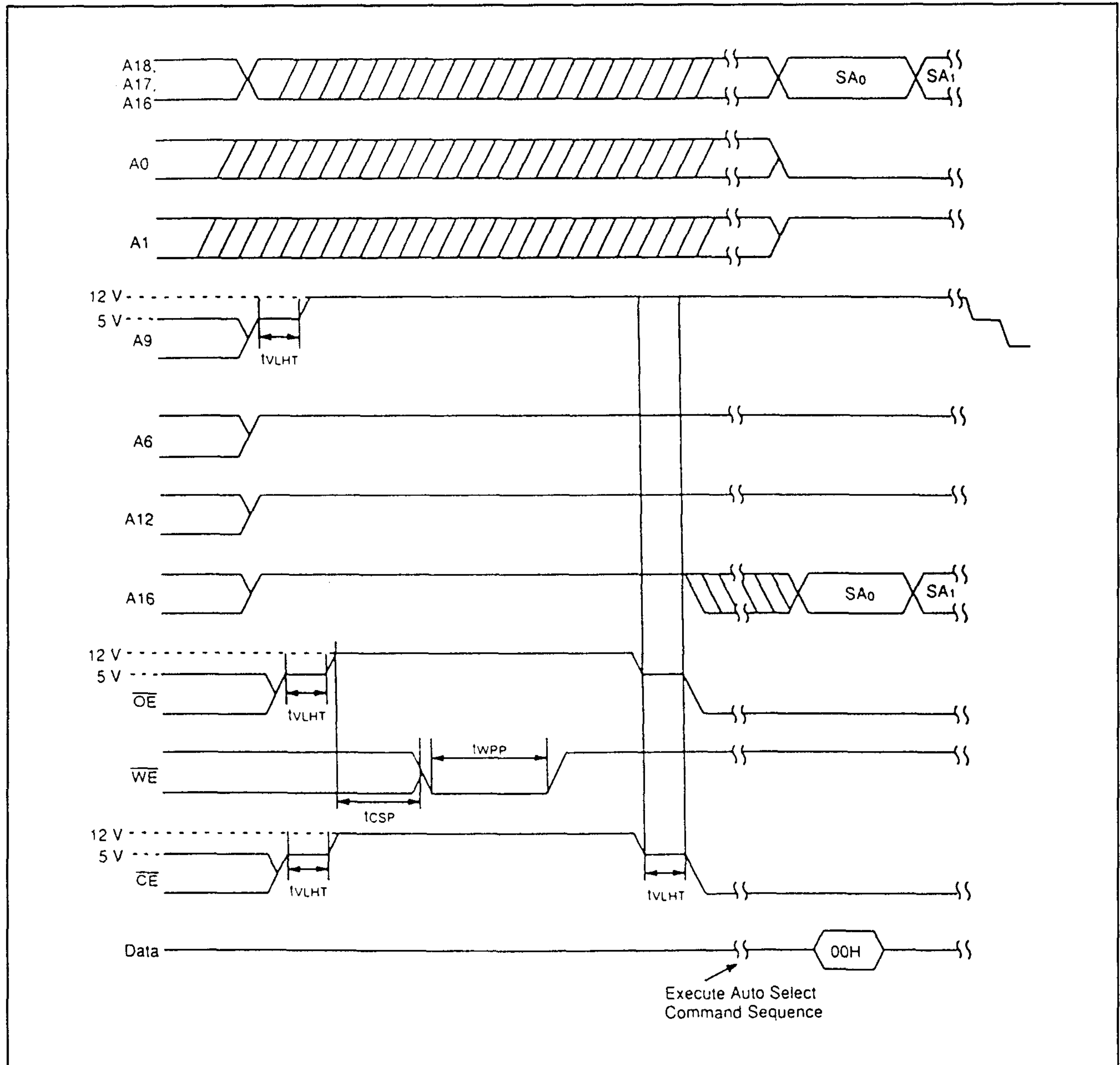
Van de beveiligde sectoren kan de beveiliging ook weer worden afgezet. Om de beveiliging te de-aktiveren moeten eerst alle sectoren beveiligd zijn. Om deze beveiliging uit te zetten moet V_{ID} op de besturingspennen $\overline{OE}$ en $\overline{CE}$ en de adrespen A9 worden geplaatst, terwijl A6, A12 en A16 HOOG moeten zijn.
Zie ook het flow-diagram (figuur 8/5.5-52) en de bijbehorende timing (figuur 8/5.5-53). Het uitzetten van de beveiliging begint op de dalende flank van de $\overline{WE}$-puls en stopt op de stijgende flank.
Het is mogelijk om te verifiëren of de beveiliging van een sector is uitgeschakeld door het autoselect commando te schrijven en A6 HOOG te maken. Wanneer dan wordt gelezen op adres XXX2H, waarbij de hogere adressen A16, A17 en A18 de sector bepalen, verschijnt op de uitgangen (DQ0 tot en met DQ7) 00H voor een niet-beveiligde sector.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-52: Flow-diagram voor het uitschakelen van de sector-beveiliging.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-53: Timing en golfvormen bij het uitschakelen van de sector-beveiliging.

Overige elektrische kenmerken

De tabellen 8/5.5-35 tot en met 8/5.5-44 en figuur 8/5/5.54 bieden een overzicht van de overige elektrische en timing-karakteristieken van de 29F010 van AMD.

5.5 Type-beschrijving Flash EEPROM's

ABSOLUTE MAXIMUM RATINGS

Storage Temperature
Ceramic Packages .... –65°C to +150°C
Plastic Packages .... –65°C to +125°C

Ambient Temperature
with Power Applied .... –55°C to +125°C

Voltage with Respect to Ground
All pins except A9 (Note 1) .... –2.0 V to +7.0 V

Vcc (Note 1) .... –2.0 V to +7.0 V

A9 (Note 2) .... –2.0 V to +14.0 V

Output Short Circuit Current (Note 3) ...... 200 mA

Notes:

1. *Minimum DC voltage on input or I/O pins is –0.5 V. During voltage transitions, inputs may overshoot VSS to –2.0 V for periods of up to 20 ns. Maximum DC voltage on output and I/O pins is VCC + 0.5 V. During voltage transitions, outputs may overshoot to VCC + 2.0 V for periods up to 20 ns.*
2. *Minimum DC input voltage on A9 pin is –0.5 V. During voltage transitions, A9 may overshoot VSS to –2.0 V for periods of up to 20 ns. Maximum DC input voltage on A9 is +13.5 V which may overshoot to 14.0 V for periods up to 20 ns.*
3. *No more than one output shorted at a time. Duration of the short circuit should not be greater than one second.*

Tabel 8/5.5-35: Maximaal toegelaten waarden.

TTL/NMOS Compatible

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
I_{LI}	Input Load Current	V_{IN} = Vss to Vcc, Vcc = Vcc Max		±1.0	μA
I_{LIT}	A9 Input Load Current	Vcc = Vcc Max, A9 = 12.5 V		50	μA
I_{LO}	Output Leakage Current	V_{OUT} = Vss to Vcc, Vcc = Vcc Max		±1.0	μA
I_{CC1}	Vcc Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		40	mA
I_{CC2}	Vcc Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		60	mA
I_{CC3}	Vcc Standby Current	Vcc = Vcc Max, $\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IH}		1.0	mA
V_{IL}	Input Low Level		–0.5	0.8	V
V_{IH}	Input High Level		2.0	Vcc + 0.5	V
V_{ID}	Voltage for Autoselect and Sector Protect	Vcc = 5.0 V	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12 mA, Vcc = Vcc Min		0.45	V
V_{OH}	Output High Level	I_{OH} = –2.5 mA Vcc = Vcc Min	2.4		V
V_{LKO}	Low Vcc Lock-Out Voltage		3.2	4.2	V

Vcc = 5 V ± 10%. Typical values are for nominal supply voltages. T_A = –55°C to 125°C.

Tabel 8/5.5-36: TTL/NMOS-compatibele gelijkspanningskarakteristieken van de 29F040.

5.5 Type-beschrijving Flash EEPROM's

CMOS Compatible

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
I_{LO}	Output Leakage Current	V_{OUT} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max		±1.0	µA
I_{CC1}	V_{CC} Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		40	mA
I_{CC2}	V_{CC} Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		60	mA
I_{CC3}	V_{CC} Standby Current	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{CC} ± 0.5 V, $\overline{OE}$ = V_{IL}		100	µA
V_{IL}	Input Low Level		–0.5	0.8	V
V_{IH}	Input High Level		0.7x V_{CC}	V_{CC} +0.3	V
V_{ID}	Voltage for Autoselect and Sector Protect	V_{CC} = 5.0 V	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12.0 mA, V_{CC} = V_{CC} Min		0.45	V
V_{OH1}	Output High Voltage	I_{OH} = –2.5 mA, V_{CC} = V_{CC} Min	0.85 V_{CC}		
V_{OH2}		I_{OH} = –100 µA, V_{CC} = V_{CC} Min	V_{CC} –0.4		
V_{LKO}	Low V_{CC} Lock-out Voltage		3.2	4.2	V

V_{CC} = 5 V ± 10%, Typical values are for nominal supply voltages. T_A = –55°C to 125°C.

Tabel 8/5.5-37: Gelijkspanningskarakteristieken (CMOS-compatibel) van de 29F040.

Read Only Operations Characteristics

Parameter Symbols: JEDEC	Parameter Symbols: Standard	Description	Test Setup		–70 (Note 1)	–90 (Note 2)	–120 (Note 2)	–150 (Note 2)	Unit
t_{AVAV}	t_{RC}	Read Cycle Time (Note 4)		Min	70	90	120	150	ns
t_{AVQV}	t_{ACC}	Address to Output Delay	$\overline{CE}$ = V_{IL} $\overline{OE}$ = V_{IL}	Max	70	90	120	150	ns
t_{ELQV}	t_{CE}	Chip Enable to Output Delay	$\overline{OE}$ = V_{IL}	Max	70	90	120	150	ns
t_{GLQV}	t_{OE}	Output Enable to Output Delay		Max	30	35	50	55	ns
t_{EHQZ}	t_{DF}	Chip Enable to Output High Z (Note 3)		Max	20	20	30	35	ns
t_{GHQZ}	t_{DF}	Output Enable to Output High Z (Note 3)			20	20	30	35	ns
t_{AXQX}	t_{OH}	Output Hold Time From Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurs First		Min	0	0	0	0	ns

Notes:

1. *Test Conditions:*
   Output Load: 1 TTL gate and 30 pF
   Input rise and fall times: 5 ns
   Input pulse levels: 0.0 V to 3.0 V
   Timing measurement reference level
   Input: 1.5 V
   Output: 1.5 V
2. *Test Conditions:*
   Output Load: 1 TTL gate and 100 pF
   Input rise and fall times: 20 ns
   Input pulse levels: 0.45 V to 2.4 V
   Timing measurement reference level
   Input: 0.8 and 2.0 V
   Output: 0.8 and 2.0 V
3. *Output driver disable time.*
4. *Not 100% tested.*

Tabel 8/5.5-38: Schakeltijden bij het uitlezen van vier snelheidsversies van de 29F040.

5.5 Type-beschrijving Flash EEPROM's

Write/Erase/Program Operations

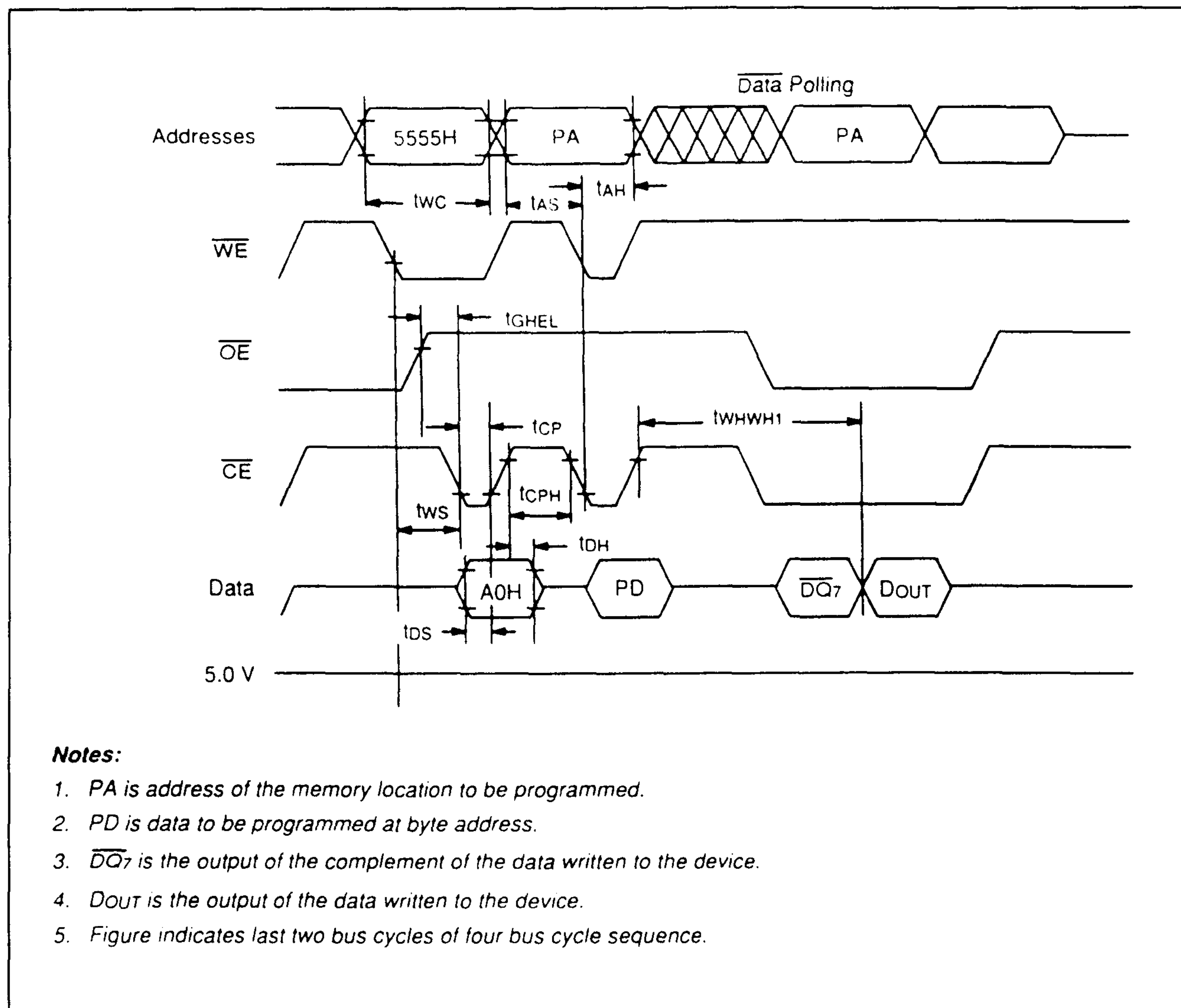
Parameter Symbols JEDEC	Parameter Symbols Standard	Description		-70	-90	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (Note 4)	Min	70	90	120	150	ns
t_{AVWL}	t_{AS}	Address Setup Time	Min	0	0	0	0	ns
t_{WLAX}	t_{AH}	Address Hold Time	Min	45	45	50	50	ns
t_{DVWH}	t_{DS}	Data Setup Time	Min	30	45	50	50	ns
t_{WHDX}	t_{DH}	Data Hold Time	Min	0	0	0	0	ns
	t_{OES}	Output Enable Setup Time	Min	0	0	0	0	ns
	t_{OEH}	Output Enable Hold Time: Read (Note 4)	Min	0	0	0	0	ns
		Output Enable Hold Time: Toggle and $\overline{Data}$ Polling	Min	10	10	10	10	ns
t_{GHWL}	t_{GHWL}	Read Recover Time Before Write	Min	0	0	0	0	ns
t_{ELWL}	t_{CS}	$\overline{CE}$ Setup Time	Min	0	0	0	0	ns
t_{WHEH}	t_{CH}	$\overline{CE}$ Hold Time	Min	0	0	0	0	ns
t_{WLWH}	t_{WP}	Write Pulse Width	Min	35	45	50	50	ns
t_{WHWL}	t_{WPH}	Write Pulse Width High	Min	20	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation	Typ	16	16	16	16	µs
t_{WHWH2}	t_{WHWH2}	Erase Operation (Note 1)	Typ	1.5	1.5	1.5	1.5	sec
			Max	30	30	30	30	sec
	t_{VCS}	Vcc Set Up Time (Note 4)	Min	50	50	50	50	µs
	t_{VLHT}	Voltage Transition Time (Notes 2, 4)	Min	4	4	4	4	µs
	t_{WPP}	Write Pulse Width (Note 2)	Min	100	100	100	100	µs
	t_{OESP}	$\overline{OE}$ Setup Time to $\overline{WE}$ Active (Notes 2, 4)	Min	4	4	4	4	µs
	t_{CSP}	$\overline{CE}$ Setup Time to $\overline{WE}$ Active (Notes 3, 4)	Min	4	4	4	4	µs

Notes:

1. *This does not include the preprogramming time.*
2. *These timings are for Sector Protect/Unprotect operations.*
3. *This timing is only for Sector Unprotect.*
4. *Not 100% tested.*

Tabel 8/5.5-39: Schakeltijden, geldend voor het wissen en programmeren van de 29F040 (vier snelheidsversies).

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-54: Timing bij het programmeren op basis van $\overline{CE}$-omschakelingen.

5.5 Type-beschrijving Flash EEPROM's

Write/Erase/Program Operations

Alternate $\overline{CE}$ Controlled Writes

Parameter Symbols: JEDEC	Parameter Symbols: Standard	Description			-70	-90	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (Note 4)		Min	70	90	120	150	ns
t_{AVEL}	t_{AS}	Address Setup Time		Min	0	0	0	0	ns
t_{ELAX}	t_{AH}	Address Hold Time		Min	45	45	50	50	ns
t_{DVEH}	t_{DS}	Data Setup Time		Min	30	45	50	50	ns
t_{EHDX}	t_{DH}	Data Hold Time		Min	0	0	0	0	ns
	t_{OES}	Output Enable Setup Time		Min	0	0	0	0	ns
	t_{OEH}	Output Enable Hold Time	Read (Note 4)	Min	0	0	0	0	ns
			Toggle and $\overline{Data}$ Polling	Min	10	10	10	10	ns
t_{GHEL}	t_{GHEL}	Read Recover Time Before Write		Min	0	0	0	0	ns
t_{WLEL}	t_{WS}	$\overline{WE}$ Setup Time		Min	0	0	0	0	ns
t_{EHWH}	t_{WH}	$\overline{WE}$ Hold Time		Min	0	0	0	0	ns
t_{ELEH}	t_{CP}	$\overline{CE}$ Pulse Width		Min	35	45	50	50	ns
t_{EHEL}	t_{CPH}	$\overline{CE}$ Pulse Width High		Min	20	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation		Typ	16	16	16	16	µs
t_{WHWH2}	t_{WHWH2}	Erase Operation (Note 1)		Typ	1.5	1.5	1.5	1.5	sec
				Max	30	30	30	30	sec
	t_{VCS}	V_{CC} Set Up Time (Note 4)		Typ	50	50	50	50	µs

Notes:

1. *This does not include the preprogramming time.*
2. *These timings are for Sector Protect/Unprotect operations.*
3. *This timing is only for Sector Unprotect.*
4. *Not 100% tested.*

Tabel 8/5.5-40: Schakeltijden bij het wissen en programmeren op basis van $\overline{CE}$-omschakelen van vier snelheidsversies van de 29F040 (zie ook figuur 8/5.5-54).

5.5 Type-beschrijving Flash EEPROM's

Parameter	Limits Min	Typ	Max	Unit	Comments
Chip and Sector Erase Time		1.5 (Note 1)	30	sec	Excludes 00H programming prior to erasure
Byte Programming Time		16	1000 (Note 2)	µs	Excludes system-level overhead
Chip Programming Time		8.5 (Note 1)	50	sec	Excludes system-level overhead
Erase/Program Cycles	100.000	1.000.000		Cycles	

Notes:

1. *25°C, 5 V Vcc, 100.000 cycles*
2. *The Embedded Algorithms allow for 48 ms byte program time.*

Tabel 8/5.5-41: Prestaties bij het wissen en programmeren van de 29F040.

	Min	Max
Input Voltage with respect to V_{SS} on all I/O pins	−1.0 V	V_{CC} + 1.0 V
V_{CC} Current	−100 mA	+100 mA

Includes all pins except V_{CC}. Test conditions: V_{CC} = 5.0 V, one pin at a time.

Tabel 8/5.5-42: Latch-up karakteristieken van de 29F040.

Parameter Symbol	Parameter Description	Test Setup	Typ	Max	Unit
C_{IN}	Input Capacitance	V_{IN} = 0	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0	8	12	pF
C_{IN2}	Control Pin Capacitance	V_{PP} = 0	8	12	pF

Tabel 8/5.5-43: Pen-capaciteiten van de PLCC- en DIP-versie van de 29F040.

Parameter Symbol	Parameter Description	Test Setup	Typ	Max	Unit
C_{IN}	Input Capacitance	V_{IN} = 0	6	7.5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0	8.5	12	pF
C_{IN2}	Control Pin Capacitance	V_{IN} = 0	7.5	9	pF

Notes:

1. *Sampled, not 100% tested.*
2. *Test conditions T_A = 25°C, f = 1.0 MHz*

Tabel 8/5.5-44: Pen-capaciteiten van de LCC- en TSOP-uitvoering van de 29F040.

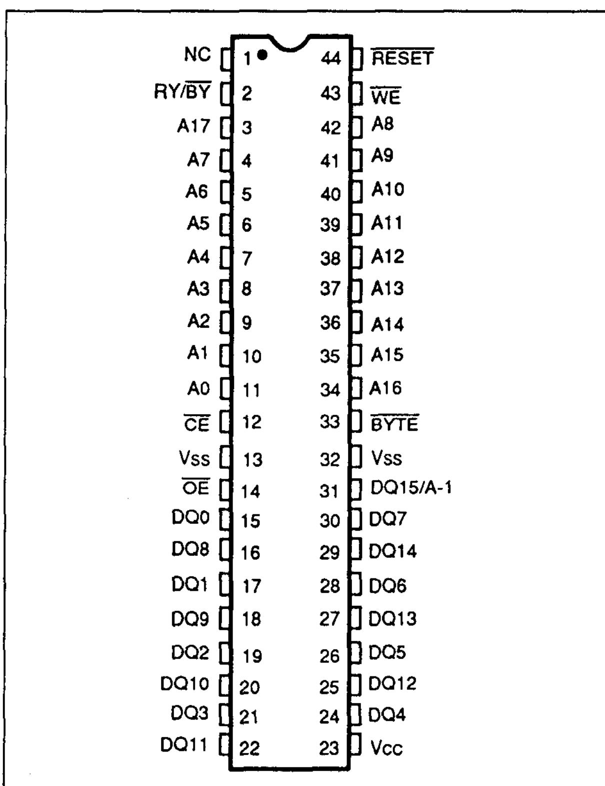
5.5 Type-beschrijving Flash EEPROM's

29F400

512 k x 8 bit / 256 k x 16 bit CMOS

Net als de 29F040 is de 29F400 een 4 MB flash geheugen. De 29F400 heeft echter naar keuze een organisatie van 512 k x 8 bit of 256 k x 16 bit. De 29F400 is leverbaar in een 44-pens SO-behuizing of in een 48-pens TSOP-behuizing. Het geheugen kan met een enkele 5 V spanning worden geprogrammeerd terwijl het zich in een systeem bevindt (geen 12 V nodig) of in een standaard EPROM programmeer-apparaat.

De 29F400 heeft toegangstijden tussen 70 en 150 ns, waardoor bij het gebruik van snelle microprocessoren geen wait-states optreden.



Figuur 8/5.5-55: Aansluitingen van de 44-pens SO-versie van de 29F400.

Om busconflicten te voorkomen heeft de 29F400 aparte Chip Enable ($\overline{CE}$), Write Enable ($\overline{WE}$) en Output Enable ($\overline{OE}$) ingangen. Zowel de aansluitingen als de commandoset van de 29F400 zijn compatibel met JEDEC standaard 4 MB EEPROM's. De commando's worden met gewone schrijfoperaties in het Command Register geschreven. De inhoud van de registers gaat naar een interne state-machine die het wissen en programmeren regelt. Data wordt op dezelfde manier uitgelezen als bij 12 V Flash of EPROM geheugens. De 29F400 wordt geprogrammeerd door een programmeer commandoreeks uit te voeren. Hierdoor wordt de ingebedde programmeer-algorithme opgeroepen (dit is een intern algorithme voor automatische timing van de pulsbreedten en verificatie van de juiste celruimte). Elke sector kan op deze manier in minder dan een seconde worden geprogrammeerd en geverifieerd. Het wissen wordt uitgevoerd aan de hand van de wis commando-reeks. Hierdoor wordt de ingebedde wis-algorithme opgeroepen (een intern algorithme dat de array automatisch voorprogrammeert als die nog niet was geprogrammeerd voordat het wissen begint). De gehele chip of een willekeurige sector wordt op deze manier binnen 1,5 seconde gewist en geverifieerd (als die tenminste compleet was voorgeprogrammeerd).

Het geheugen beschikt ook over een sector wis-architectuur. In de sector-mode kan elke sector worden gewist en geherprogrammeerd zonder andere sectoren te beïnvloeden.

De 29F400 werkt op een enkele +5 V voedingsspanning voor alle functies. Voor het programmeren en wissen worden interne spanningen opgewekt en gestabiliseerd. Wanneer V_{CC} te laag is belet de bijbehorende detector automatisch alle schrijfhandelingen. Het einde van het programmeren of wissen wordt gedetecteerd door $\overline{\text{data}}$-polling op DQ7, door het toggle-bit operatie op DQ6, of door de RY/$\overline{BY}$-pen. Zodra het programmeren of wissen klaar is, gaat de 29F400 intern terug naar de leesmode.

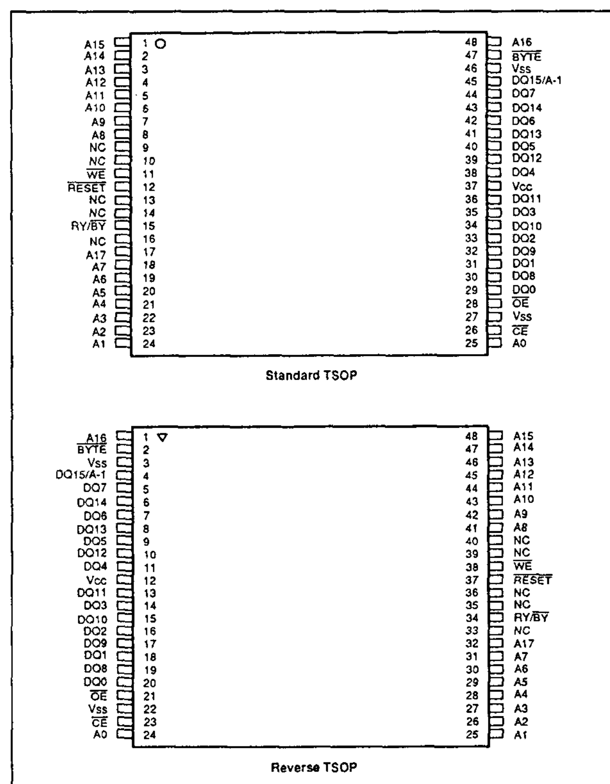
Specificaties

De 29F400 heeft de volgende kenmerken:

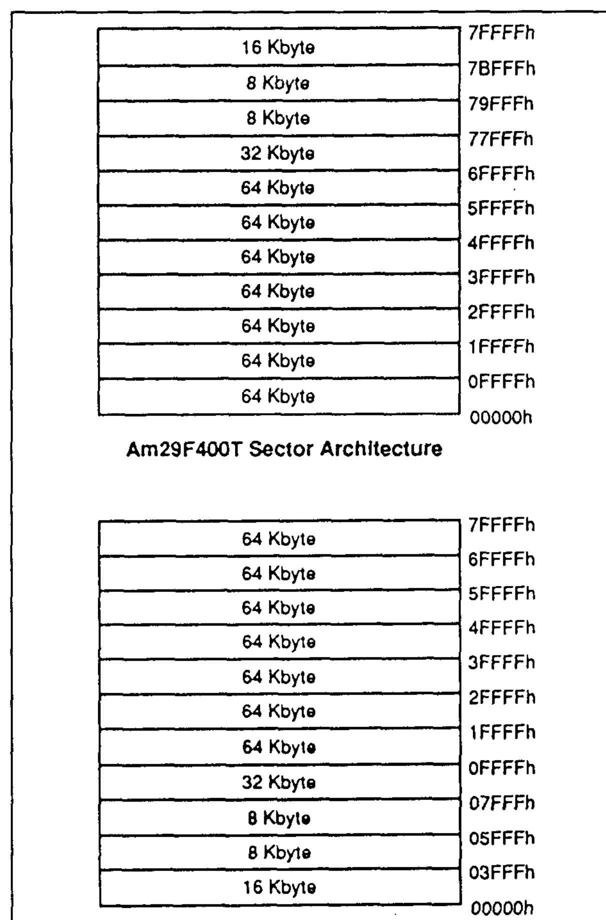
- 524.288 x 8 bit of 262.144 x 16 bit organisatie

5.5 Type-beschrijving Flash EEPROM's

- enkele voedingsspanning 5 V +/-10 % voor lezen, wissen en programmeren
- low power CMOS: 20 mA lezen (byte-mode), 28 mA lezen (word-mode), 30 mA wissen/programmeren, 25 µA standby
- toegangstijden: 70, 90, 120 of 150 ns
- flexibele sector wis-architectuur: één 16 kB, twee 8 kB, één 32 kB en zeven 64 kB (zie ook figuur 8/5.5-57) alle willekeurige combinaties van sectoren kunnen opeenvolgende worden gewist, ook volledig wissen van de chip is mogelijk
- ingebedde wis-algorithmen: automatisch pre-programmeren en wissen van chip of willekeurige sector
- ingebedde programmeer-algorithmen: automatisch schrijven en verifiëren van data
- Data-polling en toggle-bit detectie van einde van programmeren of wissen
- minimaal 100.000 wis/programmeercycli mogelijk
- TTL-, NMOS- en CMOS-compatibel
- JEDEC-standaard behuizingen: 44-pens SO of 48-pens TSOP (figuur 8/5.5-55 en -56)
- boot-sector architectuur naar keuze: Am29F400T: Top-sector, Am29F400B: Bottom-sector
- Fabrikant: AMD (Am29F400T, Am29F400B)

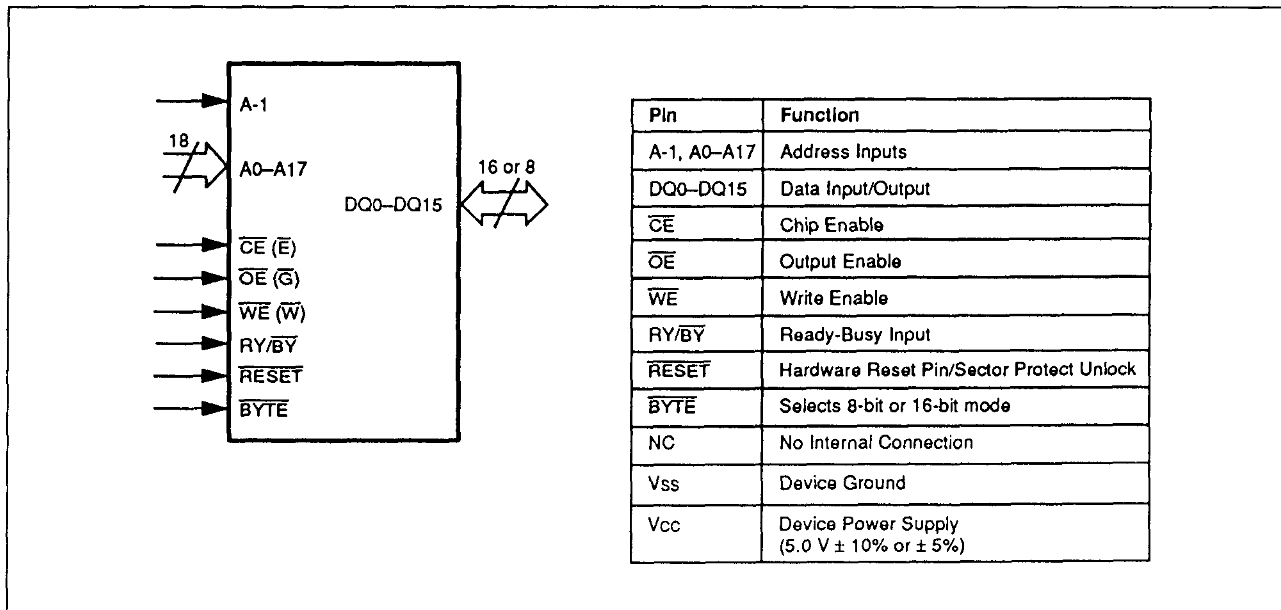


Figuur 8/5.5-56: Boven: de standaard TSOP-uitvoering van de 29F400; onder: de geïnverteerde TSOP-versie (Thin Small Outline Package).



Figuur 8/5.5-57: Boven: Top boot-code sector; onder: Bottom-code sector architectuur.

5.5 Type-beschrijving Flash EEPROM's

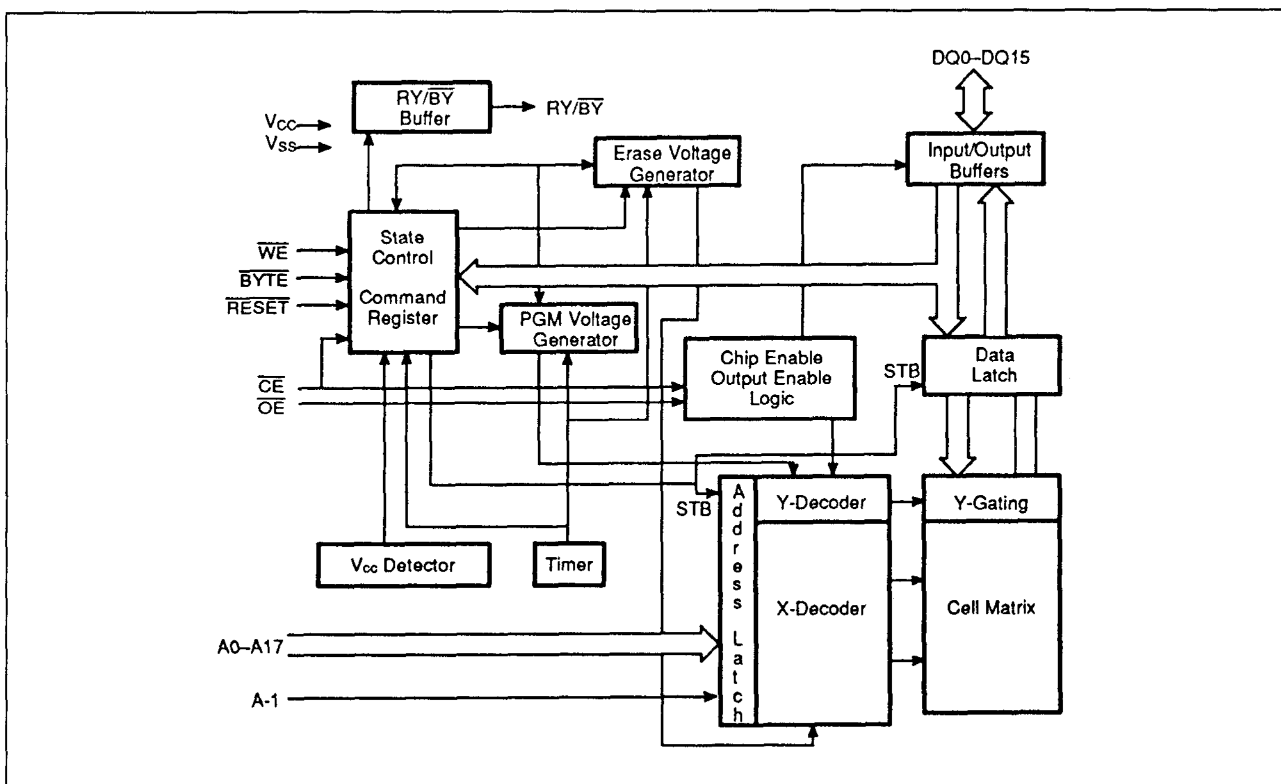


Pin	Function
A-1, A0–A17	Address Inputs
DQ0–DQ15	Data Input/Output
CE	Chip Enable
OE	Output Enable
WE	Write Enable
RY/BY	Ready-Busy Input
RESET	Hardware Reset Pin/Sector Protect Unlock
BYTE	Selects 8-bit or 16-bit mode
NC	No Internal Connection
Vss	Device Ground
Vcc	Device Power Supply (5.0 V ± 10% or ± 5%)

Figuur 8/5.5-58: Logisch symbool en aansluitingen van de 29F400.

Werking

Aan de hand van het blokschema (figuur 8/5.5-59) en de tabellen met de busoperaties (tabel 8/5.5-45 en -46) worden alle operaties behandeld.



Figuur 8/5.5-59: Functioneel blokschema van de 29F400.

5.5 Type-beschrijving Flash EEPROM's

Operation	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0	A1	A6	A9	DQ0–DQ15	$\overline{RESET}$
Auto-Select Manufacturer Code (1)	L	L	H	L	L	L	V_{ID}	Code	H
Auto-Select Device Code (1)	L	L	H	H	L	L	V_{ID}	Code	H
Read (3)	L	L	H	A0	A1	A6	A9	D_{OUT}	H
Standby	H	X	X	X	X	X	X	HIGH Z	H
Output Disable	L	H	H	X	X	X	X	HIGH Z	X
Write	L	H	L	A0	A1	A6	A9	D_{IN}	H
Enable Sector Protect	L	V_{ID}	L	X	X	X	V_{ID}	X	H
Verify Sector Protect (2)	L	L	H	L	H	L	V_{ID}	Code	H
Temporary Sector Unprotect	X	X	X	X	X	X	X	X	V_{ID}
Reset (Hardware)	X	X	X	X	X	X	X	HIGH Z	L

Tabel 8/5.5-45: Gebruikersbus-operaties voor de 29F400 ($\overline{BYTE}$ = HOOG: word mode).

Operation	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0	A1	A6	A9	DQ0–DQ7	$\overline{RESET}$
Auto-Select Manufacturer Code (1)	L	L	H	L	L	L	V_{ID}	Code	H
Auto-Select Device Code (1)	L	L	H	H	L	L	V_{ID}	Code	H
Read (3)	L	L	H	A0	A1	A6	A9	D_{OUT}	H
Standby	H	X	X	X	X	X	X	HIGH Z	H
Output Disable	L	H	H	X	X	X	X	HIGH Z	X
Write	L	H	L	A0	A1	A6	A9	D_{IN}	H
Enable Sector Protect	L	V_{ID}	L	X	X	X	V_{ID}	X	H
Verify Sector Protect (2)	L	L	H	L	H	L	V_{ID}	Code	H
Temporary Sector Unprotect	X	X	X	X	X	X	X	X	V_{ID}
Reset (Hardware)	X	X	X	X	X	X	X	HIGH Z	L

Legend:

L = V_{IL}, H = V_{IH}, X = Don't Care. See DC Characteristics for voltage levels.

Notes:

1. *Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 7.*
2. *Refer to the section on Sector Protection.*
3. *$\overline{WE}$ can be V_{IL} if $\overline{OE}$ is V_{IL}, $\overline{OE}$ at V_{IH} initiates the write operations.*

Tabel 8/5.5-46: Gebruikersbus-operaties voor de 29F400 ($\overline{BYTE}$ = LAAG: byte-mode).

Read Mode

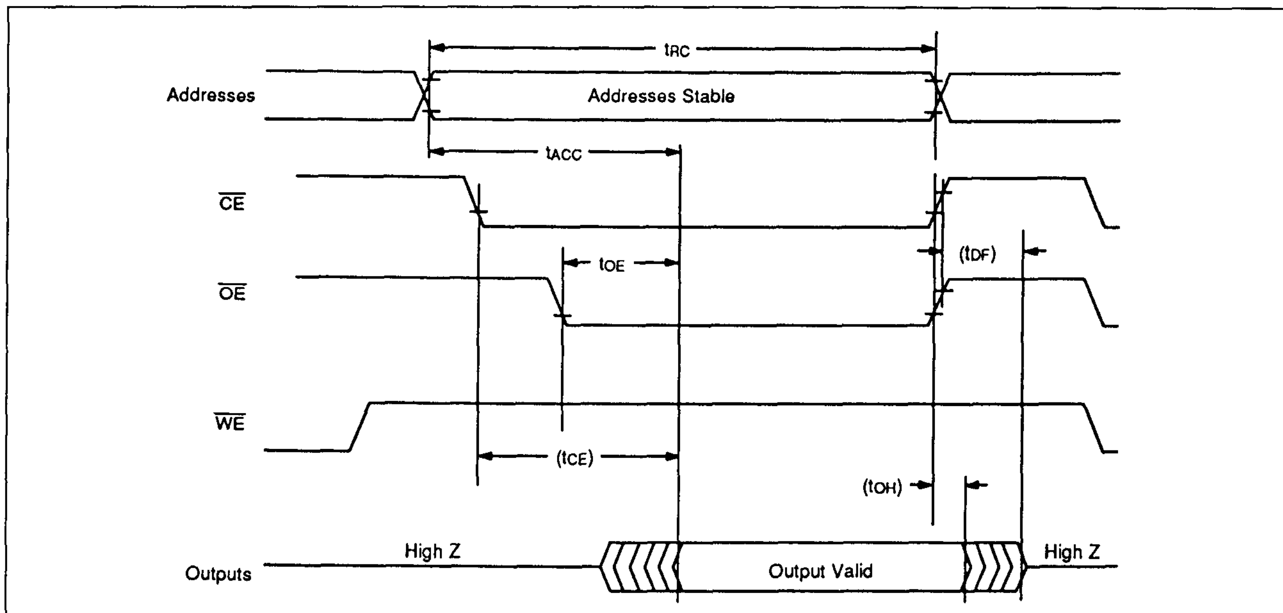
De 29F400 heeft twee besturingsfuncties voor het verkrijgen van data op de uitgangen. $\overline{CE}$ is de besturing van de voeding en wordt gebruikt om de EPROM te selecteren. $\overline{OE}$ bestuurt de uitgang en dient voor het aanbieden van data op de uitgangen als de EPROM is geselecteerd.

De adres-toegangstijd (t_{ACC}) is gelijk aan de vertraging tussen stabiel adres en geldige data.

De chip-enable tijd (t_{CE}) is de vertraging tussen stabiel adres bij stabiele $\overline{CE}$ en geldige data op de uitgangspennen.

In figuur 8/5.5-60 is de timing voor het uitlezen te zien.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-60: Timing en golfvormen bij het uitlezen van de 29F400.

Standby Mode

De 29F400 heeft twee standby-toestanden: een CMOS standby-mode, waarbij $\overline{CE}$ = 5 V en een TTL standby-mode met $\overline{CE}$ = logisch HOOG. In het eerste laatste geval wordt minder dan 100 µA opgenomen en in het tweede geval circa 1 mA. In de standby-mode zijn de uitgangen, onafhankelijk van $\overline{OE}$, hoog-impedant.
Als de 29F400 tijdens het wissen of programmeren niet langer geselecteerd is, blijft er aktieve stroom vloeien totdat de operatie klaar is.

Output Disable

Door $\overline{OE}$ op een logisch HOOG niveau te brengen worden de uitgangen hoog-impedant.

Auto Select

In de auto select-mode (of intelligent identifier-mode) kunnen fabrikant en type in de vorm van een binaire code worden uitgelezen. Dit is bedoeld voor automatische programmeer-apparatuur, die daardoor de juiste programmeer-algorithme kan kiezen. Deze bedrijfsmode wordt geaktiveerd door V_{ID} (= 11,5 V tot 12,5 V) op adrespen A9 te zetten. Er kunnen dan twee identificatiebytes worden uitgelezen door A0 LAAG of HOOG te maken (behalve A0, A1 en A6 doen de overige adreslijnen niet ter zake).
Met A0 = LAAG verschijnt de fabrikantcode (AMD: 01H) en met A0 = HOOG de device-code (Am29F400T: 23H en Am29F400B: ABH in de X8-mode; Am29F400T: 2223H en Am29F400B: 22ABH in de X16-mode) (zie ook de tabellen 8/5.5-47 en -48).
De fabrikant- en typecodes kunnen bij de 29F400 ook worden uitgelezen via het Command Register (als de 29F400 bijvoorbeeld in een systeem wordt gewist of geprogrammeerd). Het is dan niet nodig om de hoge spanning op pen A9 te zetten. De hiervoor benodigde commando-volgorde is te zien in tabel 8/5.5-51: Autoselect.

Write Mode

Het wissen en programmeren geschiedt door middel van het Command Register. De inhoud van dit register dient als besturing van de interne state-machine. De uitgangssignalen van deze state-machine bepalen de werking van het geheugen.
Het Command Register zelf heeft geen adresseerbare geheugenlocatie.

5.5 Type-beschrijving Flash EEPROM's

Type			A12–A17	A6	A1	A0	Code (HEX)
Manufacturer's Code			X	V_{IL}	V_{IL}	V_{IL}	01H
Am29F400 Device Code	Am29F400T	Byte	X	V_{IL}	V_{IL}	V_{IH}	23H
		Word					2223H
	Am29F400B	Byte	X	V_{IL}	V_{IL}	V_{IH}	ABH
		Word					22ABH
Sector Protection			Sector Addresses	V_{IL}	V_{IH}	V_{IL}	01H*

Outputs 01H at protected sector addresses

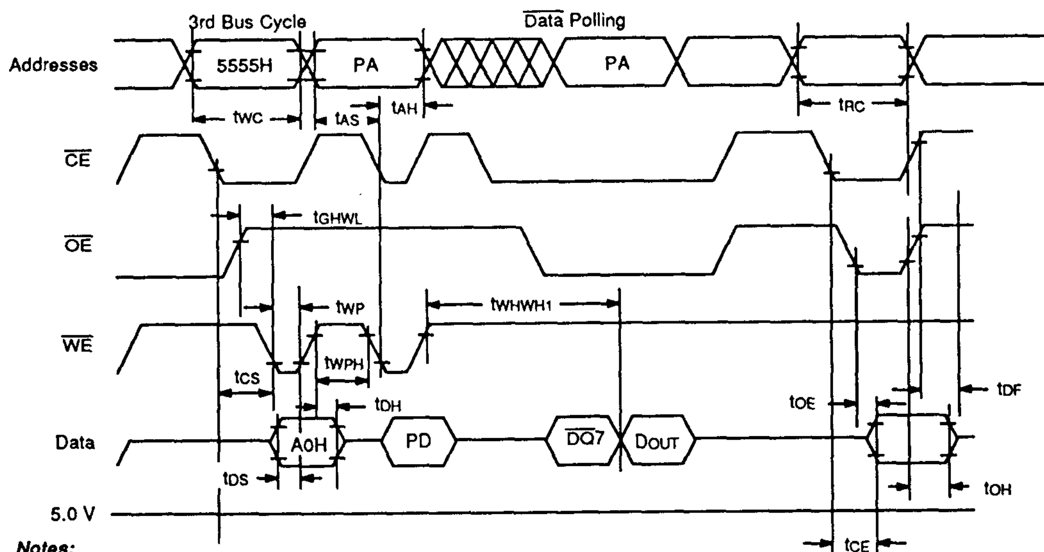
Tabel 8/5.5-47: Sector-protection verify autoselect codes van de 29F400.

Type		Code	DQ15	DQ14	DQ13	DQ12	DQ11	DQ10	DQ9	DQ8	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
Manufacturer's Code		01H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Am29F400 Device Code	Am29F400T(B)	23H	A–1	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	0	0	1	0	0	0	1	1
	(W)	2223H	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	1
	Am29F400B(B)	ABH	A–1	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	HI–Z	1	0	1	0	1	0	1	1
	(W)	22ABH	0	0	1	0	0	0	1	0	1	0	1	0	1	0	1	1
Sector Protection		01H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

(B) – Byte mode

(W) – Word mode

Tabel 8/5.5-48: Expanded autoselect codes.



Notes:

1. *PA is address of the memory location to be programmed.*
2. *PD is data to be programmed at byte address.*
3. *$\overline{DQ7}$ is the output of the complement of the data written to the device.*
4. *D_{OUT} is the output of the data written to the device.*
5. *Figure indicates last two bus cycles of four bus cycle sequence.*
6. *These waveforms are for the x16 mode.*

Figuur 8/5.5-61: Timing en golfvormen bij het schrijven in de 29F400.

5.5 Type-beschrijving Flash EEPROM's

Het register is een latch die wordt gebruikt voor de opslag van commando's plus de adres- en data-informatie die voor de uitvoering van het commando nodig zijn. Het Command Register wordt beschreven door $\overline{WE}$ LAAG te maken, terwijl $\overline{CE}$ LAAG en $\overline{OE}$ HOOG is. De adressen worden op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ gelatcht, terwijl data op de eerst optredende stijgende flank van $\overline{WE}$ of $\overline{CE}$ wordt gelatcht. Voor het schrijven worden standaard microprocessor-timingen gebruikt (figuur 8/5.5-61).

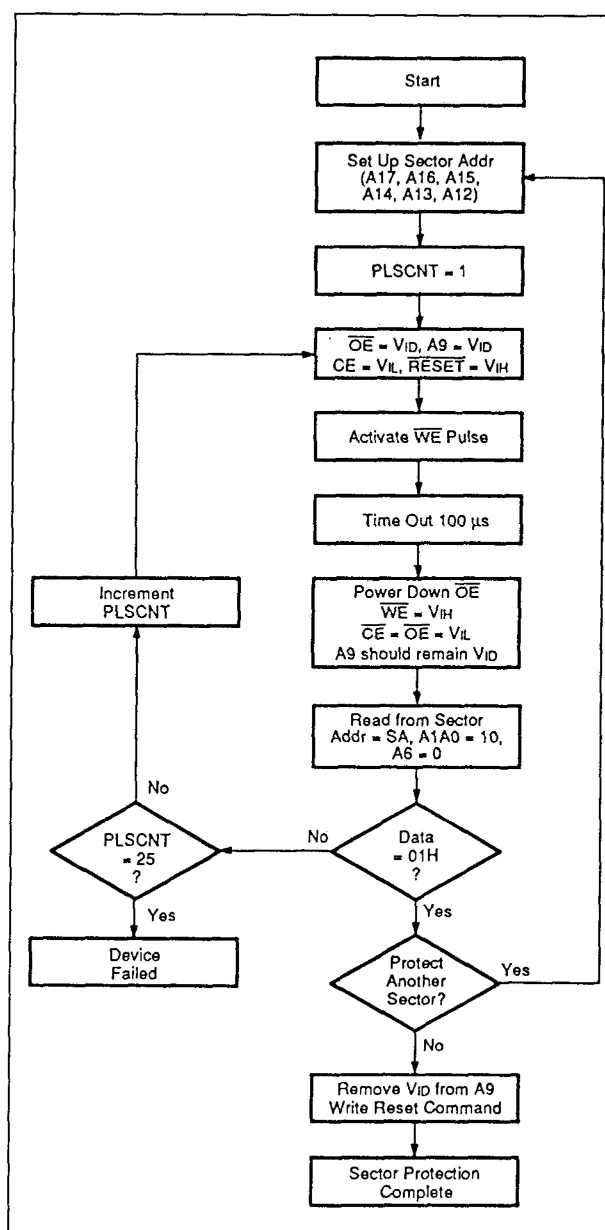
Sector protection

De 29F400 heeft een hardware sector beveiliging waarmee zowel programmeren als wissen in een willekeurig aantal sectoren (0 tot 10) wordt voorkomen. Normaal is de 29F400 leverbaar met alle sectoren onbeveiligd. Om deze mode te aktiveren moet V_{ID} op adrespen A9 en besturingspen $\overline{OE}$ worden gezet (hierbij is V_{ID} = 11,5 V en $\overline{CE}$ = LAAG). Het gewenste sector-adres moet worden ingesteld met A17, A16, A15, A14, A13 en A12. In de tabellen 8/5.5-49 en -50 zijn de sector-adressen van alle elf individuele sectoren te zien. Het programmeren van de beveiligings-circuits begint op de dalende flank en eindigt op de stijgende flank van de $\overline{WE}$-puls. Tijdens de $\overline{WE}$-puls moet het sector-adres constant blijven.

De sector-beveiligings algorithme en golfvormen van de signalen zijn respectievelijk te zien in de figuren 8/5.5-62 en -63.

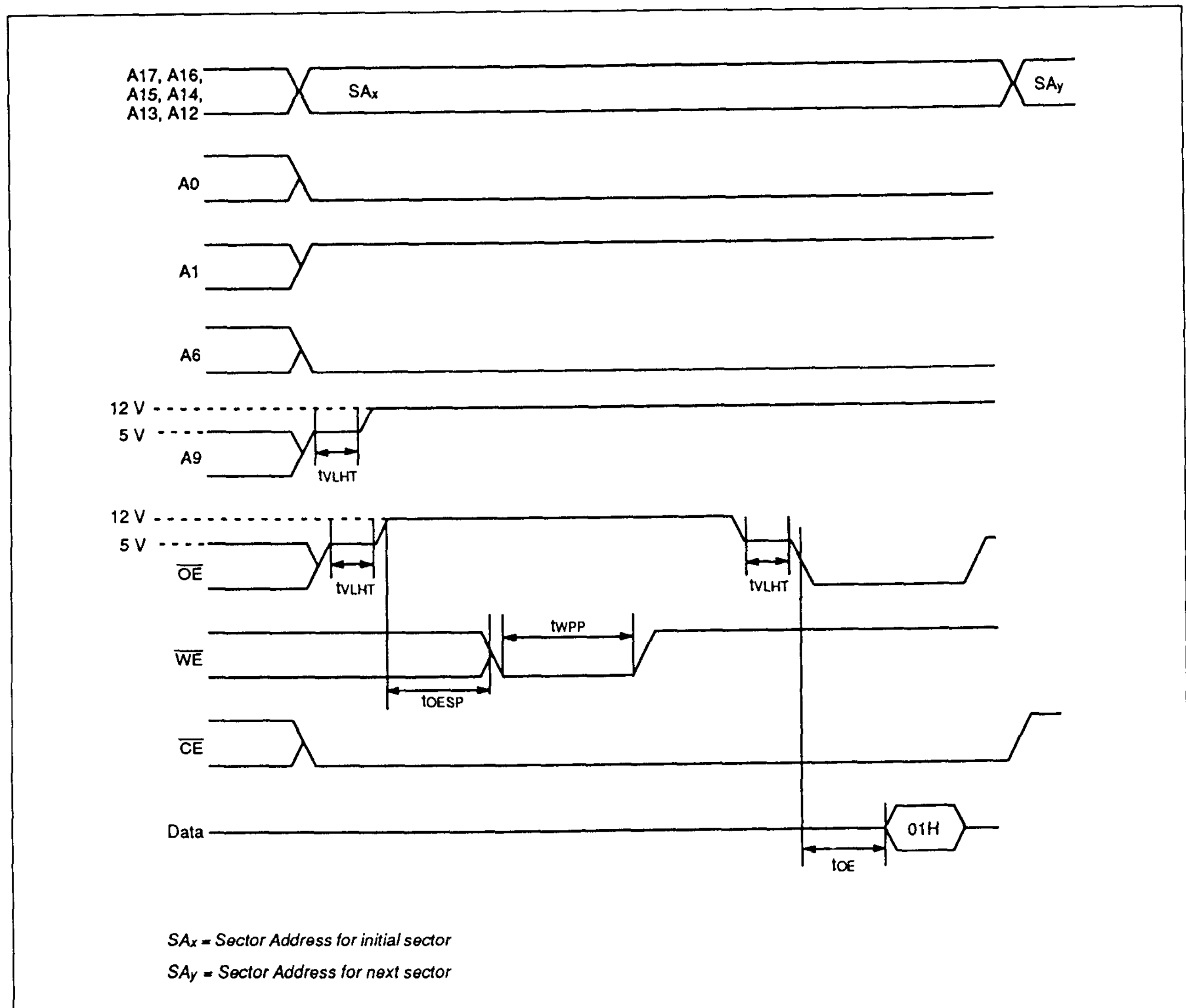
Om te controleren of de sector-beveiliging werkelijk is ingeschakeld moet V_{ID} op A9 worden gezet met $\overline{CE}$ en $\overline{OE}$ LAAG en $\overline{WE}$ HOOG. Door de sector-adressen af te tasten (met A17, A16, A15, A14, A13 en A12), terwijl A6, A1, A0 respectievelijk "0", "1" en "0" zijn, verschijnt voor een beveiligde sector een logische "1" op data-uitgang DQ0 te staan. Is de sector niet beveiligd, dan verschijnt 00H op DQ0 tot en met DQ7.

Het is ook mogelijk om in een systeem te controleren of een sector beveiligd is door het autoselect commando te schrijven. Door een lees-operatie op het adres XX02H uit te voeren, waarbij de hogere adreslijnen A17 tot en met A12 het sector-adres vormen, verschijnt een logische "1" op DQ0 als die sector beveiligd is (zie ook tabel 8/5.5-47).



Figuur 8/5.5-62: Algorithme voor de sector-beveiliging.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-63: Optredende golfvormen bij sector-beveiliging.

Temporary Sector Unprotect

Het is mogelijk om eerder beveiligde sectoren van de 29F400 tijdelijk onbeveiligd te maken om data te kunnen veranderen. De Sector Unprotect-mode wordt geaktiveerd door de RESET-pen op een hoge spanning te brengen (12 V). Gedurende deze mode kunnen voorheen beveiligde sectoren toch worden geprogrammeerd of gewist door de sector-adressen te selecteren.
Zodra de 12 V van de RESET-pen wordt weggehaald, zullen alle eerder beveiligde sectoren weer beveiligd zijn.

Sector Unprotect

De Am29F400 heeft ook een Sector Unprotect-mode, zodat een beveiligde sector kan worden omgezet in een niet-beveiligde, om code-veranderingen mogelijk te maken. Voordat de beveiliging van een sector wordt weggehaald moeten alle sectoren eerst beveiligd zijn geweest.
Om deze mode te aktiveren moet de programmeer-apparatuur pen OE en adrespen A9 van V_{ID} voorzien. De pennen CE en A0 moeten dan LAAG zijn en de pennen A6 en A1 HOOG.

5.5 Type-beschrijving Flash EEPROM's

	A17	A16	A15	A14	A13	A12	Address Range
SA0	0	0	0	X	X	X	00000h–0FFFFh
SA1	0	0	1	X	X	X	10000h–1FFFFh
SA2	0	1	0	X	X	X	20000h–2FFFFh
SA3	0	1	1	X	X	X	30000h–3FFFFh
SA4	1	0	0	X	X	X	40000h–4FFFFh
SA5	1	0	1	X	X	X	50000h–5FFFFh
SA6	1	1	0	X	X	X	60000h–6FFFFh
SA7	1	1	1	0	X	X	70000h–77FFFh
SA8	1	1	1	1	0	0	78000h–79FFFh
SA9	1	1	1	1	0	1	7A000h–7BFFFh
SA10	1	1	1	1	1	X	7C000h–7FFFFh

Tabel 8/5.5-49: Sector adressen van de 29F400T.

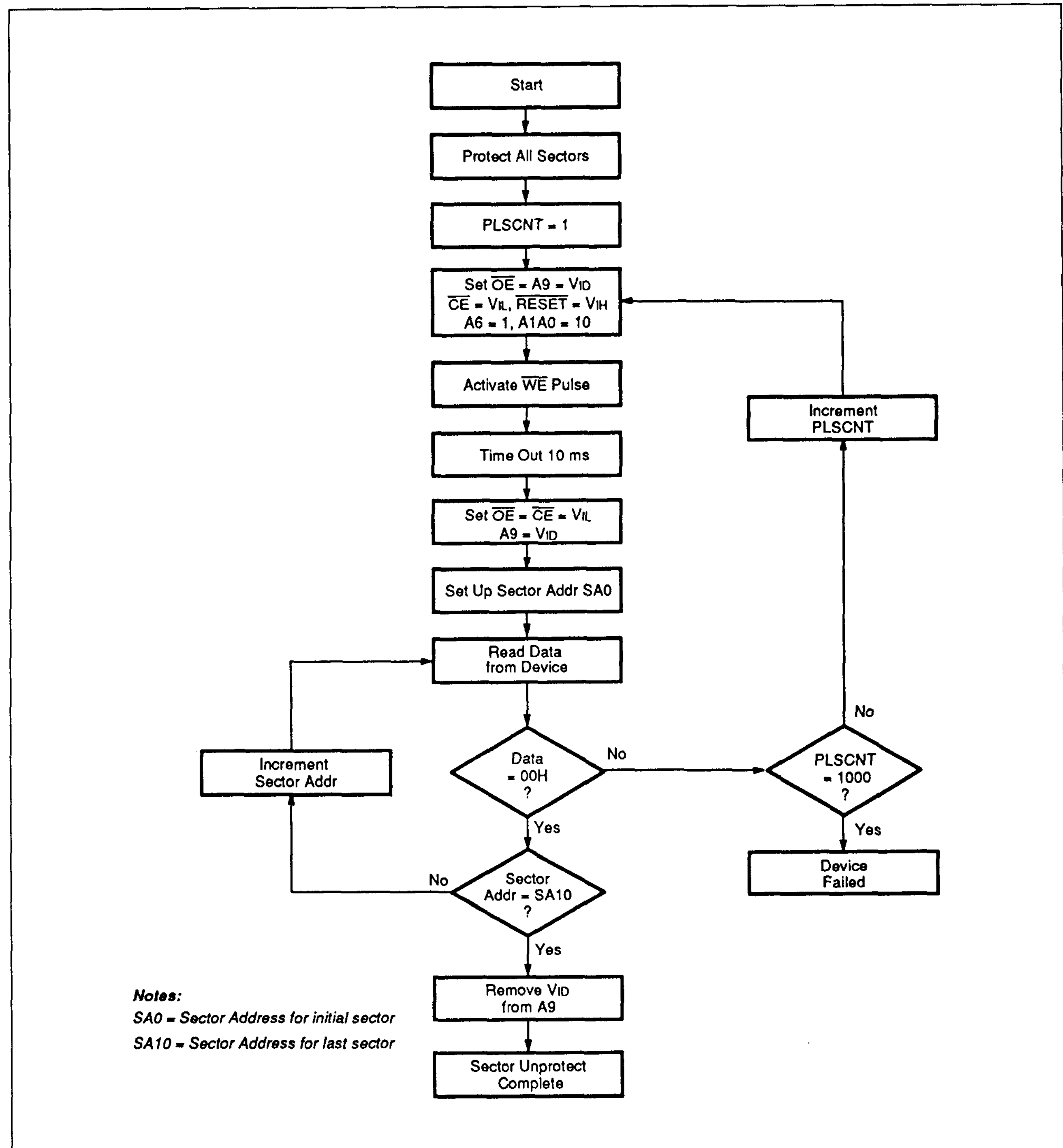
	A17	A16	A15	A14	A13	A12	Address Range
SA0	0	0	0	0	0	X	00000h–03FFFh
SA1	0	0	0	0	1	0	04000h–05FFFh
SA2	0	0	0	0	1	1	06000h–07FFFh
SA3	0	0	0	1	X	X	08000h–0FFFFh
SA4	0	0	1	X	X	X	10000h–1FFFFh
SA5	0	1	0	X	X	X	20000h–2FFFFh
SA6	0	1	1	X	X	X	30000h–3FFFFh
SA7	1	0	0	X	X	X	40000h–4FFFFh
SA8	1	0	1	X	X	X	50000h–5FFFFh
SA9	1	1	0	X	X	X	60000h–6FFFFh
SA10	1	1	1	X	X	X	70000h–7FFFFh

Tabel 8/5.5-50: Sector adressen van de 29F400B.

In figuur 8/5.5-64 is de sector-unprotect algorithme te zien. Het unprotect-mechanisme begint op de dalende flank en eindigt op de stijgende flank van de $\overline{WE}$-puls (figuur 8/5.5-65).

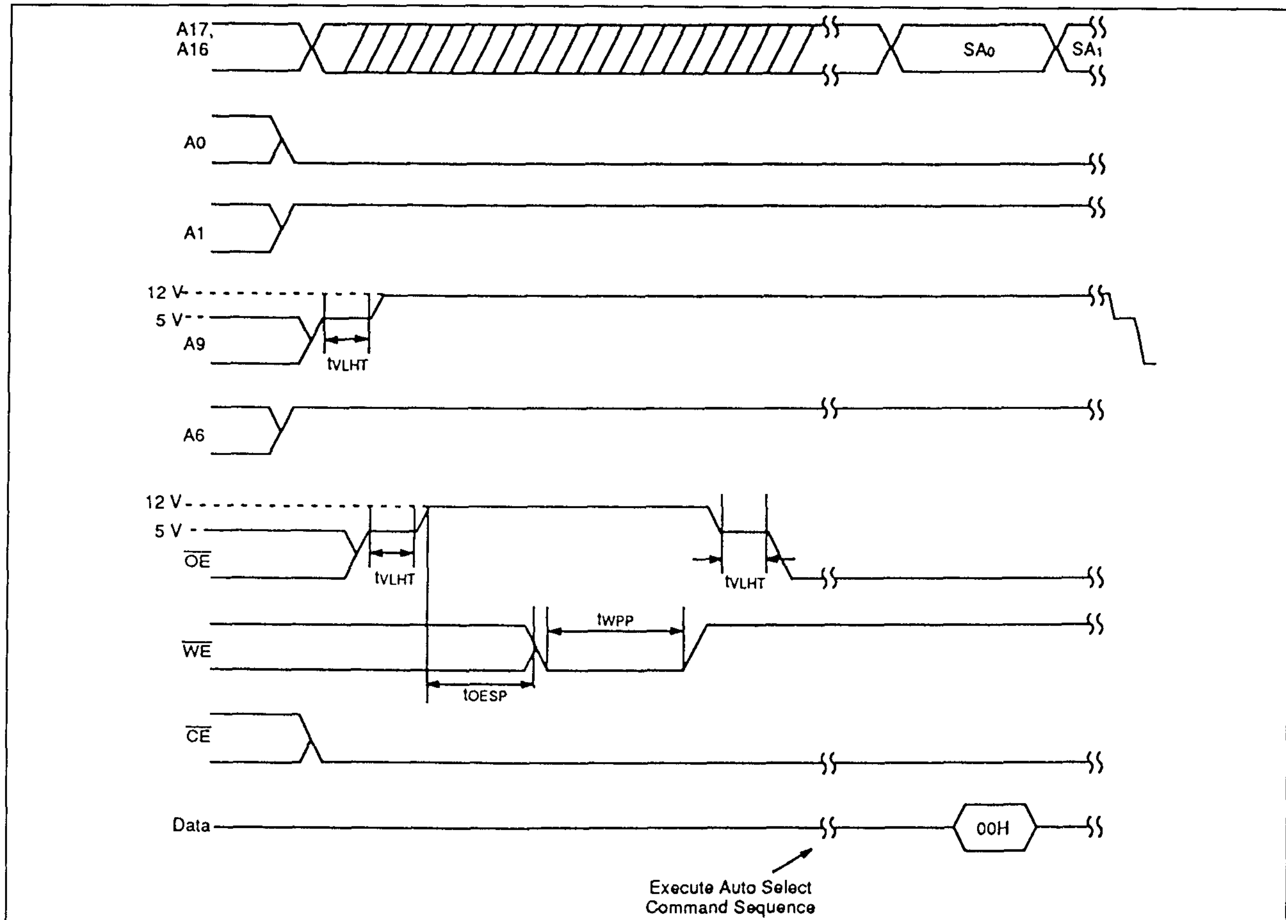
Het is ook mogelijk om te bepalen of een sector in het systeem onbeveiligd is door het autoselect-commando te schrijven en A6 LAAG te maken. Door dan op adres XXX2H te lezen, waarbij de hogere adressen (A16 tot en met A12) een bepaalde sector definiëren, zal bij een onbeveilige sector 00H op de data-uitgangen (DQ0 tot en met DQ7) verschijnen.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-64: Algorithme voor het weghalen van de sector-beveiliging.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-65: Optredende golfvormen bij het weghalen van de sector-beveiliging.

Definities van de commando's

Door specifieke adres/data-reeksen in het Command Register te schrijven kunnen bepaalde operaties worden geselecteerd. Wanneer onjuiste adressen of data-waarden worden geschreven, komt het geheugen terug in de leesmode.

Deze zijn in tabel 8/5.5-51 opgenomen. Let op dat de Erase Suspend (B0H) en Erase Resume (30H) commando's alleen geldig zijn tijdens de uitvoering van de Sector Erase operatie. De commando's worden altijd geschreven op DQ0 tot en met DQ7, terwijl DQ8 tot en met DQ15 worden genegeerd.

Read/Reset Commando

Het lezen of resetten begint met het schrijven van de read/reset command-reeks in het Command Register. Met leescycli kan array-data uit het geheugen worden opgehaald. De 29F400 blijft in de leesmode totdat de inhoud van het Command Register is gewijzigd. Bij het inschakelen van de voedingsspanning komt het geheugen automatisch in de read/reset toestand terecht. Er is dan dus geen commando-reeks nodig om data te kunnen lezen.

Autoselect Commando

Flash geheugens zijn ontworpen voor gebruik in systemen waarbij de inhoud van het geheugen door de lokale CPU wordt veranderd. Daarom moeten de fabrikant- en typecodes ook toegankelijk zijn als het geheugen zich in het systeem bevindt. PROM programmeerapparaten krijgen meestal toegang tot identificatiecodes door A9 op een hoge spanning te brengen.

5.5 Type-beschrijving Flash EEPROM's

Command Sequence Read/Reset		Bus Write Cycles Req'd	First Bus Write Cycle		Second Bus Write Cycle		Third Bus Write Cycle		Fourth Bus Read/Write Cycle		Fifth Bus Write Cycle		Sixth Bus Write Cycle	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read/Reset		1	XXXXH	FOH										
Read/Reset	Word	4	5555H	AAH	2AAAH	55H	5555H	FOH	RA	RD				
	Byte		AAAAH		5555H		AAAAH							
Autoselect	Word	4	5555H	AAH	2AAAH	55H	5555H	90H						
	Byte		AAAAH		5555H		AAAAH							
Program	Word	4	5555H	AAH	2AAAH	55H	5555H	A0H	PA	Data				
	Byte		AAAAH		5555H		AAAAH							
Chip Erase	Word	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	5555H	10H
	Byte		AAAAH		5555H		AAAAH		AAAAH		5555H		AAAAH	
Sector Erase	Word	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	SA	30H
	Byte		AAAAH		5555H		AAAAH		AAAAH		5555H			
Sector Erase Suspend			Erase can be suspended during sector erase with Addr (don't care), Data (B0H)											
Sector Erase Resume			Erase can be resumed after suspend with Addr (don't care), Data (30H)											

Notes:

1. *Address bit A15 = X = Don't Care for all address commands except for Program Address (PA) and Sector Address (SA). Write Sequences may be initiated with A15 in either state.*
2. *Address bits A16 = X = Don't Care for all address commands except for Program Address (PA) and Sector Address (SA).*
3. *Bus operations are defined in Table 2.*
4. *RA = Address of the memory location to be read.*
   PA = Address of the memory location to be programmed. Addresses are latched on the falling edge of the $\overline{WE}$ pulse.
   SA = Address of the sector to be erased. The combination of A16, A15, A14, A13, and A12 will uniquely select any sector.
5. *RD = Data read from location RA during read operation.*
   PD = Data to be programmed at location PA. Data is latched on the falling edge of $\overline{WE}$.
6. *The system should generate the following address patterns:*
   Word Mode: 5555H or 2AAAH to addresses A0 – A14
   Byte Mode: AAAAH or 5555H to addresses A-1 – A14.

Tabel 8/5.5-51: Definities van commando's voor de 29F400.

Het multiplexen van hoge spanningen op de adreslijnen in een systeem is echter niet gewenst. Op de 29F400 kan daarom naast de traditionele PROM programmeer methode ook een autoselect operatie worden uitgevoerd. Deze operatie begint met het schrijven van de autoselect commandoreeks in het Command Register. Hierna levert een leescylus op adres XX00H de fabrikantcode 01H op. Door op adres XX01H te lezen verschijnt de typecode (in dit geval één van de vier: Am29F400T = 23H en Am29F400B = ABH voor de X8-mode of Am29F400T = 2223H en Am29F400B = 22ABH voor de X16-mode) (zie ook de tabellen 8/5.5-47 en -48). Alle genoemde identificatie-codes hebben een oneven pariteit, waarbij het MSB (DQ7) als pariteitsbit werkt. Door de door A17, A16, A15, A14, A13 en A12 bepaalde sectoradressen af te tasten (met A6, A1, A0 = respectievelijk "0", "1", "0") komt een logische "1" op DQ0 bij beveiligde sectoren. Om de operatie te stoppen moet de read/reset volgorde naar het register worden geschreven.

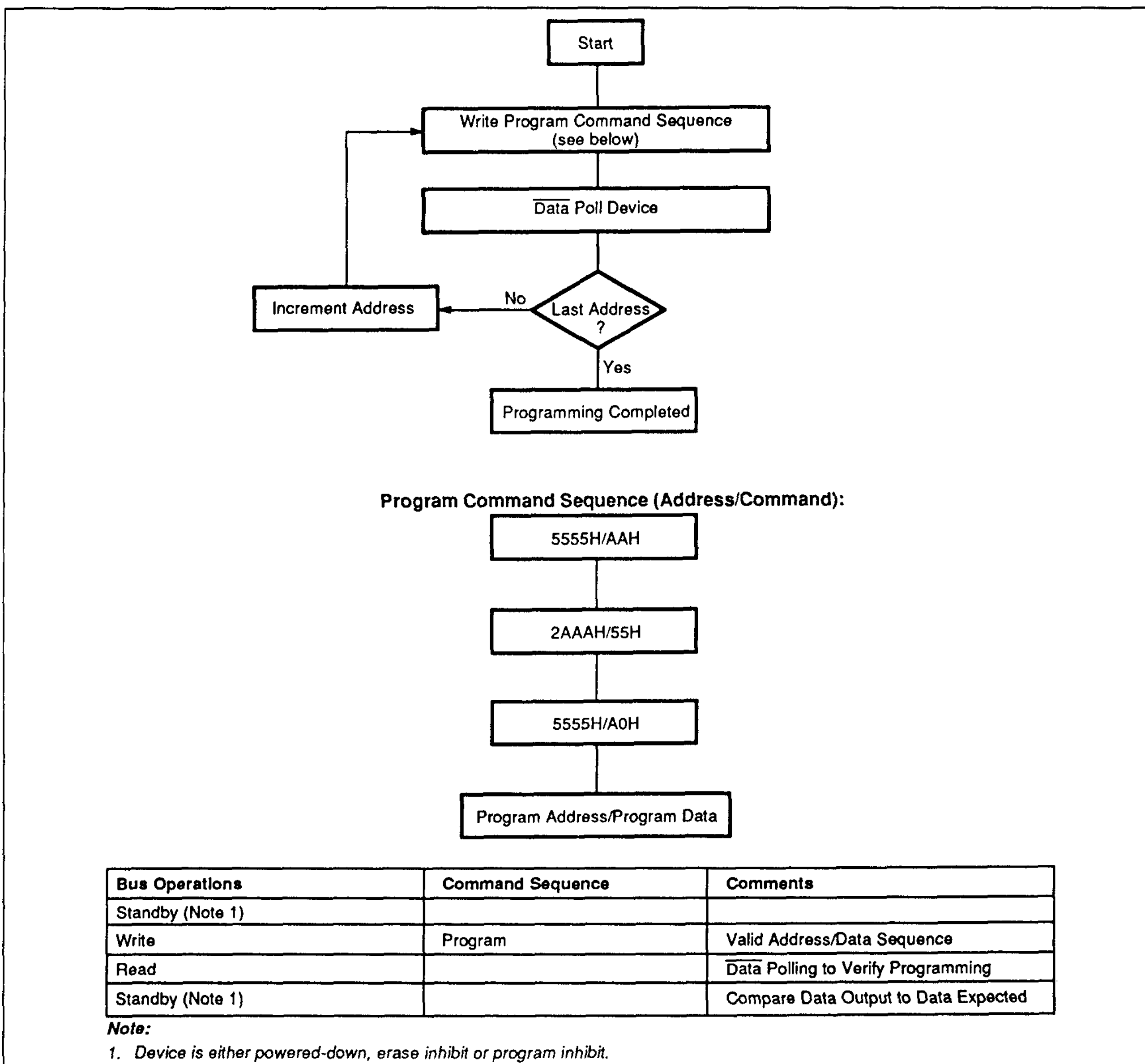
Byte/woord programmeren

Het geheugen wordt byte-voor-byte (of woord-voor-woord) geprogrammeerd, waarvoor vier buscycli nodig zijn. Er zijn twee "unlock" schrijfcycli die worden gevolgd door het program set-up commando en data schrijfcyli. De adressen worden gelatcht op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$, terwijl de data wordt gelatcht op de eerst komende stijgende flank van $\overline{WE}$ of $\overline{CE}$ en ook het programmeren begint. Na het uitvoeren van de commando-volgorde voor de ingebedde programma-algorithme hoeft het systeem geen verdere besturings of timing-signalen meer te leveren. De 29F400 levert zelf correcte, inwendig gegenereerde programmeerpulsen en zorgt voor de verificatie.

5.5 Type-beschrijving Flash EEPROM's

De automatische programmeer-operatie is klaar als de data op DQ7 gelijk is aan de data die hier naartoe werd geschreven. Hierna wordt teruggekeerd naar de leesmode en zijn de adressen niet langer gelatcht. Het is hierdoor nodig dat het systeem op dit moment een geldig adres levert. Er moet dus $\overline{\text{Data}}$-polling worden uitgevoerd op de zojuist geprogrammeerde lokatie.
Gedurende deze tijd worden alle commando's genegeerd.

Het programmeren is toegestaan in elke willekeurige adresvolgorde en over de sectorgrenzen heen. Let op dat een data "0" niet kan worden terug geprogrammeerd naar een "1". Een poging hiertoe laat het systeem "hangen" of resulteert volgens de data-polling algorithme in een schijnbaar succes, maar uitlezen in de read/reset mode zal laten zien dat de data nog steeds "0" is. In figuur 8/5.5-66 is de Embedded Programming Algorithm te zien.

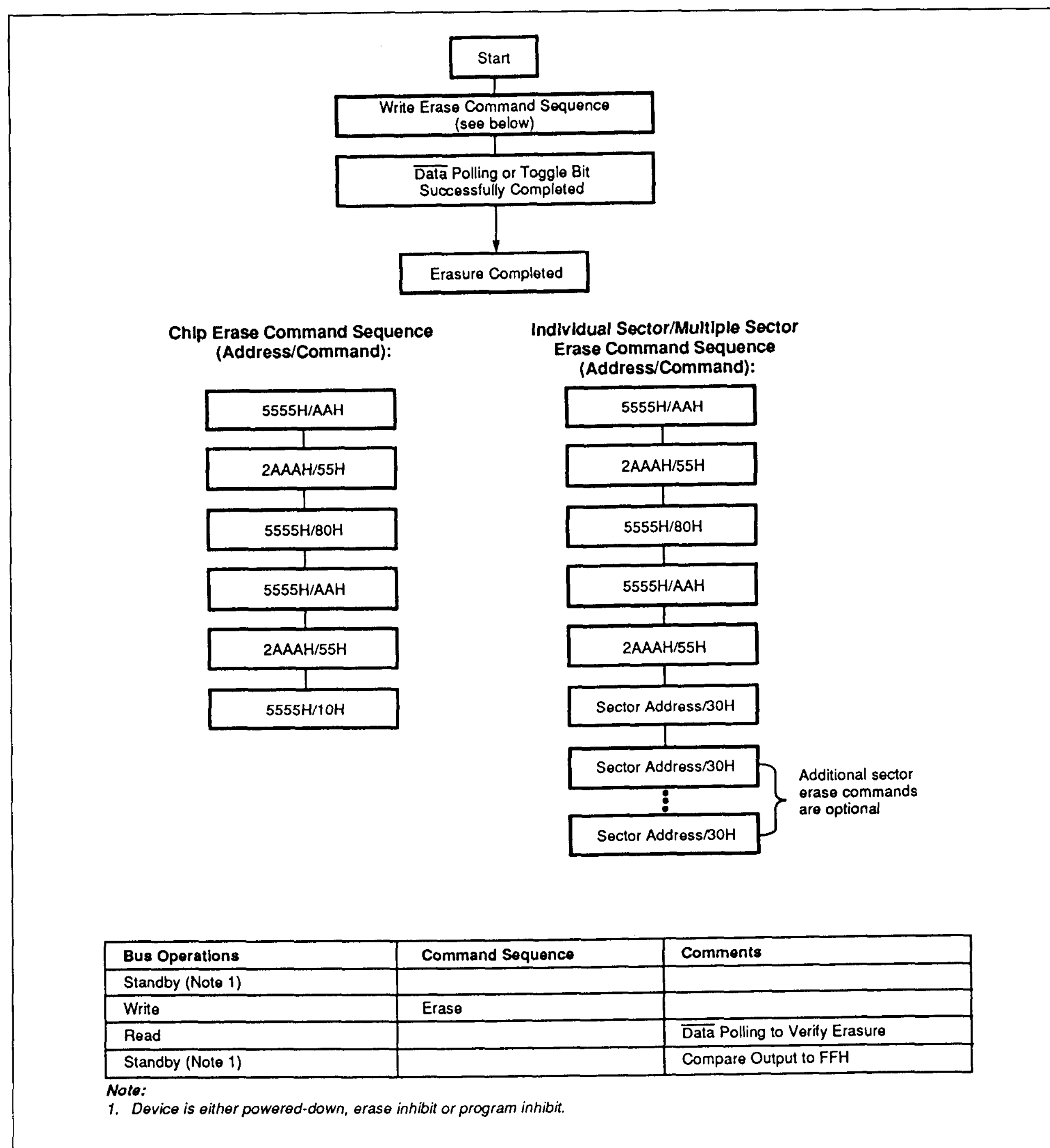


Bus Operations	Command Sequence	Comments
Standby (Note 1)		
Write	Program	Valid Address/Data Sequence
Read		$\overline{\text{Data}}$ Polling to Verify Programming
Standby (Note 1)		Compare Data Output to Data Expected

Note:
1. Device is either powered-down, erase inhibit or program inhibit.

Figuur 8/5.5-66: De ingebedde programmeer-algorithme.

5.5 Type-beschrijving Flash EEPROM's



Bus Operations	Command Sequence	Comments
Standby (Note 1)		
Write	Erase	
Read		Data Polling to Verify Erasure
Standby (Note 1)		Compare Output to FFH

Note:
1. Device is either powered-down, erase inhibit or program inhibit.

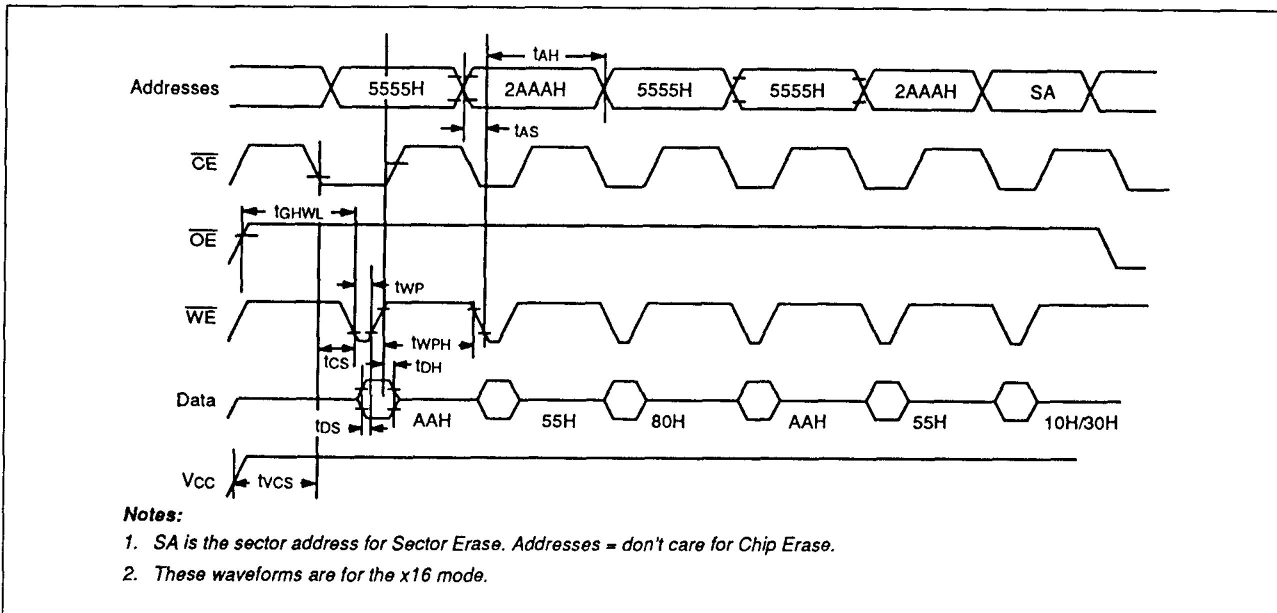
Figuur 8/5.5-67: De ingebedde wis-algorithme.

Chip Erase

Het wissen van de inhoud van het geheugen (chip erase) duurt zes buscycli. Er zijn twee "unlock" schrijfcycli die worden gevolgd door het "set-up" commando. Na twee extra unlock schrijfcycli volgt dan het eigenlijke chip erase commando.

Voorafgaande aan het wissen van de chip hoeft het geheugen niet geprogrammeerd te zijn.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-68: Golfvormen en timing bij het chip/sector-wissen van de 29F400.

Na het doorlopen van de commando-reeks voor de Embedded Program Algorithm verifieert de 29F400 zichzelf eerst automatisch op een patroon van allemaal nullen. Voor deze operaties zijn geen besturingssignalen of timingen nodig.
Het automatisch wissen begint op de stijgende flank van de laatste $\overline{WE}$-puls van de commando-reeks en eindigt als op DQ7 een "1" aanwezig is. Daarna gaat het geheugen in de leesmode. In figuur 8/5.5-67 is de Embedded Erase Algorithm te zien en in figuur 8/5.5-68 de bijbehorende golfvormen.

Sector Erase

Voor het wissen per sector zijn ook zes buscycli nodig. Na twee "unlock" schrijfcycli volgen het "set-up" commando, nog twee unlock schrijfcycli en dan het sector erase commando. Het sector-adres (een willekeurige adreslocatie binnen de gewenste sector) wordt op de dalende flank van $\overline{WE}$ gelatcht, terwijl het wis-commando (30H) op de stijgende flank van $\overline{WE}$ wordt gelatcht. Het wissen van de sector begint na een blokkeertijd (time-out) van 50 μs, volgend op de stijgende flank van het laatste sector wis-commando.

Er kunnen verschillende sectoren na elkaar worden gewist door de bovengenoemde zes buscycli uit te voeren. Deze reeks wordt gevolgd door het schrijven van een sector wiscommando voor adressen in andere sectoren. De tijd tussen de schrijf-operaties moet minder dan 50 μs bedragen, omdat het commando anders niet wordt geaccepteerd en het wissen begint. Het wordt aanbevolen om gedurende deze tijd processor-interrupts te blokkeren. Na het wissen van de laatste sector kunnen de interrupts weer worden vrijgegeven. Door een time-out van 50 μs na de stijgende flank van de laatste $\overline{WE}$ komt het Sector Erase-commando in aktie. Als binnen het 80 μs time-out venster nog een dalende flank van $\overline{WE}$ optreedt, wordt de timer gereset (houd DQ3 in de gaten om te zien of het sector-wis timer-venster nog open is). Afgezien van Sector Erase of Erase Suspend zal elk commando in deze periode de 29F400 terug laten keren naar de leesmode en wordt de voorafgaande commando-reeks genegeerd.
De sector-wisbuffer kan in elke willekeurige volgorde en met elk aantal sectoren (0 tot 10) worden geladen.

5.5 Type-beschrijving Flash EEPROM's

Voorafgaande aan het wissen van een sector hoeft het geheugen niet geprogrammeerd te worden. De 29F400 programmeert automatisch alle geheugenlocaties in de gewenste sector(en) vóór het wissen.
Het wissen heeft geen invloed op de overige, niet geselecteerde sectoren. Deze operaties worden automatisch, zonder besturingssignalen of timingen uitgevoerd.
Het automatisch wissen van de sector(en) begint na de 80 µs time-out na de stijgende flank van de WE-puls voor het laatste sector-wiscommando en eindigt als de data op DQ7 "1" is. Op dit moment keert het geheugen terug naar de leesmode. Op een adres binnen alle te wissen sectoren moet Data-polling worden uitgevoerd. In figuur 8/5.5-67 is de ingebedde wis-algorithme te zien.

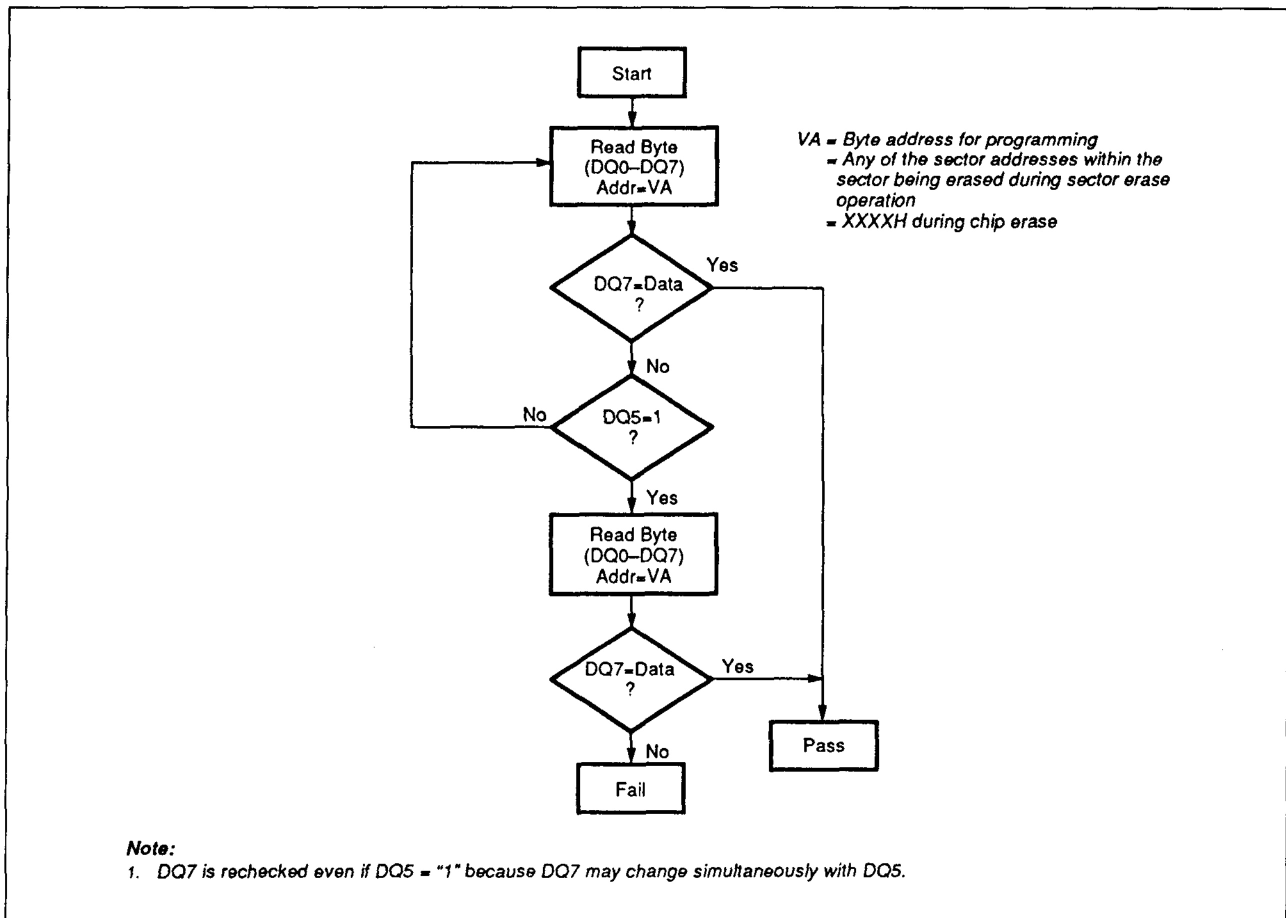
Erase Suspend

Het Erase Suspend commando stelt de gebruiker in staat om tijdens een Sectorwisoperatie het wissen te onderbreken en data uit te lezen van een niet-busy sector. Dit commando kan ***ALLEEN*** worden uitgevoerd gedurende een Sector Erase operatie en wordt genegeerd tijdens Chip Erase of tijdens het programmeren. Wordt het commando om het wissen uit te stellen (B0H) gedurende de time-out geschreven, dan wordt deze periode onmiddellijk afgebroken. Alle andere commando's worden gedurende de erase suspend-tijd genegeerd.
Wanneer het Erase Suspend commando tijdens een Sector Erase operatie wordt geschreven, stelt de chip de wis-operatie 0,1 µs tot 15 µs uit, waarna hij in een pseudo-leesmode terecht komt. Er kan dan een sector die ***NIET*** wordt gewist worden uitgelezen. De gebruiker moet het toggle-bit (DQ6) in de gaten houden om vast te stellen dat de chip in de pseudo-leesmode is gekomen (op dat moment houdt het "toggelen" op). Let op dat de gebruiker de toestand van de chip moet volgen, aangezien er geen externe indicatie is of de chip in de pseudo-leesmode is of in de werkelijke leesmode. Nadat het Erase Suspend-commando is geschreven, moet de gebruiker wachten tot het togglebit ophoudt met toggelen voordat het geheugen kan worden uitgelezen. Iedere keer dat een Erase Suspend-commando, gevolgd door een Erase Resume-commando, is geschreven worden de interne tellers gereset. Deze tellers worden gebruikt om het aantal hoogspannings-pulsen te tellen dat de geheugencel nodig heeft om te programmeren of te wissen.
Als het aantal een bepaalde limiet overschrijdt, zal het DQ5-bit worden gezet (Exceeded Time Limit-flag). De tellers moeten worden gereset omdat het Erase Suspend-commando de hoogspanningspulsen kan onderbreken of verstoren. Na afloop van Sector Erase moet een Resume commando (30H) worden geschreven.

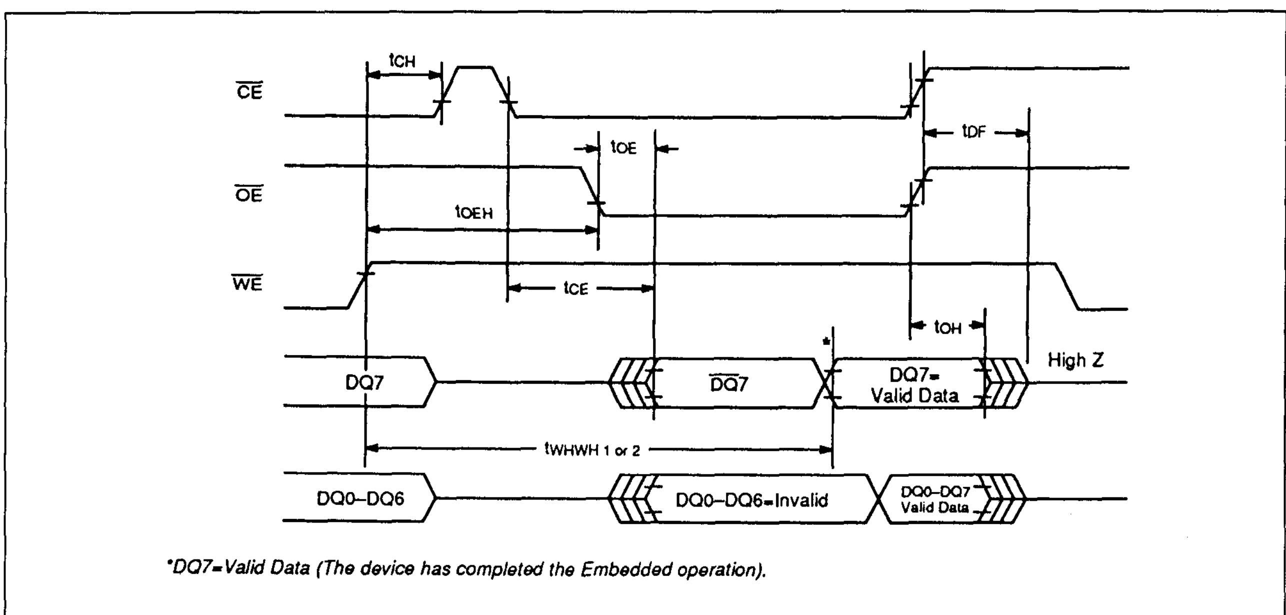
DQ7 Data Polling

Op de 29F400 kan Data-polling worden toegepast om de toestand van de lopende ingebedde algorithmen te signaleren. Tijdens de ingebedde programmeer-algorithme verschijnt bij een poging tot uitlezen het omgekeerde van de laatst geschreven data op DQ7. Als het programmeren klaar is, verschijnt de werkelijke, laatst geprogrammeerde data op DQ7.
Gedurende de ingebedde wis-algorithme is op DQ7 een "0" aanwezig totdat het wissen klaar is (dan is DQ7 = "1").
Het verloop van Data-polling op DQ7 is te zien in figuur 8/5.5-69 en de bijbehorende timing in figuur 8/5.5-70.
Bij het chip-wissen is de Data-polling geldig na de stijgende flank van de zesde WE-puls uit de reeks van zes schrijfpulsen. Voor het sector-wissen is de Data-polling geldig na de laatste stijgende flank van de sector-wis WE-puls. Data-polling moet worden uitgevoerd op sector-adressen binnen alle te wissen sectoren en ***NIET*** op een beveiligde sector. Wanneer de ingebedde algorithme-operatie bijna klaar is, kan de toestand op de datapennen (DQ7) van de Am29F400 asynchroon veranderen als de output-enable uitgang (OE) LAAG is.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-69 Algorithme voor $\overline{\text{Data}}$-polling.



Figuur 8/5.5-70: Optredende golfvormen en timing bij $\overline{\text{Data}}$-polling.

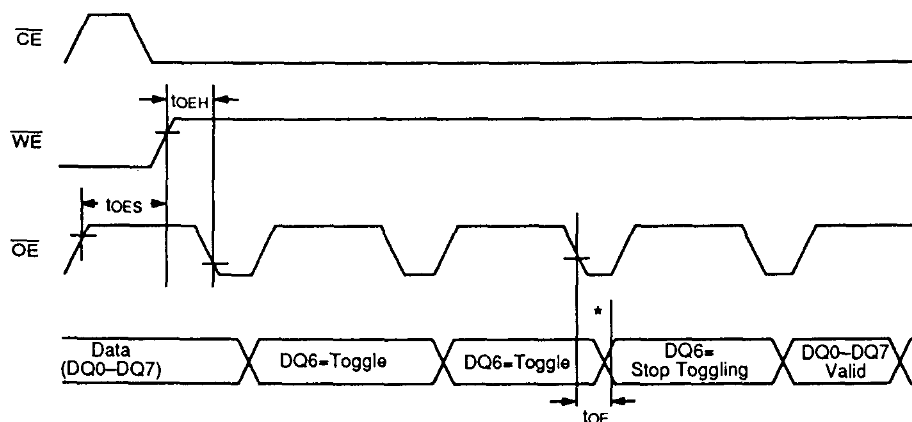
5.5 Type-beschrijving Flash EEPROM's

	Status	DQ7	DQ6	DQ5	DQ3	DQ2–DQ0
In Progress	Auto-Programming	$\overline{DQ7}$	Toggle	0	0	($\overline{D}$) (Note 1)
	Program/Erase in Auto Erase	0	Toggle	0	1	
Exceeded Time Limits	Auto-Programming	$\overline{DQ7}$	Toggle	1	1	($\overline{D}$) (Note 1)
	Program/Erase in Auto-Erase	0	Toggle	1	1	

Notes:

1. *DQ0, DQ1, DQ2 are reserve pins for future use.*
2. *DQ8 – DQ15 = Don't Care for X16 mode.*
3. *DQ4 for AMD internal use only.*

Tabel 8/5.5-52: Hardware Sequence Flags.



Note:
**DQ6 stops toggling (The device has completed the Embedded operation).*

Figuur 8/5.5-71: Golfvormen en timing van het toggle bit tijdens operaties met ingebedde algorithmen.

Dit betekent dat het geheugen op het ene moment status-informatie op DQ7 zet en op het andere moment de geldige data van dit byte. Zelfs als de ingebedde algorithme-operatie klaar is en er geldige data op DQ7 staat, kan de data op DQ0 tot en met DQ6 nog ongeldig zijn. Bij daarna volgende lees-operaties zal wel geldige data op DQ0 tot en met DQ7 staan.

$\overline{\text{Data}}$-polling is alleen mogelijk tijdens de ingebedde programmeer-algorithme, de ingebedde wis-algorithme of het sector-wissen (zie tabel 8/5.5-52).

DQ6 Toggle Bit

De 29F400 kan ook met de "Toggle Bit" methode informatie geven over de toestand van de lopende ingebedde algorithmen. Gedurende een ingebedde programmeer- of wis-algorithme heeft herhaald uitlezen ($\overline{OE}$-toggelen) tot gevolg dat beurtelings een "0" en een "1" op DQ6 aanwezig is. Na afloop van een ingebedde cyclus stopt het toggelen van DQ6 en blijft de geldige data bij leespogingen daarna staan. Tijdens het programmeren is het Toggle Bit geldig na de stijgende flank van de vierde $\overline{WE}$-puls uit de reeks van

vier schrijfpulsen. Voor chip-wissen is het Toggle Bit geldig na de stijgende flank van de zesde sector-wis WE-puls uit de reeks van zes schrijfpulsen. Voor sector-wissen is het Toggle Bit geldig na de laatste stijgende flank van de sector-wis WE-puls. Het Toggle Bit is aktief gedurende de sector time-out.
Als bij het programmeren de te beschrijven sector beveiligd is, zal het toggle-bit ongeveer 2 µs lang toggelen en daarna niet meer. Bij het wissen zullen alle geselecteerde sectoren worden gewist, behalve de beveiligde. Als alle geselecteerde sectoren beveiligd zijn, zal het toggle-bit gedurende ongeveer 100 µs toggelen en daarna in de leesmode komen zonder enige data te hebben veranderd. Zowel CE- als OE-toggelen maakt dat DQ6 toggelt. Ook een Erase Suspend/Resume-commando laat DQ6 toggelen. In figuur 8/5.5-71 is de timing van de toggle bit-algorithme (figuur 8/5.5-76) te zien.

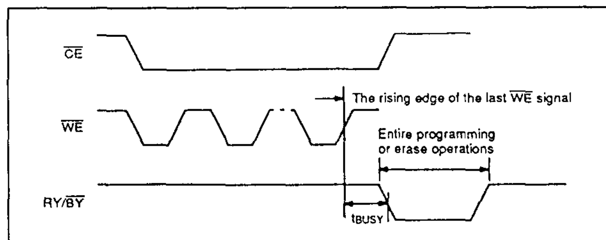
DQ5 Exceeded Timing Limits
DQ5 geeft aan of de tijd voor het programmeren of wissen langer heeft geduurd dan de gespecificeerde grenzen (met de interne pulsenteller). DQ5 zal dan een "1" produceren. Deze foutconditie houdt in dat de programmeer- of wis-cyclus niet correct is verlopen. Onder deze omstandigheid werkt alleen Data-polling nog en het CE-circuit zal de opgenomen stroom verminderen tot ongeveer 2 mA. De OE en WE-pennen maken dan dat de uitgangen worden gesperd, zoals in tabel 8/5.5-45 wordt aangegeven. Als deze conditie optreedt tijdens een sector wis-operatie, geeft dit aan dat een bepaalde sector slecht is en niet opnieuw kan worden gebruikt. Andere sectoren zijn echter nog functioneel. De 29F400 moet eerst worden gereset voor het gebruik van andere sectoren. Treedt deze foutconditie op tijdens het chip-wissen, dan betekent dit een geheel slechte chip of slechte combinaties van sectoren.
Als deze foutconditie tijdens het byte-programmeren optreedt, geeft hij aan dat de gehele sector waarin het byte zich bevindt slecht is. Deze sector mag niet opnieuw worden gebruikt (maar andere wel). De DQ5 foutconditie kan ook verschijnen als de gebruiker probeert een niet-lege lokatie te programmeren zonder deze eerst te wissen. In dat geval haakt het geheugen af en wordt de ingebedde algorithme-operatie nooit voltooid. Het systeem leest daardoor ook nooit geldige data op DQ7 en DQ6 stopt nooit met toggelen.

DQ3 Sector Erase timer
Nadat de initiële sector-wis commandoreeks klaar is, begint de sector-wis blokkeertijd (sector erase time-out), waarbij DQ3 LAAG is. Data-polling en Toggle Bit zijn geldig na de initiële sector-wis commandoreeks. Als Data-polling of Toggle Bit aangeeft dat de 29F400 een geldig wiscommando bevat, kan met DQ3 worden bepaald of het sector-wis timer-venster nog open staat. Als DQ3 "1" is, is de intern geregelde wis-cyclus begonnen. Pogingen om extra commando's naar het geheugen te schrijven worden dan genegeerd totdat het wissen klaar is. Dit wordt aangegeven met Data-polling of Toggle Bit. Als DQ3 "0" is, accepteert het geheugen extra sector-wis commando's. Om te garanderen dat het commando is geaccepteerd, moet de software de status van DQ3 vóór en na elk volgende sector-wis commando controleren.
Als DQ3 bij de tweede controle van de status HOOG is, zou het commando niet geaccepteerd kunnen zijn (zie tabel 8/5.5-52: Hardware Sequence Flags).

RY/BY Ready/Busy
De 29F400 heeft een RY/BY-uitgangspen, waarmee aan het systeem kan worden gemeld dat de ingebedde algorithmen nog voortduren of klaar zijn. Als de uitgang LAAG is, is het geheugen bezig met programmeren of wissen. Is de uitgang HOOG, dan is de chip in staat een lees-, schrijf- of wisoperatie te accepteren. Als de RY/BY-pen LAAG is accepteert de 29F400 geen enkel extra programmeer- of wiscommando.

5.5 Type-beschrijving Flash EEPROM's

Wanneer de 29F400 in de Erase Suspend-mode is geplaatst zal RY/BY HOOG zijn. Aangezien dit een open-drain uitgang is, kunnen verschillende RY/BY-pennen parallel worden geschakeld.
Gedurende het programmeren wordt de RY/BY-pen LAAG gemaakt na de stijgende flank van de vierde WE-puls; gedurende een wisoperatie gebeurt dit na de stijgende flank van de zesde WE-puls. Als RESET LAAG is moet de RY/BY-pen worden genegeerd (zie figuur 8/5.5-72 voor gedetailleerde timing).



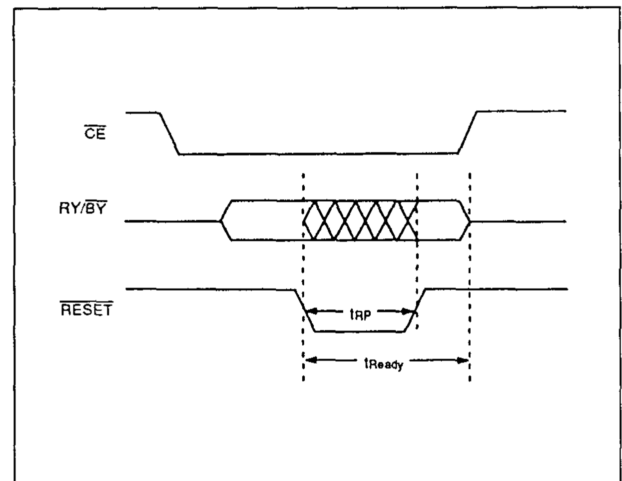
Figuur 8/5.5-72: RY/BY-timing tijdens programmeer/wis-operaties.

RESET Hardware Reset

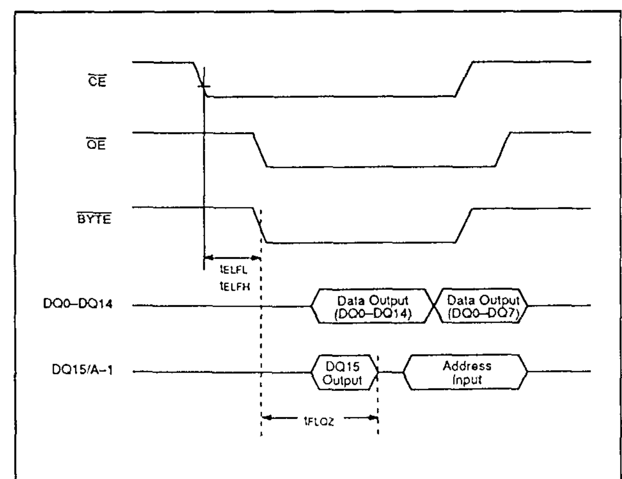
De 29F400 kan worden gereset door de RESET-pen LAAG te maken. De RESET-pen werkt op een puls die tenminste 500 ns LAAG moet zijn om de inwendige state-machine goed te resetten. Alle processen die op dat moment aan de gang waren zullen beëindigd worden en de interne state-machine wordt 20 µs na het LAAG gaan van de RESET-pen gereset. Het geheugen heeft na het HOOG gaan van de RESET-pen bovendien nog 50 ns extra nodig voordat er gelezen kan worden. Als de RESET-pen LAAG is, komen alle data-uitgangen in de zwevende toestand. In figuur 8/5.5-73 is de timing te zien.

Byte/Word Configuratie

Met de BYTE-pen wordt de byte- (8 bit) of word-mode (16 bit) voor de 29F400 geselecteerd. Als deze pen HOOG is, werkt het geheugen in de word-mode (16 bit). Data wordt dan gelezen en geprogrammeerd op DQ0 tot en met DQ15. Is deze pen LAAG, dan werkt het geheugen in de byte-mode (8 bit) en wordt DQ15/A1 het laagste adresbit, terwijl DQ8 tot en met DQ14 in de 3-state gaan. De commando-buscyclus is echter altijd een 8 bit operatie, zodat commando's altijd op DQ0 tot en met DQ7 worden geschreven en de DQ8 tot en met DQ15 bits worden genegeerd. In de figuren 8/5.5-74 en -75 is de timing te zien.

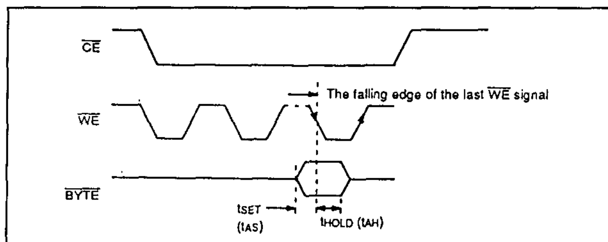


Figuur 8/5.5-73: Timing van RESET en RY/BY.



Figuur 8/5.5-74: BYTE-timing voor een leesoperatie.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-75: BYTE-timing voor schrijf-operaties.

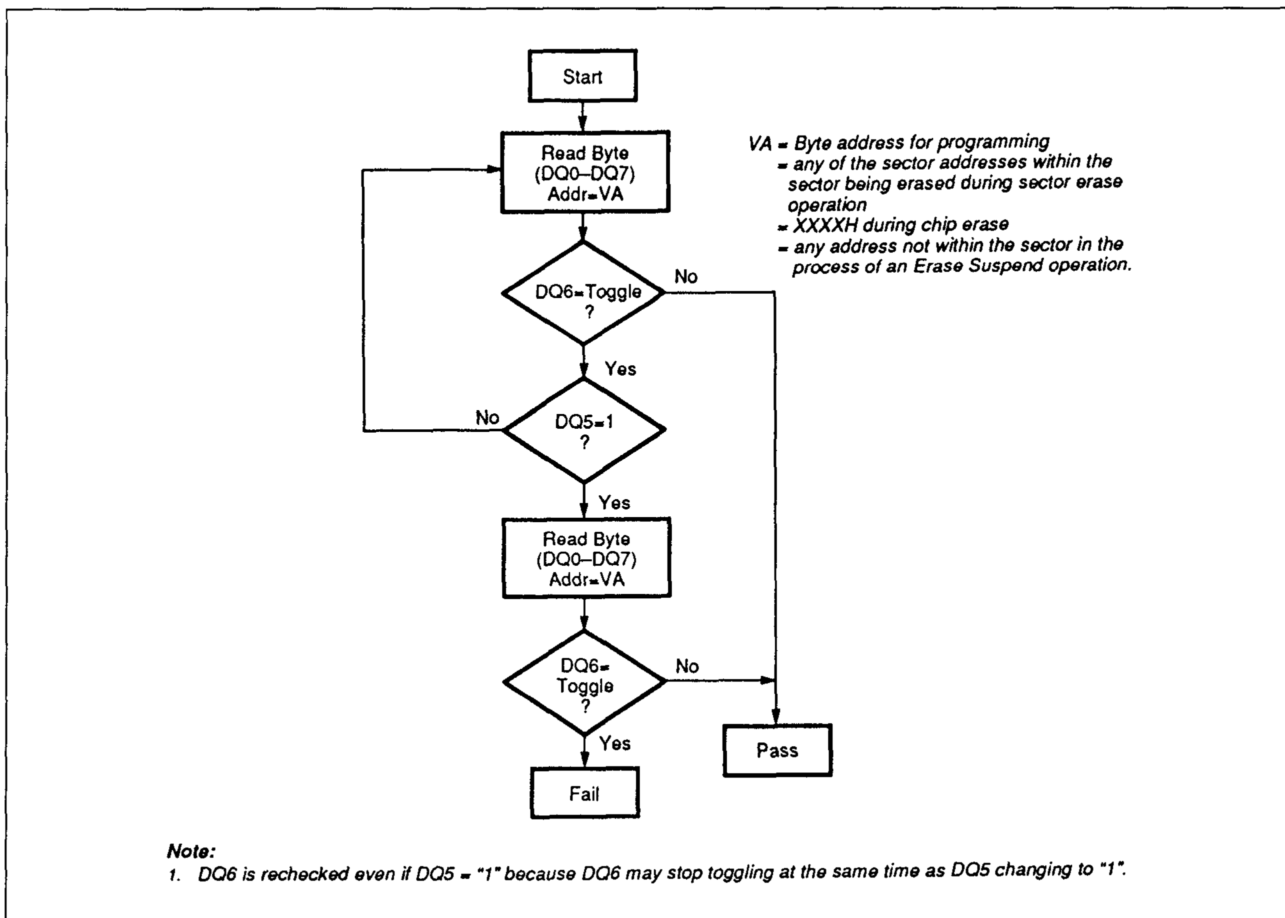
Data beveiliging

De 29F400 heeft een beveiliging tegen onbedoeld wissen of programmeren door valse signalen in het systeem. Bij het opkomen van de voedingsspanning staat de interne state-machine automatisch in de leesmode. Bovendien wordt (door de architectuur van besturingsregisters) de inhoud van het geheugen alleen veranderd als eerst specifieke multi-buscyclus commandoreeksen met succes werden doorlopen.

Om te voorkomen dat met een schrijfcyclus wordt begonnen bij het opkomen en wegvallen van V_{CC}, wordt deze gesperd als V_{CC} lager is dan 3,2 V (3,7 V typ.). Als $V_{CC} < V_{LKO}$ wordt het commando-register gesperd, evenals alle interne programmeer- en wis-circuits. De 29F400 gaat dan in de lees-mode. Storingen op OE, CE of WE die korter duren dan 5 ns (typ.) kunnen geen schrijfcyclus triggeren.

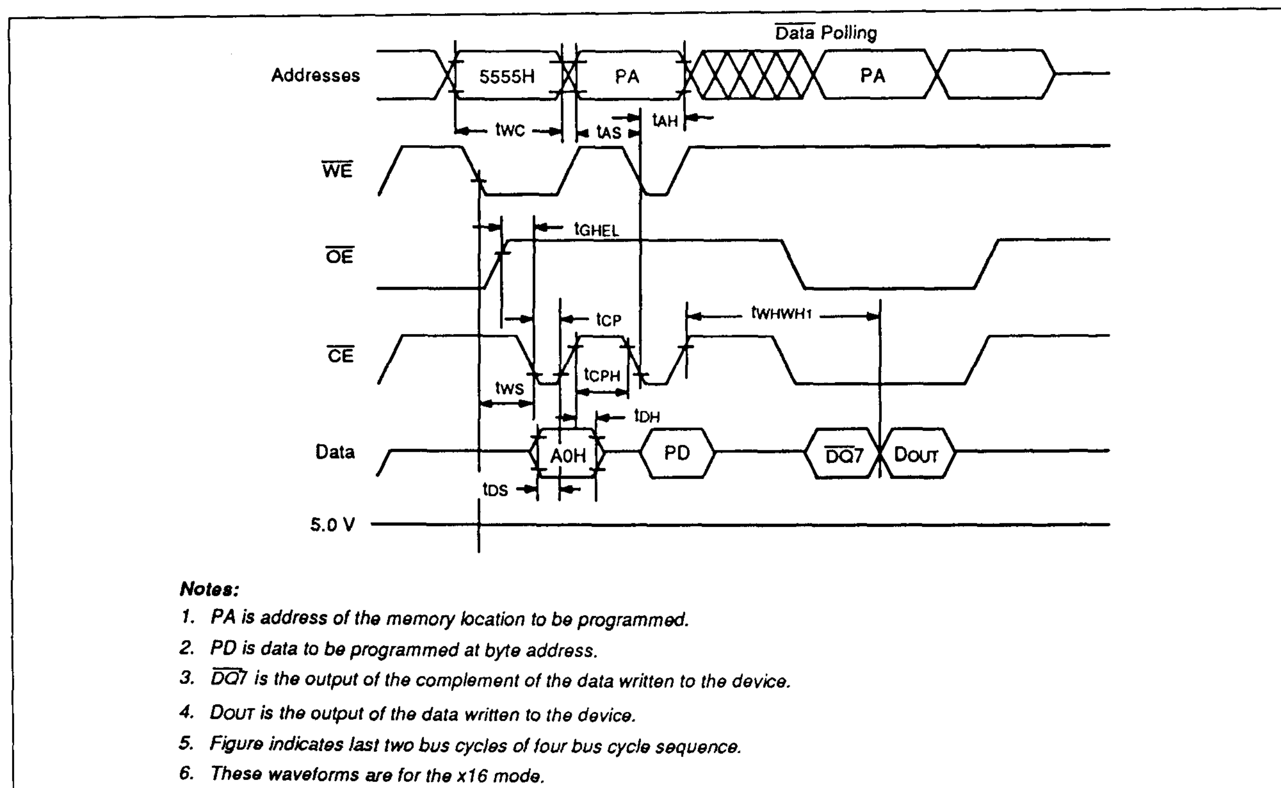
Overige elektrische kenmerken

De tabellen 8/5.5-53 tot en met 8/5.5-58 en de figuren 8/5/5-76 en -77 geven een overzicht van de resterende elektrische en timing-karakteristieken van de Am29F400.



Figuur 8/5.5-76: De Toggle Bit Algorithme.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-77: Timing en golfvormen bij programmeer-operaties die door afwisselende $\overline{CE}$ worden bestuurd.

ABSOLUTE MAXIMUM RATINGS

Storage Temperature
Ceramic Packages .... –65°C to +150°C
Plastic Packages .... –65°C to +125°C

Ambient Temperature
with Power Applied .... –55°C to +125°C

Voltage with Respect to Ground
All pins except A9 (Note 1) .... –2.0 V to +7.0 V
Vcc (Note 1) .... –2.0 V to +7.0 V
A9 (Note 2) .... –2.0 V to +14.0 V
Output Short Circuit Current (Note 3) ...... 200 mA

OPERATING RANGES

Commercial (C) Devices
Case Temperature (Tc) .... 0°C to +70°C

Industrial (I) Devices
Case Temperature (Tc) .... –40°C to +85°C

Extended (E) Devices
Case Temperature (Tc) .... –55°C to +125°C

Military (M) Devices
Case Temperature (Tc) .... –55°C to +125°C

Vcc Supply Voltages
Vcc for Am29F400T/B-75 .... +4.75 V to +5.25 V
Vcc for Am29F400T/B-90, 120 ... +4.50 V to +5.50 V

Tabel 8/5.5-53: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 29F400.

5.5 Type-beschrijving Flash EEPROM's

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
I_{LI}	Input Load Current	V_{IN} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max			±1.0	µA
I_{LIT}	A9 Input Load Current	V_{CC} = V_{CC} Max, A9 = 12.5 V			50	µA
I_{LO}	Output Leakage Current	V_{OUT} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max			±1.0	µA
I_{CC1}	V_{CC} Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}	Byte		40	mA
			Word		50	mA
I_{CC2}	V_{CC} Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}			60	mA
I_{CC3}	V_{CC} Standby Current	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IH}			1.0	mA
V_{IL}	Input Low Level			–0.5	0.8	V
V_{IH}	Input High Level			2.0	V_{CC} + 0.5	V
V_{ID}	Voltage for Autoselect and Sector Protect	V_{CC} = 5.0 V		11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8 mA, V_{CC} = V_{CC} Min			0.45	V
V_{OH}	Output High Level	I_{OH} = –2.5 mA V_{CC} = V_{CC} Min		2.4		V
V_{LKO}	Low V_{CC} Lock-Out Voltage			3.2	4.2	V

CMOS Compatible

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
I_{LI}	Input Load Current	V_{IN} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max			±1.0	µA
I_{LIT}	A9 Input Load Current	V_{CC} = V_{CC} Max, A9 = 12.5 V			50	µA
I_{LO}	Output Leakage Current	V_{OUT} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max			±1.0	µA
I_{CC1}	V_{CC} Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}	Byte		40	mA
			Word		50	
I_{CC2}	V_{CC} Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		60	mA	
I_{CC3}	V_{CC} Standby Current	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{CC} ± 0.5 V, $\overline{OE}$ = V_{IH}			100	µA
V_{IL}	Input Low Level			–0.5	0.8	V
V_{IH}	Input High Level			0.7x V_{CC}	V_{CC} +0.3	V
V_{ID}	Voltage for Autoselect and Sector Protect	V_{CC} = 5.0 V		11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 5.8 mA, V_{CC} = V_{CC} Min			0.45	V
V_{OH1}	Output High Voltage	I_{OH} = –2.5 mA, V_{CC} = V_{CC} Min		0.85 V_{CC}		V
V_{OH2}		I_{OH} = –100 µA, V_{CC} = V_{CC} Min		V_{CC} –0.4		V
V_{LKO}	Low V_{CC} Lock-out Voltage			3.2	4.2	V

Notes:

1. *The I_{CC} current listed includes both the DC operating current and the frequency dependent component (at 6 MHz). The frequency component typically is less than 2 mA/MHz, with $\overline{OE}$ at V_{IH}.*
2. *I_{CC} active while Embedded Algorithm (program or erase) is in progress.*
3. *Not 100% tested.*

Tabel 8/5.5-54: TTL/NMOS-compatibele en CMOS-compatibele gelijkspanningskarakteristieken van de 29F400.

5.5 Type-beschrijving Flash EEPROM's

Read Only Operations Characteristics

Parameter Symbols									
JEDEC	Standard	Description	Test Setup		-75 (Note 1)	-90 (Note 2)	-120 (Note 2)	-150 (Note 2)	Unit
t_{AVAV}	t_{RC}	Read Cycle Time (Note 4)		Min	70	90	120	150	ns
t_{AVQV}	t_{ACC}	Address to Output Delay	$\overline{CE}$ = V_{IL} $\overline{OE}$ = V_{IL}	Max	70	90	120	150	ns
t_{ELQV}	t_{CE}	Chip Enable to Output Delay	$\overline{OE}$ = V_{IL}	Max	70	90	120	150	ns
t_{GLQV}	t_{OE}	Output Enable to Output Delay		Max	30	35	50	55	ns
t_{EHQZ}	t_{DF}	Chip Enable to Output High Z (Note 3, 4)		Max	20	20	30	35	ns
t_{GHQZ}	t_{DF}	Output Enable to Output High Z (Note 3, 4)		Max	20	20	30	35	ns
t_{AXQX}	t_{OH}	Output Hold Time From Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurs First		Min	0	0	0	0	ns
	t_{Ready}	$\overline{RESET}$ pin low to read mode		Max	20	20	20	20	µs
	t_{ELFL} t_{ELFH}	$\overline{CE}$ to $\overline{BYTE}$ switching low or high		Max	5	5	5	5	ns

Notes:

1. *Test Conditions:*
   Output Load: 1 TTL gate and 30 pF
   Input rise and fall times: 5 ns
   Input pulse levels: 0.0 V to 3.0 V
   Timing measurement reference level
   Input: 1.5 V
   Output: 1.5 V
2. *Test Conditions:*
   Output Load: 1 TTL gate and 100 pF
   Input rise and fall times: 20 ns
   Input pulse levels: 0.45 V to 2.4 V
   Timing measurement reference level
   Input: 0.8 and 2.0 V
   Output: 0.8 and 2.0 V
3. *Output driver disable time.*
4. *Not 100% tested.*

Tabel 8/5.5-55: Schakeltijden bij het uitlezen van vier snelheidsversies van de 29F400.

5.5 Type-beschrijving Flash EEPROM's

Write/Erase/Program Operations

Parameter Symbols JEDEC	Parameter Symbols Standard	Description			-70	-90	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (3)		Min	70	90	120	150	ns
t_{AVWL}	t_{AS}	Address Setup Time		Min	0	0	0	0	ns
t_{WLAX}	t_{AH}	Address Hold Time		Min	45	45	50	50	ns
t_{DVWH}	t_{DS}	Data Setup Time		Min	30	45	50	50	ns
t_{WHDX}	t_{DH}	Data Hold Time		Min	0	0	0	0	ns
	t_{OES}	Output Enable Setup Time (3)		Min	0	0	0	0	ns
	t_{OEH}	Output Enable Hold Time	Read (Note 3)	Min	0	0	0	0	ns
			Toggle and $\overline{\text{Data}}$ Polling (3)	Min	10	10	10	10	ns
t_{GHWL}	t_{GHWL}	Read Recover Time Before Write		Min	0	0	0	0	ns
t_{ELWL}	t_{CS}	$\overline{\text{CE}}$ Setup Time		Min	0	0	0	0	ns
t_{WHEH}	t_{CH}	$\overline{\text{CE}}$ Hold Time		Min	0	0	0	0	ns
t_{WLWH}	t_{WP}	Write Pulse Width		Min	35	45	50	50	ns
t_{WHWL}	t_{WPH}	Write Pulse Width High		Min	20	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation		Typ	16	16	16	16	µs
t_{WHWH2}	t_{WHWH2}	Erase Operation (1)		Typ	1.5	1.5	1.5	1.5	sec
				Max	30	30	30	30	sec
	t_{VCS}	Vcc Set Up Time (3)		Min	50	50	50	50	µs
	t_{VLHT}	Voltage Transition Time (2, 3, 5)		Min	4	4	4	4	µs
	t_{WPP}	Write Pulse Width (2)		Min	100	100	100	100	µs
	t_{WPP2}	Write Pulse Width (5)		Min	10	10	10	10	ms
	t_{OESP}	$\overline{\text{OE}}$ Setup Time to $\overline{\text{WE}}$ Active (2, 3, 5)		Min	4	4	4	4	µs
	t_{CSP}	$\overline{\text{CE}}$ Setup Time to $\overline{\text{WE}}$ Active (3)		Min	4	4	4	4	µs
	t_{RP}	$\overline{\text{RESET}}$ Pulse Width		Min	500	500	500	500	ns
	t_{FLQZ}	$\overline{\text{BYTE}}$ Switching Low to Output High Z (3, 4)		Max	20	30	30	30	ns
	t_{BUSY}	Program/Erase Valid to RD/$\overline{\text{BY}}$ Delay (3)		Min	30	35	50	55	ns

Notes:
1. *This does not include the preprogramming time.*
2. *These timings are for Sector Protect operation.*
3. *Not 100% tested.*
4. *Output Driver Disable Time.*
5. *These timings are for Sector Unprotect operation.*

Tabel 8/5.5-56: Schakeltijden voor het wissen en programmeren van de 29F400 (vier snelheidsversies).

5.5 Type-beschrijving Flash EEPROM's

Write/Erase/Program Operations

Alternate $\overline{CE}$ Controlled Writes

Parameter Symbols JEDEC	Parameter Symbols Standard	Description			-70	-90	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (4)		Min	70	90	120	150	ns
t_{AVEL}	t_{AS}	Address Setup Time		Min	0	0	0	0	ns
t_{ELAX}	t_{AH}	Address Hold Time		Min	45	45	50	50	ns
t_{DVEH}	t_{DS}	Data Setup Time		Min	30	45	50	50	ns
t_{EHDX}	t_{DH}	Data Hold Time		Min	0	0	0	0	ns
	t_{OES}	Output Enable Setup Time		Min	0	0	0	0	ns
	t_{OEH}	Output Enable Hold Time (4)	Read (4)	Min	0	0	0	0	ns
			Toggle and $\overline{Data}$ Polling	Min	10	10	10	10	ns
t_{GHEL}	t_{GHEL}	Read Recover Time Before Write		Min	0	0	0	0	ns
t_{WLEL}	t_{WS}	$\overline{WE}$ Setup Time		Min	0	0	0	0	ns
t_{EHWH}	t_{WH}	$\overline{WE}$ Hold Time		Min	0	0	0	0	ns
t_{ELEH}	t_{CP}	$\overline{CE}$ Pulse Width		Min	35	45	50	50	ns
t_{EHEL}	t_{CPH}	$\overline{CE}$ Pulse Width High		Min	20	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation		Typ	16	16	16	16	µs
t_{WHWH2}	t_{WHWH2}	Erase Operation (Note 1)		Typ	1.5	1.5	1.5	1.5	sec
				Max	30	30	30	30	sec
	t_{VCS}	Vcc Set Up Time (Note 4)		Typ	50	50	50	50	µs
	t_{RP}	$\overline{RESET}$ Pulse Width		Min	500	500	500	500	ns
	t_{FLOZ}	$\overline{BYTE}$ Switching Low to Output High Z (3, 4)		Max	20	30	30	30	ns
	t_{BUSY}	Program/Erase Valid to RD/$\overline{BY}$ Delay (4)		Min	30	35	50	55	ns

Notes:

1. *This does not include the preprogramming time.*
2. *These timings are for Sector Protect/Unprotect operations.*
3. *This timing is only for Sector Unprotect.*
4. *Not 100% tested.*

Tabel 8/5.5-57: Schakeltijden bij het wissen en programmeren onder besturing van $\overline{CE}$-omschakelingen van de 29F400 (zie ook figuur 8/5.5-77).

5.5 Type-beschrijving Flash EEPROM's

ERASE AND PROGRAMMING PERFORMANCE

Parameter	Limits			Unit	Comments
	Min	Typ	Max		
Chip and Sector Erase Time		1.5 (Note 1)	30	sec	Excludes 00H programming prior to erasure
Byte Programming Time		16	1000 (Note 2)	µs	Excludes system-level overhead
Chip Programming Time		8.5 (Note 1)	50	sec	Excludes system-level overhead
Erase/Program Cycles	100,000	1,000,000		Cycles	

Notes:

1. *25°C, 5 V Vcc, 100,000 cycles*
2. *The Embedded Algorithms allow for 48 ms byte program time.*

Tabel 8/5.5-58: Prestaties bij het wissen en programmeren van de 29F400.

29F016

2 M x 8 bit CMOS

De 29F016 is een 16 MB Flash geheugen dat werkt op een enkele voedingsspanning van 5 V. De 29F016 heeft een organisatie van 2.097.152 (2 M) woorden van 8 bit die, om het wissen gemakkelijker te maken, zijn verdeeld over 32 sectoren van 64 kB.

De 8 bit data komen beschikbaar op DQ0 tot en met DQ7. De 29F016 wordt geleverd in een 48-pens TSOP-behuizing. Het geheugen kan in het systeem worden geprogrammeerd met een enkele 5 V spanning (geen 12 V nodig) of in een standaard EPROM programmeer-apparaat.

De 29F016 heeft toegangstijden van 90, 120 en 150 ns en daardoor geschikt voor gebruik bij snelle microprocessoren (geen wait-states). Om busconflicten te vermijden heeft de 29F016 gescheiden Chip Enable ($\overline{CE}$), Write Enable ($\overline{WE}$) en Output Enable ($\overline{OE}$) ingangen.

De commandoset van de 29F016 is volledig compatibel met de JEDEC standaard voor "single-supply" Flash-geheugens. De commando's worden met gewone schrijfoperaties in het Command Register geschreven. De inhouden van de registers dienen als ingangssignalen voor een interne state-machine die op zijn beurt het wissen en programmeren bestuurt. De schrijfcycli latchen ook adressen en data die nodig zijn voor de programmeer- en wis-operaties. Data wordt op dezelfde manier uitgelezen als bij 12 V Flash of EPROM geheugens.

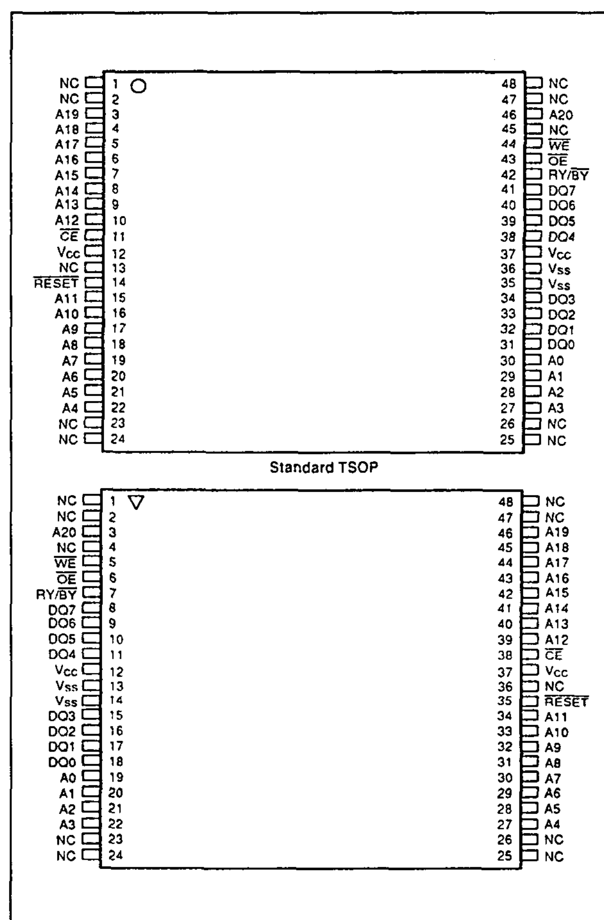
Programmering van de 29F016 geschiedt door de uitvoering van een programmeer commando-reeks. Hierbij is een ingebedde programmeer-algorithme betrokken die voor automatische timing van de pulsbreedten en verificatie van de juiste celruimte zorgt. Het wissen wordt uitgevoerd met behulp van de wis commando-reeks, die de ingebedde wis-algorithme oproept (dit is een intern algorithme die de array automatisch voorprogrammeert als dat nog niet was gebeurt). Het geheugen beschikt ook over een sector wis-architectuur, waardoor het mogelijk is sectoren te wissen en te herprogrammeren zonder andere sectoren te beïnvloeden.

De 29F016 heeft ook hardware sectorgroep-beveiliging. Hiermee kan het programmeren en wissen van alle combinaties van acht sectorgroepen geheugen worden tegen gehouden. Een sectorgroep bestaat uit vier naast elkaar liggende sectoren die op de volgende manier zijn gegroepeerd: de sectoren 0-3, 4-7, 8-11, 12-15, 16-19, 20-23, 24-27 en 28-31. Bovendien kan het wissen tijdelijk worden uitgesteld (Erase Suspend) voor lezen of schrijven van data uit/naar een sector die niet werd gewist.

5.5 Type-beschrijving Flash EEPROM's

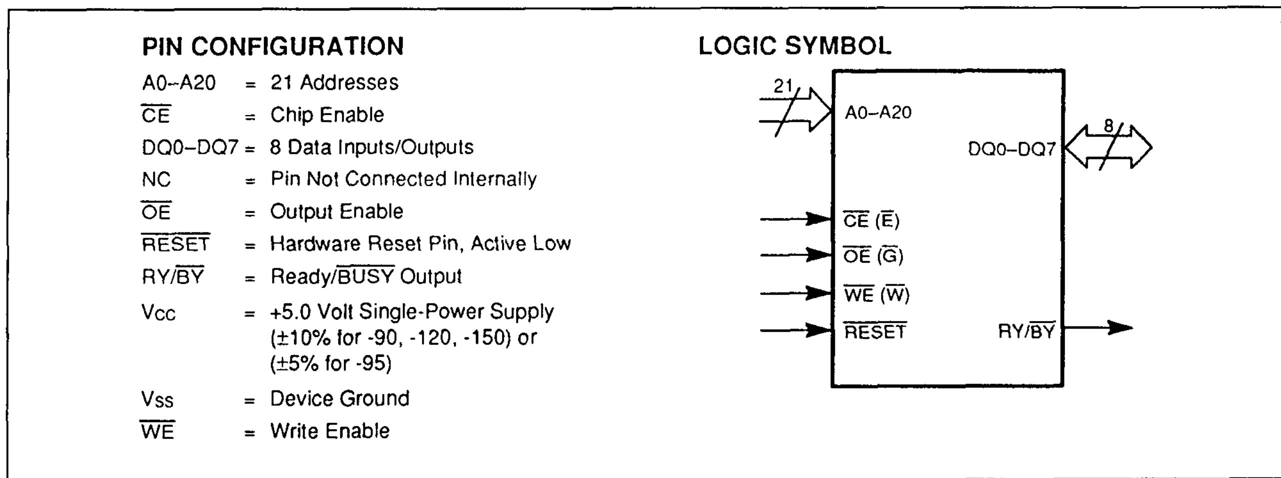
Alle functies van de 29F016 werken op een enkele +5 V voedingsspanning. Voor het programmeren en wissen worden interne spanningen opgewekt en gestabiliseerd. Bij een te lage V_{CC} houdt een detector automatisch alle schrijfoperaties tegen. Het beëindigen van programmeren of wissen wordt gedetecteerd door de RY/BY-pen, data-polling op DQ7 of door het toggle-bit I (DQ6). Wanneer het programmeren of wissen klaar is, keert de 29F016 automatisch terug in de leesmode. De 29F016 heeft ook een hardware RESET-pen. Als die LAAG wordt, wordt elke ingebed programmeer- of wis-algorithme beëindigd. De interne state-machine wordt dan gereset naar de leesmode.
De RESET-pen mag aan de resetschakeling van het systeem worden gehangen, waardoor de systeem-microprocessor de boot-up firmware van het Flash- geheugen kan uitlezen.

Specificaties
De 29F016 heeft de volgende kenmerken:
- 2.097.152 x 8 bit organisatie
- enkele voedingsspanning 5 V +/-10 % voor lezen, wissen en programmeren
- low power: 40 mA aktieve leesstroom, maximaal 60 mA wis-/programmeerstroom, 1 µA standby-stroom
- toegangstijden: 90, 120 of 150 ns
- sector wis-architectuur:
  uniforme sectoren van 64 kB per stuk
  alle willekeurige combinaties van sectoren kunnen worden gewist (ook volledig wissen van de chip)
- ingebedde wis-algorithmen:
  automatisch pre-programmeren en wissen van chip of willekeurige sector
- groep sector-beveiliging:
  hardware methode die het beschrijven of wissen van alle combinaties sectorgroepen tegenhoudt (een sectorgroep bestaat uit 4 aanliggende sectoren van 64 kB)
- ingebedde programmeer-algorithmen:
  automatisch schrijven en verifiëren van data
- Data-polling en toggle-bit detectie van einde van programmeren of wissen
- Ready/Busy-uitgang (RY/BY)
  hardware methode voor detectie van einde van programmeren of wissen
- Erase Suspend/Resume
- minimaal 100.000 wis/programmeercycli mogelijk
- hardware RESET-pen
- TTL-, NMOS- en CMOS-compatibel
- JEDEC-standaard behuizing: 48-pens TSOP (figuur 8/5.5-78)
- fabrikant: AMD (Am29F016)



Figuur 8/5.5-78: Boven: de standaard TSOP-uitvoering van de 29F016; onder: de geïnverteerde TSOP-versie (Thin Small Outline Package).

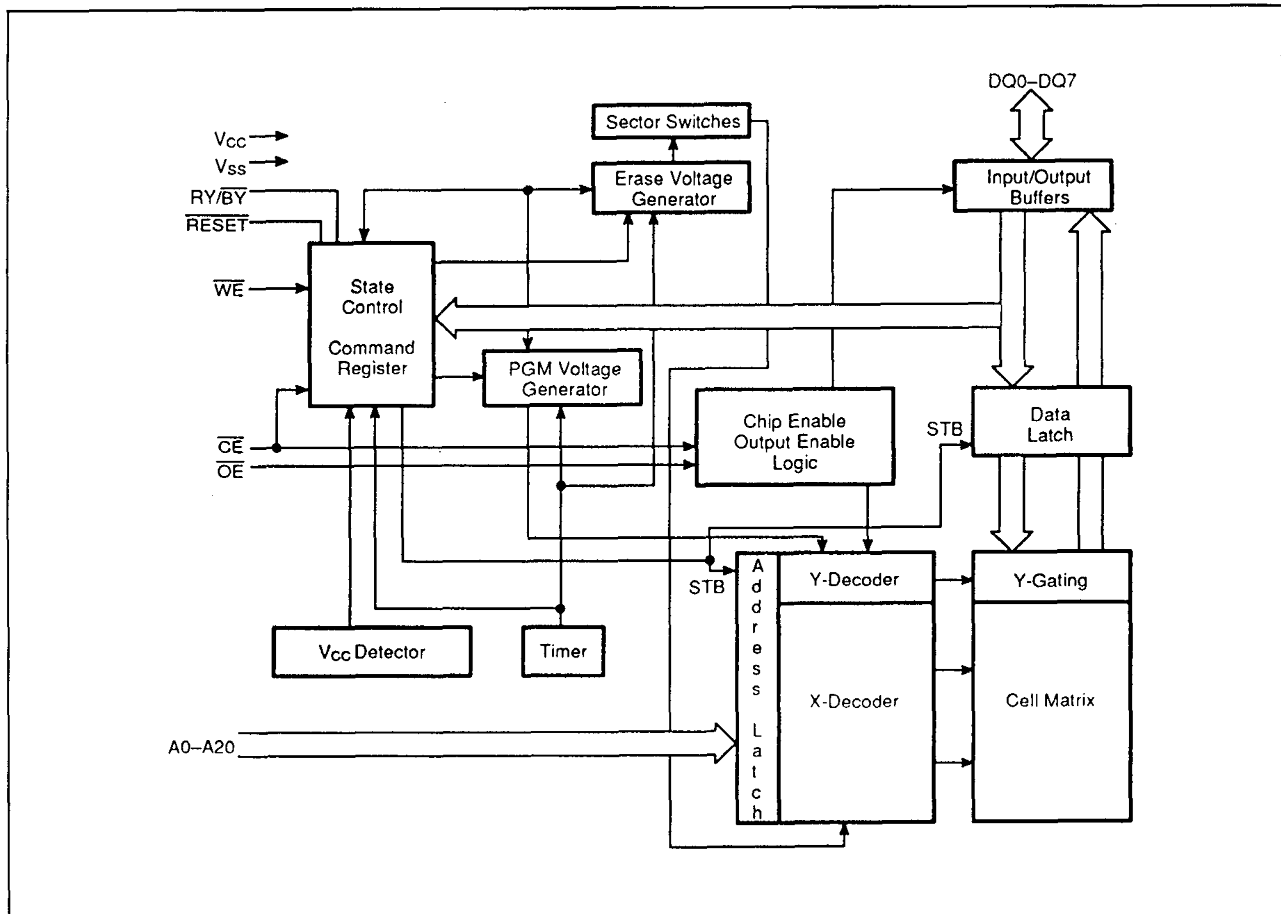
5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-79: Logisch symbool en aansluitingen van de 29F016.

Werking

Aan de hand van het blokschema (figuur 8/5.5-80) en de tabel voor de bus-operaties (tabel 8/5.5-59) worden alle functies beschreven.



Figuur 8/5.5-80: Functioneel blokschema van de 29F016.

5.5 Type-beschrijving Flash EEPROM's

Operation	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0	A1	A6	A9	DQ0–DQ7	$\overline{RESET}$
Autoselect, AMD Manuf. Code (1)	L	L	H	L	L	L	V_{ID}	Code	H
Autoselect Device Code (1)	L	L	H	H	L	L	V_{ID}	Code	H
Read	L	L	X	A0	A1	A6	A9	D_{OUT}	H
Standby	H	X	X	X	X	X	X	HIGH Z	H
Output Disable	L	H	H	X	X	X	X	HIGH Z	H
Write	L	H	L	A0	A1	A6	A9	D_{IN}	H
Enable Sector Group Protect (2)	L	V_{ID}	L	X	X	X	V_{ID}	X	H
Verify Sector Group Protect (2)	L	L	H	L	H	L	V_{ID}	Code	H
Temporary Sector Group Unprotect	X	X	X	X	X	X	X	X	V_{ID}
Hardware Reset/Standby	X	X	X	X	X	X	X	HIGH Z	L

Legend:

L = logic 0, H = logic 1, X = Don't Care. See DC Characteristics for voltage levels.

Notes:

1. *Manufacturer and device codes may also be accessed via a command register write sequence. Refer to Table 5.*
2. *Refer to the section on Sector Group Protection.*

Tabel 8/5.5-59: Gebruikersbus-operaties voor de 29F016.

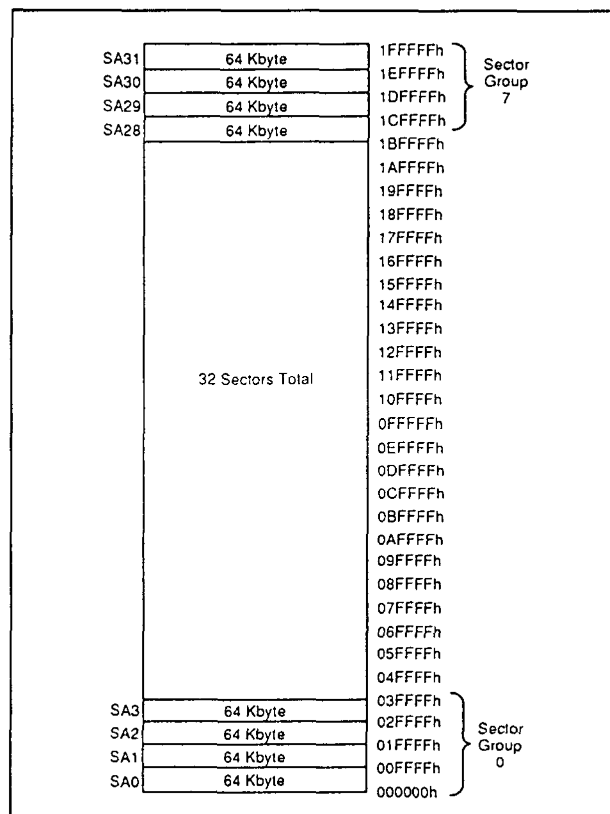
Flexibele sector-wis architectuur

- er zijn 32 sectoren van 64 kB per stuk (zie figuur 8/5.5-81);
- er zijn 8 sectorgroepen die allemaal bestaan uit 4 aanliggende sectoren volgens het patroon: 0-3, 4-7, 8-11, 12-15, 16-19, 20-23, 24-27 en 28-31;
- wissen per sector of meerdere sectoren mogelijk;
- sectorgroep-beveiliging door de gebruiker instelbaar.

Lees-Mode

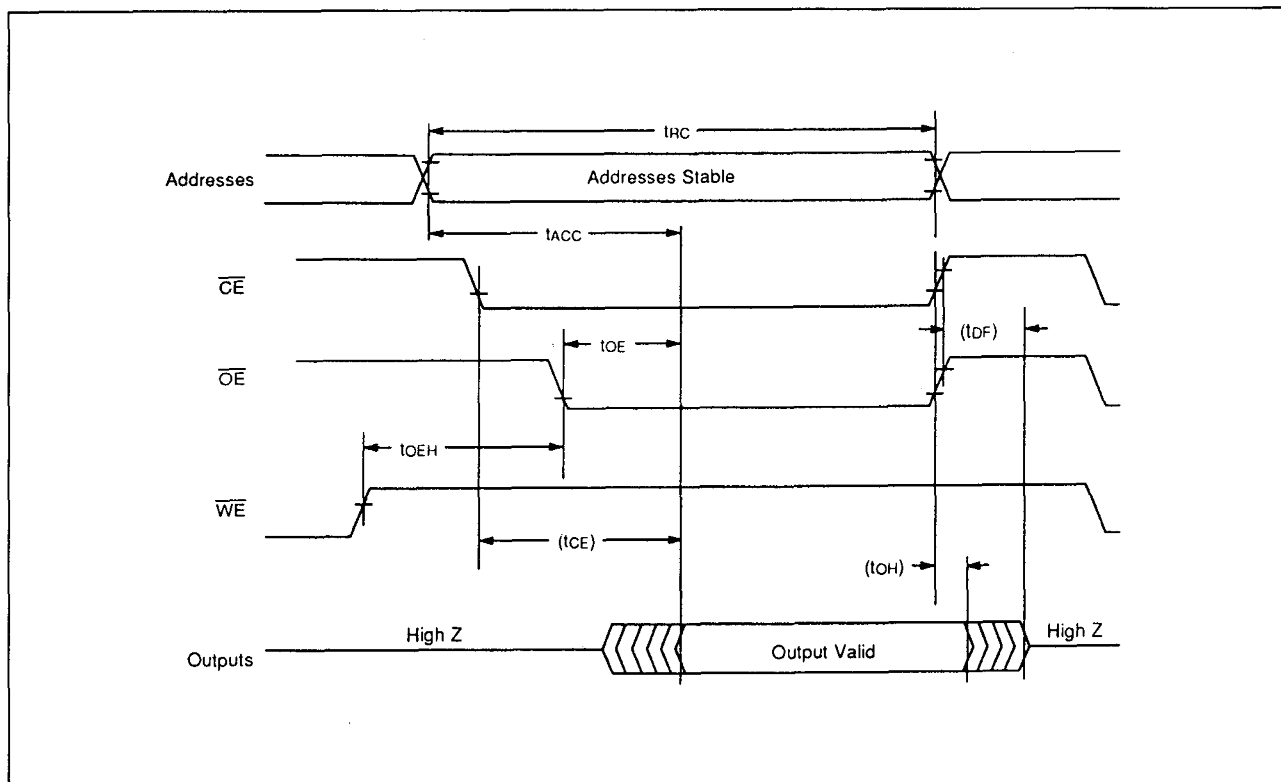
Voor het verkrijgen van data op de uitgangen moet bij de 29F016 aan twee besturingsfuncties worden voldaan. $\overline{CE}$ wordt gebruikt om het geheugen te selecteren, terwijl $\overline{OE}$ dient voor het aanbieden van data op de uitgangen als de 29F016 is geselecteerd. De adrestoegangstijd (t_{ACC}) is de vertraging tussen stabiel adres en geldige data.

De chip-enable tijd (t_{CE}) is de vertraging tussen stabiel adres bij stabiele $\overline{CE}$ en geldige data op de uitgangspennen. In figuur 8/5.5-82 is de volledige timing voor het uitlezen te zien.



Figuur 8/5.5-81: Sector-wis architectuur van de 29F016.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-82: Timing en golfvormen bij het uitlezen van de 29F016.

Standby Mode

De 29F016 heeft twee standby-toestanden: bij de eerste worden zowel $\overline{CE}$ als $\overline{RESET}$ gebruikt; bij de tweede alleen de $\overline{RESET}$-pen.
Wanneer beide pennen worden gebruikt, ontstaat een CMOS standby-mode, waarbij $\overline{CE}$ en $\overline{RESET}$ = V_{CC} +/-0,3 V. De opgenomen stroom bedraagt dan minder dan 1 µA. Wanneer $\overline{CE}$ en $\overline{RESET}$ beide op V_{IH} (logisch HOOG) worden gezet, ontstaat een TTL standby-mode, waarbij een stroom van 200 µA wordt opgenomen. Wanneer alleen de $\overline{RESET}$-pen wordt gebruikt, ontstaat een CMOS standby-mode als $\overline{RESET}$ = V_{SS} +/-0,3 V en $\overline{CE}$ = don't care. Er wordt dan minder dan 1 µA opgenomen. Als de $\overline{RESET}$-pen op V_{IL} komt (met $\overline{CE}$ = don't care) ontstaat een TTL standby-mode. Er loopt dan een stroom van minder dan 200 µA. Na het HOOG gaan van $\overline{RESET}$ is 500 ns nodig voor het "wakker worden" om geldige data op de uitgangen te krijgen. In de standby-toestand zijn de uitgangen hoog-impedant, ongeacht het $\overline{OE}$-signaal.

Output Disable

Door $\overline{OE}$ op een logisch HOOG niveau te brengen worden de uitgangen hoog-impedant.

Auto Select

In de auto select-mode kan een binaire code worden uitgelezen die de fabrikant en het type identificeert. Dit is bedoeld voor automatische programmeer-apparatuur, die daardoor het juiste programmeer-algorithme kan kiezen. Deze bedrijfsmode wordt aktief door V_{ID} (= 11,5 V tot 12,5 V) op adrespen A9 te zetten. Er kunnen dan twee identificatiebytes worden uitgelezen door A0 LAAG of HOOG te maken (afgezien van A0, A1 en A6 doen de overige adreslijnen niet ter zake), zie tabel 8/5.5-60.
Byte 0 (A0 = LAAG) is de fabrikantcode (AMD: 01H) en byte 1 (A0 = HOOG) is de

5.5 Type-beschrijving Flash EEPROM's

device-code (Am29F016: ADH). Beide codes hebben een oneven pariteit, waarbij DQ7 het pariteitsbit is.

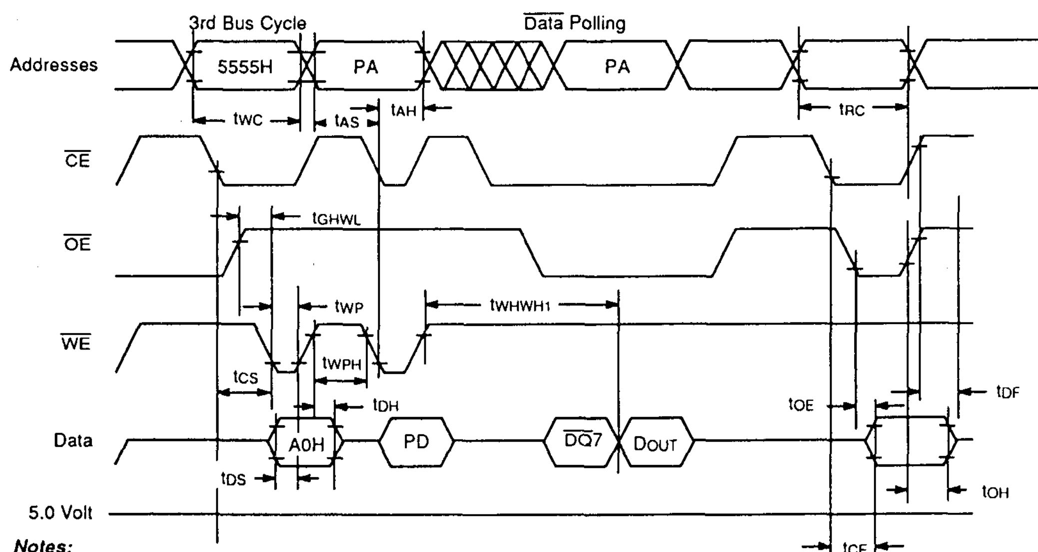
De fabrikant- en typecodes kunnen bij de 29F016 ook worden uitgelezen via het Command Register (bijvoorbeeld als de 29F016 in een systeem wordt gewist of geprogrammeerd). Het is dan niet nodig om de hoge spanning op pen A9 te zetten. De hiervoor benodigde commando-volgorde is te zien in tabel 8/5.5-63: de Autoselect-volgorde. De autoselect-mode vereenvoudigt ook de bepaling van sectorgroep-beveiliging in het systeem.

Als een lees-operatie wordt uitgevoerd op adres XX02H (waarbij de hogere adresbits A18, A19 en A20 de gewenste sectorgroep aanwijzen) zet de 29F016 voor een beveiligde sectorgroep 01H op de uitgang en 00H voor een niet-beveiligde.

Type	A18 to A20			A6	A1	A0	Code (HEX)	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
Manufacturer Code–AMD	X	X	X	V_{IL}	V_{IL}	V_{IL}	01H	0	0	0	0	0	0	0	1
Am29F016 Device	X	X	X	V_{IL}	V_{IL}	V_{IH}	ADH	1	0	1	0	1	1	0	1
Sector Group Protection	Sector Group Addr.			V_{IL}	V_{IH}	V_{IL}	01H*	0	0	0	0	0	0	0	1

**Outputs 01H at protected sector addresses*

Tabel 8/5.5-60: Sector-protection verify autoselect codes van de 29F016.



Notes:

1. *PA is address of the memory location to be programmed.*
2. *PD is data to be programmed at byte address.*
3. *$\overline{DQ7}$ is the output of the complement of the data written to the device.*
4. *DOUT is the output of the data written to the device.*
5. *Figure indicates last two bus cycles of four bus cycle sequence.*

Figuur 8/5.5-83: Timing en golfvormen bij het programmeren van de 29F016.

5.5 Type-beschrijving Flash EEPROM's

	A20	A19	A18	A17	A16	Address Range
SA0	0	0	0	0	0	000000h–00FFFFh
SA1	0	0	0	0	1	010000h–01FFFFh
SA2	0	0	0	1	0	020000h–02FFFFh
SA3	0	0	0	1	1	030000h–03FFFFh
SA4	0	0	1	0	0	040000h–04FFFFh
SA5	0	0	1	0	1	050000h–05FFFFh
SA6	0	0	1	1	0	060000h–06FFFFh
SA7	0	0	1	1	1	070000h–07FFFFh
SA8	0	1	0	0	0	080000h–08FFFFh
SA9	0	1	0	0	1	090000h–09FFFFh
SA10	0	1	0	1	0	0A0000h–0AFFFFh
SA11	0	1	0	1	1	0B0000h–0BFFFFh
SA12	0	1	1	0	0	0C0000h–0CFFFFh
SA13	0	1	1	0	1	0D0000h–0DFFFFh
SA14	0	1	1	1	0	0E0000h–0EFFFFh
SA15	0	1	1	1	1	0F0000h–0FFFFFh
SA16	1	0	0	0	0	100000h–10FFFFh
SA17	1	0	0	0	1	110000h–11FFFFh
SA18	1	0	0	1	0	120000h–12FFFFh
SA19	1	0	0	1	1	130000h–13FFFFh
SA20	1	0	1	0	0	140000h–14FFFFh
SA21	1	0	1	0	1	150000h–15FFFFh
SA22	1	0	1	1	0	160000h–16FFFFh
SA23	1	0	1	1	1	170000h–17FFFFh
SA24	1	1	0	0	0	180000h–18FFFFh
SA25	1	1	0	0	1	190000h–19FFFFh
SA26	1	1	0	1	0	1A0000h–1AFFFFh
SA27	1	1	0	1	1	1B0000h–1BFFFFh
SA28	1	1	1	0	0	1C0000h–1CFFFFh
SA29	1	1	1	0	1	1D0000h–1DFFFFh
SA30	1	1	1	1	0	1E0000h–1EFFFFh
SA31	1	1	1	1	1	1F0000h–1FFFFFh

Tabel 8/5.5-61: Sector-adressen.

	A20	A19	A18	Sectors
SGA0	0	0	0	SA0–SA3
SGA1	0	0	1	SA4–SA7
SGA2	0	1	0	SA8–SA11
SGA3	0	1	1	SA12–SA15
SGA4	1	0	0	SA16–SA19
SGA5	1	0	1	SA20–SA23
SGA6	1	1	0	SA24–SA27
SGA7	1	1	1	SA28–SA31

Tabel 8/5.5-62: Sectorgroep-adressen.

5.5 Type-beschrijving Flash EEPROM's

Schrijf Mode

Het wissen en programmeren geschiedt via het Command Register. De inhoud van dit register dient als besturingssignaal voor de interne state-machine. De uitgangssignalen hiervan bepalen de werking van het geheugen. Het Command Register zelf heeft geen adresseerbare geheugenlocatie. Het is een latch die wordt gebruikt om de commando's op te slaan, samen met de bijbehorende adres- en data-informatie. Het Command Register wordt beschreven door $\overline{WE}$ LAAG te maken, terwijl $\overline{CE}$ LAAG en $\overline{OE}$ HOOG is. De adressen worden op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ gelatcht, terwijl data op de eerst komende stijgende flank van $\overline{WE}$ of $\overline{CE}$ wordt gelatcht. Voor het schrijven worden standaard microprocessor-timingen gebruikt (figuur 8/5.5-83).

Sectorgroep Protection

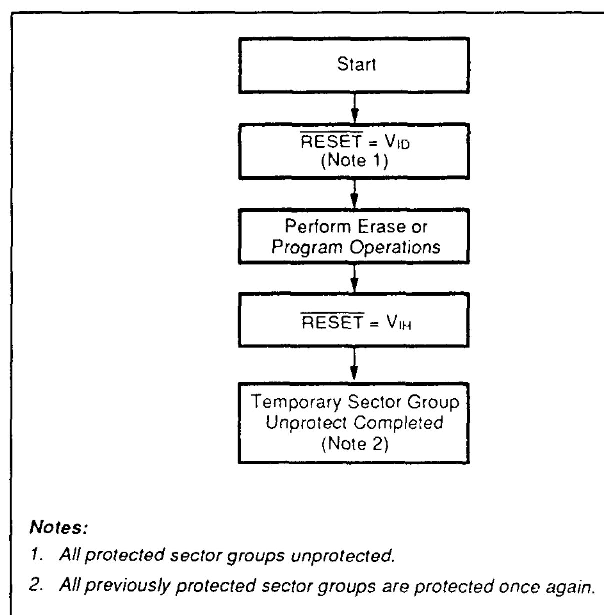
De 29F016 heeft een hardware sectorgroep-beveiliging. Hiermee wordt zowel programmeren als wissen in een willekeurige combinatie van 8 sectorgroepen voorkomen. Elke sectorgroep bestaat uit vier aanliggende sectoren, die volgens het patroon 0-3, 4-7, 8-11, 12-15, 16-19, 20-23, 24-27 en 28-31 zijn gegroepeerd (zie tabel 8/5.5-62).

De 29F016 wordt meestal geleverd met alle sectoren onbeveiligd, maar het is ook mogelijk om sectorgroepen te laten programmeren en beveiligen. Het is mogelijk om in een systeem te controleren of een sectorgroep beveiligd is door een autoselect-commando te schrijven. Door een lees-operatie op het adres XX02H uit te voeren, waarbij de hogere adreslijnen A18, A19 en A20 het gewenste sectorgroep-adres vormen, verschijnt een logische "1" op DQ0 als die sector beveiligd is (zie ook tabel 8/5.5-60).

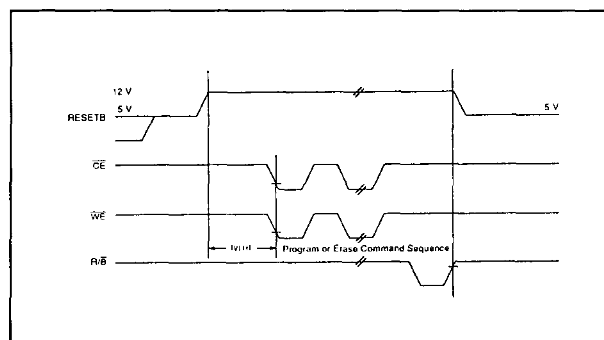
Tijdelijk niet-beveiligde sectoren

Om data te kunnen veranderen is het mogelijk om eerder beveiligde sectorgroepen van de 29F016 tijdelijk onbeveiligd te maken. De Sector Group Unprotect-mode wordt aktief door de $\overline{RESET}$-pen op een hoge spanning (12 V) te brengen. Tijdens deze mode kunnen voorheen beveiligde sectorgroepen toch worden geprogrammeerd of gewist door de sectorgroep-adressen te selecteren.

Zodra de 12 V van de $\overline{RESET}$-pen wordt verwijderd, zullen alle eerder beveiligde sectoren weer beveiligd zijn (zie ook de figuren 8/5.5-84 en -85).



Figuur 8/5.5-84: Algorithme voor tijdelijk niet-beveiligen van sectorgroepen.



Figuur 8/5.5-85: De timing van het tijdelijk niet-beveiligen van sectorgroepen.

5.5 Type-beschrijving Flash EEPROM's

Command Sequence Read/Reset	Bus Write Cycles Req'd	First Bus Write Cycle		Second Bus Write Cycle		Third Bus Write Cycle		Fourth Bus Read/Write Cycle		Fifth Bus Write Cycle		Sixth Bus Write Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Reset/Read	1	XXXXH	FOH										
Reset/Read	3	5555H	AAH	2AAAH	55H	5555H	FOH	RA	RD				
Autoselect	3	5555H	AAH	2AAAH	55H	5555H	90H						
Byte Program	4	5555H	AAH	2AAAH	55H	5555H	AOH	PA	Data				
Chip Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	5555H	10H
Sector Erase	6	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	SA	30H
Erase Suspend	1	XXXXH	BOH										
Erase Resume	1	XXXXH	30H										

Notes:

1. *Bus operations are defined in Table 1.*
2. *RA = Address of the memory location to be read.*
   PA = Address of the memory location to be programmed. Addresses are latched on the falling edge of the $\overline{WE}$ pulse.
   SA = Address of the sector to be erased. The combination of A20, A19, A18, A17, and A16 will uniquely select any sector.
3. *RD = Data read from location RA during read operation.*
   PD = Data to be programmed at location PA. Data is latched on the rising edge of $\overline{WE}$.
4. *Read and Byte program functions to non-erasing sectors are allowed in the Erase Suspend mode.*
5. *Address bits A15, A14, A13, A12 and A11 = X, X = don't care.*

Tabel 8/5.5-63: Definities van commando's voor de 29F016.

Definities van de commando's

Er kunnen bepaalde operaties worden geselecteerd door specifieke adres/data reeksen in het Command Register te schrijven. Als er onjuiste adressen of data-waarden worden geschreven, komt het geheugen terug in de leesmode. De commando's zijn in tabel 8/5.5-63 opgenomen. Let op dat de Erase Suspend (BOH) en Erase Resume (30H) commando's alleen geldig zijn tijdens de uitvoering van de Sector Erase operatie.

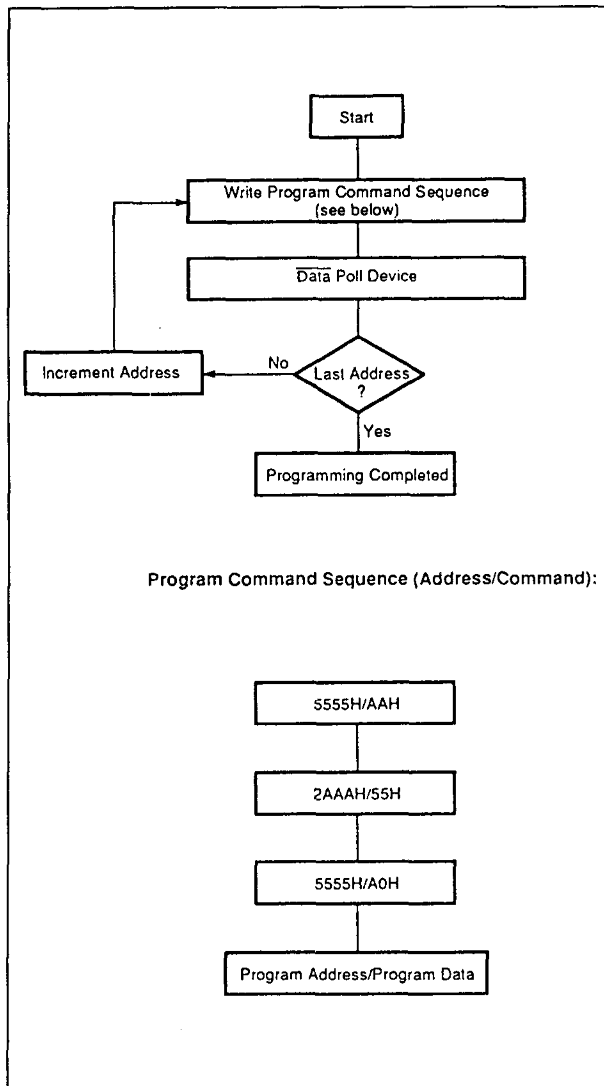
Lees/Reset Commando

Het lezen of resetten begint door de read/reset command-reeks in het Command Register te schrijven. Met microprocessorleescycli kan array-data uit het geheugen worden gehaald. De 29F016 blijft in de leestoestand totdat de inhoud van het Command Register wordt gewijzigd. Bij het inschakelen van de voedingsspanning komt het geheugen automatisch in de read/reset toestand terecht, zodat er dus geen commando-reeks nodig is om data te lezen.

Autoselect Commando

Flash geheugens zijn vooral ontworpen om te worden gebruikt in systemen waarbij de lokale CPU de inhoud van het geheugen verandert. Daarom moeten de fabrikant- en typecodes ook toegankelijk zijn als het geheugen zich in het systeem bevindt. Programmeerapparaten krijgen meestal toegang tot deze codes door op A9 een hoge spanning te zetten. In een systeem is het multiplexen van hoge spanningen op de adreslijnen echter niet gewenst. De 29F016 is daarom naast de traditionele PROM programmeer-methode ook geschikt voor een autoselect-operatie. Deze operatie begint met het schrijven van de autoselect commandoreeks in het Command Register, waarna een leescylus op adres XX00H de fabrikantcode 01H oplevert. Door op adres XX01H te lezen verschijnt de typecode ADH (zie tabel 8/5.5-60). De genoemde identificatie-codes hebben een oneven pariteit, waarbij de DQ7 als pariteitsbit werkt. Bovendien kan in deze mode de status van de schrijfbeveiliging worden uitgelezen. Door de sectorgroep-adressen af te tasten (A18, A19 en A20) terwijl (A6, A1, A0) = ("0", "1", "0") verschijnt een logische "1" op uitgang DQ0 bij een beveiligde sectorgroep. De operatie wordt gestopt door de read/reset-volgorde naar het register te schrijven.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-86: De ingebedde programmeer-algorithme.

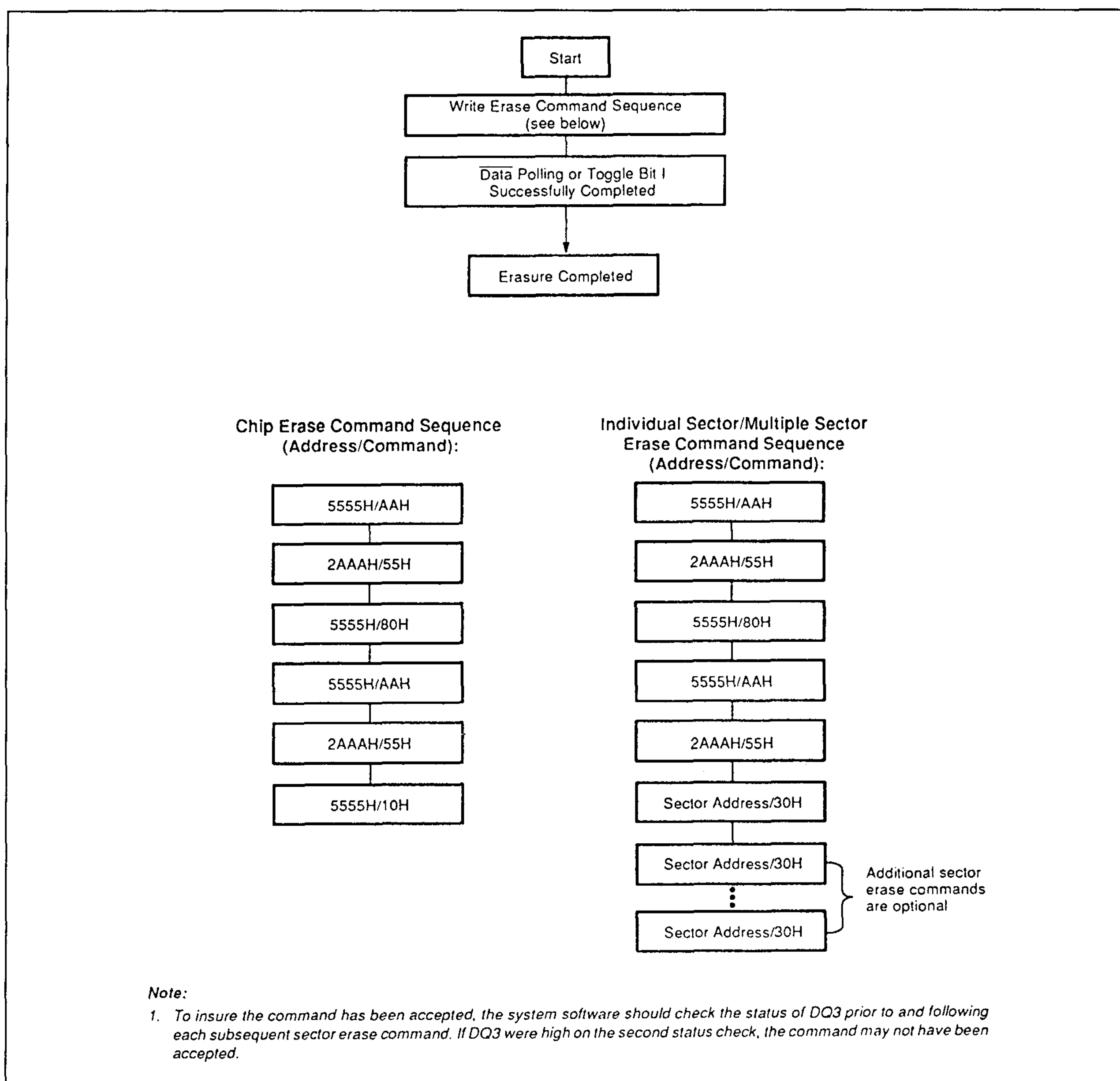
Byte programmeren

Het geheugen wordt byte-voor-byte geprogrammeerd, waarvoor vier buscycli nodig zijn. Er zijn twee "unlock" schrijfcycli, gevolgd door het program set-up commando en dataschrijfcyli. Adressen worden gelatcht op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$, terwijl data wordt gelatcht op de eerst optredende stijgende flank van $\overline{WE}$ of $\overline{CE}$. Op dat moment begint ook het programmeren. Na uitvoering van de commandovolgorde voor de ingebedde programma-algorithme hoeft het systeem geen verdere besturings- of timing-signalen meer te leveren. De 29F016 zorgt zelf voor correcte, inwendig gegenereerde programmeerpulsen en voor de verificatie.
De automatische programmeer-operatie is volbracht als de data op DQ7 gelijk is aan de data die hier naartoe werd geschreven (dit wordt ook gebruikt bij $\overline{\text{Data}}$-polling). Hierna komt de 29F016 in de leesmode en zijn de adressen niet langer gelatcht. Het is dus nodig dat het systeem op dit moment een geldig adres levert. Gedurende deze tijd worden alle commando's genegeerd. Het programmeren is toegestaan in elke willekeurige volgorde en over de sectorgrenzen heen. Let op dat een data "0" niet weer kan worden geprogrammeerd naar een "1". Een poging hiertoe laat het systeem "hangen" of resulteert volgens de data-polling algorithme in een schijnbaar succes, maar uitlezen in de read/reset mode zal laten zien dat de data nog steeds "0" is. Alleen wis-operaties kunnen nullen omzetten in enen.
In figuur 8/5.5-86 is de ingebedde programmeer algorithme te zien.

Chip Erase

Voor het wissen van de gehele inhoud van het geheugen (chip erase) zijn zes buscycli nodig. Er zijn twee "unlock" schrijfcycli die worden gevolgd door het "set-up" commando. Na twee extra unlock schrijfcycli volgt dan het eigenlijke chip erase commando. Voor het wissen van de chip hoeft het geheugen niet geprogrammeerd te zijn. Na het doorlopen van de commando-reeks voor de Embedded Program Algorithm verifieert de 29F016 zichzelf eerst automatisch op een patroon van uitsluitend nullen. Hiervoor zijn geen besturingssignalen of timingen nodig. Het automatisch wissen begint op de stijgende flank van de laatste $\overline{WE}$-puls van de commando-reeks en stopt als op DQ7 een "1" aanwezig is. Daarna gaat het geheugen in de leesmode. In figuur 8/5.5-87 is de Embedded Erase Algorithm te zien en in figuur 8/5.5-88 de bijbehorende timing.

5.5 Type-beschrijving Flash EEPROM's

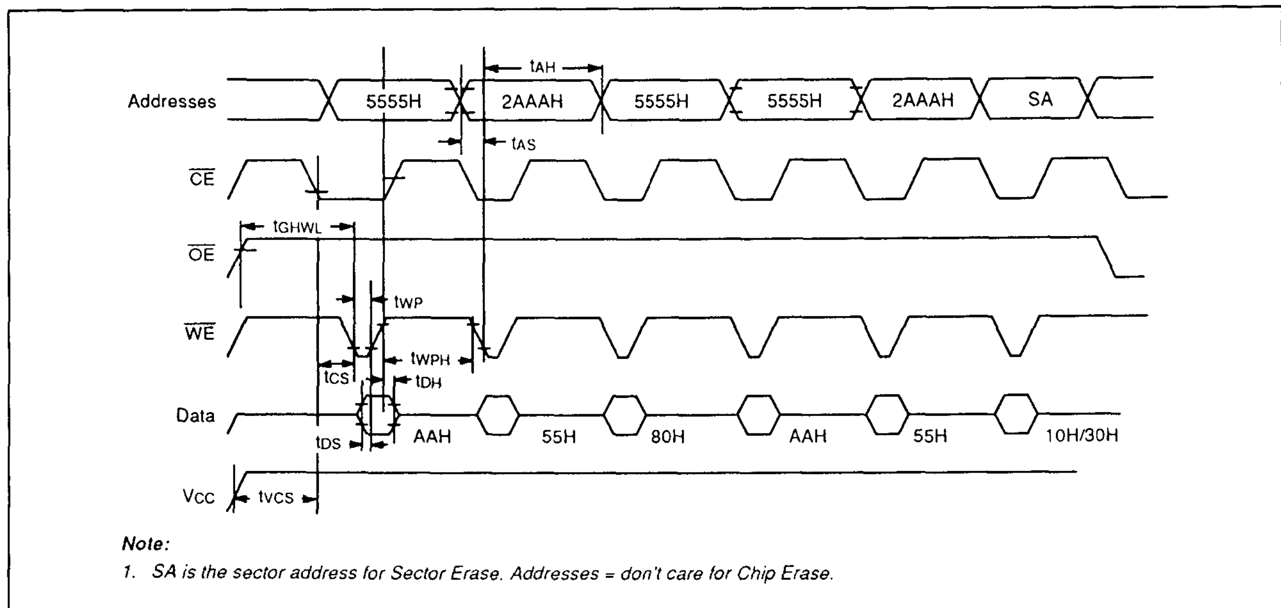


Figuur 8/5.5-87: De ingebedde wis-algorithme.

Sector Erase

Voor het wissen per sector zijn ook zes buscycli nodig. Na twee "unlock" schrijfcycli, het "set-up" commando en nog eens twee unlock schrijfcycli volgt dan het sector erase commando. Het sector-adres (een willekeurige lokatie binnen de gewenste sector) wordt op de dalende flank van $\overline{WE}$ gelatcht, terwijl het wis-commando (30H) op de stijgende flank van $\overline{WE}$ wordt gelatcht. Na een blokkeertijd (time-out) van 50 µs, volgend op de stijgende flank van het laatste sector wis-commando, begint het wissen van de sector. Er kunnen meerdere sectoren achter elkaar worden gewist door de bovengenoemde zes buscycli uit te voeren. Deze reeks wordt gevolgd door het schrijven van sector wis-commando's voor adressen in andere sectoren.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-88: Golfvormen en timing bij het chip/sector-wissen van de 29F016.

De tijd tussen de schrijf-operaties moet korter zijn dan 50 µs omdat het commando anders niet wordt geaccepteerd en het wissen begint. Het wordt aanbevolen om gedurende deze tijd processor-interrupts te blokkeren. Na het wissen van de laatste sector kunnen de interrupts dan weer worden vrijgegeven. Door een time-out van 50 µs na de stijgende flank van de laatste $\overline{WE}$ worden Sector Erase-commando's geaktiveerd. Als binnen het 50 µs time-out venster $\overline{WE}$ nog een keer een dalende flank geeft, wordt de timer gereset (DQ3 moet in de gaten worden gehouden om te zien of het sector-wis timervenster nog open is). Behalve Sector Erase of Erase Suspend zal elk commando in deze periode de 29F016 terugzetten in de leesmode en wordt de voorafgaande commando-reeks genegeerd. De sector-wisbuffer mag in elke willekeurige volgorde en met elk aantal sectoren (0 tot 31) worden geladen. Vóór het wissen van een sector hoeft het geheugen niet geprogrammeerd te worden. De 29F016 programmeert zelf automatisch alle lokaties in de gewenste sector(en) vóór het wissen. Het wissen van een sector heeft geen invloed op andere, niet-geselecteerde sectoren. Deze operaties worden automatisch, zonder besturingssignalen of timingen uitgevoerd.

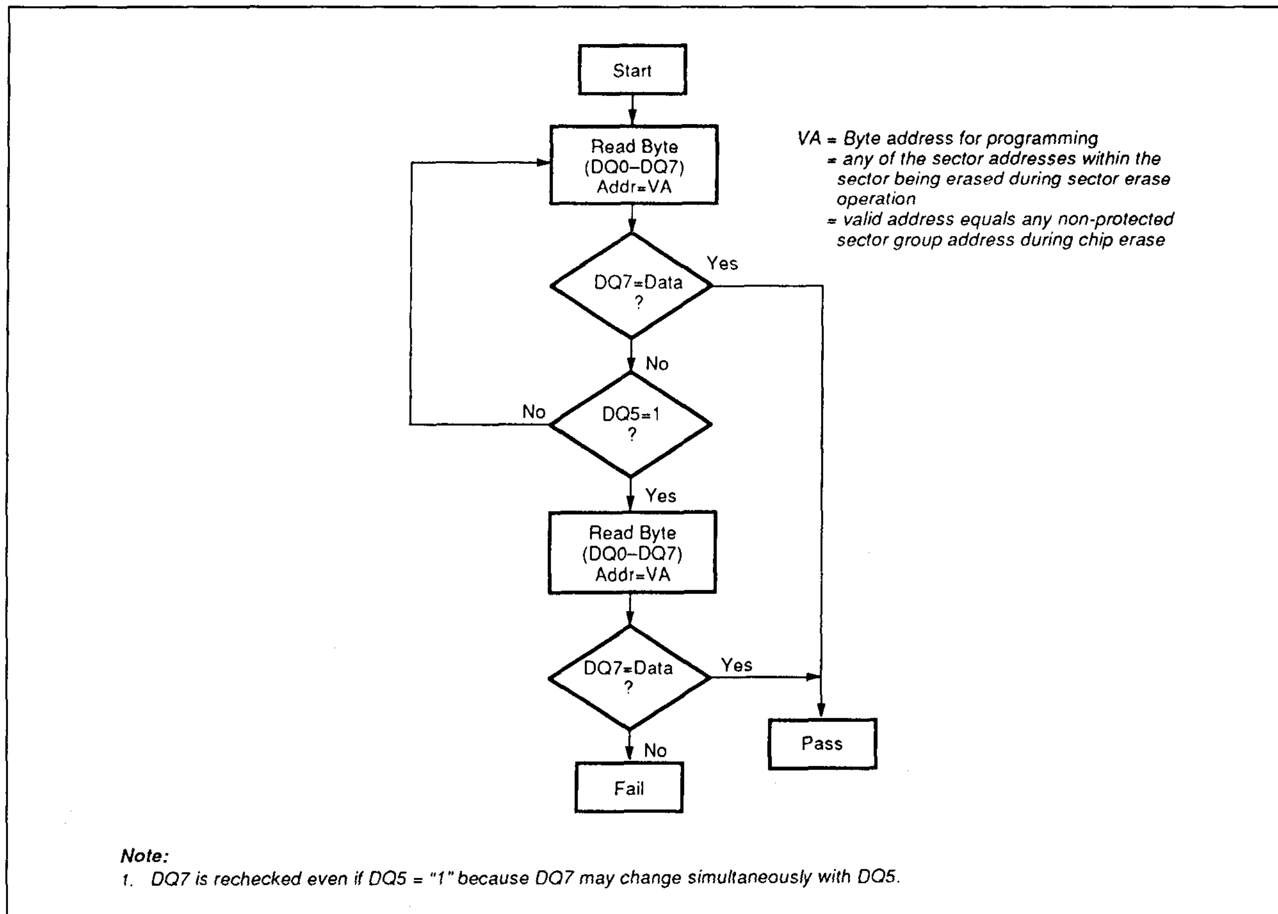
Het automatisch wissen van een sector begint na de 50 µs time-out volgend op de stijgende flank van de $\overline{WE}$-puls van het laatste sector-wiscommando en eindigt als de data op DQ7 "1" is. Op dat moment keert het geheugen terug naar de leesmode. Op een adres binnen een willekeurige te wissen sector moet $\overline{Data}$-polling worden uitgevoerd. In figuur 8/5.5-87 is de ingebedde wis-algorithme te zien.

Uitgesteld wissen

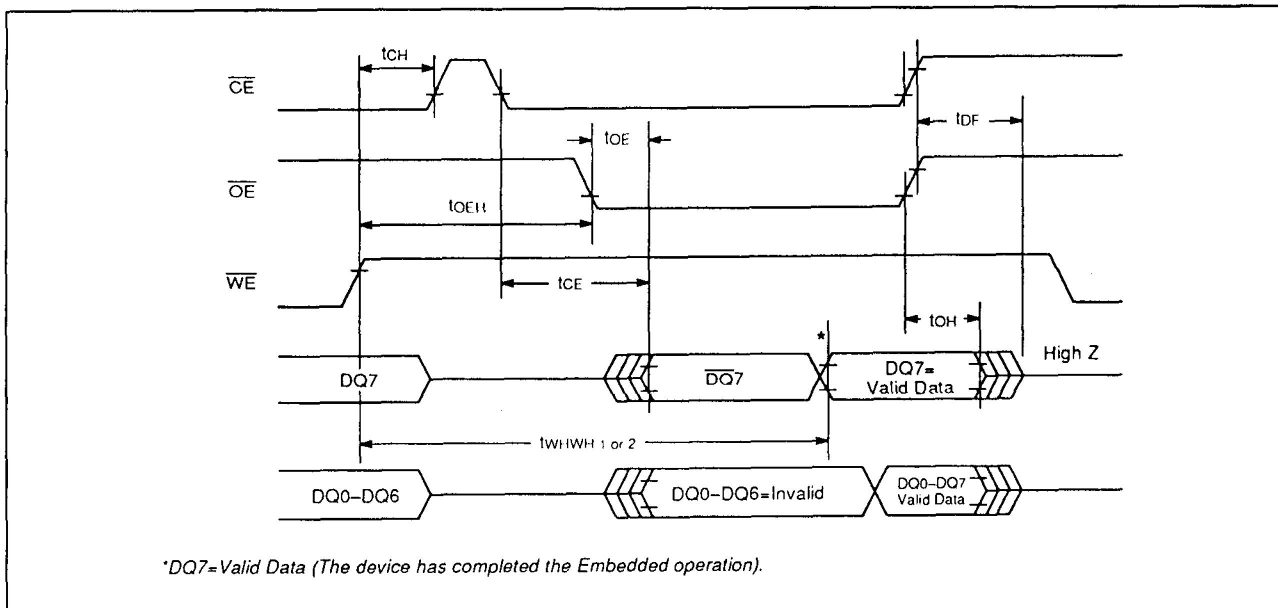
Door het Erase Suspend commando kan de gebruiker tijdens een Sector-wisoperatie het wissen onderbreken en data uitlezen van een sector die niet wordt gewist. Dit commando kan ***ALLEEN*** worden uitgevoerd tijdens de Sector Erase operatie en wordt genegeerd tijdens Chip Erase of tijdens het programmeren. Wanneer het commando om het wissen uit te stellen gedurende de time-out wordt geschreven, wordt deze operatie onmiddellijk afgebroken.

Op Erase Resume na worden alle overige commando's tijdens de erase suspend-tijd genegeerd.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-89 De algorithme voor $\overline{\text{Data}}$-polling.



Figuur 8/5.5-90: Golfvormen en timing bij $\overline{\text{Data}}$-polling.

5.5 Type-beschrijving Flash EEPROM's

Wanneer het Erase Suspend commando tijdens een Sector Erase operatie wordt geschreven, stelt de chip de wis-operatie maximaal 15 µs uit. Als de 29F016 in de erase-suspended mode is gekomen, zijn de RY/$\overline{BY}$-pen en het DQ7-bit beide HOOG en stopt DQ6 met toggelen. De gebruiker moet het adres van de wissende sector gebruiken om DQ6 en DQ7 uit te lezen om te bepalen of de wis-operatie werd uitgesteld. Verdere Erase Suspend-command's worden genegeerd. Wanneer de wis-operatie is uitgesteld, komt het geheugen in de erase-suspend-read mode. Het lezen in deze mode is hetzelfde als lezen in de standaard leesmode, behalve dat data moet worden gelezen uit sectoren die niet "erase-suspended" zijn. Door herhaald uitlezen van de erase-suspended sector, terwijl de 29F016 zich in de erase-suspend-read mode bevindt, gaat DQ2 toggelen.
Nadat de 29F016 in de erase-suspend-read mode is gekomen, kan de gebruiker het geheugen programmeren door de commandoreeks voor Byte Program te schrijven. Deze programmeermode is bekend als de "erase-suspend-program"-mode. Evenzo is het schrijven in deze mode hetzelfde als schrijven in de standaard leesmode, behalve dat data moet worden geschreven naar sectoren die niet "erase-suspended" zijn. Door herhaald uitlezen van de erase-suspended sector, terwijl de 29F016 zich in de erase-suspend-program mode bevindt, gaat DQ2 toggelen. Het einde van de erase-suspend programmeer-operatie kan worden bepaald met de RY/$\overline{BY}$-pen, $\overline{Data}$-polling op DQ7 of door het toggle-bit I (DQ6). Merk op dat DQ7 uit het byte-programmeeradres moet worden gelezen, terwijl DQ6 uit elk adres kan worden gelezen.
Om de Sector Erase-operatie af te sluiten, moet het Resume-commando (30H) worden geschreven.

DQ7 $\overline{Data}$ Polling

Op de 29F016 kan $\overline{Data}$-polling worden toegepast om de toestand van de huidige ingebedde algorithmen te bepalen. Tijdens de ingebedde programmeer-algorithme verschijnt bij een poging tot uitlezen het omgekeerde van de laatst geschreven data op DQ7. Als het programmeren klaar is, verschijnt de werkelijke, laatst geprogrammeerde data op DQ7.
Gedurende de ingebedde wis-algorithme kan op DQ7 een "0" worden uitgelezen; als het wissen klaar is, is DQ7 = "1". Het stromingsdiagram van $\overline{Data}$-polling op DQ7 is te zien in figuur 8/5.5-89 en de bijbehorende timing in figuur 8/5.5-90.
Door $\overline{Data}$-polling wordt ook het binnengaan van Erase Suspend gesignaleerd. DQ7 schakelt bij het begin van de Erase Suspend mode over van "0" in "1".
Let op dat het adres van een wissende sector moet worden gebruikt om DQ7 in de Erase Suspend mode te observeren. Tijdens het programmeren in de Erase Suspend mode gaat $\overline{Data}$-polling precies zoals bij gewoon programmeren.
Bij het chip-wissen is de $\overline{Data}$-polling geldig na de stijgende flank van de zesde $\overline{WE}$-puls uit de reeks van zes schrijfpulsen. Bij het sector-wissen is de $\overline{Data}$-polling geldig na de laatste stijgende flank van de sector-wis $\overline{WE}$-puls. $\overline{Data}$-polling moet worden uitgevoerd op sector-adressen binnen een willekeurige te wissen sector en ***NIET*** op een beveiligde sector. Net voordat de ingebedde algorithme-operatie klaar is, kan de toestand op de DQ7 van de 29F016 asynchroon veranderen als de output-enable uitgang ($\overline{OE}$) LAAG is. Dit betekent dat het geheugen op het ene moment status-informatie op DQ7 zet en op het andere moment de geldige data van dit byte. Zelfs als de ingebedde algorithme-operatie klaar is en DQ7 geldige data bevat, kan de data op DQ0 tot en met DQ6 nog ongeldig zijn. Bij later volgende leesoperaties zal wel geldige data op DQ0 tot en met DQ7 staan.
$\overline{Data}$-polling is alleen mogelijk tijdens het ingebedde programmeer-algorithme, de ingebedde wis-algorithme of het sector-wissen (zie tabel 8/5.5-64).

5.5 Type-beschrijving Flash EEPROM's

	Status		DQ7	DQ6	DQ5	DQ3	DQ2
In Progress	Byte Program in Embedded Program Algorithm		$\overline{DQ7}$	Toggle	0	0	1
	Embedded Erase Algorithm		0	Toggle	0	1	Toggle
	Erase Suspended Mode	Erase Suspend Read (Erase Suspended Sector)	1	1	0	1	Toggle (Note 1)
		Erase Suspend Read (Non-Erase Suspended Sector)	Data	Data	Data	Data	Data
		Erase Suspend Program (Non-Erase Suspended Sector)	$\overline{DQ7}$	Toggle (Note 2)	0	1	1 (Note 3)
Exceeded Time Limits	Byte Program in Embedded Program Algorithm		$\overline{DQ7}$	Toggle	1	0	1
	Program/Erase in Embedded Erase Algorithm		0	Toggle	1	1	N/A
	Erase Suspended Mode	Erase Suspend Program (Non-Erase Suspended Sector)	$\overline{DQ7}$	Toggle	1	1	N/A

Notes:

1. *Performing successive read operations from the erase-suspended sector will cause DQ2 to toggle.*
2. *Performing successive read operations from any address will cause DQ6 to toggle.*
3. *Reading the byte address being programmed while in the erase-suspend program mode will indicate logic '1' at the DQ2 bit. However, successive reads from the erase-suspended sector will cause DQ2 to toggle.*

Tabel 8/5.5-64: De status van schrijf-operaties.

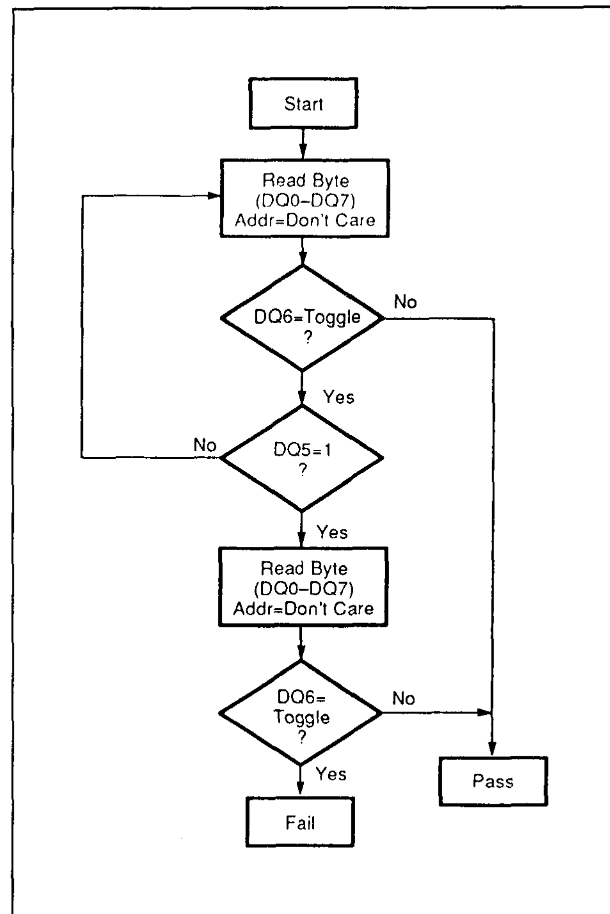
DQ6 Toggle Bit I

De 29F016 kan ook met de "Toggle Bit I" methode informatie geven over de toestand van de lopende of zojuist afgelopen ingebedde algorithmen. Gedurende een ingebedde programmeer- of wisalgorithme heeft herhaald uitlezen ($\overline{OE}$-toggelen) tot gevolg dat afwisselend een "0" en een "1" op DQ6 aanwezig is.

Na afloop van een ingebedde programmeer- of wiscyclus stopt het toggelen van DQ6 en kan daarna de geldige data worden uitgelezen. Tijdens het programmeren is het Toggle Bit I geldig na de stijgende flank van de vierde $\overline{WE}$-puls uit de reeks van vier schrijfpulsen. Voor chip-wissen is het Toggle Bit I geldig na de stijgende flank van de zesde $\overline{WE}$-puls uit de reeks van zes schrijfpulsen. Voor sector-wissen is het Toggle Bit I geldig na de laatste stijgende flank van de sector-wis $\overline{WE}$-puls. Het Toggle Bit I is aktief gedurende de sector time-out.

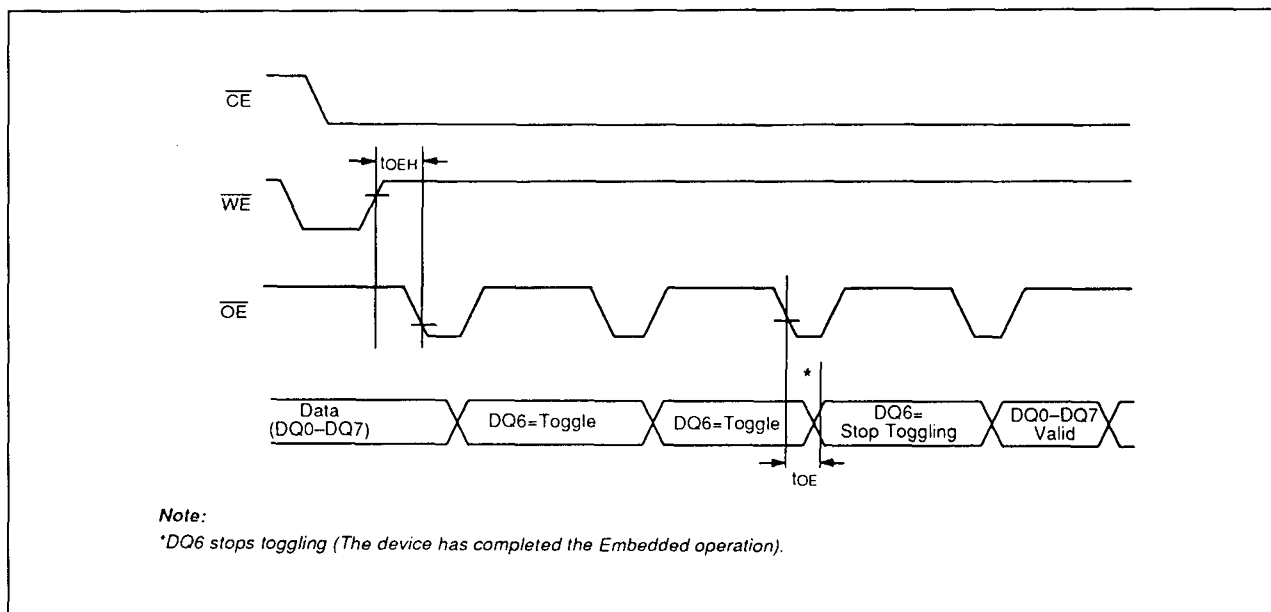
Zowel toggelen met $\overline{CE}$ als $\overline{OE}$ maakt dat DQ6 toggelt.

Ook een Erase Suspend/Resume-commando laat DQ6 toggelen. In figuur 8/5.5-92 is de timing van het toggle bit-algorithme (figuur 8/5.5-91) te zien.



Figuur 8/5.5-91: De Toggle Bit I algorithme.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-92: Golfvormen van het toggle bit I tijdens operaties met ingebedde algorithmen.

DQ5 Overschreden Timing Limieten

Met DQ5 wordt aangegeven of de tijd voor het programmeren of wissen langer heeft geduurd dan de gespecificeerde grenzen (met de interne pulsenteller). In dat geval zal DQ5 een "1" produceren. Deze foutconditie houdt in dat de programmeer- of wis-cyclus niet correct is verlopen. Onder deze omstandigheid werkt alleen Data-polling nog en het CE-circuit zal de opgenomen stroom verminderen tot ongeveer 2 mA. De OE- en WE-pennen besturen de disable-functies van de uitgangen, zoals in tabel 8/5.5-59 is te zien. De DQ5 foutconditie treedt ook op als de gebruiker probeert een "1" te programmeren op een plaats die daarvoor als "0" werd geprogrammeerd. In dat geval haakt het geheugen af en wordt de ingebedde programmeer-algorithme nooit voltooid. Het systeem leest daardoor ook nooit geldige data op DQ7, zodat DQ6 nooit stopt met toggelen.

DQ3 Sector Wis timer

Nadat de initiële sector-wis commandoreeks klaar is, begint de sector-wis blokkeertijd (sector erase time-out), waarbij DQ3 LAAG is. Data-polling en Toggle Bit I zijn geldig na de initiële sector-wis commandoreeks. Als Data-polling of Toggle Bit I aangeeft dat de 29F016 een geldig wiscommando bevat, kan met DQ3 worden bepaald of het sector-wis timer-venster nog open staat. Als DQ3 HOOG is, is de intern geregelde wis-cyclus begonnen. Pogingen om dan nog extra commando's naar het geheugen te schrijven worden genegeerd totdat het wissen klaar is. Dit wordt aangegeven met Data-polling of Toggle Bit I. Als DQ3 LAAG is, accepteert het geheugen wel extra sector-wis commando's. Om te garanderen dat het commando is geaccepteerd, moet de status van DQ3 vóór en na elk volgende sector-wis commando worden gecontroleerd. Als DQ3 bij de tweede controle van de status HOOG is, zou het commando niet geaccepteerd kunnen zijn (zie tabel 8/5.5-64: Write Operation Status).

DQ2 Toggle Bit II

Dit toggle-bit kan samen met DQ6 worden gebruikt om te bepalen of de 29F016 in het ingebedde wis-algorithme verkeert of in erase-suspend. Door herhaald uitlezen van een wissende sector zal DQ2 toggelen in de Embedded Erase Algorithm. Als het geheugen in de erase-suspended-read mode is, toggelt

5.5 Type-beschrijving Flash EEPROM's

DQ2 bij herhaald uitlezen van de erase-suspend sector. Is het geheugen in de erase-suspend-program mode, dan is bij herhaald uitlezen op het byte-adres van de non-erase suspended sector het DQ2-bit HOOG. DQ6 wijkt af van DQ2: DQ6 toggelt alleen tijdens de standaard programmeer-, wis- of uitgestelde wis-operatie. Het gedrag van dit statusbits en DQ7 is te zien in tabel 8/5.5-65.

Mode	DQ7	DQ6	DQ2
Program	$\overline{DQ7}$	toggles	1
Erase	0	toggles	toggles
Erase Suspend Read (1) (Erase-Suspended Sector)	1	1	toggles
Erase Suspend Program	$\overline{DQ7}$ (2)	toggles	1 (2)

Notes:

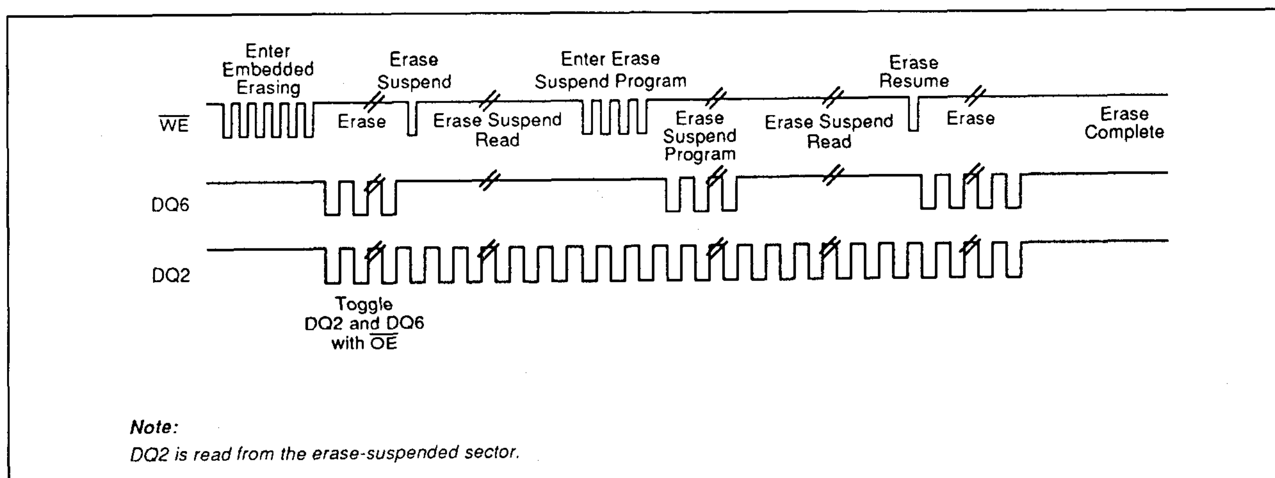
1. *These status flags apply when outputs are read from a sector that has been erase-suspended.*
2. *These status flags apply when outputs are read from the byte address of the non-erase suspended sector.*

Tabel 8/5.5-65: Het gedrag van DQ2, DQ6 en DQ7 bij verschillende bedrijfsmodes.

DQ2 en DQ6 kunnen bijvoorbeeld samen worden gebruikt om te bepalen of de erase-suspend-read mode aan de gang is (zie ook tabel 8/5.5-64 en figuur 8/5.5-93). Bovendien kan DQ2 worden gebruikt om te zien welke sector wordt gewist. Als de 29F016 in de wis-mode is, toggelt DQ2 als dit bit wordt uitgelezen uit de wissende sector.

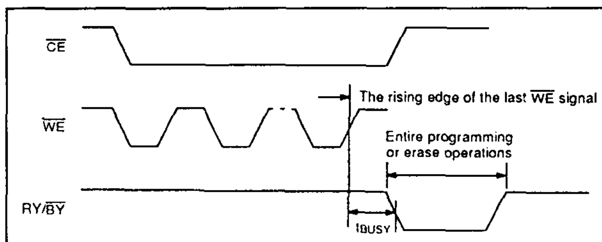
RY/$\overline{BY}$ Ready/Busy

De 29F016 heeft een RY/$\overline{BY}$ open drain-uitgangspen, waarmee aan het systeem kan worden gemeld of de ingebedde algorithmen nog voortduren of klaar zijn. Als deze uitgang LAAG is, is het geheugen bezig met programmeren of wissen. Is de uitgang HOOG, dan staat de chip klaar om een lees-, schrijf- of wisoperatie te accepteren. Als de RY/$\overline{BY}$-pen LAAG is accepteert de 29F016 geen enkel extra programmeer- of wiscommando, met uitzondering van het Erase Suspend commando. Als de 29F016 in de Erase Suspend-mode is gezet, zal RY/$\overline{BY}$ HOOG zijn. Gedurende het programmeren wordt de RY/$\overline{BY}$-pen LAAG gemaakt na de stijgende flank van de vierde $\overline{WE}$-puls. Tijdens een wisoperatie gebeurt dit na de stijgende flank van de zesde $\overline{WE}$-puls. Gedurende de $\overline{RESET}$-puls geeft de RY/$\overline{BY}$-pen een busy-conditie aan (zie figuur 8/5.5-94 voor een gedetailleerde timing).

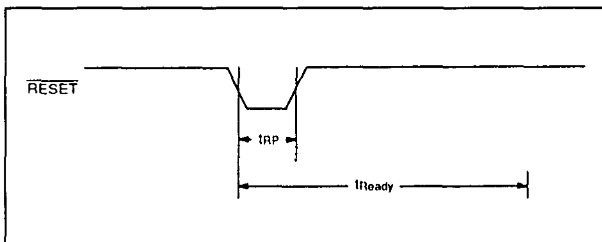


Figuur 8/5.5-93: DQ2 versus DQ6.

5.5 Type-beschrijving Flash EEPROM's



Figuur 8/5.5-94: RY/$\overline{\text{BY}}$-timing tijdens programmeer/wis-operaties.



Figuur 8/5.5-95: Timing van de resetpuls.

ABSOLUTE MAXIMUM RATINGS	
Storage Temperature Plastic Packages	−65°C to +125°C
Ambient Temperature with Power Applied	−55°C to +125°C
Voltage with Respect to Ground All pins except A9 (Note 1)	−2.0 V to +7.0 V
Vcc (Note 1)	−2.0 V to +7.0 V
A9, $\overline{\text{OE}}$, $\overline{\text{RESET}}$ (Note 2)	−2.0 V to +13.5 V
Output Short Circuit Current (Note 3)	200 mA
OPERATING RANGES	
Commercial (C) Devices Case Temperature (Tc)	0°C to +70°C
Industrial (I) Devices Case Temperature (Tc)	−40°C to +85°C
Extended (E) Devices Case Temperature (Tc)	−55°C to +125°C
Vcc Supply Voltages	
Vcc for Am29F016-90, 120, 150	+4.50 V to +5.50 V
Vcc for Am29F016-95	+4.75 V to +5.25 V

Tabel 8/5.5-66: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 29F016.

$\overline{\text{RESET}}$ Hardware Reset

De 29F016 kan worden gereset door de $\overline{\text{RESET}}$-pen LAAG te maken. Het $\overline{\text{RESET}}$-signaal moet tenminste 500 ns LAAG zijn. Alle operaties die op dat moment liepen worden beëindigd en de interne state-machine wordt 20 μs na het LAAG gaan van de $\overline{\text{RESET}}$ gereset. Als een hardware reset tijdens het programmeren optreedt, zal de data op die plaats niet betrouwbaar zijn. Als de $\overline{\text{RESET}}$-pen LAAG is en de interne reset een feit is, komt het geheugen in de standby-mode en kan dan niet worden benaderd. Alle data-uitgangen komen dan in de zwevende toestand. In figuur 8/5.5-95 is de timing te zien. Het geheugen heeft na het HOOG gaan van $\overline{\text{RESET}}$ nog 500 ns extra nodig voordat er gelezen kan worden.

Data beveiliging

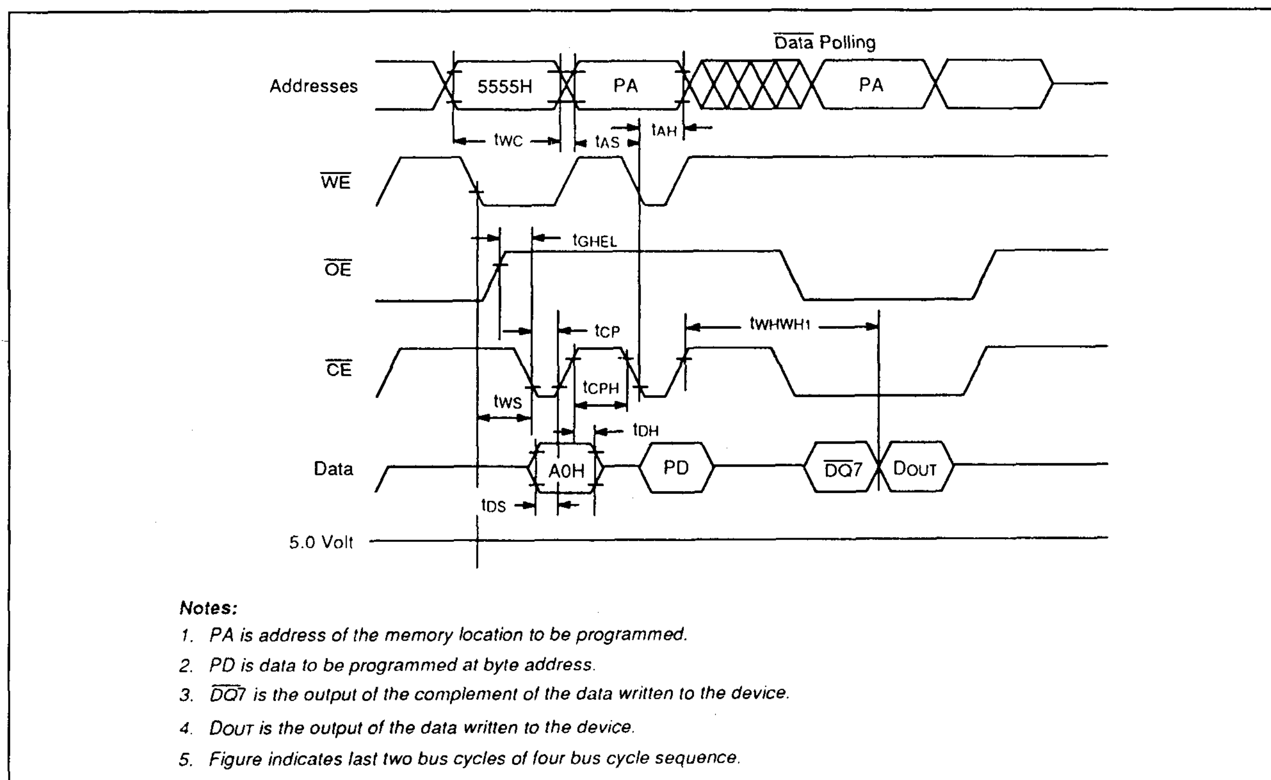
De 29F016 is beveiligd tegen onbedoeld wissen of programmeren door valse signalen in het systeem.

Bij het opkomen van de voedingsspanning is de interne state-machine automatisch gereset naar de leesmode. Bovendien kan (door de architectuur van besturingsregisters) de inhoud van het geheugen alleen worden veranderd als eerst specifieke multi-buscyclus commandoreeksen met succes werden doorlopen. Om te voorkomen dat met een schrijfcyclus wordt begonnen bij het opkomen en wegvallen van V_{CC}, wordt deze gesperd als V_{CC} lager is dan 3,2 V (typ. 3,7 V). Als $V_{CC} < V_{LKO}$ wordt het commando-register gesperd, evenals alle interne programmeer- en wis-circuits. De 29F016 gaat dan in de lees-mode. Storingen op $\overline{\text{OE}}$, $\overline{\text{CE}}$ of $\overline{\text{WE}}$ die korter duren dan 5 ns (typ.) kunnen geen schrijfcyclus triggeren.

Overige elektrische kenmerken

De tabellen 8/5.5-66 tot en met 8/5.5-71 en figuur 8/5/5.96 geven een overzicht van de overige elektrische en timing-karakteristieken van het AMD-type Am29F016.

5.5 Type-beschrijving Flash EEPROM's



Notes:

1. *PA is address of the memory location to be programmed.*
2. *PD is data to be programmed at byte address.*
3. *$\overline{DQ7}$ is the output of the complement of the data written to the device.*
4. *DOUT is the output of the data written to the device.*
5. *Figure indicates last two bus cycles of four bus cycle sequence.*

Figuur 8/5.5-96: **Timing en golfvormen bij de 29F016 wanneer de programmeer-operaties door afwisselende $\overline{CE}$ worden bestuurd.**

5.5 Type-beschrijving Flash EEPROM's

TTL/NMOS Compatible

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
I_{LI}	Input Load Current	V_{IN} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max		±1.0	µA
I_{LIT}	A9 Input Load Current	V_{CC} = V_{CC} Max, A9 = 12.0 Volt		50	µA
I_{LO}	Output Leakage Current	V_{OUT} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max		±1.0	µA
I_{CC1}	V_{CC} Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		40	mA
I_{CC2}	V_{CC} Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		60	mA
I_{CC3}	V_{CC} Standby Current	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{IH}, $\overline{RESET}$ = V_{IH}		1.0	mA
I_{CC4}	V_{CC} Standby Current (Reset)	V_{CC} = V_{CC} Max, $\overline{RESET}$ = V_{IL}		1.0	mA
V_{IL}	Input Low Level		–0.5	0.8	V
V_{IH}	Input High Level		2.0	V_{CC}+ 0.5	V
V_{ID}	Voltage for Autoselect and Sector Protect	V_{CC} = 5.0 Volt	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12 mA, V_{CC} = V_{CC} Min		0.45	V
V_{OH}	Output High Level	I_{OH} = –2.5 mA V_{CC} = V_{CC} Min	2.4		V
V_{LKO}	Low V_{CC} Lock-Out Voltage		3.2	4.2	V

CMOS Compatible

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
I_{LI}	Input Load Current	V_{IN} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max		±1.0	µA
I_{LIT}	A9 Input Load Current	V_{CC} = V_{CC} Max, A9 = 12.0 Volt		50	µA
I_{LO}	Output Leakage Current	V_{OUT} = V_{SS} to V_{CC}, V_{CC} = V_{CC} Max		±1.0	µA
I_{CC1}	V_{CC} Active Current (Note 1)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		40	mA
I_{CC2}	V_{CC} Active Current (Notes 2, 3)	$\overline{CE}$ = V_{IL}, $\overline{OE}$ = V_{IH}		60	mA
I_{CC3}	V_{CC} Standby Current	V_{CC} = V_{CC} Max, $\overline{CE}$ = V_{CC} ± 0.3 V, $\overline{RESET}$ = V_{CC} ± 0.3 V		5	µA
I_{CC4}	V_{CC} Standby Current (Reset)	V_{CC} = V_{CC} Max, $\overline{RESET}$ = V_{SS} ± 0.3 V		5	µA
V_{IL}	Input Low Level		–0.5	0.8	V
V_{IH}	Input High Level		0.7x V_{CC}	V_{CC} +0.3	V
V_{ID}	Voltage for Autoselect and Sector Protect	V_{CC} = 5.0 Volt	11.5	12.5	V
V_{OL}	Output Low Voltage	I_{OL} = 12 mA, V_{CC} = V_{CC} Min		0.45	V
V_{OH1}	Output High Voltage	I_{OH} = –2.5 mA, V_{CC} = V_{CC} Min	0.85 V_{CC}		V
V_{OH2}		I_{OH} = –100 µA, V_{CC} = V_{CC} Min	V_{CC} –0.4		V
V_{LKO}	Low V_{CC} Lock-out Voltage		3.2	4.2	V

Notes:

1. *The I_{CC} current listed includes both the DC operating current and the frequency dependent component (at 6 MHz). The frequency component typically is less than 1 mA/MHz, with $\overline{OE}$ at V_{IH}.*
2. *I_{CC} active while Embedded Program or Erase Algorithm is in progress.*
3. *Not 100% tested.*

Tabel 8/5.5-67: TTL/NMOS- en CMOS compatibele gelijkspanningskarakteristieken van de 29F016.

5.5 Type-beschrijving Flash EEPROM's

Read-only Operations Characteristics

Parameter Symbols					-90	-120	-150	
JEDEC	Standard	Description	Test Setup		-95 (Note 1)	(Note 1)	(Note 1)	Unit
t_{AVAV}	t_{RC}	Read Cycle Time (Note 3)		Min	90	120	150	ns
t_{AVQV}	t_{ACC}	Address to Output Delay	$\overline{CE} = V_{IL}$ $\overline{OE} = V_{IL}$	Max	90	120	150	ns
t_{ELQV}	t_{CE}	Chip Enable to Output Delay	$\overline{OE} = V_{IL}$	Max	90	120	150	ns
t_{GLQV}	t_{OE}	Output Enable to Output Delay		Max	40	50	55	ns
t_{EHQZ}	t_{DF}	Chip Enable to Output High Z (Notes 2 and 3)		Max	20	30	35	ns
t_{GHQZ}	t_{DF}	Output Enable to Output High Z (Notes 2 and 3)		Max	20	30	35	ns
t_{AXQX}	t_{OH}	Output Hold Time From Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurs First		Min	0	0	0	ns
	t_{Ready}	$\overline{RESET}$ Pin Low to Read Mode (Note 3)		Max	20	20	20	µs

Tabel 8/5.5-68: **Schakeltijden bij het uitlezen van drie snelheidsversies van de 29F016.**

Write/Erase/Program Operations

Parameter Symbols					-90			
JEDEC	Standard	Description			-95	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (Note 2)		Min	90	120	150	ns
t_{AVWL}	t_{AS}	Address Setup Time		Min	0	0	0	ns
t_{WLAX}	t_{AH}	Address Hold Time		Min	45	50	50	ns
t_{DVWH}	t_{DS}	Data Setup Time		Min	45	50	50	ns
t_{WHDX}	t_{DH}	Data Hold Time		Min	0	0	0	ns
	t_{OEH}	Output Enable Hold Time	Read (Note 2)	Min	0	0	0	ns
			Toggle Bit I and $\overline{Data}$ Polling (Note 2)	Min	10	10	10	ns
t_{GHWL}	t_{GHWL}	Read Recover Time Before Write ($\overline{OE}$ high to $\overline{WE}$ low)		Min	0	0	0	ns
t_{ELWL}	t_{CS}	$\overline{CE}$ Setup Time		Min	0	0	0	ns
t_{WHEH}	t_{CH}	$\overline{CE}$ Hold Time		Min	0	0	0	ns
t_{WLWH}	t_{WP}	Write Pulse Width		Min	45	50	50	ns
t_{WHWL}	t_{WPH}	Write Pulse Width High		Min	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation		Typ	8	8	8	µs
t_{WHWH2}	t_{WHWH2}	Sector Erase Operation (Note 1)		Typ	1	1	1	sec
				Max	15	15	15	sec
	t_{VCS}	Vcc Set Up Time (Note 2)		Min	50	50	50	µs
	t_{VLHT}	Voltage Transition Time (Notes 2, 3)		Min	4	4	4	µs
	t_{OESP}	$\overline{OE}$ Setup Time to $\overline{WE}$ Active (Notes 2, 3)		Min	4	4	4	µs
	t_{RP}	$\overline{RESET}$ Pulse Width		Min	500	500	500	ns
	t_{BUSY}	Program/Erase Valid to RY/$\overline{BY}$ Delay		Min	40	50	60	ns

Tabel 8/5.5-69: **Schakeltijden bij het wissen en programmeren van drie snelheidsversies van de 29F016.**

5.5 Type-beschrijving Flash EEPROM's

Write/Erase/Program Operations

Alternate $\overline{CE}$ Controlled Writes

Parameter Symbols								
JEDEC	Standard	Description			-90 -95	-120	-150	Unit
t_{AVAV}	t_{WC}	Write Cycle Time (Note 2)		Min	90	120	150	ns
t_{AVEL}	t_{AS}	Address Setup Time		Min	0	0	0	ns
t_{ELAX}	t_{AH}	Address Hold Time		Min	45	50	50	ns
t_{DVEH}	t_{DS}	Data Setup Time		Min	45	50	50	ns
t_{EHDX}	t_{DH}	Data Hold Time		Min	0	0	0	ns
	t_{OES}	Output Enable Setup Time (Note 2)		Min	0	0	0	ns
	t_{OEH}	Output Enable Hold Time	Read (Note 2)	Min	0	0	0	ns
			Toggle Bit I and $\overline{Data}$ Polling (Note 2)	Min	10	10	10	ns
t_{GHEL}	t_{GHEL}	Read Recover Time Before Write		Min	0	0	0	ns
t_{WLEL}	t_{WS}	$\overline{CE}$ Setup Time		Min	0	0	0	ns
t_{EHWH}	t_{WH}	$\overline{CE}$ Hold Time		Min	0	0	0	ns
t_{ELEH}	t_{CP}	Write Pulse Width		Min	45	50	50	ns
t_{EHEL}	t_{CPH}	Write Pulse Width High		Min	20	20	20	ns
t_{WHWH1}	t_{WHWH1}	Byte Programming Operation		Typ	8	8	8	µs
t_{WHWH2}	t_{WHWH2}	Sector Erase Operation (Note 1)		Typ	1	1	1	sec
				Max	15	15	15	sec

Tabel 8/5.5-70: Schakeltijden bij het wissen en programmeren van de 29F016 onder besturing van $\overline{CE}$-omschakelingen (zie ook figuur 8/5.5-95).

	Limits				
Parameter	Min	Typ	Max	Unit	Comments
Sector Erase Time		1 (Note 1)	15	sec	Excludes 00H programming prior to erasure
Byte Programming Time		8	2000 (Note 3)	µs	Excludes system-level overhead
Chip Programming Time		16 (Note 1)	50 (Notes 2, 3)	sec	Excludes system-level overhead
Erase/Program Cycles	100,000	1,000,000		Cycles	

Tabel 8/5.5-71: Prestaties bij het wissen en programmeren van de 29F016.

5.5 Type-beschrijving Flash EEPROM's

8/6

EEPROM-geheugens

Inhoud

24LC164	
24AA164	16 kbit, cascadable, 2,5 V respectievelijk 1,8 V
24LC174	
24AA174	16 kbit, cascadable met OTP security page, 2,5 V respectievelijk 1,8 V

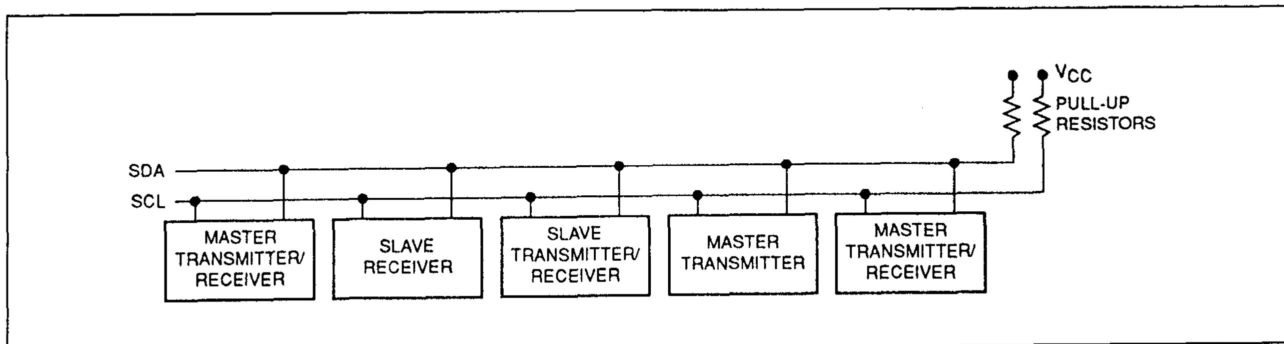
8/6.1

Achtergrond-informatie

Inleiding
EEPROM's, ook wel E^2PROM's genoemd (Electrical Erasable Programmable Read-Only Memories), zijn elektrisch wis- en (her)schrijfbare geheugens. Ze zijn, in tegenstelling tot RAM's, "niet-vluchtig", hetgeen betekent dat de informatie bij het weghalen van de voedingsspanning op dezelfde lokaties blijft bestaan. Hierbij wordt, net als bij (Flash)EPROM's, gebruik gemaakt van een zwevende gate van poly-silicium die is omgeven door oxydelaagjes met een dikte van ongeveer 80 nm. Deze zwevende gate kan lading opnemen of afgeven met behulp van elektrische velden: wanneer deze sterk genoeg zijn kan electron tunneling door de oxyden optreden. Bij normale veldsterkten worden de ladingen permanent vastgehouden, ook wanneer de voedingsspanning wordt weggehaald.

Parallel/serieel
De EEPROM's kunnen ruwweg in twee groepen worden onderverdeeld: de parallelle en de seriële. De parallelle zijn meestal "byte-wide", hetgeen betekent dat de informatie per byte (8 bit) tegelijk kan worden veranderd.
Deze geheugens worden meestal als "permanente RAM" bij microprocessorsystemen gebruikt. Deze groep wordt in deel 8/6.2, de 28xx-serie behandeld. Van de seriële zijn twee hoofdlijnen leverbaar: de 2-draads (24xx-serie) en de 3- of 4-draads (93xx- en 25xx-serie).
De seriële typen kunnen door het geringe aantal bedieningspennen in kleine, standaard, 8-pens behuizingen worden opgenomen. Hierdoor zijn ze niet alleen ruimtebesparend, maar ook goedkoper dan de parallelle typen. De 2-draads (I^2C-bus compatibele) typen zijn geschikt voor niet al te snelle toepassingen (maximaal 400 kHz) in storende omgevingen, zoals televisie-apparaten en auto's. In figuur 8/6.1-1 is een typisch I^2C-bus systeem getekend. De EEPROM's uit de 24xx-serie lijken veel op elkaar. Toch kunnen er, op het oog onbelangrijke, maar in werkelijkheid wezenlijke verschillen optreden.
Zo zijn er EEPROM's met en zonder adresseerbaar slaafadres, terwijl voor de grotere typen het woordadres wordt vergroot met een deel van het slaafadres (om toch gebruik te kunnen maken van de 8-pens standaard behuizing). In de type-beschrijving (deel 8/6.4) wordt voor gelijke eigenschappen verwezen naar (niet al te ver) daarvoor behandelde typen, terwijl essentiële verschillen duidelijk worden vermeld.
De 3-draads Microwire-bus of SPI- (Serial Peripheral Interface) typen zijn geschikt voor algemene toepassingen, waar het aankomt op snelheid en bedieningsgemak.
Seriële EEPROM's worden uitgebreid op allerlei terreinen toegepast: voor data-opslag in kanaalkiezers en audioregelingen van TV's, radio's, videorecorders en CD-spelers. Maar ook in airbag en antiblokkeer remsystemen in auto's, de opslag van telefoonnummers in (draagbare) telefoons en faxapparaten, als codesleutels en identificatie in printers en kopieerapparaten, smart-cards, wasmachines, computers, enzovoorts.

6.1 Achtergrond-informatie



Figuur 8/6.1-1: Typische 2-draads systeem configuratie.

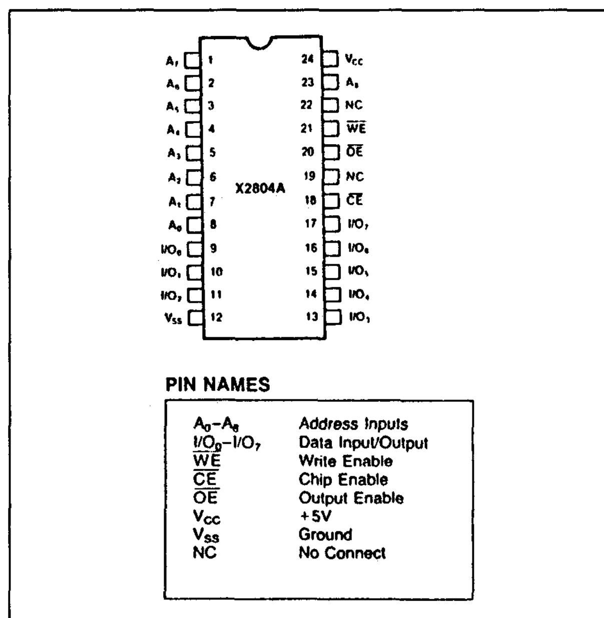
8/6.2

Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

2804A

512 x 8 bit EEPROM

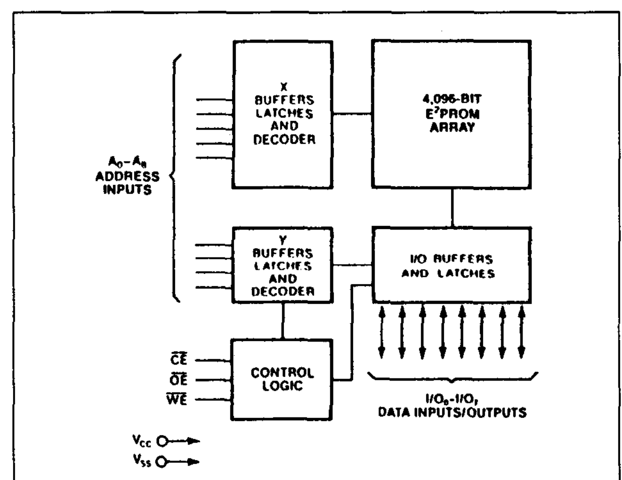
De 2804A is een 4 k EEPROM (of E^2PROM) elektrisch wisbaar (her)programmeerbaar Read-Only Memory, georganiseerd in 512 woorden van elk 8 bit. Het schrijven van data in de EEPROM gebeurt op dezelfde manier als bij een statische RAM. De informatie in de EEPROM kan met behulp van signalen op TTL-niveau worden veranderd.
De NMOS 2804A met zwevende gate heeft alleen een enkele 5 V voeding nodig.



Figuur 8/6.2-1: Aansluitingen en pen-beschrijvingen van de 2804A.

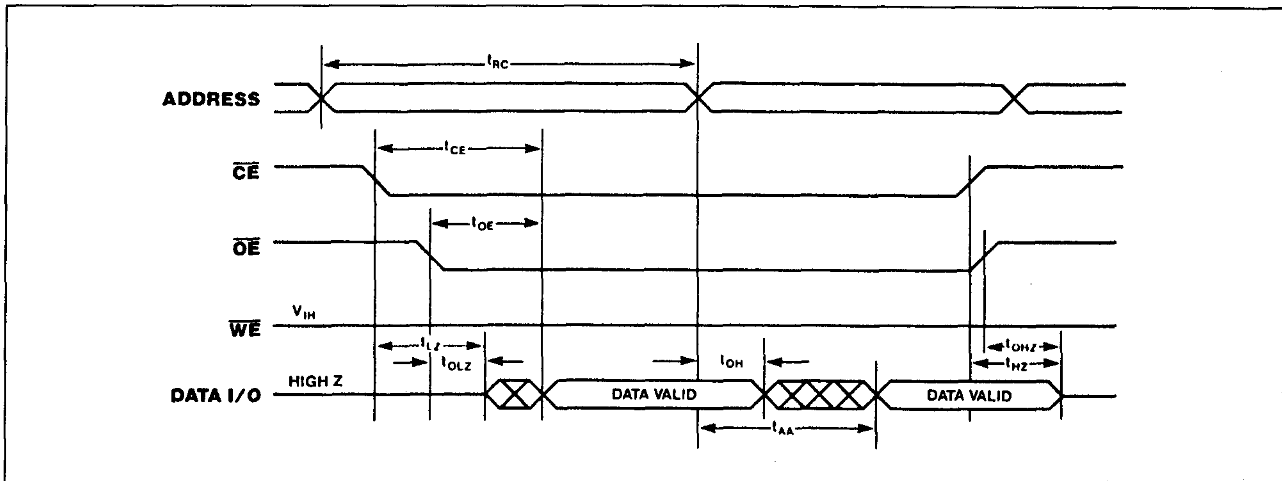
Specificaties

- 512 x 8 bit organisatie
- enkele 5 V +/-10 % voeding nodig
- alle adres- en data-ingangen gelatcht
- 3-state data-uitgangen
- on-chip timer voor Write
- gefilterde $\overline{WE}$-pen
- toegangstijd 250, 300, 350 of 450 ns max.
- byte-write tijd 10 ms max.
- geringe dissipatie: 80 mA aktief, 50 mA standby
- 24-pens plastic of ceramisch DIL behuizing (figuur 8/6.2-1)
- levensduur: min. 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leveranciers:
  Xicor: X2804A(I,M,MB)
  Seeq: 2804A
  Microchip: 28C04A (CMOS)
  Exel: XL2804A



Figuur 8/6.2-2: Functioneel blokschema van de 2804A.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-3: Timing bij de leescyclus van de 2804A.

Beschrijving van de signalen

- Met de adreslijnen (A0 tot en met A8) wordt de geheugenlocatie tijdens een lees- of schrijf-operatie gekozen.
- De Chip Enable-ingang ($\overline{CE}$) moet LAAG zijn om lees/schrijf-handelingen mogelijk te maken. Als $\overline{CE}$ HOOG is, wordt de dissipatie minder.
- Het Output Enable-signaal (OE) bestuurt de data-uitgangsbuffers en wordt gebruikt om lees-operaties in te leiden.
- Data wordt in de 2804A geschreven en uitgelezen via de I/O-pennen (I/O0 tot en met I/O7).
- Met Write Enable ($\overline{WE}$) wordt data in de 2804A geschreven.

Lezen (Read)

Leesoperaties worden mogelijk door zowel $\overline{OE}$ als $\overline{CE}$ LAAG te maken. De leesoperatie wordt beëindigd als $\overline{CE}$ of $\overline{OE}$ weer HOOG wordt.
Door deze tweedraads besturing wordt bus-rivaliteit in een systeem voorkomen. Als $\overline{CE}$ of $\overline{OE}$ HOOG is zal de databus in een hoog-impedante toestand verkeren.

Schrijven (Write)

Het schrijven wordt mogelijk als $\overline{CE}$ en $\overline{WE}$ beiden LAAG zijn, terwijl $\overline{OE}$ HOOG is.

De schrijfcyclus kan zowel door $\overline{WE}$ (figuur 8/6.2-4) als door $\overline{CE}$ (figuur 8/6.2-5) worden bestuurd, omdat het adres op de dalende flank van $\overline{WE}$ of $\overline{CE}$ wordt gelatcht (wat het laatst optreedt). Evenzo wordt data intern gelatcht op de stijgende flank van $\overline{WE}$ of $\overline{CE}$ (afhankelijk wat het eerst gebeurt).

Een byte-schrijfoperatie die eenmaal begonnen is, zal automatisch worden volbracht (gewoonlijk binnen 5 ms). Om van de typische schrijftijd te profiteren kan de 2804A worden afgevraagd (polling). Gedurende de interne programmeercyclus zijn de I/O-pennen hoog-impedant. Er kan dus op een bepaald adres worden gewacht tot bekende data (bij voorkeur nullen) verschijnt. Direct daarna kan een nieuwe schrijfcyclus worden uitgevoerd.

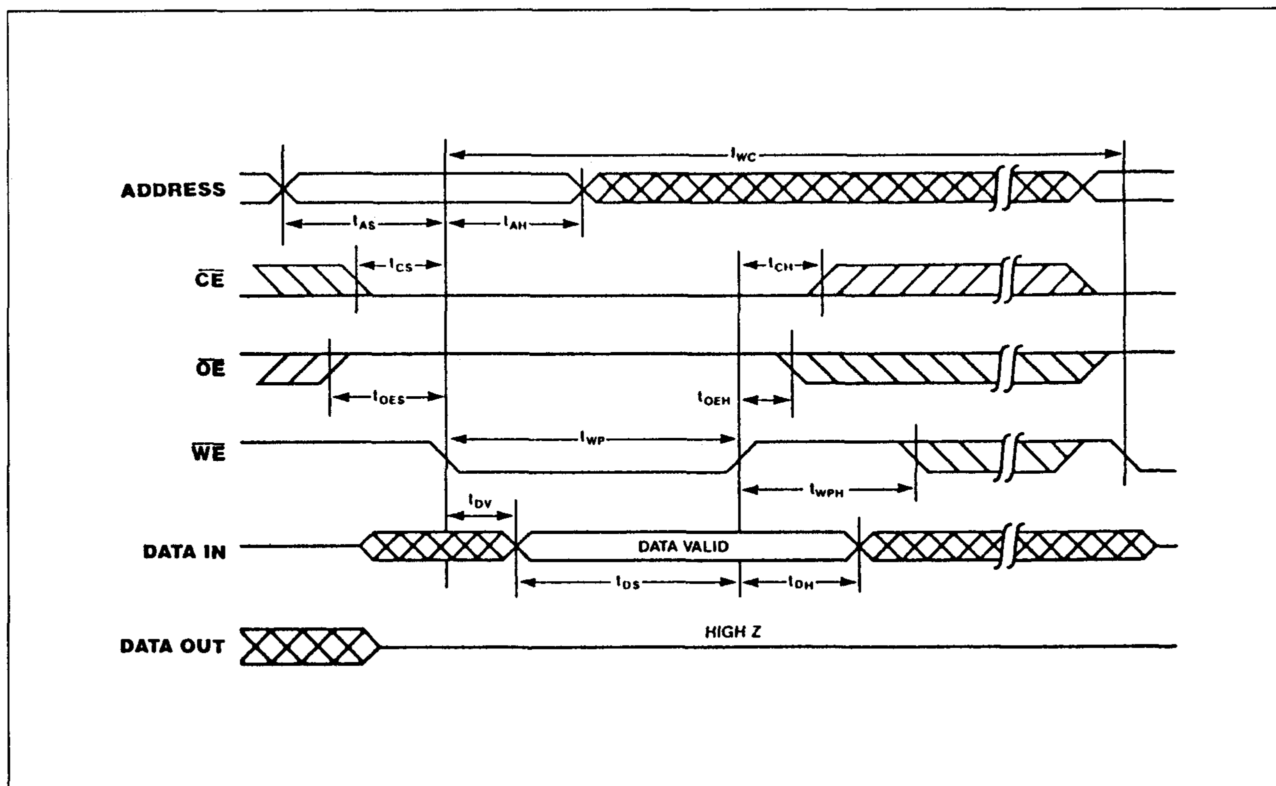
Write Protection

Onbedoeld schrijven in de 2804A kan op drie manieren worden voorkomen:

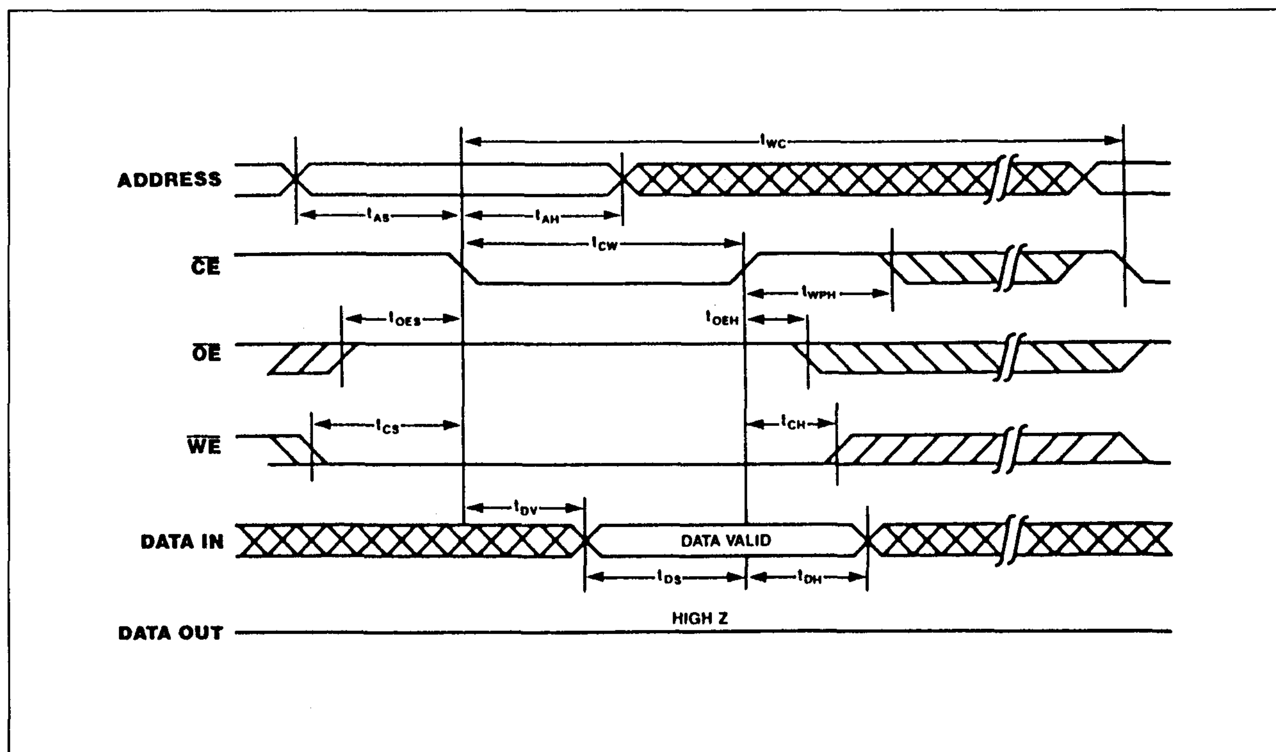
- Een $\overline{WE}$-puls moet langer duren dan 20 ns.
- Alle functies worden gesperd als V_{CC} lager dan 3 V is.

Schrijven tijdens power-on en power-off is niet mogelijk als $\overline{OE}$ LAAG is of $\overline{WE}$ of $\overline{CE}$ HOOG.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-4: Golfvormen bij een door $\overline{WE}$ bestuurde schrijfcyclus.



Figuur 8/6.2-5: Timing van een schrijfcyclus onder $\overline{CE}$ besturing.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-1: Waarheidstabel (mode selectie) van de 2804A.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias X2804A .... −10°C to +85°C
X2804AI .... −65°C to +135°C
Storage Temperature .... −65°C to +150°C
Voltage on any Pin with Respect to Ground .... −1.0V to +7V
D.C. Output Current .... 5 mA
Lead Temperature (Soldering, 10 Seconds) .... 300°C

Tabel 8/6.2-2: Maximaal toegelaten waarden.

D.C. OPERATING CHARACTERISTICS

X2804A T_A = 0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X2804AI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Symbol	Parameter	X2804A Limits		X2804AI Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.		
I_{CC}	V_{CC} Current (Active)		80		100	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{SB}	V_{CC} Current (Standby)		50		60	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current		10		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}	Input Low Voltage	−1.0	0.8	−1.0	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} +0.5	2.2	V_{CC} +1.0	V	
V_{OL}	Output Low Voltage		0.4		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		2.4		V	I_{OH} = −400 µA

Tabel 8/6.2-3: Elektrische eigenschappen van de 2804A en 2804AI (industrieel type).

28C04A

512 x 8 bit CMOS EEPROM

De 28C04A is de CMOS-versie van de 2804 EEPROM. De 28C04A heeft dus ook een 512 x 8-bit organisatie en latches op de data- en adresingangen. Het opnemen van informatie (byte write) gebeurt op dezelfde manier als bij een statische RAM. Zodra het schrijven begonnen is, komt de EEPROM in een "busy"-toestand en cleart en schrijft de gelatchte data automatisch door middel van een interne timer. De 28C04A is verkrijgbaar in commerciële, industriële en militaire uitvoering. Voor de werking van deze EEPROM wordt verder verwezen naar de hiervoor behandelde 2804A.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

A.C. CHARACTERISTICS

X2804A T_A = 0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X2804AI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Read Cycle Limits

Symbol	Parameter	X2804A-25 X2804AI-25		X2804A X2804AI		X2804A-35 X2804AI-35		X2804A-45 X2804AI-45		Units
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{RC}	Read Cycle Time	250		300		350		450		ns
t_{CE}	Chip Enable Access Time		250		300		350		450	ns
t_{AA}	Address Access Time		250		300		350		450	ns
t_{OE}	Output Enable Access Time		120		120		135		150	ns
t_{LZ}	Chip Enable to Output in Low Z	10		10		10		10		ns
t_{HZ}	Chip Disable to Output in High Z	10	100	10	100	10	100	10	100	ns
t_{OLZ}	Output Enable to Output in Low Z	50		50		50		50		ns
t_{OHZ}	Output Disable to Output in High Z	10	100	10	100	10	100	10	100	ns
t_{OH}	Output Hold from Address Change	20		20		20		20		ns

Write Cycle Limits

Symbol	Parameter	X2804A-25 X2804AI-25		X2804A X2804AI		X2804A-35 X2804AI-35		X2804A-45 X2804AI-45		Units
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{WC}	Write Cycle Time	10		10		10		10		ms
t_{AS}	Address Set-Up Time	10		10		10		10		ns
t_{AH}	Address Hold Time	120		120		150		150		ns
t_{CS}	Write Set-Up Time	0		0		0		0		ns
t_{CH}	Write Hold Time	0		0		0		0		ns
t_{CW}	Chip Enable to End of Write Input	150		150		175		230		ns
t_{OES}	Output Enable Set-Up Time	10		10		10		10		ns
t_{OEH}	Output Enable Hold Time	10		10		10		10		ns
t_{WP}	Write Pulse Width	150		150		175		230		ns
t_{WPH}	Write Control Recovery	50		50		50		50		ns
t_{DV}	Data Valid Time		1		1		1		1	µs
t_{DS}	Data Set-Up Time	120		135		175		230		ns
t_{DH}	Data Hold Time	15		15		20		30		ns

Tabel 8/6.2-4: Schakeltijden bij uitlezen en beschrijven van verschillende typen 2804A.

Specificaties

- CMOS EEPROM met 512 x 8 bit organisatie
- enkele 5 V voeding
- TTL compatibel
- 3-state data-uitgangen
- automatische schrijf-operatie (interne timer, auto-Clear, adres- en datalatches)
- toegangstijd 150, 200 of 250 ns max.
- byte-write tijd 200 µs of 1 ms max.
- geringe dissipatie: 30 mA aktief, 100 µA standby
- 24-pens plastic of ceramisch DIL-behuizing of 32-pens leadless of plastic (PLCC/LCC) chip-carrier (figuur 8/6.2-6)
- levensduur: min. 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leverancier: Microchip: 28C04A

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Operation Mode	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O
Read	L	L	H	D_{OUT}
Standby	H	X	X	High Z
Write Inhibit	H	X	X	High Z
Write Inhibit	X	L	X	High Z
Write Inhibit	X	X	H	High Z
Byte Write	L	H	L	D_{IN}
Byte Clear	Automatic Before Each "Write"			

X = Any TTL level.

Tabel 8/6.2-5: Waarheidstabel van de 28C04A.

MAXIMUM RATINGS*

V_{CC} and input voltages w.r.t. V_{SS} .... -0.6V to + 6.25V
Voltage on $\overline{OE}$ w.r.t. V_{SS} .... -0.6V to +13.5V
Output Voltage w.r.t. V_{SS} .... -0.6V to V_{CC}+0.6V
Storage temperature .... -65° C to 125° C
Ambient temp. with power applied .... -50° C to 95° C

Tabel 8/6.2-6: Maximaal toegelaten waarden.

READ / WRITE OPERATION
DC Characteristics

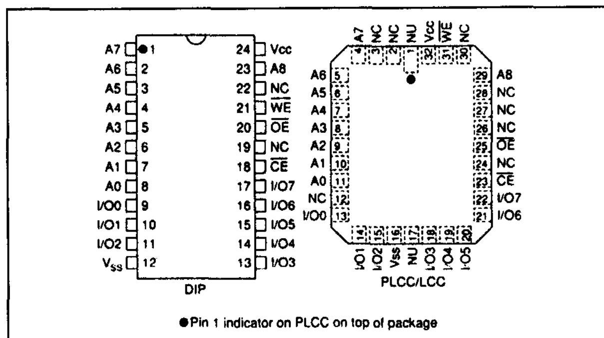
V_{CC} = +5V ±10%
Commercial (C): Tamb= 0° C to 70° C
Industrial (I): Tamb= -40° C to 85° C
Automotive (E): Tamb= -40° C to 125° C

Parameter	Status	Symbol	Min	Max	Units	Conditions
Input Voltages	Logic "1" Logic "0"	V_{IH} V_{IL}	2.0 -0.1	V_{CC}+1 0.8	V V	
Input Leakage		I_{LI}	-10	10	μA	V_{IN} = -0.1V to V_{CC}+1
Input Capacitance		C_{IN}		10	pF	V_{IN} = 0V; Tamb = 25° C; f = 1 MHz
Output Voltages	Logic "1" Logic "0"	V_{OH} V_{OL}	2.4	 0.45	V V	I_{OH} = -400μA I_{OL} = 2.1mA
Output Leakage		I_{LO}	-10	10	μA	V_{OUT} = -0.1V to V_{CC}+0.1V
Output Capacitance		C_{OUT}		12	pF	V_{IN} = 0V; Tamb = 25° C; f = 1 MHz
Power Suppy Current, Active	TTL input	I_{CC}		30	mA	f = 5 MHz (Note 1) V_{CC} = 5.5V;
Power Supply Current, Standby	TTL input TTL input CMOS input	$I_{CC(S)TTL}$ $I_{CC(S)TTL}$ $I_{CC(S)CMOS}$		2 3 100	mA mA μA	$\overline{CE}$ = V_{IH} (0° C to 70° C) $\overline{CE}$ = V_{IH} (-40° C to 125° C) CE = V_{CC}-0.3 to V_{CC}+1

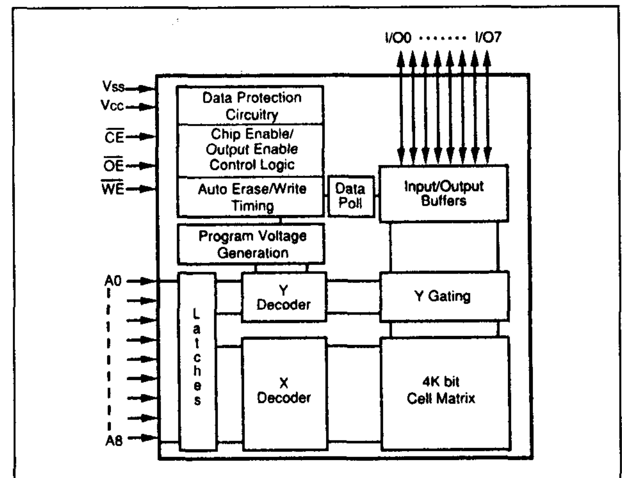
Note: (1) AC power supply current above 5 MHz: 1 mA/MHz

Tabel 8/6.2-7: Elektrische kenmerken (DC) van de 28C04A.

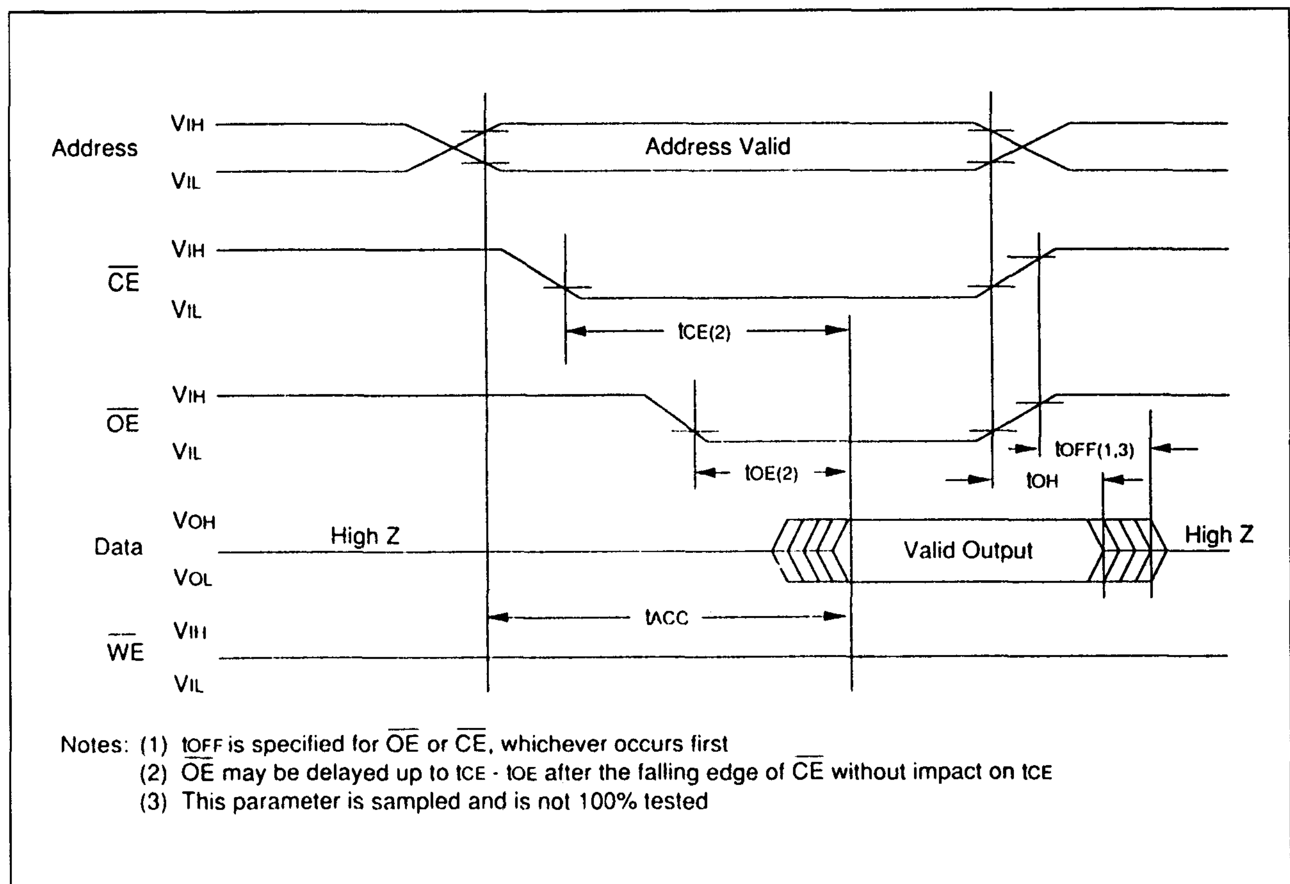
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-6: Aansluitingen van de DIL- en (P)LCC-versie van de 28C04A.

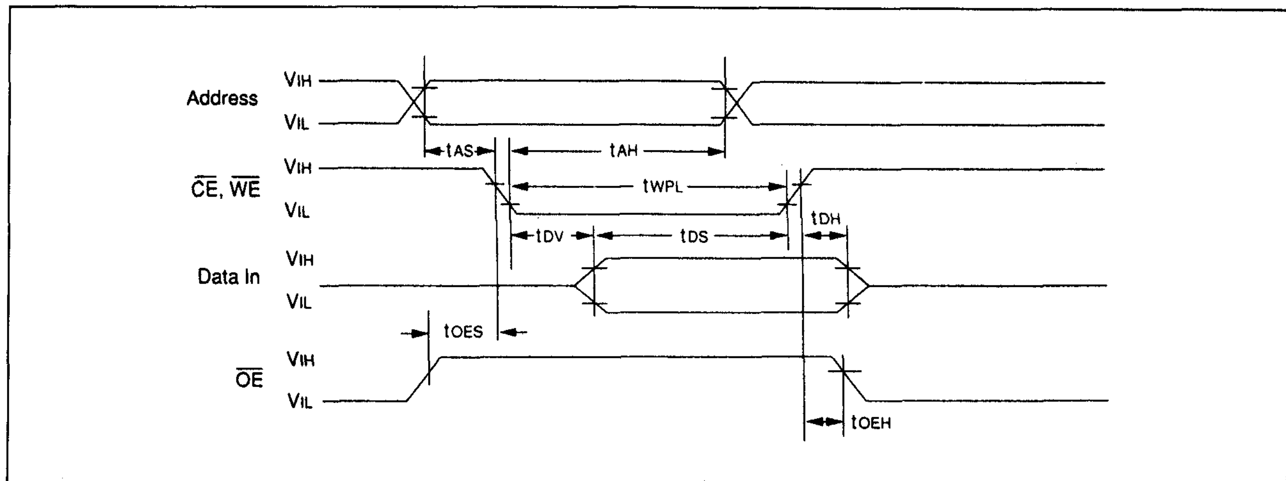


Figuur 8/6.2-7: Functioneel blokschema van de 28C04A.

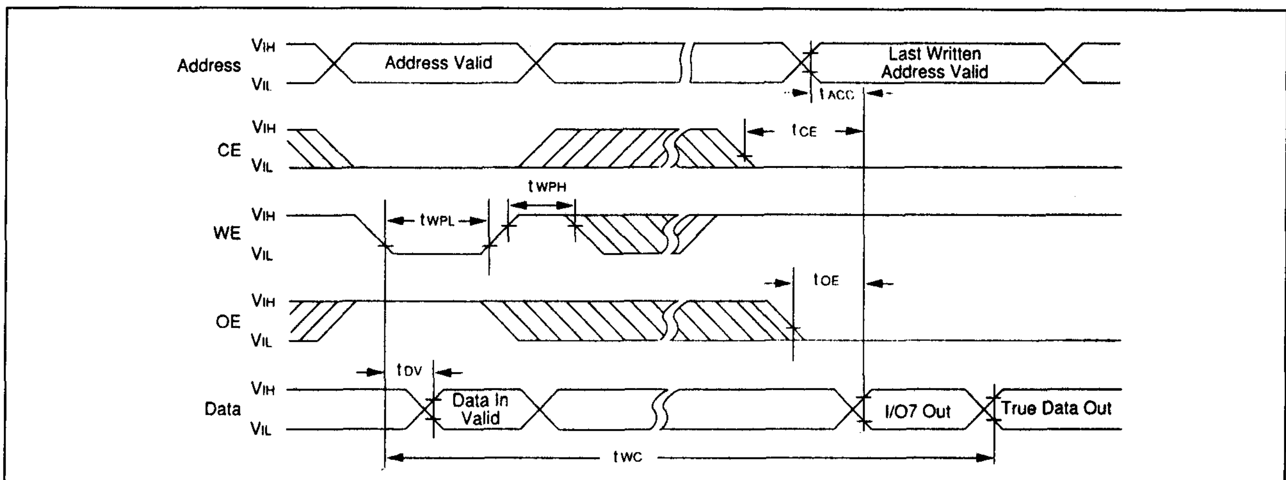


Figuur 8/6.2-8: Timing bij uitlezen van de 28C04A.

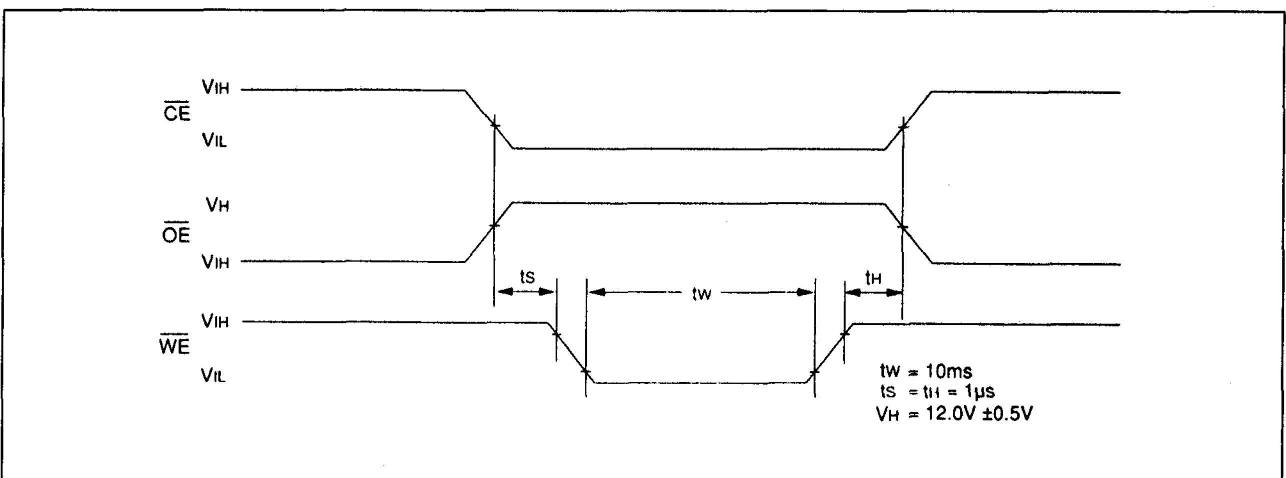
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-9: Golfvormen bij programmeren van de 28C04A.



Figuur 8/6.2-10: Golfvormen bij data-polling.



Figuur 8/6.2-11: Golfvormen bij Chip Clear.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

READ OPERATION
AC Characteristics

AC Testing Waveform: V_{IH} = 2.4V; V_{IL} = 0.45V; V_{OH} = 2.0V; V_{OL} = 0.8V
Output Load: 1 TTL Load + 100 pF
Input Rise and Fall Times: 20 nsec
Ambient Temperature: Commercial (C): Tamb = 0° C to 70° C
Industrial (I): Tamb = -40° C to 85° C
Automotive (E): Tamb = -40° C to 125° C

Parameter	Sym	28C04A-15		28C04A-20		28C04A-25		Units	Conditions
		Min	Max	Min	Max	Min	Max		
Address to Output Delay	t_{ACC}		150		200		250	ns	$\overline{OE}$ = $\overline{CE}$ = V_{IL}
$\overline{CE}$ to Output Delay	t_{CE}		150		200		250	ns	$\overline{OE}$ = V_{IL}
$\overline{OE}$ to Output Delay	t_{OE}		70		80		100	ns	$\overline{CE}$ = V_{IL}
$\overline{CE}$ or $\overline{OE}$ High to Output Float	t_{OFF}	0	50	0	55	0	70	ns	
Output Hold from Address, $\overline{CE}$ or $\overline{OE}$, whichever occurs first.	t_{OH}	0		0		0		ns	

Tabel 8/6.2-8: Schakeltijden bij uitlezen van verschillende typen 28C04A.

BYTE WRITE
AC Characteristics

AC Testing Waveform: V_{IH} = 2.4V and V_{IL} = 0.45V; V_{OH} = 2.0V; V_{OL} = 0.8V
Output Load: 1 TTL Load + 100 pF
Input Rise/Fall Times: 20 nsec
Ambient Temperature: Commercial (C): Tamb = 0° C to 70° C
Industrial (I): Tamb = -40° C to 85° C
Automotive (E): Tamb = -40° C to 125° C

Parameter	Symbol	Min	Max	Units	Remarks
Address Set-Up Time	t_{AS}	10		ns	
Address Hold Time	t_{AH}	50		ns	
Data Set-Up Time	t_{DS}	50		ns	
Data Hold Time	t_{DH}	10		ns	
Write Pulse Width	t_{WPL}	100		ns	Note 1
Write Pulse High Time	t_{WPH}	50		ns	
$\overline{OE}$ Hold Time	t_{OEH}	10		ns	
$\overline{OE}$ Set-Up Time	t_{OES}	10		ns	
Data Valid Time	t_{DV}		1000	ns	Note 2
Write Cycle Time (28C04A)	t_{WC}		1	ms	0.5 ms typical
Write Cycle Time (28C04AF)	t_{WC}		200	µs	100µs typical

Note: (1) A write cycle can be initiated be $\overline{CE}$ or $\overline{WE}$ going low, whichever occurs last. The data is latched on the positive edge of $\overline{CE}$ or $\overline{WE}$, wichever occurs first.
(2) Data must be valid within 1000ns max. after a write cycle is initiated and must be stable at least until t_{DH} after the positive edge of WE or CE, whichever occurs first.

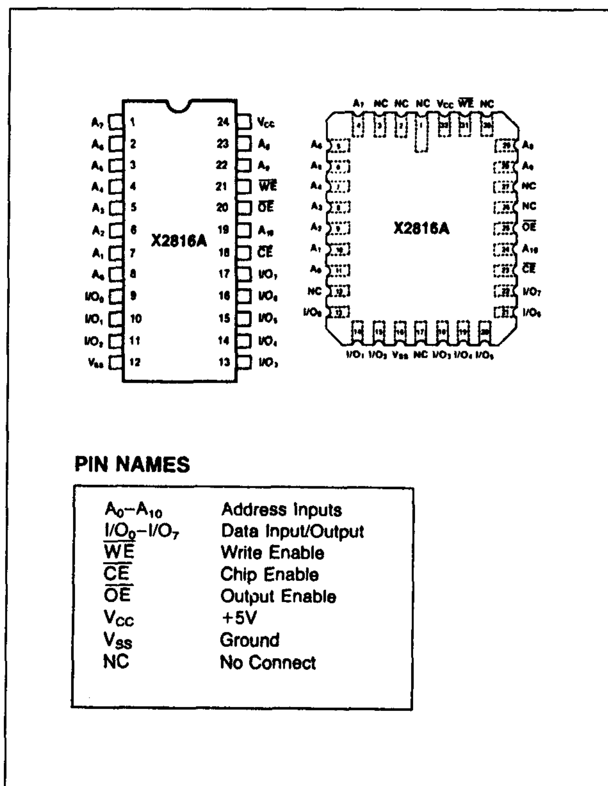
Tabel 8/6.2-9: Schakeltijden bij schrijven in verschillende typen 28C04A.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

2816A

2k x 8 bit EEPROM

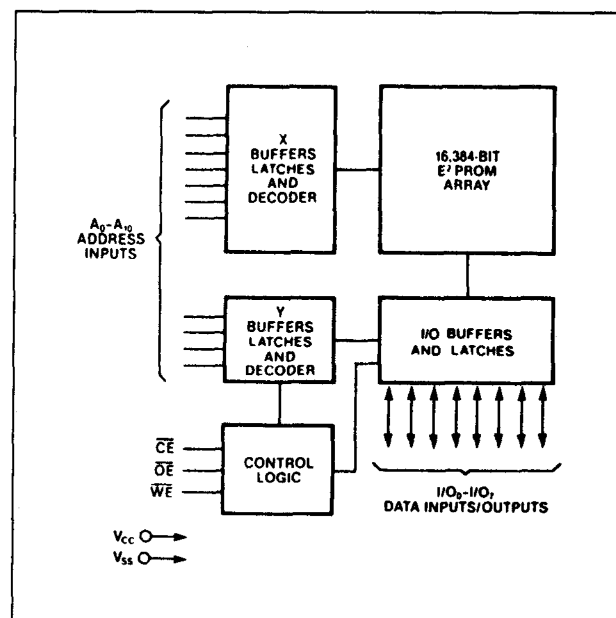
De 2816A is een 16 k EEPROM (elektrisch wisbare PROM) met een organisatie van 2048 8 bit woorden. Data wordt op dezelfde manier als bij een statische RAM in deze NMOS EEPROM geschreven, waarvoor signalen op TTL-niveau nodig zijn. De 2816A heeft, in tegenstelling tot het oudere type 2816 (dat op 21 V werkt), alleen een enkele 5 V voeding nodig. Deze EEPROM is leverbaar in commerciële, industriële en militaire uitvoering.



Figuur 8/6.2-12: Aansluitingen van de DIL- en PLCC-uitvoering van de 2816A.

Specificaties

- 2048 x 8 bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen gelatcht
- 3-state data-uitgangen
- on-chip timer voor Write
- toegangstijd 250, 300, 350 of 450 ns max.
- byte-write tijd 10 ms max.
- geringe dissipatie: 110 mA aktief, 50 mA standby
- 24-pens plastic of ceramisch DIL- of 32-pens PLCC-behuizing (figuur 8/6.2-12)
- levensduur: min. 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X2816A(I,M)
  Intel: P2816A
  Seeq: 2816A
  Microchip: 28C16A (CMOS)
  Exel: XL2816A, XL28C16A (CMOS)
  Catalyst: CAT28C16A (CMOS)
  Atmel: AT28HC16(L) (High-Speed CMOS)

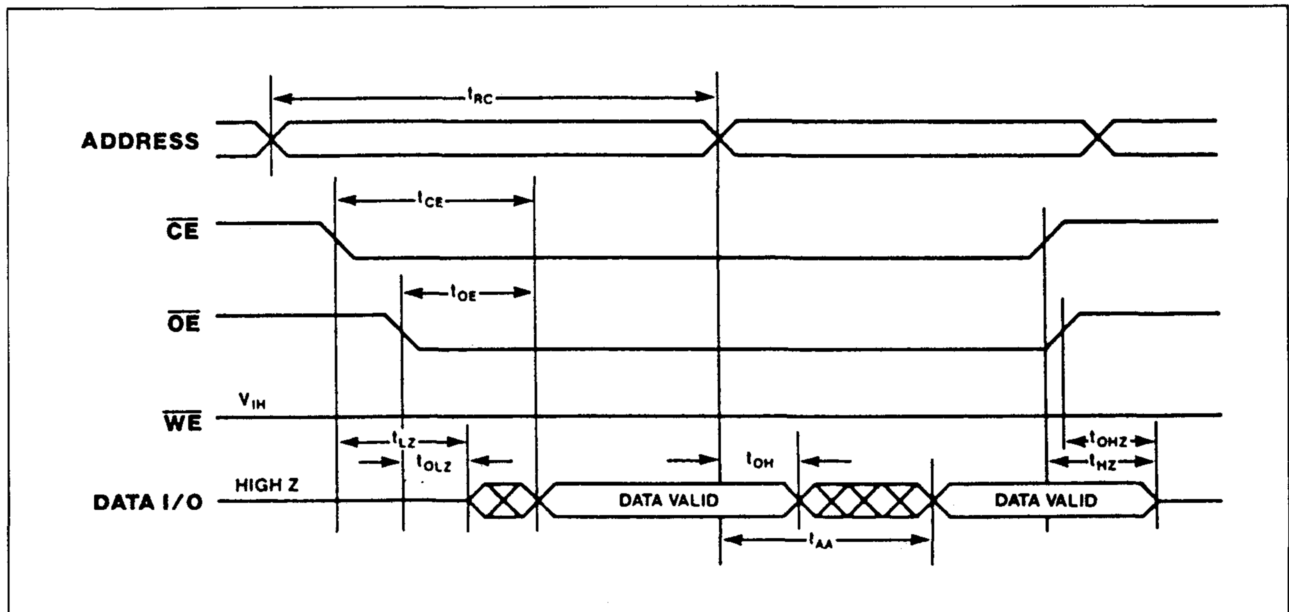


Figuur 8/6.2-13: Functioneel blokschema van de 2816A.

Beschrijving van de signalen

- De adreslijnen (A0 tot en met A8) dienen voor het selecteren van de geheugenlocatie voor een lees- of schrijf-operatie.
- Lees/schrijf-handelingen zijn pas mogelijk als de Chip Enable-ingang ($\overline{CE}$) LAAG is. Als $\overline{CE}$ HOOG is, wordt minder stroom verbruikt (standby).

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-14: Golfvormen en timing bij het uitlezen van de 2816A.

- Het Output Enable-signaal (OE) bestuurt de data-uitgangsbuffers en dient ook om lees-operaties te initialiseren.
- Data van en naar de 2816A gaat via de I/O-pennen (I/O0 tot en met I/O7).
- Write Enable (WE) regelt het schrijven van data in de 2816A.

Lezen (Read)

Uitlezen van de 2816A is mogelijk door zowel OE als CE LAAG te maken. Het lezen wordt beëindigd als CE of OE weer HOOG gaat. Door deze 2-draads besturing wordt busrivaliteit in het systeem voorkomen. Als CE of OE HOOG is zal de databus hoog-impedant zijn.

Schrijven (Write)

De 2816A kan worden beschreven als CE en WE LAAG zijn en OE HOOG is. De schrijfcyclus kan zowel door CE als door WE worden bestuurd, omdat het adres op de laatst optredende dalende flank van WE of CE wordt gelatcht. Op dezelfde manier wordt data intern gelatcht op de eerst voorkomende stijgende flank van CE of WE.

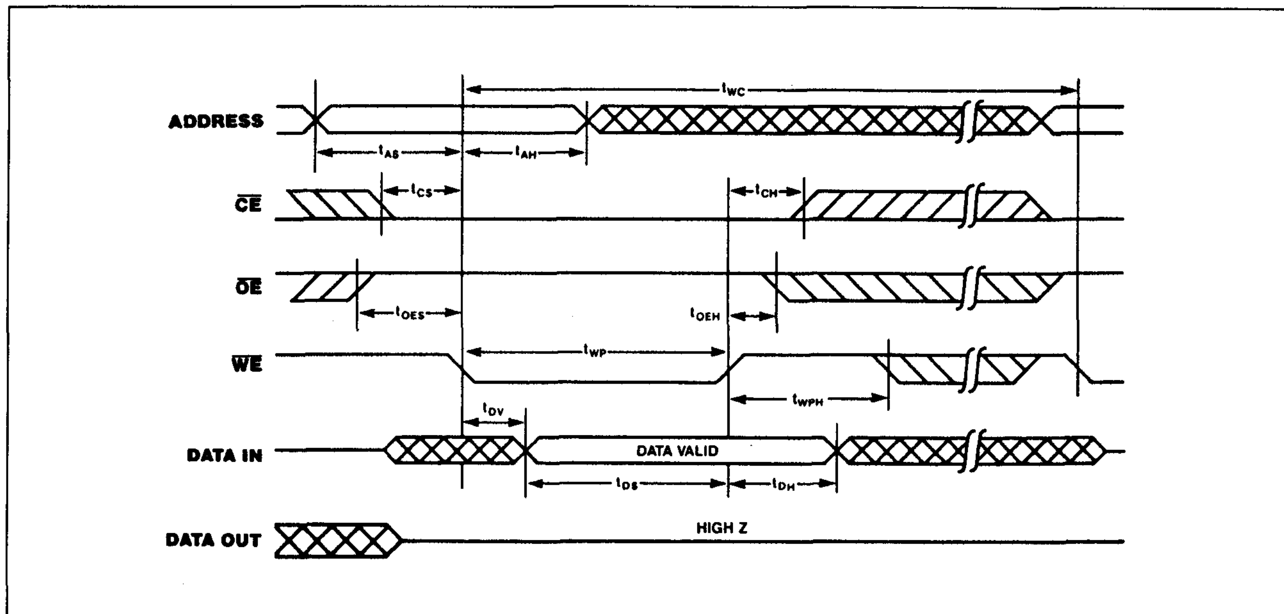
Wanneer een byte-schrijfoperatie eenmaal begonnen is, zal die automatisch worden voltooid (meestal binnen 5 ms). Om van deze kortere schrijftijd te profiteren kan de 2816A worden afgevraagd (polling). Het afvragen gaat als volgt. Tijdens de interne programmeercyclus zijn alle I/O-pennen hoogimpedant. Men kan dan op een bepaald adres wachten tot bekende data (bij voorkeur nullen) verschijnt. Onmiddellijk daarna kan een nieuwe schrijfcyclus worden uitgevoerd.

Write Protection

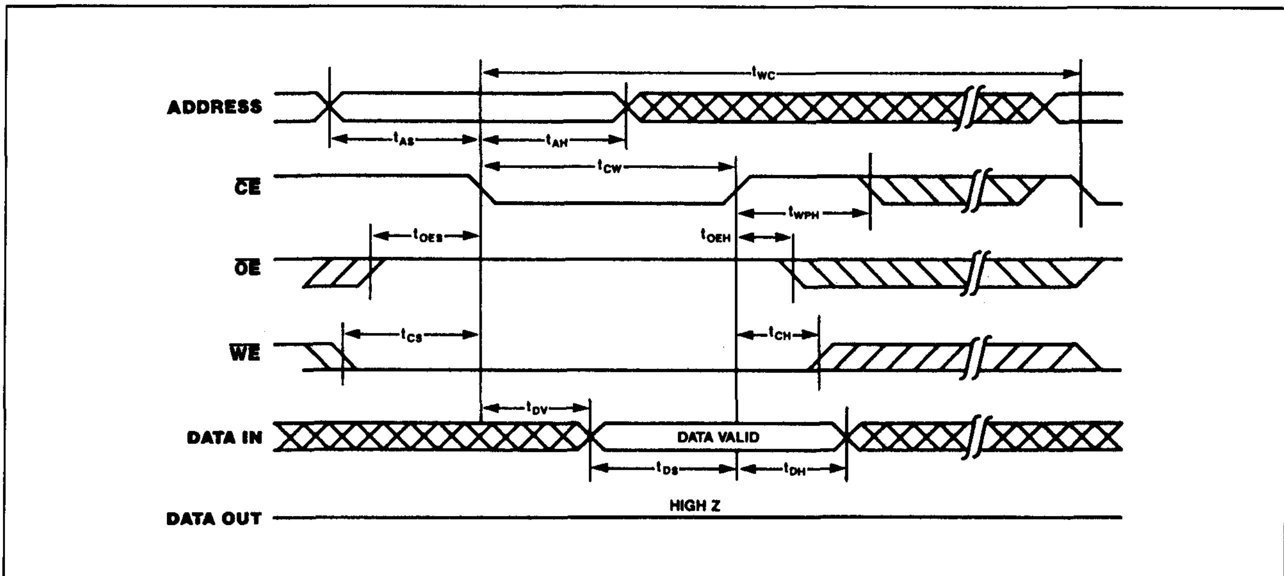
Er kan op drie manieren worden voorkomen dat per ongeluk in de 2816A wordt geschreven:

- Beveiliging tegen storingen:
  Elke WE-puls moet langer duren dan 20 ns.
- V_{CC}-sense:
  Alle functies worden gesperd als V_{CC} lager dan 3 V is.
- Write inhibit:
  Tijdens power-on en power-off is schrijven niet mogelijk als OE LAAG is, of WE of CE HOOG.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-15: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.



Figuur 8/6.2-16: Golfvormen en timing van een schrijfcyclus onder $\overline{CE}$ besturing.

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-10: Mode-selectie (waarheidstabel) van de 2816A.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias X2816A .... −10°C to +85°C
X2816AI .... −65°C to +135°C
Storage Temperature .... −65°C to +150°C
Voltage on any Pin with
Respect to Ground .... −1.0V to +7V
D.C. Output Current .... 5 mA
Lead Temperature (Soldering,
10 Seconds) .... 300°C

Tabel 8/6.2-11: Maximaal toegelaten waarden.

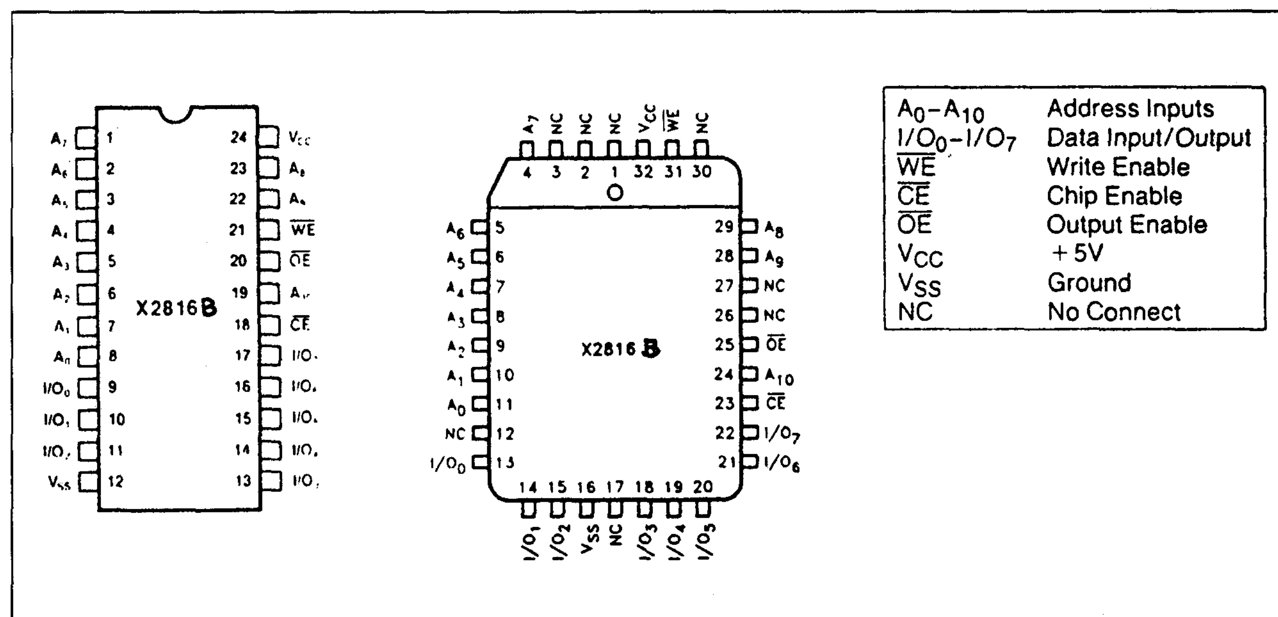
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

D.C. OPERATING CHARACTERISTICS

X2816A T_A = 0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X2816AI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Symbol	Parameter	X2816A Limits		X2816AI Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.		
I_{CC}	V_{CC} Current (Active)		110		140	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{SB}	V_{CC} Current (Standby)		50		60	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current		10		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}	Input Low Voltage	−1.0	0.8	−1.0	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} +0.5	2.2	V_{CC} +1.0	V	
V_{OL}	Output Low Voltage		0.4		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		2.4		V	I_{OH} = −400 µA

Tabel 8/6.2-12: Gelijkspanningskenmerken van de 2816A (en 2816AI: industrieel type).



Figuur 8/6.2-17: Aansluitingen van de DIL- en PLCC-uitvoering van de 2816B.

2816B

2k x 8 bit EEPROM, 16 byte page-write

De 2816B is een 16 k EEPROM (elektrisch wisbaar programmeerbaar geheugen), georganiseerd in 2048 woorden van 8 bit. Data wordt net als bij een statische RAM in deze EEPROM geschreven. Ook de 2816B maakt gebruik van de N-kanaals MOS met zwevende gate technologie en werkt met signalen op TTL-niveau.

De 2816B is geschikt voor 16 byte page-write operaties, waardoor de schrijfcyclus gemiddeld 300 µs/byte bedraagt en het gehele geheugen in minder dan 640 ms kan worden beschreven. Met de 2816B is ook $\overline{DATA}$-polling mogelijk.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

A.C. CHARACTERISTICS

X2816A T_A = −0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X2816AI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Read Cycle Limits

		X2816A-25 X2816AI-25		X2816A X2816AI		X2816A-35 X2816AI-35		X2816A-45 X2816AI-45		
Symbol	**Parameter**	**Min.**	**Max.**	**Min.**	**Max.**	**Min.**	**Max.**	**Min.**	**Max.**	**Units**
t_{RC}	Read Cycle Time	250		300		350		450		ns
t_{CE}	Chip Enable Access Time		250		300		350		450	ns
t_{AA}	Address Access Time		250		300		350		450	ns
t_{OE}	Output Enable Access Time		120		120		135		150	ns
t_{LZ}	Chip Enable to Output in Low Z	10		10		10		10		ns
t_{HZ}	Chip Disable to Output in High Z	10	100	10	100	10	150	10	150	ns
t_{OLZ}	Output Enable to Output in Low Z	50		50		50		50		ns
t_{OHZ}	Output Disable to Output in High Z	10	100	10	100	10	150	10	150	ns
t_{OH}	Output Hold from Address Change	20		20		20		20		ns

Write Cycle Limits

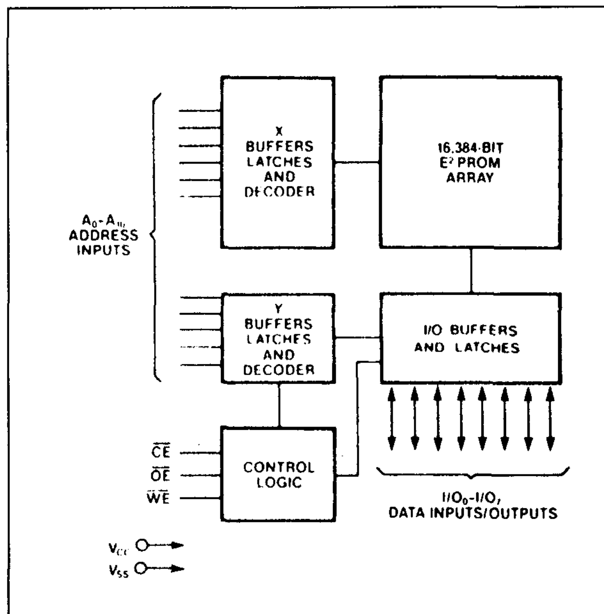
		X2816A-25 X2816AI-25		X2816A X2816AI		X2816A-35 X2816AI-35		X2816A-45 X2816AI-45		
Symbol	**Parameter**	**Min.**	**Max.**	**Min.**	**Max.**	**Min.**	**Max.**	**Min.**	**Max.**	**Units**
t_{WC}	Write Cycle Time	10		10		10		10		ms
t_{AS}	Address Set-Up Time	10		10		10		10		ns
t_{AH}	Address Hold Time	120		120		150		150		ns
t_{CS}	Write Set-Up Time	0		0		0		0		ns
t_{CH}	Write Hold Time	0		0		0		0		ns
t_{CW}	Chip Enable to End of Write Input	150		150		175		230		ns
t_{OES}	Output Enable Set-Up Time	10		10		10		10		ns
t_{OEH}	Output Enable Hold Time	10		10		10		10		ns
t_{WP}	Write Pulse Width	150		150		175		230		ns
t_{WPH}	Write Control Recovery	50		50		50		50		ns
t_{DV}	Data Valid Time		1		1		1		1	µs
t_{DS}	Data Set-Up Time	120		135		175		230		ns
t_{DH}	Data Hold Time	15		15		20		30		ns

Tabel 8/6.2-13: Schakeltijden bij uitlezen van en schrijven in 2816A's met verschillende snelheden.

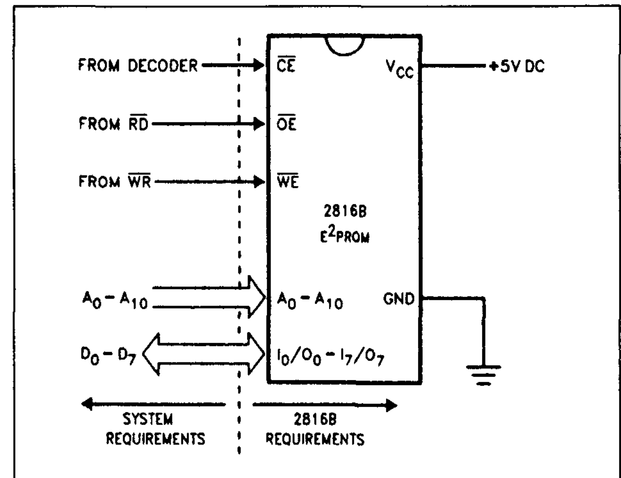
Specificaties

- 2048 x 8 bit organisatie
- enkele 5 V +/-10 % voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- toegangstijd 250 of 300 ns max.
- byte- of Page-Write tijd 5 ms typ.
- 16 byte Page-Write
- herschrijven geheel geheugen in 640 ms
- $\overline{\text{DATA}}$-polling

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-18: Functioneel blokschema van de 2816B.



Figuur 8/6.2-19: Interface-signalen voor de 2816B.

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-14: Mode-selectie van de 2816B.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias
X2816B .... −10°C to +85°C
X2816BI .... −65°C to +135°C
Storage Temperature .... −65°C to +150°C
Voltage on any Pin with
Respect to Ground .... −1.0V to +7V
D.C. Output Current .... 5 mA
Lead Temperature
(Soldering, 10 Seconds) .... 300°C

Tabel 8/6.2-15: Maximaal toegelaten waarden.

- geringe dissipatie: 80 mA aktief, 45 mA standby
- 24-pens plastic of ceramisch DIL- of 32-pens PLCC-behuizing (figuur 8/6.2-17)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X2816B(I)
  Intel: P2816B
  Exel: XL28C16B (CMOS)

Lezen en schrijven

Het lezen/schrijven van de 2816B gaat op dezelfde manier als bij de 2816A. De 2816B heeft echter ook de mogelijkheid om gehele pagina's te programmeren.

Page Write operatie

Door de Page-Write mogelijkheid van de 2816B kan de gehele EEPROM in 640 ms worden beschreven. Met Page-Write kunnen 2 tot 16 bytes data achter elkaar in de 2816B worden geschreven, voordat de interne programmeercyclus begint. Het doel-adres voor een page-write operatie moet op dezelfde pagina blijven: A4 tot en met A10 mogen niet veranderen.
De Page-Write mode kan tijdens elke schrijfhandeling bereikt worden.

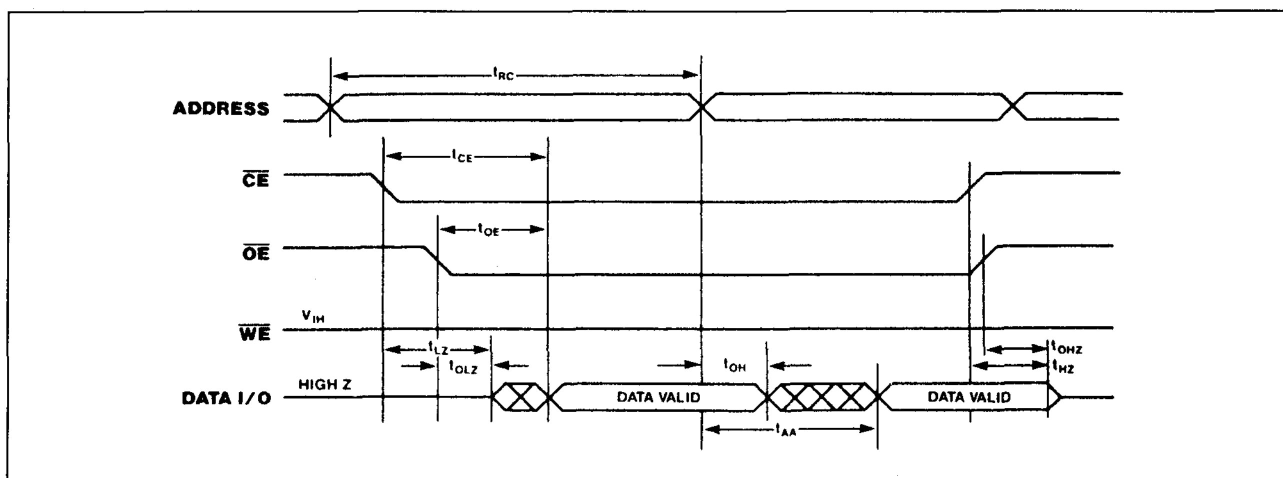
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Nadat de computer de eerste byte-schrijfcyclus heeft uitgevoerd kunnen nog 1 tot 16 bytes op dezelfde manier als de eerste byte worden geschreven. Iedere volgende byteload cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet dan binnen 20 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Wordt een volgende $\overline{WE}$ HOOG-naar-LAAG overgang niet binnen 20 µs gedetecteerd dan zal de interne automatische programmeercyclus beginnen.
Er is geen beperking voor het page-write bereik (window).
Dit bereik is oneindig groot zolang de computer doorgaat met telkens binnen 20 µs toegang te krijgen tot de EEPROM.

D.C. OPERATING CHARACTERISTICS
X2816B T_A = 0°C to +70°C, V_{CC} = +5V ±10%, unless otherwise specified.
X2816BI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Symbol	Parameter	X2816B/X2816B-25 Limits			X2816BI/X2816BI-25 Limits			Units	Test Conditions
		Min.	Typ.(1)	Max.	Min.	Typ.(1)	Max.		
I_{CC}	V_{CC} Current (Active)		80	120		80	140	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{SB}	V_{CC} Current (Standby)		45	60		45	70	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current			10			10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			10			10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE}$ = V_{IH}
V_{IL}(3)	Input Low Voltage	−1.0		0.8	−1.0		0.8	V	
V_{IH}(3)	Input High Voltage	2.0		V_{CC} + 1.0	2.0		V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage			0.4			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			2.4			V	I_{OH} = −400 µA

Tabel 8/6.2-16: DC-kenmerken van de 2816B.



Figuur 8/6.2-20: Golfvormen bij het uitlezen van de 2816B.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

A.C. CHARACTERISTICS

X2816B T_A = 0°C to +70°C, V_{CC} = +5V ±10%, unless otherwise specified.
X2816BI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Read Cycle Limits

Symbol	Parameter	X2816B-25 X2816BI-25		X2816B X2816BI		Units
		Min.	Max.	Min.	Max.	
t_{RC}	Read Cycle Time	250		300		ns
t_{CE}	Chip Enable Access Time		250		300	ns
t_{AA}	Address Access Time		250		300	ns
t_{OE}	Output Enable Access Time		100		100	ns
t_{LZ}(4)	Chip Enable to Output in Low Z	10		10		ns
t_{HZ}(4)	Chip Disable to Output in High Z	10	60	10	80	ns
t_{OLZ}(4)	Output Enable to Output in Low Z	10		10		ns
t_{OHZ}(4)	Output Disable to Output in High Z	10	60	10	80	ns
t_{OH}	Output Hold from Address Change	10		10		ns

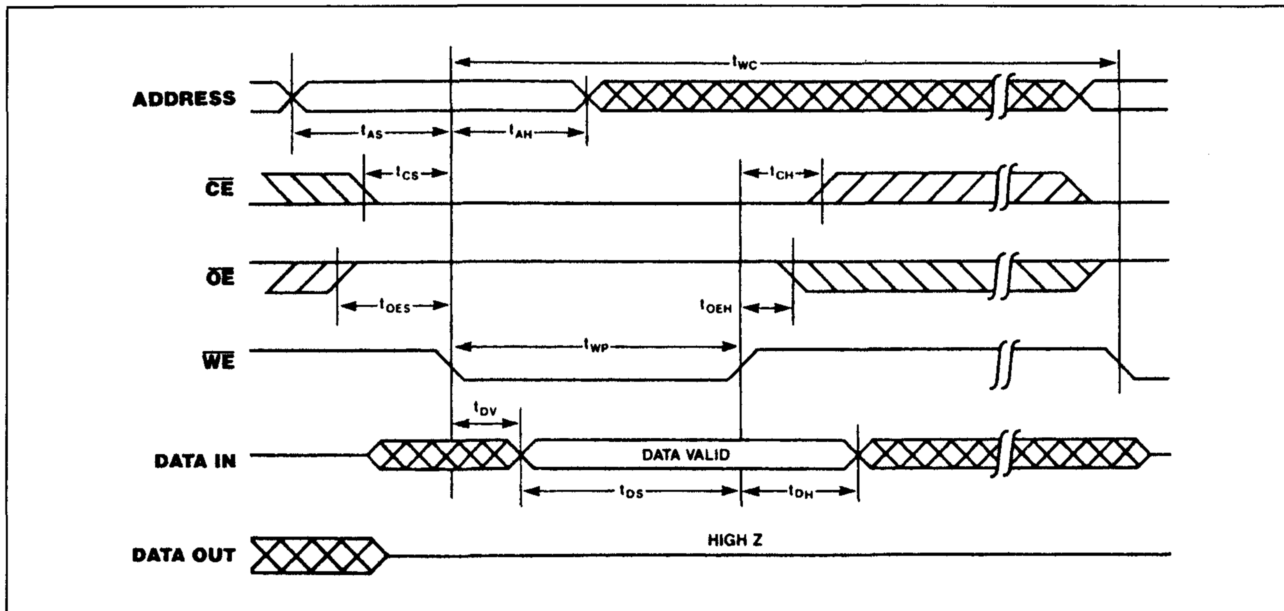
Tabel 8/6.2-17: Timing bij uitlezen van de 2816B.

Write Cycle Limits

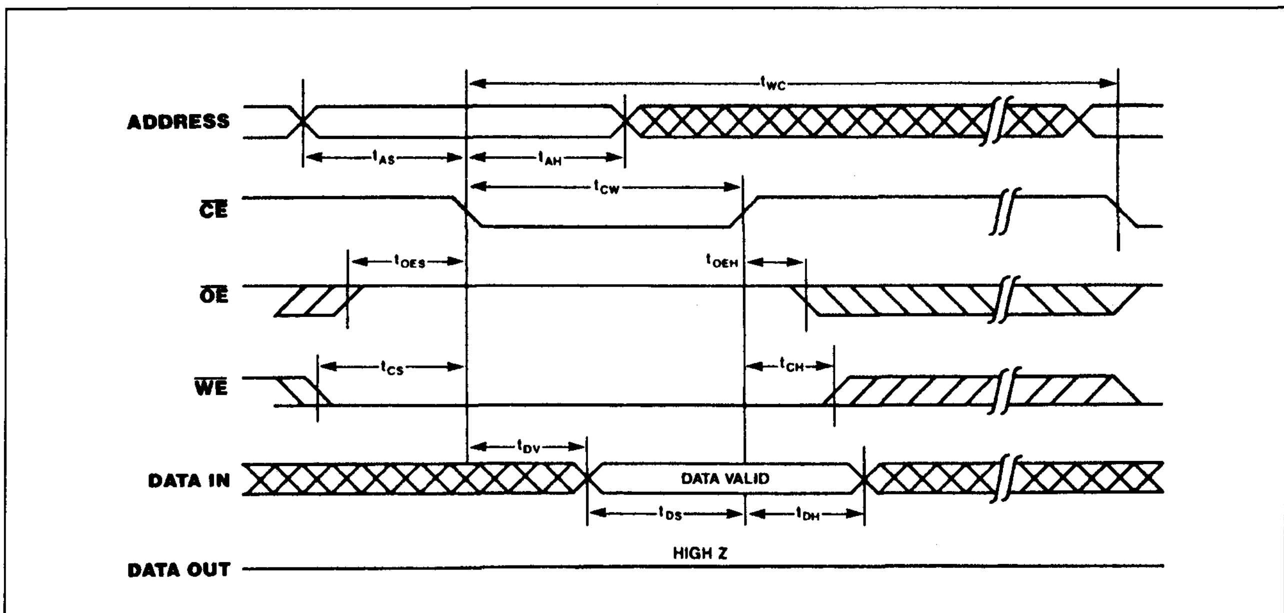
Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WC}(6)	Write Cycle Time		5	10	ms
t_{AS}	Address Setup Time	10			ns
t_{AH}	Address Hold Time	150			ns
t_{CS}	Write Setup Time	0			ns
t_{CH}	Write Hold Time	0			ns
t_{CW}	$\overline{CE}$ Pulse Width	150			ns
t_{OES}	$\overline{OE}$ High Setup Time	10			ns
t_{OEH}	$\overline{OE}$ High Hold Time	10			ns
t_{WP}	$\overline{WE}$ Pulse Width	150			ns
t_{WPH}	$\overline{WE}$ High Recovery	50			ns
t_{DV}	Data Valid			300	ns
t_{DS}	Data Setup	100			ns
t_{DH}	Data Hold	15			ns
t_{DW}	Delay to Next Write	500			µs
t_{BLC}	Byte Load Cycle	3		20	µs

Tabel 8/6.2-18: Timing bij schrijven in de 2816B.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-21: Golfvormen van een schrijfcyclus met $\overline{WE}$ besturing.



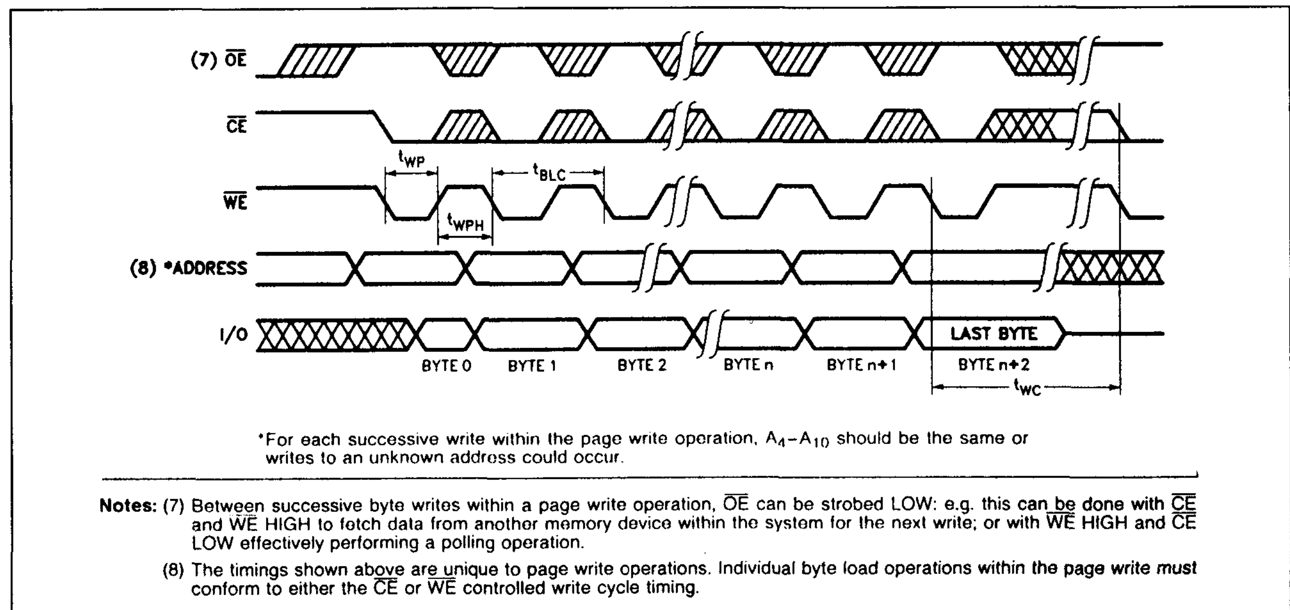
Figuur 8/6.2-22: Golfvormen van een schrijfcyclus onder $\overline{CE}$ besturing.

Write Protection

Er kan op drie manieren worden voorkomen dat per vergissing in de 2816B wordt geschreven:

- Elke $\overline{WE}$-puls moet langer duren dan 20 ns.
- Alle functies worden gesperd als V_{CC} lager is dan 3 V.
- Tijdens power-on en power-off is schrijven niet mogelijk als $\overline{OE}$ LAAG is, of $\overline{WE}$ of $\overline{CE}$ HOOG.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

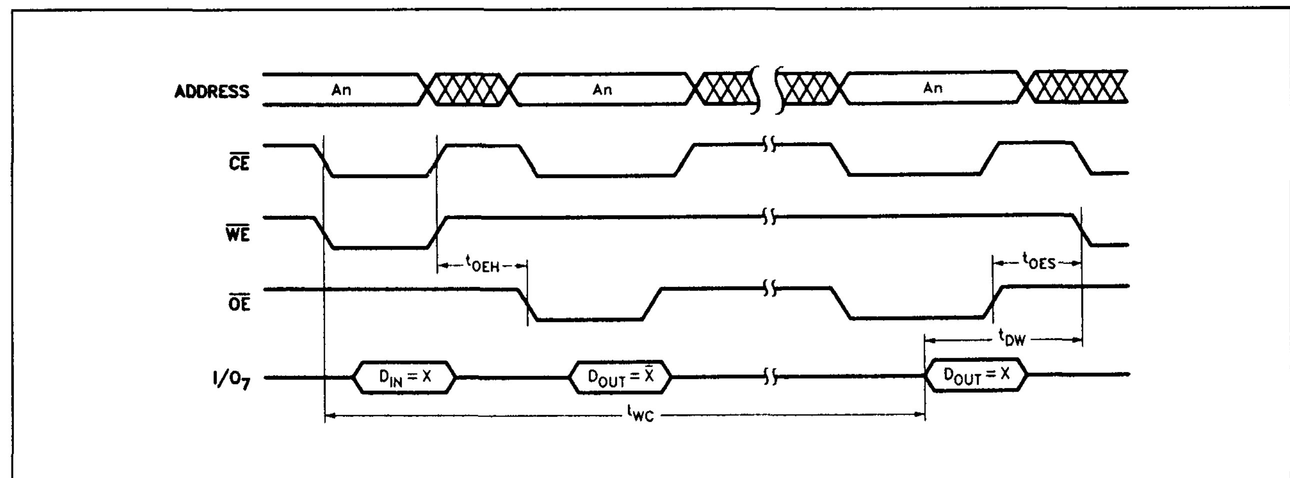


*For each successive write within the page write operation, A_4–A_{10} should be the same or writes to an unknown address could occur.

Notes: (7) Between successive byte writes within a page write operation, $\overline{OE}$ can be strobed LOW: e.g. this can be done with $\overline{CE}$ and $\overline{WE}$ HIGH to fetch data from another memory device within the system for the next write; or with $\overline{WE}$ HIGH and $\overline{CE}$ LOW effectively performing a polling operation.

(8) The timings shown above are unique to page write operations. Individual byte load operations within the page write must conform to either the $\overline{CE}$ or $\overline{WE}$ controlled write cycle timing.

Figuur 8/6.2-23: Timing en golfvormen bij een Page-Mode schrijfcyclus.



Figuur 8/6.2-24: Golfvormen bij $\overline{\text{DATA}}$-polling.

2816C

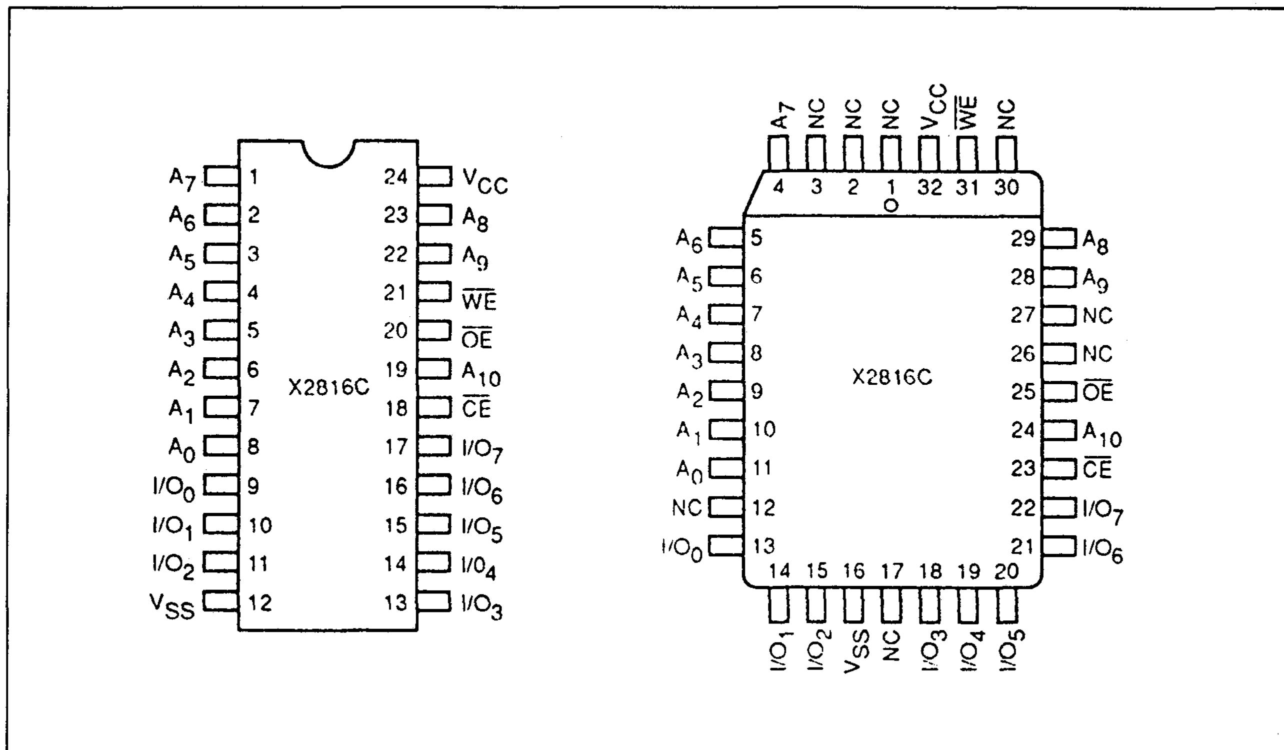
2k x 8 bit EEPROM, 16 byte page-write

De 2816C is een verbeterde NMOS-versie van de 2816C. Dit komt het duidelijkst tot uiting in de zeer korte toegangstijd bij het lezen (minimaal 90 ns). Hieronder worden alleen de afwijkende elektrische eigenschappen en timing-tabellen vermeld, voor de beschrijving van de optredende signalen en de tijddiagrammen wordt verwezen naar de 2816B.

Specificaties

- 2048 x 8 bit organisatie
- enkele 5 V +/-10 % voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- toegangstijd: 90, 120, 150 of 200 ns max.
- byte- of page-write tijd: 5 ms typ.
- 16 byte Page-Write
- effectieve byte-write cyclustijd: 300 µs
- herschrijven totaal geheugen in 640 ms
- $\overline{\text{DATA}}$-polling

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-25: Aansluitingen van de DIL- en PLCC-uitvoering van de 2816C.

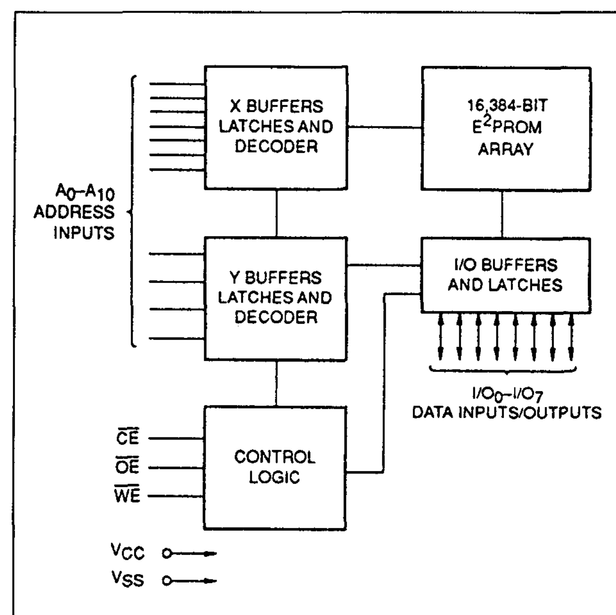
- geringe dissipatie: 70 mA aktief, 35 mA standby
- 24-pens plastic of ceramisch DIL- of 32-pens PLCC-behuizing (figuur 8/6.2-25)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leverancier: Xicor: X2816C(I,M)

CE	OE	WE	Mode	I/O	Power
L	L	H	Read	DOUT	Active
L	H	L	Write	DIN	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-19: Mode-selectie van de 2816C.

Lezen en schrijven

Het lezen/schrijven van de 2816C (inclusief het per gehele pagina programmeren) gaat op dezelfde manier als bij de 2816B. De tijddiagrammen van de 2816B zijn ook hier bruikbaar.



Figuur 8/6.2-26: Functioneel blokschema van de 2816C.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Symbol	Parameter	Limits Min.	Typ.(1)	Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active)		70	110	mA	$\overline{CE} = \overline{OE} = V_{IL}$ All I/O's = Open Other Inputs = V_{CC}
I_{SB1}	V_{CC} Current (Standby)		35	50	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$ All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current			10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE} = V_{IH}$.
V_{IL}(2)	Input Low Voltage	–1.0		0.8	V	
V_{IH}(2)	Input High Voltage	2.0		V_{CC} +1.0	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = –400 µA

Tabel 8/6.2-20: DC-bedrijfscondities van de 2816C.

Read Cycle Limits

Symbol	Parameter	X2816C-90 Min.	Max.	X2816C-12 Min.	Max.	X2816C-15 Min.	Max.	X2816C-20 Min.	Max.	Units
t_{RC}	Read Cycle Time	90		120		150		200		ns
t_{CE}	Chip Enable Access Time		90		120		150		200	ns
t_{AA}	Address Access Time		90		120		150		200	ns
t_{OE}	Output Enable Access Time		60		60		80		100	ns
t_{LZ}(4)	$\overline{CE}$ Low to Active Output	0		0		0		0		ns
t_{OLZ}(4)	$\overline{OE}$ Low to Active Output	0		0		0		0		ns
t_{HZ}(4)	$\overline{CE}$ High to High Z Output		50		60		60		60	ns
t_{OHZ}(4)	$\overline{OE}$ High to High Z Output		50		60		60		60	ns
t_{OH}	Output Hold from Address Change	0		0		0		0		ns

Tabel 8/6.2-21: Timing bij uitlezen van verschillende typen van de 2816C.

Symbol	Parameter	X2816C-90 Min.	Max.	X2816C-12,-15,-20 Min.	Max.	Units
t_{WC}(5)	Write Cycle Time		10		10	ms
t_{AS}	Address Setup Time	5		5		ns
t_{AH}	Address Hold Time	80		100		ns
t_{CS}	Write Setup Time	0		0		ns
t_{CH}	Write Hold Time	0		0		ns
t_{CW}	$\overline{CE}$ Pulse Width	80		100		ns
t_{OES}	$\overline{OE}$ High Setup Time	10		10		ns
t_{OEH}	$\overline{OE}$ High Hold Time	5		10		ns
t_{WP}	$\overline{WE}$ Pulse Width	80		100		ns
t_{WPH}	$\overline{WE}$ High Recovery	50		50		ns
t_{DV}	Data Valid		100		100	µs
t_{DS}	Data Setup	35		50		ns
t_{DH}	Data Hold	5		10		ns
t_{DW}	Delay to Next Write	10		10		µs
t_{BLC}	Byte Load Cycle	1	100	1	100	µs

Tabel 8/6.2-22: Timing bij schrijven in verschillende 2816C's.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

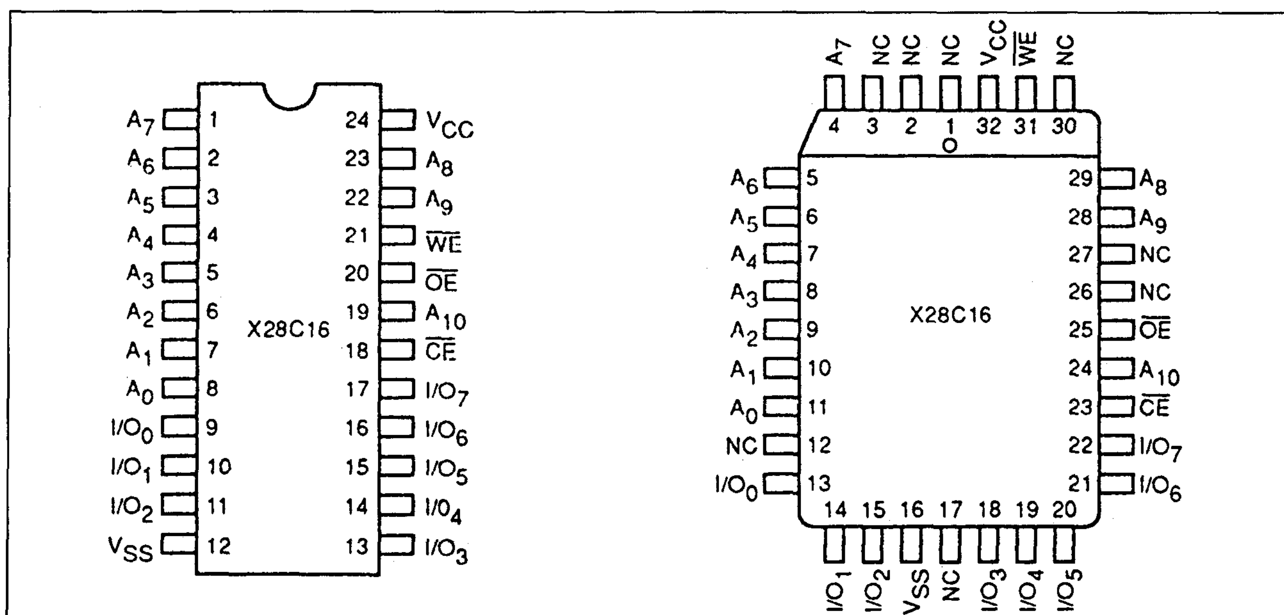
28C16

2k x 8 bit CMOS EEPROM

De 28C16 is een veel gebruikte CMOS-uitvoering van de hiervoor behandelde 16 k EEPROM's. Deze EEPROM dissipeert niet alleen minder, maar is ook sneller en heeft bovendien (afhankelijk van het merk) een aantal aantrekkelijke extra's.
Het lezen en schrijven van data gebeurt op dezelfde manier als bij een statische RAM. De 28C16 werkt op een enkele 5 V voeding en kan signalen op TTL- of CMOS-niveau verwerken.
De 28C16 kan 64 byte page-write operaties uitvoeren, waardoor een gemiddelde schrijfcyclus van 32 µs/byte wordt verkregen en het totale geheugen in minder dan 0,1 s kan worden herschreven. De 28C16 is geschikt voor $\overline{\text{DATA}}$-polling, terwijl met de X28C16 van Xicor ook "Toggle Bit Polling" mogelijk is. De 28C16A van Microchip heeft een "Electronic Signature".
Aan beide eigenschappen wordt apart aandacht besteed.

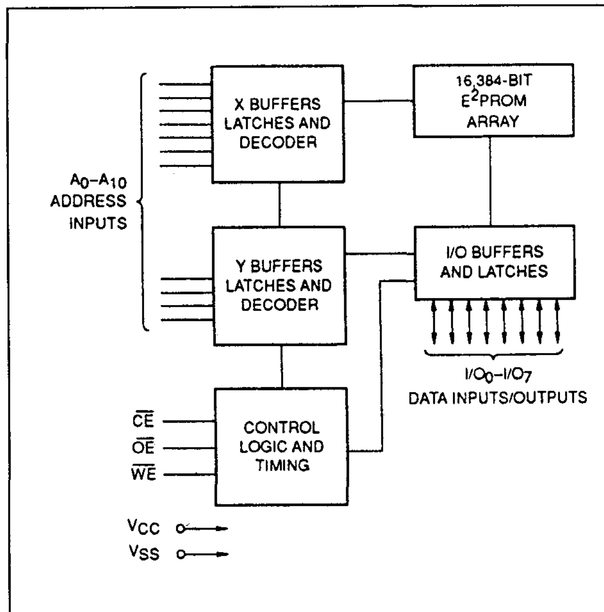
Specificaties

- 2048 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen met latches
- 3-state data-uitgangen
- CMOS/TTL compatibel
- toegangstijd 150, 200 of 250 ns max.
- 64 byte page-write operatie
- byte- of page-write tijd 2 ms typ.
- herschrijven gehele EEPROM in 0,1 s
- effectieve byte-write cyclustijd: 32 µs typ.
- low-power CMOS: aktieve stroom: 40 mA, standby-stroom: 200 µA
- software data-beveiliging
- $\overline{\text{DATA}}$-polling
- 24-pens plastic of ceramisch DIL- of SOIC-behuizing of 32-pens PLCC-behuizing (figuur 8/6.2-27)
- Microchip-type: electronic signature
  Xicor-type: toggle bit
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X28C16(I,M)
  Microchip: 28C16A
  Exel: XL28C16A, XL28C16B
  Catalyst: CAT28C16A, CAT28C16V3 (3 V-type)
  Samsung: KM28C16
  Atmel: AT28C16(F,E), AT28HC16(L)



Figuur 8/6.2-27: Aansluitingen van de DIL- en PLCC-behuizingen van de 28C16.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-28: Functioneel blokschema van de 28C16.

Lezen (Read)

Het uitlezen van de 28C16 begint met het LAAG maken van $\overline{OE}$ en $\overline{CE}$ en eindigt als $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. Deze 2-draads besturing voorkomt busrivaliteit in het systeem. Als $\overline{OE}$ of $\overline{CE}$ HOOG is, is de databus hoog-impedant.

Schrijven (Write)

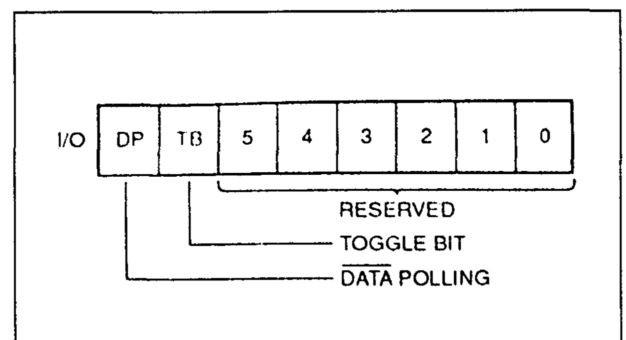
Het schrijven naar de 28C16 begint als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. De schrijfcyclus kan zowel door $\overline{CE}$ als door $\overline{WE}$ worden bestuurd, omdat het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches wordt opgeslagen. Op dezelfde manier wordt data intern gelatcht op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Een byte-schrijfoperatie die eenmaal begonnen is, wordt automatisch binnen 2 ms voltooid.

Page-Write operatie

Met de Page-Write mogelijkheid kan de gehele 28C16 in 0,25 s worden beschreven. Met Page-Write kunnen 2 tot 64 bytes data aansluitend in de 28C16 worden geschreven, voordat de interne programmeercyclus begint. De computer kan gedurende een page-write operatie data van een ander adres in het systeem ophalen (en daarbij van bron-adres veranderen), maar het doeladres moet op dezelfde pagina blijven: A6 tot en met A10 mogen niet veranderen.
Met de Page-Write mode kan tijdens elke schrijf-operatie worden begonnen. Nadat de eerste byte-schrijfcyclus is uitgevoerd, kan de computer nog 1 tot 63 bytes op dezelfde manier schrijven. Iedere volgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet binnen 100 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Wanneer een volgende $\overline{WE}$ HOOG-naar-LAAG overgang niet binnen 100 µs wordt gedetecteerd zal de interne automatische programmeercyclus beginnen.
Het page-write bereik (window) is oneindig groot zolang de computer doorgaat met telkens binnen 100 µs toegang te krijgen tot de 28C16.

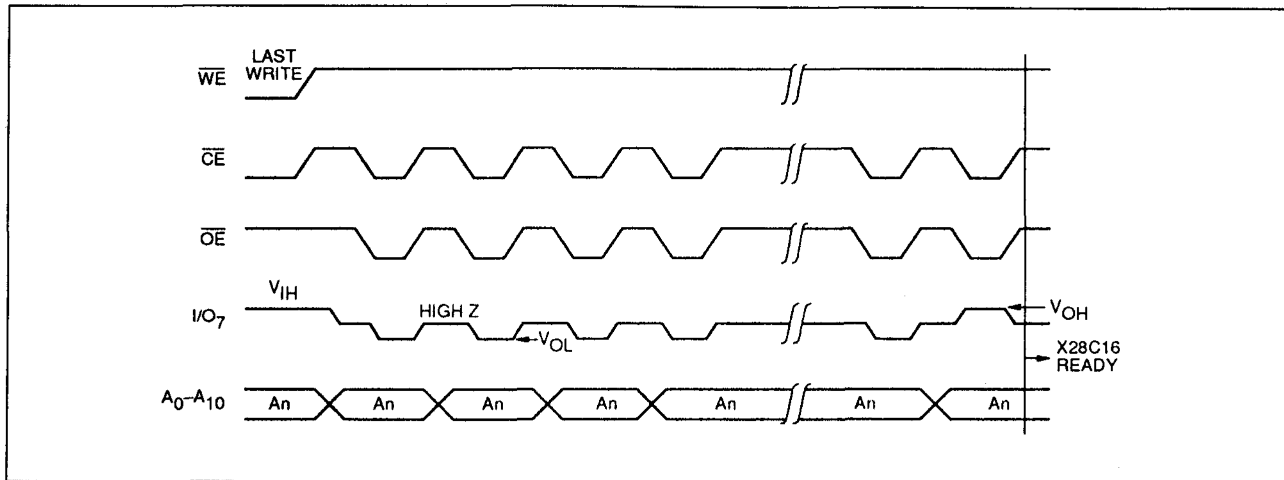
Statusbits van de schrijf-operatie

De 28C16 van Xicor voorziet de gebruiker van twee write-operation statusbits die kunnen dienen om het systeem te optimaliseren. Deze statusbits worden gedurende de interne programmeercyclus op de I/O-bus gezet (zie figuur 8/6.2-29).



Figuur 8/6.2-29: Plaats en betekenis van de statusbits (alleen Xicor-type).

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



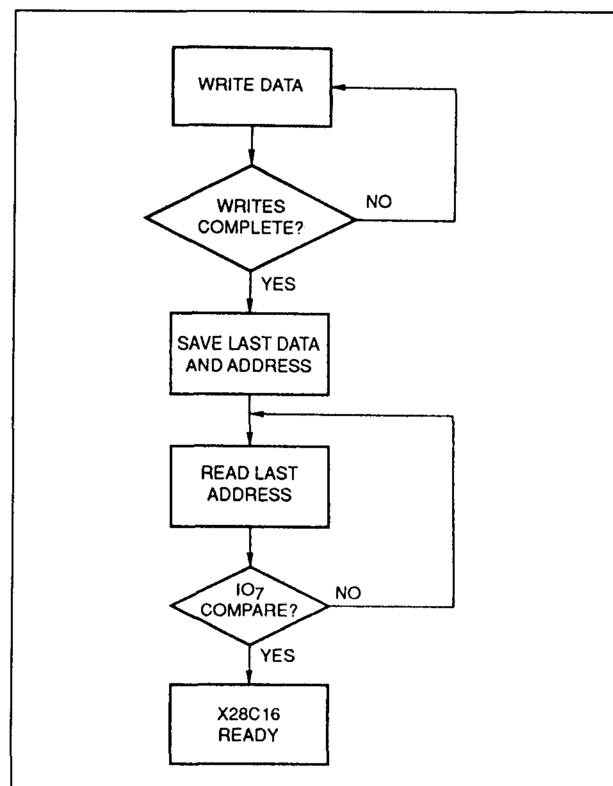
Figuur 8/6.2-30: Golfvormen bij $\overline{\text{DATA}}$-polling op I/O7.

$\overline{\text{DATA}}$-polling (I/O7)

Bij de 28C16 kan de $\overline{\text{DATA}}$-polling methode worden gebruikt om de computer te laten weten dat een byte-write of page-write cyclus is beëindigd. Hierbij is een eenvoudige bittest voldoende om de status van de 28C16 te bepalen. Gedurende de interne programmeercyclus zal elke poging om de laatste byte te lezen het complement daarvan op I/O7 opleveren (als bijvoorbeeld 0xxx xxxx werd geschreven, zal 1xxx xxxx verschijnen). Wanneer de programmeercyclus klaar is, zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-30). $\overline{\text{DATA}}$-polling kan de tijd om data in de 28C16 te schrijven werkelijk halveren.
In figuur 8/6.2-31 is het flow-diagram van de hiervoor benodigde software te zien. Let op dat als de 28C16 in de beveiligde toestand verkeert en een illegale schrijf-operatie wordt geprobeerd $\overline{\text{DATA}}$-polling niet mogelijk is.

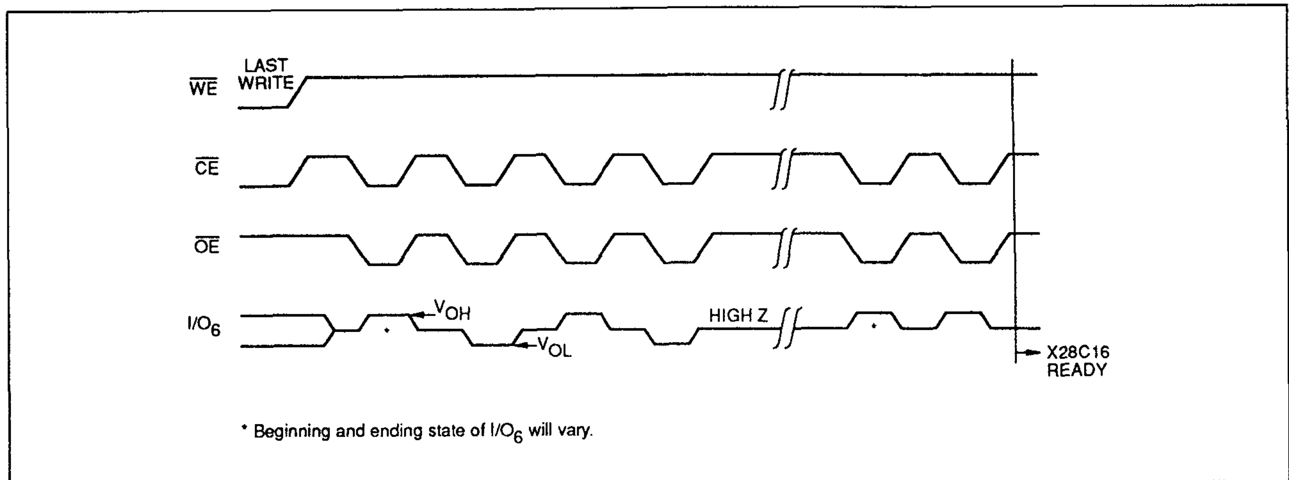
Toggle-bit (I/O6)

Met de 28C16 van Xicor is nog een andere methode mogelijk om te bepalen wanneer de interne programmeercyclus klaar is. Gedurende deze interne cyclus zal I/O6 telkens bij pogingen tot uitlezen van 1 naar 0 en van 0 naar 1 omgaan. Wanneer deze interne cyclus is beëindigd, houdt het "toggelen" op en kan de EEPROM worden uitgelezen of beschreven (figuur 8/6.2-32).

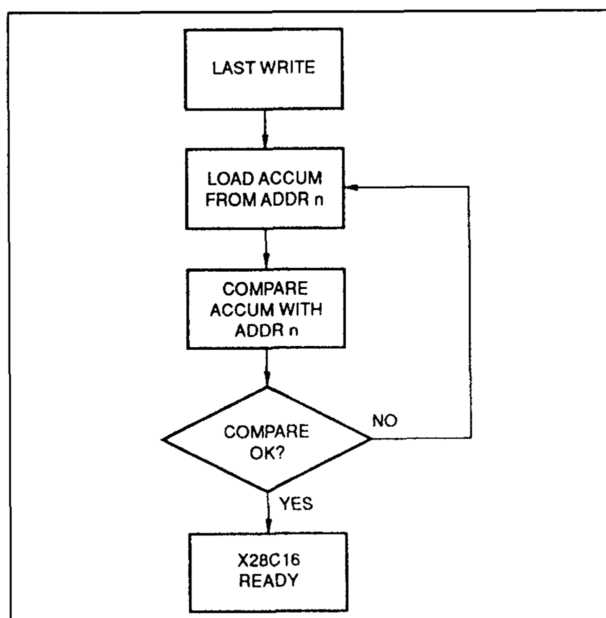


Figuur 8/6.2-31: $\overline{\text{DATA}}$-polling software flow-diagram.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-32: Toggle bit-bus volgorde (toggle-bit I/O6).



Figuur 8/6.2-33: Flow-diagram van de voor het toggle-bit benodigde software.

Door het toggle-bit is de software-kern voor het opbergen en ophalen van het laatste adres en de daarin weggeschreven data voor de implementatie van $\overline{\text{DATA}}$-polling overbodig. Dit kan vooral nuttig zijn als met een array van meerdere 28C16's wordt gewerkt die regelmatig worden bijgewerkt. Het testen van de toggle-bit vormt ook een methode om de status te bepalen in multiprocessor toepassingen. In het tijddiagram (figuur 8/6.2-32) is te zien wat dan op de bus gebeurt, terwijl in figuur 8/6.2-33 het flow-diagram van de software wordt getoond.

Hardware Data-beveiliging

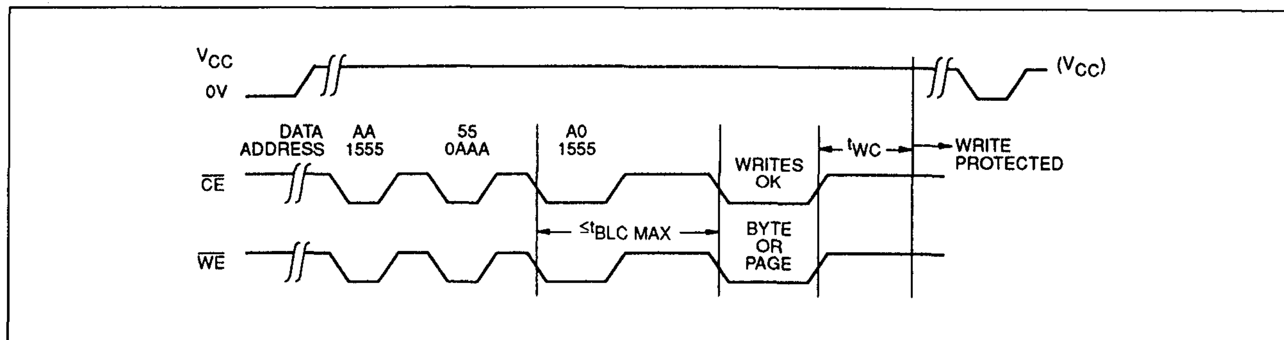
Net als bij de 2816C kan op drie manieren worden voorkomen dat per ongeluk in de 28C16 wordt geschreven:

- Beveiliging tegen storingen:
  Elke $\overline{\text{WE}}$-puls moet minstens 20 ns lang zijn.
- V_{CC}-sense:
  Alle functies worden gesperd als V_{CC} lager dan 3 V is.
- Write inhibit:
  Wanneer tijdens power-on en power-off $\overline{\text{OE}}$ LAAG is, of $\overline{\text{WE}}$ of $\overline{\text{CE}}$ HOOG is, is onbedoeld schrijven niet mogelijk.

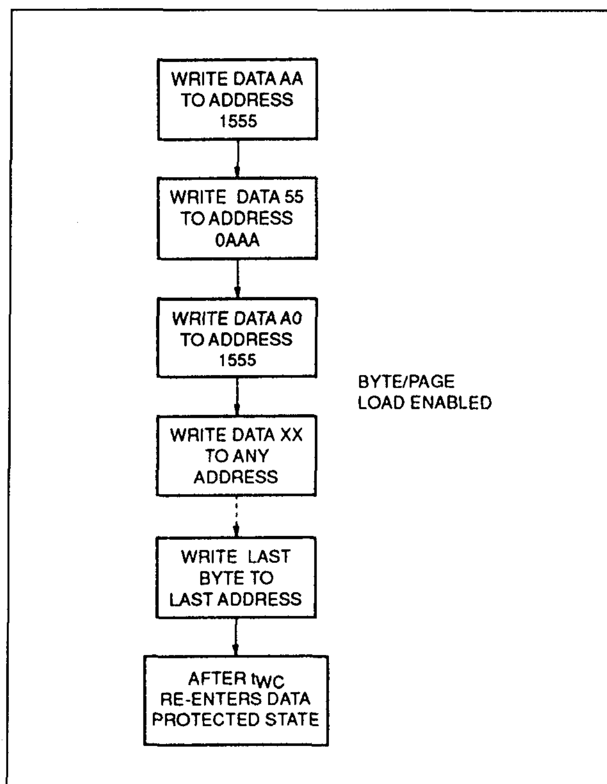
Software Data-beveiliging

De 28C16 is voorzien van een door software geregelde data-beveiliging. Deze EEPROM wordt door Xicor geleverd met de data-beveiliging NOT ENABLED. Hij bevindt zich dus in de standaard bedrijfsmode, waarbij de data met behulp van externe schakelingen beschermd moet worden tijdens power-up/down. In plaats hiervan kan echter ook de software data-beveiliging worden toegepast. De interne software data-beveiligings-schakeling wordt vrijgegeven na de eerste schrijf-operatie die gebruik maakt van de software algoritme.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-34: Volgorde van gebeurtenissen bij het binnengaan van de software data-beveiligingsmode (page- of byte-write).



Figuur 8/6.2-35: Schrijfvolgorde voor software data-beveiliging.

Deze schakeling is "niet-vluchtig" en blijft altijd in deze toestand, behalve als een reset-commando wordt uitgevoerd. Zodra de software beveiliging is ingeschakeld, is de 28C16 ook beschermd tegen onbedoelde schrijfpogingen als de voedingsspanning wel aanwezig is. Het software algoritme moet dan worden doorlopen voordat de EEPROM extra data kan opnemen.

Software algoritme

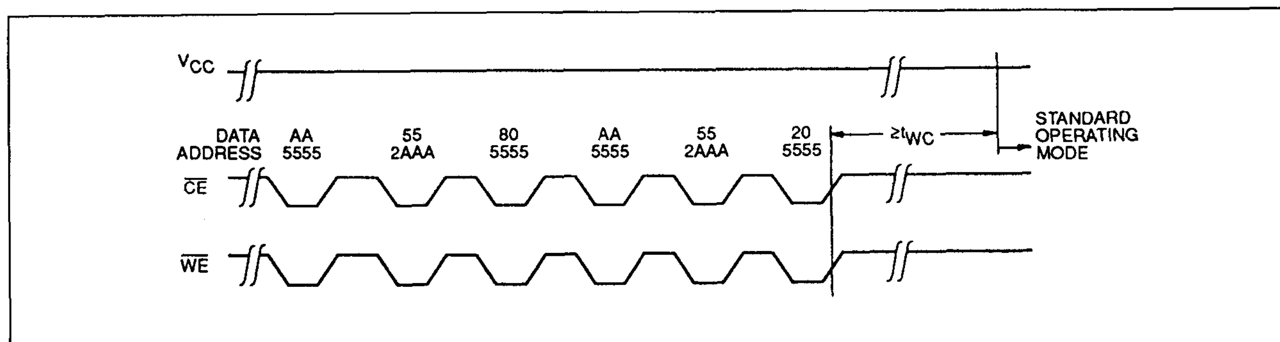
Om in de software data-beveiligingsmode te komen is het nodig dat het computersysteem eerst een serie van drie schrijfoperaties uitvoert op drie specifieke adressen. Eén en ander is te zien in de figuren 8/6.2-34 en -35.

De serie van drie bytes opent het page-write window, waardoor de computer in staat wordt gesteld om 1 tot 64 bytes data te schrijven (als de drie bytes worden gevolgd door een geldige byte- of page-write operatie). Nadat de page-write cyclus is beëindigd komt de EEPROM automatisch in de beveiligde toestand.

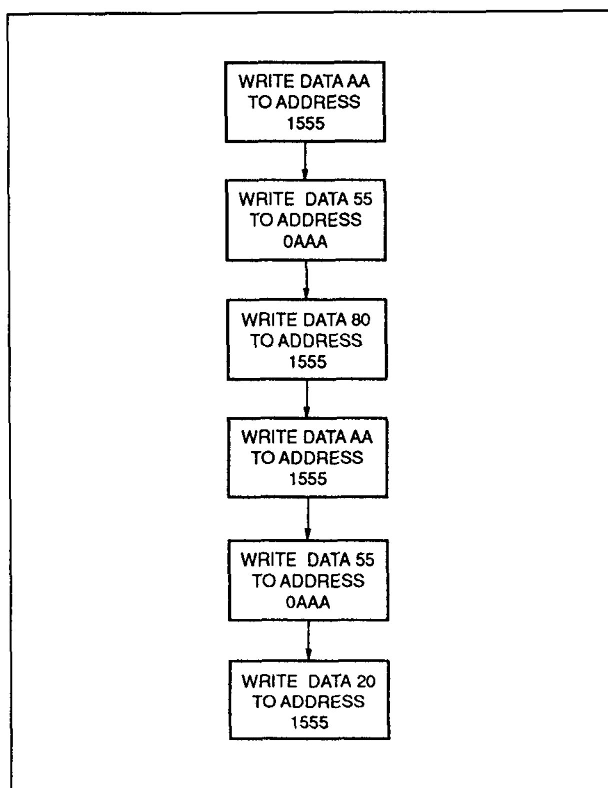
Zodra het software data-beveiligings algoritme wordt gebruikt en data is ingeschreven, spert de 28C16 automatisch alle verdere schrijfpogingen, tenzij een commando wordt gegeven om hiermee te stoppen. Indien geen andere commando's worden ontvangen blijft de 28C16 tijdens power-up/down tegen schrijven beschermd.

In het geval de gebruiker de software databeveiliging wil beëindigen voor testen of herprogrammeren, wordt de interne beveiligingsschakeling door het in de figuren 8/6.2-36 en -37 getoonde zes-staps algoritme gereset. Na t_{WC} komt de 28C16 dan in de standaard bedrijfsmode.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-36: Volgorde van handelingen die nodig zijn voor het resetten van de software data-beveiliging.



Figuur 8/6.2-37: Flow-diagram voor het de-activeren van de software data-beveiliging.

Electronic signature

De 28C16A van Microchip bevat een extra reeks van 32 bytes die door de gebruiker kan worden gebruikt voor identificatie van de EEPROM. Door A9 op 12 V (+/-0,5 V) te brengen en de adreslokaties 7E0 tot en met 7FF te gebruiken kunnen extra bytes op dezelfde manier als het gewone geheugen-array worden geschreven of gelezen.

Optionele Chip Clear

Alle data in de 28C16A van Microchip kan ook in één chip-clear cyclus worden omgezet in allemaal enen door $\overline{OE}$ op 12 V te brengen, terwijl $\overline{WE}$ en $\overline{CE}$ LAAG zijn. Hierdoor wordt alle data gecleared, behalve de extra reeks.

Aanbevelingen voor het systeem

Aangezien de 28C16 vaak in grote geheugen-arrays wordt toegepast is deze EEPROM voorzien van een tweedraads besturing voor lezen en schrijven. Het wordt aanbevolen dat $\overline{CE}$ vanaf de adresbus wordt gedecodeerd om te worden gebruikt als primaire selectie-ingang. Zowel $\overline{OE}$ als $\overline{WE}$ kunnen dan gemeenschappelijk zijn voor alle EEPROM's in het array. Bij een lees-operatie is men dan zeker dat alle niet-geselecteerde 28C16's in de standby-toestand staan en dat alleen het wèl geselecteerde geheugen data op de bus zet.

Omdat de 28C16 twee bedrijfsmodes kent, standby en aktief, is goede ontkoppeling van het geheugen-array zeer belangrijk. Het vrijgeven van $\overline{CE}$ veroorzaakt inschakelstroompieken, waarvan de amplitude afhankelijk is van de capacitieve belasting van de I/O's. De spanningspieken die hierdoor ontstaan kunnen door goed geplaatste condensatoren van de juiste waarde worden onderdrukt. Als minimale waarde moet een ceramische condensator van 0,1 µF tussen V_{CC} en GND van elke EEPROM worden opgenomen. Bovendien wordt aanbevolen per 8 EEPROM's een elektrolytische condensator van 4,7 µF toe te passen.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-23: Waarheidstabel van de 28C16.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias
- X28C16 .... −10°C to +85°C
- X28C16I, X28C16M .... −65°C to +135°C

Storage Temperature .... −65°C to +150°C

Voltage on any Pin with
- *Respect to Ground* .... −1.0V to +7.0V

D.C. Output Current .... 5 mA

Lead Temperature
- *(Soldering, 10 Seconds)* .... 300°C

Tabel 8/6.2-24: Maximaal toegelaten waarden.

D.C. OPERATING CHARACTERISTICS (Over the recommended operating conditions, unless otherwise specified)

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.(1)	Max.		
I_{CC}	V_{CC} Current (Active) (TTL Inputs)		15	40	mA	$\overline{CE} = \overline{OE} = V_{IL}$, $\overline{WE} = V_{IH}$, All I/O's = Open, Address Inputs = 0.4V/2.4V Levels @ f = 5MHz
I_{SB1}	V_{CC} Current (Standby) (TTL Inputs)		1	2	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = V_{IH}
I_{SB2}	V_{CC} Current (Standby) (CMOS Inputs)		100	200	µA	$\overline{CE} = \overline{WE} = V_{CC} - 0.3V$ All I/O's = Open, Other Inputs = Don't Care
I_{LI}	Input Leakage Current			±10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			±10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE} = V_{IH}$
V_{IL}(2)	Input Low Voltage	−1.0		0.8	V	
V_{IH}(2)	Input High Voltage	2.0		V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA

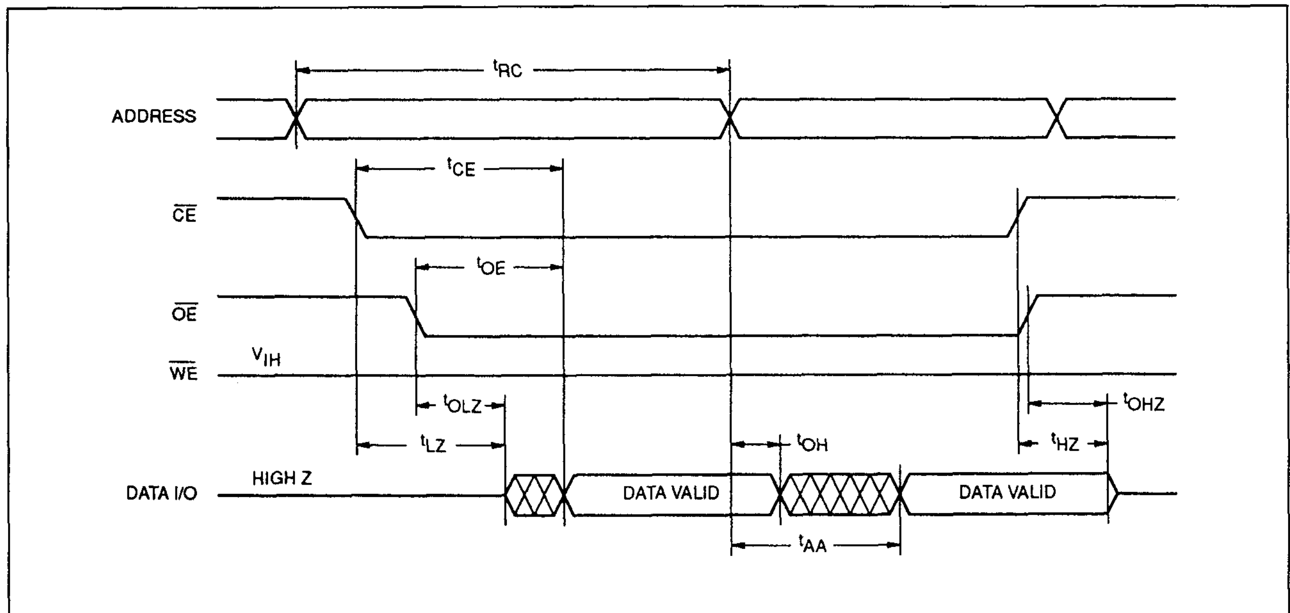
Tabel 8/6.2-25: Gelijkspanningskarakteristieken van de 28C16.

Read Cycle Limits

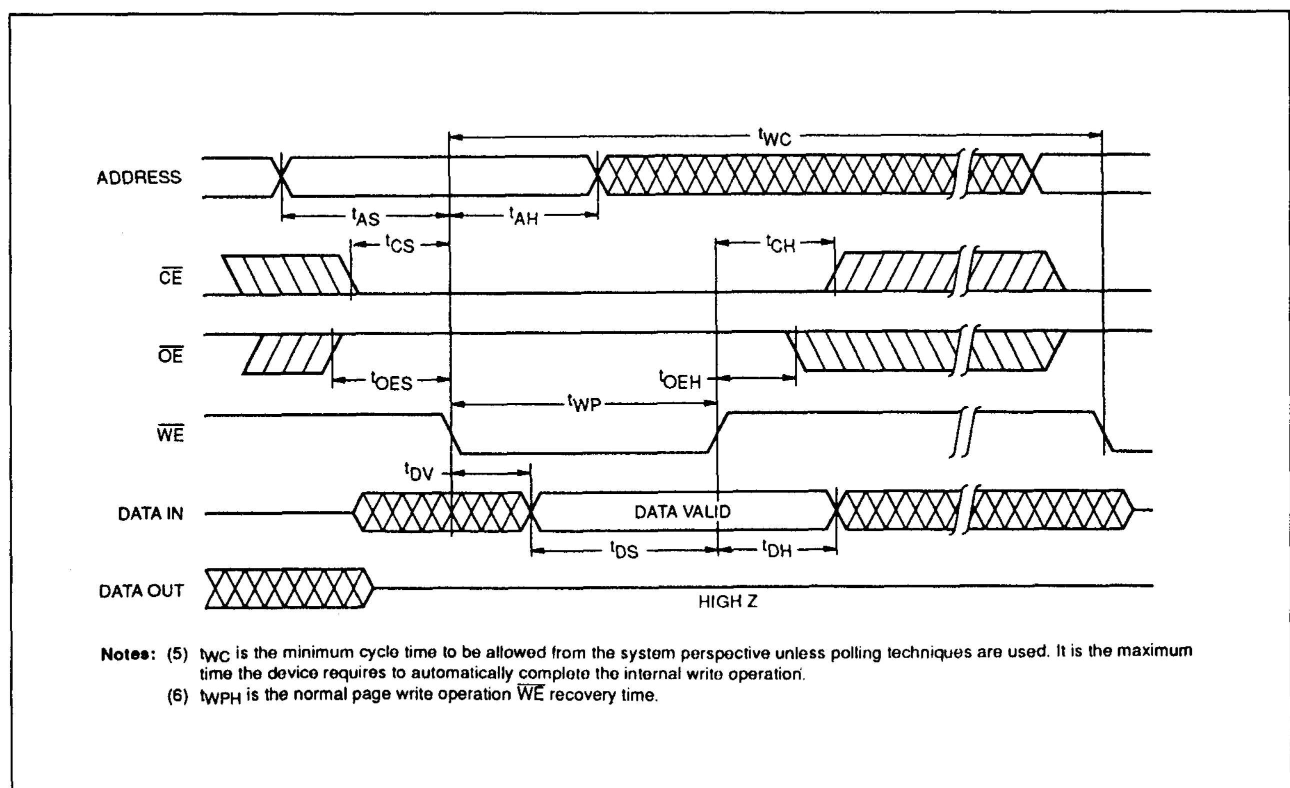
Symbol	Parameter	X28C16-15		X28C16-20		X28C16-25		Units
		Min.	Max.	Min.	Max.	Min.	Max.	
t_{RC}	Read Cycle Time	150		200		250		ns
t_{CE}	Chip Enable Access Time		150		200		250	ns
t_{AA}	Address Access Time		150		200		250	ns
t_{OE}	Output Enable Access Time		70		80		100	ns
t_{LZ}(4)	$\overline{CE}$ Low to Active Output	0		0		0		ns
t_{OLZ}(4)	$\overline{OE}$ Low to Active Output	0		0		0		ns
t_{HZ}(4)	$\overline{CE}$ High to High Z Output		50		50		50	ns
t_{OHZ}(4)	$\overline{OE}$ High to High Z Output		50		50		50	ns
t_{OH}	Output Hold from Address Change	0		0		0		ns

Tabel 8/6.2-26: Schakeltijden bij het uitlezen van verschillende typen 28C16's.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-38: Golfvormen en timing bij het uitlezen van de 28C16.



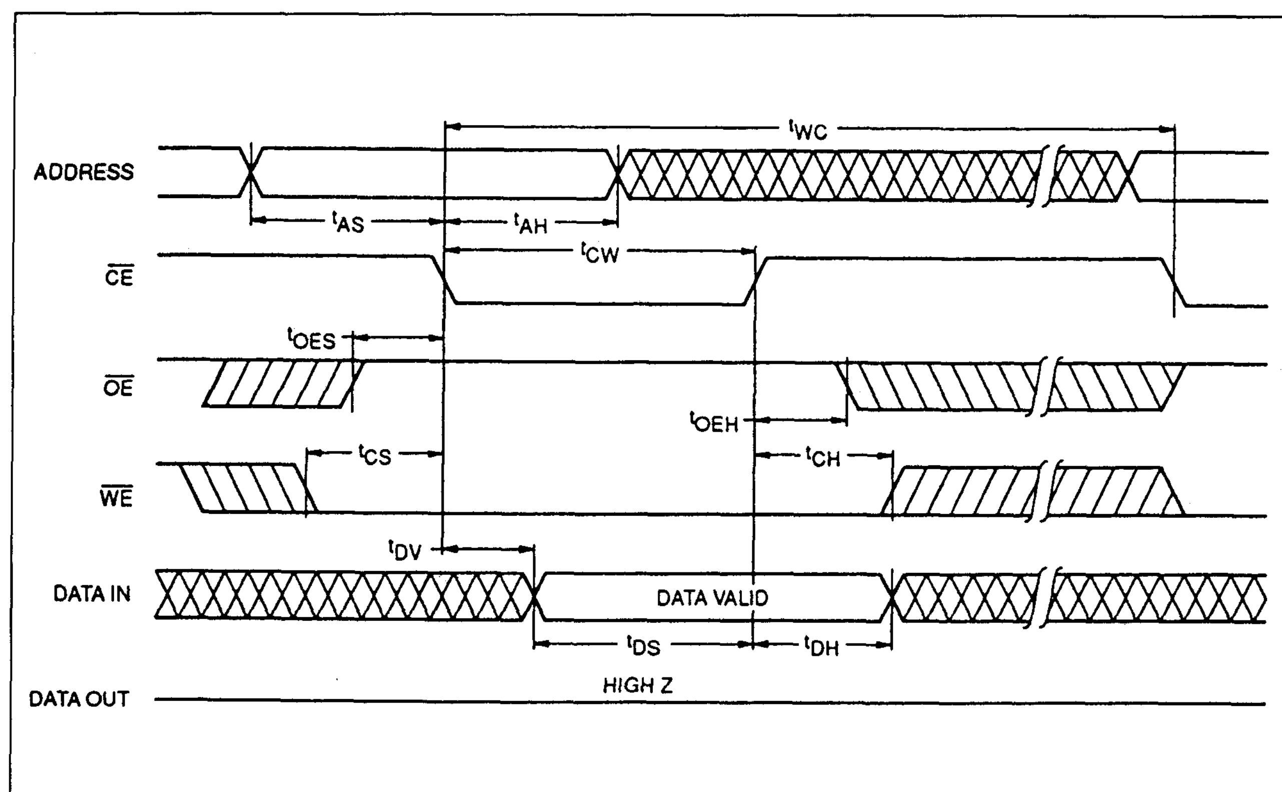
Figuur 8/6.2-39: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

WRITE CYCLE LIMITS

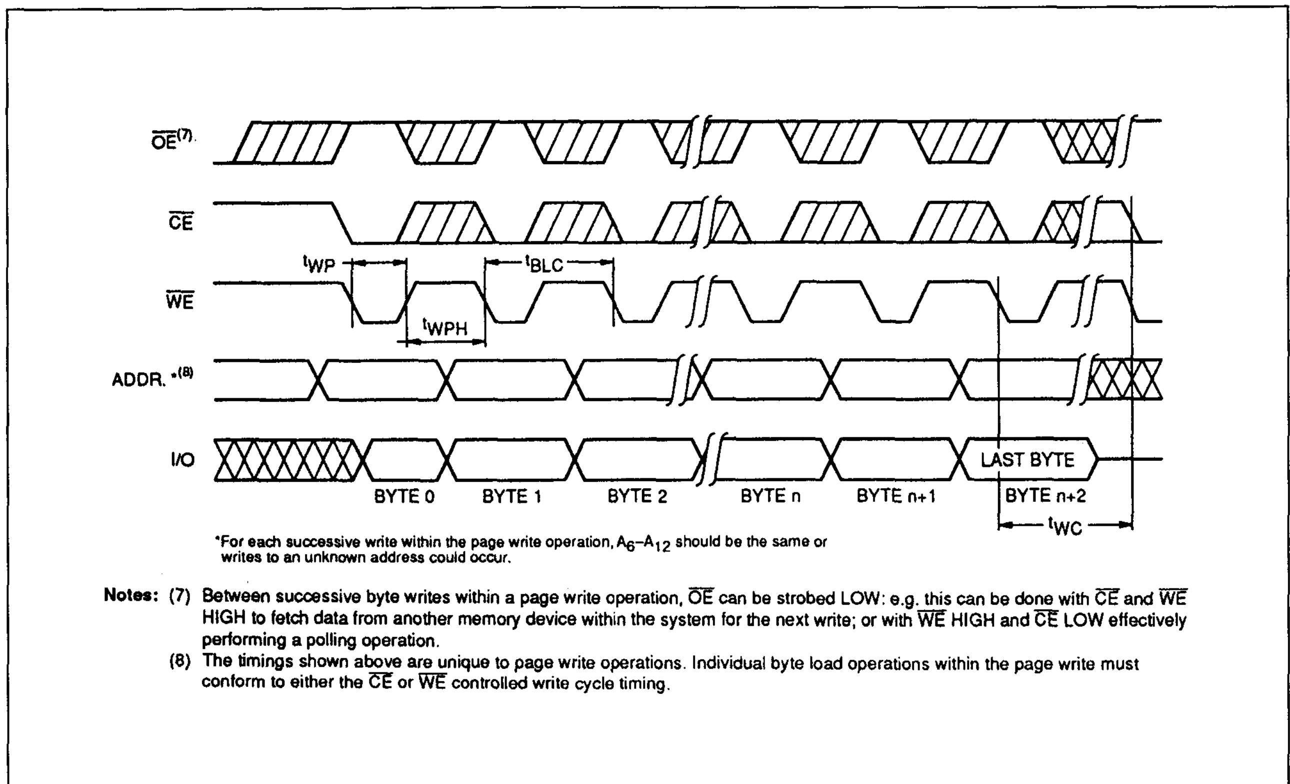
Symbol	Parameter	Min.	Typ.(1)	Max.	Units
t_{WC}(5)	Write Cycle Time		2	5	ms
t_{AS}	Address Setup Time	0			ns
t_{AH}	Address Hold Time	100			ns
t_{CS}	Write Setup Time	0			ns
t_{CH}	Write Hold Time	0			ns
t_{CW}	$\overline{CE}$ Pulse Width	100			ns
t_{OES}	$\overline{OE}$ High Setup Time	10			ns
t_{OEH}	$\overline{OE}$ High Hold Time	10			ns
t_{WP}	$\overline{WE}$ Pulse Width	100			ns
t_{WPH}(6)	$\overline{WE}$ High Recovery	200			ns
t_{DV}	Data Valid			1	µs
t_{DS}	Data Setup	50			ns
t_{DH}	Data Hold	0			ns
t_{DW}	Delay to Next Write	10			µs
t_{BLC}	Byte Load Cycle	0.150		100	µs

Tabel 8/6.2-27: Schakeltijden bij het schrijven in de 28C16.

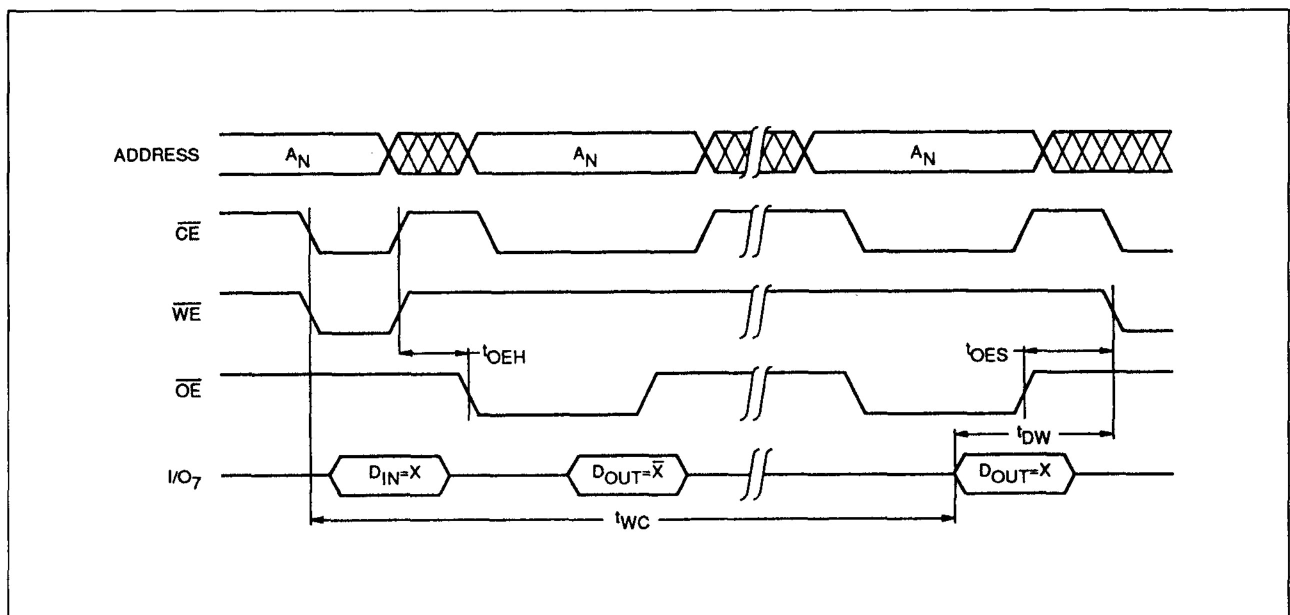


Figuur 8/6.2-40: Golfvormen en timing bij een schrijfcyclus onder $\overline{CE}$-besturing.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

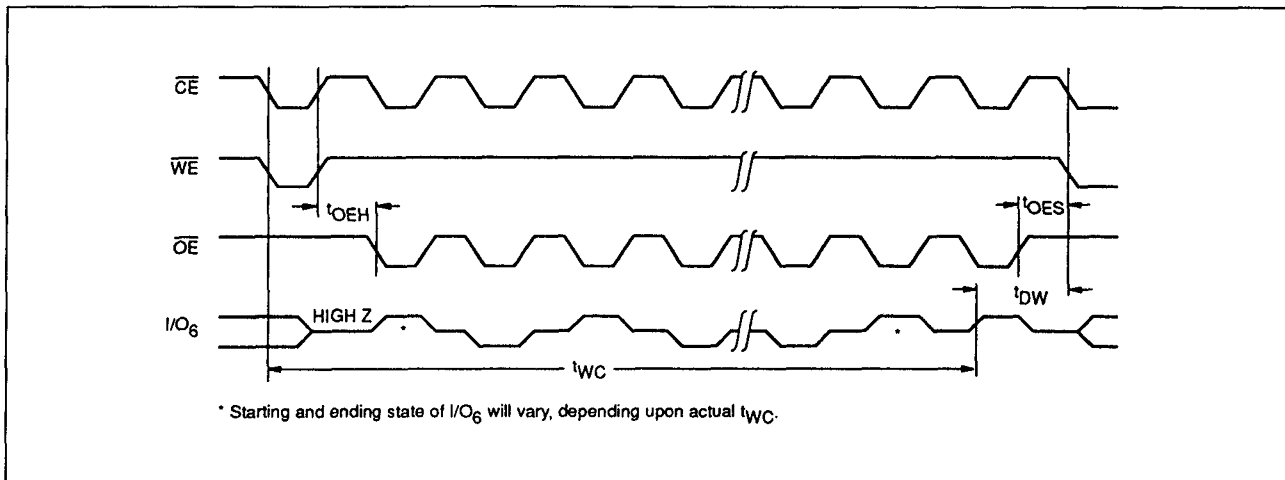


Figuur 8/6.2-41: Timing bij een Page-Write cyclus.



Figuur 8/6.2-42: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-43: Golfvormen en timing bij gebruik van het toggle-bit (Xicor).

2817A

2k x 8 bit EEPROM

De 2817A is een NMOS EEPROM (elektrisch wisbare PROM) met een 2048 x 8 bit organisatie. Data kan net als bij een statische RAM met behulp van TTL-signalen in deze EEPROM worden geschreven en uitgelezen. De 2817A werkt op 5 V, is volledig "zelf-getimed" en levert een Ready-signaal wanneer de programmering klaar is.

Specificaties

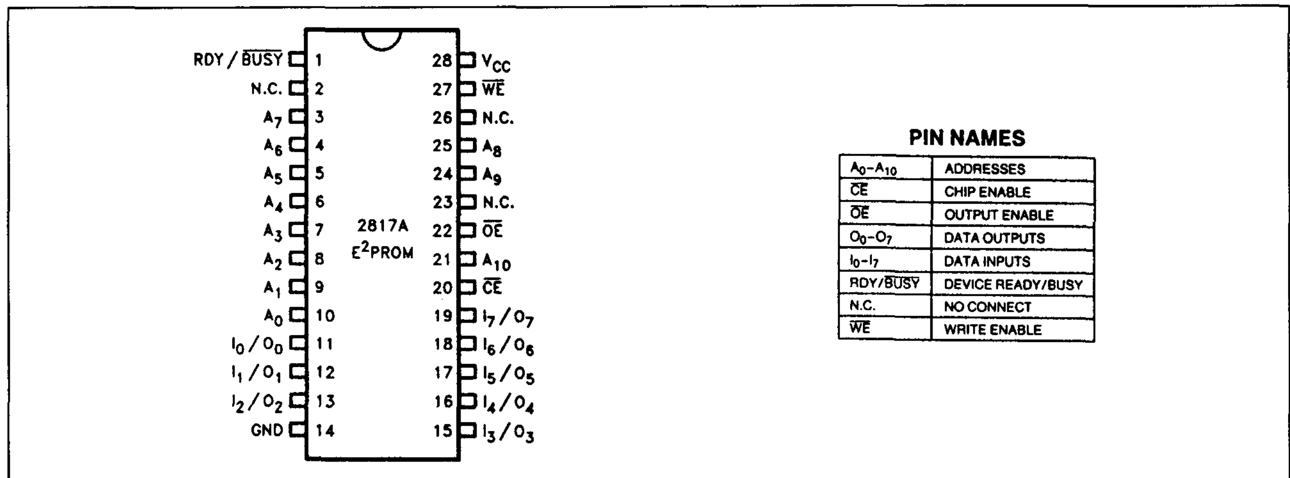
- 2048 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- READY/$\overline{\text{BUSY}}$-lijn voor End-of-Write signaal
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- on-chip timer
- automatische byte-erase voor write
- toegangstijd 200, 250, 300 of 350 ns max.
- byte-write tijd 2 ms
- dissipatie: 110 mA aktief, 50 mA standby
- 28-pens plastic of ceramisch DIL-behuizing (figuur 8/6.2-44)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leveranciers:

Intel: P2817A
Seeq: 2817A
Samsung: KM2817A
Microchip: 28C17A (CMOS)
Catalyst: CAT28C17A (CMOS)

Werking

Er zijn vier bedrijfsmodes (tabel 8/6.2-28) waarvoor signalen op TTL-niveau nodig zijn. Om op een bepaalde lokatie te schrijven moet $\overline{\text{WE}}$ van een geselecteerde EEPROM ($\overline{\text{CE}}$ = LAAG) LAAG worden, terwijl $\overline{\text{OE}}$ HOOG is. Gedurende een byte-schrijfcyclus wordt het adres op de dalende flank van $\overline{\text{WE}}$ of $\overline{\text{CE}}$ (wat het laatst optreedt) in latches opgeslagen. Data wordt dan gelatched op de eerst verschijnende opgaande flank van $\overline{\text{WE}}$ of $\overline{\text{CE}}$. Het byte wordt automatisch gewist voordat de data wordt geschreven.
Terwijl de schrijfcyclus aan de gang is, wordt de RDY/ $\overline{\text{BUSY}}$-uitgang LAAG. De benodigde byte-write tijd wordt door een interne timer bepaald, waarna de RDY/ $\overline{\text{BUSY}}$-uitgang weer HOOG gaat. De RDY/$\overline{\text{BUSY}}$-pen is een open-drain uitgang die meestal via een 3,3 kΩ optrekweerstand met V_{CC} is verbonden. De waarde van deze optrekweerstand is afhankelijk van het aantal RDY/$\overline{\text{BUSY}}$-uitgangen dat met elkaar verbonden is.

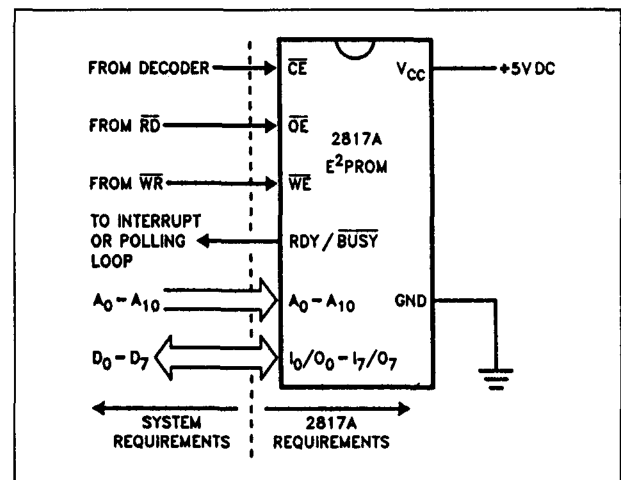
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



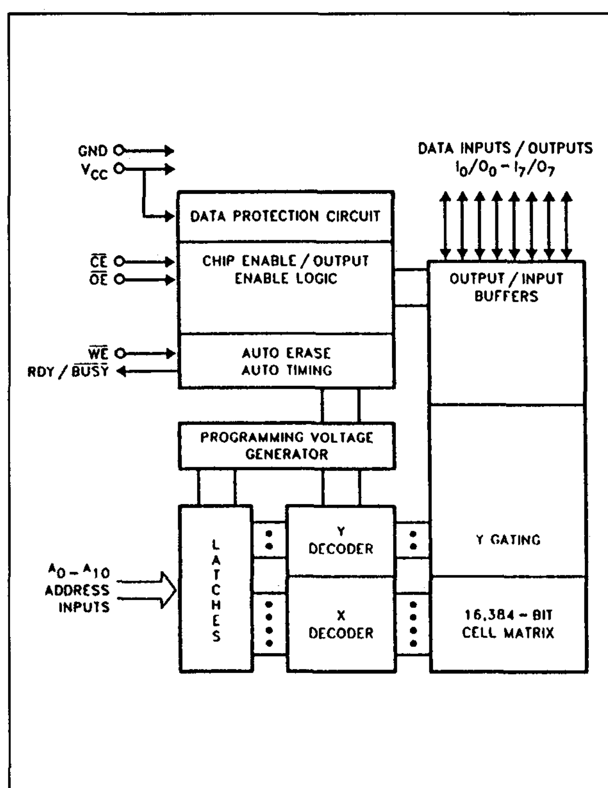
PIN NAMES

A_0-A_{10}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	DATA OUTPUTS
I_0-I_7	DATA INPUTS
RDY/$\overline{BUSY}$	DEVICE READY/BUSY
N.C.	NO CONNECT
$\overline{WE}$	WRITE ENABLE

Figuur 8/6.2-44: Aansluitingen van de 2817A.



Figuur 8/6.2-46: Interface-signalen voor de 2817A.



Figuur 8/6.2-45: Functioneel blokschema van de 2817A.

Mode Selection

Mode/Pin	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O	RDY/$\overline{BUSY}$
Read	V_{IL}	V_{IL}	V_{IH}	D_{OUT}	High Z
Standby	V_{IH}	X	X	High Z	High Z
Byte Write	V_{IL}	V_{IH}	V_{IL}	D_{IN}	V_{OL}
Write Inhibit	X	V_{IL}	X	High Z/D_{OUT}	High Z
	X	X	V_{IH}	High Z/D_{OUT}	High Z

X: any TTL level

Tabel 8/6.2-28: Mode-selectie (waarheidstabel) van de 2817A.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Absolute Maximum Stress Ratings

Temperature
Storage .... –65°C to +150°C
Under Bias .... –10°C to +80° C
D.C. Voltage applied to all Inputs or Outputs
with respect to ground...................... +6.0 V to –0.5 V
Undershoot/Overshoot pulse of less then 10 ns
(measured at 50% point) applied to all inputs or
outputs with respect to ground .... (undershoot) –1.0 V
(overshoot) + 7.0 V

Tabel 8/6.2-29: Maximaal toegelaten waarden.

Power Up/Down

De 2817A heeft interne schakelingen om te voorkomen dat tijdens het opkomen en wegvallen van de voedingsspanning onbedoeld wordt geschreven. Schrijven is niet mogelijk als:

- V_{CC} lager dan 3 V is;
- bij 5 V>V_{CC}>3 V geen negatieve $\overline{WE}$ overgang heeft plaatsgevonden.

D.C. Operating Characteristics (Over the operating V_{CC} and temperature range)

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Condition
I_{CC}	Active V_{CC} Current (Includes Write Operation)		110	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}; All I/O Open; Other Inputs = 5.5 V
I_{SB}	Standby V_{CC} Current		40	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL}; All I/O Open; Other Inputs = 5.5 V
I_{LI}	Input Leakage Current		10	µA	V_{IN} = 5.5 V
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = 5.5 V
V_{IL}	Input Low Voltage	-0.1	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} +1	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = –400 µA

Tabel 8/6.2-30: Gelijkspanningskenmerken van de 2817A.

Read Operation (Over the operating V_{CC} and temperature range)

		Limits									
		2817AH-200 2817A-200		2817AH-250 5517A-250 2817A-250		2817AH-300 5517A-300 2817A-300		2817A-350			
Symbol	Parameter	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Units	Test Conditions
t_{RC}	Read Cycle Time	200		250		300		350		ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
t_{CE}	Chip Enable Access Time		200		250		300		350	ns	$\overline{OE}$ = V_{IL}
t_{AA}	Address Access Time		200		250		300		350	ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
t_{OE}	Output Enable Access Time		90		90		100		100	ns	$\overline{CE}$ = V_{IL}
t_{DF}	Output Enable High to Output Not being Driven		60		60		60		80	ns	$\overline{CE}$ = V_{IL}
t_{OH}	Output Hold from Address Change, Chip Enable, or Output Enable whichever occurs first	0		0		0		0		ns	$\overline{CE}$ or $\overline{OE}$ = V_{IL}

Tabel 8/6.2-31: Schakeltijden bij het uitlezen van 2817A's met verschillende snelheden.

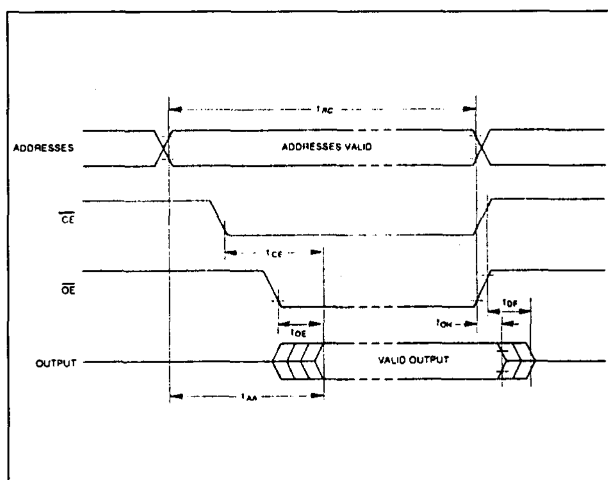
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Write Operation (Over the operating V_{CC} and temperature range)

Symbol	Parameter	Limits								Units
		2817AH-200 2817A-200		2817AH-250 5517A-250 2817A-250		2817AH-300 5517A-300 2817A-300		2817A-350		
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{AS}	Address to Write Set Up Time	10		10		10		10		ns
t_{CS}	$\overline{CE}$ to Write Set Up Time	10		10		10		10		ns
t_{WP}[3]	$\overline{WE}$ Write Pulse Width	120		150		150		150		ns
t_{AH}	Address Hold Time	50		50		50		70		ns
t_{DS}	Data Set Up Time	50		50		50		50		ns
t_{DH}	Data Hold Time	0		0		0		0		ns
t_{CH}	$\overline{CE}$ Hold Time	0		0		0		0		ns
t_{OES}	$\overline{OE}$ Set Up Time	10		10		10		10		ns
t_{OEH}	$\overline{OE}$ Hold Time	10		10		10		10		ns
t_{DL}	Data Latch Time	50		50		50		50		ns
t_{DV}[4]	Data Valid Time		1		1		1		1	µs
t_{DB}	Time to Device Busy		120		120		120		120	ns
t_{WR}	Write Recovery Time Before Read Cycle		10		10		10		10	µs
t_{WC}	Byte Write Cycle Time — 2817A/5517A		10		10		10		10	ms
	Byte Write Cycle Time — 2817AH		2		2		2			ms

NOTES:
1. This parameter is measured only for the initial qualification and after process or design changes which may affect capacitance.
2. Characterized. Not tested.
3. $\overline{WE}$ is noise protected. Less than a 20 ns write pulse will not activate a write cycle. Max. recommended t_{WP} is 150 µs.
4. Data must be valid within 1 µs maximum after the initiation of a write cycle.

Tabel 8/6.2-32: Schakeltijden bij het schrijven in 2817A's met verschillende snelheden.



Figuur 8/6.2-47: Golfvormen en timing bij het uitlezen van de 2817A.

28C17A

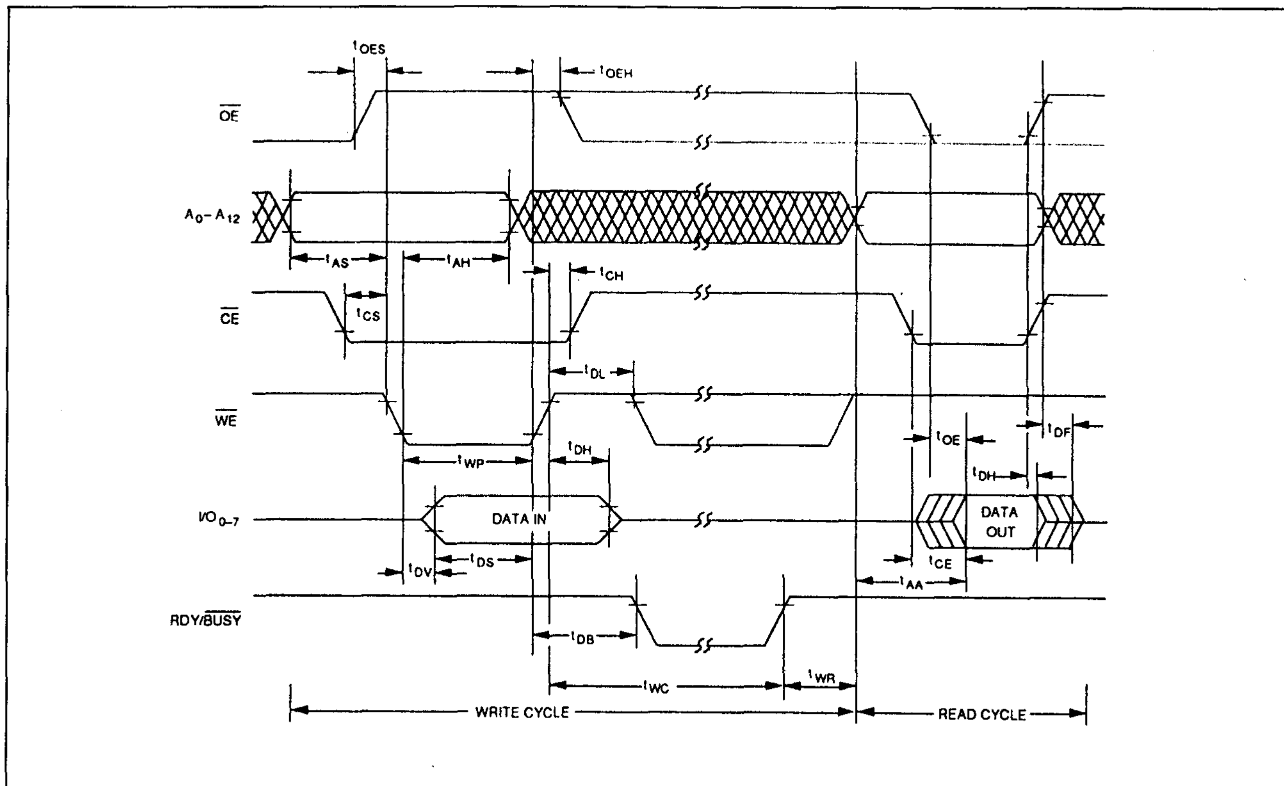
2k x 8 bit CMOS EEPROM

De 28C17A is de CMOS-uitvoering van de 16 k EEPROM met Ready/Busy-signaal (2817A).

Gedurende een byte-write worden data en adres intern in latches opgeslagen. De EEPROM verzorgt hierbij zelf de timing. Data wordt op dezelfde manier als bij een statische RAM geschreven en uitgelezen. De op 5 V werkende 28C17A levert een Ready-signaal wanneer de programmering klaar is, waardoor data-polling niet nodig (maar wel mogelijk) is.

De 28C17A is leverbaar in commerciële, industriële en militaire uitvoering.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-48: Golfvormen en timing bij een schrijfcyclus.

Specificaties

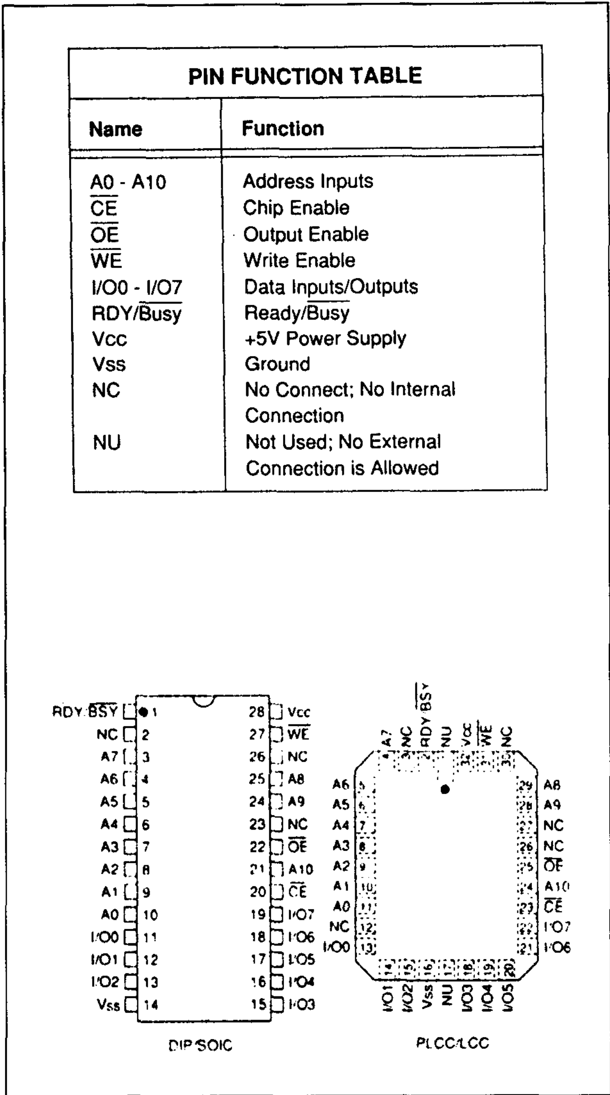
- 2048 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- READY/$\overline{\text{BUSY}}$-signaal
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- on-chip timer
- automatische Clear-voor-Write
- toegangstijd 150, 200 of 250 ns max.
- byte-write tijd 200 µs of 1ms
- CMOS dissipatie: 30 mA aktief, 100 µA standby
- 28-pens plastic/ceramisch DIL-behuizing of plastic SOIC of 32-pens (P)LCC (figuur 8/6.2-49)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- Microchip-type: Electronic Signature
- leveranciers:

  Samsung: KM28C17
  Microchip: 28C17A
  Catalyst: CAT28C17A
  Atmel: AT28C17(E,F)

Werking

De werking van de 28C17A is vrijwel identiek aan die van het NMOS-type 2817A. Hier worden alleen de afwijkende en aanvullende eigenschappen behandeld. Lezen, schrijven, standby, data-beveiliging en data-polling gebeurt bij de 28C17A op dezelfde wijze als bij de 2817A met behulp van $\overline{\text{CE}}$, $\overline{\text{WE}}$, $\overline{\text{OE}}$. Hierbij kan gebruik worden gemaakt van I/O7 of het RDY/$\overline{\text{BUSY}}$-signaal. De vier gebruikelijke bedrijfsmodes worden ingesteld met signalen op TTL-niveau (tabel 8/6.2-33). Bovendien kent de 28C17A van Microchip nog enkele extra besturingsmechanismen die in tabel 8/6.2-34 staan.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



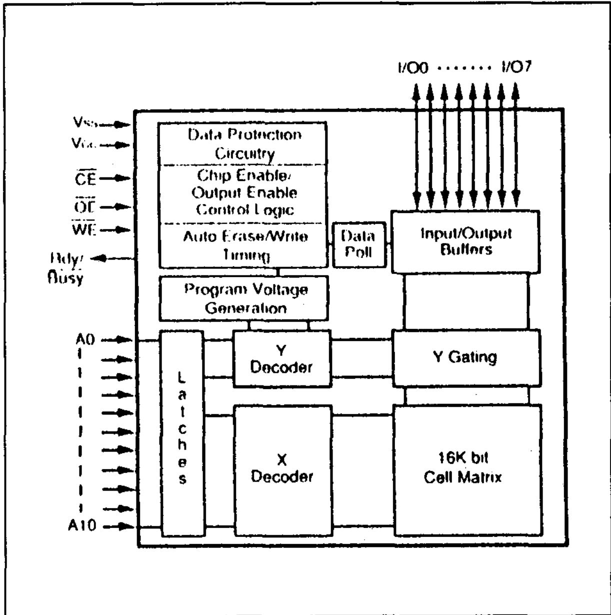
PIN FUNCTION TABLE	
Name	**Function**
A0 - A10	Address Inputs
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
RDY/$\overline{Busy}$	Ready/$\overline{Busy}$
Vcc	+5V Power Supply
Vss	Ground
NC	No Connect; No Internal Connection
NU	Not Used; No External Connection is Allowed

Figuur 8/6.2-49: Aansluitingen van de DIP/DOIC- en (P)LCC-uitvoering van de 28C17A.

Operation Mode	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O	Rdy/$\overline{Busy}$(1)
Read	L	L	H	DOUT	H
Standby	H	X	X	High Z	H
Write Inhibit	H	X	X	High Z	H
Write Inhibit	X	L	X	High Z	H
Write Inhibit	X	X	H	High Z	H
Byte Write	L	H	L	DIN	L
Byte Clear	Automatic Before Each "Write"				

Note: (1) Open drain output.
(2) X = Any TTL level.

Tabel 8/6.2-33: Selectie van de bedrijfsmodes.



Figuur 8/6.2-50: Functioneel blokschema van de 28C17A.

SUPPLEMENTARY CONTROL						
Mode	**$\overline{CE}$**	**$\overline{OE}$**	**$\overline{WE}$**	**A9**	**Vcc**	**I/Oi**
Chip Clear	VIL	VH	VIL	X	Vcc	
Extra Row Read	VIL	VIL	VIH	A9 = VH	Vcc	Data Out
Extra Row Write	*	VIH	*	A9 = VH	Vcc	Data In
Note: VH = 12.0V ±0.5V	* Pulsed per programming waveforms.					

Tabel 8/6.2-34: Aanvullende commando's.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

V_{CC} and input voltages w.r.t. V_{SS}	-0.6V to + 6.25V
Voltage on $\overline{OE}$ w.r.t. V_{SS}	-0.6V to +13.5V
Voltage on A9 w.r.t. V_{SS}	-0.6V to +13.5V
Output Voltage w.r.t. V_{SS}	-0.6V to V_{CC}+0.6V
Storage temperature	-65° C to 125° C
Ambient temp. with power applied	-50° C to 95° C

Tabel 8/6.2-35: Maximaal toegelaten waarden.

Electronic signature

De 28C17A van Microchip heeft een extra rij van 32 bytes die kan worden gebruikt voor identificatie van de chip. Door de spanning op A9 te verhogen tot 12 V (+/-0,5 V) en de adreslokaties 7E0 tot en met 7FF te gebruiken kunnen de extra bytes op dezelfde manier als het gewone geheugen-array worden geschreven of gelezen.

Optionele Chip Clear

In de 28C17A van Microchip kan alle data met één chip-clear cyclus worden veranderd in "enen" door $\overline{OE}$ te verhogen tot 12 V, terwijl $\overline{WE}$ en $\overline{CE}$ LAAG zijn.
Hierdoor wordt alle data behalve de extra reeks gecleared.

READ / WRITE OPERATION
DC Characteristics

V_{CC} = +5V ±10%
Commercial (C): Tamb= 0° C to 70° C
Industrial (I): Tamb= -40° C to 85° C
Automotive (E): Tamb= -40° C to 125° C

Parameter	Status	Symbol	Min	Max	Units	Conditions
Input Voltages	Logic "1" Logic "0"	V_{IH} V_{IL}	2.0 -0.1	V_{CC}+1 0.8	V V	
Input Leakage		I_{LI}	-10	10	µA	V_{IN}= -0.1V to V_{CC}+1
Input Capacitance		C_{IN}		10	pF	V_{IN} = 0V; Tamb = 25° C; f = 1 MHz
Output Voltages	Logic "1" Logic "0"	V_{OH} V_{OL}	2.4	 0.45	V V	I_{OH} = -400µA I_{OL} = 2.1mA
Output Leakage		I_{LO}	-10	10	µA	V_{OUT}= -0.1V to V_{CC}+0.1V
Output Capacitance		C_{OUT}		12	pF	V_{IN} = 0V; Tamb = 25° C; f = 1 MHz
Power Suppy Current, Active	TTL input	I_{CC}		30	mA	f = 5 MHz (Note 1) V_{CC} = 5.5V;
Power Supply Current, Standby	TTL input TTL input CMOS input	$I_{CC(S)TTL}$ $I_{CC(S)TTL}$ $I_{CC(S)CMOS}$		2 3 100	mA mA µA	$\overline{CE}$ = V_{IH} (0° C to 70° C) $\overline{CE}$ = V_{IH} (-40° C to 125° C) $\overline{CE}$ = V_{CC}-0.3 to V_{CC}+1

Note: (1) AC power supply current above 5 MHz: 1 mA/MHz

Tabel 8/6.2-36: Gelijkspanningskenmerken van de 28C17A.

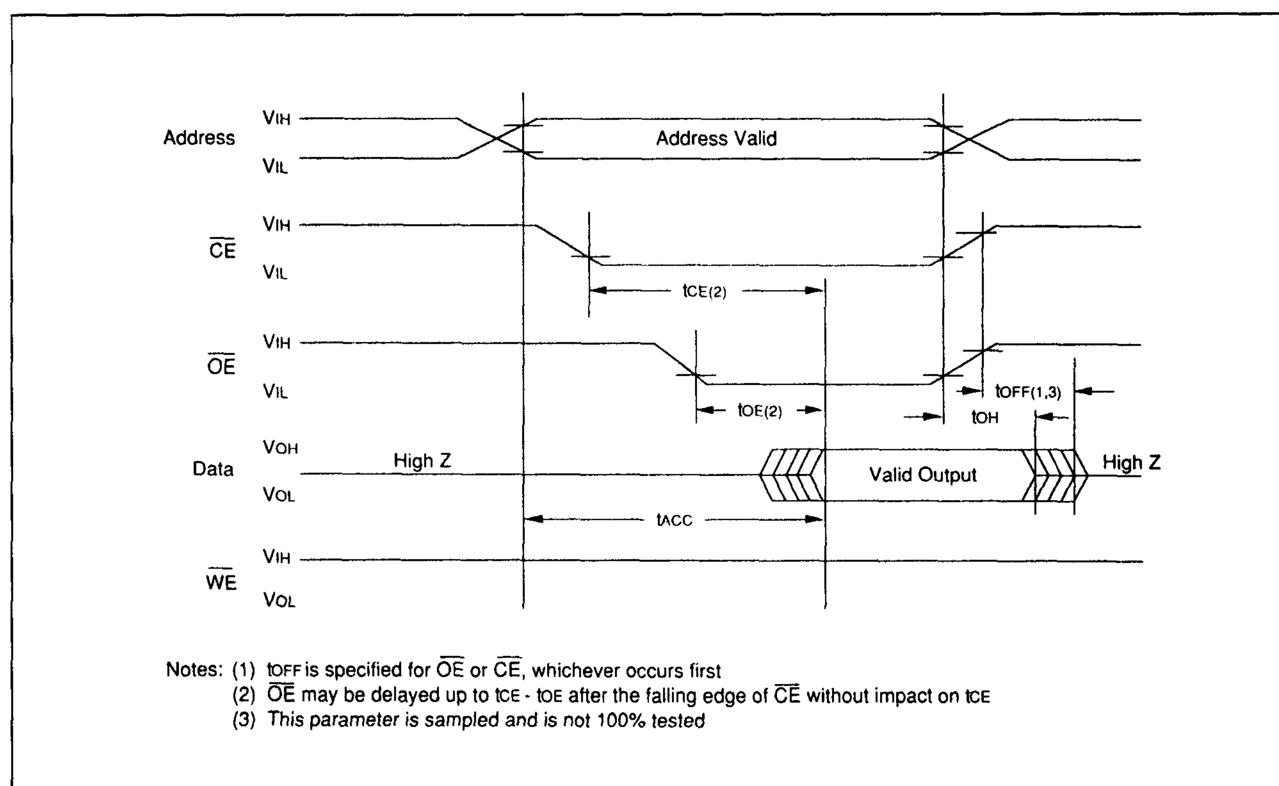
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

READ OPERATION
AC Characteristics

AC Testing Waveform: V_{IH} = 2.4V; V_{IL} = 0.45V; V_{OH} = 2.0V; V_{OL} = 0.8V
Output Load: 1 TTL Load + 100 pF
Input Rise and Fall Times: 20 nsec
Ambient Temperature: Commercial (C): Tamb = 0° C to 70° C
Industrial (I): Tamb = -40° C to 85° C
Automotive (E): Tamb = -40° C to 125° C

Parameter	Sym	28C17A-15		28C17A-20		28C17A-25		Units	Conditions
		Min	Max	Min	Max	Min	Max		
Address to Output Delay	t_{ACC}		150		200		250	ns	$\overline{OE}$ = $\overline{CE}$ = V_{IL}
$\overline{CE}$ to Output Delay	t_{CE}		150		200		250	ns	$\overline{OE}$ = V_{IL}
$\overline{OE}$ to Output Delay	t_{OE}		70		80		100	ns	$\overline{CE}$ = V_{IL}
$\overline{CE}$ or $\overline{OE}$ High to Output Float	t_{OFF}	0	50	0	55	0	70	ns	
Output Hold from Address, $\overline{CE}$ *or $\overline{OE}$, whichever occurs first.*	t_{OH}	0		0		0		ns	

Tabel 8/6.2-37: Timing bij het uitlezen van 28C17A's met verschillende snelheden.



Figuur 8/6.2-51: Golfvormen en timing bij het uitlezen van de 28C17A.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

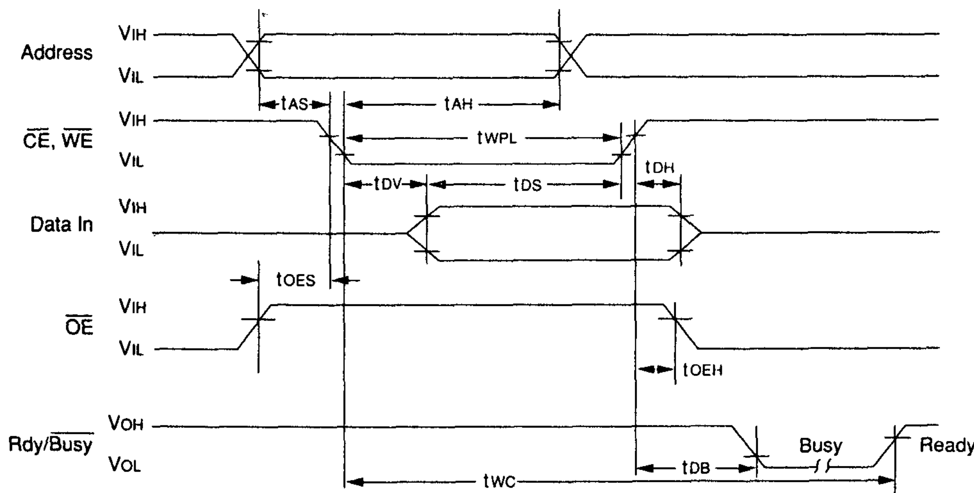
BYTE WRITE
AC Characteristics

AC Testing Waveform: V_{IH} = 2.4V and V_{IL} = 0.45V; V_{OH} = 2.0V; V_{OL} = 0.8V
Output Load: 1 TTL Load + 100 pF
Input Rise/Fall Times: 20 nsec
Ambient Temperature: Commercial (C): Tamb = 0° C to 70° C
Industrial (I): Tamb = -40° C to 85° C
Automotive (E): Tamb = -40° C to 125° C

Parameter	Symbol	Min	Max	Units	Remarks
Address Set-Up Time	t_{AS}	10		ns	
Address Hold Time	t_{AH}	50		ns	
Data Set-Up Time	t_{DS}	50		ns	
Data Hold Time	t_{DH}	10		ns	
Write Pulse Width	t_{WPL}	100		ns	Note 1
Write Pulse High Time	t_{WPH}	50		ns	
$\overline{OE}$ Hold Time	t_{OEH}	10		ns	
$\overline{OE}$ Set-Up Time	t_{OES}	10		ns	
Data Valid Time	t_{DV}		1000	ns	Note 2
Time to Device Busy	t_{DB}	2	50	ns	
Write Cycle Time (28C17A)	t_{WC}		1	ms	0.5 ms typical
Write Cycle Time (28C17AF)	t_{WC}		200	µs	100µs typical

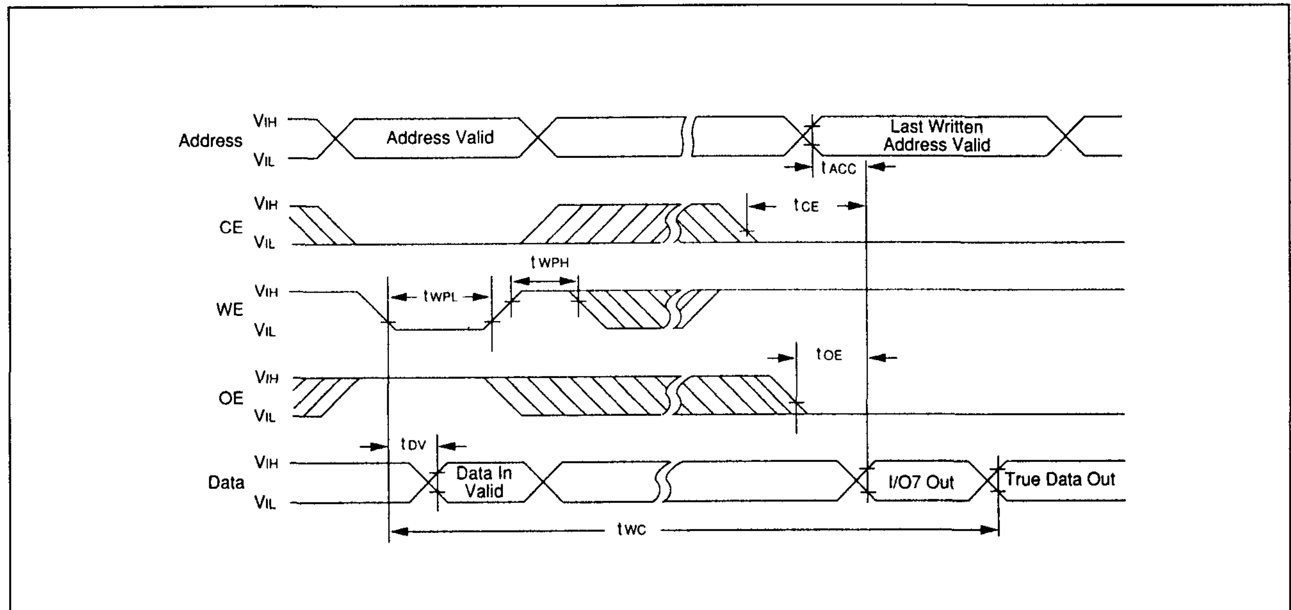
Note: (1) A write cycle can be initiated be $\overline{CE}$ or $\overline{WE}$ going low, whichever occurs last. The data is latched on the positive edge of $\overline{CE}$ or $\overline{WE}$, wichever occurs first.
(2) Data must be valid within 1000ns max. after a write cycle is initiated and must be stable at least until t_{DH} after the positive edge of WE or CE, whichever occurs first.

Tabel 8/6.2-38: Schakeltijden bij het programmeren van (schrijven in) 28C17A's met verschillende snelheden.

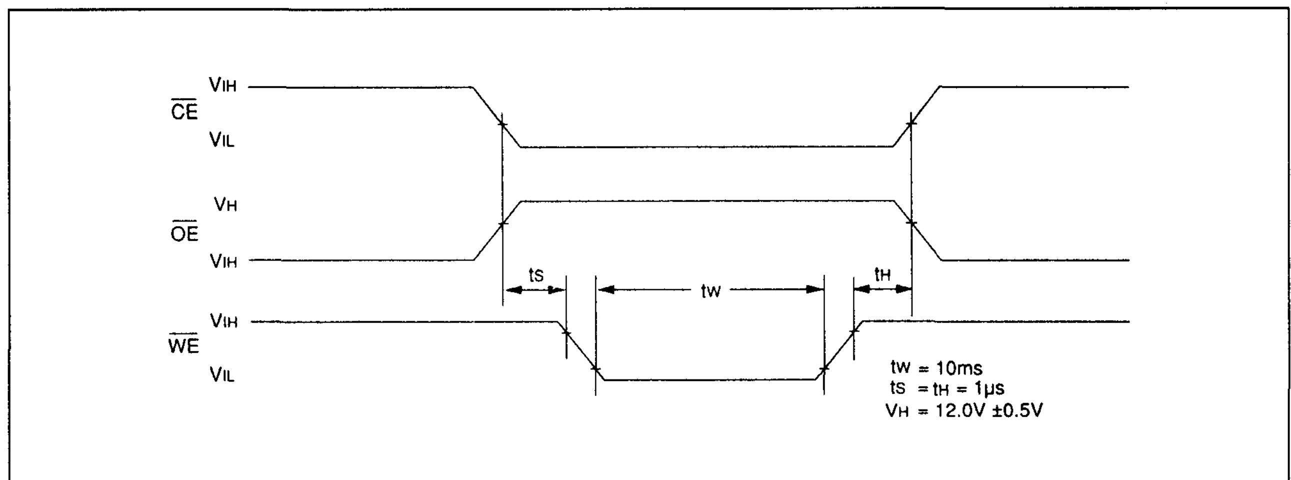


Figuur 8/6.2-52: Golfvormen en timing bij het programmeren.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-53: Golfvormen bij $\overline{\text{DATA}}$-polling.



Figuur 8/6.2-54: Golfvormen bij CHIP CLEAR.

2864

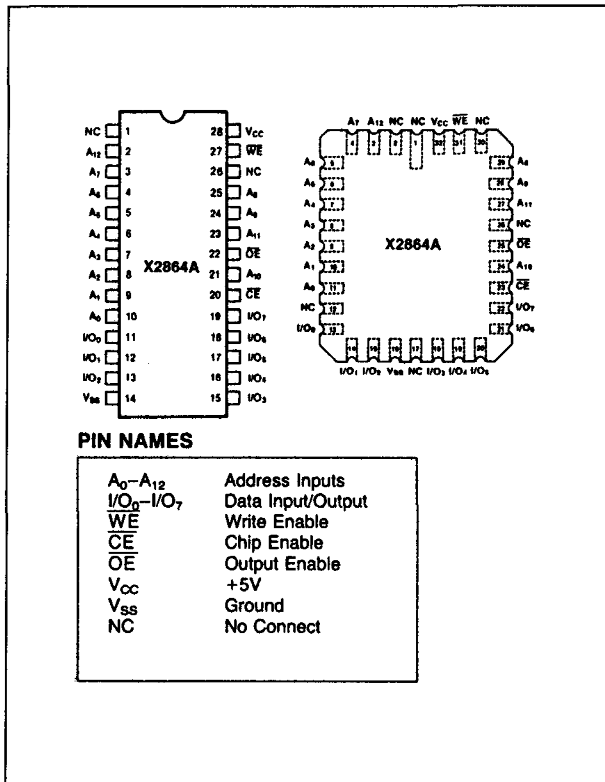
8k x 8 bit EEPROM

De 2864 is een 64 k EEPROM (elektrisch wisbaar/herprogrammeerbaar geheugen), georganiseerd in 8192 8 bit woorden. Het schrijven van data in deze EEPROM is net zo gemakkelijk als schrijven in een statische RAM en gebeurt met behulp van standaard signalen op TTL-niveau.

De 2864 is gefabriceerd met een N-kanaals zwevende gate MOS-technologie. Het bereik van de page-write operaties is afhankelijk van het type: de 2864A(I,M) is geschikt voor 16 byte page-write operaties (2864B en 2864H: 32 byte page-write).

De schrijfcyclus van de 2864A bedraagt gemiddeld 300 µs/byte, zodat het gehele geheugen in minder dan 2,6 s kan worden beschreven. Bij de 2864B/H wordt met 95 µs/byte geschreven, zodat de totale inhoud van het geheugen binnen 750 ms veranderd kan worden.

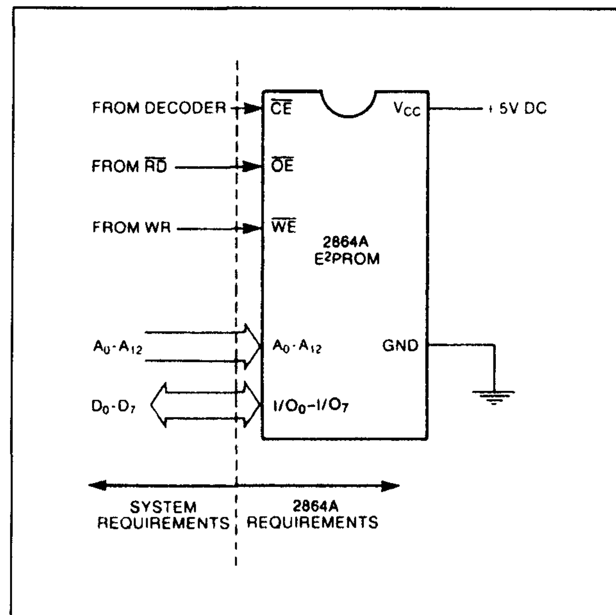
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



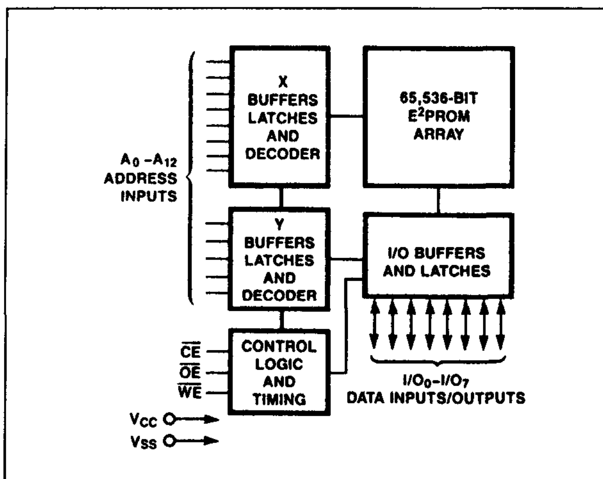
Figuur 8/6.2-55: Aansluitingen van de DIL- en PLCC-uitvoering van de 2864. De M2864 van Seeq heeft RDY/$\overline{BUSY}$-signaal (DIL: pen 1, LCC: pen 2).

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-39: Mode-selectie van de 2864.



Figuur 8/6.2-57: Interface-signalen van/naar de 2864.



Figuur 8/6.2-56: Functioneel blokschema van de 2864 (de M2864 van Seeq heeft een Ready/$\overline{Busy}$-uitgang).

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias
X2864A .... −10°C to +85°C
X2864AI .... −65°C to +135°C
Storage Temperature .... −65°C to +150°C
Voltage on any Pin with
Respect to Ground........................ −1.0V to +7V
D.C. Output Current..................................5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Tabel 8/6.2-40: Maximaal toegelaten waarden.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

D.C. OPERATING CHARACTERISTICS

X2864A T_A = 0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X2864AI T_A = −40°C to +85°C, V_{CC} = +5V ±10%, unless otherwise specified.

Symbol	Parameter	X2864A Limits		X2864AI Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.		
I_{CC}	V_{CC} Current (Active)		140		140	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{SB}	V_{CC} Current (Standby)		60		70	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current		10		10	μA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10		10	μA	V_{OUT} = GND to V_{CC}, $\overline{CE}$ = V_{IH}
V_{IL}(3)	Input Low Voltage	−1.0	0.8	−1.0	0.8	V	
V_{IH}(3)	Input High Voltage	2.0	V_{CC} + 0.5	2.0	V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage		0.4		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		2.4		V	I_{OH} = −400 μA

Tabel 8/6.2-41: DC-kenmerken van de 2864A.

Met de 2864 van alle merken is $\overline{DATA}$-polling mogelijk. De M2864(H) van Seeq beschikt over een Ready/Busy-pen. De 2864 is in commerciële, industriële en militaire uitvoering leverbaar.

Specificaties

- 8192 x 8 bit organisatie
- enkele 5 V +/-10 % voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- toegangstijd 2864A: 250 ns min. (2864B: 120 ns, 2864H: 70 ns min.)
- 2864A byte- of page-write tijd 5 ms (2864B/H: 3 ms)
- 2864A: 16 byte Page-write, 2864B/H: 32 byte
- herschrijven gehele 2864A in 2,6 s (2864B/H in 750 ms)
- $\overline{DATA}$-polling (M2864 van Seeq: Ready/Busy-pen)
- dissipatie: 140 mA aktief, 70 mA standby max.
- 28-pens plastic of ceramisch DIL- of 32-pens PLCC-behuizing (figuur 8/6.2-55)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X2864A(I,M),X2864B/H
  Intel: P2864A/B
  Seeq: M2864(H)
  Exel: XL2864A

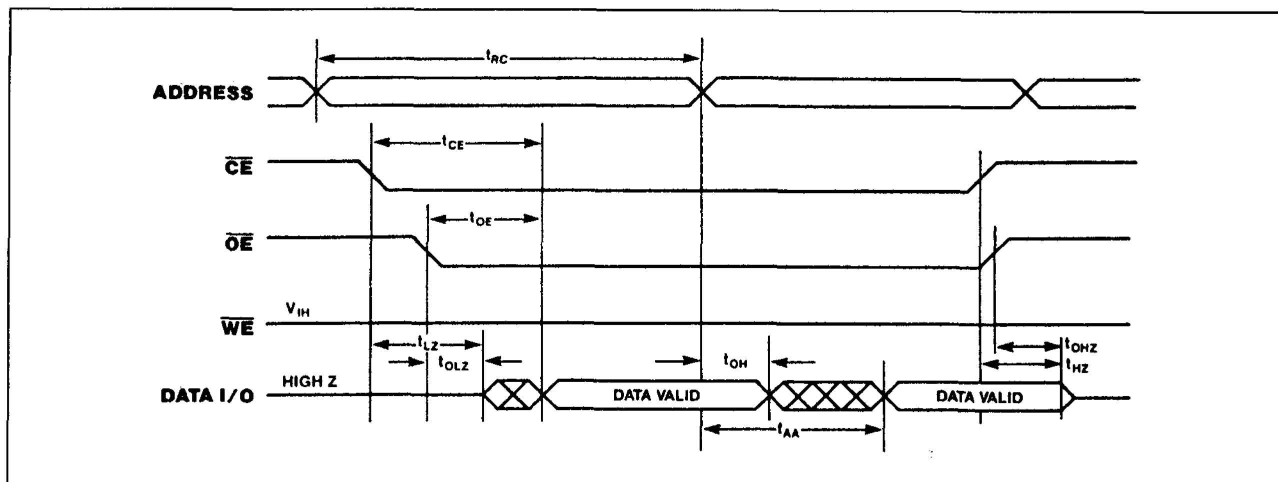
Lezen (Read)

Het uitlezen van de 2864 is mogelijk door $\overline{OE}$ en $\overline{CE}$ beide LAAG te maken. Het lezen eindigt als $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. Door deze 2-draads besturing wordt busrivaliteit in het systeem vermeden. Als $\overline{CE}$ en/of $\overline{OE}$ HOOG is, is de databus hoog-impedant.

Schrijven (Write)

In de 2864 wordt geschreven als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. Aangezien het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ wordt gelatched kan de schrijfcyclus zowel door $\overline{CE}$ als door $\overline{WE}$ worden bestuurd. Op overeenkomstige manier wordt data intern gelatched op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Wanneer een byte-schrijfoperatie eenmaal begonnen is, zal die automatisch worden voltooid (meestal binnen 5 ms).

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-58: Golfvormen en timing bij het uitlezen van de 2864.

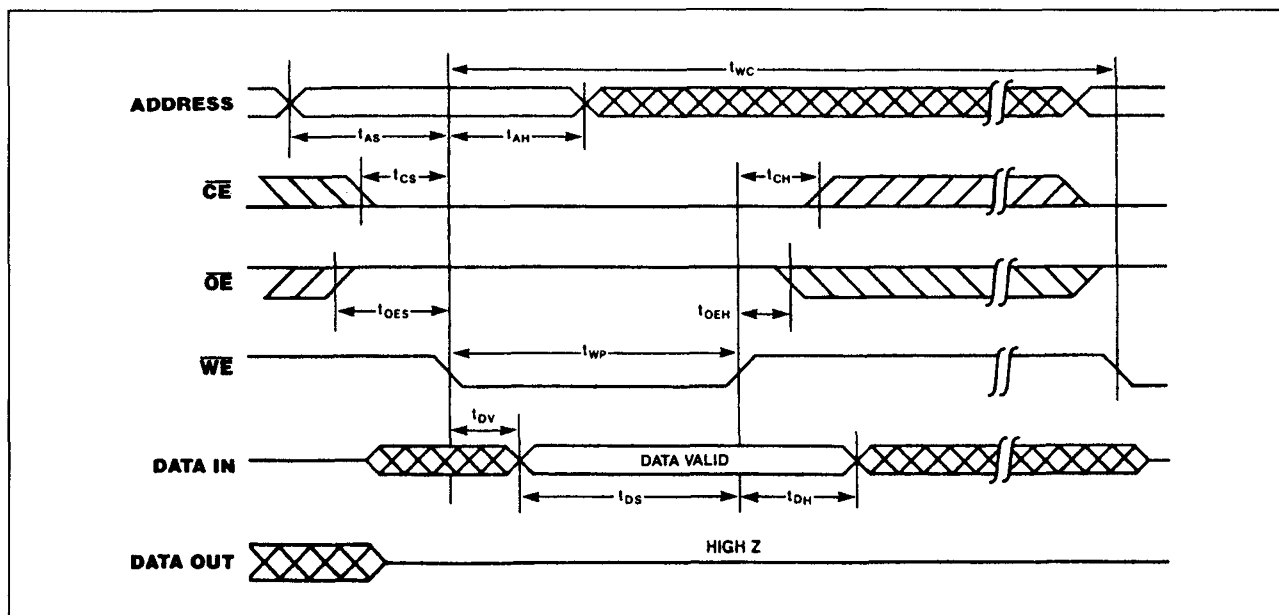
Symbol	Parameter	X2864A-25 X2864AI-25		X2864A X2864AI		X2864A-35 X2864AI-35		X2864A-45 X2864AI-45		Units
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{RC}	Read Cycle Time	250		300		350		450		ns
t_{CE}	Chip Enable Access Time		250		300		350		450	ns
t_{AA}	Address Access Time		250		300		350		450	ns
t_{OE}	Output Enable Access Time		100		100		100		100	ns
$t_{LZ}^{(4)}$	Chip Enable to Output in Low Z	10		10		10		10		ns
$t_{HZ}^{(4)}$	Chip Disable to Output in High Z	10	60	10	80	10	80	10	100	ns
$t_{OLZ}^{(4)}$	Output Enable to Output in Low Z	10		10		10		10		ns
$t_{OHZ}^{(4)}$	Output Disable to Output in High Z	10	60	10	80	10	80	10	100	ns
t_{OH}	Output Hold from Address Change	10		10		10		10		ns

Tabel 8/6.2-42: Schakeltijden bij uitlezen van 2864A's met verschillende snelheden.

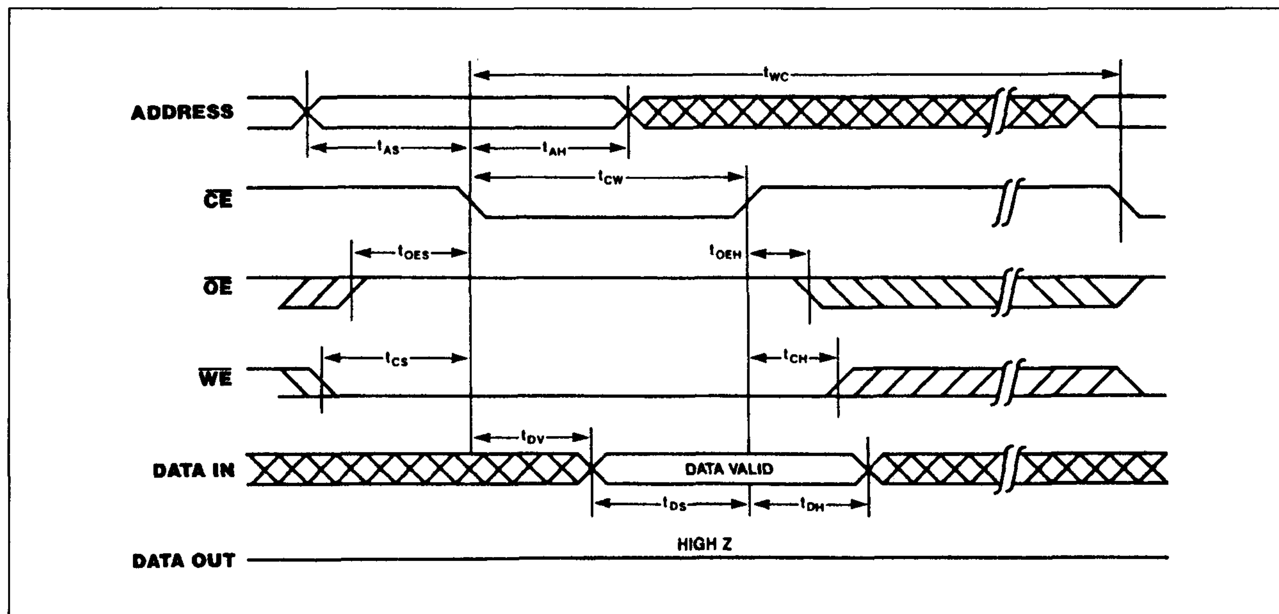
Page Write operatie

De Page-Write operatie maakt beschrijving van de gehele EEPROM in een veel kortere tijd mogelijk: de 2864A in 2,6 s en de 2864B (of -H) in 750 ms. Met Page-Write kunnen 2 tot 16 (32) bytes data achter elkaar worden geschreven, voordat de interne programmeercyclus begint. Het doel-adres voor een page-write operatie moet op dezelfde pagina blijven: A4 (A5) tot en met A12 mogen niet veranderen. De Page-Write mode kan tijdens elke schrijf-handeling beginnen. Nadat de computer de eerste byte-schrijfcyclus heeft uitgevoerd kunnen nog 1 tot 16 (32) bytes op dezelfde manier als de eerste byte worden toegevoegd. Iedere volgende byte-schrijf cyclus moet binnen 20 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Wordt een volgende $\overline{WE}$ HOOG-naar-LAAG overgang niet binnen 20 µs gedetecteerd dan zal de interne automatische programmeercyclus beginnen.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-59: Golfvormen en timing bij een door $\overline{\text{WE}}$ bestuurde schrijfcyclus.



Figuur 8/6.2-60: Golfvormen en timing van een door $\overline{\text{CE}}$ bestuurde schrijfcyclus.

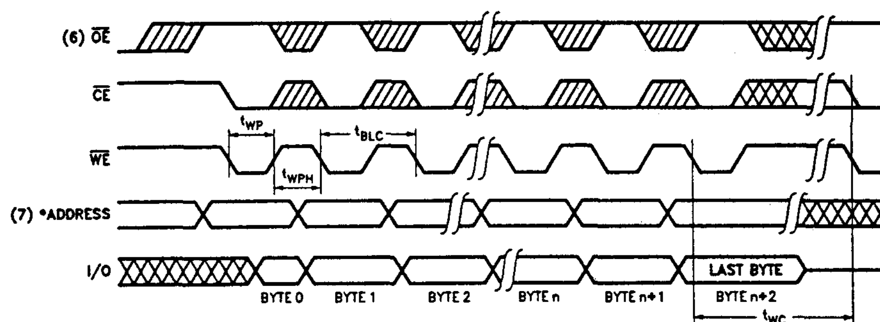
$\overline{\text{DATA}}$-polling

Bij de 2864 is $\overline{\text{DATA}}$-polling mogelijk om het computersysteem te informeren dat een byte-write of page-write cyclus klaar is. Hierbij kan de status van de 2864 met een eenvoudige bittest worden vastgesteld. Gedurende een interne programmeercyclus zal elke poging om de laatst geschreven byte te lezen het complement daarvan op I/O7 opleveren (als bijvoorbeeld 0xxx xxxx werd geschreven, zal 1xxx xxxx verschijnen). Na beëindiging van de programmeercyclus zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-61).

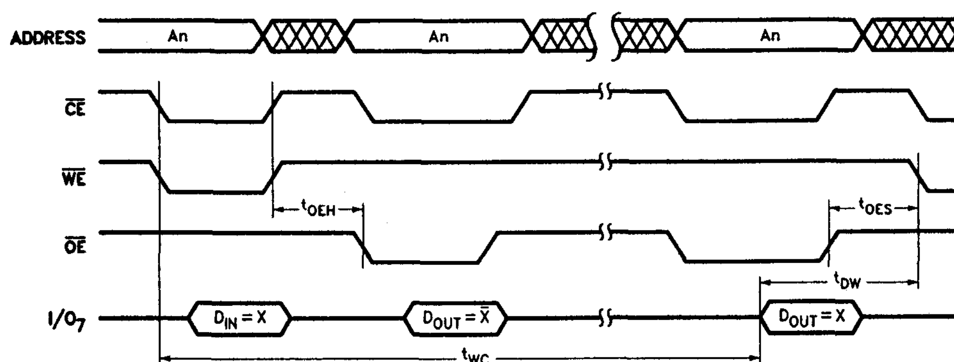
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

Symbol	Parameter	Min.	Max.	Units
t_{WC}(5)	Write Cycle Time		10	ms
t_{AS}	Address Setup Time	10		ns
t_{AH}	Address Hold Time	200		ns
t_{CS}	Write Setup Time	0		ns
t_{CH}	Write Hold Time	0		ns
t_{CW}	$\overline{CE}$ Pulse Width	150		ns
t_{OES}	$\overline{OE}$ High Setup Time	10		ns
t_{OEH}	$\overline{OE}$ High Hold Time	10		ns
t_{WP}	$\overline{WE}$ Pulse Width	150		ns
t_{WPH}	$\overline{WE}$ High Recovery	50		ns
t_{DV}	Data Valid		300	ns
t_{DS}	Data Setup	100		ns
t_{DH}	Data Hold	20		ns
t_{DW}	Delay to Next Write	500		µs
t_{BLC}	Byte Load Cycle	3	40	µs

Tabel 8/6.2-43: Timing bij schrijven in de 2864A.



Figuur 8/6.2-61: Timing en golfvormen bij een Page-Mode schrijfcyclus.



Figuur 8/6.2-62: Golfvormen bij $\overline{\text{DATA}}$-polling op I/O7.

Write Protection

Er zijn drie methoden om te voorkomen dat per ongeluk in de 2864 wordt geschreven:

- elke $\overline{WE}$-puls moet langer duren dan 20 ns;
- alle functies worden gesperd als V_{CC} lager dan 3 V is;
- tijdens power-on/off is schrijven niet mogelijk als $\overline{OE}$ LAAG is, of $\overline{WE}$ of $\overline{CE}$ HOOG.

28C64

8k x 8 bit CMOS EEPROM

De 28C64 is de CMOS-uitvoering van de hiervoor behandelde 2864. Deze EEPROM dissipeert minder, is sneller en heeft (afhankelijk van het merk) een aantal extra's. Voor lezen en schrijven van data (dat op dezelfde manier als bij statische RAM's gebeurt) is geen extra logika nodig. De 28C64 werkt op 5 V en kan signalen op TTL- of CMOS-niveau verwerken.

De 28C64 kan 64 byte page-write operaties uitvoeren, waardoor een gemiddelde schrijfcyclus van 78 µs/byte wordt verkregen en het totale geheugen binnen 0,625 s kan worden beschreven.

De 28C64 is geschikt voor $\overline{DATA}$-polling, terwijl met de X28C64 van Xicor ook "Toggle Bit Polling" mogelijk is. De 28C64A van Microchip heeft een "Electronic Signature" en een Ready/Busy-signaal, maar hierbij is geen page-write mogelijk (met de 28CP64A/B wel).

Specificaties

- 8192 x 8 bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen met latches
- 3-state data-uitgangen
- CMOS/TTL compatibel
- toegangstijd 28C64: 150, 200 of 250 ns (28HC64: 55, 70, 90 of 120 ns)
- 64 byte page-write operatie
- byte- of page-write tijd 5 ms typ.
- herschrijven gehele EEPROM in 0,625 s
- effectieve byte-write cyclustijd: 78 µs typ.
- low-power CMOS: aktieve stroom: 60 mA, standby-stroom: 200 µA
- software data-beveiliging
- $\overline{DATA}$-polling
- 28-pens plastic of ceramisch DIL- of SOIC-behuizing, 32-pens PLCC-behuizing of 28-pens PGA (figuur 8/6.2-63)
- Microchip-type: electronic signature en Ready/Busy;
  Xicor-type: toggle bit polling
- levensduur: minimaal 100.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X28C64(I,M), X28HC64
  Samsung: KM28C64
  Microchip: 28C64A, 28CP64A/B
  Exel: XL28C64
  Catalyst: CAT28C64A/B
  Atmel: AT28C64(F,E,X)
  NEC: µPD28C64C/D
  General Instrument: 28C64

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-44: Mode-selectie van de 28C64.

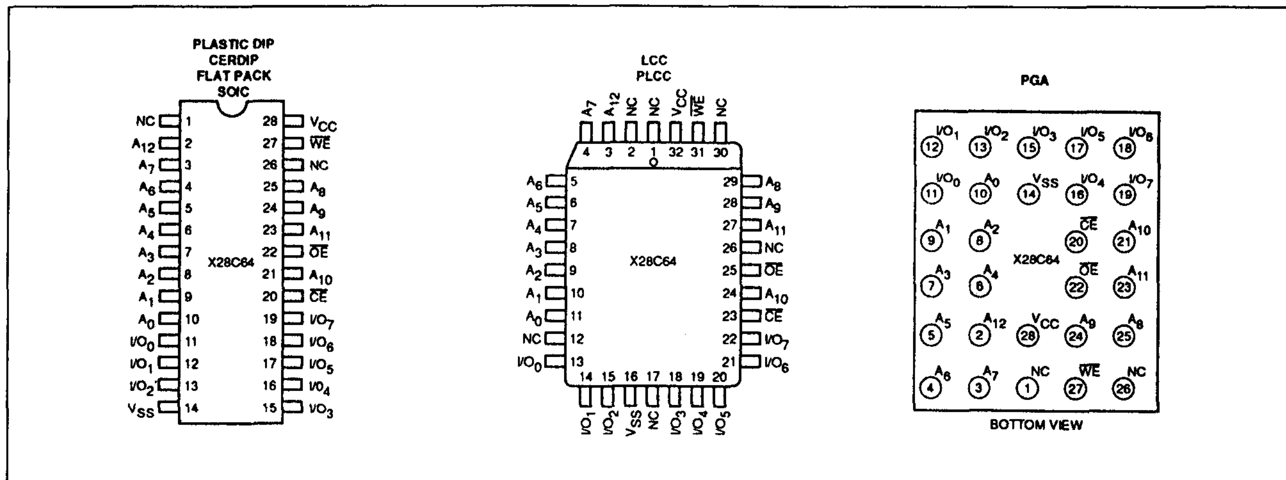
Lezen (Read)

De leescyclus van de 28C64 begint door $\overline{OE}$ en $\overline{CE}$ LAAG te maken en eindigt als $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. Met deze 2-draads besturing wordt busrivaliteit in het systeem voorkomen. Als $\overline{OE}$ of $\overline{CE}$ HOOG is, is de databus hoog-impedant.

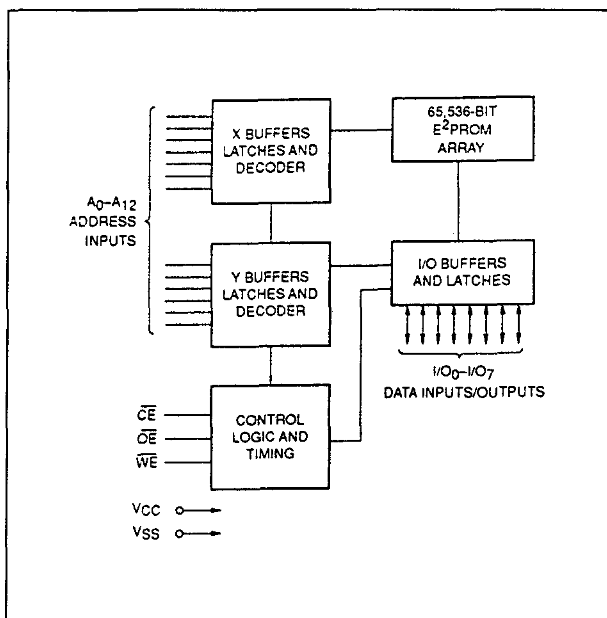
Schrijven (Write)

De schrijfcyclus van de 28C64 begint als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is.

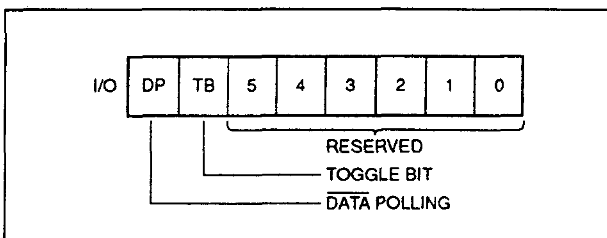
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-63: Aansluitingen van de DIL-, PLCC- en PGA-behuizingen van de 28C64.



Figuur 8/6.2-64: Functioneel blokschema van de 28C64.



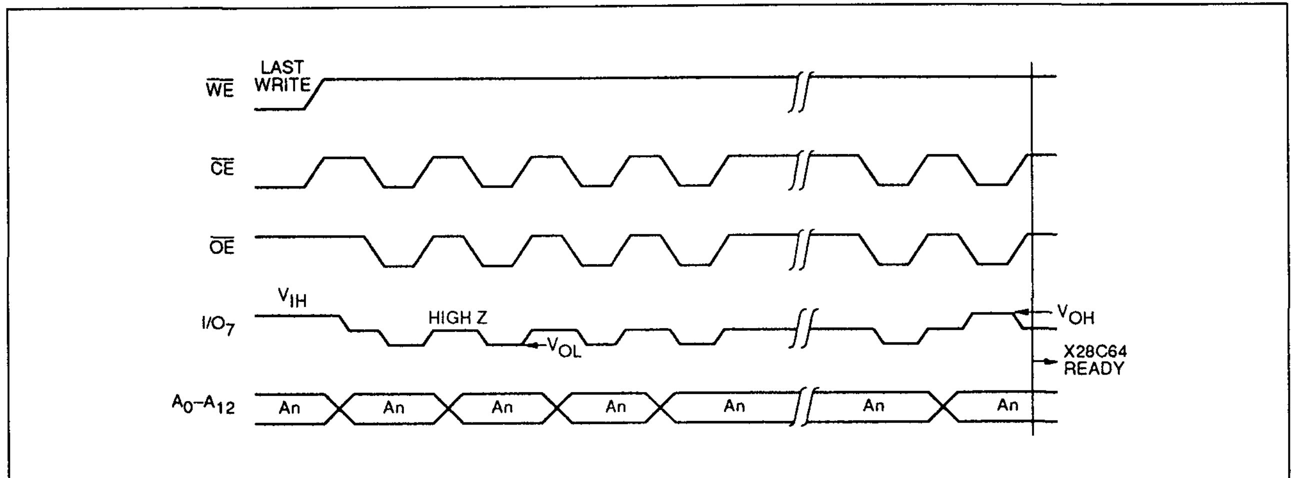
Figuur 8/6.2-65: Betekenis van de statusbits (alleen Xicor-type).

Het schrijven kan door $\overline{CE}$ of door $\overline{WE}$ worden bestuurd, omdat het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches wordt opgeslagen.
Op dezelfde wijze wordt data intern gelatched op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Een byte-schrijfoperatie die eenmaal begonnen is, wordt automatisch binnen 5 ms voltooid.

Page-Write operatie

Met de Page-Write operatie kan de gehele 28C64 in 0,625 s worden volgeschreven. Met Page-Write kunnen 2 tot 64 bytes data aaneengesloten in de 28C64 worden geschreven, voordat de interne programmeercyclus begint. De computer kan gedurende een page-write operatie wel data uit een ander adres in het systeem ophalen (en daarbij van bron-adres veranderen), maar het doel-adres moet op dezelfde pagina blijven: A6 tot en met A12 mogen niet veranderen.
De Page-Write mode kan tijdens elke schrijfoperatie worden geopend. Na de eerste byte-schrijfcyclus kan de computer nog 1 tot 63 bytes op dezelfde manier schrijven. Elke daarop volgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet binnen 100 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-66: Golfvormen bij DATA-polling op I/O7.

Als een volgende WE HOOG-naar-LAAG overgang niet binnen 100 µs wordt gedetecteerd zal de interne automatische programmeercyclus beginnen. Het page-write bereik (window) is oneindig groot zolang de computer telkens binnen 100 µs toegang verkrijgt tot de 28C64.

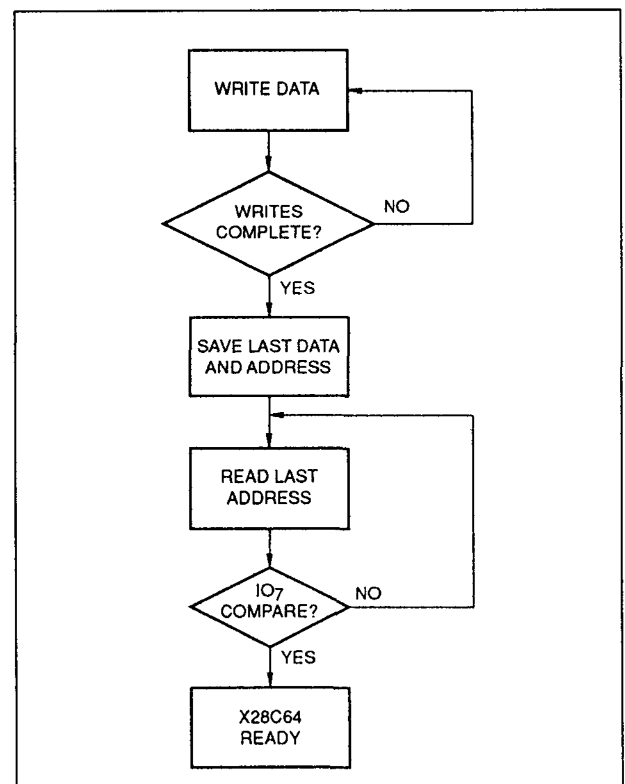
Statusbits tijdens de schrijf-operatie

Bij de 28C64 van Xicor kan de gebruiker over twee write-operation statusbits beschikken om het systeem te optimaliseren. Deze statusbits worden gedurende de interne programmeercyclus op de I/O-bus gezet (zie figuur 8/6.2-65).

DATA-polling (I/O7)

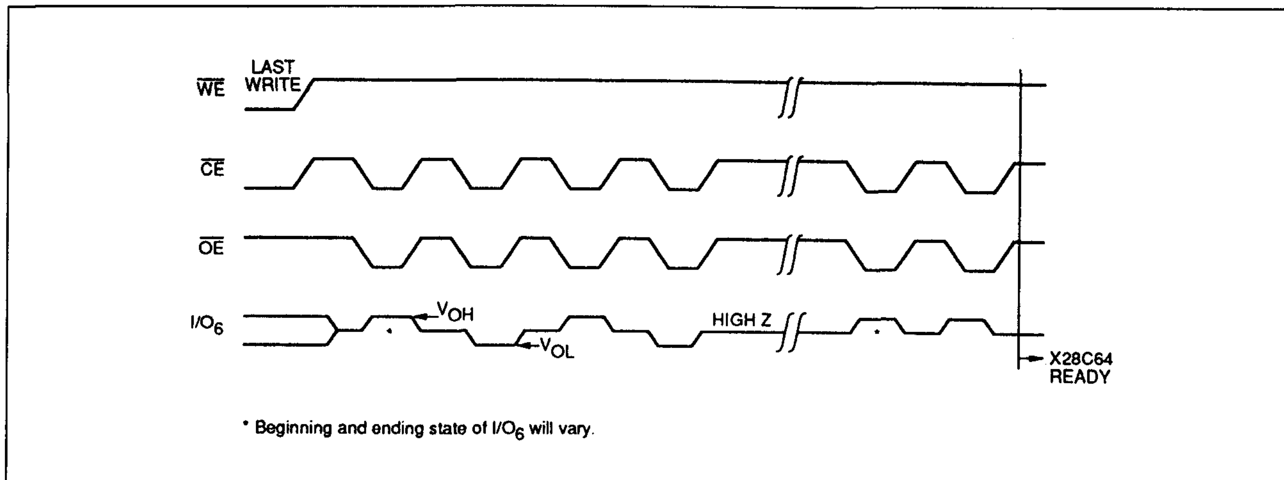
Bij alle 28C64-typen kan de DATA-polling methode worden gebruikt om te detecteren dat een byte-write of page-write cyclus is beëindigd. Een eenvoudige bittest is dan voldoende om de status van de 28C64 te bepalen. Tijdens de interne programmeercyclus zal elke poging om de laatst geschreven byte te lezen het complement daarvan op I/O7 opleveren (als bijvoorbeeld 0xxx xxxx werd geschreven, zal 1xxx xxxx verschijnen). Wanneer de programmeercyclus klaar is, zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-66). Met DATA-polling kan de 28C64 in de helft van de tijd worden volgeschreven.

In figuur 8/6.2-67 is de opzet van de hiervoor benodigde software te zien. Merk op dat als de 28C64 in de beveiligde toestand is en een illegale schrijf-operatie wordt geprobeerd DATA-polling niet mogelijk is.

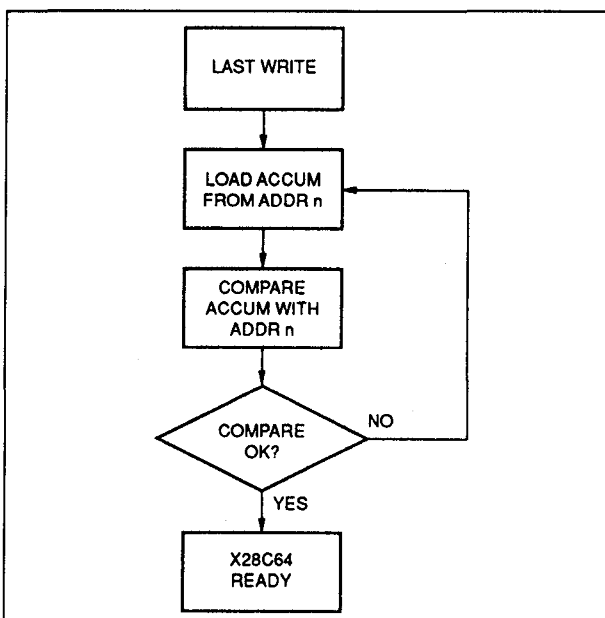


Figuur 8/6.2-67: DATA-polling software flow-diagram.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-68: Toggle bit-bus volgorde (toggle-bit I/O6).



Figuur 8/6.2-69: Flow-diagram van de voor het toggle-bit benodigde software.

Toggle-bit (I/O6)

Met de 28C64 van Xicor kan ook op een andere manier worden bepaald of de interne programmeercyclus klaar is. Gedurende de interne schrijfcyclus zal I/O6 telkens bij pogingen tot uitlezen van 1 naar 0 en van 0 naar 1 springen. Is deze interne cyclus beëindigd, dan houdt het "toggelen" op en kan het schrijven of lezen worden hervat (figuur 8/6.2-68).

Door gebruik van het toggle-bit is de software-kern voor het telkens opbergen en ophalen van het laatste adres en de daarin geschreven data voor de implementatie van DATA-polling niet nodig. Dit is zeker nuttig als meerdere 28C64's in een array zijn geplaatst en/of in multi-processor toepassingen. In het tijddiagram van figuur 8/6.2-68 worden de signalen op de bus getoond, terwijl figuur 8/6.2-69 het flow-diagram van de software laat zien.

Hardware Data-beveiliging

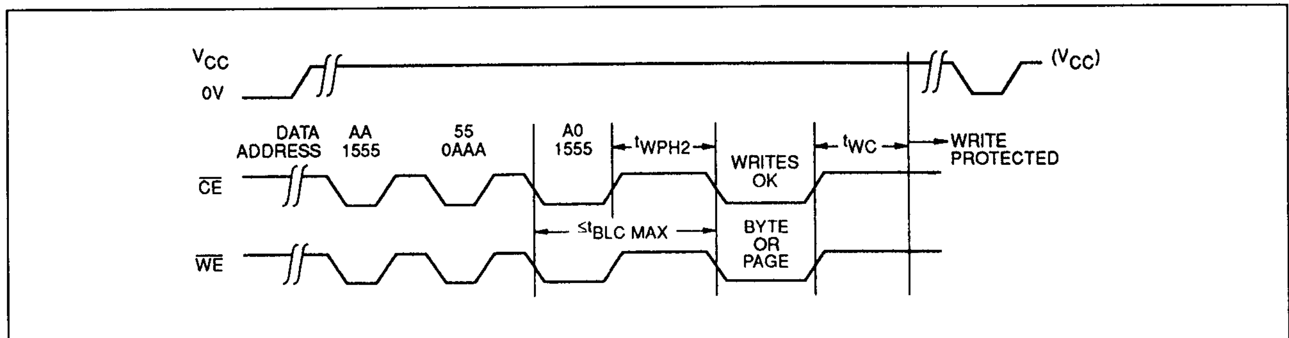
Er kan (net als bij de 2864) op drie manieren worden voorkomen dat per abuis in de 28C64 wordt geschreven:

- Beveiliging tegen storingen:
  Elke WE-puls moet minstens 20 ns duren.
- V_{CC}-sense:
  Alle functies worden gesperd als V_{CC} lager dan 3 V is.
- Write inhibit:
  Wanneer tijdens het in- of uitschakelen van de voeding OE LAAG is, of WE of CE HOOG is, kan niet onbedoeld worden geschreven.

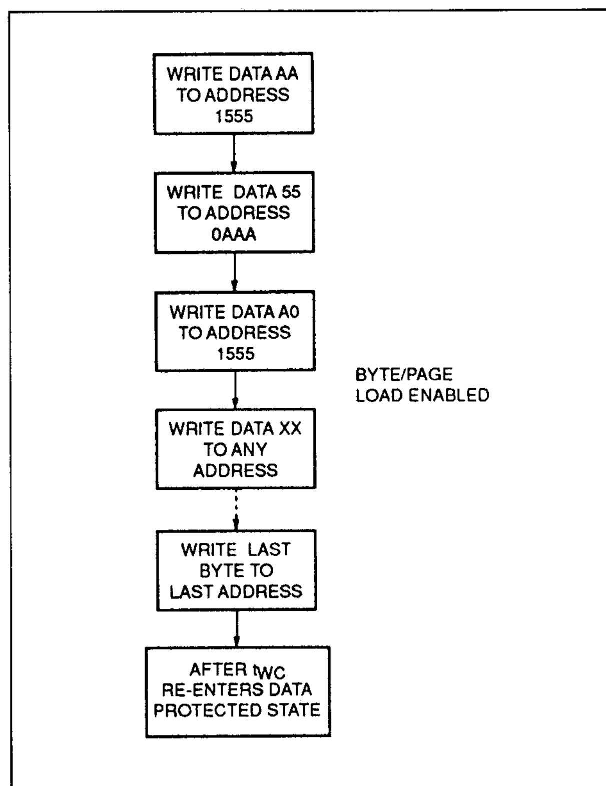
Software Data-beveiliging

De 28C64 heeft een door software bestuurde data-beveiliging, maar wordt door Xicor geleverd met de data-beveiliging NOT ENABLED.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-70: Gebeurtenissen bij het binnengaan van de software data-beveiligingsmode (page- of byte-write).



Figuur 8/6.2-71: Schrijfhandelingen voor software data-beveiliging.

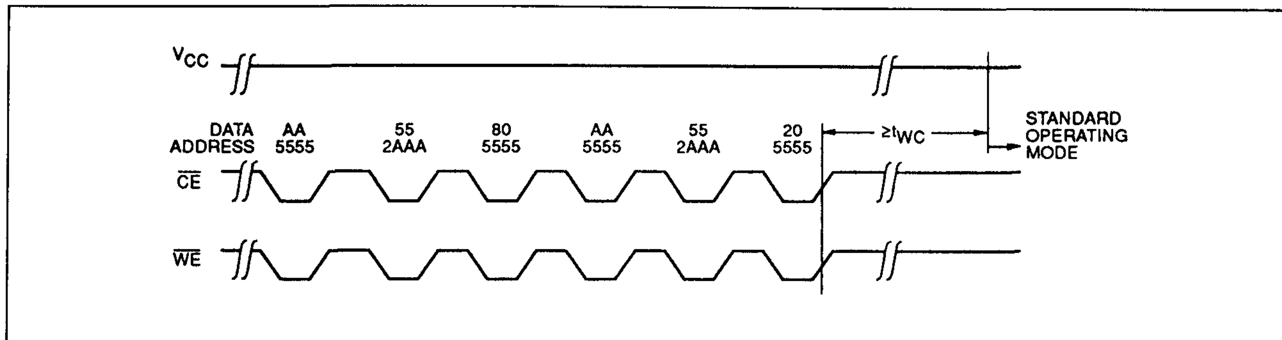
Hij bevindt zich in de standaard bedrijfsmode, waarbij data tijdens power-up/down door externe schakelingen beschermd moet worden. De 28C64 kan echter ook van software voor automatische data-beveiliging gebruik maken. De interne software data-beveiligingsschakeling wordt na de eerste schrijfoperatie die gebruik maakt van de software algoritme vrijgegeven. Deze schakeling blijft altijd in deze toestand, behalve als een reset-commando wordt uitgevoerd. Zodra de software-beveiliging is ingeschakeld, is de 28C64 tevens beschermd tegen onbedoelde schrijfpogingen als de voedingsspanning aanwezig is.
Het software algoritme moet dan worden doorlopen voordat de EEPROM extra data kan opnemen.

Software algoritme

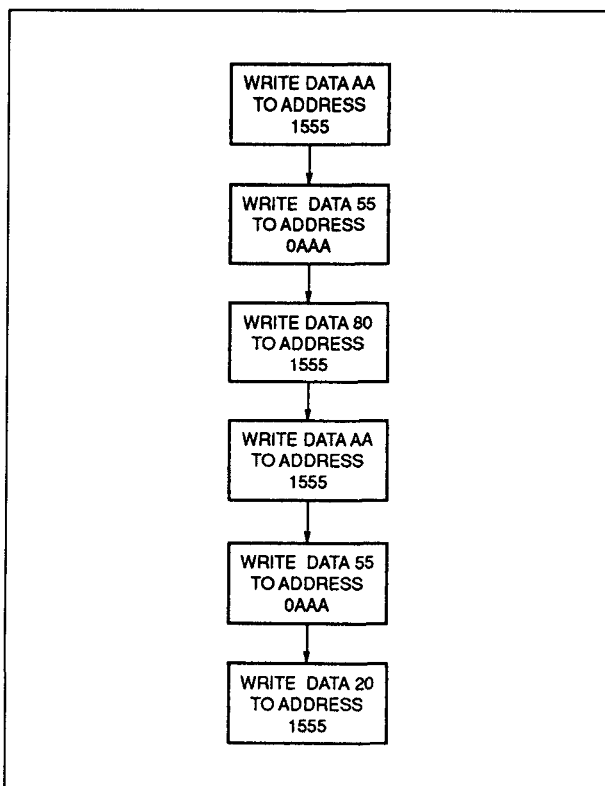
Om in de software data-beveiligingsmode te komen moet het computersysteem eerst een serie van drie schrijfoperaties uitvoeren op drie specifieke adressen (zie de figuren 8/6.2-70 en -71).

Door de serie van drie bytes wordt het page-write window geopend, waardoor de computer 1 tot 64 bytes data kan schrijven (als de drie bytes worden gevolgd door een geldige byte- of page-write operatie). Nadat de page-write cyclus is beëindigd komt de 28C64 automatisch in de beveiligde toestand.
Zodra het software data-beveiligings algoritme wordt gebruikt en data is ingeschreven, houdt de 28C64 automatisch alle verdere schrijfpogingen tegen, tenzij een commando wordt gegeven om hiermee te stoppen. Als geen andere commando's worden ontvangen blijft de 28C64 tijdens power-up/down tegen schrijven beschermd.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-72: Handelingen die nodig zijn voor het resetten van de software data-beveiliging.



Figuur 8/6.2-73: Flow-diagram voor het de-activeren van de software data-beveiliging.

Wanneer de gebruiker de software data-beveiliging wil beëindigen voor testen of her-programmeren, wordt de interne beveiligingsschakeling gereset met de in de figuren 8/6.2-72 en -73 getoonde zes-staps algoritme. Na t_{WC} komt de 28C64 dan in de standaard bedrijfsmode.

Electronic signature

De 28C64A van Microchip, General Instruments en NEC bevat een extra reeks van 32 bytes die kan worden gebruikt voor identificatie van de EEPROM.

Door A9 op 12 V (+/-0,5 V) te brengen en de adressen 1FE0 tot en met 1FFF te gebruiken kunnen de extra bytes op dezelfde manier als bij het gewone geheugen-array worden geschreven of gelezen.

Optionele Chip Clear

Alle in de 28C64A van Microchip aanwezige data (behalve de extra reeks) kan ook in één chip-clear cyclus worden gecleared (alles logisch 1) door $\overline{OE}$ op 12 V te brengen, terwijl $\overline{WE}$ en $\overline{CE}$ LAAG zijn.

Aanbevelingen voor het systeem

De 28C64 kan ook in grote geheugen-arrays worden toegepast en is voorzien van een tweedraads besturing voor lezen en schrijven. Decodering van $\overline{CE}$ vanaf de adresbus wordt aanbevolen voor toepassing als primaire selectie-ingang. Zowel $\overline{OE}$ als $\overline{WE}$ kunnen dan gemeenschappelijk zijn voor alle EEPROM's in het array. Bij een lees-operatie is dan zeker dat alle niet-geselecteerde 28C64's in de standby-toestand staan en dat alleen het wèl geselecteerde geheugen data op de bus zet.

Omdat de 28C64 twee hoofdbedrijfsmodes kent (standby en aktief) is goede ontkoppeling van het geheugen-array zeer belangrijk. Door het vrijgeven van $\overline{CE}$ worden inschakelstroompieken veroorzaakt, waarvan de

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

amplitude afhankelijk is van de capacitieve belasting van de I/O's. De spanningspieken die hierdoor ontstaan kunnen door condensatoren worden onderdrukt. Als minimum moet een ceramisch condensator van 0,1 μF tussen V_{CC} en GND van elke EEPROM worden geplaatst. Tevens wordt aanbevolen bij elke 8 EEPROM's een elektrolytische condensator van 4,7 μF toe te passen.

ABSOLUTE MAXIMUM RATINGS*
Temperature Under Bias
X28C64 .... –10°C to +85°C
X28C64I, X28C64M .... –65°C to +135°C
Storage Temperature .... –65°C to +150°C
Voltage on any Pin with
Respect to Ground .... –1.0V to +7.0V
D.C. Output Current .... 5 mA
Lead Temperature
(Soldering, 10 Seconds) .... 300°C

Tabel 8/6.2-45: Maximaal toegelaten waarden.

D.C. OPERATING CHARACTERISTICS (Over the recommended operating conditions, unless otherwise specified)

Symbol	Parameter	Limits Min.	Typ.(1)	Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active) (TTL Inputs)		30	60	mA	$\overline{CE} = \overline{OE} = V_{IL}$, $\overline{WE} = V_{IH}$, All I/O's = Open, Address Inputs = 0.4V/2.4V Levels @ f = 5MHz
I_{SB1}	V_{CC} Current (Standby) (TTL Inputs)		1	2	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = V_{IH}
I_{SB2}	V_{CC} Current (Standby) (CMOS Inputs)		100	200	μA	$\overline{CE} = \overline{WE} = V_{CC} - 0.3V$ All I/O's = Open, Other Inputs = Don't Care
I_{LI}	Input Leakage Current			10	μA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = GND to V_{CC}, $\overline{CE} = V_{IH}$
$V_{IL}^{(2)}$	Input Low Voltage	–1.0		0.8	V	
$V_{IH}^{(2)}$	Input High Voltage	2.0		V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = –400 μA

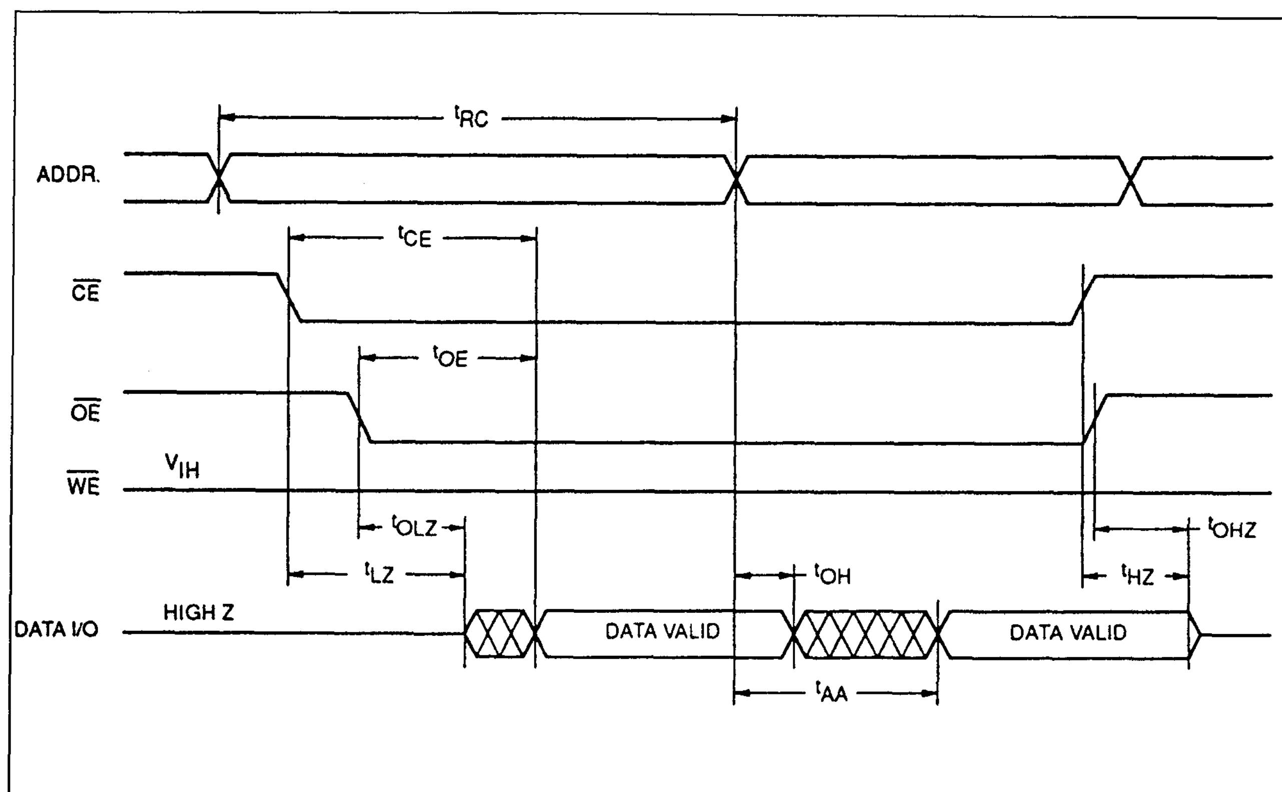
Tabel 8/6.2-46: Gelijkspanningskarakteristieken van de 28C64.

Read Cycle Limits

Symbol	Parameter	X28C64-15 Min.	X28C64-15 Max.	X28C64-20 Min.	X28C64-20 Max.	X28C64-25 Min.	X28C64-25 Max.	Units
t_{RC}	Read Cycle Time	150		200		250		ns
t_{CE}	Chip Enable Access Time		150		200		250	ns
t_{AA}	Address Access Time		150		200		250	ns
t_{OE}	Output Enable Access Time		70		80		100	ns
$t_{LZ}^{(4)}$	$\overline{CE}$ Low to Active Output	0		0		0		ns
$t_{OLZ}^{(4)}$	$\overline{OE}$ Low to Active Output	0		0		0		ns
$t_{HZ}^{(4)}$	$\overline{CE}$ High to High Z Output		50		50		50	ns
$t_{OHZ}^{(4)}$	$\overline{OE}$ High to High Z Output		50		50		50	ns
t_{OH}	Output Hold from Address Change	0		0		0		ns

Tabel 8/6.2-47: Schakeltijden bij het uitlezen van verschillende typen 28C64's.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



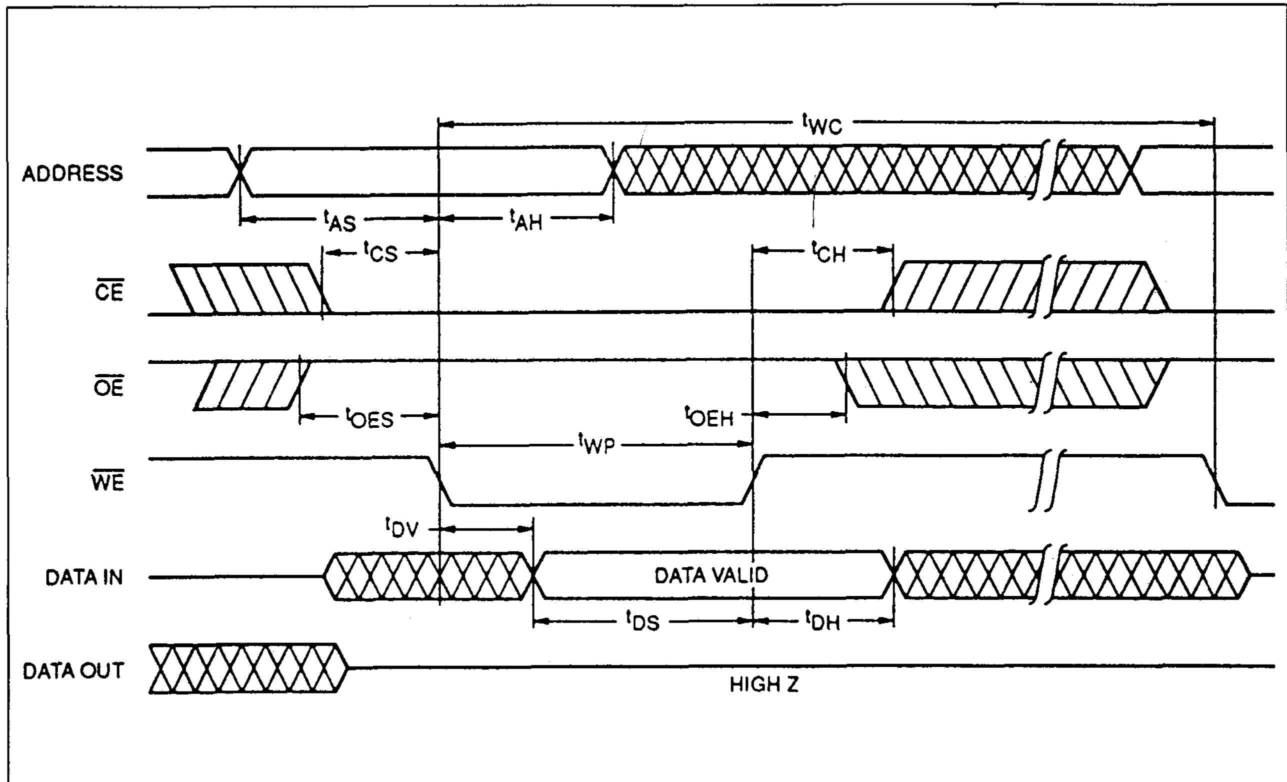
Figuur 8/6.2-74: Golfvormen en timing bij het uitlezen van de 28C64.

WRITE CYCLE LIMITS

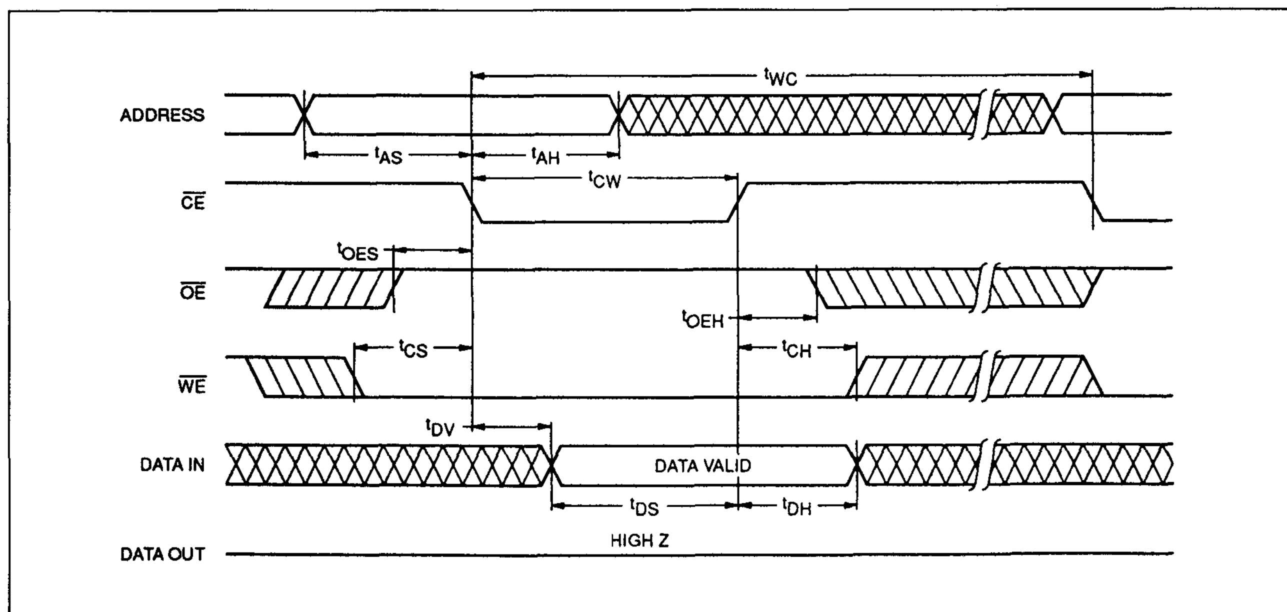
Symbol	Parameter	Min.(7)	Typ.(1)	Max.	Units
t_{WC}(5)	Write Cycle Time		5	10	ms
t_{AS}	Address Setup Time	0			ns
t_{AH}	Address Hold Time	100			ns
t_{CS}	Write Setup Time	0			ns
t_{CH}	Write Hold Time	0			ns
t_{CW}	$\overline{CE}$ Pulse Width	100			ns
t_{OES}	$\overline{OE}$ High Setup Time	10			ns
t_{OEH}	$\overline{OE}$ High Hold Time	10			ns
t_{WP}	$\overline{WE}$ Pulse Width	100			ns
t_{WPH}	$\overline{WE}$ High Recovery	200			ns
t_{WPH2}(6)	SDP $\overline{We}$ Recovery	1			µs
t_{DV}	Data Valid			1	µs
t_{DS}	Data Setup	50			ns
t_{DH}	Data Hold	10			ns
t_{DW}	Delay to Next Write	10			µs
t_{BLC}(7)	Byte Load Cycle	1		100	µs

Tabel 8/6.2-48: Schakeltijden bij het programmeren van de 28C64.

6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie

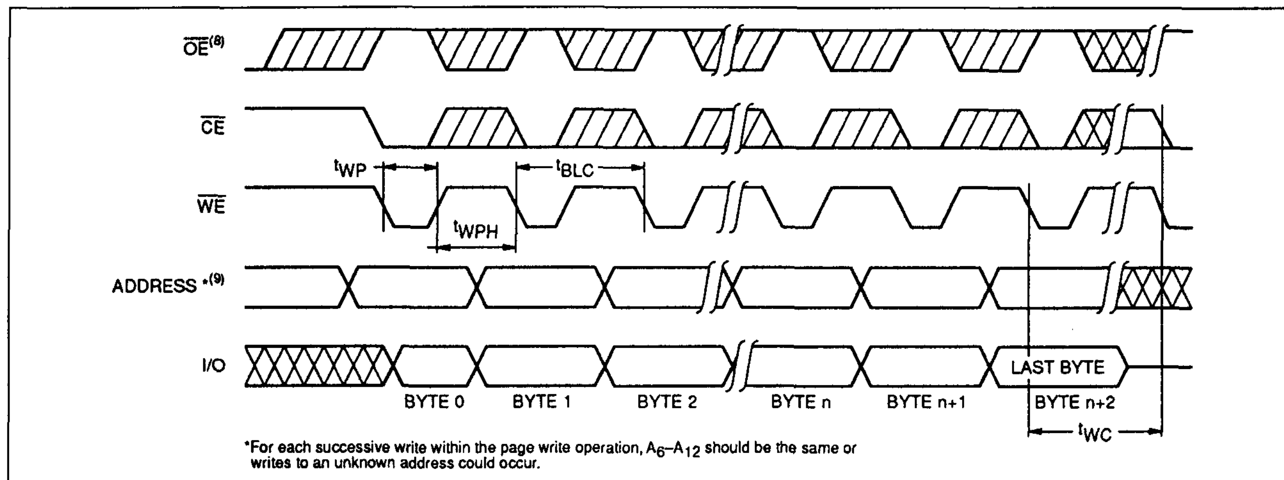


Figuur 8/6.2-75: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

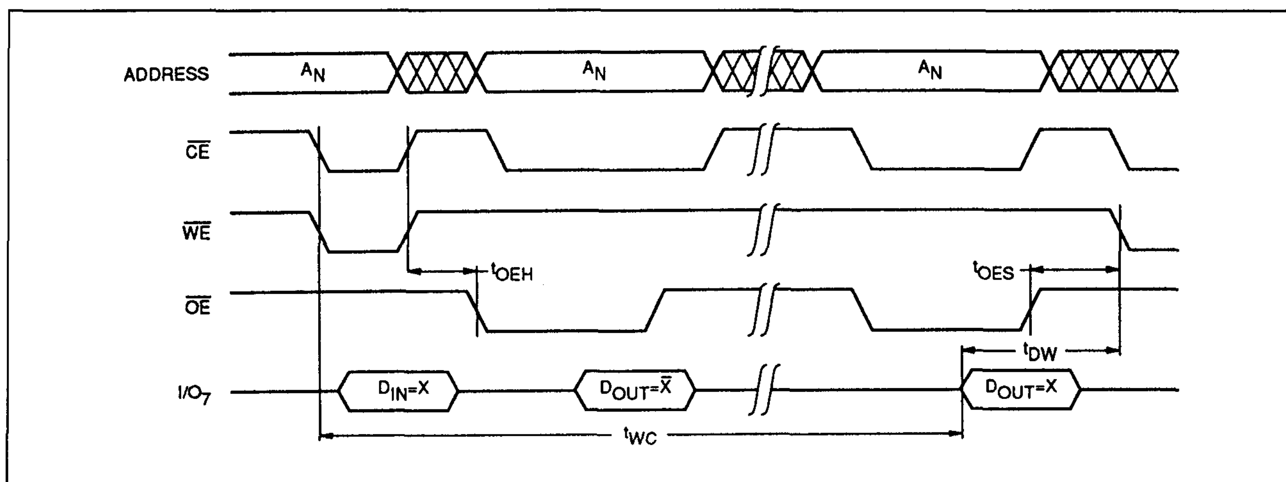


Figuur 8/6.2-76: Golfvormen en timing bij een schrijfcyclus onder $\overline{CE}$-besturing.

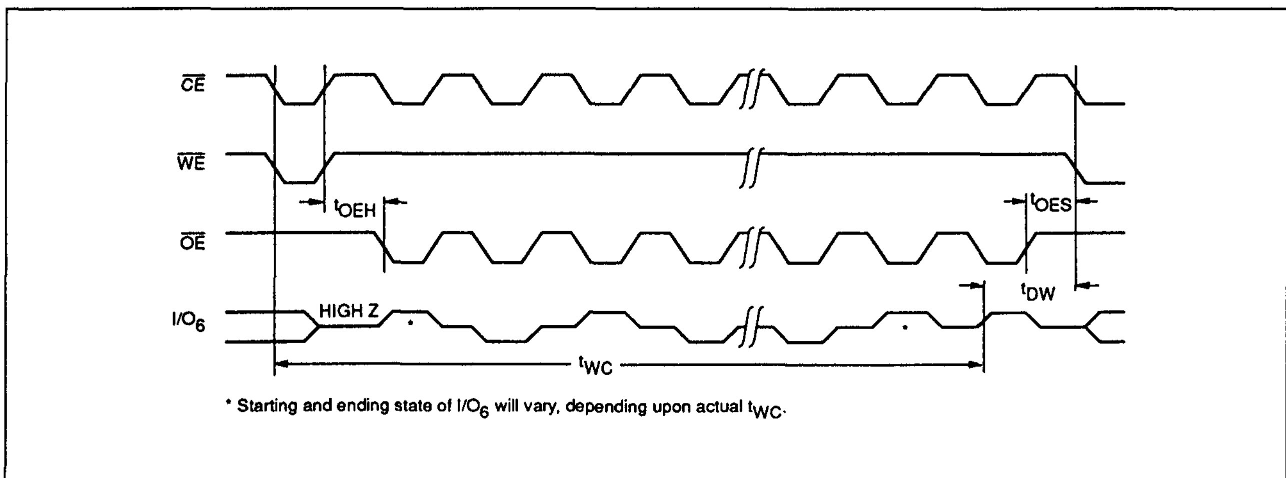
6.2 Type-beschrijving byte-wide parallelle EEPROM's 28xx-serie



Figuur 8/6.2-77: Timing bij een Page-Write cyclus.

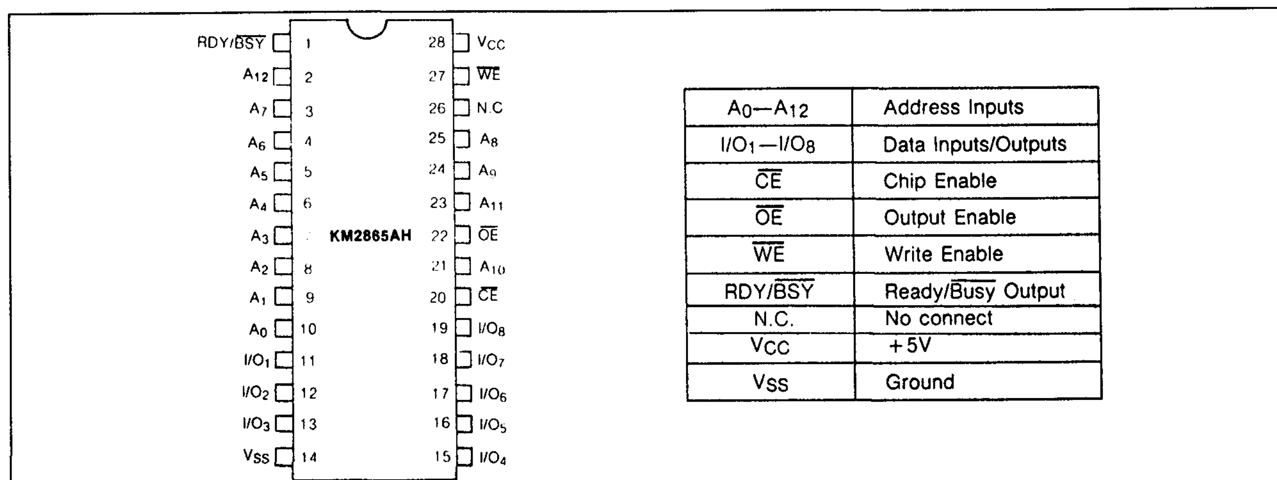


Figuur 8/6.2-78: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.



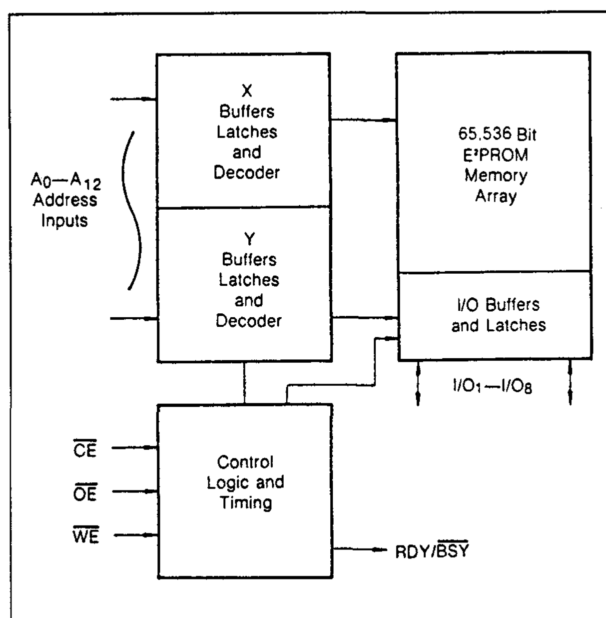
Figuur 8/6.2-79: Golfvormen en timing bij polling met behulp van het toggle-bit (Xicor).

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



A_0—A_{12}	Address Inputs
I/O_1—I/O_8	Data Inputs/Outputs
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
RDY/$\overline{BSY}$	Ready/$\overline{Busy}$ Output
N.C.	No connect
V_{CC}	+5V
V_{SS}	Ground

Figuur 8/6.2-80: Aansluitingen van de 2865.



Figuur 8/6.2-81: Functioneel blokschema van de 2865.

Mode	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O	RDY/$\overline{BUSY}$[1]
Read	V_{IL}	V_{IL}	V_{IH}	D_{OUT}	HIGH Z
Standby	V_{IH}	X	X	High Z	HIGH Z
Write	V_{IL}	V_{IH}	V_{IL}	D_{IN}	V_{OL}
Write Inhibit	X	V_{IL}	X	High Z/D_{OUT}	HIGH Z
	X	X	V_{IH}	High Z/D_{OUT}	HIGH Z
Chip Erase	V_{IL}	V_H	V_{IL}	X	HIGH Z

X: Any TTL level
V_H: High Voltage

Tabel 8/6.2-49: Mode-selectie van de 28C65.

2865

8 k x 8-bit EEPROM

De 2865 is een 64 k NMOS EEPROM met een 8192 x 8 bit organisatie die wat werking en timing betreft geheel overeenkomt met de 2864. De 2865 heeft echter een Ready/$\overline{Busy}$-uitgang die LAAG is als de interne schrijfcyclus aan de gang is. De beschrijving van de werking en de tabellen van de elektrische eigenschappen en schakeltijden plus de daarbij behorende tijddiagrammen van de 2864 zijn ook van toepassing op de 2865.

Specificaties

- 8192 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- READY/$\overline{BUSY}$-uitgang
- toegangstijd: 200, 250 of 300 ns max.
- byte-write tijd 2 ms max.
- $\overline{DATA}$-polling
- dissipatie: 120 mA aktief, 50 mA standby max.
- 28-pens plastic DIL-behuizing (figuur 8/6.2-80)
- levensduur: min.10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leveranciers:
  Samsung: KM2865AH
  Exel: XL2865A
  Catalyst: 28C65A/B (CMOS)

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	MODE	I/O	POWER
L	L	H	Read	Dout	Active
L	H	L	Write	Din	Active
H	X	X	Standby and Write Inhibit	High-Z	Standby

Figuur 8/6.2-82: Mode-selectie van de 2865.

28C65

8 k x 8-bit CMOS EEPROM

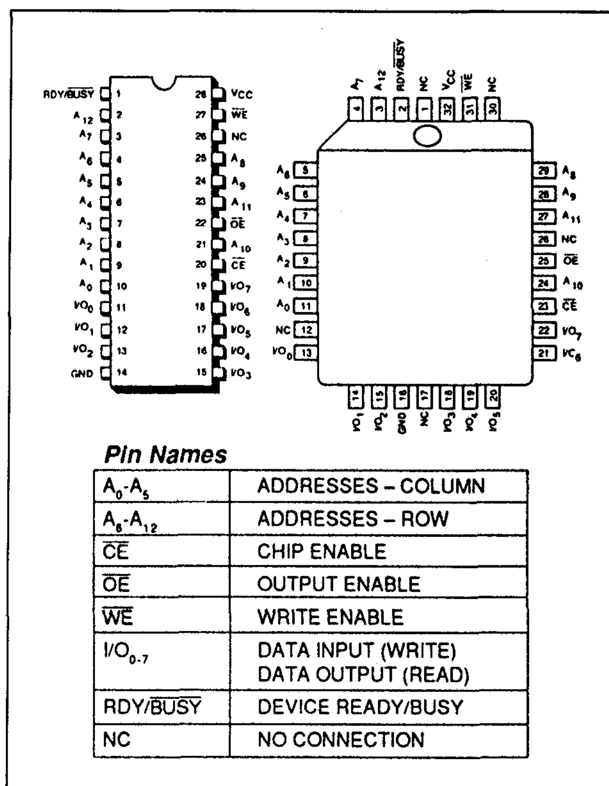
De 28C65 is de populairder CMOS- uitvoering van de 2865. Deze EEPROM dissipeert aanzienlijk minder, maar is niet sneller dan de NMOS-versie. De 28C65 heeft een interne timer voor automatische timing van de schrijfcyclus. Lezen en schrijven gebeurt met behulp van standaard interface-signalen op TTL-niveau.

Specificaties

- 8192 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen met latches
- 3-state data-uitgangen
- CMOS/TTL-compatibel
- toegangstijd: 200, 250, 300 of 350 ns
- 64 byte page-write operatie
- byte- of page-write cyclustijd 10 ms typ.
- effectieve byte-write cyclustijd: 150 µs typ.
- low-power CMOS: aktief: 50 mA, standby: 150 µA
- $\overline{\text{DATA}}$-polling
- Ready/$\overline{\text{Busy}}$-signaal
- 28-pens plastic of ceramisch DIL- of 32-pens PLCC-behuizing (figuur 8/6.2-83)
- levensduur: min. 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leveranciers:
  Seeq: 28C65
  Samsung: KM28C65
  Catalyst: CAT28C65A/B

Werking

De 28C65 heeft vijf bedrijfsmodes die, op de Chip Erase mode na, met signalen op TTL-niveau kunnen worden ingesteld. Een schrijfoperatie kan alleen onder de beschreven omstandigheden worden uitgevoerd en wordt bij alle andere combinaties van $\overline{CE}$, $\overline{OE}$ en $\overline{WE}$ gesperd.



A_0-A_5	ADDRESSES - COLUMN
A_6-A_{12}	ADDRESSES - ROW
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
$\overline{WE}$	WRITE ENABLE
I/O_{0-7}	DATA INPUT (WRITE) DATA OUTPUT (READ)
RDY/$\overline{\text{BUSY}}$	DEVICE READY/BUSY
NC	NO CONNECTION

Figuur 8/6.2-83: Aansluitingen van de DIL- en PLCC-behuizingen van de 28C65.

Lezen (Read)

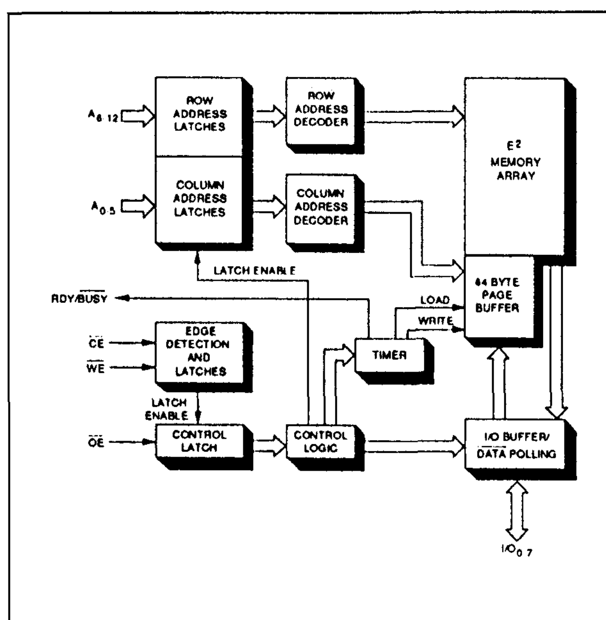
Een lees-operatie begint door het gewenste adres op de adres-ingangen te zetten. Wanneer het adres stabiel is, wordt $\overline{CE}$ LAAG gemaakt om de chip te aktiveren. De $\overline{WE}$-

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

pen moet gedurende de gehele leescyclus HOOG zijn. De uitgangsdrivers worden aktief door $\overline{OE}$ LAAG te trekken.

Schrijven (Write)

Om in een bepaalde lokatie te kunnen schrijven moet het adres geldig zijn, terwijl $\overline{WE}$ en $\overline{CE}$ beide LAAG moeten zijn. Dit alles, gecombineerd met een HOGE $\overline{OE}$ luidt de schrijfcyclus in. Tijdens het schrijven wordt het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches opgeslagen. Data wordt intern gelatched op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$.



Figuur 8/6.2-84: Functioneel blokschema van de 28C65.

Page Write operatie

Eén tot 64 bytes data kunnen in een willekeurige volgorde op dezelfde pagina worden geschreven. Gedurende de eerste byte-schrijfcyclus worden de rij-adressen in A6 tot en met A12 geladen. Deze adressen worden op de dalende flank van het $\overline{WE}$-signaal in latches opgeslagen en daarna tot het einde van de schrijfcyclus genegeerd. De kolomadressen A0 tot en met A5, waarmee de verschillende lokaties op de pagina worden geselecteerd, worden telkens bij een nieuwe schrijfcommando geladen. Deze adressen en de toestand van de $\overline{OE}$-pen worden op de dalende flank van het $\overline{WE}$-signaal gelatched. Om het schrijven goed te laten verlopen moet $\overline{WE}$ minstens t_{WP} ns LAAG blijven. Data wordt op de opgaande flank van $\overline{WE}$ gelatched en op hetzelfde moment start de interne page-load timer. De timer wordt op de dalende flank van $\overline{WE}$ gereset als een nieuwe schrijfcyclus begint voordat de tijd van de timer verlopen is. Zolang $\overline{WE}$ LAAG is, blijft de timer gereset. Als binnen t_{BLC} na de laatste LAAG-naar-HOOG overgang van $\overline{WE}$ geen nieuwe schrijfcycli zijn begonnen wordt de page-load cyclus beëindigd en start het interne schrijven. Gedurende deze tijd (maximaal 10 ms) negeert de EEPROM elke volgende schrijfpoging. Door middel van uitlezen kan het einde van de schrijfcyclus worden bepaald ($\overline{DATA}$-polling).

Extended Page Load

Om te kunnen profiteren van de kortere gemiddelde byte-schrijftijd van de page-mode, moet data op de page-load cyclustijd (t_{BLC}) worden geladen. Omdat het kan voorkomen dat data niet met deze snelheid beschikbaar is, staat de 28C65 een verlengde page-load cyclus toe. De schrijfcyclus moet dan worden uitgerekt door $\overline{WE}$ LAAG te houden. Aangezien de page-load timer op de dalende flank van $\overline{WE}$ wordt gereset, zal de timer door het LAAG houden van dit signaal niet starten. Wanneer $\overline{WE}$ weer HOOG gaat, wordt de data gelatched en begint de page-load cyclustimer. Hetzelfde is ook mogelijk bij schrijven onder $\overline{CE}$-besturing, waarbij de timer niet door $\overline{WE}$ maar door $\overline{CE}$ wordt gereset.

$\overline{DATA}$-polling

De 28C65 heeft een maximale schrijfcyclustijd van 10 ms. Meestal zal het schrijven echter in een kortere tijd klaar zijn. Door het afvragen van data ($\overline{DATA}$-polling) wordt het einde van de schrijfcyclus gedetecteerd, waardoor de schrijftijd wordt bekort.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

DC Characteristics (Over operating temperature and V_{CC} range, unless otherwise specified)

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Condition
I_{CC}	Active V_{CC} Current		50	mA	$\overline{CE} = \overline{OE} = V_{IL}$: All I/O Open; Other Inputs = V_{CC} Max; Max read or write cycle time
I_{SB1}	Standby V_{CC} Current (TTL Inputs)		2	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$; All I/O Open; Other Inputs = ANY TTL LEVEL
I_{SB2}	Standby V_{CC} Current (CMOS Inputs)		200	µA	$\overline{CE} = V_{CC} -0.3$ Other Inputs = V_{IL} to V_{IH} All I/O Open
I_{IL}[2]	Input Leakage Current		1	µA	$V_{IN} = V_{CC}$ Max.
I_{OL}	Output Leakage Current		10	µA	$V_{OUT} = V_{CC}$ Max.
V_{IL}	Input Low Voltage	−0.3	0.8	V	
V_{IH}	Input High Voltage	2.0	6	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400$ µA
V_{WI}[1]	Write Inhibit Voltage	3.8		V	

Tabel 8/6.2-50: Gelijkspanningskarakteristieken van de 28C64.

Read Operation (Over operating temperature and V_{CC} Range, unless otherwise specified)

Symbol	Parameter	28C65-200 Min.	28C65-200 Max.	28C65-250 Min.	28C65-250 Max.	28C65-300 Min.	28C65-300 Max.	28C65-350 Min.	28C65-350 Max.	Units	Test Conditions
t_{RC}	Read Cycle Time	200		250		300		350		ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	Chip Enable Access Time		200		250		300		350	ns	$\overline{OE} = V_{IL}$
t_{AA}	Address Access Time		200		250		300		350	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{OE}	Output Enable Access Time		80		90		150		150	ns	$\overline{CE} = V_{IL}$
t_{DF}	Output or Chip Enable High to output not being driven	0	60	0	60	0	80	0	80	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Address Change, Chip Enable, or Output Enable, which ever occurs first	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

Tabel 8/6.2-51: Schakeltijden bij het uitlezen van verschillende typen 28C65's.

Als een adres wordt uitgelezen terwijl de 28C65 nog bezig is met schrijven, verschijnt het complement van de laatst geschreven data. Is de schrijfcyclus volbracht, dan verschijnt de werkelijk geschreven data. Er kan dus gemakkelijk net zo lang worden uitgelezen tot de laatst geschreven data correct is. $\overline{DATA}$-polling kan onmiddellijk beginnen nadat een byte in een pagina is geladen (nog vóór de interne schrijfcyclus begint). De timing van $\overline{DATA}$-polling is gelijk aan die van een gewone lees-operatie.

READY/$\overline{BUSY}$-pen

Op deze pen verschijnt de status van de schrijfcyclus van de 28C65. Ready/$\overline{Busy}$ gaat direkt na de dalende flank van $\overline{WE}$ LAAG en blijft gedurende de byte-load of page-load cyclus in die toestand totdat de interne timer bepaalt dat het programmeren

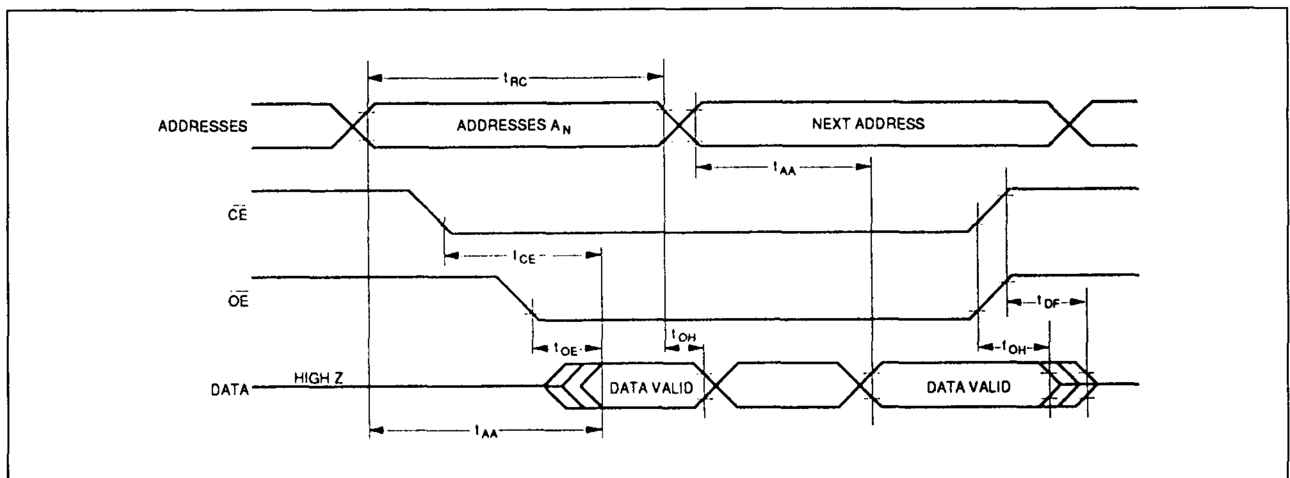
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

klaar is. De Ready/$\overline{\text{Busy}}$-pen is een open-drain uitgang die meestal via een optrekweerstand van 3 kΩ aan V_{CC} ligt.
De exacte waarde van deze weerstand is afhankelijk van het aantal ge-ORde Ready/$\overline{\text{Busy}}$-pennen.

Power Up/Down

Er zijn interne schakelingen aanwezig voor het voorkomen dat per abuis in de 28C65 wordt geschreven. Schrijven is niet mogelijk als:

- V_{CC} lager dan 3 V is;
- er geen HOOG-naar-LAAG overgang van $\overline{\text{WE}}$ plaatsvindt als 3,8 V<V_{CC}<5 V.



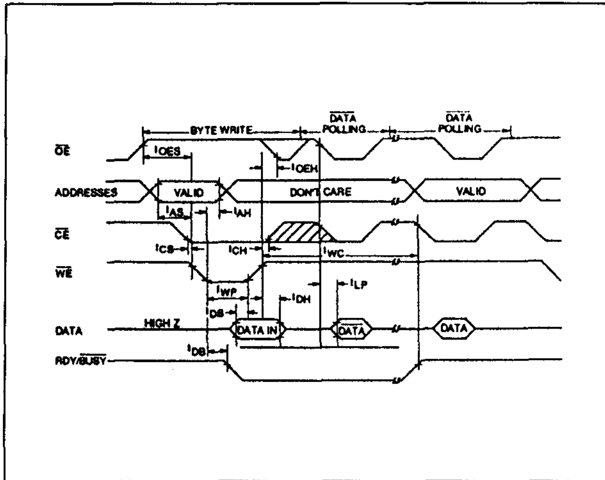
Figuur 8/6.2-85: Golfvormen en timing bij uitlezen en $\overline{\text{DATA}}$-polling van de 28C65.

Write Operation (Over the operating temperature and V_{CC} Range, unless otherwise specified)

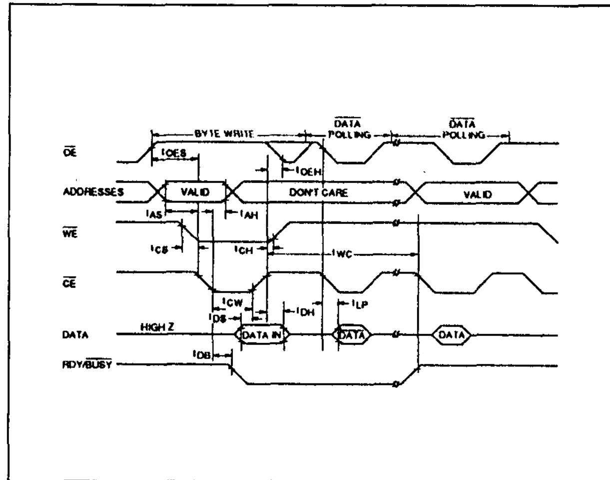
Symbol	Parameter	28C65-200 Min.	28C65-200 Max.	28C65-250 Min.	28C65-250 Max.	28C65-300 Min.	28C65-300 Max.	28C65-350 Min.	28C65-350 Max.	Units
t_{WC}	Write Cycle Time		10		10		10		10	ms
t_{AS}	Address Set-up Time	10		10		10		10		ns
t_{AH}	Address Hold Time (see note 1)	150		150		150		150		ns
t_{CS}	Write Set-up Time	0		0		0		0		ns
t_{CH}	Write Hold Time	0		0		0		0		ns
t_{CW}	$\overline{\text{CE}}$ Pulse Width (note 2)	150		150		150		150		ns
t_{OES}	$\overline{\text{OE}}$ High Set-up Time	10		10		10		10		ns
t_{OEH}	$\overline{\text{OE}}$ High Hold Time	10		10		10		10		ns
t_{WP}	$\overline{\text{WE}}$ Pulse Width (note 2)	150		150		150		150		ns
t_{DS}	Data Set-up Time	50		50		50		50		ns
t_{DH}	Data Hold Time	0		0		0		0		ns
t_{BLC}	Byte Load Timer Cycle (Page Mode Only) (note 3)	0.2	300	0.2	300	0.2	300	0.2	300	us
t_{LP}	Last Byte Loaded to $\overline{\text{DATA}}$ Polling		200		200		200		200	ns
t_{DB}	Time to Device Busy		100		100		100		100	ns

Tabel 8/6.2-52: Schakeltijden bij het programmeren van verschillende typen 28C65.

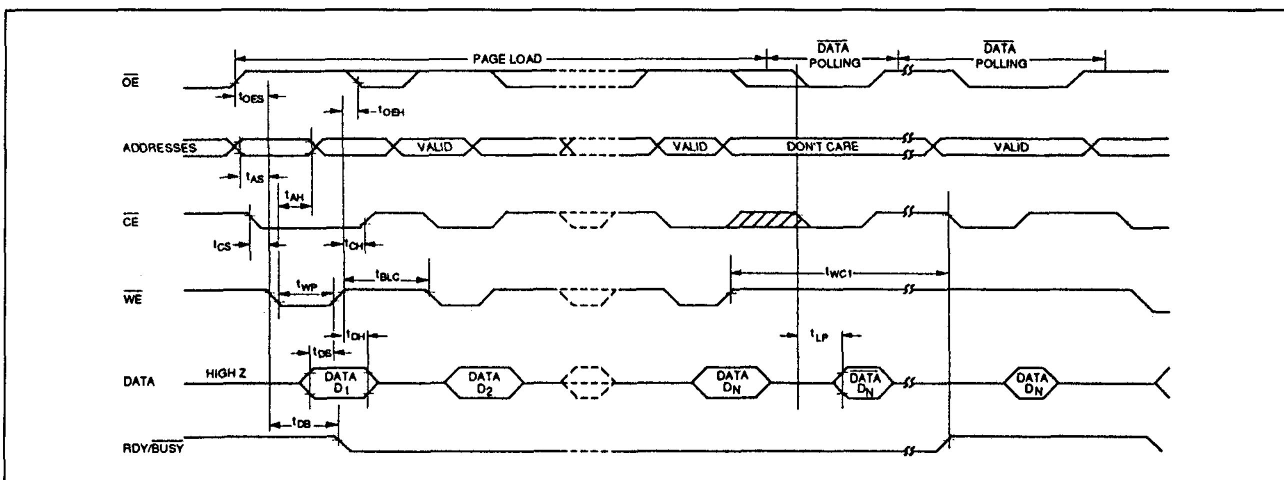
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-86: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.



Figuur 8/6.2-87: Golfvormen en timing bij een door $\overline{CE}$ bestuurde schrijfcyclus.



Figuur 8/6.2-88: Timing bij Page-Write.

28256

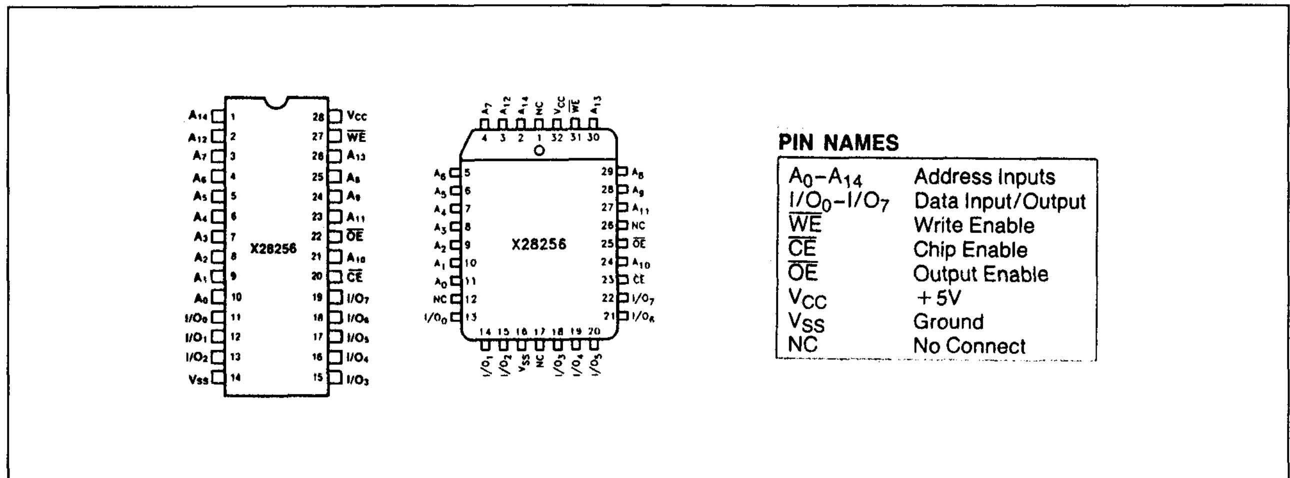
32 k x 8-bit EEPROM

De 28256 is een 256 k EEPROM met een organisatie van 32 k woorden van elk 8 bit. De NMOS 28256 werkt op een enkele 5 V voeding en is TTL-compatibel. Met deze EEPROM kunnen 64 byte page-write operaties worden uitgevoerd, waardoor een gemiddelde schrijfcyclus van 78 µs/byte ontstaat en het gehele geheugen in minder dan 2,5 s kan worden geprogrammeerd. De 28256 is geschikt voor $\overline{DATA}$-polling en Toggle Bit Polling.

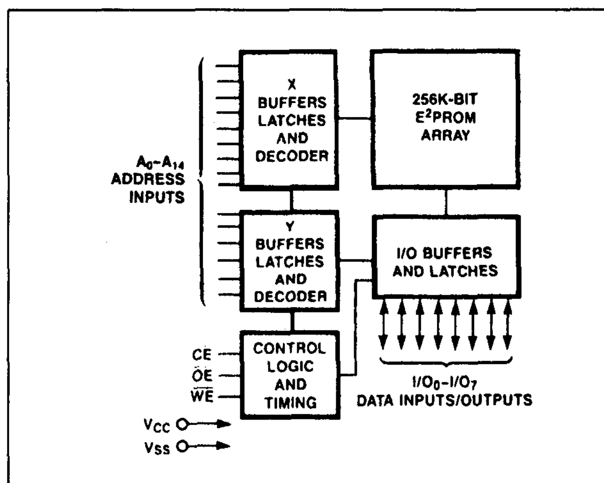
Specificaties

- 32768 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen met latches
- 3-state data-uitgangen
- TTL-compatibel
- toegangstijd: 250, 300 of 350 ns
- 64 byte page-write operatie
- byte- of page-write tijd 5 ms typ.
- herschrijven gehele EEPROM in 2,5 s
- effectieve byte-write cyclustijd: 78 µs typ.
- software data-beveiliging
- $\overline{DATA}$-polling

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-89: Aansluitingen van de DIL- en LCC-behuizingen van de 28256.



Figuur 8/6.2-90: Functioneel blokschema van de 28256.

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-53: Mode-selectie van de 28256.

- 28-pens DIL- of 32-pens LCC-behuizing (plastic of ceramisch) (figuur 8/6.2-89)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leverancier: Xicor: X28256(I)

Lezen (Read)

De leesoperaties beginnen met het LAAG maken van $\overline{OE}$ en $\overline{CE}$ en eindigen wanneer $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. Door deze 2-draads besturing wordt busrivaliteit in het systeem voorkomen. Als $\overline{OE}$ en/of $\overline{CE}$ HOOG is, is de databus hoog-impedant.

Schrijven (Write)

Het programmeren (schrijven) van de 28256 begint als $\overline{CE}$ en $\overline{WE}$ beide LAAG zijn en $\overline{OE}$ HOOG is. Het schrijven kan onder besturing van $\overline{CE}$ of $\overline{WE}$ plaatsvinden. Het adres wordt namelijk op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches opgeslagen. Ook data wordt in interne latches opgeslagen, maar dan op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Wanneer een byte-schrijfoperatie eenmaal begonnen is, wordt die automatisch binnen 5 ms voltooid.

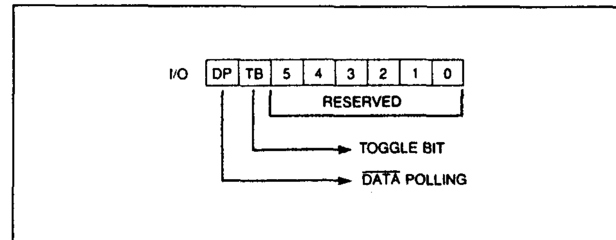
Page Write operatie

In de Page-Write mode kan de gehele 28256 binnen 2,5 s worden volgeschreven. Er kun-

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

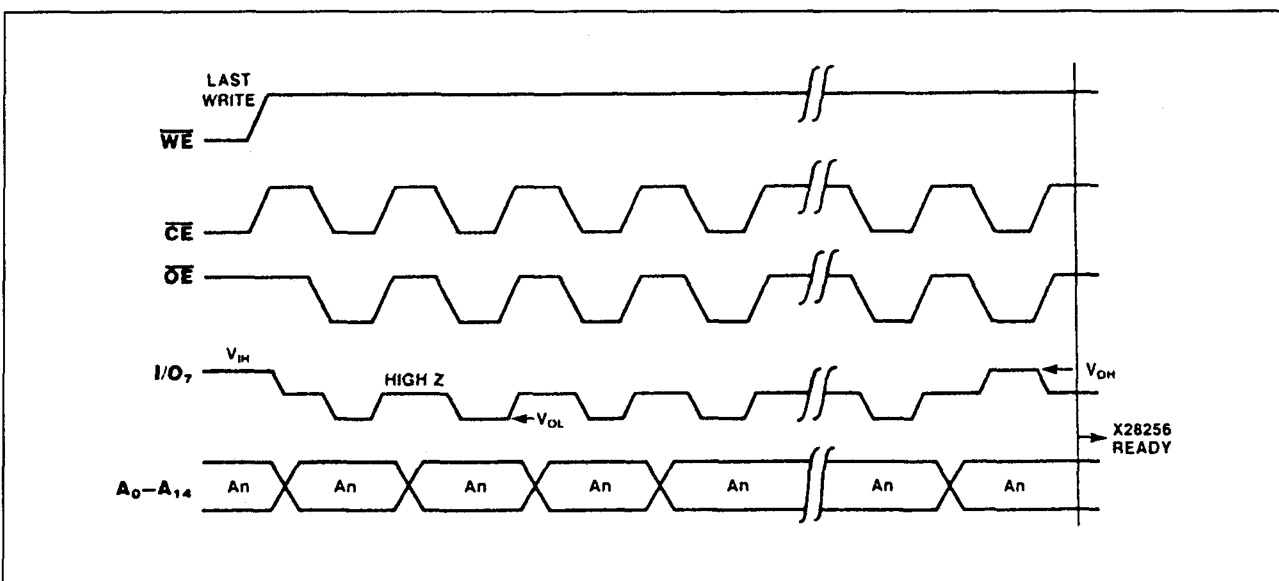
nen 2 tot 64 bytes data opeenvolgend in de 28256 worden geschreven, voordat de interne programmeercyclus begint. Tijdens een page-write operatie kan wel data uit willekeurige adressen in het systeem worden opgehaald, maar het doel-adres moet op dezelfde pagina blijven: A6 tot en met A14 mogen niet veranderen.
De Page-Write operatie kan tijdens elke schrijf-operatie beginnen. Na de eerste byte-schrijfcyclus kunnen nog 1 tot 63 bytes op dezelfde manier worden geschreven. Elke volgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet binnen 100 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Als dit niet gebeurt zal de interne automatische programmeercyclus beginnen. Het page-write bereik (window) is onbegrensd als de computer maar telkens binnen 100 µs toegang krijgt tot de 28256.

Statusbits tijdens de schrijf-operatie
Met de 28256 kan de gebruiker twee write-operation statusbits toepassen om het systeem te optimaliseren.
Deze statusbits verschijnen gedurende de interne programmeercyclus op de I/O-bus (zie figuur 8/6.2-91).



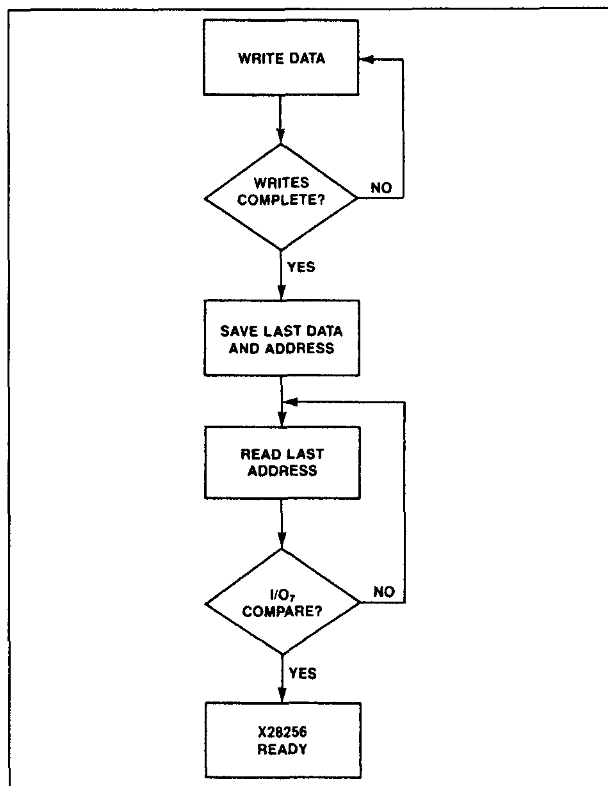
Figuur 8/6.2-91: Plaats en betekenis van de statusbits.

$\overline{DATA}$-polling (I/O7)
Met behulp van $\overline{DATA}$-polling kan worden gedetecteerd of een byte-write of page-write cyclus klaar is. Een eenvoudige bittest is hierbij voldoende om de status van de 28256 te bepalen. Gedurende de interne programmeercyclus heeft elke poging om de laatst geschreven byte te lezen tot gevolg dat het complement daarvan op I/O7 verschijnt (werd bijvoorbeeld 0xxx xxxx geschreven, dan zal 1xxx xxxx verschijnen). Wanneer de programmeercyclus klaar is, zal op I/O7 de werkelijke data staan (zie figuur 8/6.2-92). Als de 28256 zich in de beveiligde toestand bevindt en een illegale schrijf-operatie wordt geprobeerd is $\overline{DATA}$-polling niet mogelijk.



Figuur 8/6.2-92: Golfvormen bij $\overline{DATA}$-polling op I/O7.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-93: $\overline{\text{DATA}}$-polling software flow-diagram.

Toggle-bit (I/O6)

Er kan ook op een andere manier worden bepaald of de interne programmeercyclus klaar is. Gedurende de interne schrijfcyclus zal I/O6 bij pogingen tot uitlezen telkens van 1 naar 0 en van 0 naar 1 springen. Als de interne cyclus klaar is, houdt het toggelen op en kan worden doorgegaan met schrijven of lezen (figuur 8/6.2-94).

Door het toggle-bit te gebruiken kan de software-kern voor het telkens opbergen en ophalen van de data van het laatste adres vervallen. Dit is vooral nuttig als zich meerdere EEPROM's in een array bevinden en bij multi-processor toepassingen.

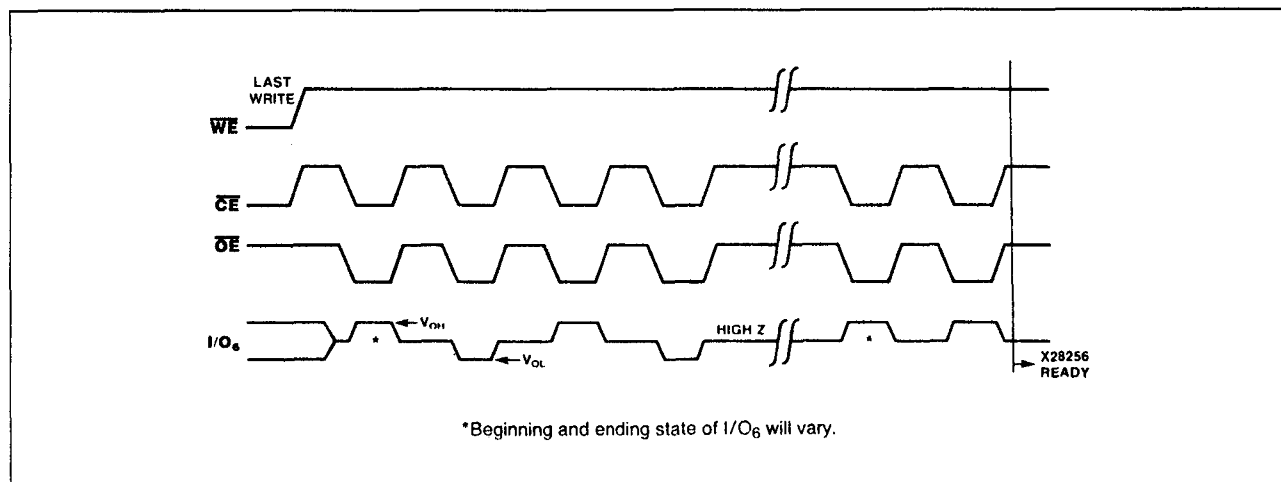
Hardware Data-beveiliging

Op drie manieren wordt voorkomen dat per ongeluk in de 28256 wordt geschreven:

- iedere $\overline{\text{WE}}$-puls moet tenminste 20 ns duren;
- alle functies worden gesperd als V_{CC} lager dan 3 V is;
- door $\overline{\text{OE}}$ LAAG of $\overline{\text{WE}}$ HOOG of $\overline{\text{CE}}$ HOOG te houden kan tijdens het in- of uitschakelen van de voeding niet onbedoeld worden geschreven.

Software Data-beveiliging

De 28256 heeft een door software bestuurde data-beveiliging die de gebruiker zelf kan inschakelen. De interne software data-beveiligingsschakeling wordt aktief na de eerste schrijfoperatie die gebruik maakt van de software algoritme.



Figuur 8/6.2-94: Toggle bit-bus volgorde (toggle-bit I/O6).

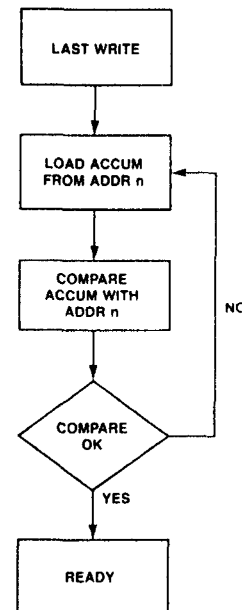
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	
X28256	−10°C to +85°C
X28256I	−65°C to +135°C
Storage Temperature	−65°C to +150°C
Voltage on any Pin with Respect to Ground	−1.0V to +7V
D.C. Output Current	5 mA
Lead Temperature (Soldering, 10 Seconds)	300°C

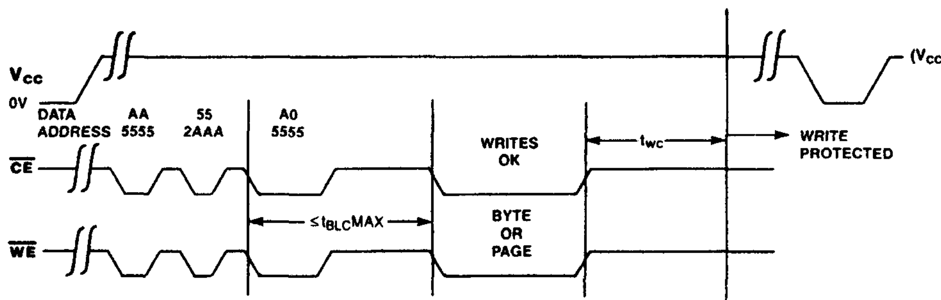
Tabel 8/6.2-54: Maximaal toegelaten waarden.

Deze schakeling blijft verder altijd in deze toestand, behalve als een reset-commando wordt gegeven.
Zodra de software-beveiliging is ingeschakeld, is de 28256 ook beschermd tegen onbedoelde schrijfpogingen als de voedingsspanning aanwezig is. De EEPROM kan dan pas data opnemen als de software algoritme is doorlopen. Hiertoe moet het computersysteem eerst een serie van drie schrijfoperaties uitvoeren op drie specifieke adressen (zie de figuren 8/6.2-96 en -97. Door de serie van drie bytes wordt het page-write window geopend, waardoor de computer 1 tot 64 bytes data kan schrijven (als de drie bytes worden gevolgd door een geldige byte- of page-write operatie). Nadat de page-write cyclus is beëindigd komt de 28256 automatisch in de beveiligde toestand. De 28256 houdt dan automatisch alle verdere schrijfpogingen tegen, tenzij een commando wordt gegeven om hiermee te stoppen.



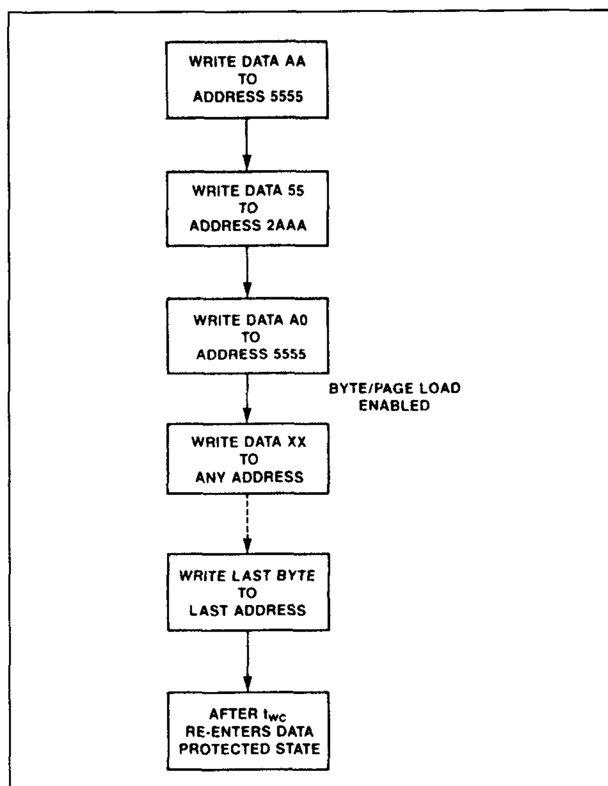
Figuur 8/6.2-95: Flow-diagram van de benodigde software bij gebruik van het toggle-bit.

Wanneer de gebruiker de software databeveiliging wil beëindigen voor testen of herprogrammeren, wordt de interne beveiligingsschakeling gereset met de in de figuren 8/6.2-98 en -99 getoonde zes-staps algoritme. Na t_{WC} komt de 28256 dan in de standaard bedrijfsmode.

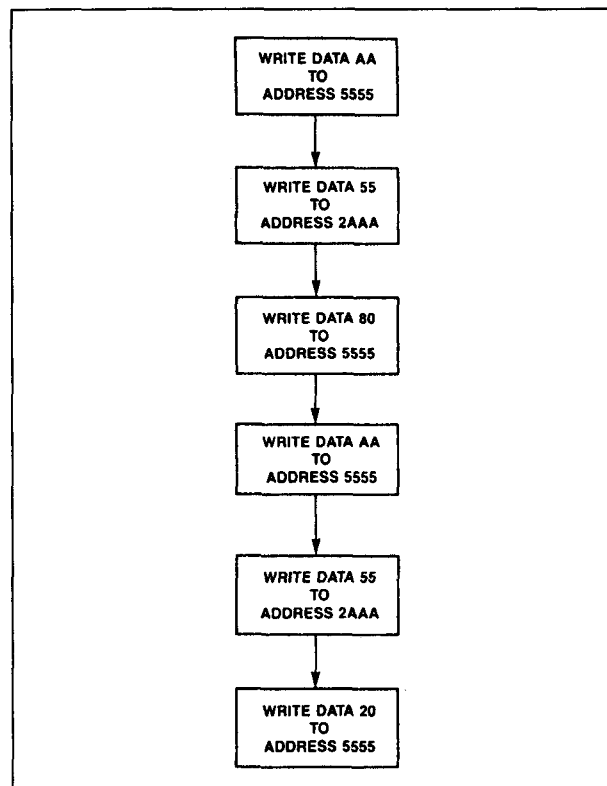


Figuur 8/6.2-96: Gebeurtenissen bij het doorlopen van de software data-beveiligingsmode (page- of byte-write).

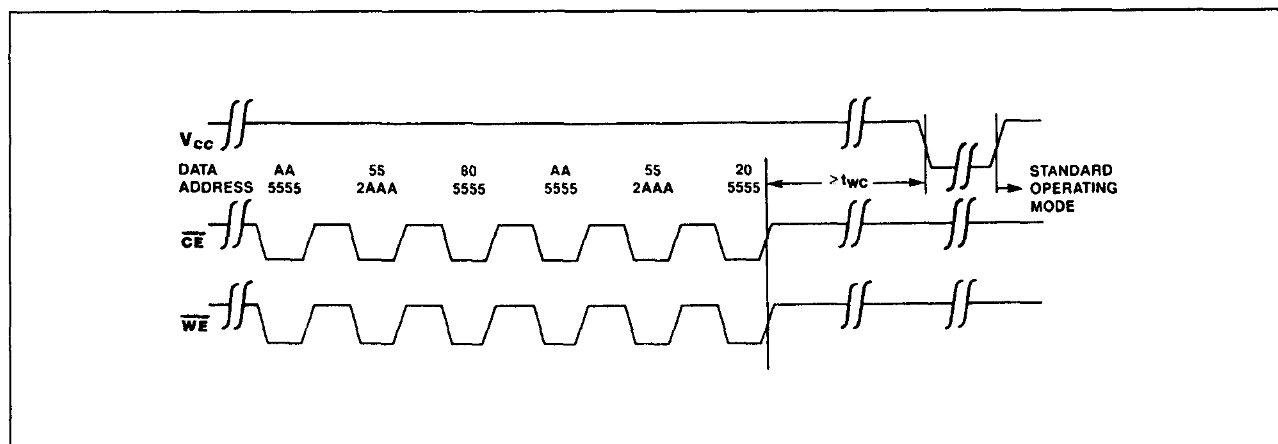
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-97: Schrijfhandelingen voor software data-beveiliging.



Figuur 8/6.2-99: Flow-diagram voor het deactiveren van de software data-beveiliging.



Figuur 8/6.2-98: Het resetten van de software data-beveiliging.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

D.C. OPERATING CHARACTERISTICS

X28256 T_A = 0°C to +70°C, V_{CC} = +5V ±5%, unless otherwise specified.
X28256I T_A = −40°C to +85°C, V_{CC} = +5V ±5%, unless otherwise specified.

Symbol	Parameter	Limits Min.	Limits Typ.(1)	Limits Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active)		60	120	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{SB}	V_{CC} Current (Standby)		35	60	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open Other Inputs = V_{CC}
I_{LI}	Input Leakage Current			10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE}$ = V_{IH}
V_{IL}(3)	Input Low Voltage	−1.0		0.8	V	
V_{IH}(3)	Input High Voltage	2.0		V_{CC} +0.5	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA

Tabel 8/6.2-55: Gelijkspanningskarakteristieken van de 28256.

Aanbevelingen voor het systeem

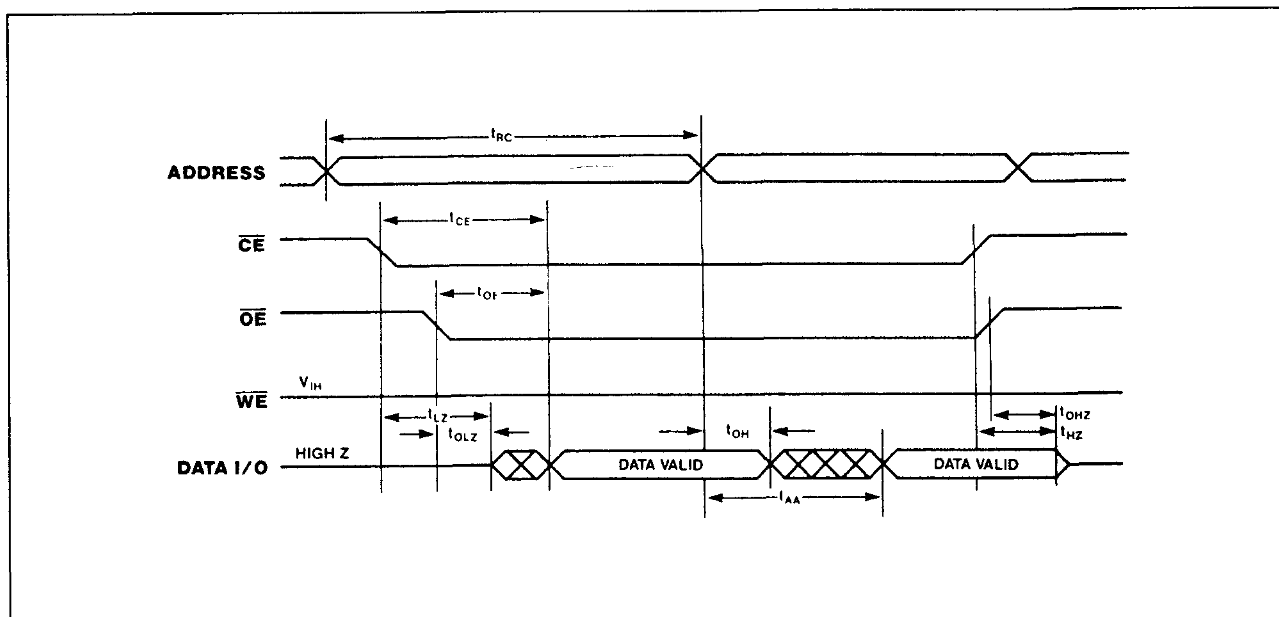
Omdat de 28256 in grote geheugen-arrays kan worden toegepast is deze voorzien van een tweedraads besturing voor lezen en schrijven. Meestal wordt $\overline{CE}$ vanaf de adresbus gedecodeerd als primaire selectie-ingang. $\overline{OE}$ en $\overline{WE}$ kunnen dan voor alle EEPROM's in het array worden gebruikt. Bij het lezen is dan gegarandeerd dat alle niet-geselecteerde EEPROM's in de standby toestand staan en dat alleen de gekozen 28256 data op de bus zet.

De 28256 heeft twee bedrijfsmodes: standby en aktief, zodat goede ontkoppeling van het geheugen-array zeer belangrijk is. Door het schakelen van $\overline{CE}$ treden stroomfluctuaties op die door middel van condensatoren kunnen worden onderdrukt. Minimaal moet een ceramisch condensator van 0,1 µF tussen V_{CC} en GND van elke EEPROM worden geplaatst.
Tevens wordt aanbevolen per 8 EEPROM's een elektrolytische condensator van 4,7 µF te plaatsen.

Symbol	Parameter	X28256-25 X28256I-25 Min.	X28256-25 X28256I-25 Max.	X28256 X28256I Min.	X28256 X28256I Max.	X28256-35 X28256I-35 Min.	X28256-35 X28256I-35 Max.	Units
t_{RC}	Read Cycle Time	250		300		350		ns
t_{CE}	Chip Enable Access Time		250		300		350	ns
t_{AA}	Address Access Time		250		300		350	ns
t_{OE}	Output Enable Access Time		100		100		100	ns
t_{LZ}(4)	$\overline{CE}$ Low to Active Output	0		0		0		ns
t_{OLZ}(4)	$\overline{OE}$ Low to Active Output	0		0		0		ns
t_{HZ}(4)	$\overline{CE}$ High to High Z Output	0	80	0	80	0	80	ns
t_{OHZ}(4)	$\overline{OE}$ High to High Z Output	0	80	0	80	0	80	ns
t_{OH}	Output Hold from Address Change	0		0		0		ns

Tabel 8/6.2-56: Timing van de leescycli van verschillende typen 28256.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



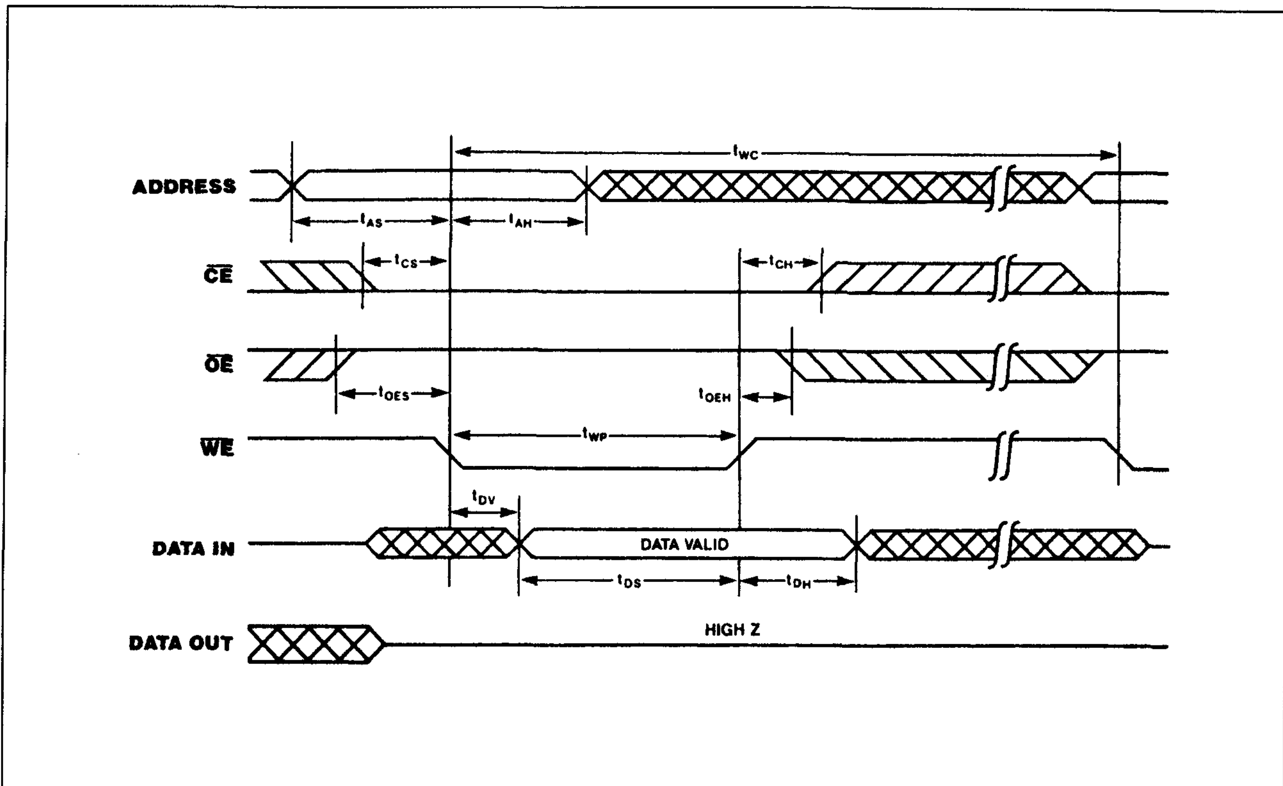
Figuur 8/6.2-100: Golfvormen en timing bij het uitlezen van de 28256.

Write Cycle Limits

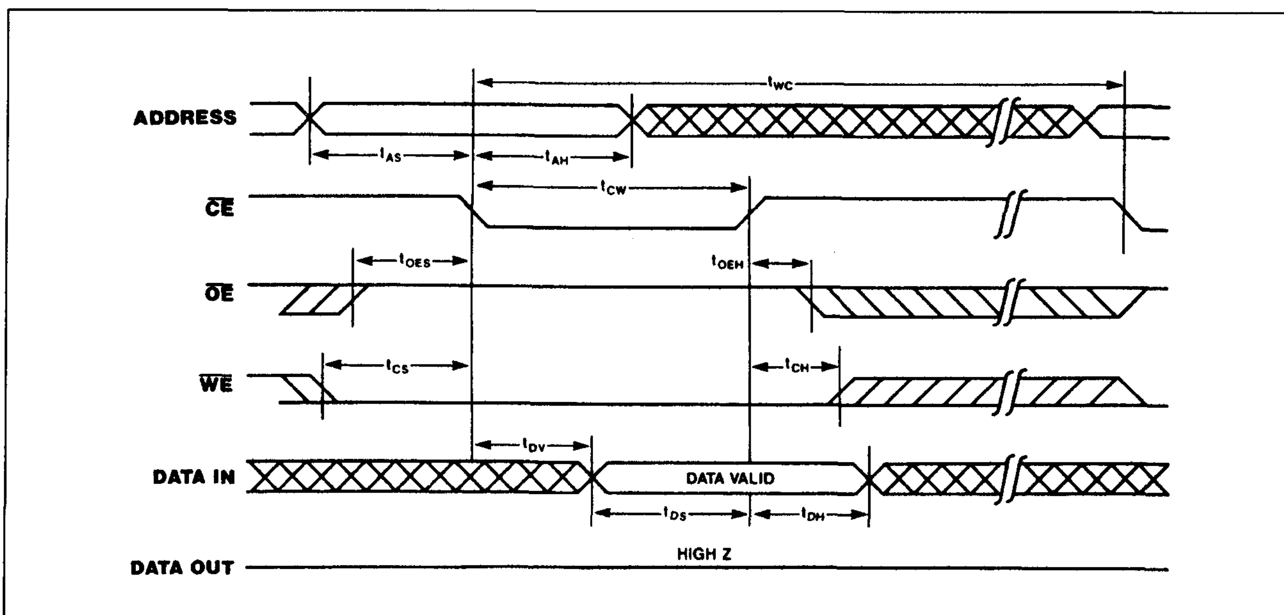
Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WC}(6)	Write Cycle Time		5	10	ms
t_{AS}	Address Setup Time	0			ns
t_{AH}	Address Hold Time	150			ns
t_{CS}	Write Setup Time	0			ns
t_{CH}	Write Hold Time	0			ns
t_{CW}	$\overline{CE}$ Pulse Width	150			ns
t_{OES}	$\overline{OE}$ High Setup Time	10			ns
t_{OEH}	$\overline{OE}$ High Hold Time	10			ns
t_{WP}	$\overline{WE}$ Pulse Width	150			ns
t_{WPH}	$\overline{WE}$ High Recovery	1			µs
t_{DV}	Data Valid			300	ns
t_{DS}	Data Setup	100			ns
t_{DH}	Data Hold	15			ns
t_{DW}	Delay to Next Write	10			µs
t_{BLC}	Byte Load Cycle	2		100	µs

Tabel 8/6.2-57: Timing van de schrijfcyclus van de 28256.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



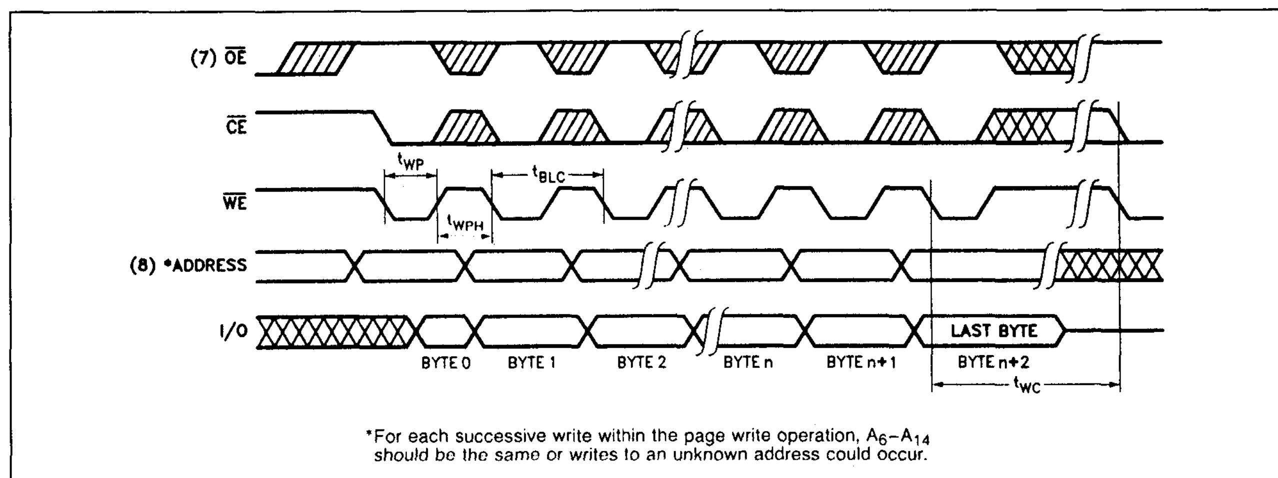
Figuur 8/6.2-101: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.



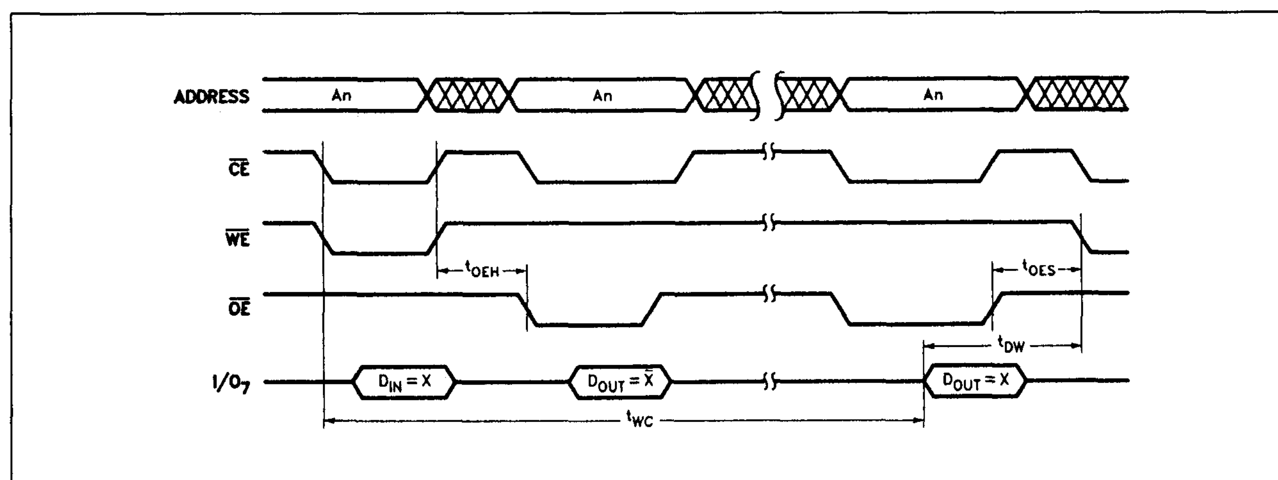
Figuur 8/6.2-102: Golfvormen en timing bij een schrijfcyclus onder $\overline{CE}$-besturing.

(wordt vervolgd)

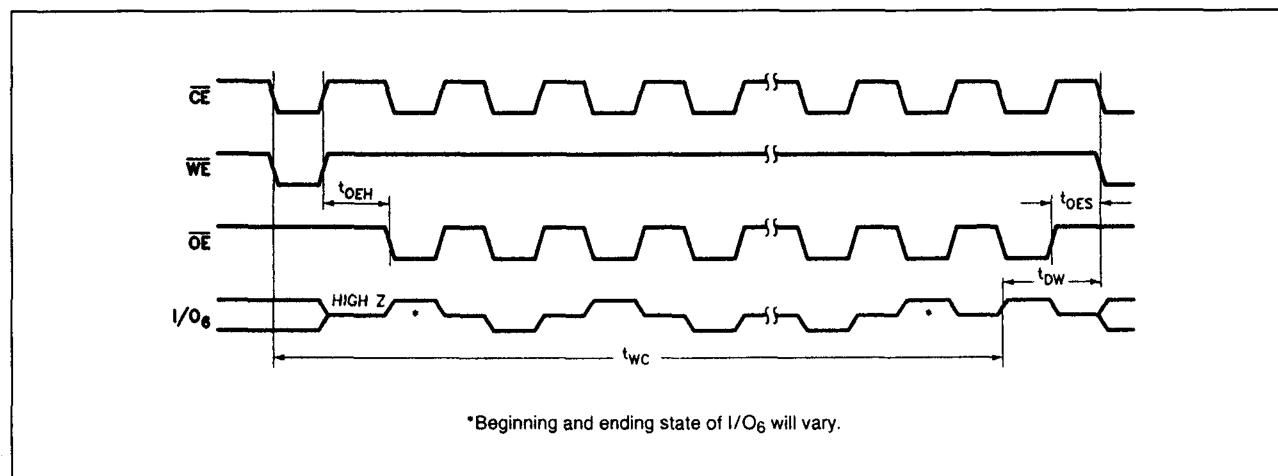
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-103: Golfvormen en timing van een Page-Write cyclus.



Figuur 8/6.2-104: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.



Figuur 8/6.2-105: Golfvormen en timing bij polling met behulp van het toggle-bit.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

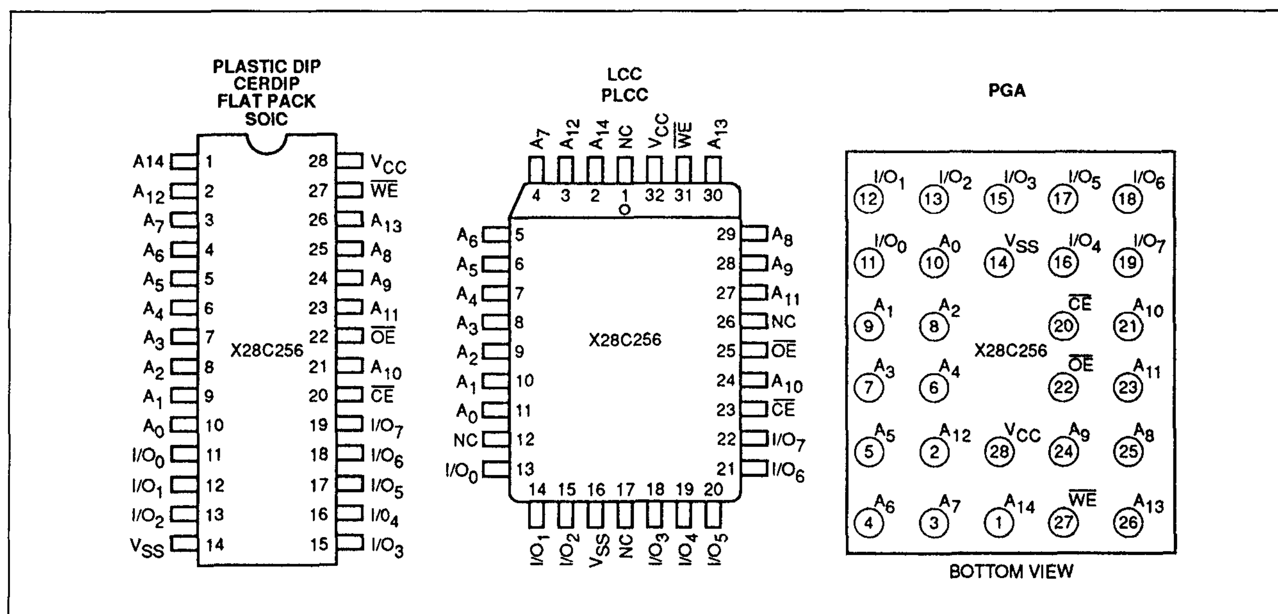
28C256

32 k x 8-bit CMOS EEPROM

De 28C256 is de populaire CMOS-versie van de hiervoor behandelde 28256.
Deze EEPROM is sneller en verbruikt minder vermogen dan het NMOS-type. De 28C256 werkt op een enkele voedingsspanning van 5 V en kan signalen op TTL- of CMOS-niveau verwerken.
Er kunnen 64 byte page-write operaties worden uitgevoerd, waardoor voor een schrijfcyclus gemiddeld 78 µs/byte nodig is en het geheugen binnen 2,5 s geheel kan worden beschreven. De 28C256 is geschikt voor $\overline{\text{DATA}}$-polling, terwijl met de X28C256 van Xicor, de CAT28C256 van Catalyst en de E/M28HC256 van Seeq ook "Toggle Bit Polling" mogelijk is.

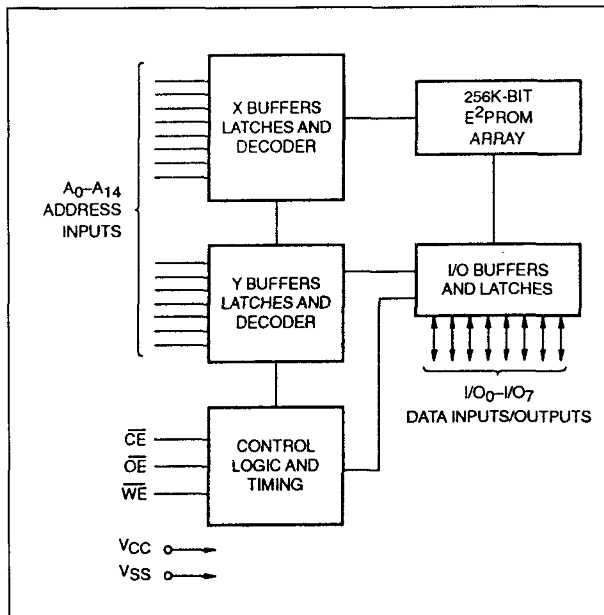
Specificaties

- 32768 x 8-bit organisatie
- enkele 5 V +/-10 % voeding
- alle adres- en data-ingangen met latches
- 3-state data-uitgangen
- CMOS/TTL compatibel
- toegangstijd:
  28C256: 150, 200, 250 of 300 ns
  28HC256: 70, 90 of 120 ns
- 64 byte page-write operatie (28HC256: 128 byte)
- byte- of page-write tijd 5 ms typ.
- herschrijven gehele EEPROM in 2,5 s
- effectieve byte-write cyclustijd: 78 µs typ.
- low-power CMOS: aktieve stroom: 60 mA, standby-stroom: 200 µA
- software data-beveiliging
- $\overline{\text{DATA}}$-polling en Toggle Bit polling
- 28-pens plastic of ceramisch DIL- of SOIC-behuizing, 32-pens PLCC-behuizing of 28-pens PGA (figuur 8/6.2-106)
- levensduur: minimaal 100.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X28C256, X28HC256
  Samsung: KM28C256
  Microchip: 28CP256A/B
  Exel: XL28C256
  Seeq: 28C256(K), E/M28C256
  Catalyst: CAT28C256
  General Instrument: 28C256
  Atmel: AT28C256(E,F)



Figuur 8/6.2-106: Aansluitingen van de DIL-, PLCC- en PGA-behuizingen van de 28C256.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

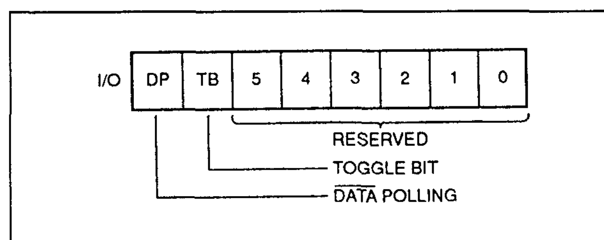


Figuur 8/6.2-107: Functioneel blokschema van de 28C256.

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-58: Mode-selectie van de 28C256.



Figuur 8/6.2-108: Betekenis van de statusbits (alleen Xicor-type).

Lezen (Read)

Het uitlezen van de 28C256 begint door $\overline{OE}$ en $\overline{CE}$ LAAG te maken en eindigt als $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. Met deze 2-draads besturing wordt busrivaliteit in het systeem voorkomen. Als $\overline{OE}$ of $\overline{CE}$ HOOG is, is de databus hoog-impedant.

Schrijven (Write)

Het programmeren (schrijven) van de 28C256 begint als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. Het schrijven kan door $\overline{CE}$ of door $\overline{WE}$ worden bestuurd, omdat het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches wordt opgeslagen. Net zo wordt data intern gelatched op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Is een byte-schrijfoperatie eenmaal begonnen dan wordt die automatisch binnen 5 ms voltooid.

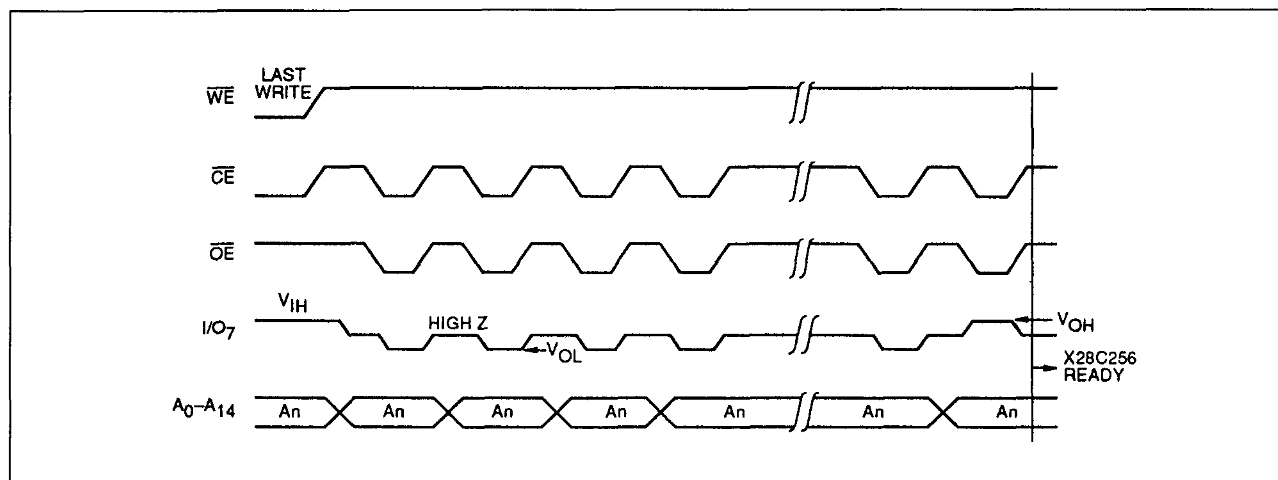
Page Write operatie

Met Page-Write kan de gehele 28C256 in maximaal 2,5 s worden volgeschreven. Page-Write maakt het mogelijk om de 28C256 te vullen met 2 tot 64 bytes aaneengesloten data, voordat de interne programmeercyclus begint. De bron-adressen mogen daarbij wel veranderen, maar het doeladres moet op dezelfde pagina blijven: A6 tot en met A14 mogen niet veranderen.
De Page-Write mode kan gedurende elke schrijf-operatie worden geopend. Na de eerste byte-schrijfcyclus kan de computer nog 1 tot 63 bytes op dezelfde manier schrijven. Elke daarop volgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet dan binnen 100 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Als een volgende $\overline{WE}$ HOOG-naar-LAAG overgang niet binnen 100 µs wordt gedetecteerd zal de interne automatische programmeercyclus beginnen. Het page-write bereik (window) is onbegrensd zolang de 28C256 maar telkens binnen 100 µs wordt aangesproken.

Statusbits bij het schrijven

De 28C256 van Xicor voorziet de gebruiker van twee write-operation statusbits om het systeem te optimaliseren.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-109: Golfvormen bij $\overline{\text{DATA}}$-polling op I/O7.

Deze statusbits worden gedurende de interne programmeercyclus op de I/O-bus gezet (zie figuur 8/6.2-108).

$\overline{\text{DATA}}$-polling (I/O7)

Bij alle 28C256-typen kan $\overline{\text{DATA}}$-polling worden gebruikt om te detecteren dat een byte-write of page-write cyclus is geëindigd. Een eenvoudige bittest is voldoende om de status van de 28C256 te bepalen. Tijdens de interne programmeercyclus zal bij elke poging om de laatst geschreven byte uit te lezen het complement daarvan op I/O7 verschijnen (als bijvoorbeeld 0xxx xxxx werd geschreven, zal 1xxx xxxx verschijnen).
Zodra de programmeercyclus klaar is, zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-109).

In figuur 8/6.2-110 is het flow-diagram van de hiervoor benodigde software te zien. Als de 28C256 beveiligd is en een illegale schrijfoperatie wordt geprobeerd, is $\overline{\text{DATA}}$-polling niet mogelijk.

Toggle-bit (I/O6)

Bij veel 28C256 EEPROM's (o.a. Xicor, Samsung, Catalyst) kan ook op een andere manier worden bepaald of de interne schrijfcyclus klaar is. Gedurende de interne schrijfcyclus zal I/O6 bij pogingen tot uitlezen telkens van 1 naar 0 en van 0 naar 1 springen. Is deze interne cyclus beëindigd, dan houdt het "toggelen" op en kan het schrijven of lezen worden hervat (figuur 8/6.2-111).

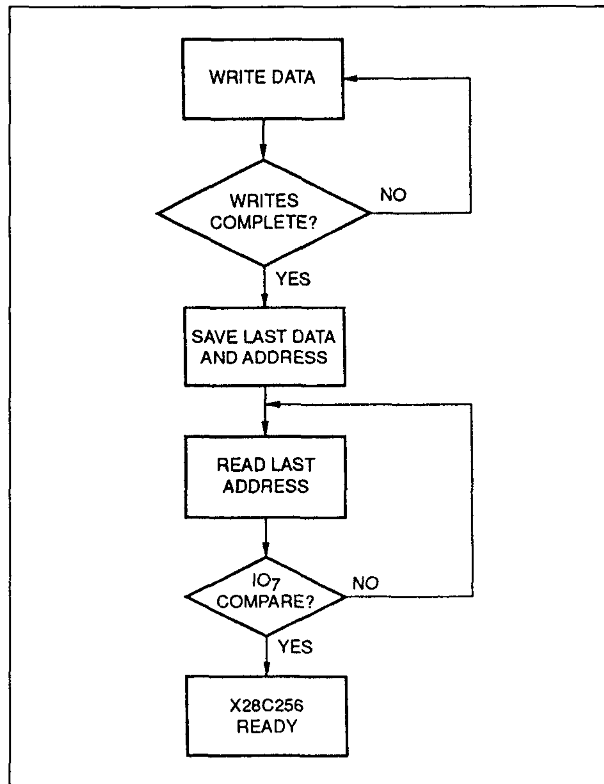
Door gebruik van het toggle-bit is het software-gedeelte voor het telkens opbergen en ophalen van de inhoud van het laatste adres voor de implementatie van $\overline{\text{DATA}}$-polling niet nodig.
Vooral als meerdere 28C256's in een array zijn geplaatst en/of in multi-processor toepassingen is dit nuttig. Het tijddiagram van figuur 8/6.2-111 laat signalen op de bus zien, terwijl figuur 8/6.2-112 het flow-diagram van de software is.

Hardware Data-beveiliging

Er kan (net als bij de 2864A) op drie manieren worden voorkomen dat per abuis wordt geschreven:

- Beveiliging tegen storingen:
  elke $\overline{\text{WE}}$-puls moet tenminste 20 ns duren.
- V_{CC}-sense:
  alle functies worden gesperd als V_{CC} lager dan 3,5 V is.
- Write inhibit:
  is tijdens het in- of uitschakelen van de voeding $\overline{\text{OE}}$ LAAG, of $\overline{\text{WE}}$ of $\overline{\text{CE}}$ HOOG, dan kan niet onbedoeld worden geschreven.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-110: Software flow-diagram voor DATA-polling.

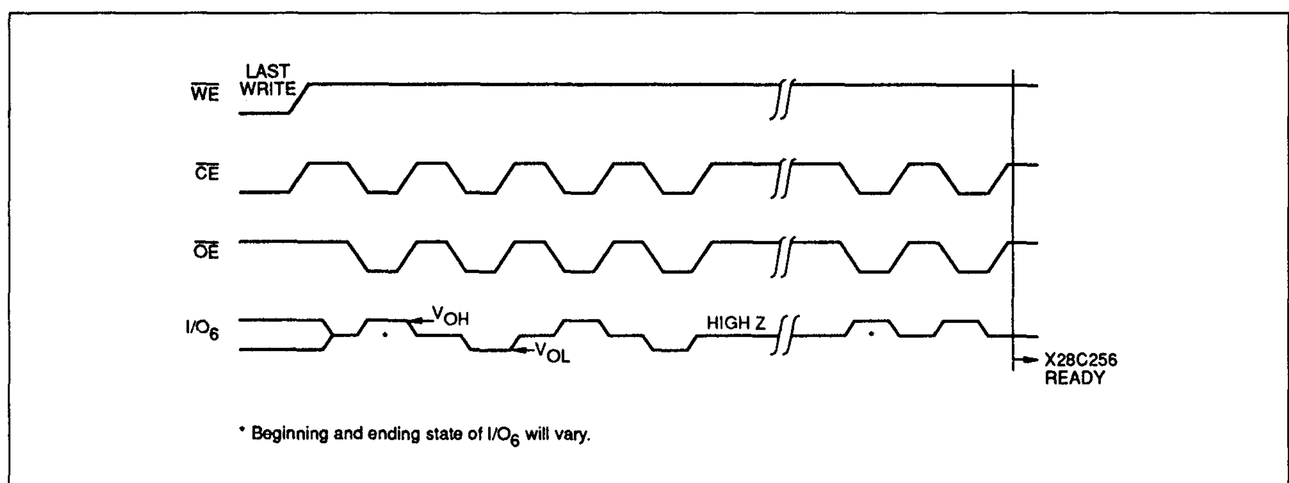
Software Data-beveiliging

De 28C256 heeft een data-beveiliging onder software besturing die bij aflevering NOT ENABLED is: hij bevindt zich dan in de standaard bedrijfsmode, waarbij data tijdens power-up/down door externe schakelingen beschermd moet worden. De 28C256 kan echter ook met behulp van software automatisch beveiligd worden. De interne software databeveiligingsschakeling wordt vrijgegeven na de eerste schrijfoperatie die gebruik maakt van de software algoritme. Deze schakeling blijft verder altijd in deze toestand, tenzij een reset-commando wordt uitgevoerd. Zodra de software-beveiliging is ingeschakeld, is de 28C256 ook beschermd tegen onbedoelde schrijfpogingen als de voedingsspanning aanwezig is. Voordat de EEPROM extra data kan opnemen moet dan eerst de software algoritme worden doorlopen.

Software algoritme

Om in de software data-beveiligingsmode te komen moet het computersysteem eerst een serie van drie schrijfoperaties uitvoeren op drie specifieke adressen (zie de figuren 8/6.2-113 en -114).

Door de serie van drie bytes wordt het pagewrite window geopend, waardoor de computer 1 tot 64 bytes data kan schrijven (als de drie bytes tenminste worden gevolgd door een geldige byte- of page-write operatie). Nadat de page-write cyclus is beëindigd komt de 28C256 automatisch in de beveiligde toestand.



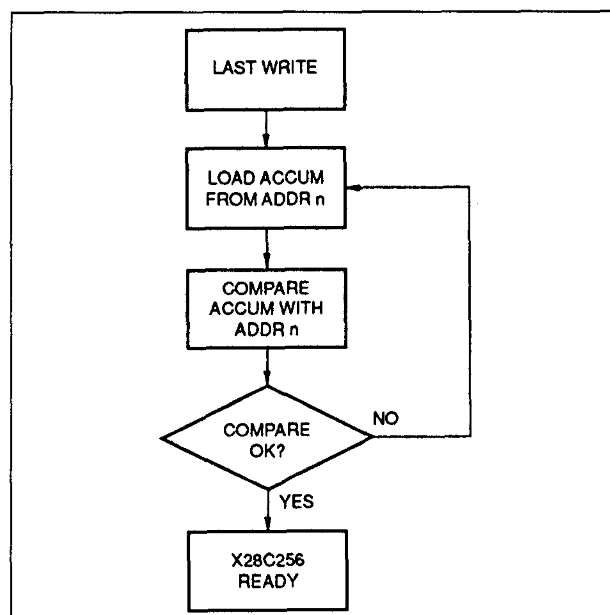
Figuur 8/6.2-111: Toggle bit-bus volgorde (toggle-bit I/O6).

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

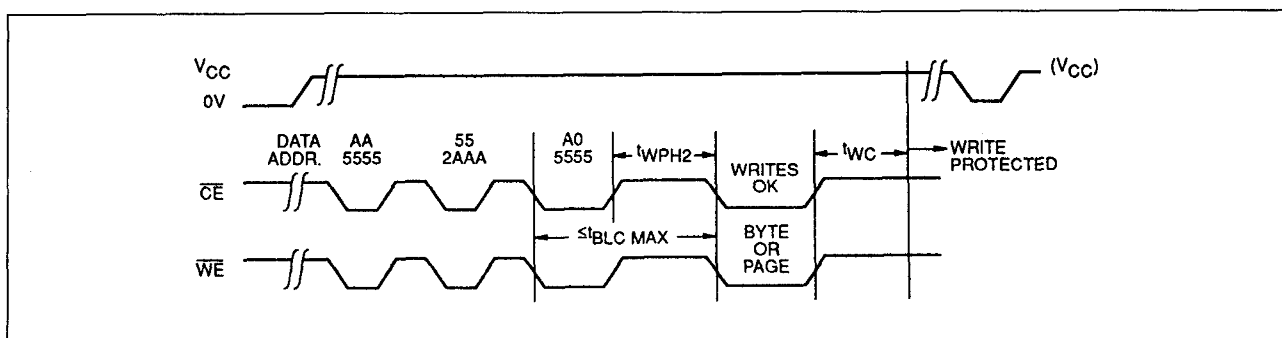
Zodra de software data-beveiligings algoritme wordt gebruikt en data is ingeschreven, spert de 28C256 automatisch alle verdere schrijfpogingen, tenzij een commando wordt gegeven om hiermee te stoppen. Als geen andere commando's worden ontvangen is de 28C256 tijdens power-up/down tegen schrijven beschermd.
Wanneer de gebruiker de software databeveiliging wil beëindigen voor testen of herprogrammeren, wordt de interne beveiligingsschakeling gereset met de zes-staps algoritme in de figuren 8/6.2-115 en -116. Na t_{WC} komt de 28C256 in de standaard bedrijfsmode.

Aanbevelingen voor het systeem

De 28C256 wordt ook in grote geheugenarrays toegepast en is voorzien van een tweedraads besturing voor lezen en schrijven. Decodering van $\overline{CE}$ vanaf de adresbus wordt aanbevolen als primair selectiesignaal. Zowel $\overline{OE}$ als $\overline{WE}$ kunnen dan gemeenschappelijk zijn voor alle EEPROM's in het array. Bij een lees-operatie is het dan zeker dat alle niet-geselecteerde EEPROM's in de standby-toestand staan en dat alleen de wèl geselecteerde 28C256 data op de bus zet.
Omdat de 28C256 ook standby kan staan is goede ontkoppeling van het geheugen-array zeer belangrijk. Door het vrijgeven van $\overline{CE}$ worden inschakelstroompieken veroorzaakt, waarvan de amplitude afhankelijk is van de capacitieve belasting van de I/O-lijnen. De spanningspieken die hierdoor ontstaan kunnen met behulp van condensatoren worden onderdrukt. Minimaal moet een ceramisch condensator van 0,1 µF tussen V_{CC} en GND bij elke EEPROM worden geplaatst. Bovendien wordt aanbevolen bij elke groep van acht EEPROM's een elektrolytische condensator van 4,7 µF toe te passen.

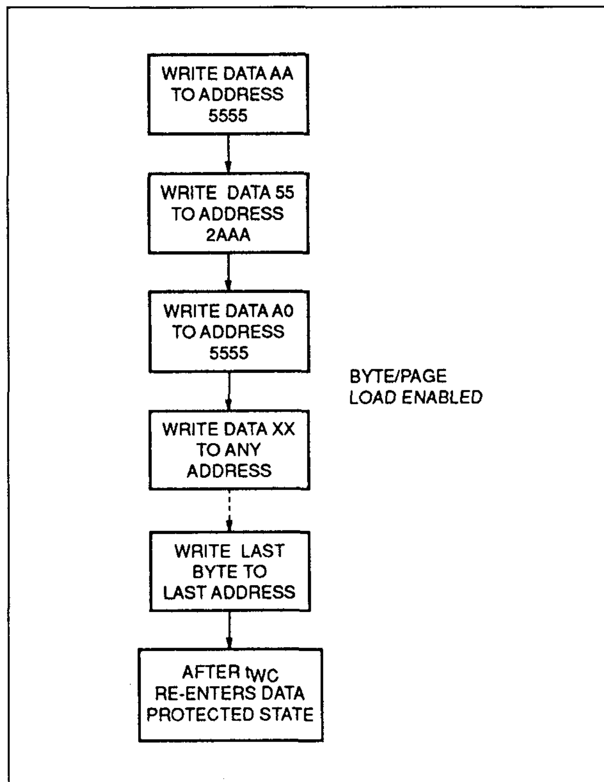


Figuur 8/6.2-112: Flow-diagram van de voor het toggle-bit benodigde software.

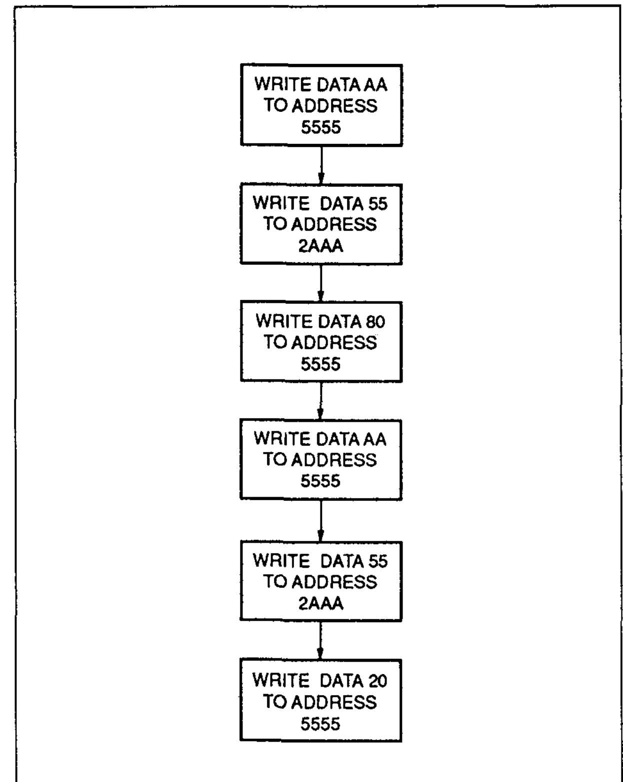


Figuur 8/6.2-113: Volgorde van handelingen bij het binnengaan van de software data-beveiligingsmode (page- of byte-write).

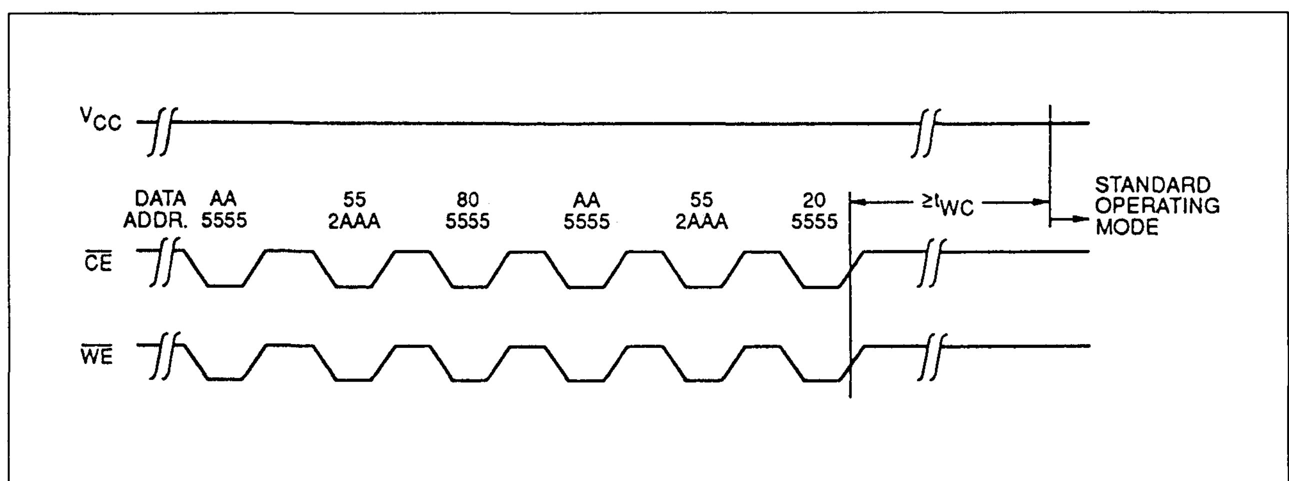
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-114: Schrijfhandelingen voor aktiveren van de software databeveiliging.



Figuur 8/6.2-116: Flow-diagram voor het deactiveren van de software databeveiliging.



Figuur 8/6.2-115: Volgorde van handelingen voor het resetten van de software data-beveiliging.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias
X28C256 ....−10°C to +85°C
X28C256I, X28C256M ....−65°C to +135°C
Storage Temperature ....−65°C to +150°C
Voltage on any Pin with
Respect to Ground ....−1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds).............................300°C

Tabel 8/6.2-59: Maximaal toegelaten waarden.

D.C. OPERATING CHARACTERISTICS (over recommended operating conditions, unless otherwise specified)

Symbol	Parameter	Limits Min.	Typ.(1)	Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active) (TTL Inputs)			60	mA	$\overline{CE} = \overline{OE} = V_{IL}$, $\overline{WE} = V_{IH}$, All I/O's = Open, Address Inputs = .4V/2.4V @ f = 5MHz
I_{SB1}	V_{CC} Current (Standby) (TTL Inputs)			2	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = V_{IH}
I_{SB2}(2)	V_{CC} Current (Standby) (CMOS Inputs)		200	500	µA	$\overline{CE} = V_{CC} - 0.3V$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = $V_{CC} - 0.3V$
I_{LI}	Input Leakage Current			10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE} = V_{IH}$
V_{IL}(3)	Input Low Voltage	−1.0		0.8	V	
V_{IH}(3)	Input High Voltage	2.0		V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA

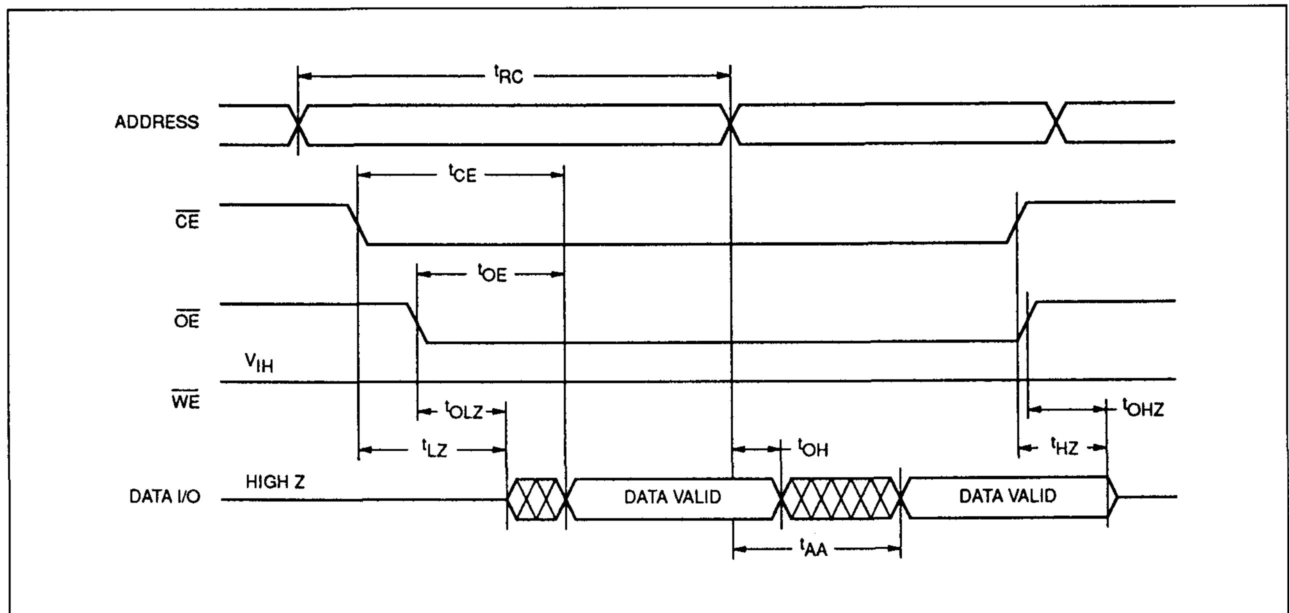
Tabel 8/6.2-60: Gelijkspanningskarakteristieken van de 28C256.

Read Cycle Limits

Symbol	Parameter	X28C256-15 Min.	X28C256-15 Max.	X28C256-20 Min.	X28C256-20 Max.	X28C256-25 Min.	X28C256-25 Max.	X28C256 Min.	X28C256 Max.	Units
t_{RC}	Read Cycle Time	150		200		250		300		ns
t_{CE}	Chip Enable Access Time		150		200		250		300	ns
t_{AA}	Address Access Time		150		200		250		300	ns
t_{OE}	Output Enable Access Time		50		80		100		100	ns
t_{LZ}(5)	$\overline{CE}$ Low to Active Output	0		0		0		0		ns
t_{OLZ}(5)	$\overline{OE}$ Low to Active Output	0		0		0		0		ns
t_{HZ}(5)	$\overline{CE}$ High to High Z Output		50		50		50		50	ns
t_{OHZ}(5)	$\overline{OE}$ High to High Z Output		50		50		50		50	ns
t_{OH}	Output Hold from Address Change	0		0		0		0		ns

Tabel 8/6.2-61: Schakeltijden bij het uitlezen van verschillende typen 28C256's.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



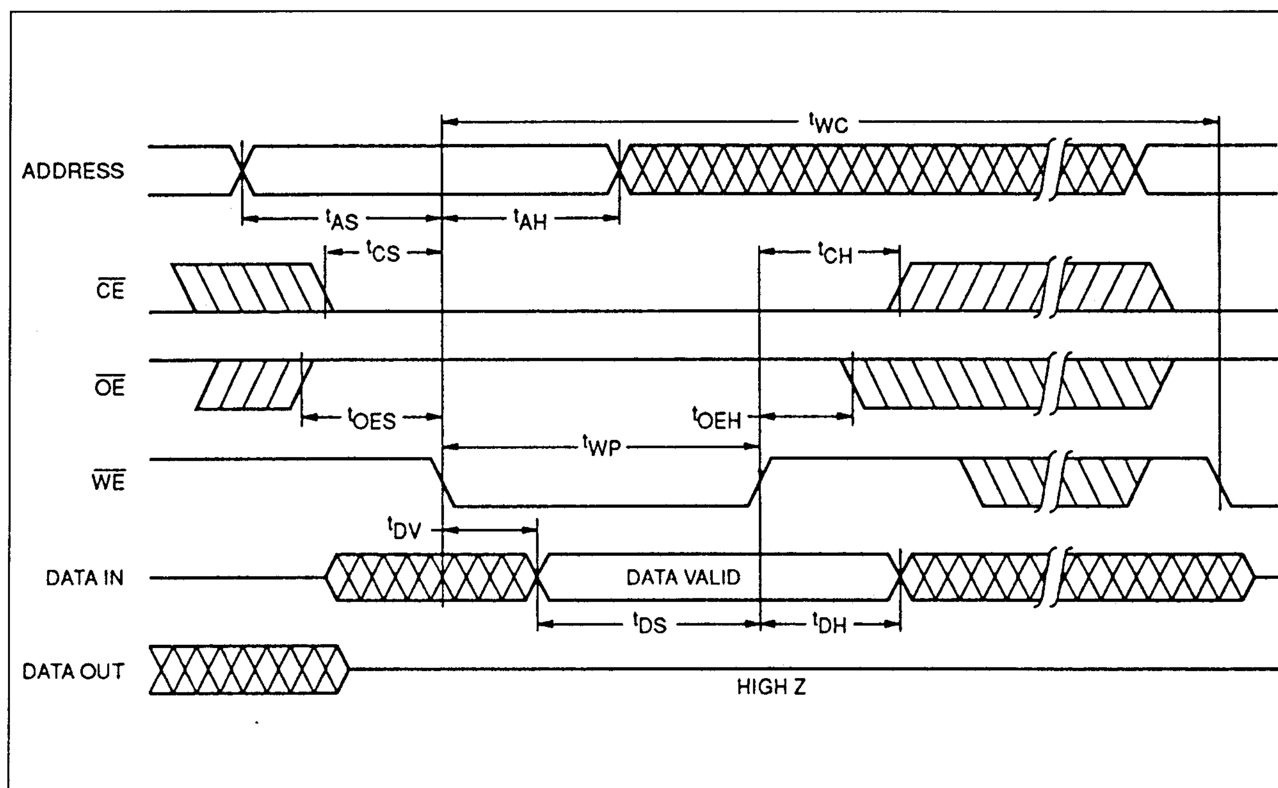
Figuur 8/6.2-117: Golfvormen en timing bij het uitlezen van de 28C256.

WRITE CYCLE LIMITS

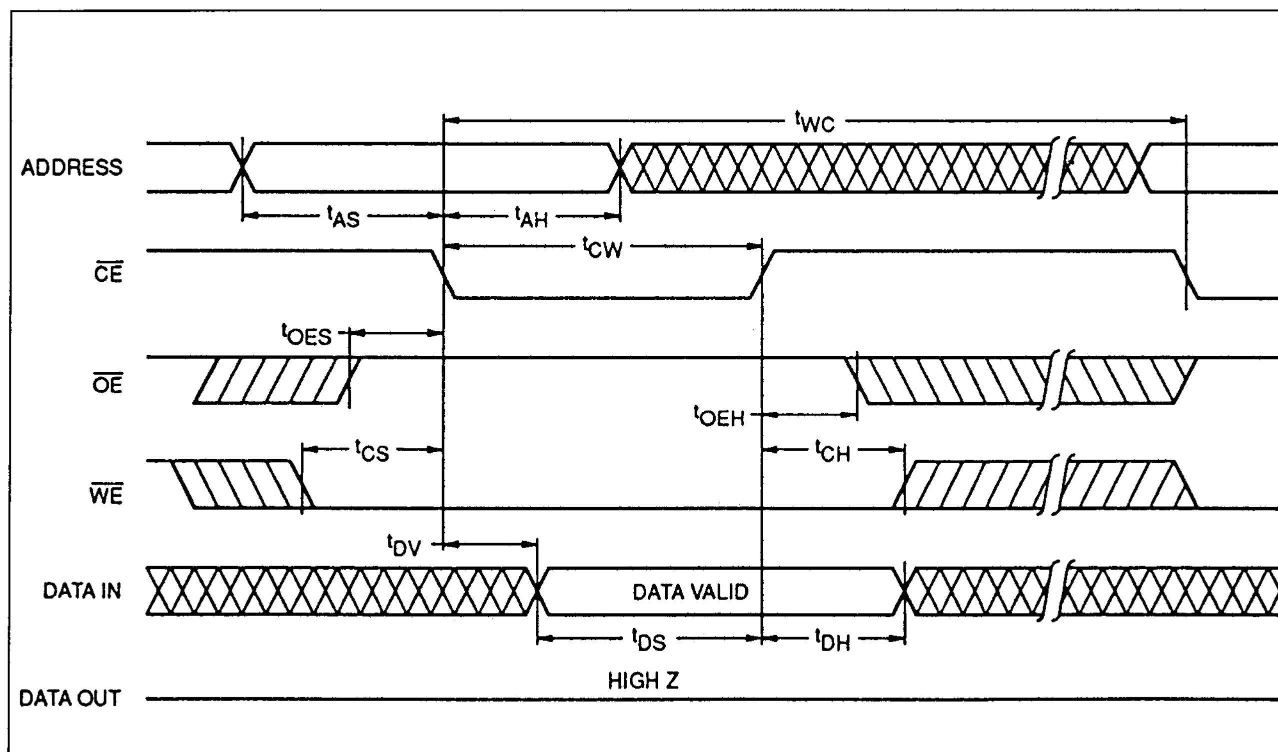
Symbol	Parameter	Min.(9)	Typ.(6)	Max.	Units
t_{WC}(7)	Write Cycle Time		5	10	ms
t_{AS}	Address Setup Time	0			ns
t_{AH}	Address Hold Time	150			ns
t_{CS}	Write Setup Time	0			ns
t_{CH}	Write Hold Time	0			ns
t_{CW}	$\overline{CE}$ Pulse Width	100			ns
t_{OES}	$\overline{OE}$ High Setup Time	10			ns
t_{OEH}	$\overline{OE}$ High Hold Time	10			ns
t_{WP}	$\overline{WE}$ Pulse Width	100			ns
t_{WPH}	$\overline{WE}$ High Recovery	50			ns
t_{WPH2}(8)	SDP $\overline{We}$ Recovery	1			µs
t_{DV}	Data Valid			1	µs
t_{DS}	Data Setup	50			ns
t_{DH}	Data Hold	10			ns
t_{DW}	Delay to Next Write	10			µs
t_{BLC}(9)	Byte Load Cycle	1		100	µs

Tabel 8/6.2-62: Schakeltijden bij het programmeren van de 28C256.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

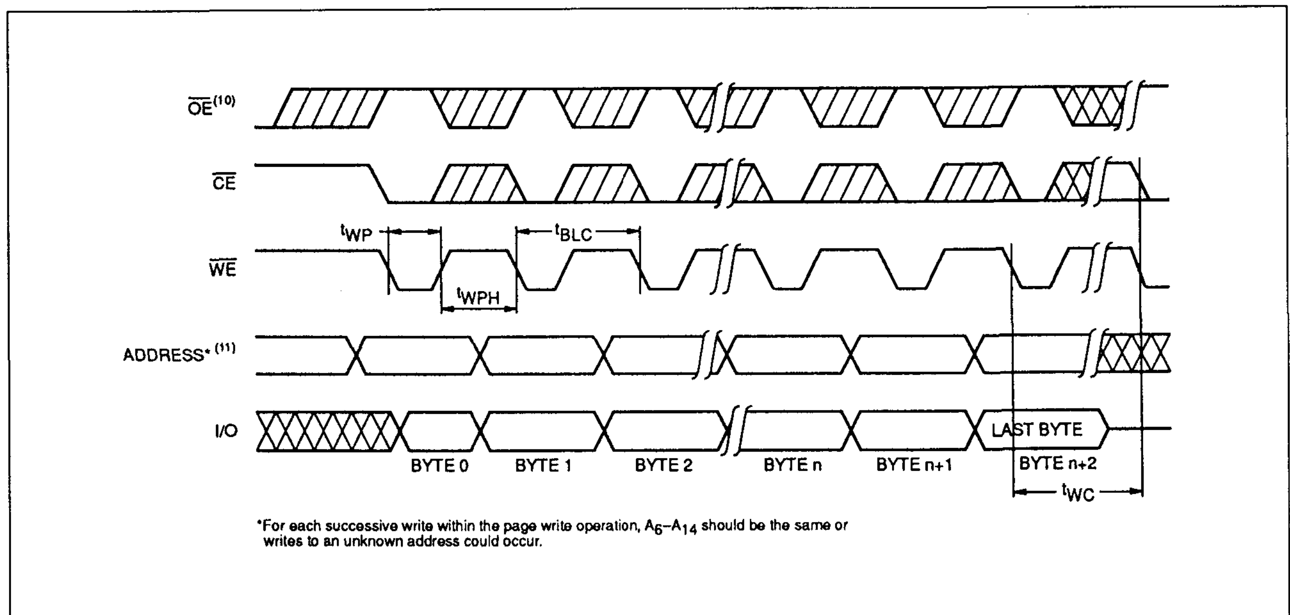


Figuur 8/6.2-118: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

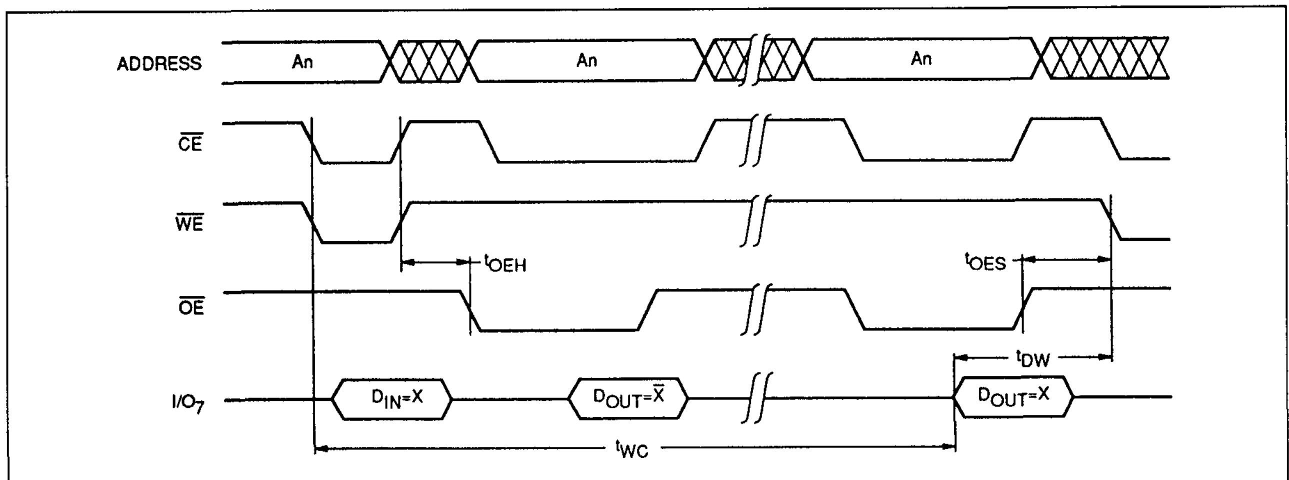


Figuur 8/6.2-119: Golfvormen en timing bij een schrijfcyclus onder $\overline{CE}$-besturing.

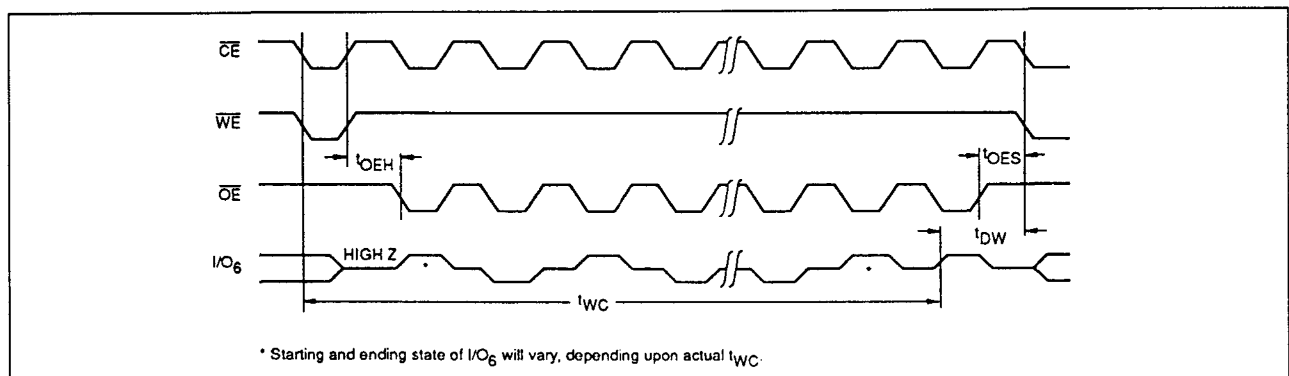
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-120: Timing en golfvormen bij een Page-Write cyclus.



Figuur 8/6.2-121: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.



Figuur 8/6.2-122: Golfvormen en timing bij toggle-bit polling.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

28C512

64 k x 8-bit CMOS EEPROM

De 28C256 is een CMOS EEPROM, georganiseerd in 64 k woorden van 8 bit per stuk. De 28C512 werkt net als alle andere CMOS EEPROM's op een enkele voedingsspanning van 5 V en kan signalen op TTL- of CMOS-niveau verwerken. De 28C512 is geschikt voor 128 byte page-write operaties waardoor schrijfcycli van 39 μs/byte ontstaan en het mogelijk is het totale geheugen binnen 2,5 s te programmeren. Op de 28C512 kan zowel de $\overline{DATA}$-polling als de toggle-bit polling methode worden toegepast om te detecteren of een schrijfcyclus is geëindigd.

Specificaties

- 65536 x 8-bit organisatie
- enkele 5 V (+/-10 %) voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- CMOS/TTL-compatibel
- toegangstijd: 120, 150, 200 of 250 ns
- 128 byte page-write operatie
- byte- of page-write tijd 10 ms max.
- herschrijven gehele EEPROM in 2,5 s
- effectieve byte-write cyclustijd: 39 μs typ.
- CMOS-dissipatie: aktief 50 mA, standby 500 μA
- software data-beveiliging
- $\overline{DATA}$-polling en Toggle Bit polling
- 32-pens plastic/ceramisch DIL-behuizing of flat pack of 36-pens PGA (figuur 8/6.2-123) of 32-pens (P)LCC-behuizing (2 typen: 28C512 of 28C513, (figuur 8/6.2-124)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leverancier: Xicor: X28C512(I,M)

Lezen (Read)

De 28C512 kan worden uitgelezen door $\overline{OE}$ en $\overline{CE}$ LAAG te maken. Het lezen stopt als $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat. De 2-draads besturing voorkomt busrivaliteit in het systeem. Wanneer $\overline{OE}$ of $\overline{CE}$ HOOG is, verkeert de databus in de hoog-impedante toestand.

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-63: Mode-selectie van de 28C512.

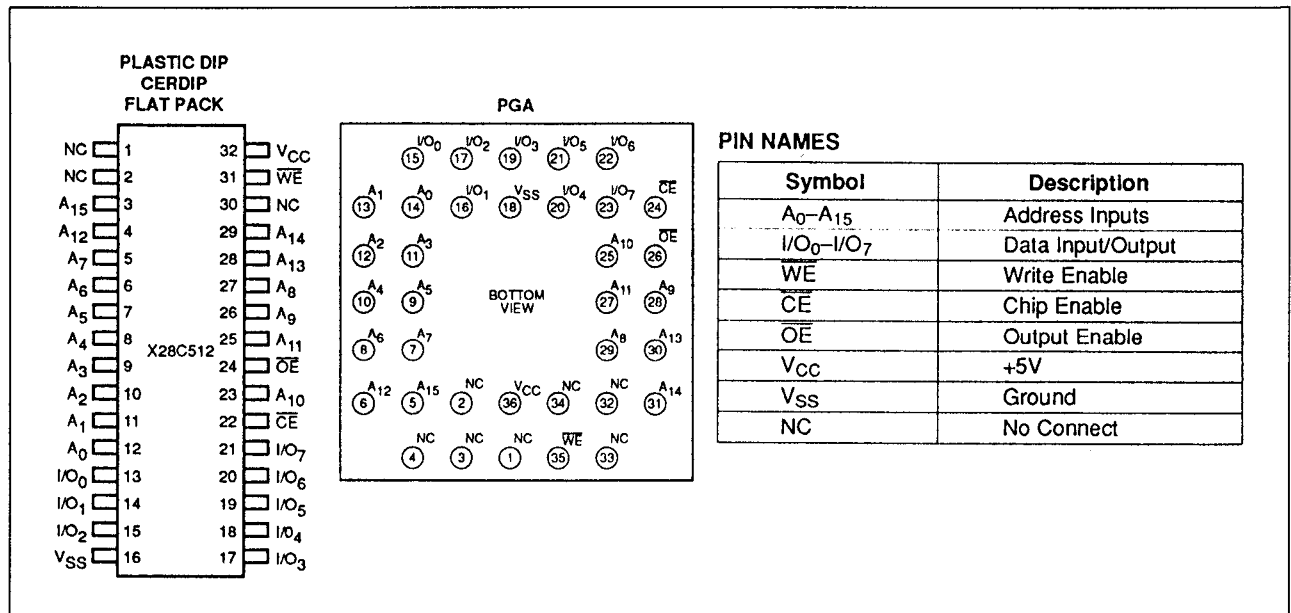
Schrijven (Write)

De 28C512 kan worden geprogrammeerd als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. Het schrijven kan onder besturing van $\overline{CE}$ of $\overline{WE}$ plaatsvinden, omdat het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ in latches wordt opgeslagen. Data wordt intern gelatched op de eerst verschijnende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Is een byteschrijfoperatie eenmaal begonnen dan wordt die automatisch, meestal binnen 5 ms voltooid.

Page Write operatie

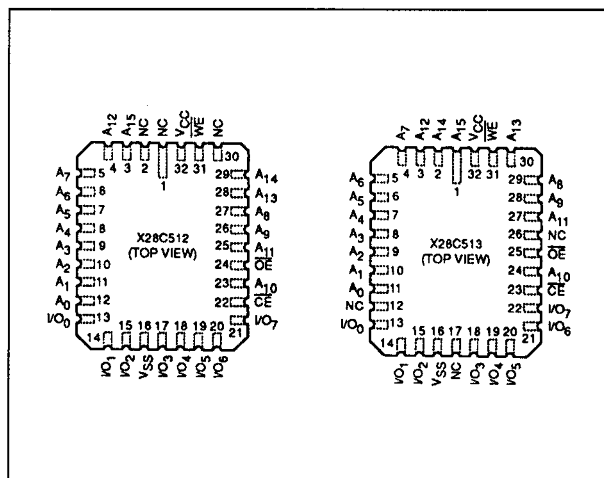
In de Page-Write mode kan de gehele 28C512 in maximaal 2,5 s worden beschreven. Met page-write is het mogelijk om 2 tot 128 bytes data achter elkaar te schrijven, voordat de interne programmeercyclus begint. De computer mag daarbij wel andere bron-adressen kiezen, maar het doel-adres moet op dezelfde pagina blijven: A7 tot en met A15 mogen niet veranderen. De Page-Write mode kan gedurende elke schrijfoperatie ingaan. Na de eerste byte-schrijfcyclus kan de computer nog 1 tot 127 bytes op dezelfde manier schrijven. Elke opeenvolgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet dan binnen 100 μs na de dalende flank van de voorgaande $\overline{WE}$ beginnen. Gebeurt dat niet, dan start de interne automatische programmeercyclus. Het page-write bereik is onbegrensd zolang de 28C512 maar telkens binnen 100 μs wordt beschreven.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

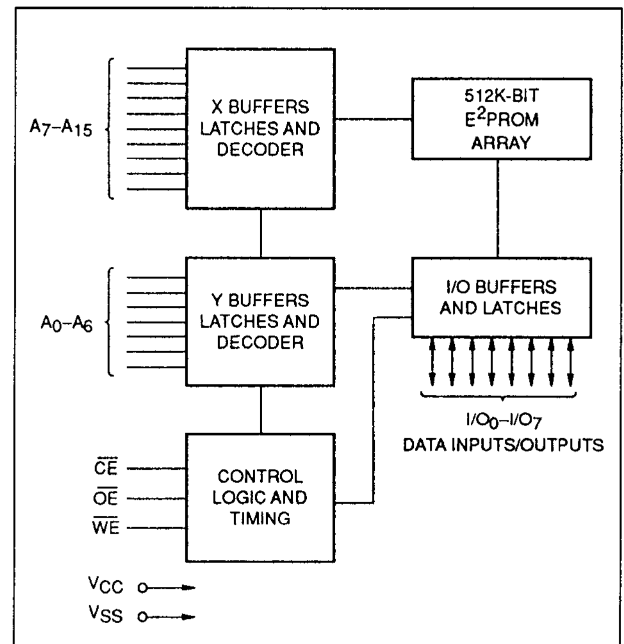


Symbol	Description
A_0–A_{15}	Address Inputs
I/O_0–I/O_7	Data Input/Output
$\overline{WE}$	Write Enable
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
V_{CC}	+5V
V_{SS}	Ground
NC	No Connect

Figuur 8/6.2-123: Aansluitingen van de DIL- en PGA-behuizingen van de 28C512.



Figuur 8/6.2-124: Aansluitingen van de PLCC-behuizingen van de 28C512. Er zijn twee versies leverbaar: de 28C512 is pen-compatibel met de 28C010 EEPROM en de 28C513 is pen-compatibel met de kleinere EEPROM's.



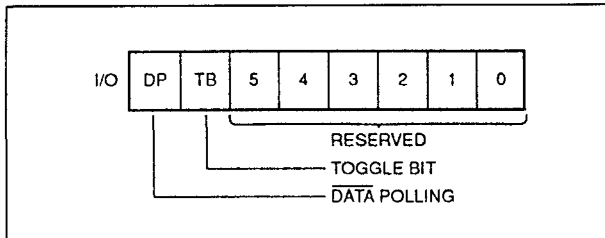
Figuur 8/6.2-125: Functioneel blokschema van de 28C512.

Statusbits bij het schrijven

De 28C512 levert de gebruiker twee write-operation statusbits ter optimalisatie van het systeem.

Deze statusbits worden gedurende de interne programmeercyclus op de I/O-bus gezet (zie figuur 8/6.2-126).

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-126: Betekenis van de statusbits.

DATA-polling (I/O7)

Bij de 28C512 kan DATA-polling worden gebruikt om te detecteren dat een byte-write of page-write cyclus klaar is. De status van de 28C512 kan met een eenvoudige bittest op I/O7 worden bepaald. Tijdens de interne programmeercyclus heeft elke poging om de laatst geschreven byte te lezen tot gevolg dat het complement daarvan op I/O7 verschijnt (als bijvoorbeeld 0xxx xxxx werd geschreven, zal 1xxx xxxx verschijnen). Zodra de programmeercyclus klaar is, zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-127 en -128).

Toggle-bit (I/O6)

Er kan ook op een andere manier worden nagegaan of de interne schrijfcyclus klaar is. Gedurende de interne schrijfcyclus zal I/O6 bij pogingen tot uitlezen telkens van 1 naar 0 en van 0 naar 1 springen. Wanneer de interne cyclus klaar is, houdt het overspringen (toggelen) op en kan worden doorgegaan met schrijven of lezen (figuur 8/6.2-129).

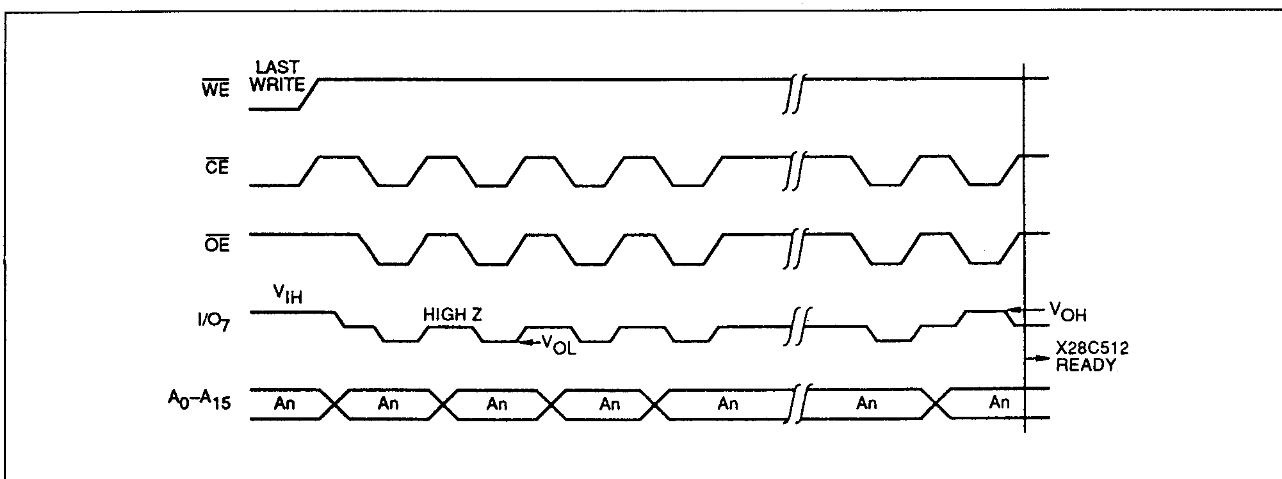
Hardware Data-beveiliging

De 28C512 is op drie manieren beveiligd tegen onbedoeld schrijven:

- Storingsonderdrukking:
  elke WE-puls moet minstens 10 ns duren.
- V_{CC}-sense:
  alle functies worden gesperd als V_{CC} lager is dan 3,6 V.
- Write inhibit:
  door OE LAAG, of WE of CE HOOG te houden tijdens het in- of uitschakelen van de voeding, kan niet onbedoeld worden geschreven.

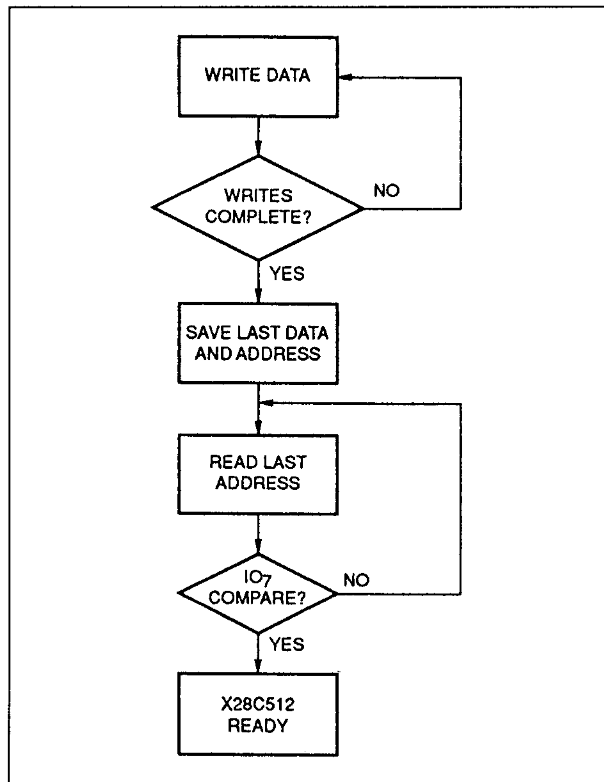
Software Data-beveiliging

De 28C512 heeft ook een data-beveiliging onder software besturing. Bij aflevering is deze beveiliging niet ingeschakeld en moet de EEPROM tijdens power-up/down door externe schakelingen beschermd worden. De interne software data-beveiligingsschakeling wordt geaktiveerd na de eerste schrijfoperatie die gebruik maakt van de software algoritme.



Figuur 8/6.2-127: Golfvormen bij DATA-polling op I/O7.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



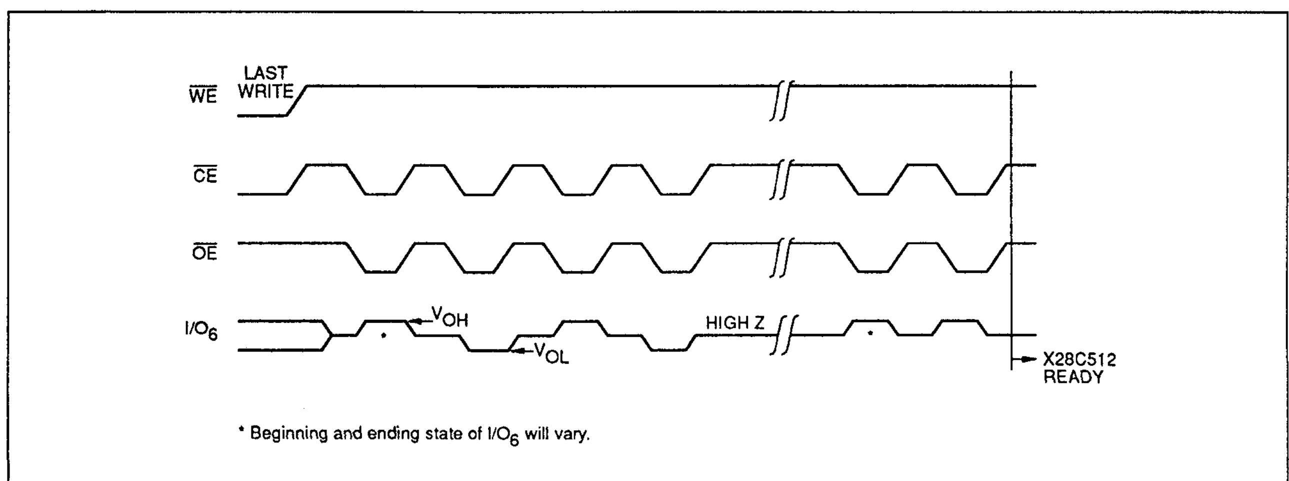
Figuur 8/6.2-128: Software flow-diagram voor DATA-polling.

De schakeling blijft daarna altijd in deze toestand, tenzij een reset-commando wordt gegeven. Zodra de software-beveiliging is ingeschakeld, is de 28C512 ook beschermd tegen onbedoelde schrijfpogingen als de voedingsspanning aanwezig is. Voordat dan nieuwe data kan worden opgenomen moet eerst de software algoritme worden doorlopen.

Software algoritme

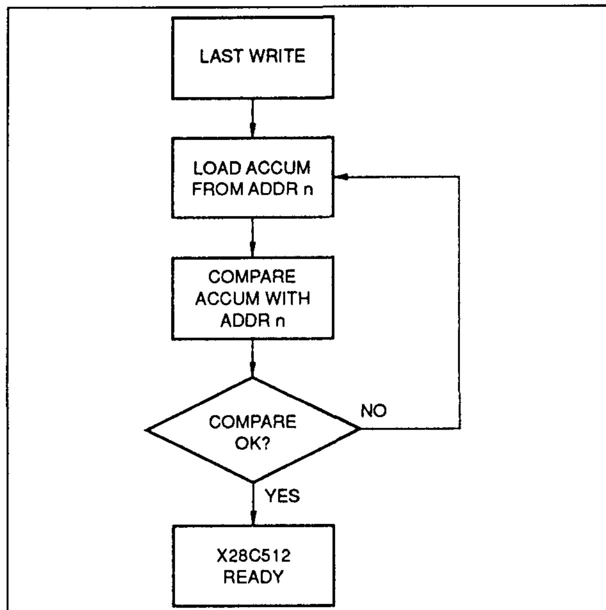
Om de software data-beveiligingsmode te selecteren moet het computersysteem eerst een serie van drie schrijfoperaties uitvoeren op drie specifieke adressen (zie de figuren 8/6.2-131 en -132). Hierdoor wordt het page-write window geopend, waardoor de computer 1 tot 128 bytes data kan schrijven (als de drie bytes worden gevolgd door een geldige byte- of page-write operatie). Zodra de page-write cyclus is beëindigd komt de 28C512 automatisch in de beveiligde toestand en worden automatisch alle verdere schrijfpogingen tegengehouden, totdat dit door een commando wordt opgeheven. Wanneer verdere commando's uitblijven, is de 28C512 tijdens power-up/down tegen schrijven beschermd.

Wanneer de software data-beveiliging moet worden opgeheven om testen of herprogrammeren mogelijk te maken, wordt de interne beveiligingsschakeling gereset met de zes-staps algoritme in de figuren 8/6.2-133 en -134. Na t_{WC} bevindt de 28C512 zich dan in de standaard bedrijfsmode.



Figuur 8/6.2-129: Toggle bit-bus volgorde (toggle-bit I/O6).

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-130: Flow-diagram van de voor het toggle-bit benodigde software.

ABSOLUTE MAXIMUM RATINGS*
Temperature Under Bias
X28C512 ....–10°C to +85°C
X28C512I ....–65°C to +135°C
X28C512M ....–65°C to +135°C
Storage Temperature ....–65°C to +150°C
Voltage on any Pin with
Respect to Ground ....–1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Tabel 8/6.2-64: Maximaal toegelaten waarden.

Aanbevelingen voor het systeem

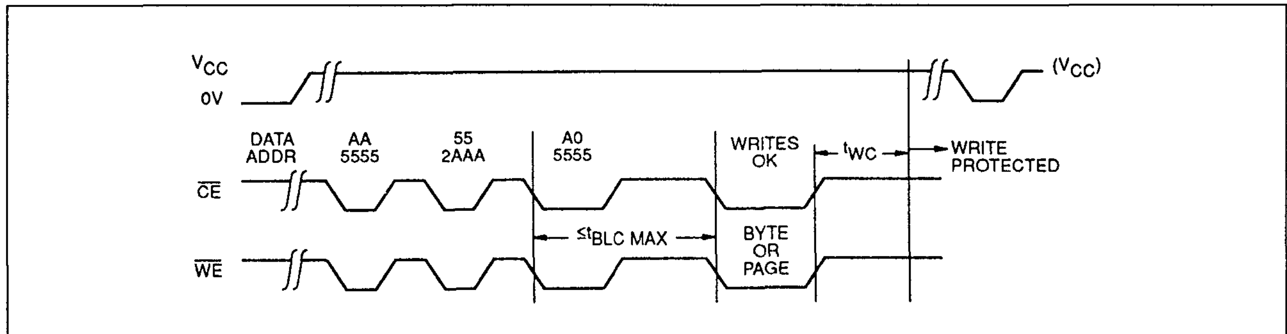
Omdat de 28C512 vaak in grotere geheugen-arrays wordt gebruikt is hij voorzien van een tweedraads besturing voor lezen en schrijven. Meestal wordt $\overline{CE}$ vanaf de adresbus gedecodeerd voor de primaire selectie.

D.C. OPERATING CHARACTERISTICS (Over recommended operating conditions, unless otherwise specified.)

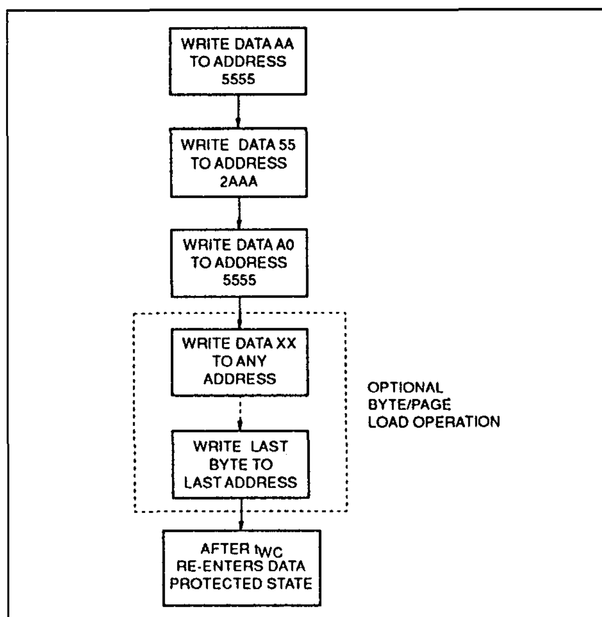
Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active) (TTL Inputs)		50	mA	$\overline{CE} = \overline{OE} = V_{IL}$, $\overline{WE} = V_{IH}$, All I/O's = Open, Address Inputs = .4V/2.4V Levels @ f = 5MHz
I_{SB1}	V_{CC} Current (Standby) (TTL Inputs)		3	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = V_{CC}
I_{SB2}	V_{CC} Current (Standby) (CMOS Inputs)		500	µA	$\overline{CE} = V_{CC} - 0.3V$, $\overline{OE} = V_{IL}$ All I/O's = Open, Other Inputs = V_{CC}
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE} = V_{IH}$
$V_{IL}^{(1)}$	Input Low Voltage	–1.0	0.8	V	
$V_{IH}^{(1)}$	Input High Voltage	2.0	V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = –400 µA

Tabel 8/6.2-65: Gelijkspanningskarakteristieken van de 28C512.

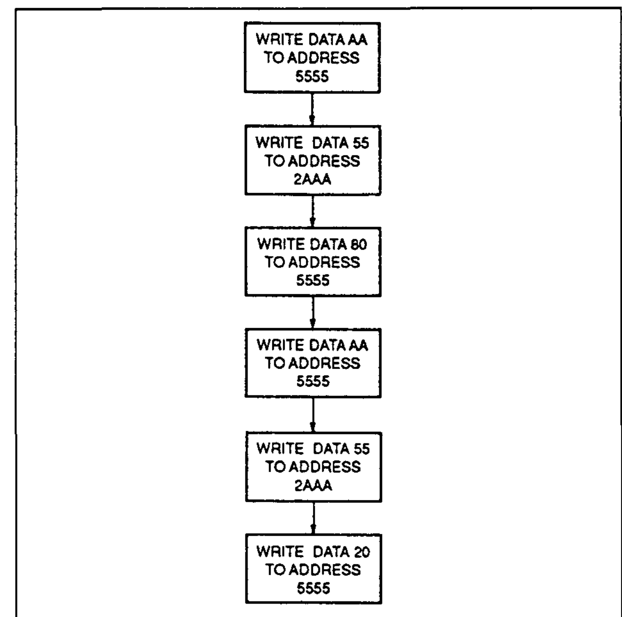
6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



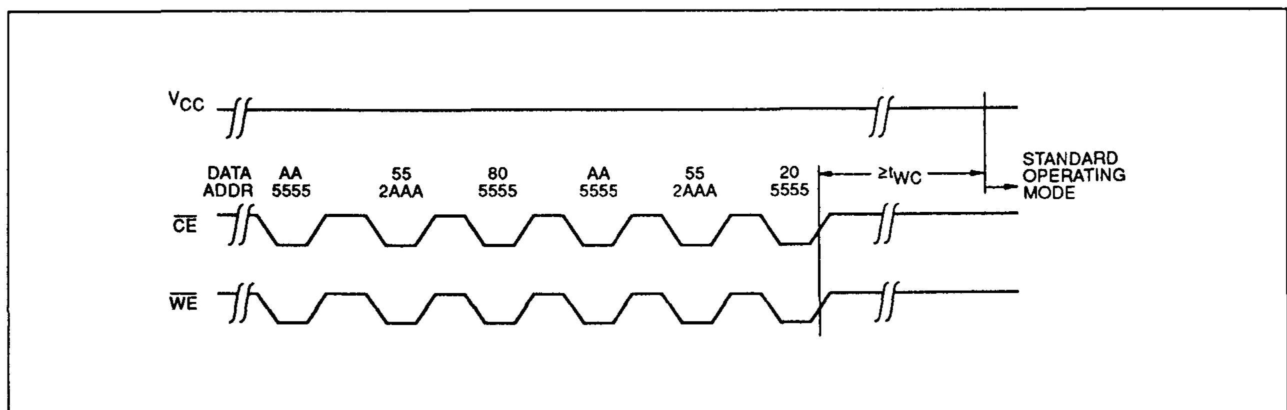
Figuur 8/6.2-131: Volgorde van handelingen bij het aktiveren van de software data-beveiligingsmode (page- of byte-write).



Figuur 8/6.2-132: Voorgeschreven schrijf-operaties voor het aktiveren van de software data-beveiliging.



Figuur 8/6.2-134: Flow-diagram voor het de-activeren van de software data-beveiliging.



Figuur 8/6.2-133: Volgorde van handelingen voor het resetten van de software data-beveiliging.

Zowel $\overline{OE}$ als $\overline{WE}$ kunnen verder gemeenschappelijk door alle EEPROM's in het array worden gebruikt. Bij het lezen is het dan zeker dat alle niet-geselecteerde geheugens standby staan en dat alleen de geselecteerde 28C512 data op de bus zet.

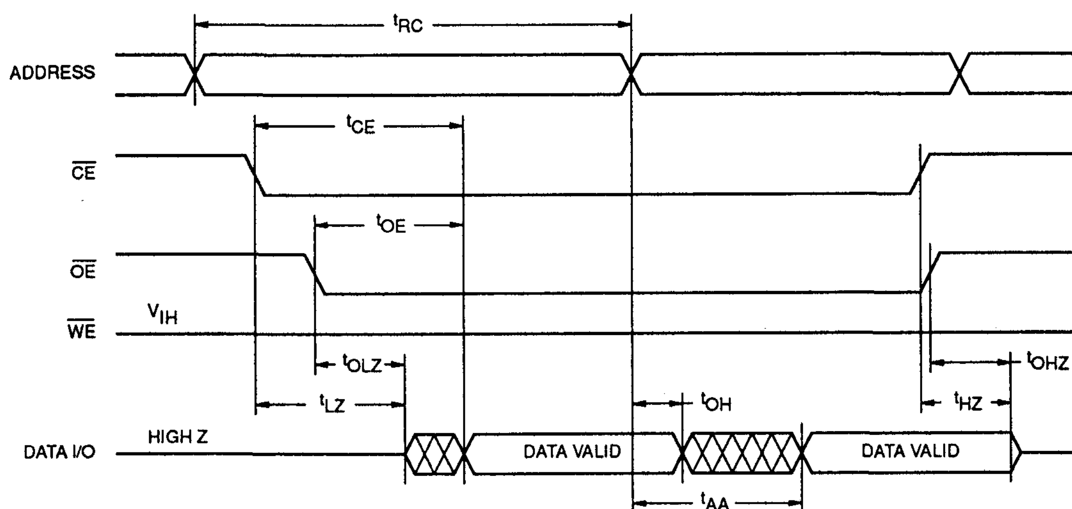
Omdat de 28C512 zowel aktief als niet-aktief kan zijn is een goede ontkoppeling van de geheugens zeer belangrijk. Door het vrijgeven van $\overline{CE}$ ontstaan schakelstromen waarvan de amplitude afhankelijk is van de capacitieve belasting van de I/O-lijnen.

De spanningspieken als gevolg hiervan kunnen met condensatoren worden onderdrukt. Bij elke EEPROM moet een ceramisch condensator van 0,1 µF tussen V_{CC} en GND worden geplaatst. Bovendien is het raadzaam om bij elke groep van acht EEPROM's een elektrolytische condensator van 4,7 µF te plaatsen.

Read Cycle Limits

Symbol	Parameter	X28C512-12 Min.	X28C512-12 Max.	X28C512-15 Min.	X28C512-15 Max.	X28C512-20 Min.	X28C512-20 Max.	X28C512-25 Min.	X28C512-25 Max.	Units
t_{RC}	Read Cycle Time	120		150		200		250		ns
t_{CE}	Chip Enable Access Time		120		150		200		250	ns
t_{AA}	Address Access Time		120		150		200		250	ns
t_{OE}	Output Enable Access Time		50		50		50		50	ns
$t_{LZ}^{(3)}$	$\overline{CE}$ Low to Active Output	0		0		0		0		ns
$t_{OLZ}^{(3)}$	$\overline{OE}$ Low to Active Output	0		0		0		0		ns
$t_{HZ}^{(3)}$	$\overline{CE}$ High to High Z Output		50		50		50		50	ns
$t_{OHZ}^{(3)}$	$\overline{OE}$ High to High Z Output		50		50		50		50	ns
t_{OH}	Output Hold from Address Change	0		0		0		0		ns

Tabel 8/6.2-66: Schakeltijden bij het uitlezen van 28C512's met verschillende snelheden.



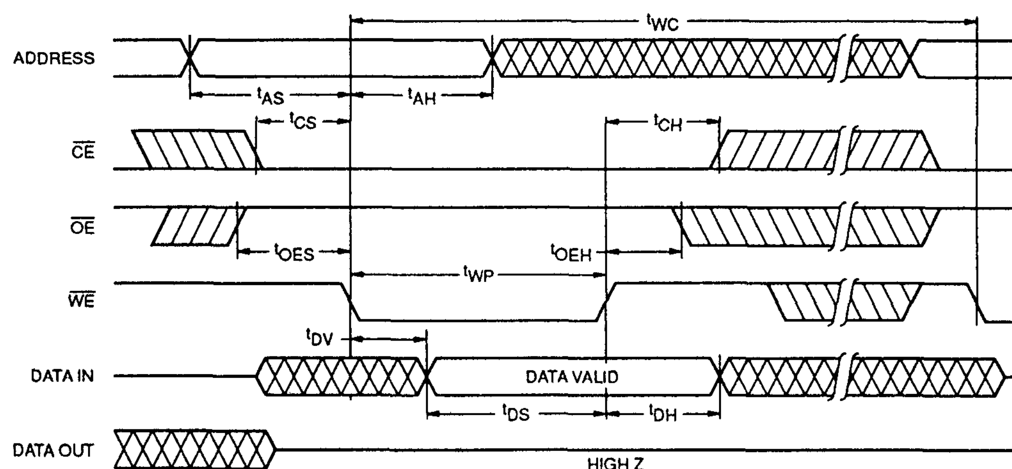
Figuur 8/6.2-135: Golfvormen en timing bij het uitlezen van de 28C512.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

WRITE CYCLE LIMITS

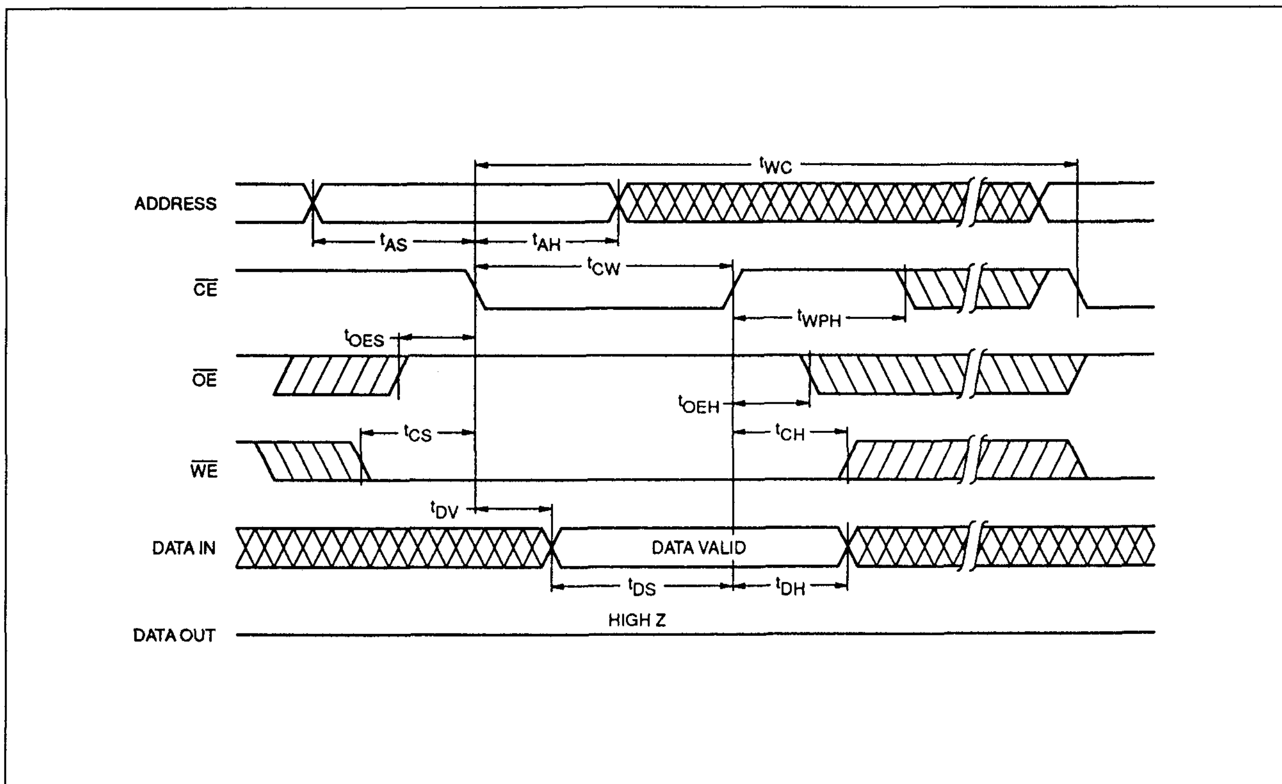
Symbol	Parameter	Min.	Max.	Units
t_{WC}(4)	Write Cycle Time		10	ms
t_{AS}	Address Setup Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{CS}	Write Setup Time	0		ns
t_{CH}	Write Hold Time	0		ns
t_{CW}	$\overline{CE}$ Pulse Width	100		ns
t_{OES}	$\overline{OE}$ High Setup Time	10		ns
t_{OEH}	$\overline{OE}$ High Hold Time	10		ns
t_{WP}	$\overline{WE}$ Pulse Width	100		ns
t_{WPH}	$\overline{WE}$ High Recovery	100		ns
t_{DV}	Data Valid		1	µs
t_{DS}	Data Setup	50		ns
t_{DH}	Data Hold	10		ns
t_{DW}	Delay to Next Write	10		µs
t_{BLC}	Byte Load Cycle	0.20	100	µs

Tabel 8/6.2-67: Schakeltijden bij het schrijven in de 28C512.

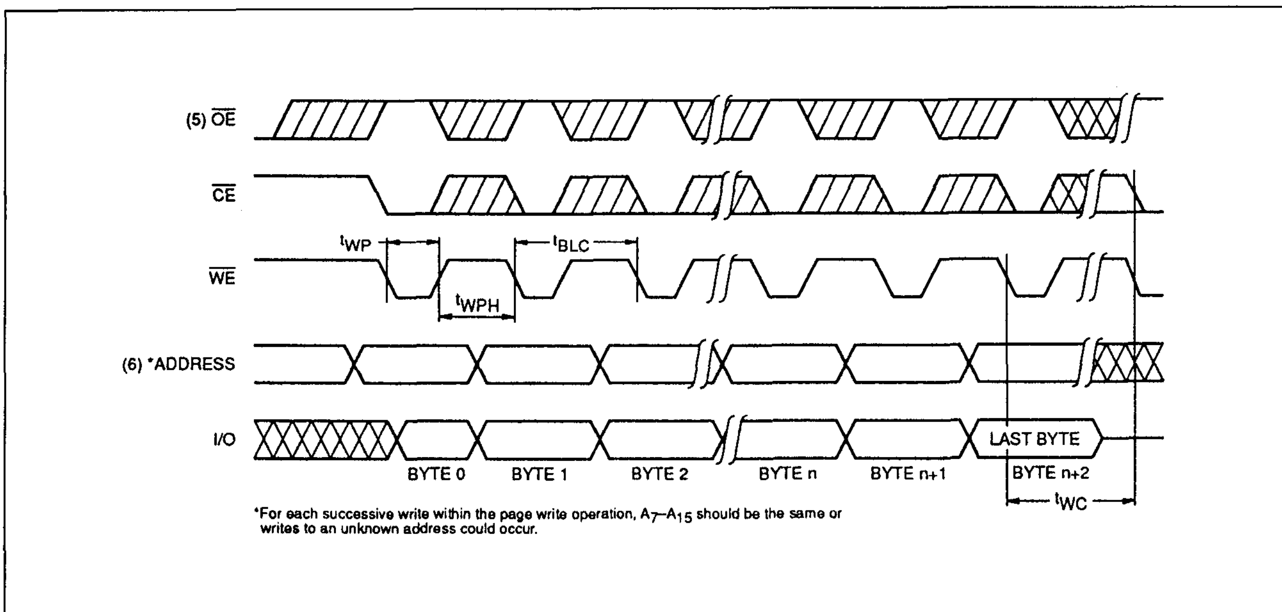


Figuur 8/6.2-136: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

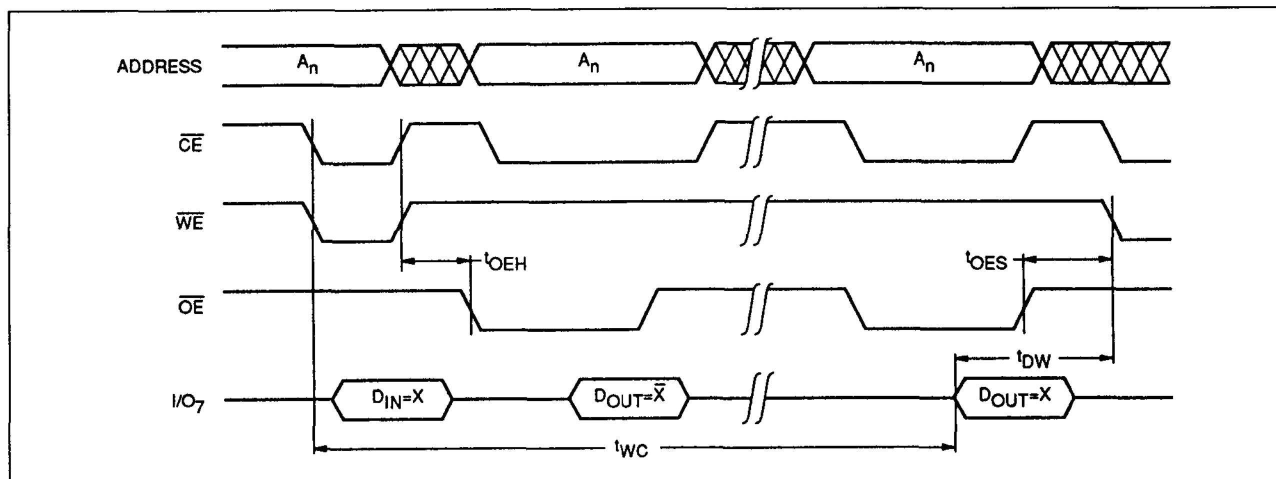


Figuur 8/6.2-137: Golfvormen en timing bij een door $\overline{CE}$ bestuurde schrijfcyclus.

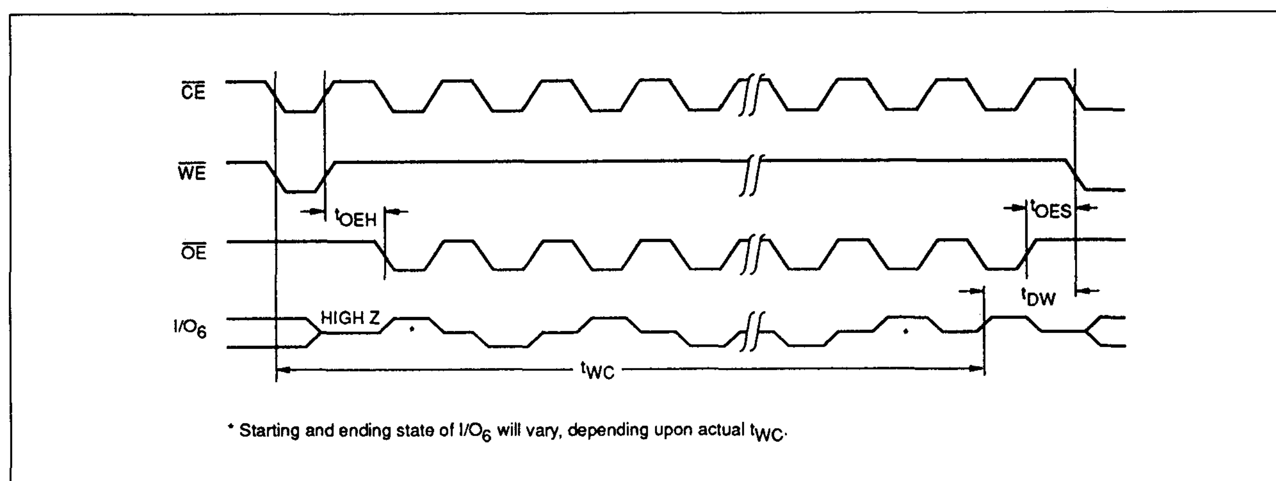


Figuur 8/6.2-138: Timing en golfvormen bij een Page-Write cyclus.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-139: Golfvormen en timing bij DATA-polling.



Figuur 8/6.2-140: Golfvormen en timing bij toggle-bit polling.

28C010

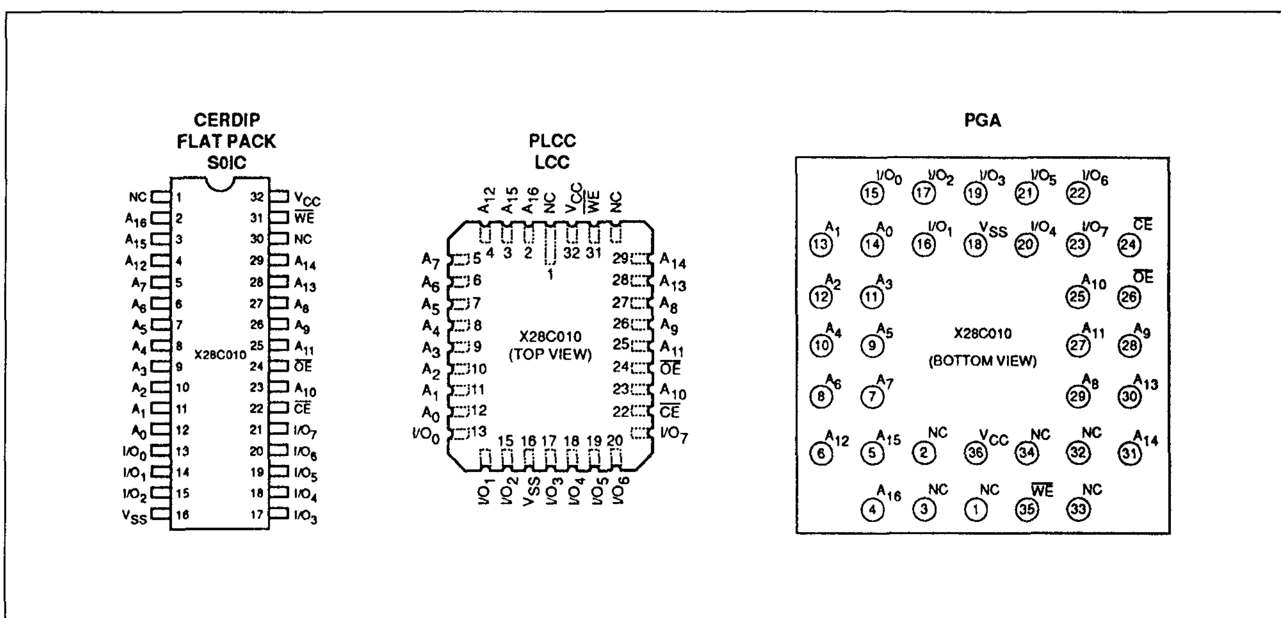
128 k x 8-bit CMOS EEPROM

De 28C010 is een 128 k x 8-bit CMOS EEPROM. Net als alle andere CMOS EEPROM's werkt de 28C010 op een enkele voedingsspanning van 5 V en kan hij signalen op TTL- of CMOS-niveau verwerken.
De 28C010 ondersteunt 256 byte page-write operaties waardoor schrijfcycli van gemiddeld 19 µs/byte ontstaan. Hierdoor is het mogelijk het gehele geheugen binnen 2,5 s te programmeren. Het einde van een schrijfcyclus kan zowel met DATA-polling als met toggle-bit polling worden gedetecteerd. De 28C010 is verkrijgbaar in commerciële, industriële en militaire uitvoering.

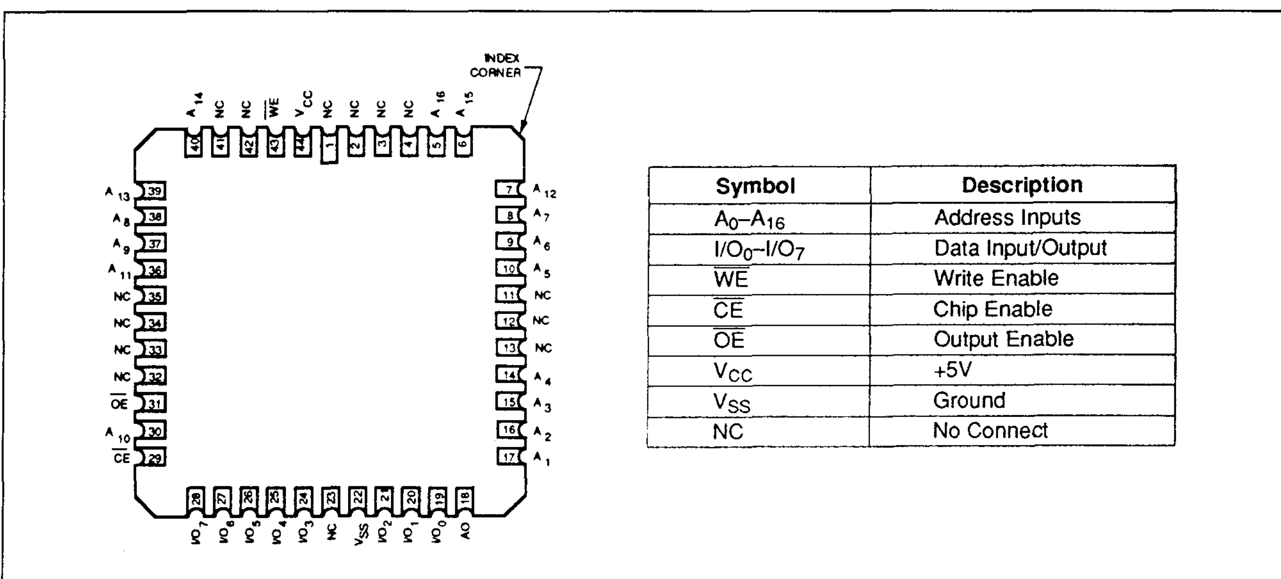
Specificaties
- 131072 x 8-bit organisatie
- enkele 5 V (+/-10 %) voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- CMOS/TTL-compatibel
- toegangstijd: 120, 150, 200 of 250 ns
- 256 byte page-write operatie
- byte- of page-write tijd 10 ms max.
- herschrijven gehele EEPROM in 2,5 s
- effectieve byte-write cyclustijd: 19 µs typ.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

- CMOS-dissipatie: aktief 50 mA, standby 500 µA
- software data-beveiliging
- geschikt voor $\overline{\text{DATA}}$-polling en Toggle Bit polling
- 32-pens plastic/ceramisch DIL- of SOIC-behuizing of flat pack, 32-pens PLCC/LCC-behuizing of 36-pens PGA (figuur 8/6.2-141). Afwijkende 44-pens LCC-behuizing van Seeq en Atmel: figuur 8/6.2-142
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 100 jaar stabiel
- leveranciers:
  Xicor: X28C010(I,M)
  Seeq: E/M28C010
  Atmel: AT28C010



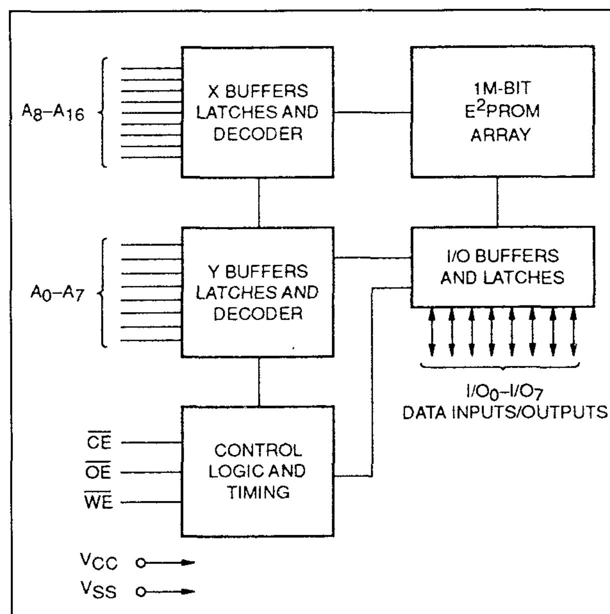
Figuur 8/6.2-141: Aansluitingen van de DIL/Flat Pack/SOIC-, PLCC/LCC- en PGA-behuizing van de 28C010.



Symbol	Description
A_0–A_{16}	Address Inputs
I/O_0–I/O_7	Data Input/Output
$\overline{WE}$	Write Enable
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
V_{CC}	+5V
V_{SS}	Ground
NC	No Connect

Figuur 8/6.2-142: De LCC-behuizing van de 28C010 van Atmel en Seeq hebben 44 aansluitingen.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-143: Functioneel blokschema van de 28C010.

MODE SELECTION

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	Mode	I/O	Power
L	L	H	Read	D_{OUT}	Active
L	H	L	Write	D_{IN}	Active
H	X	X	Standby and Write Inhibit	High Z	Standby
X	L	X	Write Inhibit	—	—
X	X	H	Write Inhibit	—	—

Tabel 8/6.2-68: Mode-selectie van de 28C010.

Lezen (Read)

Het uitlezen van de 28C010 begint door $\overline{OE}$ en $\overline{CE}$ beide LAAG te maken en stopt zodra $\overline{CE}$ of $\overline{OE}$ weer HOOG gaat.
Door de 2-draads besturing wordt busrivaliteit in het systeem voorkomen. De databus is hoog-impedant als $\overline{OE}$ of $\overline{CE}$ HOOG is.

Schrijven (Write)

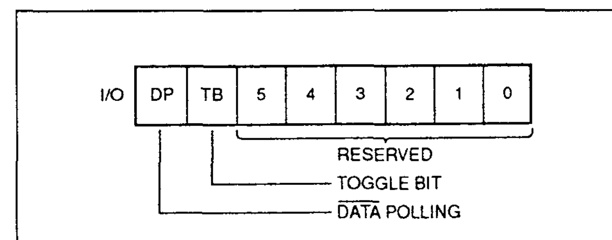
Het programmeren van de 28C010 begint als $\overline{CE}$ en $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. Het schrijven kan zowel onder besturing van $\overline{CE}$ als van $\overline{WE}$ plaatsvinden, omdat het adres op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ wordt gelatched. Evenzo wordt data intern gelatched op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$. Als een byte-schrijfoperatie eenmaal begonnen is, wordt hij automatisch binnen 5 ms voltooid.

Page Write operatie

Met de Page-Write methode kan de gehele inhoud van de 28C010 in maximaal 2,5 s worden herschreven. Met page-write is het mogelijk om 2 tot 256 bytes data aaneengesloten te schrijven, voordat de interne programmeercyclus begint. De computer kan daarbij vrij uit bron-adressen kiezen, maar het doel-adres moet op dezelfde pagina blijven: A8 tot en met A16 mogen niet veranderen.
De Page-Write mode kan gedurende elke schrijf-operatie beginnen. Na de eerste byteschrijfcyclus kunnen nog 1 tot 255 bytes op dezelfde manier worden geschreven. Elke volgende byte-load cyclus, die op de HOOG-naar-LAAG overgang van $\overline{WE}$ begon, moet dan binnen 100 µs na de dalende flank van de voorgaande $\overline{WE}$ beginnen, omdat anders de interne automatische programmeercyclus start. Het page-write bereik is onbegrensd zolang de 28C010 maar telkens binnen 100 µs wordt beschreven.

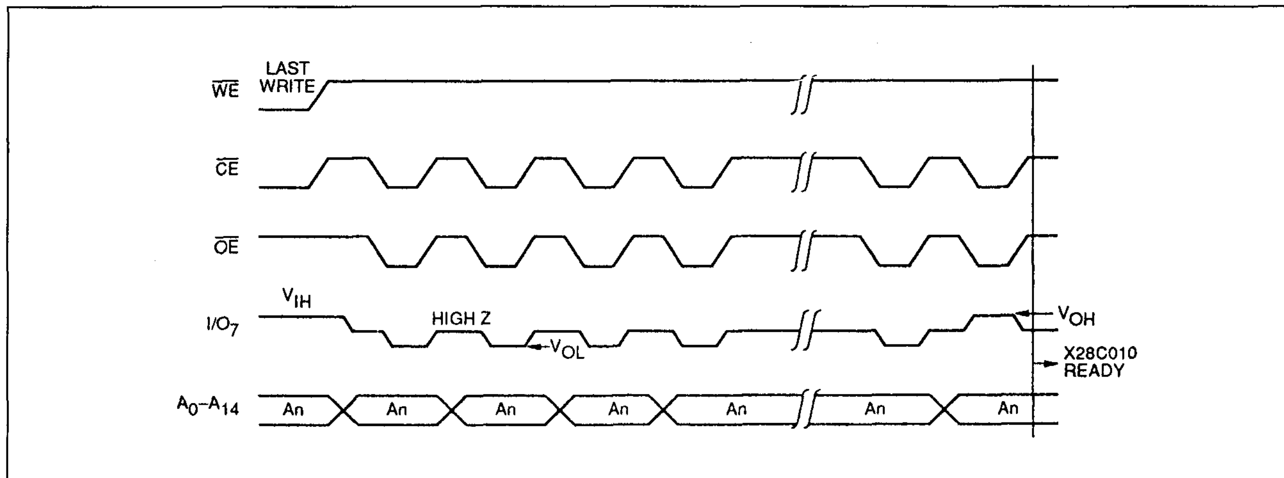
Statusbits bij het schrijven

De 28C010 levert twee write-operation statusbits die de gebruiker kan toepassen om het systeem te optimaliseren. Deze statusbits worden gedurende de interne programmeercyclus op de I/O-bus gezet (zie figuur 8/6.2-144).



Figuur 8/6.2-144: Plaats en betekenis van de statusbits.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-145: Golfvormen bij DATA-polling op I/O7.

DATA-polling (I/O7)

Bij de 28C010 kan DATA-polling worden gebruikt om het einde van een byte-write of page-write cyclus te detecteren. De status van de 28C010 kan met een eenvoudige bittest worden bepaald. Tijdens de interne programmeercyclus heeft iedere poging om de laatst geschreven byte uit te lezen tot gevolg dat het complement daarvan op I/O7 verschijnt (werd bijvoorbeeld 0xxx xxxx geschreven, dan zal 1xxx xxxx verschijnen). Als de programmeercyclus klaar is, zal op I/O7 de werkelijke data verschijnen (zie figuur 8/6.2-145 en -146).

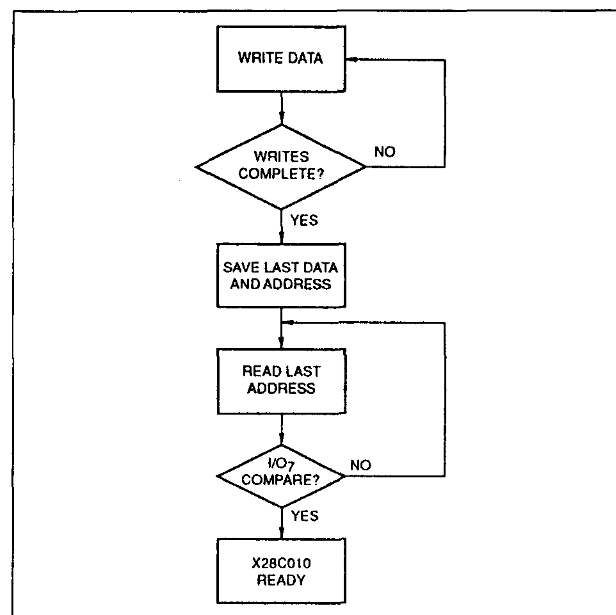
Toggle-bit (I/O6)

Gedurende de interne schrijfcyclus zal I/O6 bij pogingen tot uitlezen telkens van 1 naar 0 of 0 naar 1 springen. Is de interne schrijfcyclus beëindigd, dan houdt het verspringen (toggelen) op en kan het schrijven of lezen worden voortgezet (figuur 8/6.2-147).

Hardware Data-beveiliging

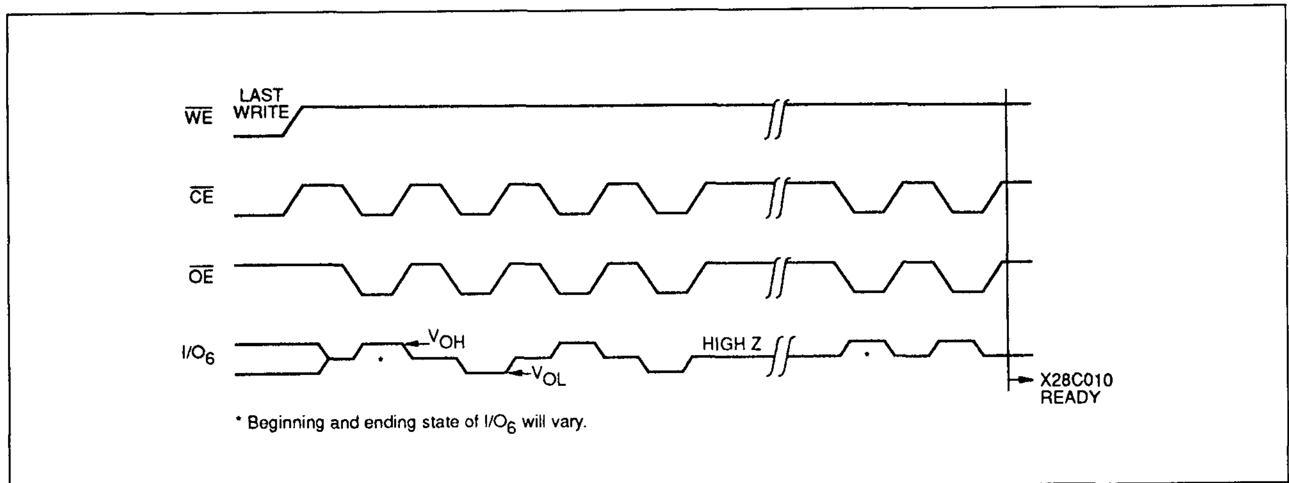
De 28C010 heeft drie hardware-beveiligingen tegen onbedoeld schrijven:

- Storingsonderdrukking:
  er wordt niet geschreven als de WE-puls korter is dan 10 ns.
- V_{CC}-sense:
  alle functies zijn gesperd als V_{CC} lager is dan 3,6 V.
- Write inhibit:
  door OE LAAG, of WE of CE HOOG te houden bij het in- of uitschakelen van de voeding, kan niet onbedoeld worden geschreven.

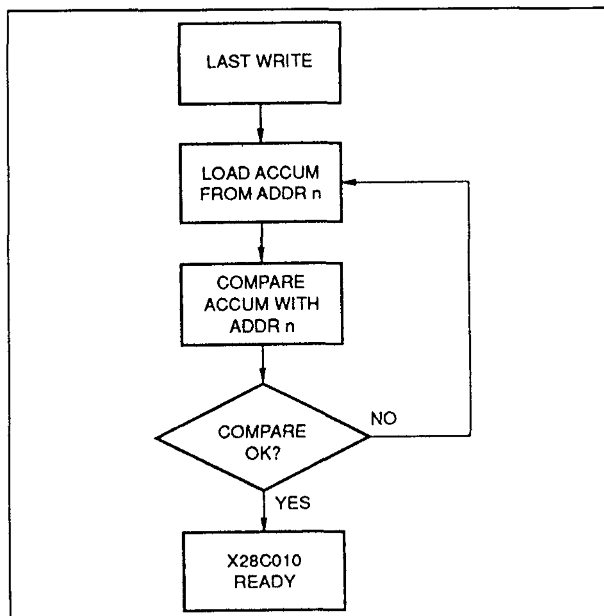


Figuur 8/6.2-146: Software flow-diagram voor DATA-polling.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-147: Toggle bit-bus volgorde (toggle-bit I/O6).



Figuur 8/6.2-148: Flow-diagram van de voor het toggle-bit benodigde software.

Software Data-beveiliging

De 28C010 kan ook met software tegen onbedoeld schrijven worden beveiligd. Bij aflevering is deze beveiliging NOT ENABLED (niet ingeschakeld) en moet de EEPROM tijdens power-up/down door externe schakelingen tegen schrijven beschermd worden. De interne software data-beveiliging wordt aktief na de eerste schrijfoperatie die gebruik maakt van de software algoritme. De schakeling blijft daarna voortdurend in deze toestand, tenzij een reset-commando wordt gegeven.

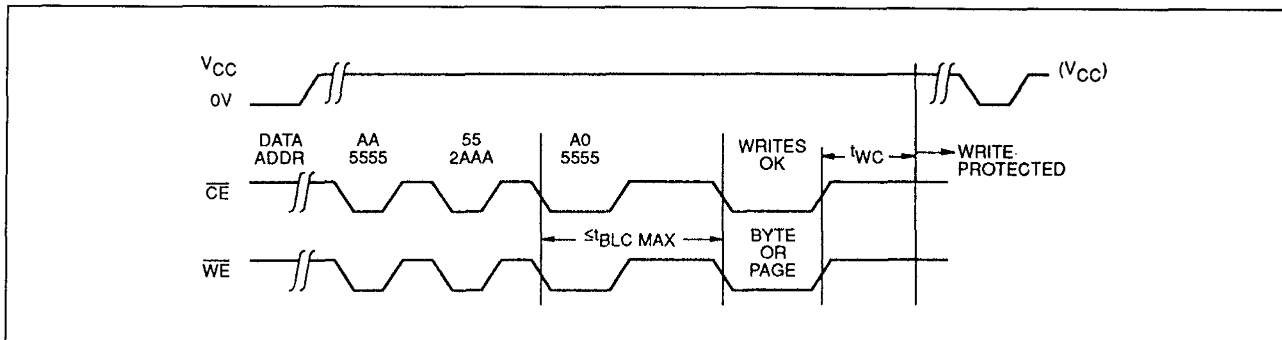
Zodra de software-beveiliging is ingeschakeld, is de 28C010 ook beschermd tegen onbedoeld schrijven als de voedingsspanning aanwezig is. Voordat nieuwe data kan worden opgenomen moet dan eerst de software algoritme worden doorlopen.

Software algoritme

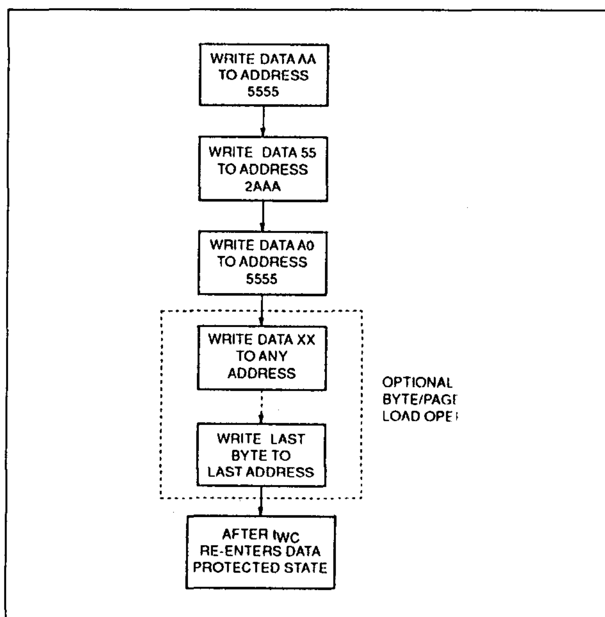
Om in de software data-beveiligingsmode te komen moet eerst een serie van drie schrijfoperaties worden uitgevoerd op drie specifieke adressen (zie de figuren 8/6.2-149 en -150).

Hierdoor wordt het page-write window geopend, waardoor de computer 1 tot 255 bytes data kan schrijven (als de drie bytes worden gevolgd door geldige byte- of page-write operaties). Als de page-write cyclus is beëindigd komt de 28C010 automatisch in de beveiligde toestand en worden alle verdere schrijfpogingen gesperd totdat dit door een commando wordt opgeheven. Wanneer verdere commando's uitblijven, is de 28C010 tijdens power-up/down tegen schrijven beschermd.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-149: Volgorde van handelingen bij het aktiveren van de software data-beveiligingsmode (page- of byte-write).



Figuur 8/6.2-150: Voorgeschreven schrijf-operaties voor het aktiveren van de software data-beveiliging.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	
X28C010	–10°C to +85°C
X28C010I	–65°C to +135°C
X28C010M	–65°C to +135°C
Storage Temperature	–65°C to +150°C
Voltage on any Pin with Respect to Ground	–1.0V to +7.0V
D.C. Output Current	5 mA
Lead Temperature (Soldering, 10 Seconds)	300°C

Tabel 8/6.2-69: Maximaal toegelaten waarden.

Wanneer de software data-beveiliging moet worden opgeheven om testen of programmeren mogelijk te maken, wordt de interne beveiligingsschakeling gereset met de zesstaps algoritme van de figuren 8/6.2-151 en -152.

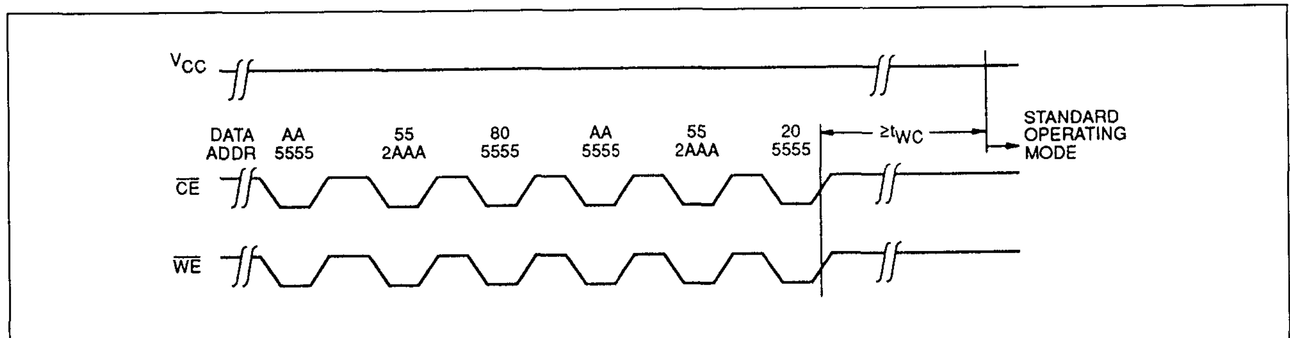
Vanaf t_{WC} bevindt de 28C010 zich dan in de standaard bedrijfsmode.

Aanbevelingen voor het systeem

Omdat de 28C010 ook in grotere geheugenarrays kan worden gebruikt is hij voorzien van een tweedraads besturing voor lezen en schrijven. Meestal wordt aanbevolen $\overline{CE}$ vanaf de adresbus te decoderen voor de primaire selectie.

Zowel $\overline{OE}$ als $\overline{WE}$ kunnen dan gemeenschappelijk zijn voor alle EEPROM's in het array. Bij uitlezen is dan gegarandeerd dat alle niet-geselecteerde geheugens standby staan en dat alleen de gekozen 28C010 data op de bus zet. Omdat de 28C010 ook standby kan staan, is een goede ontkoppeling van de geheugens zeer belangrijk. Door $\overline{CE}$ LAAG te maken ontstaan grote inschakelstromen waarvan de amplitude afhankelijk is van de capacitieve belasting van de I/O-lijnen. De spanningspieken als gevolg hiervan kunnen met condensatoren worden onderdrukt. Bij elke EEPROM moet een ceramisch condensator van 0,1 µF tussen V_{CC} en GND worden geplaatst, terwijl bij elke groep van acht EEPROM's een elektrolytische condensator van 4,7 µF nodig is.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-151: Volgorde van handelingen voor het resetten van de software data-beveiliging.

D.C. OPERATING CHARACTERISTICS (Over the recommended operating conditions, unless otherwise specified.)

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Conditions
I_{CC}	V_{CC} Current (Active) (TTL Inputs)		50	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{WE}$ = V_{IH}, All I/O's = Open, Address Inputs = .4V/2.4V Levels @ f = 5MHz
I_{SB1}	V_{CC} Current (Standby) (TTL Inputs)		3	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL} All I/O's = Open, Other Inputs = V_{IH}
I_{SB2}	V_{CC} Current (Standby) (CMOS Inputs)		500	µA	$\overline{CE}$ = V_{CC} – 0.3V, $\overline{OE}$ = V_{IL} All I/O's = Open, Other Inputs = V_{CC}
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}, $\overline{CE}$ = V_{IH}
V_{IL}(1)	Input Low Voltage	–1.0	0.8	V	
V_{IH}(1)	Input High Voltage	2.0	V_{CC} + 1.0	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = –400 µA

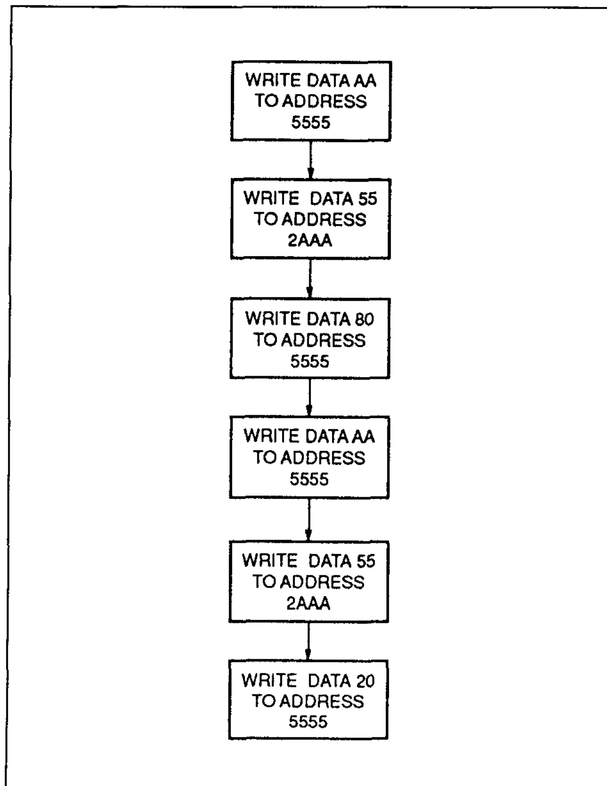
Tabel 8/6.2-70: Gelijkspanningskarakteristieken van de 28C010.

Read Cycle Limits

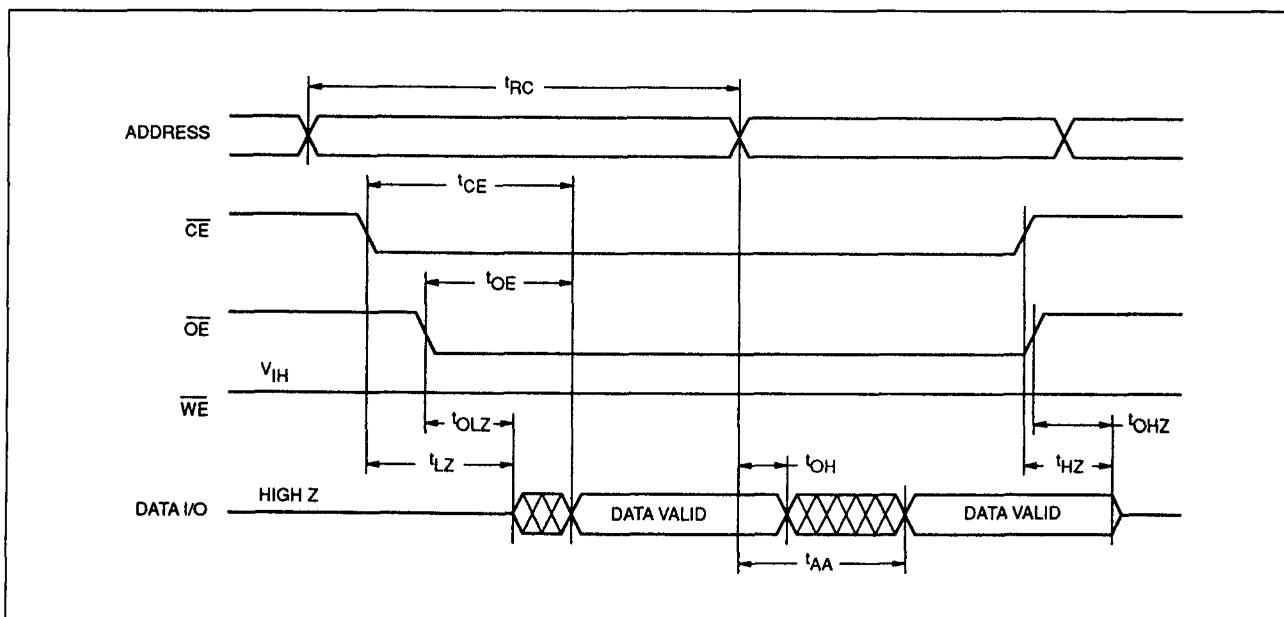
Symbol	Parameter	X28C010-12 Min.	X28C010-12 Max.	X28C010-15 Min.	X28C010-15 Max.	X28C010-20 Min.	X28C010-20 Max.	X28C010-25 Min.	X28C010-25 Max.	Units
t_{RC}	Read Cycle Time	120		150		200		250		ns
t_{CE}	Chip Enable Access Time		120		150		200		250	ns
t_{AA}	Address Access Time		120		150		200		250	ns
t_{OE}	Output Enable Access Time		50		50		50		50	ns
t_{LZ}(3)	$\overline{CE}$ Low to Active Output	0		0		0		0		ns
t_{OLZ}(3)	$\overline{OE}$ Low to Active Output	0		0		0		0		ns
t_{HZ}(3)	$\overline{CE}$ High to High Z Output		50		50		50		50	ns
t_{OHZ}(3)	$\overline{OE}$ High to High Z Output		50		50		50		50	ns
t_{OH}	Output Hold from Address Change	0		0		0		0		ns

Tabel 8/6.2-71: Schakeltijden bij het uitlezen van 28C010's met verschillende snelheden.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-152: Flow-diagram voor het de-activeren van de software data-beveiliging.



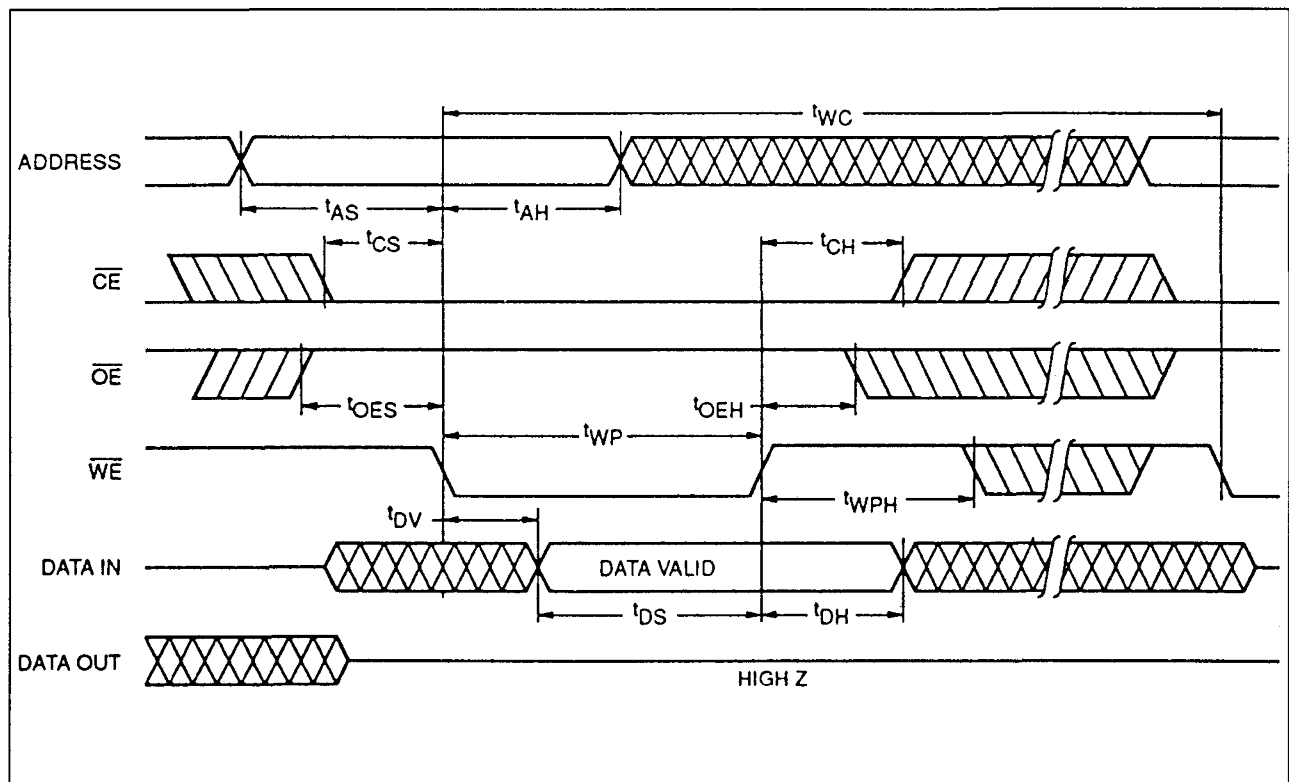
Figuur 8/6.2-153: Golfvormen en timing bij het uitlezen van de 28C010.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

Write Cycle Limits

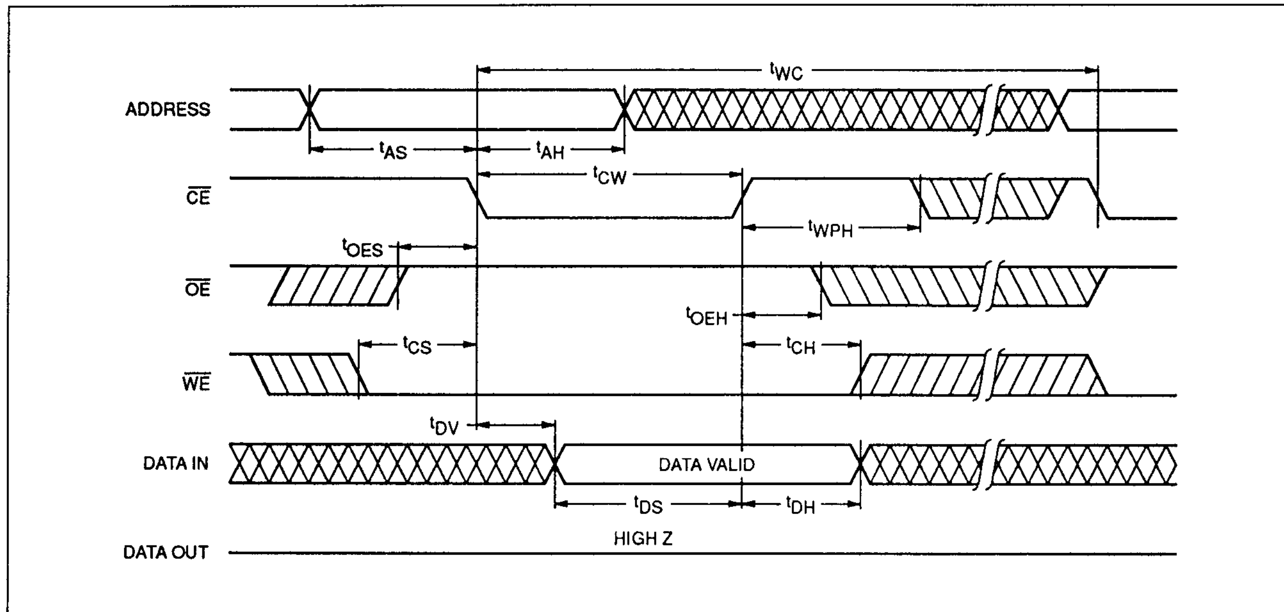
Symbol	Parameter	Min.	Max.	Units
t_{WC}(4)	Write Cycle Time		10	ms
t_{AS}	Address Setup Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{CS}	Write Setup Time	0		ns
t_{CH}	Write Hold Time	0		ns
t_{CW}	$\overline{CE}$ Pulse Width	100		ns
t_{OES}	$\overline{OE}$ High Setup Time	10		ns
t_{OEH}	$\overline{OE}$ High Hold Time	10		ns
t_{WP}	$\overline{WE}$ Pulse Width	100		ns
t_{WPH}	$\overline{WE}$ High Recovery	100		ns
t_{DV}	Data Valid		1	µs
t_{DS}	Data Setup	50		ns
t_{DH}	Data Hold	10		ns
t_{DW}	Delay to Next Write	10		µs
t_{BLC}	Byte Load Cycle	0.2	100	µs

Tabel 8/6.2-72: Schakeltijden bij het programmeren van de 28C010.

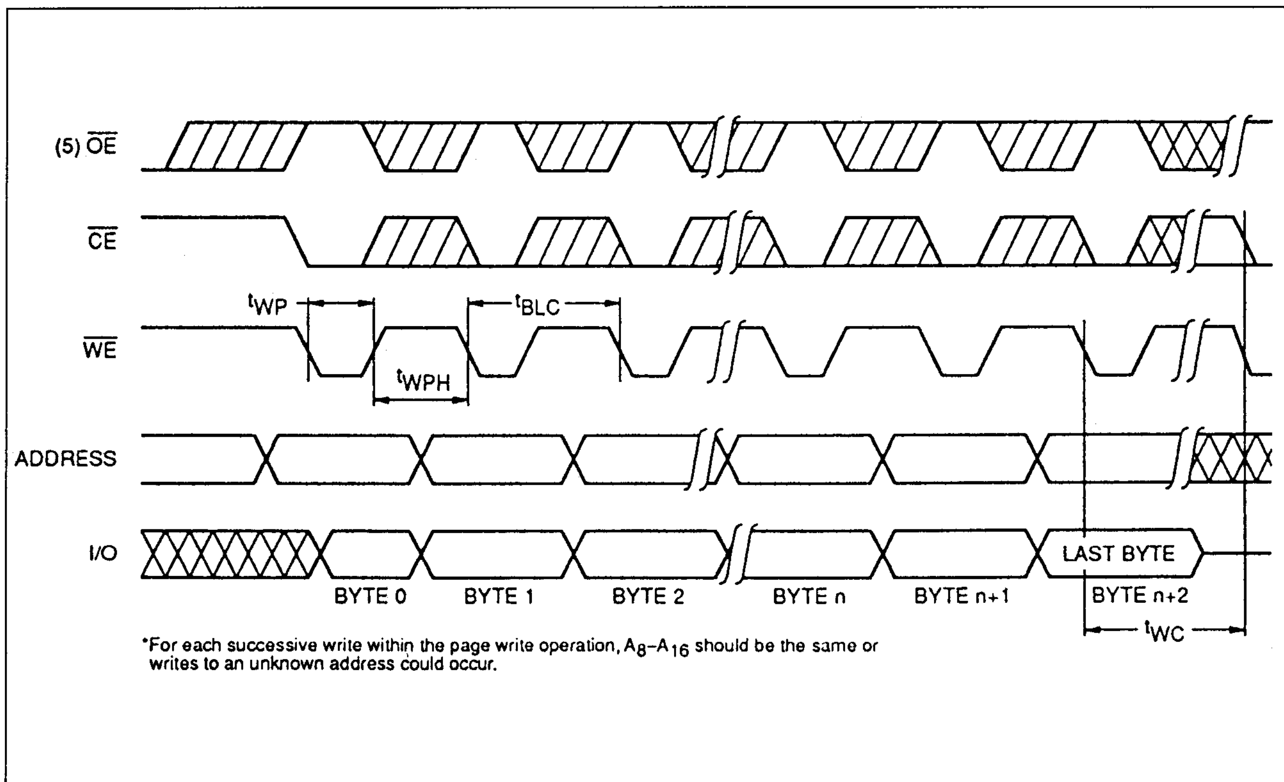


Figuur 8/6.2-154: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

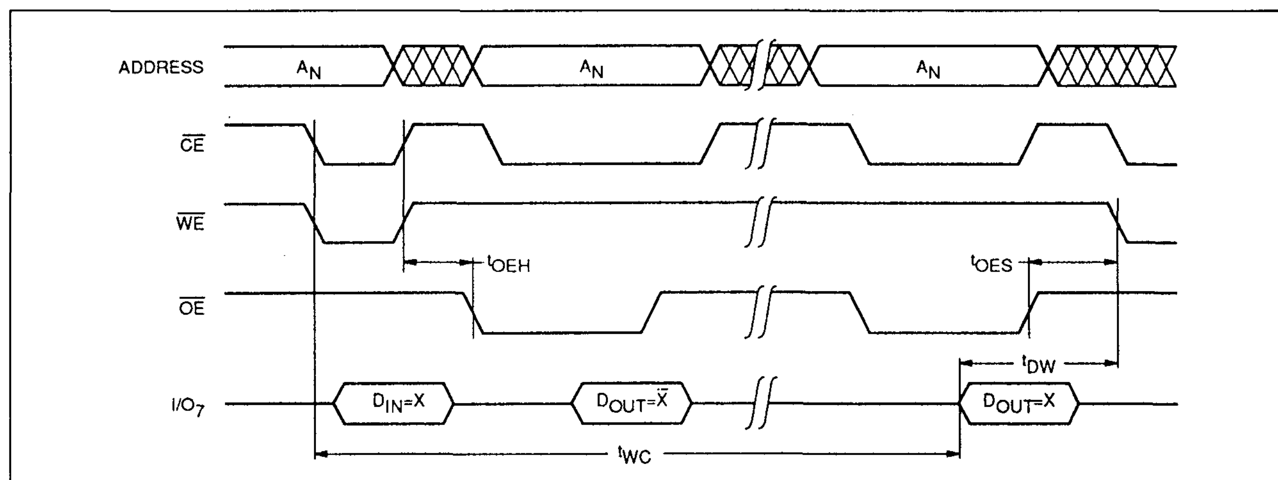


Figuur 8/6.2-155: Golfvormen en timing bij een door $\overline{CE}$ bestuurde schrijfcyclus.

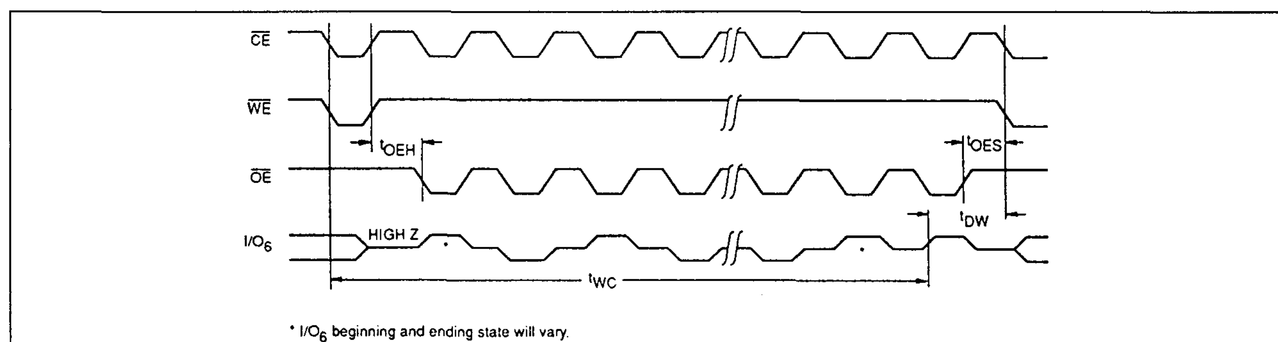


Figuur 8/6.2-156: Timing en golfvormen bij een Page-Write cyclus.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-157: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.



Figuur 8/6.2-158: Golfvormen en timing bij toggle-bit polling.

28C1024

64 k x 16-bit CMOS EEPROM

De 28C1024 is een 1M CMOS EEPROM die vrijwel identiek is aan de 28C010. De 28C1024 is echter georganiseerd in 65536 woorden van 16 bit.

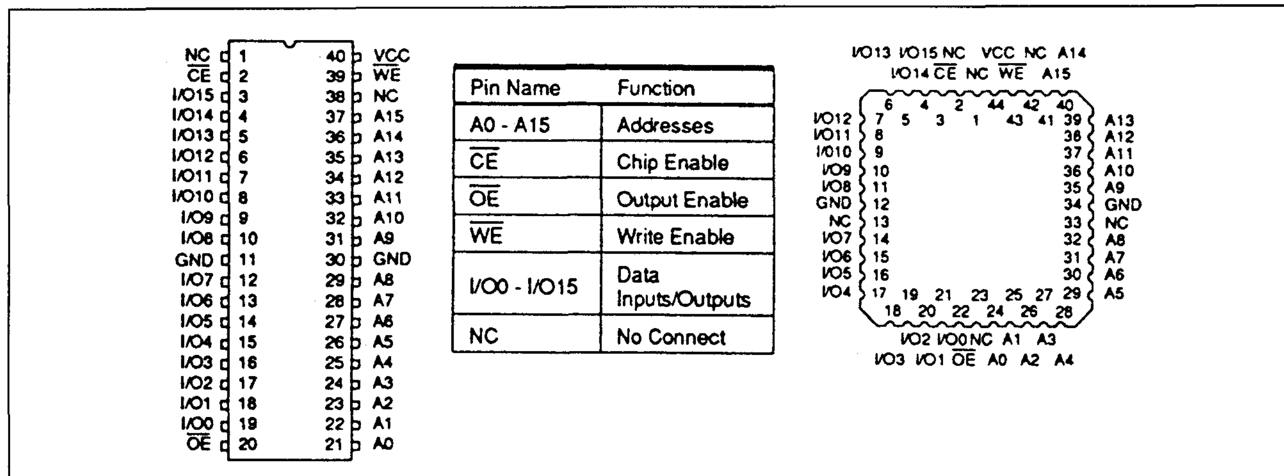
Ook deze EEPROM werkt op een enkele voedingsspanning van 5 V en kan signalen op TTL- of CMOS-niveau verwerken. De 28C1024 heeft een 64-woord pagina- register, waardoor 64 woorden page-write operaties mogelijk zijn.

Het einde van een schrijfcyclus kan met $\overline{\text{DATA}}$-polling op I/O7 of I/O15 of toggle-bit polling op I/O14 worden gedetecteerd.

Specificaties

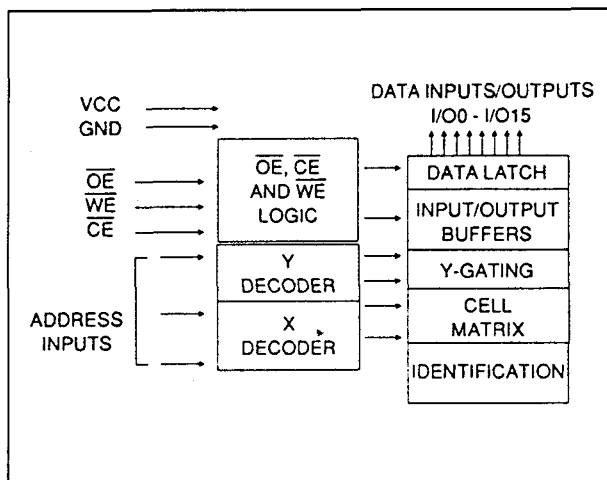
- 65536 x 16-bit organisatie
- enkele 5 V (+/-10 %) voeding
- latches op alle adres- en data-ingangen
- 3-state data-uitgangen
- CMOS/TTL-compatibel
- toegangstijd: 120, 150, 200 of 250 ns
- 64-woorden page-write operatie
- woord- of page-write tijd 10 ms max.
- CMOS-dissipatie: aktief 100 mA, standby 400 µA
- software data-beveiliging
- geschikt voor $\overline{\text{DATA}}$-polling en toggle-bit polling
- 40-pens ceramisch DIL-behuizing of 44-pens LCC (figuur 8/6.2-159)
- levensduur: minimaal 10.000 x herschrijven
- data minimaal 10 jaar stabiel
- leverancier: Atmel: AT28C1024

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Pin Name	Function
A0 - A15	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
$\overline{WE}$	Write Enable
I/O0 - I/O15	Data Inputs/Outputs
NC	No Connect

Figuur 8/6.2-159: Aansluitingen van de DIL- en LCC-behuizing van de 28C1024.



Figuur 8/6.2-160: Functioneel blokschema van de 28C1024.

Lezen (Read)

Toegang tot de 28C1024 wordt op dezelfde manier verkregen als bij een statische RAM. Data die op een bepaalde lokatie is opgeslagen komt aan de uitgangen beschikbaar door $\overline{WE}$ HOOG en $\overline{CE}$ en $\overline{OE}$ beide LAAG te maken. De databus is hoog-impedant als $\overline{OE}$ of $\overline{CE}$ HOOG is. Door de 2-draads besturing wordt busrivaliteit in het systeem voorkomen.

Operating Modes

Mode	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O
Read	V_{IL}	V_{IL}	V_{IH}	D_{OUT}
Write(2)	V_{IL}	V_{IH}	V_{IL}	D_{IN}
Standby/Write Inhibit	V_{IH}	X(1)	X	High Z
Write Inhibit	X	X	V_{IH}	
Write Inhibit	X	V_{IL}	X	
Output Disable	X	V_{IH}	X	High Z

Notes: 1. X can be V_{IL} or V_{IH}.
2. Refer to A.C. Programming Waveforms.

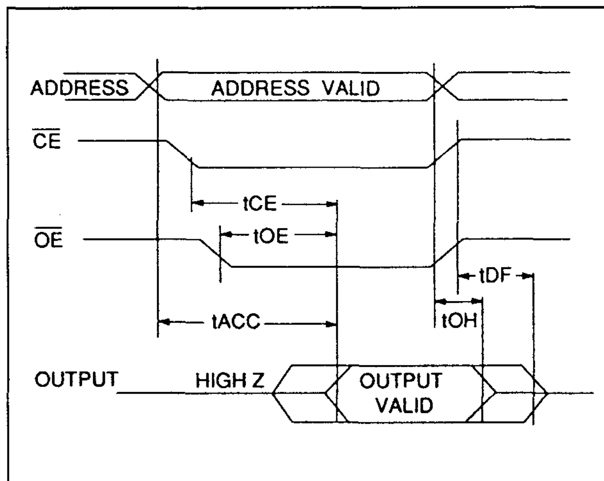
Tabel 8/6.2-73: Bedrijfsmode-selectie van de 28C1024.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

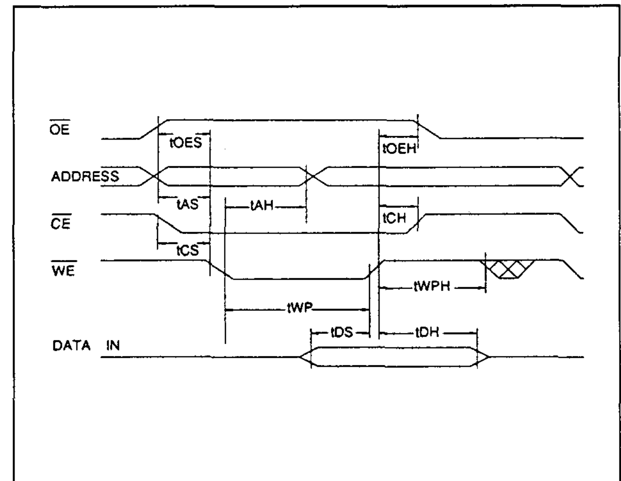
A.C. Read Characteristics

Symbol	Parameter	AT28C1024-12 Min	AT28C1024-12 Max	AT28C1024-15 Min	AT28C1024-15 Max	AT28C1024-20 Min	AT28C1024-20 Max	AT28C1024-25 Min	AT28C1024-25 Max	Units
t_{ACC}	Address to Output Delay		120		150		200		250	ns
t_{CE} (1)	$\overline{CE}$ to Output Delay		120		150		200		250	ns
t_{OE} (2)	$\overline{OE}$ to Output Delay	0	60	0	70	0	80	0	100	ns
t_{DF} (3,4)	$\overline{CE}$ or $\overline{OE}$ to Output Float	0	55	0	55	0	60	0	70	ns
t_{OH}	Output Hold from $\overline{OE}$, $\overline{CE}$ or Address, whichever occurred first	0		0		0		0		ns

Tabel 8/6.2-74: Schakeltijden bij het uitlezen van 28C1024's met verschillende snelheden.



Figuur 8/6.2-161: Golfvormen en timing bij het uitlezen van de 28C1024.



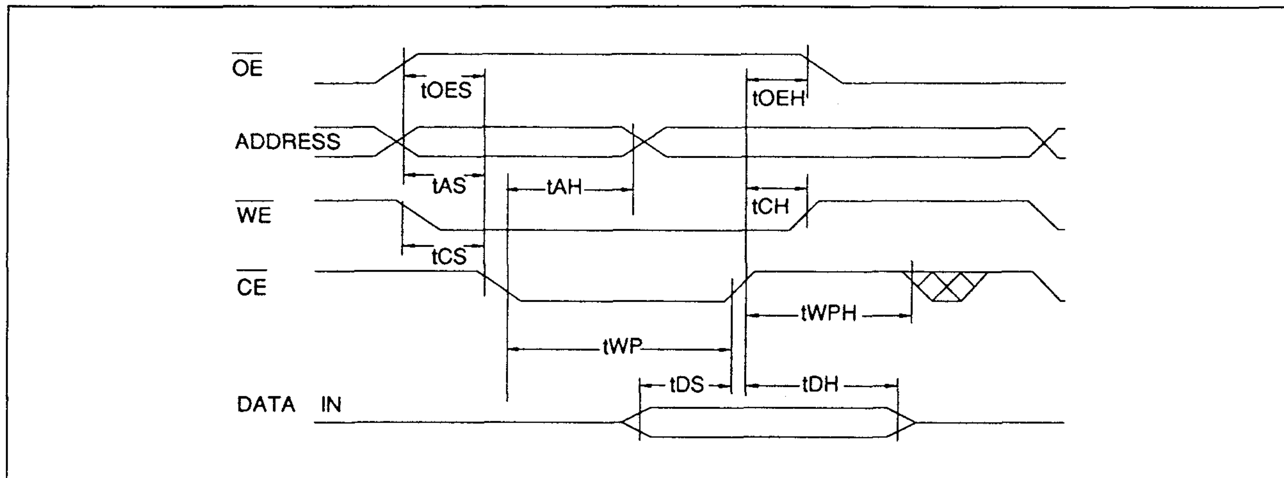
Figuur 8/6.2-162: Golfvormen en timing bij een door $\overline{WE}$ bestuurde schrijfcyclus.

A.C. Write Characteristics

Symbol	Parameter	Min	Max	Units
t_{AS}, t_{OES}	Address, $\overline{OE}$ Set-up Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{CS}	Chip Select Set-up Time	0		ns
t_{CH}	Chip Select Hold Time	0		ns
t_{WP}	Write Pulse Width ($\overline{WE}$ or $\overline{CE}$)	100		ns
t_{DS}	Data Set-up Time	50		ns
t_{DH}, t_{OEH}	Data, $\overline{OE}$ Hold Time	0		ns
t_{WC}	Write Cycle Time		10	ms

Tabel 8/6.2-75: Schakeltijden bij het programmeren van de 28C1024.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-163: Golfvormen en timing bij een door $\overline{CE}$ bestuurde schrijfcyclus.

Schrijven (Write)

De schrijfcyclus begint door een LAAG gaande puls op $\overline{CE}$ of $\overline{WE}$ te geven, terwijl $\overline{CE}$ of $\overline{WE}$ LAAG zijn en $\overline{OE}$ HOOG is. Het adres wordt op de laatst optredende dalende flank van $\overline{WE}$ of $\overline{CE}$ gelatched, terwijl data intern op de eerst optredende stijgende flank van $\overline{CE}$ of $\overline{WE}$ wordt gelatched. Als een schrijfoperatie eenmaal begonnen is, wordt deze automatisch voltooid.

Page Write operatie

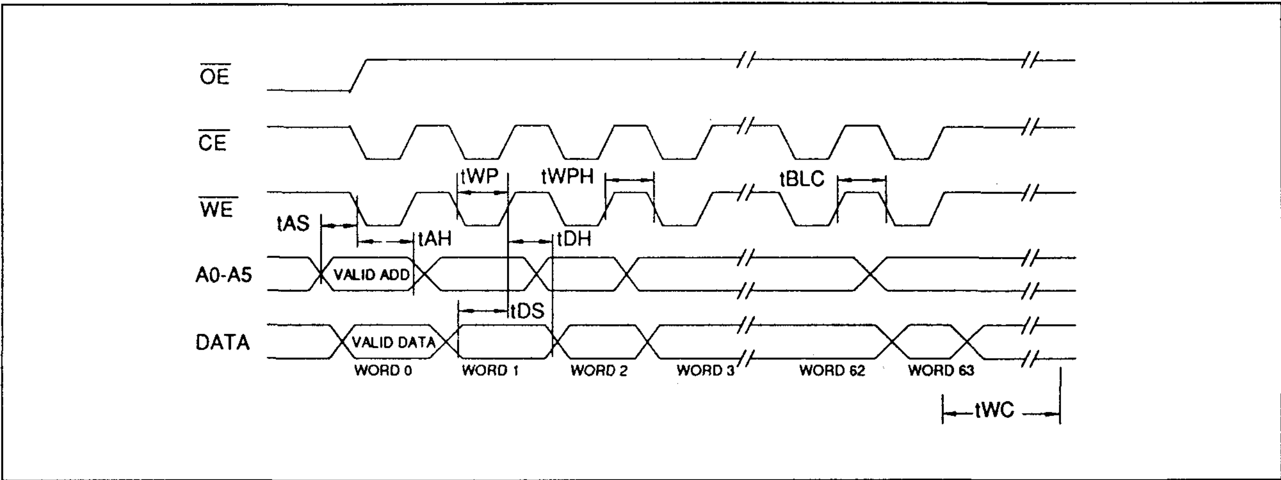
Met page-write is het mogelijk om 1 tot 64 woorden data aaneengesloten te programmeren, voordat de interne programmeercyclus begint. Nadat het eerste woord is geschreven kunnen nog 1 tot 64 woorden op dezelfde manier volgen. Elke volgende woord-load cyclus moet binnen 150 µs na de dalende flank van de voorgaande $\overline{WE}$ (of $\overline{WE}$) beginnen, omdat anders de interne automatische programmeercyclus start. Het pagina-adres wordt gespecificeerd door A6 tot en met A15, terwijl A0 tot en met A5 het adres binnen de pagina bepalen.

Page Mode Characteristics

Symbol	Parameter	Min	Max	Units
t_{WC}	Write Cycle Time		10	ms
t_{AS}	Address Set-up Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{DS}	Data Set-up Time	50		ns
t_{DH}	Data Hold Time	0		ns
t_{WP}	Write Pulse Width	100		ns
t_{BLC}	Byte Load Cycle Time		150	µs
t_{WPH}	Write Pulse Width High	50		ns

Tabel 8/6.2-76: Timing bij page-mode schrijven.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

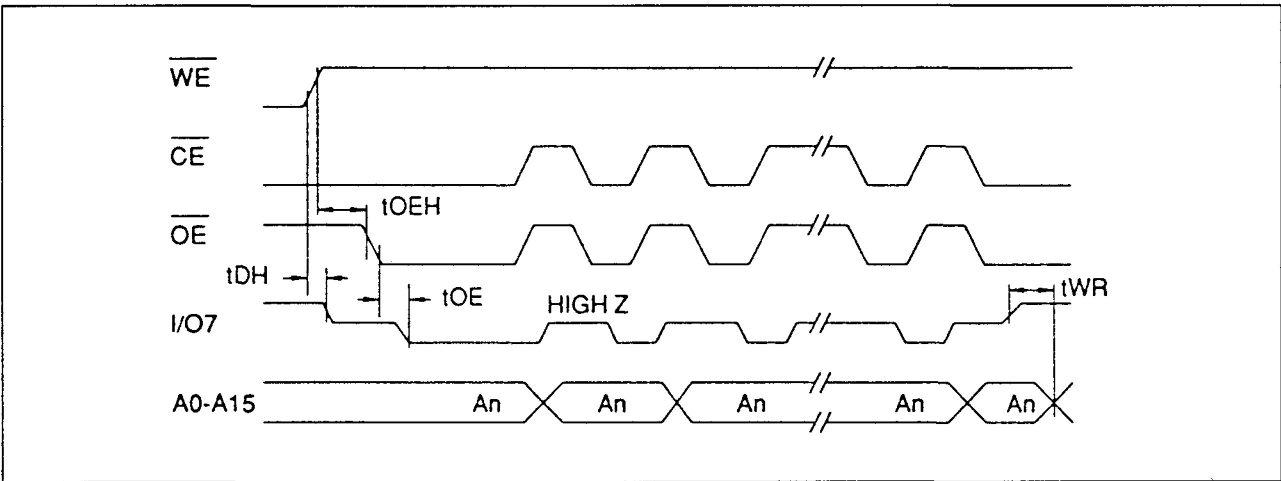


Figuur 8/6.2-164: Timing en golfvormen bij een Page-Write cyclus.

$\overline{\text{Data}}$ Polling Characteristics

Symbol	Parameter	Min	Typ	Max	Units
t_{DH}	Data Hold Time	0			ns
t_{OEH}	$\overline{\text{OE}}$ Hold Time	0			ns
t_{OE}	$\overline{\text{OE}}$ to Output Delay			100	ns
t_{WR}	Write Recovery Time	0			ns

Tabel 8/6.2-77: Timing bij $\overline{\text{DATA}}$-polling.



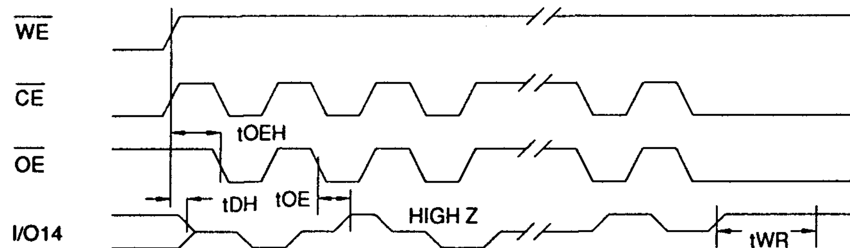
Figuur 8/6.2-165: Golfvormen en timing bij $\overline{\text{DATA}}$-polling.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie

Toggle Bit Characteristics

Symbol	Parameter	Min	Typ	Max	Units
t_{DH}	Data Hold Time	10			ns
t_{OEH}	$\overline{OE}$ Hold Time	10			ns
t_{OE}	$\overline{OE}$ to Output Delay			100	ns
t_{OEHP}	$\overline{OE}$ High Pulse	150			ns
t_{WR}	Write Recovery Time	0			ns

Tabel 8/6.2-78: Timing bij toggle-bit polling.



Notes:
1. Toggling either $\overline{OE}$ or $\overline{CE}$ or both $\overline{OE}$ and $\overline{CE}$ will operate toggle bit.
2. Beginning and ending state of I/O14 will vary.
3. Any address location may be used but the address should not vary.

Figuur 8/6.2-166: Golfvormen en timing bij toggle-bit polling.

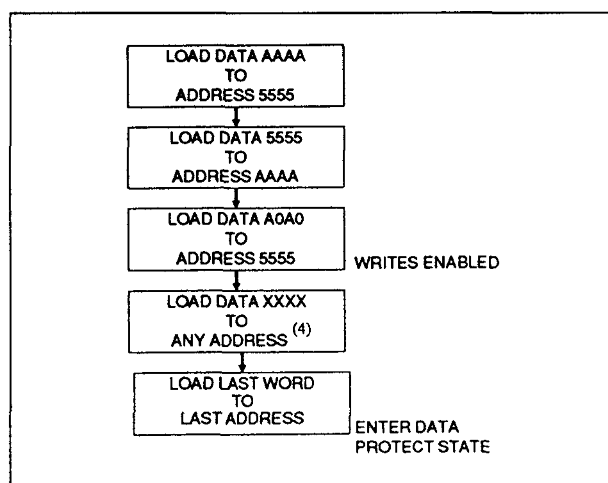
D.C. Characteristics

Symbol	Parameter	Condition	Min	Max	Units
I_{LI}	Input Load Current	V_{IN}=0V to V_{CC} + 1V		10	µA
I_{LO}	Output Leakage Current	$V_{I/O}$=0V to V_{CC}		10	µA
I_{SB1}	V_{CC} Standby Current CMOS	$\overline{CE}$=V_{CC}-.3V to V_{CC} + 1V		400	µA
I_{SB2}	V_{CC} Standby Current TTL	$\overline{CE}$=2.0V to V_{CC} + 1V		5	mA
I_{CC}	V_{CC} Active Current	f=5MHz; I_{OUT}=0mA		100	mA
V_{IL}	Input Low Voltage			0.8	V
V_{IH}	Input High Voltage		2.0		V
V_{OL}	Output Low Voltage	I_{OL}=2.1mA		.45	V
V_{OH}	Output High Voltage	I_{OH}=-400µA	2.4		V

Tabel 8/6.2-80: Gelijkspanningskarakteristieken van de 28C1024.

$\overline{\text{DATA}}$-polling (I/O7 en I/O15)

Ook bij de 28C1024 kan $\overline{\text{DATA}}$-polling worden gebruikt om het einde van een schrijfcyclus te detecteren.
Tijdens de interne programmeercyclus heeft iedere poging om het laatst geschreven woord uit te lezen tot gevolg dat het complement van de data op I/O7 en I/O15 verschijnt. Als de programmeercyclus klaar is, zal de werkelijke data op alle uitgangen verschijnen.



Figuur 8/6.2-167: Flow-diagram van de software beveiligings-algoritme.

Absolute Maximum Ratings

Temperature Under Bias	-55°C to +125°C
Storage Temperature	-65°C to +150°C
All Input Voltages (including N.C. Pins) with Respect to Ground	-0.6V to +6.25V
All Output Voltages with Respect to Ground	-0.6V to V_{CC} +0.6V
Voltage on $\overline{\text{OE}}$ and A9 with Respect to Ground	-0.6V to 13.5V

Tabel 8/6.2-79: Maximaal toegelaten waarden.

Toggle-bit (I/O14)

Ook bij de 28C1024 kan met toggle-bit polling het einde van een programmeercyclus worden bepaald. Gedurende de interne schrijfcyclus zal I/O14 bij pogingen tot uitlezen telkens van 1 naar 0 of 0 naar 1 springen. Is de schrijfcyclus beëindigd, dan houdt het "toggelen" op en kan geldige data worden uitgelezen.

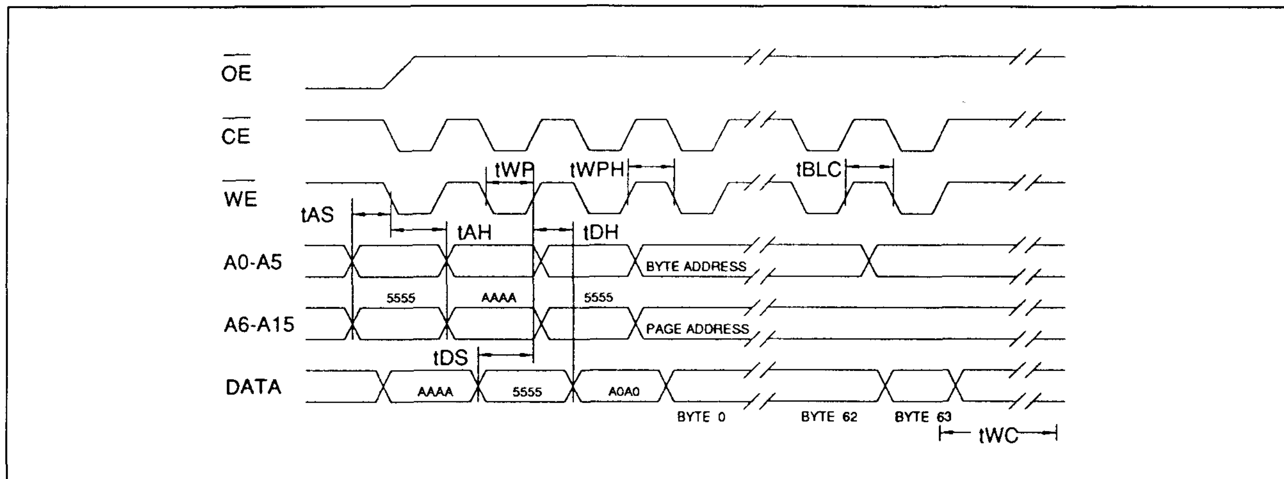
Hardware Data-beveiliging

De 28C1024 heeft vier hardware-beveiligingen tegen onbedoeld schrijven:
- Storingsonderdrukking:
  er wordt niet geschreven als de $\overline{\text{WE}}$- of $\overline{\text{WE}}$-puls korter is dan 15 ns.
- V_{CC}-sense:
  alle functies zijn gesperd als V_{CC} lager is dan 3,8 V.
- Write inhibit:
  door $\overline{\text{OE}}$ LAAG, of $\overline{\text{WE}}$ of $\overline{\text{CE}}$ HOOG te houden bij het in- of uitschakelen van de voeding, kan niet onbedoeld worden geschreven.
- V_{CC} power-on delay:
  nadat V_{CC} tenminste 3,8 V is geworden, wordt automatisch 5 ms (typical) gewacht voordat kan worden geschreven.

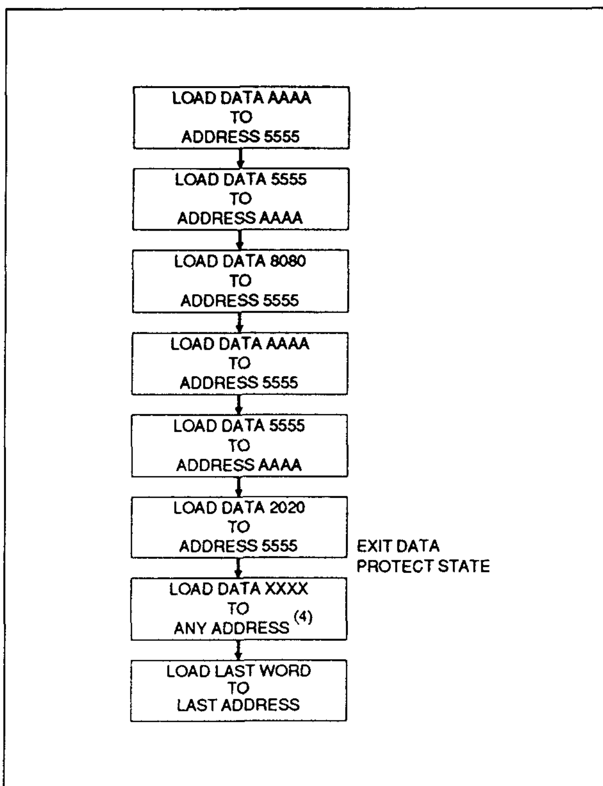
Software Data-beveiliging

De 28C1024 kan ook met software tegen onbedoeld schrijven worden beveiligd. Bij aflevering is deze beveiliging NOT ENABLED (niet ingeschakeld). De interne software data-beveiliging wordt aktief na het doorlopen van de software algoritme. Om in de software data-beveiligingsmode te komen moet een serie van drie schrijfoperaties worden uitgevoerd op drie specifieke adressen. De schakeling blijft daarna voortdurend in deze toestand, tenzij een reset-commando wordt gegeven.
Zodra de software-beveiliging is ingeschakeld, is de 28C1024 ook beveiligd tegen onbedoeld schrijven als de voedingsspanning aanwezig is. Voordat nieuwe data kan worden opgenomen moet eerst de disable algoritme worden doorlopen.

6.2 Type-beschrijving byte-wide parallelle EEPROMS 28xx-serie



Figuur 8/6.2-168: Golfvormen en timing bij het aktiveren van de software beveiliging.



Figuur 8/6.2-169: Flow-diagram voor het opheffen van de software beveiliging.

Electronic signature

De 28C1024 heeft 64 woorden beschikbaar voor identificatie van de chip. Door de spanning op A9 te verhogen tot 12 V (+/-0,5 V) kunnen extra woorden in de adreslokaties FFC0 tot en met FFFF worden geschreven die op dezelfde manier als het gewone geheugen-array worden geschreven of gelezen.

8/6.4

Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

24C00

128 bit seriële EEPROM

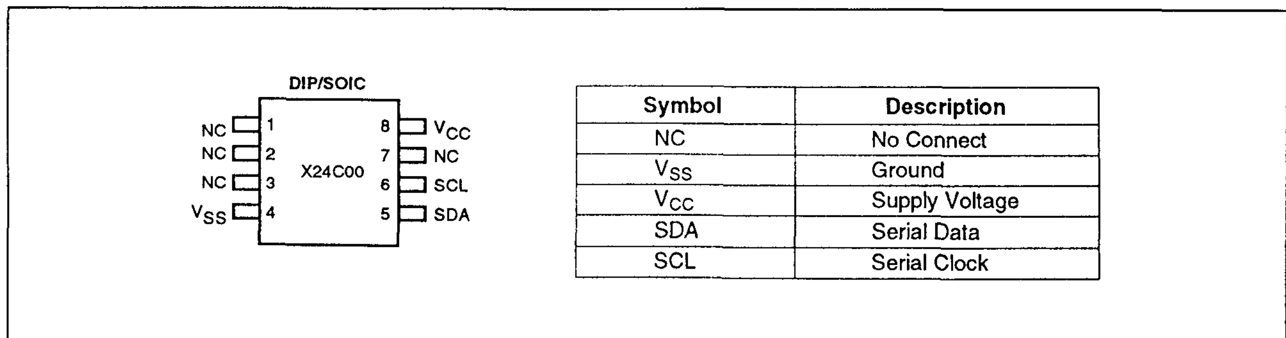
De 24C00 is een CMOS 128 bit seriële EEPROM, georganiseerd in 16 woorden van 8 bit. Door de seriële interface en het software protocol werkt het geheugen via een eenvoudige tweedraads bus. De opgeslagen data blijft minstens 100 jaar behouden.

Belangrijkste kenmerken:

- 128 bit seriële E^2PROM (16 x 8 bit)
- 2-draads seriële interface met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- byte mode write
- 3 V tot 5,5 V voedingsspanning
- geringe dissipatie (CMOS): 3 mA aktief, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, 100 jaar data vasthouden
- behuizing: 8-pens mini-DIP of 8-pens SOIC (figuur 8/6.4-1)
- fabrikant: Xicor: X24C00

Werking

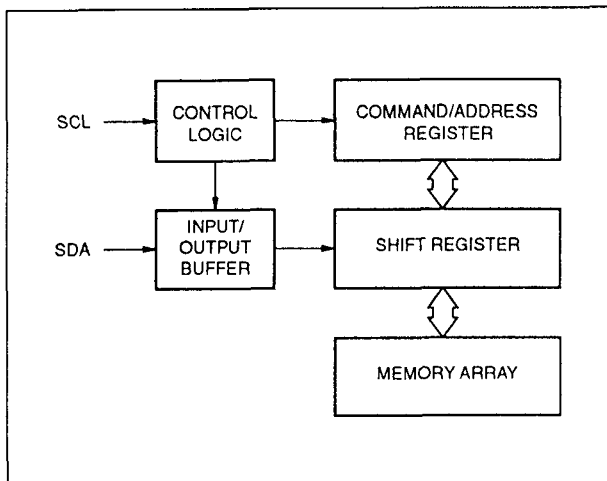
De 24C00 (figuur 8/6.4-2) ondersteunt een bidirectioneel busgeoriënteerd protocol. Hierbij wordt gebruik gemaakt van twee essentiële signalen: **SCL** en **SDA**. De seriële clock (SCL) wordt gebruikt om alle data in en uit het geheugen te klokken. De seriële datalijn (SDA) is een bidirectionele aansluiting voor het datatransport. Deze heeft een "push-pull" uitgang, waardoor geen optrekweerstand nodig is.
Met dit protocol is elk apparaat dat data op de bus zet een zender en een ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is een master en het bestuurde apparaat is de slave. De data-overdracht wordt altijd geïnitieerd door de master, die ook de clock levert voor zowel de zend- als de ontvangzijde. De 24C00 wordt daarom voor alle toepassingen beschouwd als slaaf.



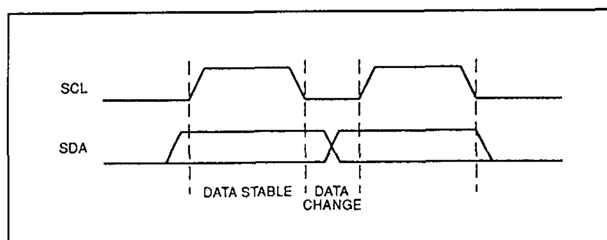
Symbol	Description
NC	No Connect
V_{SS}	Ground
V_{CC}	Supply Voltage
SDA	Serial Data
SCL	Serial Clock

Figuur 8/6.4-1: Aansluitingen van de 128 bit seriële E^2PROM 24C00.

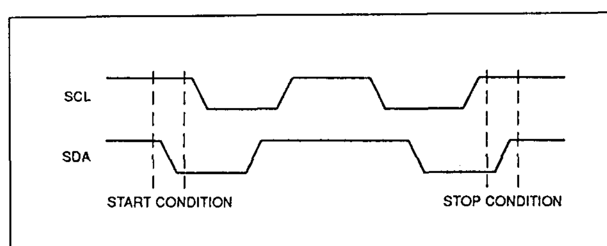
6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



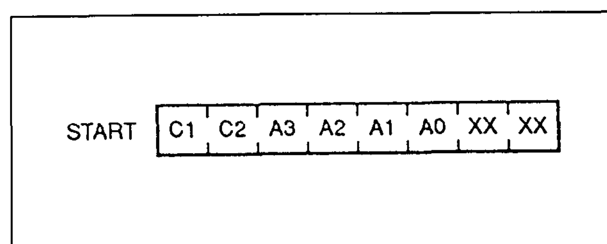
Figuur 8/6.4-2: Functioneel blokschema van de 24C00.



Figuur 8/6.4-3: Geldigheid van de data.



Figuur 8/6.4-4: De definitie van start- en stopcondities.



Figuur 8/6.4-5: Besturingsbyte (control byte).

Afspraken met betrekking tot clock en data

De toestand van data op de SDA-lijn kan alleen veranderen als SCL LAAG is. Toestandveranderingen op SDA terwijl SCL HOOG is, zijn gereserveerd voor het signaleren van start- en stopcondities (zie de figuren 8/6.4-3 en -4).

Startconditie

Alle commando's worden voorafgegaan door de startconditie: een HOOG-naar-LAAG overgang op SDA, terwijl SCL HOOG is (figuur 8/6.4-4). De 24C00 controleert de SDA- en SCL-lijnen voortdurend op het verschijnen van de startconditie en reageert vóór die tijd op geen enkel commando. Een "start" kan worden gegeven om een besturingswoord te beëindigen of om data te schrijven. Hierdoor wordt het apparaat (de elektronische schakeling) gereset en kan een nieuw lees- of schrijfcommando beginnen. Als gevolg van de push-pull uitgang kan geen start worden gegenereerd als de schakeling bezig is met het afgeven of inlezen van data.

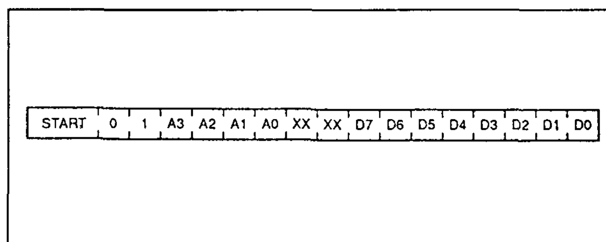
Stopconditie

De stopconditie is een LAAG-naar-HOOG overgang op SDA, terwijl SCL HOOG is en wordt gebruikt om de schakeling te resetten tijdens een commando of een datastroom. Hierna komt het geheugen in de standby-mode. Net als bij start wordt stop gesperd als er een datastroom wordt afgegeven en tijdens het schrijven.

Schrijven

De byte schrijfoperatie wordt begonnen met een startconditie, gevolgd door een 8 bit besturingsbyte die uit een 2 bit schrijfcommando (0,1), vier adresbits en twee "don't care" bits bestaat (zie figuur 8/6.4-5). Na ontvangst van het besturingsbyte komt de 24C00 in de schrijfmode en wacht op de te schrijven data. Deze data wordt door de volgende acht SCL-kloksignalen in het geheugen geschreven.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

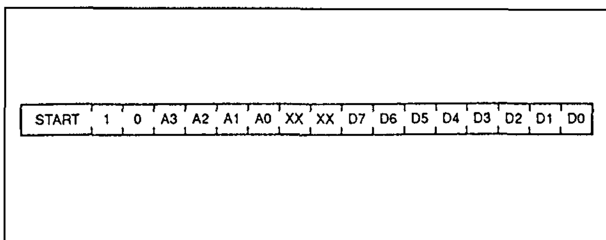


Figuur 8/6.4-6: Schrijfvolgorde.

Zijn deze ontvangen dan wordt de data uit het schuifregister naar het geheugenarray overgebracht. Wanneer de 24C00 bezig is met schrijven, zal hij op geen enkel signaal reageren. Wordt op een willekeurig moment vóór het inklokken van het laatste databit een stopcommando of een nieuw startcommando gegeven, dan wordt de operatie beëindigd. Als een startcommando wordt gegeven, reset de 24C00 alle tellers en staat hij klaar om het volgend besturingsbyte te ontvangen. Na een stopcommando zijn alle tellers gereset en wordt op een nieuw startcommando gewacht. Na afloop van het schrijven reset de 24C00 automatisch alle tellers en gaat hij in de standby-mode (figuur 8/6.4-6).

Lezen

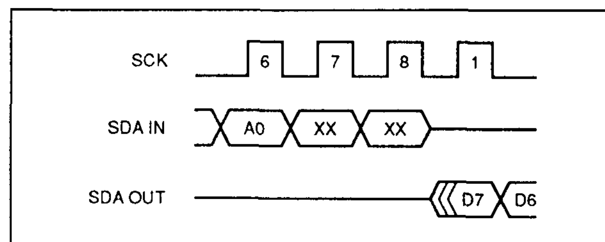
De byte leesoperatie begint met een startconditie, gevolgd door een 8 bit besturingsbyte bestaande uit een 2 bit leescommando (1,0), vier adresbits en twee "don't care" bits (zie figuur 8/6.4-7).



Figuur 8/6.4-7: Leesvolgorde.

Na ontvangst van het besturingsbyte gaat de 24C00 in de leesmode en wordt data uit het array naar het schuifregister overgebracht. De data wordt door de volgende 8 SCL-kloksignalen uit de schakeling geschoven.

Na afloop worden alle tellers gereset en gaat de 24C00 in de standby-mode. Net als bij het schrijven kan de leesoperatie worden onderbroken door een start- of stopconditie tijdens het inklokken van een commando of adres. Tijdens het uitklokken van data kan geen start of stop worden gegenereerd. Gedurende de tweede don't care klokcyclus worden start- en stopsignalen genegeerd. De master moet de bus vóór het einde van deze klokcyclus vrijmaken om de 24C00 in staat te stellen met het afgeven van data te beginnen (zie figuur 8/6.4-8).



Figuur 8/6.4-8: De timing van een leescyclus.

Overige kenmerken

Tenslotte wordt in de tabellen 8/6.4-1 tot en met -6 en de figuren 8/6.4-9 en -10 een overzicht van de elektrische en timingkarakteristieken van het Xicor-type X24C00 gegeven.

Temperature Under Bias
X24C00 ....–65°C to +135°C
Storage Temperature ....–65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} ....–1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Supply Voltage	Limits
X24C00	5V ± 10%
X24C00-3	3V to 5.5V

Tabel 8/6.4-1: Maximaal toegelaten waarden.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Conditions
I_{CC1}	V_{CC} Supply Current Read		1	mA	SCL = VCC x 0.1/VCC x 0.9
I_{CC2}	V_{CC} Supply Current Write		3		Levels @ 1MHz, SDA = Open
I_{SB1}	V_{CC} Standby Current		100	µA	SCL = SDA = V_{CC} V_{CC} = 5V ± 10%
I_{SB2}	V_{CC} Standby Current		50	µA	SCL = SDA = V_{CC} V_{CC} = 3V
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
$V_{IL}^{(1)}$	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
$V_{IH}^{(1)}$	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	V_{CC} – 0.8		V	I_{OH} = 1.0 mA

Tabel 8/6.4-2: Gelijkspanningskarakteristieken van de 24C00.

CAPACITANCE T_A = 25°C, f = 1.0 MHz, V_{CC} = 5V

Symbol	Parameter	Max.	Units	Test Conditions
$C_{I/O}^{(2)}$	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
$C_{IN}^{(2)}$	Input Capacitance (SCL)	6	pF	V_{IN} = 0V

Tabel 8/6.4-3: Capaciteiten van de SDA- en SCL-lijn.

Symbol	Parameter	Max.	Units
$t_{PUR}^{(3)}$	Power-up to Read Operation	2	ms
$t_{PUW}^{(3)}$	Power-up to Write Operation	5	ms

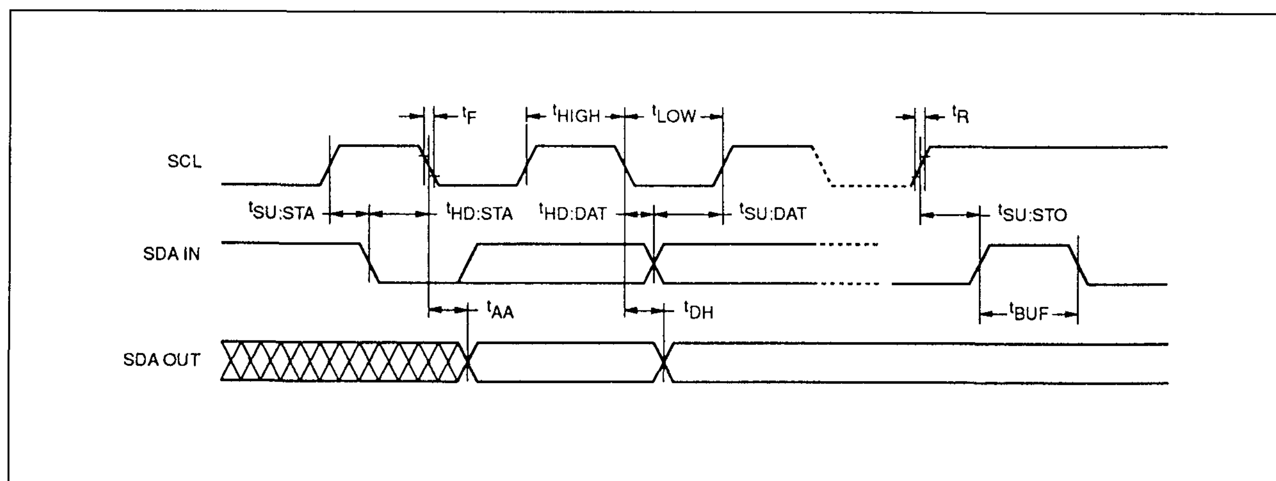
Tabel 8/6.4-4: Benodigde tijd tussen het opkomen van de voedingsspanning en het lezen/schrijven.

Read & Write Cycle Limits

Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	1	MHz
t_{AA}	SCL Low to SDA Data Out Valid		350	ns
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	500		ns
$t_{HD:STA}$	Start Condition Hold Time	250		ns
t_{LOW}	Clock Low Period	500		ns
t_{HIGH}	Clock High Period	500		ns
$t_{SU:STA}$	Start Condition Setup Time	250		ns
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data in Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	250		ns
t_{DH}	Data Out Hold Time	50		ns

Tabel 8/6.4-5: Timing van de lees- en schrijfcycli van de 24C00 (zie ook figuur 8/6.4-9).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-9: Timing en golfvormen (bustiming) van de 24C00.

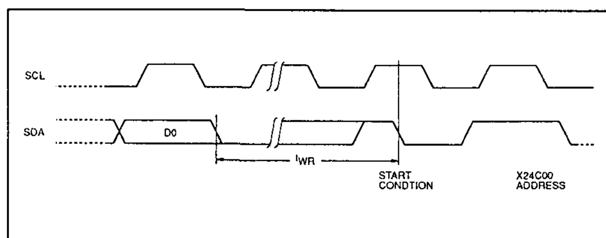
Symbol	Parameter	Min.	Max.	Units
$t_{WR}^{(4)}$	Write Cycle Time		5	ms

Tabel 8/6.4-6: Maximale tijdsduur van een schrijfcyclus (zie ook figuur 8/6.4-10).

24C01

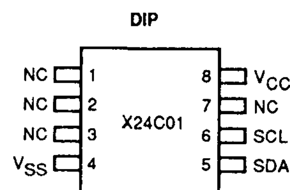
1 kB seriële EEPROM

De 24C01 is een CMOS seriële EEPROM met een 128 x 8 bit organisatie. De seriële interface en het software protocol maakt bediening via een eenvoudige tweedraads bus mogelijk. Eenmaal opgeslagen data blijft minstens 100 jaar bewaard.

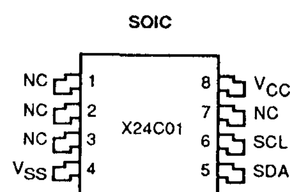


Figuur 8/6.4-10: Timing van de schrijfcyclus.

DIP



SOIC



Symbol	Description
NC	No Connect
V_{SS}	Ground
V_{CC}	Supply Voltage
SDA	Serial Data
SCL	Serial Clock

Figuur 8/6.4-11: Aansluitingen van de 1 kB seriële E^2PROM 24C01.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

Belangrijkste kenmerken

- 1 kB seriële E²PROM (128 x 8 bit)
- 2-draads seriële interface met bidirectioneel data-transfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- enkele voedingsspanning (3 V tot 5,5 V)
- 4 byte page write mode
- CMOS: dissipatie: 1 mA aktief, 50 µA standby
- betrouwbaarheid: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP of 8-pens SOIC (figuur 8/6.4-11)
- fabrikant: Xicor: X24C01

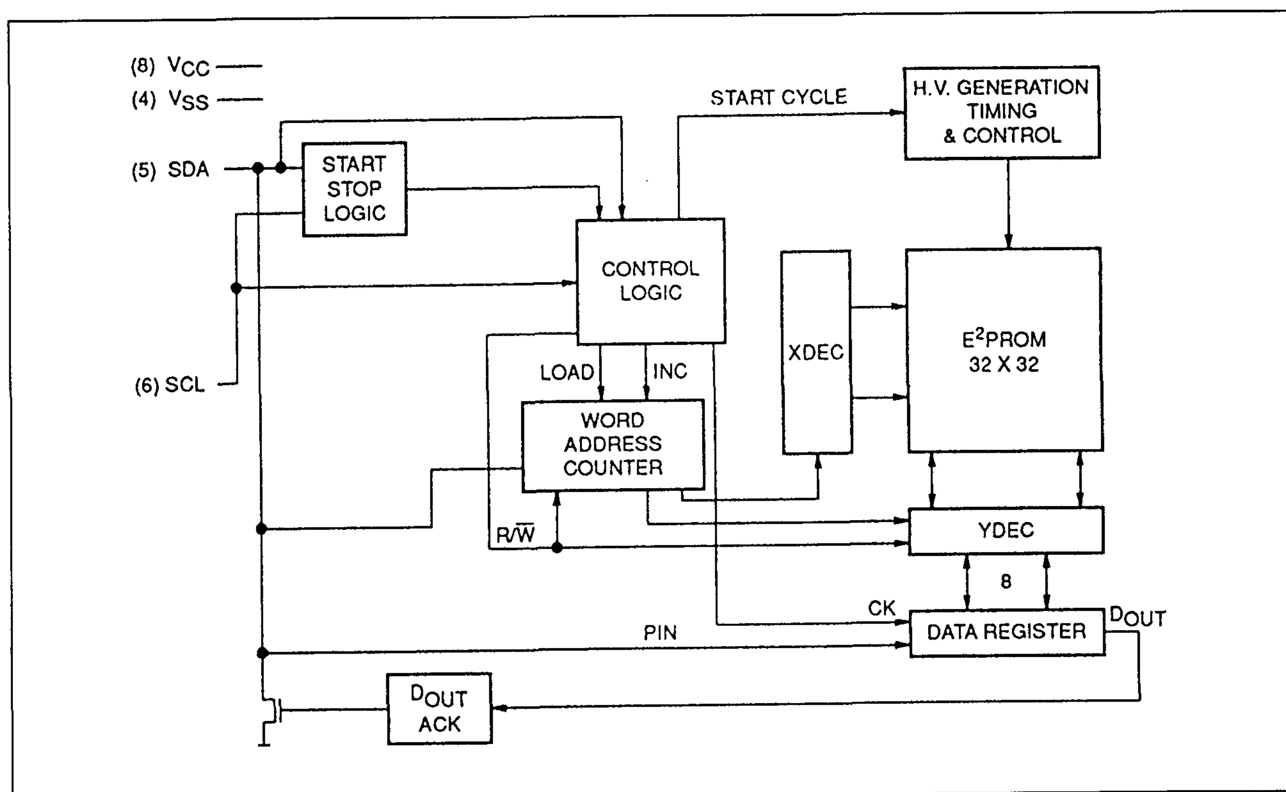
Werking

Ook de 24C01 (figuur 8/6.4-12) ondersteunt een bidirectioneel busgeoriënteerd protocol. Hierbij wordt gebruik gemaakt van twee signalen: **SCL** en **SDA**. De seriële clock (SCL) wordt gebruikt om alle data van en naar de EEPROM te klokken. De seriële datalijn (SDA) is een bidirectionele pen voor het datatransport. Deze heeft een "open-drain" uitgang voor "wired-OR" toepassingen en heeft dus een optrekweerstand nodig.

Elk apparaat dat data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is een master en het bestuurde apparaat is de slave. De data-overdracht wordt altijd geïnitieerd door de master, die ook de clock levert voor de zend- en de ontvangzijde. De 24C01 is daardoor voor alle toepassingen een slaaf.

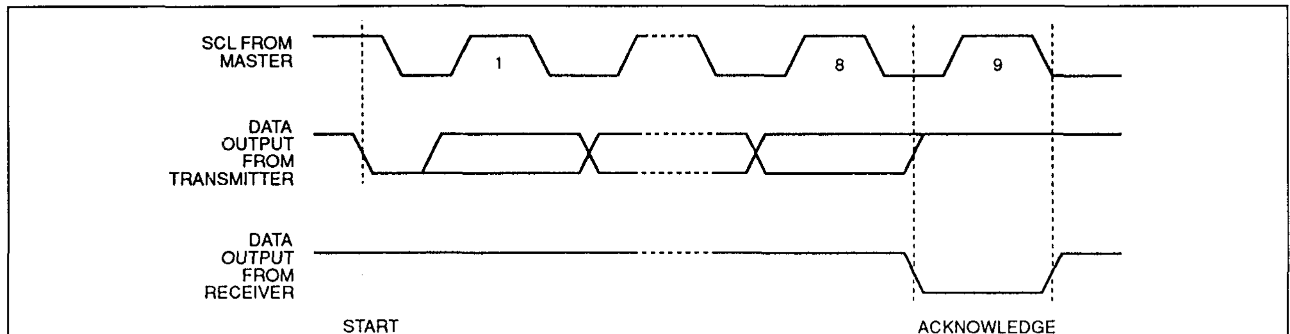
Clock, data, start en stop

De voorwaarden voor SDA, SCL, geldige data, start en stop zijn dezelfde als voor de 24C00. Hiervoor wordt daarom verwezen naar de figuren 8/6.4-3 en -4 plus de beschrijvende tekst.



Figuur 8/6.4-12: Functioneel blokschema van de 24C01.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

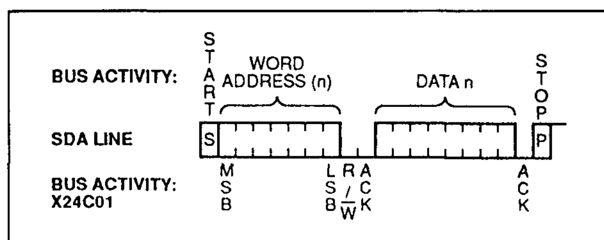


Figuur 8/6.4-13: Reactie van de ontvanger op een acknowledge-signaal.

Acknowledge

Acknowledge (bevestiging) is een software-afspraak waarmee wordt aangegeven dat een data-overdracht gelukt is. De zendende schakeling geeft de bus vrij na het uitzenden van 8 bits. Gedurende de 9e klokcyclus trekt de ontvanger de SDA-lijn LAAG om te bevestigen dat 8 bits data werden ontvangen (zie figuur 8/6.4-13). De 24C01 geeft een acknowledge na herkenning van een startconditie, een 7 bit woordadres en een R/$\overline{W}$-bit. Als een schrijfoperatie is geselecteerd zal de 24C01 na elke ontvangen databyte met een acknowledge reageren.

In de leesmode verstuurt de 24C01 8 bits data, waarna de SDA-lijn wordt los gelaten om te worden gecheckt op een acknowledge. Als een acknowledge wordt gedetecteerd en de master geen stopconditie genereert, gaat de 24C01 door met het verzenden van data. Wordt geen acknowledge vastgesteld dan stopt de 24C01 met het verzenden van data. De master moet dan een stopconditie leveren om de 24C01 in de standby mode en een bekende toestand te zetten.



Figuur 8/6.4-14: Het schrijven van een byte in de 24C01: start, adres, acknowledge, data-overdracht.

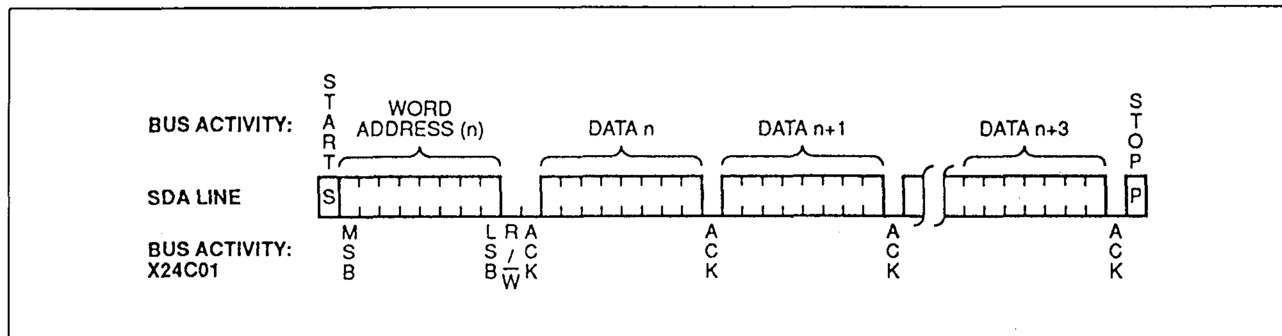
Schrijven, byte-write

Om een schrijfoperatie te beginnen zendt de master een startconditie, gevolgd door een 7 bit woordadres en een schrijfbit uit. De 24C01 antwoordt met een acknowledge, wacht op 8 bits data en geeft daarna weer een acknowledge. De master beëindigt de overdracht dan door het opwekken van een stopconditie, waarbij de 24C01 met de interne schrijfcyclus naar het niet-vluchtige geheugen begint. Terwijl die aan de gang is, zijn de ingangen van de 24C01 gesperd en reageert de schakeling niet op signalen uit de master (zie figuur 8/6.4-14).

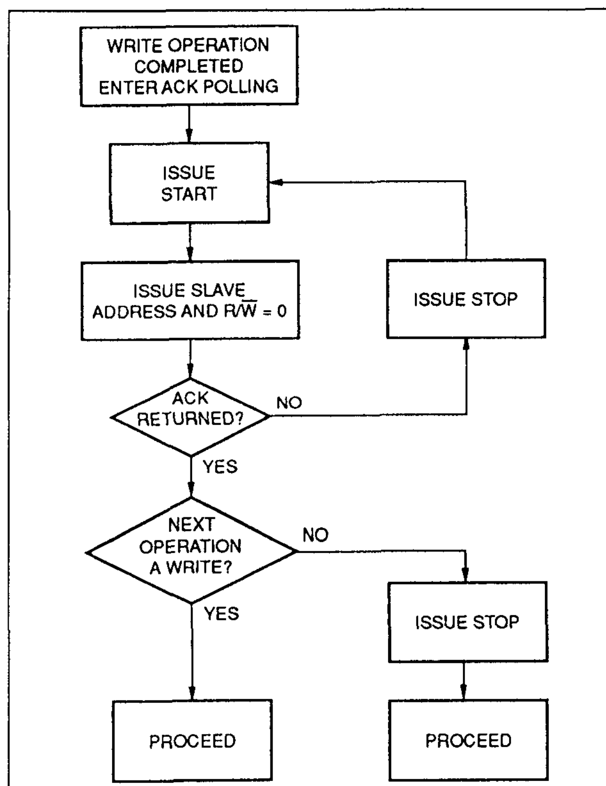
Schrijven, page-write

De hoogste vijf bits van het woordadres bepalen het pagina-adres. De 24C01 kan een pagina schrijfoperatie van maximaal vier bytes uitvoeren. Deze wordt op dezelfde manier als een byte schrijfoperatie begonnen, maar in plaats van de data-overdracht na het eerste databyte te beëindigen, kan de master nog drie bytes versturen. Na ontvangst van elk databyte geeft de 24C01 een acknowledge. Na ontvangst van een databyte worden de twee laagste adresbits telkens intern met één verhoogd, waarbij de vijf hoogste adresbits gelijk blijven. Zou de master meer dan vier databytes versturen voordat de stopconditie optreedt, dan treedt in de adresteller een "roll-over" op, waardoor de eerder verzonden data wordt overschreven. Net als bij de byte schrijfoperatie zijn alle ingangen gesperd totdat de interne schrijfcyclus klaar is (zie figuur 8/6.4-15).

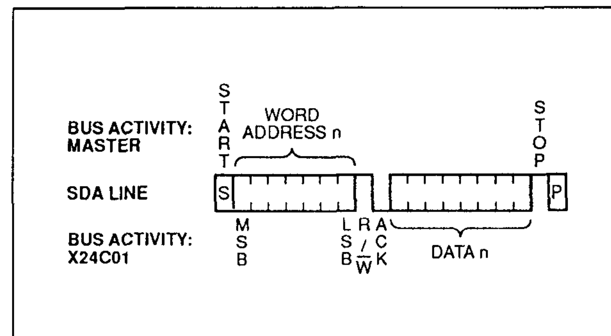
6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-15: Het schrijven van een pagina in de 24C01.



Figuur 8/6.4-16: Het afvragen van ACK (ACK polling sequence).



Figuur 8/6.4-17: Uitlezen van een byte: start, woordadres, leesbit, acknowledge en data-overdracht.

Acknowledge polling

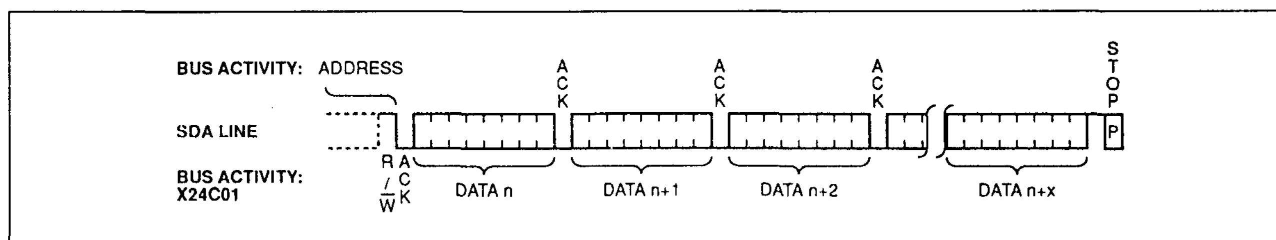
Het sperren van de ingangen geeft de gelegenheid om gebruik te maken van de 5 ms schrijfcyclustijd. Zodra de stopconditie wordt gegeven om het einde van de schrijfoperatie aan te geven, begint de 24C01 met de interne schrijfcyclus. Het afvragen (polling) van ACK kan direct beginnen. Hierbij wordt de startconditie gegeven, gevolgd door het woordadres voor een schrijfoperatie.

Als de 24C01 nog steeds bezig is met de schrijfoperatie wordt niet met een ACK geantwoord. ACK verschijnt pas als de 24C01 klaar is met de schrijfoperatie, waarna de controller verder kan gaan met de volgende lees- of schrijfoperatie (zie figuur 8/6.4-16).

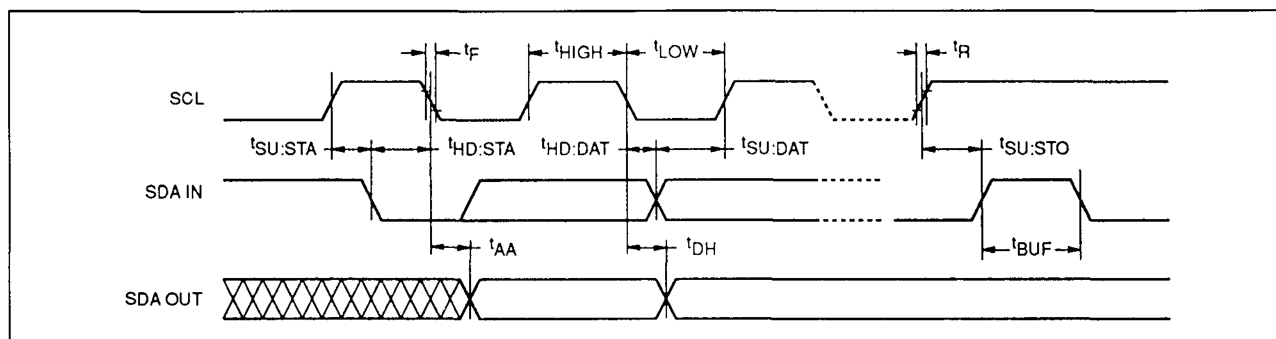
Lezen

De leesoperaties beginnen op dezelfde manier als de schrijfoperaties, op het R/$\overline{W}$-bit in het woordadres na, die nu op één wordt gezet. Er kan op twee manieren worden gelezen: byte-read en sequential-read.
Let op dat de 9e klokcyclus van de leesoperatie geen "don't care" is. Om het lezen te beëindigen moet de master een stopconditie tijdens de 9e cyclus geven of SDA tijdens de 9e cyclus HOOG houden en daarna een stopconditie geven.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-18: Het achter elkaar uitlezen van data (sequential-read).



Figuur 8/6.4-19: Bustiming van de 24C01.

Byte-read

De byte leesoperatie begint met een start-conditie van de master, gevolgd door een 7 bit woordadres en een leesbit. De 24C01 antwoordt met een acknowledge en verstuurt vervolgens de 8 bits data. De master beëindigt het lezen door niet met een acknowledge te antwoorden en een stopconditie te geven (zie figuur 8/6.4-17).

Sequential-read

Het opeenvolgend uitlezen (sequential read) begint op dezelfde manier als de byte-read. Het eerste databyte wordt net als bij de byte-read verstuurd, maar nu antwoordt de master telkens met een acknowledge om aan te geven dat hij nog meer data wil ontvangen. De 24C01 gaat door met het versturen van data zolang hij acknowledges ziet. De master beëindigt het lezen door niet langer met een acknowledge te antwoorden en het geven van een stopconditie (zie figuur 8/6.4-18).
De data wordt opeenvolgend gelezen vanaf adres n, gevolgd door data van adres n+1. De adresteller voor de leesoperaties verhoogt automatisch alle adresbits, zodat het gehele geheugen serieel in één handeling kan worden uitgelezen. Aan het einde van de adresruimte (adres 127) "rolt de teller over" naar nul en gaat de 24C01 door met het versturen van data zolang er acknowledges komen.

Overige kenmerken

In de tabellen 8/6.4-7 tot en met -12 en de figuren 8/6.4-19 tot en met -22 zijn de voor de werking van belang zijnde elektrische en timingkarakteristieken van de X24C01 vermeld.

Temperature Under Bias ....−65°C to +135°C
Storage Temperature ....−65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} ....−1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Supply Voltage	Limits
X24C01	4.5V to 5.5V
X24C01-3.5	3.5V to 5.5V
X24C01-3	3.0V to 5.5V

Tabel 8/6.4-7: Maximaal toegelaten waarden.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Symbol	Parameter	Limits		Units	Test Conditions
		Min.	Max.		
I_{CC}(1)	V_{CC} Supply Current (Read)		1	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels
I_{CC}(2)	V_{CC} Supply Current (Write)		2		@ 100 KHz, SDA = Open
I_{SB1}(1)	V_{CC} Standby Current		100	µA	SCL = SDA = V_{CC}, V_{CC} = 5V ± 10%
I_{SB2}(1)	V_{CC} Standby Current		50	µA	SCL = SDA = V_{CC}, V_{CC} = 3V
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}(2)	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
V_{IH}(2)	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.1 mA

Tabel 8/6.4-8: Gelijkspanningskenmerken van de 24C01.

CAPACITANCE T_A = 25°C, f = 1.0 MHz, V_{CC} = 5V

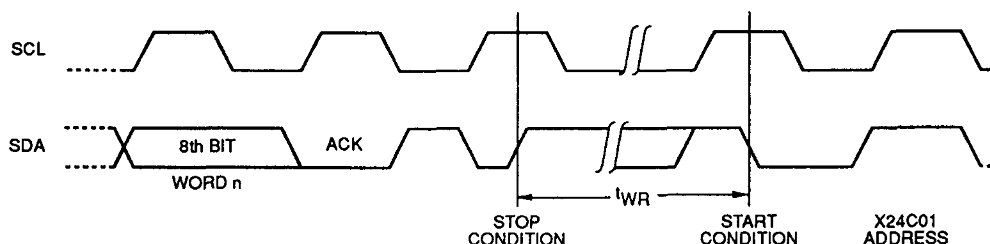
Symbol	Parameter	Max.	Units	Test Conditions
$C_{I/O}$(3)	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}(3)	Input Capacitance (SCL)	6	pF	V_{IN} = 0V

Tabel 8/6.4-9: Capaciteiten van de SDA- en SCL-lijn (nodig voor het berekenen van de optrekweerstanden, zie figuur 8/6.4-21 en -22).

POWER-UP TIMING

Symbol	Parameter	Max.	Units
t_{PUR}(4)	Power-up to Read Operation	1	ms
t_{PUW}(4)	Power-up to Write Operation	5	ms

Tabel 8/6.4-10: Tijd na het opkomen van de voedingsspanning waarna kan worden gelezen/geschreven.



Figuur 8/6.4-20: Timing van de schrijfcyclus.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Read & Write Cycle Limits

Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	100	KHz
T_I	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

Tabel 8/6.4-11: Timing van de lees- en schrijfcycli voor de 24C01 (zie ook figuur 8/6.4-19).

Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WR}(6)	Write Cycle Time		5	10	ms

Tabel 8/6.4-12: Maximale tijdsduur van een schrijfcyclus. Gedurende deze tijd zijn de businterface schakelingen van de 24C01 gesperd (zie ook figuur 8/6.4-20).

24C01A

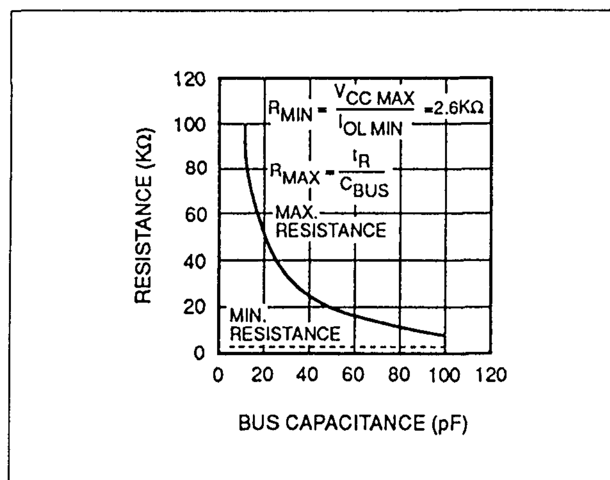
1 kB seriële EEPROM

De 24C01A is een 1.024 bit CMOS seriële EEPROM met een 128 x 8 bit organisatie en is een verbetering van de 24C01. Door de seriële interface en het software protocol is bediening via een eenvoudige tweedraads bus mogelijk. Door drie adresingangen kunnen maximaal acht 24C01A's van dezelfde bus gebruik maken. De opgeslagen data blijft minstens 100 jaar geldig. De 24C01A wordt door een groot aantal fabrikanten geleverd.

Belangrijkste kenmerken

- 1 kB seriële E^2PROM (128 x 8 bit)
- 2-draads seriële interface met bidirectioneel data-transfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- write-control functie (let op: niet altijd aanwezig)
- voedingsspanning: 2,7 V tot 5,5 V; (24AA01: 1,8 V min.)
- 4 byte page write mode
- maximale dissipatie: 1 mA aktief, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP of 8-pens SOIC (figuur 8/6.4-23)
- fabrikanten o.a.:
  Xicor: X24C01A
  Microchip: 24C01A, 24LC01B, 24AA01
  Atmel: AT24C01A
  Exel: XL24C01A
  Philips: PCA8581
  SGS-Thomson: ST24C01B

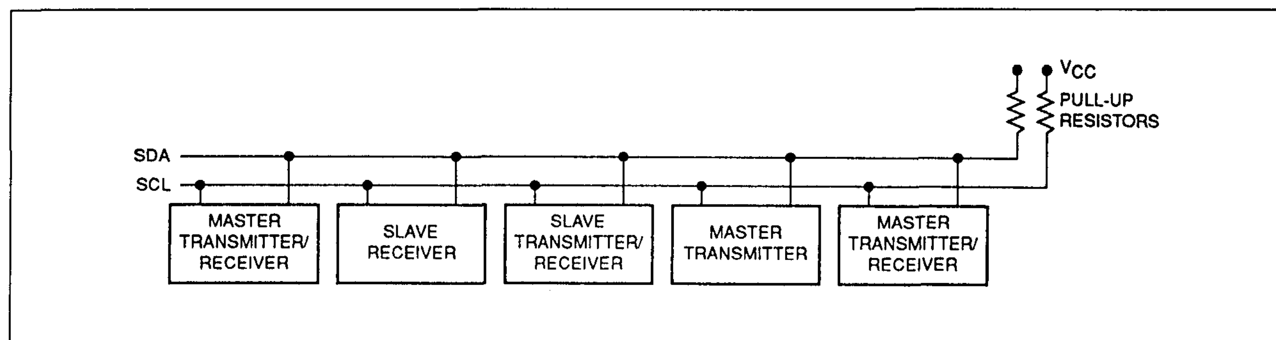
6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



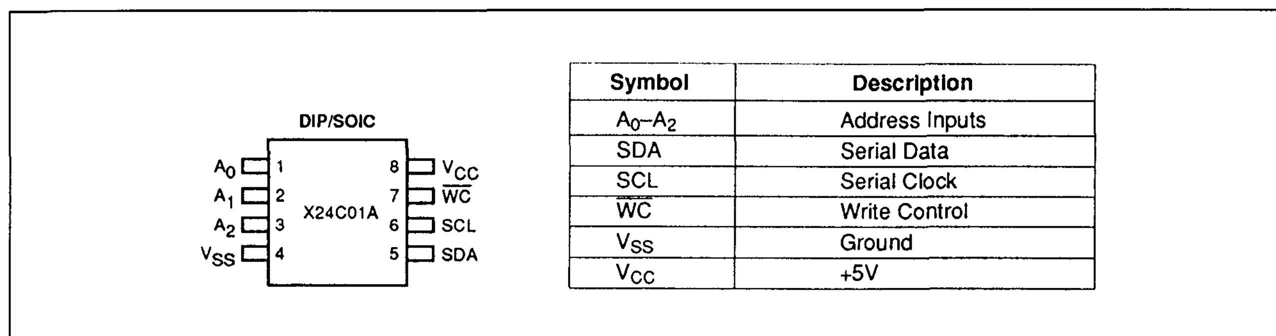
Figuur 8/6.4-21: Richtlijn voor het berekenen van de optrekweerstanden van de bus (zie ook figuur 8/6.4-22 en tabel 8/6.4-9).

Werking

De 24C01A (figuur 8/6.4-24) ondersteunt een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. De seriële clock (SCL) dient om alle data van en naar de EEPROM te klokken. De seriële datalijn (SDA) is een bidirectionele datapen met een "open-drain" uitgang voor "wired-OR" toepassingen en moet dus worden voorzien van een optrekweerstand. Elk apparaat dat data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C01A wordt daarom voor alle toepassingen als slaaf beschouwd.



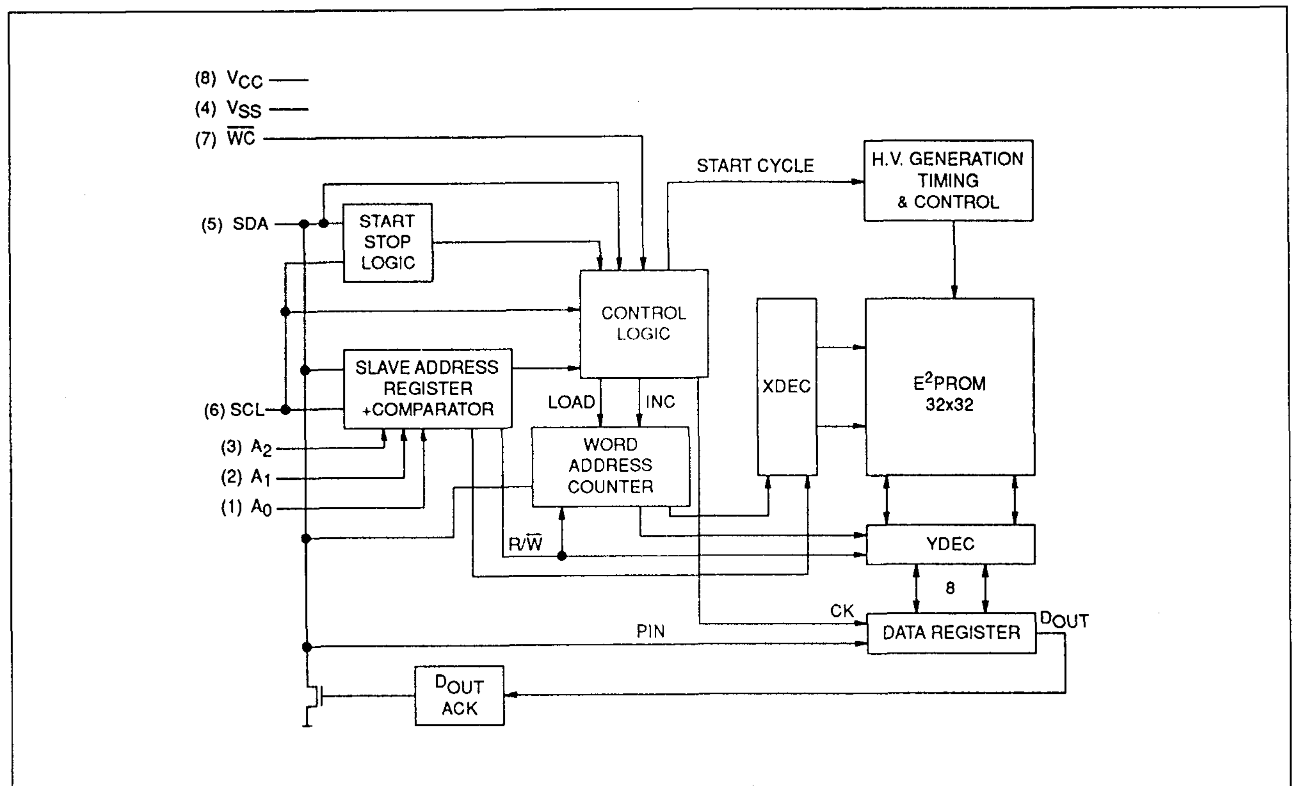
Figuur 8/6.4-22: Typische I^2C systeemconfiguratie.



Symbol	Description
A_0–A_2	Address Inputs
SDA	Serial Data
SCL	Serial Clock
$\overline{WC}$	Write Control
V_{SS}	Ground
V_{CC}	+5V

Figuur 8/6.4-23: Aansluitingen van de 24C01A.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-24: Functioneel blokschema van de 24C01A.

Clock, data, start en stop

De voorwaarden voor SDA, SCL, geldige data, start en stop zijn dezelfde als voor de 24C00. Hiervoor wordt dus verwezen naar de figuren 8/6.4-3 en -4, plus de bijbehorende tekst. Acknowledge, lezen en schrijven werken bijna op dezelfde manier als bij de 24C01.

Omdat nu echter sprake is van een slaafadres worden deze onderwerpen hier volledig behandeld.

Adreslijnen (A0, A1, A2)

De adresingangen worden gebruikt om de laagste drie bits van het 7 bit slaafadres te setten. Deze ingangen kunnen zowel statisch als aktief worden aangedreven. Als zij statisch worden gebruikt, moeten zij (naar keuze) met V_{CC} of V_{SS} worden verbonden. Bij aktief gebruik moeten zij naar V_{CC} of V_{SS} worden uitgestuurd.

Write Control ($\overline{WC}$)

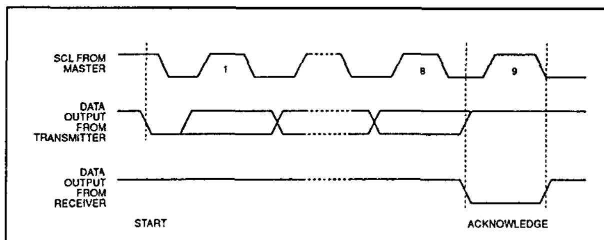
Met de Write Control ingang kan het schrijven naar de 24C01A worden geregeld. Als $\overline{WC}$ LAAG is (met V_{SS} verbonden), kan de 24C01A schrijfoperaties uitvoeren. Is $\overline{WC}$ HOOG (verbonden met V_{CC}) dan is de interne hoogspanningsschakeling gesperd en worden alle schrijfoperaties tegen gehouden. Let op dat Write Control (of Write Protect) niet bij alle merken voorkomt. De 24C01A van Microchip heeft bijvoorbeeld geen WC (WP)-ingang, de 24LC01B en de 24AA01 wel. De SGS Thomson-typen ST24C01 hebben geen WP, de ST24W01 wel. Hier wordt als voorbeeld de X24C01A van Xicor behandeld.

Acknowledge

Acknowledge is een software-afspraak voor het signaleren van een geslaagde data-overdracht. De zender geeft de bus vrij na

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

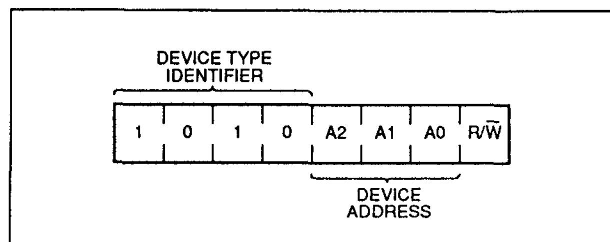
het uitzenden van 8 bits. Gedurende de 9e klokcyclus trekt de ontvanger de SDA-lijn LAAG om te bevestigen dat 8 bits data werden ontvangen (zie figuur 8/6.4-25). De 24C01A geeft een acknowledge na herkenning van een startconditie en zijn **slaafadres**. Als zowel de EEPROM als een schrijfoperatie zijn geselecteerd zal de 24C01A met een acknowledge reageren na ontvangst van elk opvolgend 8 bit woord. In de leesmode verstuurt de 24C01A 8 bits data, geeft de SDA-lijn vrij en checkt deze voor een acknowledge. Als een acknowledge wordt gedetecteerd en de master geen stopconditie heeft gegenereerd, gaat de 24C01A door met het verzenden van data. Als er geen acknowledge wordt gedetecteerd, zal de 24C01A ophouden met het verzenden van data. De master moet dan een stopconditie leveren om de 24C01A in de standby-mode en een bekende toestand te zetten.



Figuur 8/6.4-25: Reactie van de ontvanger op een acknowledge signaal.

Adressering van de schakeling

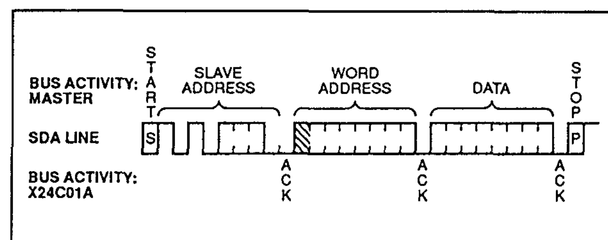
Na een startconditie moet de master het adres van de bedoelde slaaf leveren. De vier hoogste bits van het slaafadres zijn de type identificatie (zie figuur 8/6.4-26). Voor de 24C01A is deze 1010. De volgende drie bits adresseren een bepaalde schakeling: in een systeem kunnen maximaal acht 24C01A's op de bus worden aangesloten (zie ook figuur 8/6.4-22). De acht adressen worden gedefinieerd door de toestand van de A0, A1 en A2 ingangen. Het laatste bit (R/$\overline{W}$) van het slaafadres bepaalt welke operatie moet worden uitgevoerd. Als deze één is wordt er gelezen, bij een nul wordt geschreven. Na de startconditie houdt de 24C01A de SDA-bus in de gaten om het uitgezonden slaafadres te vergelijken met zijn eigen adres. Komen beide overeen dan geeft de 24C01A een acknowledge op de SDA-lijn, waarna (afhankelijk van het R/$\overline{W}$-bit) wordt gelezen of geschreven.



Figuur 8/6.4-26: Inrichting van het slaafadres.

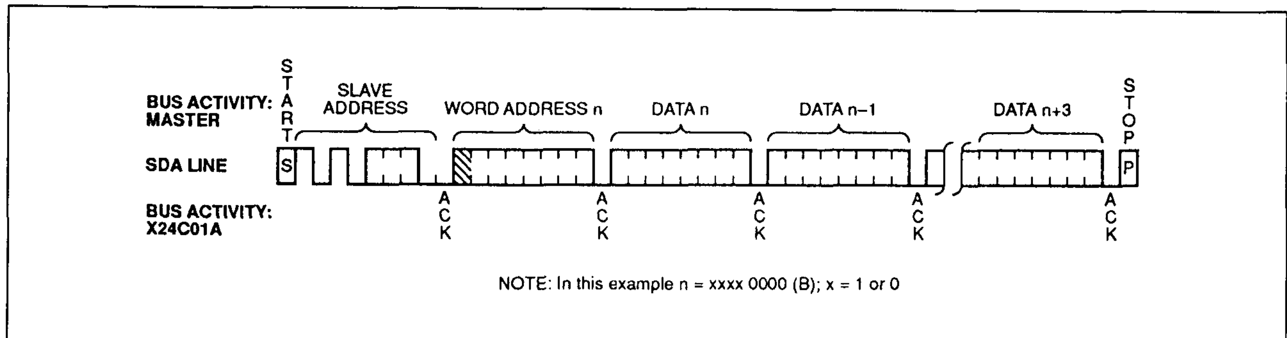
Schrijven, byte-write

Voor een schrijfoperatie heeft de 24C01A een tweede adresveld nodig. Dit adresveld is het uit 8 bit bestaande woordadres, waarmee elk van de 128 lokaties in het geheugen bereikt kan worden. Merk op dat het hoogste bit (MSB) een "don't care" is. Na ontvangst van het woordadres geeft de 24C01A een acknowledge en wacht op de volgende 8 bit data, waarna hij weer een acknowledge geeft. Hierna beëindigt de master de overdracht door een stopconditie op te wekken. Op dat moment begint de 24C01A met de interne schrijfcyclus naar het niet-vluchtige geheugen. Tijdens de interne schrijfcyclus zijn de ingangen van de 24C01A gesperd en reageert de schakeling niet op signalen uit de master (zie figuur 8/6.4-27).

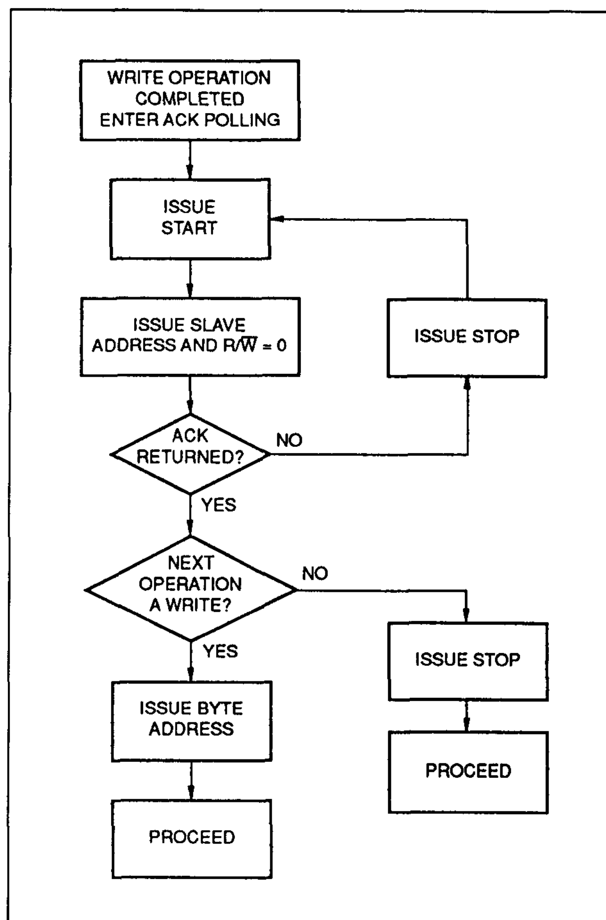


Figuur 8/6.4-27: Het schrijven van een byte in de 24C01A (ook 24C02): start, slaafadres, acknowledge, woordadres, acknowledge, data-overdracht.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-28: Het schrijven van een pagina in de 24C01A (en 24C02).



Figuur 8/6.4-29: Het afvragen van acknowledge (ACK polling sequence).

Schrijven, page-write

De 24C01A kan een pagina schrijfoperatie van maximaal vier bytes uitvoeren. Deze begint op dezelfde manier als de byte schrijfoperatie, maar in plaats van beëindiging van de data-overdracht na het eerste datawoord, kan de master nog drie bytes versturen. Telkens na ontvangst van een woord geeft de 24C01A een acknowledge. Na ontvangst van elk woord worden de twee laagste adresbits intern met één verhoogd, waarbij de vijf hoogste adresbits constant blijven. Zou de master meer dan vier woorden versturen vóór de stopconditie te genereren, dan "rolt" de adresteller "over", waardoor de eerder verzonden data wordt overschreven. Net als bij de byte schrijfoperatie zijn alle ingangen gesperd totdat de interne schrijfcyclus klaar is (zie figuur 8/6.4-28).

Acknowledge polling

Het sperren van de ingangen tijdens de interne schrijfcyclus biedt de gelegenheid om gebruik te maken van de 5 ms "dode" tijd. Zodra de stopconditie wordt gegeven om het einde van de schrijfoperatie te signaleren, begint de 24C01A met de interne schrijfcyclus. Het afvragen (polling) van acknowledge (ACK) kan dan direct beginnen. Hierbij wordt de startconditie gegeven, gevolgd door het slaafadres voor een schrijfoperatie. Is de 24C01A nog steeds bezig met de schrijfoperatie dan wordt niet met een ACK geantwoord. Als de 24C01A klaar is met de schrijfoperatie verschijnt ACK, waarna de master verder kan gaan met de volgende lees- of schrijfoperatie (zie figuur 8/6.4-29).

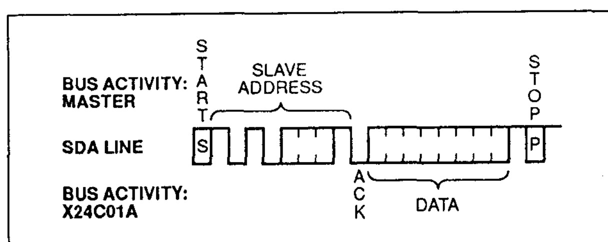
Lezen

De leesoperaties beginnen op dezelfde manier als schrijfoperaties, met uitzondering van het R/W̄-bit in het slaafadres. Voor het

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

lezen wordt deze op één gezet. Er zijn drie manieren van lezen beschikbaar: current address-read, random-read en sequential-read. Let op dat de 9e klokcyclus bij het lezen geen "don't care" is. Om een leesoperatie te beëindigen moet de master een stopconditie tijdens de 9e cyclus geven of SDA tijdens de 9e cyclus HOOG houden, gevolgd door een stop-conditie.

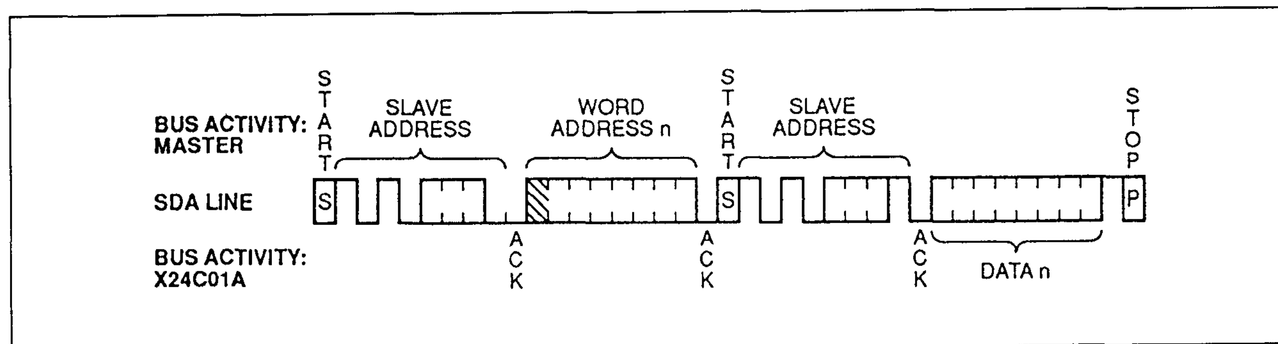
Current Address-read
De 24C01A heeft een interne adresteller die het laatst bereikte adres, verhoogd met één, bewaart. Als dus adres n het laatste adres (lezen of schrijven) was, wordt bij de volgende leesoperatie de inhoud van adres n+1 opgehaald. Na ontvangst van het slaafadres (met R/W̄=1), geeft de 24C01A een acknowledge en verzendt het 8 bit woord gedurende de volgende acht klokcycli. De leesoperatie wordt door de master beëindigd door niet met een acknowledge te antwoorden en een stopconditie te geven (zie figuur 8/6.4-30).



Figuur 8/6.4-30: Uitlezen van het huidige adres (Current Address Read): start, slaafadres, acknowledge en data-overdracht.

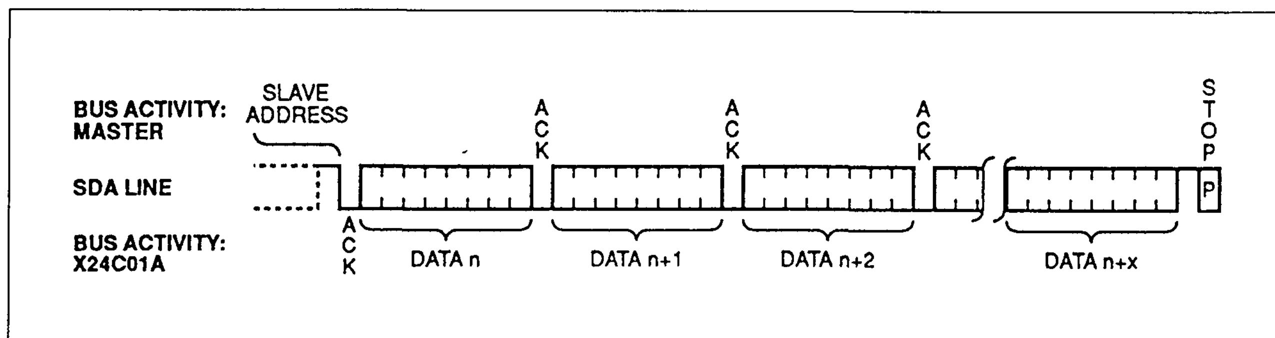
Random-read
De master kan ook leesoperaties op willekeurige lokaties (Random Read) uitvoeren. Voordat het slaafadres met R/W̄=1 wordt geleverd, moet de master eerst een "dummy" schrijfoperatie uitvoeren. De master geeft dan een startconditie plus het slaafadres, gevolgd door het woordadres dat moet worden uitgelezen. Na de acknowledge van het woordadres geeft de master onmiddellijk een nieuwe startconditie plus het slaafadres met R/W̄=1. Dit wordt gevolgd door een acknowledge van de 24C01A en daarna door het 8 bit woord. De leesoperatie wordt beëindigd door de master als die niet met een acknowledge antwoordt, maar wel een stopconditie geeft (zie figuur 8/6.4-31).

Sequential-read
Het opeenvolgend uitlezen (sequential-read) kan beginnen als een Current Address-read of als een Random-read. Het eerste woord wordt op de manier van de gekozen mode verstuurd, maar daarna antwoordt de master telkens met een acknowledge om aan te geven dat er nog meer data wordt gevraagd. De 24C01A gaat door met het versturen van data zolang er acknowledges worden ontvangen. De master beëindigt het lezen door niet langer met een acknowledge te antwoorden en het geven van een stopconditie (zie figuur 8/6.4-32).



Figuur 8/6.4-31: Het uitlezen van willekeurige adressen (Random Read).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-32: Het achter elkaar uitlezen van data (sequential-read).

De data wordt opeenvolgend verstuurd vanaf adres n, gevolgd door data van n+1. De adresteller voor de leesoperaties verhoogt automatisch alle adresbits, zodat het gehele geheugen serieel in één handeling kan worden uitgelezen. Aan het einde van de adresruimte (adres 127) "rolt de teller over" naar nul en gaat de 24C01A door met het versturen van data zolang er acknowledges komen.

Overige kenmerken

In de tabellen 8/6.4-13 tot en met -18 en de figuren 8/6.4-33, -34 en -35 zijn de voor de werking van belang zijnde elektrische en timingkarakteristieken van het Xicor-type X24C01A vermeld.

Temperature Under Bias ....–65°C to +135°C
Storage Temperature ....–65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} ....–1.0V to +7V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Supply Voltage	Limits
X24C01A	4.5V to 5.5V
X24C01A-3.5	3.5V to 5.5V
X24C01A-3	3V ± 5.5V
X24C01A-2.7	2.7V to 5.5V

Tabel 8/6.4-13: Maximaal toegelaten waarden.

Symbol	Parameter	Limits		Units	Test Conditions
		Min.	Max.		
I_{CC1}	Power Supply Current (read)		1	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open, All Other Inputs = GND or V_{CC} – 0.3V
I_{CC2}	Power Supply Current (write)		2	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open, All Other Inputs = GND or V_{CC} – 0.3V
I_{SB}(1)	Standby Current		50	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 5.5V
I_{SB}(1)	Standby Current		30	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC}= 3.3V + 10%
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}(2)	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
V_{IH}(2)	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 3 mA

Tabel 8/6.4-14: Gelijkspanningskenmerken van de 24C01A.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

CAPACITANCE T_A = 25°C, f = 1.0MHZ, V_{CC} = 5V

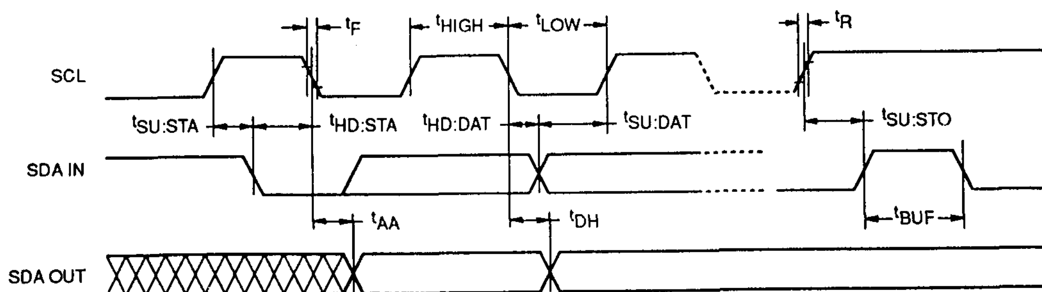
Symbol	Test	Max.	Units	Conditions
$C_{I/O}^{(3)}$	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
$C_{IN}^{(3)}$	Input Capacitance (A_0, A_1, A_2, SCL, $\overline{WC}$)	6	pF	V_{IN} = 0V

Tabel 8/6.4-15: Capaciteiten van de SDA- en SCL-lijn (zie ook figuur 8/6.4-35).

Read & Write Cycle Limits

Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	100	KHz
T_I	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

Tabel 8/6.4-16: Timing van de lees- en schrijfcycli van de 24C01A (zie ook figuur 8/6.4-33).



Figuur 8/6.4-33: Bustiming van de 24C01A.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

POWER-UP TIMING

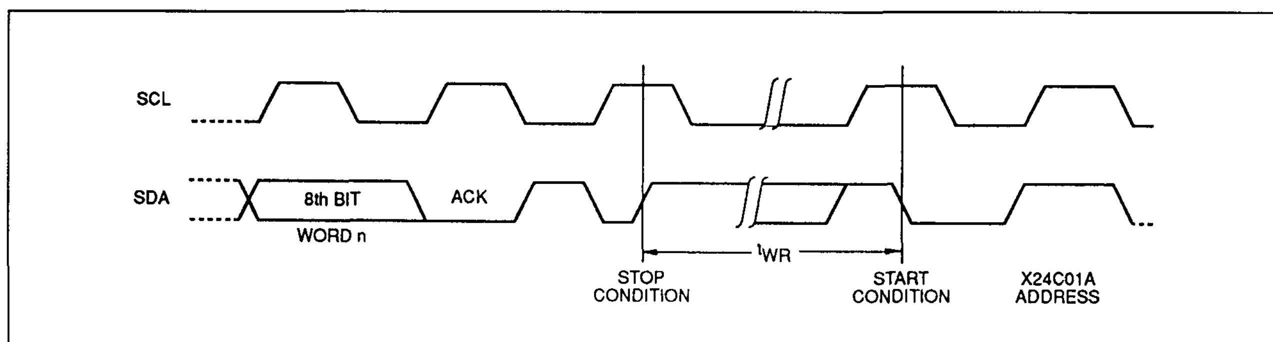
Symbol	Parameter	Max.	Units
$t_{PUR}^{(4)}$	Power-Up to Read Operation	1	ms
$t_{PUW}^{(4)}$	Power-Up to Write Operation	5	ms

Tabel 8/6.4-17: Tijd na het opkomen van de voedingsspanning waarna kan bedrijfszeker worden gelezen/geschreven.

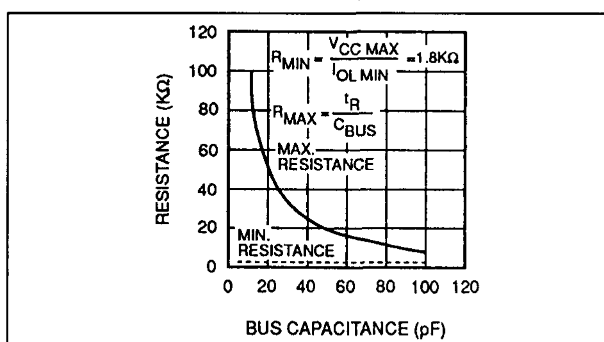
WRITE CYCLE LIMITS

Symbol	Parameter	Min.	Typ.(5)	Max.	Units
$t_{WR}^{(6)}$	Write Cycle Time		5	10	ms

Tabel 8/6.4-18: Maximale tijdsduur van een schrijfcyclus. Gedurende deze tijd zijn de businterface schakelingen van de 24C01A gesperd (zie ook figuur 8/6.4-34).



Figuur 8/6.4-34: Timing van de schrijfcyclus.



Figuur 8/6.4-35: Berekening van de optrekweerstanden van de bus voor SDA en SCL.

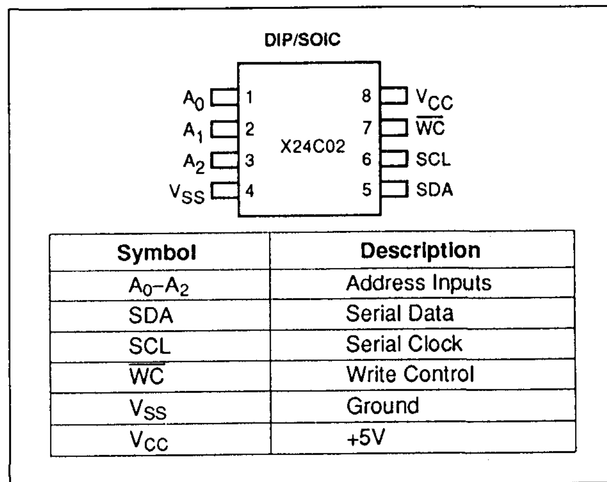
24C02

2 kB seriële EEPROM

De 24C02 is een CMOS 2.048 bit seriële EEPROM, georganiseerd in 256 x 8 bit. De seriële interface en het software protocol maakt bediening via een eenvoudige tweedraads bus mogelijk.

Door de drie adresingangen kunnen maximaal acht 24C02's van dezelfde bus gebruik maken. De opgeslagen data blijft minstens 100 jaar ongewijzigd behouden. De 24C02 wordt ook door een groot aantal fabrikanten geleverd.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

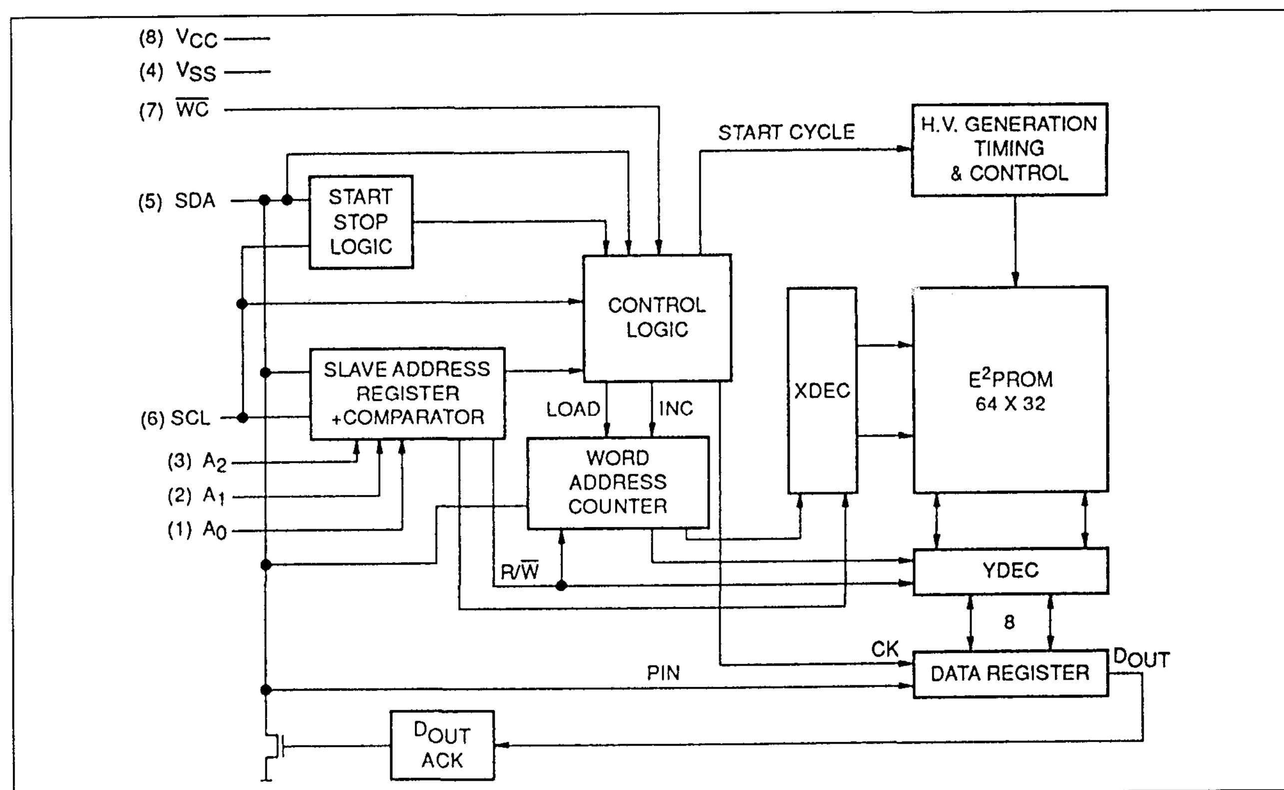


Symbol	Description
A_0–A_2	Address Inputs
SDA	Serial Data
SCL	Serial Clock
$\overline{WC}$	Write Control
V_{SS}	Ground
V_{CC}	+5V

Figuur 8/6.4-36: Aansluitingen van de 24C02.

Belangrijkste kenmerken

- 2 kB seriële E²PROM (256 x 8 bit)
- 2-draads seriële interface met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- write-control functie (let op: niet altijd aanwezig)
- voedingsspanning: 2,7 V tot 5,5 V; (24AA02: 1,8 V min.)
- 4 byte page write mode
- maximale dissipatie: 1 mA aktief, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP of 8-pens SOIC (figuur 8/6.4-36)
- fabrikanten o.a.:
  Atmel: AT24C02
  Catalyst: CAT24C02(A), CAT24LC02(A)
  Exel: XL24LC02
  Microchip: 24C02A, 24LC02B, 24AA02
  Philips: PCF8582
  SGS-Thomson: ST24C02
  Xicor: X24C02
  Toshiba: TC89112



Figuur 8/6.4-37: Functioneel blokschema van de 24C02.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

Werking

De 24C02 (figuur 8/6.4-37) ondersteunt de I²C-bus, een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. Met de seriële clock (SCL) wordt alle data van en naar de EEPROM geklokt. De seriële datalijn (SDA) is een bidirectionele datapen met een open-drain uitgang voor "wired-OR" toepassingen en moet dus worden voorzien van een optrekweerstand. Elke schakeling die data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C02 wordt dus voor alle toepassingen beschouwd als slaaf.

Clock, data, start en stop

De voorwaarden voor SDA, SCL, geldige data, start en stop zijn dezelfde als voor de 24C00. Hiervoor wordt dus verwezen naar de figuren 8/6.4-3 en -4, plus de bijbehorende tekst.

Acknowledge, Slave-address, Write en Read

Acknowledge, lezen en schrijven werken op dezelfde manier als bij de hiervoor behandelde 24C01A. De figuren 8/6.4-25 tot en met -32 en de hierbij behorende tekst gelden dus ook voor de 24C02. De type identificator voor de 24C02 in het slaaf-adres is 1010 (dezelfde als voor de 24C01A; figuur 8/6.4-26). Bij Byte-Write is nu sprake van schrijven naar maximaal 256 lokaties, in plaats van 128. Overigens zijn alle mogelijkheden, zoals Write Control, Byte Write, Page Write, Acknowledge Polling, Current Address Read, Random Read en Sequential Read ook bij de 24C02 aanwezig en identiek aan die voor de 24C01A.

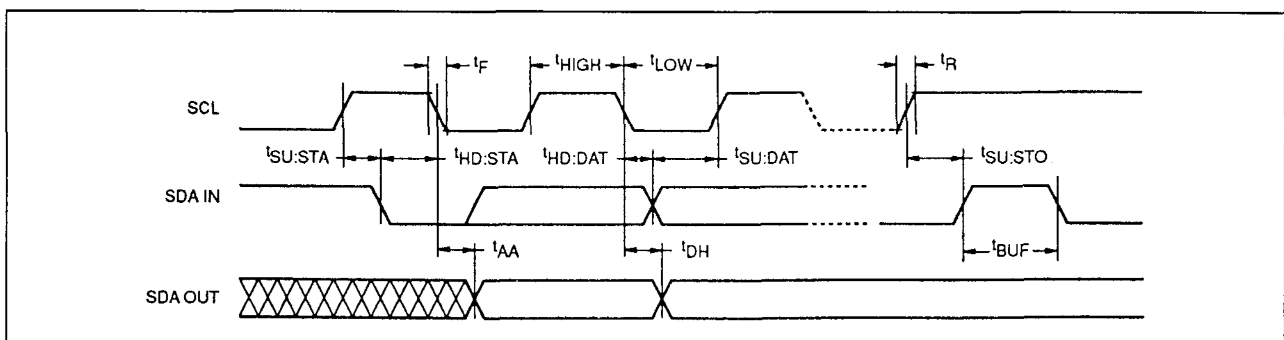
Overige kenmerken

In de figuren 8/6.4-38, -39 en -40 en de tabellen 8/6.4-19 tot en met -24 zijn de overige elektrische en timingkarakteristieken van het Xicor-type X24C02 vermeld.

Temperature Under Bias ....–65°C to +135°C
Storage Temperature ....–65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} ....–1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature (Soldering, 10 Seconds)......300°C

Supply Voltage	Limits
X24C02	4.5V to 5.5V
X24C02-3.5	3.5V to 5.5V
X24C02-3	3V to 5.5V
X24C02-2.7	2.7 to 5.5V

Tabel 8/6.4-19: Maximaal toegelaten waarden.



Figuur 8/6.4-38: Bustiming van de 24C02.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Symbol	Parameter	Limits		Units	Test Conditions
		Min.	Max.		
I_{CC1}	Power Supply Current (read)		1	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open, All Other Inputs = GND or V_{CC} – 0.3V
I_{CC2}	Power Supply Current (write)		2		
I_{SB}(1)	Standby Current		50	µA	SCL = SDA = V_{CC} – 0.3V, All other Inputs = GND or V_{CC}, V_{CC} = 5.5V
I_{SB}(2)	Standby Current		30	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC} = 3.3V + 10%
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}(2)	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
V_{IH}(2)	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 3 mA

Tabel 8/6.4-20: Gelijkspanningswaarden voor de 24C02.

CAPACITANCE T_A = 25°C, f = 1 MHz, V_{CC} = 5V

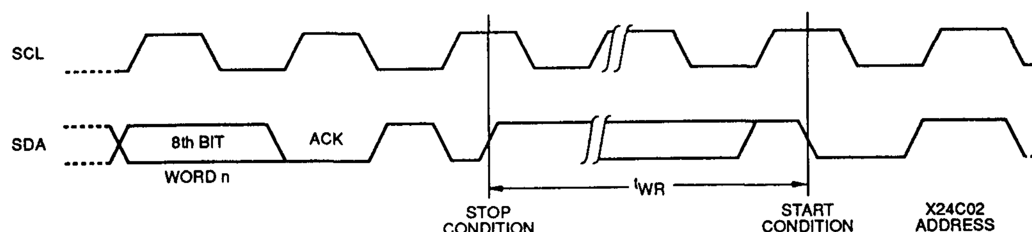
Symbol	Parameter	Max.	Units	Test Conditions
$C_{I/O}$(3)	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}(3)	Input Capacitance (A_0, A_1, A_2, SCL, $\overline{WC}$)	6	pF	V_{IN} = 0V

Tabel 8/6.4-21: Capaciteiten van de SDA- en SCL-lijn (zie ook figuur 8/6.4-40).

POWER-UP TIMING

Symbol	Parameter	Max.	Units
t_{PUR}(4)	Power-up to Read Operation	1	ms
t_{PUW}(4)	Power-up to Write Operation	5	ms

Tabel 8/6.4-22: Tijd na het opkomen van de voedingsspanning waarna kan trefzeker worden gelezen/geschreven.



Figuur 8/6.4-39: Timing van de schrijfcyclus.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

DATA INPUT TIMING

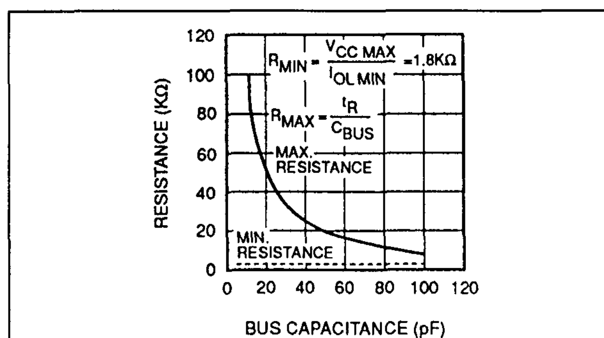
Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	100	KHz
T_I	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

Tabel 8/6.4-23: Timing van de lees- en schrijfcycli van de 24C02 (zie ook figuur 8/6.4-38).

Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WR}(6)	Write Cycle Time		5	10	ms

3838 PGM T08

Tabel 8/6.4-24: Maximale tijdsduur van een schrijfcyclus (sperren van de businterface schakelingen, zie ook figuur 8/6.4-39).



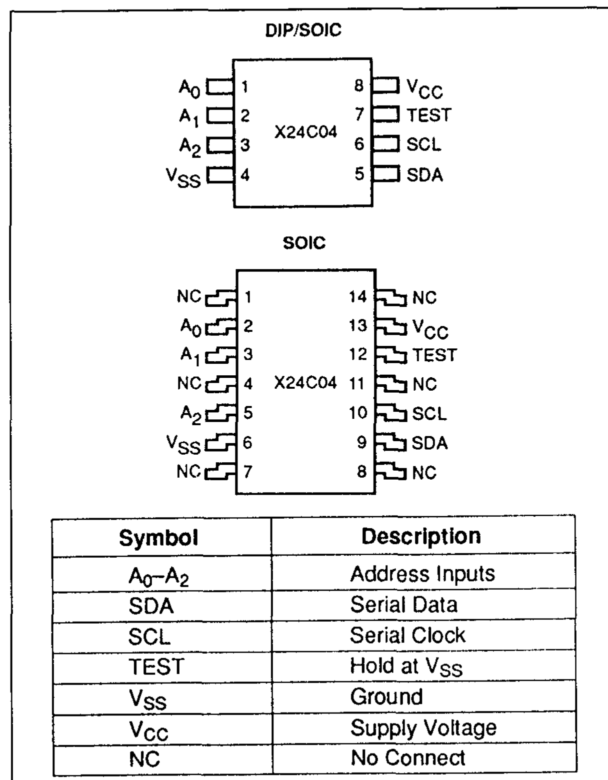
Figuur 8/6.4-40: Berekening van de optrekweerstanden van de bus voor SDA en SCL.

24C04

4 kB seriële EEPROM

De 24C04 is een 4.096 bit CMOS seriële EEPROM, georganiseerd in 512 woorden van 8 bit elk. Door de seriële interface en het software protocol is bediening door middel van een eenvoudige tweedraads bus (I^2C) mogelijk. Een 2 bit slaafadres maakt aansluiting van maximaal vier 24C04's op dezelfde bus mogelijk. De opgeslagen data blijft minstens 100 jaar bruikbaar. De 24C04 is leverbaar in een 8-pens DIL/SOIC of een 14-pens SOIC behuizing en is verkrijgbaar van verschillende fabrikanten.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Symbol	Description
A_0–A_2	Address Inputs
SDA	Serial Data
SCL	Serial Clock
TEST	Hold at V_{SS}
V_{SS}	Ground
V_{CC}	Supply Voltage
NC	No Connect

Figuur 8/6.4-41: Aansluitingen van de 24C04.

Belangrijkste kenmerken

- 4 kB seriële E^2PROM (512 x 8 bit)
- 2-draads seriële interface met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- voedingsspanning: 2,7 V tot 5,5 V; (24AA04: 1,8 V min.)
- 16 byte page write mode
- maximale dissipatie: 1 mA active read, 3 mA active write, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP/SOIC of 14-pens SOIC (figuur 8/6.4-41)
- fabrikanten o.a.:
  Xicor: X24C04
  Microchip: 24C04A, 24LC04B, 24AA04
  Atmel: AT24C04
  Exel: XL24C04
  Philips: PCD8594
  SGS-Thomson: ST24C04
  Toshiba: TC89113
  Natsemi: NM24C04

Werking

De 24C04 (figuur 8/6.4-42) ondersteunt een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. De seriële clock (SCL) klokt alle data van en naar de EEPROM.
De bidirectionele, seriële datalijn (SDA) heeft een "open-drain" uitgang voor "wired-OR" toepassingen en moet dus worden voorzien van een optrekweerstand. Elk apparaat dat data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C04 wordt daarom voor alle toepassingen als slaaf beschouwd.

Adreslijn A0

Adres A0 wordt door de 24C04 niet gebruikt. Voor een goede werking moet deze ingang echter aan V_{SS} worden gelegd.

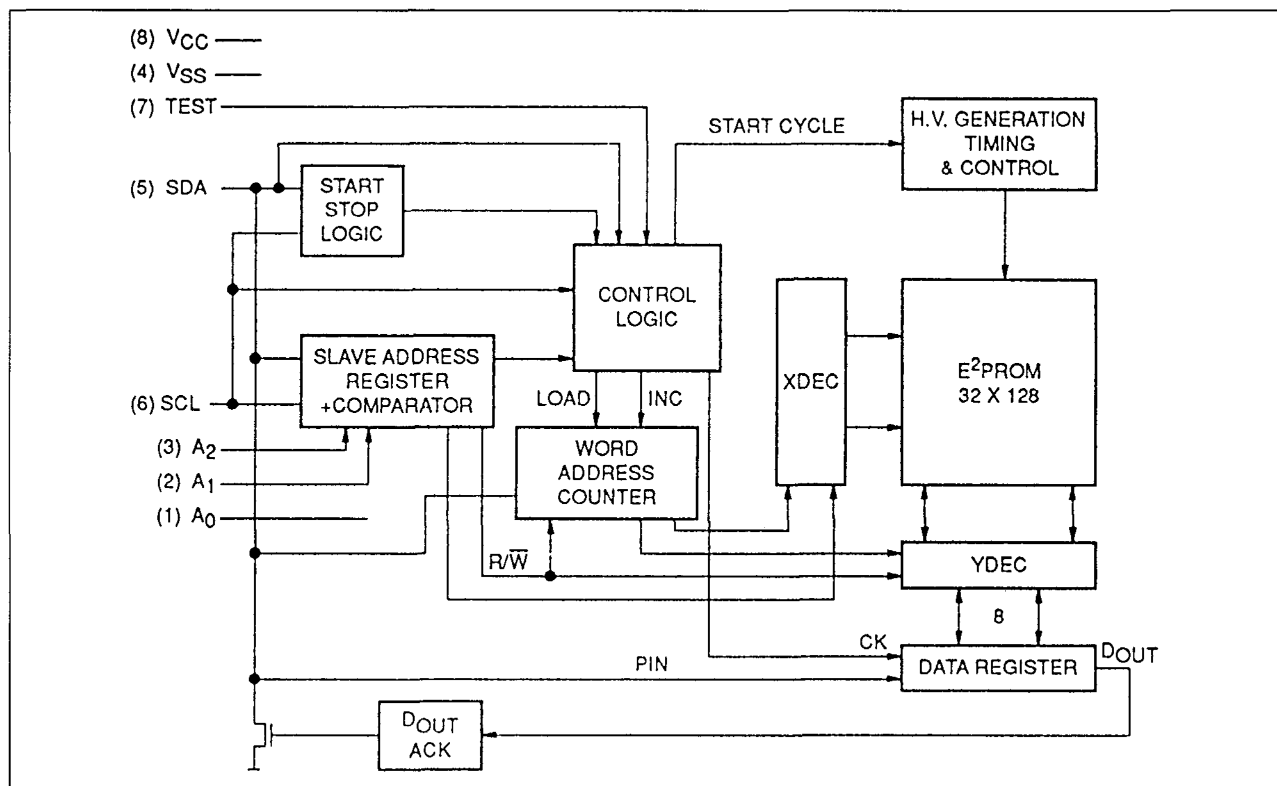
Adressen A1 en A2

A1 en A2 worden gebruikt om de bits in het 7 bit slaafadres te zetten (maximaal 4 adressen mogelijk). Deze ingangen kunnen zowel statisch als dynamisch worden aangedreven.
Bij statisch gebruik moeten zij (naar keuze) met V_{CC} of V_{SS} worden verbonden. Bij aktief gebruik moeten zij naar V_{CC} of V_{SS} worden uitgestuurd.

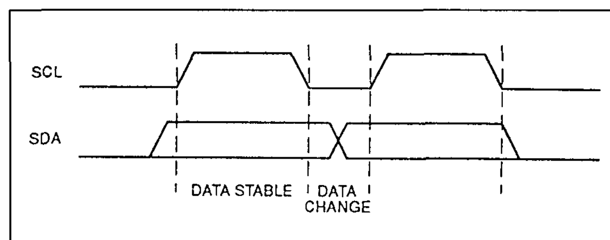
Afspraken met betrekking tot clock en data

De toestand van data op de SDA-lijn kan alleen veranderen als SCL LAAG is. Toestandveranderingen op SDA terwijl SCL HOOG is, zijn gereserveerd voor het signaleren van start- en stopcondities (zie de figuren 8/6.4-43 en -44).

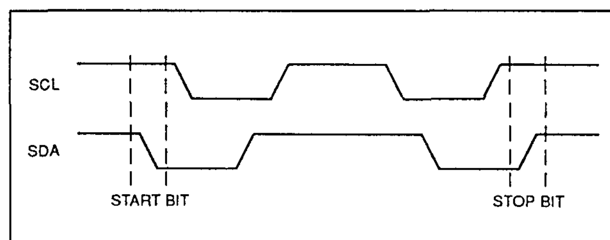
6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-42: Functioneel blokschema van de 24C04.



Figuur 8/6.4-43: Geldigheid van de data.



Figuur 8/6.4-44: De definitie van start- en stopcondities.

Startconditie

Alle commando's worden voorafgegaan door de startconditie: een HOOG-naar-LAAG overgang op SDA, terwijl SCL HOOG is (figuur 8/6.4-44). De 24C04 controleert voortdurend de SDA- en SCL-lijnen op het verschijnen van de startconditie en reageert vóór die tijd op geen enkel commando.

Stopconditie

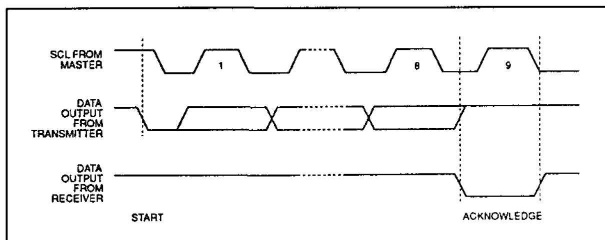
Alle communicaties moeten worden beëindigd door een stopconditie. Dit is een LAAG-naar-HOOG overgang op SDA, terwijl SCL HOOG is. De stopconditie wordt ook gebruikt om de 24C04 in de standby-mode te zetten na een leesvolgorde. Een stopconditie kan alleen worden gegeven nadat de zender de bus heeft vrijgegeven.

Acknowledge

Acknowledge is een software-afspraak waarmee wordt aangegeven dat een data-overdracht is geslaagd. De zender geeft de bus na het uitzenden van 8 bits vrij. Tijdens de 9e klokcyclus trekt de ontvanger de SDA-lijn LAAG om te bevestigen dat 8 bits data

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

werden ontvangen (zie figuur 8/6.4-45). De 24C04 antwoordt met een acknowledge na herkenning van een startconditie en zijn eigen slaafadres. Wanneer zowel de 24C04 als een schrijfoperatie zijn geselecteerd zal de 24C04 reageren met een acknowledge na ontvangst van elk volgend 8 bit woord. In de leesmode verstuurt de 24C04 8 bits data, geeft de SDA-lijn vrij en checkt deze op een acknowledge. Als een acknowledge wordt gedetecteerd en de master geen stopconditie heeft gegenereerd, gaat de 24C04 door met het uitzenden van data. Wanneer geen acknowledge wordt gedetecteerd, zal de 24C04 stoppen met het verzenden van data. De master moet dan een stopconditie leveren om de 24C04 in de standby mode te zetten.

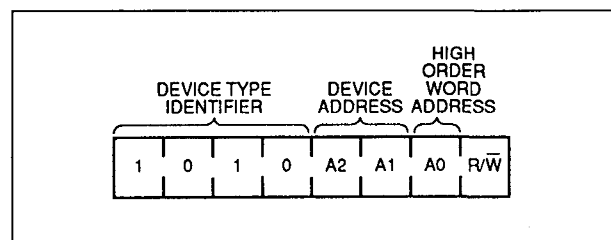


Figuur 8/6.4-45: Reactie van de ontvanger op een acknowledgesignaal.

Adressering van de schakeling

Na een startconditie moet de master het adres van de gekozen slaaf opgeven. De vier hoogste bits van het slaafadres zijn de type-identificatie (zie figuur 8/6.4-46). Voor de 24C04 is deze 1010. De volgende twee bits vormen het adres van de 24C04. In een systeem kunnen maximaal vier 24C04's op de bus worden aangesloten. Deze vier adressen worden gedefinieerd door de toestand van de A1 en A2 ingangen. Het volgende bit van het slaafadres is een uitbreiding van het array-adres en wordt bij de 8 bits van het woord adresveld geschakeld. Hierdoor kan het gehele 512 x 8 bit array direct worden bereikt. Het laatste bit (R/$\overline{W}$) van het slaafadres bepaalt de operatie moet worden uitgevoerd. Bij een één wordt gelezen, bij een nul wordt geschreven.

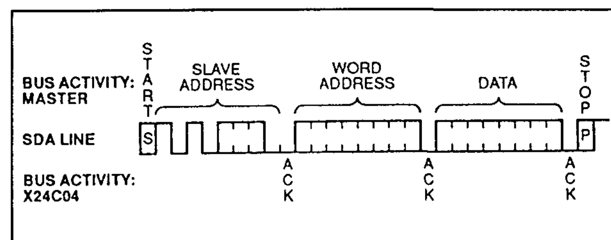
Na de startconditie kijkt de 24C04 voortdurend naar de SDA-bus om het uitgezonden slaafadres te vergelijken met zijn eigen adres (type en waarde van A1 en A2). Bij overeenkomst zet de 24C04 een acknowledge op de SDA-lijn, waarna (afhankelijk van de R/$\overline{W}$-bit) wordt gelezen of geschreven.



Figuur 8/6.4-46: Opbouw van het slaafadres van de 24C04.

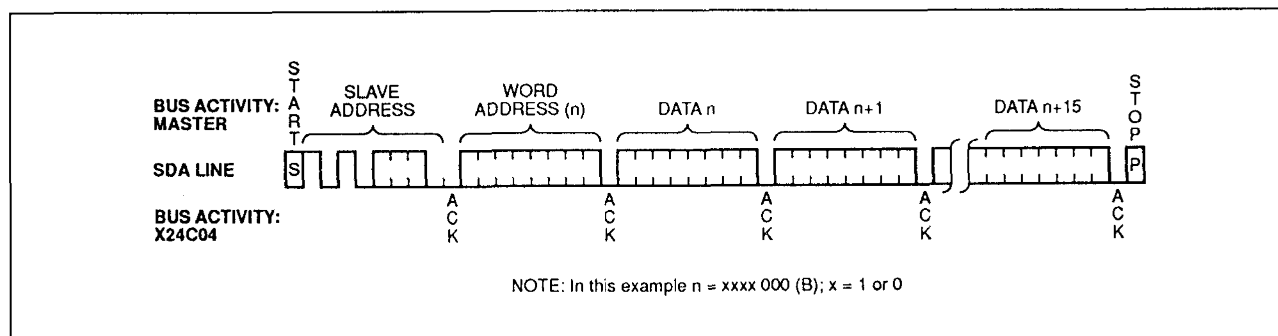
Schrijven, byte-write

Voor een schrijfoperatie heeft de 24C04 een tweede adresveld nodig. Dit adresveld is het uit 8 bits bestaande woordadres, waarmee (inclusief A0) 512 lokaties in het geheugen bereikt kunnen worden. Na ontvangst van het woordadres geeft de 24C04 een acknowledge en wacht op de volgende 8 bits data, waarna weer een acknowledge wordt gegeven. Daarna stopt de master de overdracht door een stopconditie op te wekken. Op dat moment begint de 24C04 met de interne schrijfcyclus naar het niet-vluchtige geheugen. Tijdens deze interne schrijfcyclus zijn de ingangen van de 24C04 gesperd en reageert de schakeling dus niet op signalen uit de master (zie figuur 8/6.4-47).



Figuur 8/6.4-47: Het schrijven van een byte in de 24C04 (en 24C08).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



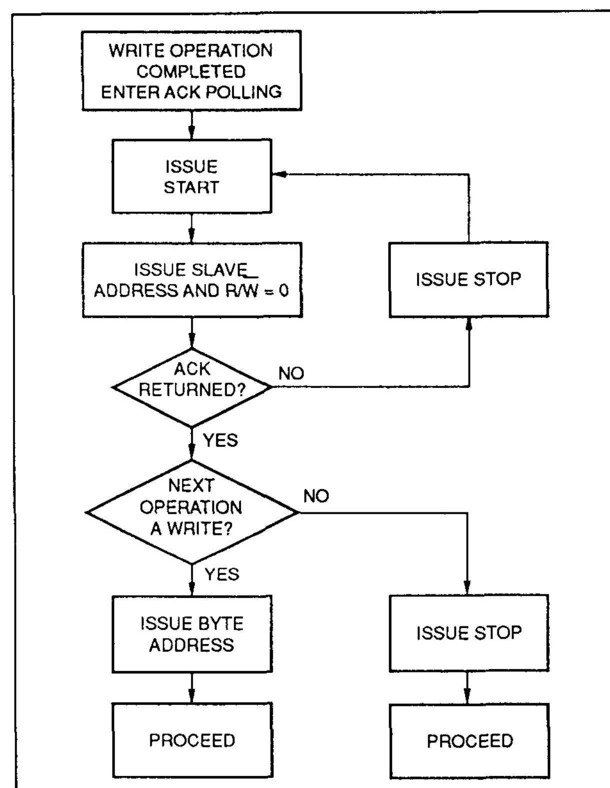
Figuur 8/6.4-48: Het schrijven van een pagina in de 24C04 (en 24C08).

Schrijven, page-write

De 24C04 kan maximaal 16 bytes als pagina schrijfoperatie uitvoeren. Dit begint op dezelfde manier als de byte schrijfoperatie, maar in plaats van de schrijfcyclus na het eerste datawoord te beëindigen, kan de master nog 15 bytes versturen. Na ontvangst van een woord geeft de 24C04 telkens een acknowledge. Na ontvangst van een woord worden de laagste vier adresbits intern telkens met één verhoogd. De vijf hoogste adresbits blijven daarbij constant. Als de master meer dan vier woorden verstuurt voordat de stopconditie wordt gegenereerd, "rolt" de adresteller "over", waardoor eerder verzonden data wordt overschreven. Net als bij de byte schrijfoperatie zijn alle ingangen gesperd totdat de interne schrijfcyclus klaar is (zie figuur 8/6.4-48).

Acknowledge polling

Door het sperren van de ingangen tijdens de interne schrijfcyclus kan gebruik worden gemaakt van de 5 ms "dode" tijd. Zodra de stopconditie verschijnt om het einde van de schrijfoperatie aan te geven, begint de 24C04 met de interne schrijfcyclus. Het afvragen (polling) van acknowledge (ACK) kan direct beginnen. Hierbij wordt de startconditie gegeven, gevolgd door het slaafadres voor een schrijfoperatie. Als de 24C04 nog bezig is met de schrijfoperatie wordt niet met een ACK geantwoord. Is de 24C04 wel klaar met de schrijfoperatie dan verschijnt ACK, waarna de master verder kan gaan met de volgende lees- of schrijfoperatie (zie figuur 8/6.4-49).



Figuur 8/6.4-49: Het afvragen van acknowledge (ACK polling sequence).

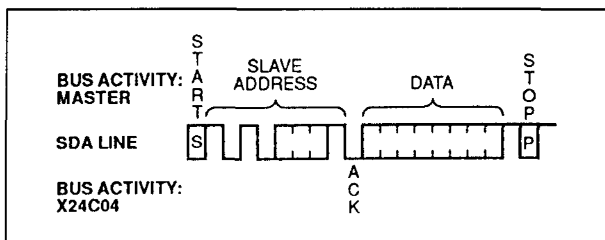
Lezen

De leesoperaties beginnen op dezelfde manier als schrijfoperaties, alleen is R/W̄ in het slaafadres nu één. Er kan op drie manieren worden gelezen:
- current address-read;

- random-read;
- sequential-read.

Let op dat de 9e klokcyclus bij het lezen geen "don't care" is.
Om een leesoperatie te beëindigen moet de master een stopconditie tijdens de 9e cyclus geven of SDA tijdens de 9e cyclus HOOG houden, gevolgd door een stopconditie.

Current address-read
De 24C04 bevat een interne adresteller die het met één verhoogde, laatst bereikte adres bewaart. Als adres n het laatste adres was (lezen of schrijven), wordt bij de volgende leesoperatie dus data uit adres n+1 opgehaald. Na ontvangst van het slaafadres (met R/W̄=1), geeft de 24C04 een acknowledge en verzendt het 8 bit woord. De master beëindigt de leesoperatie door niet met een acknowledge te antwoorden en een stopconditie te geven (zie figuur 8/6.4-50).



Figuur 8/6.4-50: Uitlezen van het lopende adres (Current Address Read).

Random-read
Het is ook mogelijk dat de master leesoperaties op willekeurige lokaties (Random Read) uitvoert. Voordat het slaafadres (met R/W̄=1) wordt verstuurd, moet de master eerst een "dummy" schrijfoperatie uitvoeren. De master geeft dan een startconditie plus het slaafadres, gevolgd door het woordadres dat moet worden uitgelezen. Na de acknowledge van het woordadres geeft de master onmiddellijk een nieuwe startconditie plus het slaafadres met R/W̄=1. Dit wordt gevolgd door een acknowledge van de 24C04 plus het 8 bit woord. De leesoperatie wordt beëindigd door de master als die niet met een acknowledge antwoordt, maar wel een stopconditie geeft (zie figuur 8/6.4-51).

Sequential-read
Het achter elkaar uitlezen (sequential read) kan beginnen als een Current address-read of als een Random-read. Het eerste woord wordt verstuurd op de manier van de gekozen mode, maar nu antwoordt de master telkens met een acknowledge om aan te geven dat nog meer data is gewenst. De 24C04 gaat door met het versturen van data zolang er acknowledges worden ontvangen. De master beëindigt het lezen door niet meer met een acknowledge te antwoorden, maar een stopconditie te geven (zie figuur 8/6.4-52). De data wordt achter elkaar verstuurd vanaf adres n, daarna vanaf n+1, enzovoorts. De adresteller voor de leesoperaties verhoogt automatisch alle adresbits, zodat het gehele geheugen serieel in één operatie wordt uitgelezen. Aan het einde van de adresruimte (adres 511) "rolt de teller over" naar nul en gaat de 24C04 door met het versturen van data zolang er acknowledges komen.

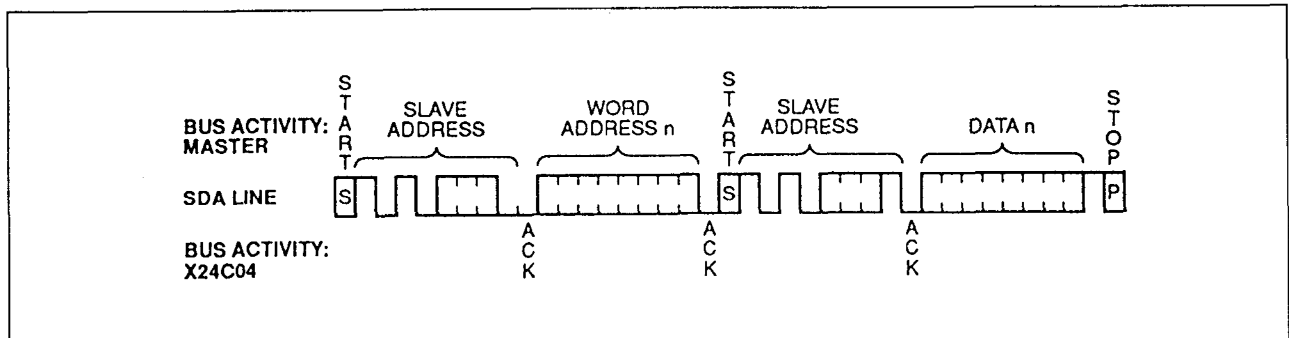
Overige kenmerken
In de tabellen 8/6.4-25 tot en met -30 en de figuren 8/6.4-53 tot en met -56 wordt tenslotte een overzicht gegeven van de belangrijkste elektrische en timingkarakteristieken van het Xicor-type X24C04.

Temperature Under Bias .... –65°C to +135°C
Storage Temperature .... –65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} .... –1.0V to +7.0V
D.C. Output Current .... 5 mA
Lead Temperature
(Soldering, 10 Seconds) .... 300°C

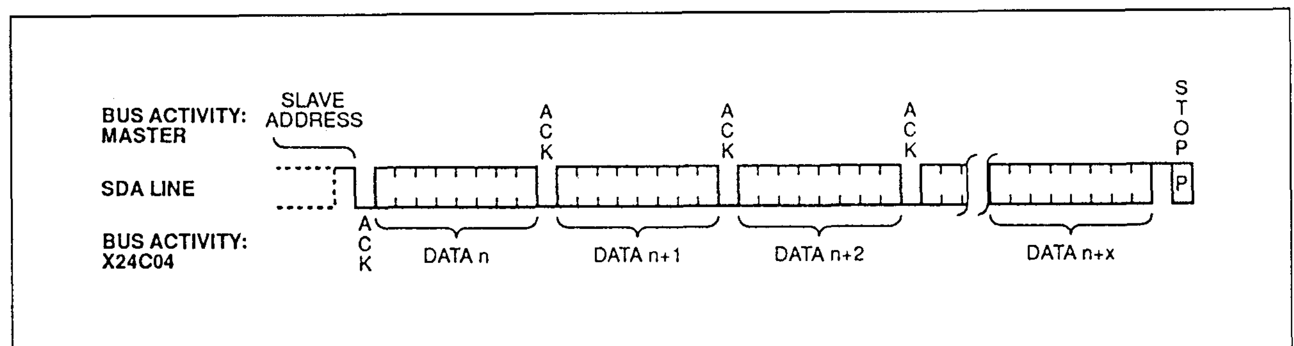
Supply Voltage	Limits
X24C04	4.5V to 5.5V
X24C04-3.5	3.5V to 5.5V
X24C04-3	3V to 5.5V
X24C04-2.7	2.7V to 5.5V

Tabel 8/6.4-25: Maximaal toegelaten waarden.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-51: Het uitlezen van willekeurige adressen (Random Read).



Figuur 8/6.4-52: Het achter elkaar uitlezen van data (sequential-read).

Symbol	Parameter	Limits		Units	Test Conditions
		Min.	Max.		
I_{CC1}	V_{CC} Supply Current (Read)		1	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open, All Other Inputs = GND or V_{CC} – 0.3V
I_{CC2}	V_{CC} Supply Current (Write)		3		
$I_{SB1}^{(1)}$	V_{CC} Standby Current		150	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 5.5V
$I_{SB2}^{(1)}$	V_{CC} Standby Current		50	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 3V
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
$V_{IL}^{(2)}$	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
$V_{IH}^{(2)}$	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 3 mA

Tabel 8/6.4-26: Gelijkspanningskarakteristieken van de 24C04.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

POWER-UP TIMING

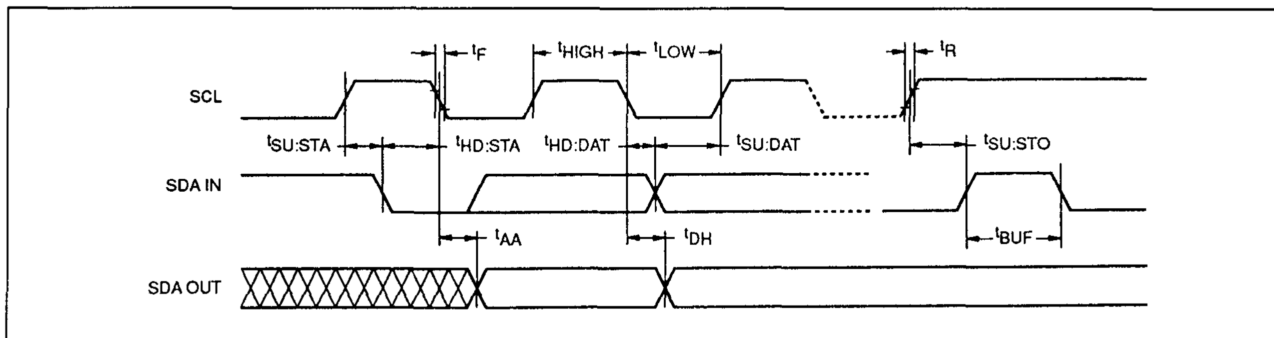
Symbol	Parameter	Max.	Units
$t_{PUR}^{(4)}$	Power-up to Read Operation	1	ms
$t_{PUW}^{(4)}$	Power-up to Write Operation	5	ms

Tabel 8/6.4-27: Benodigde tijd na het opkomen van de voedingsspanning voordat bedrijfszeker kan worden gelezen of geschreven.

Read & Write Cycle Limits

Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	100	KHz
T_I	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time (for a Repeated Start Condition)	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

Tabel 8/6.4-28: Timing van de lees- en schrijfcycli van de 24C04 (zie ook figuur 8/6.4-53).



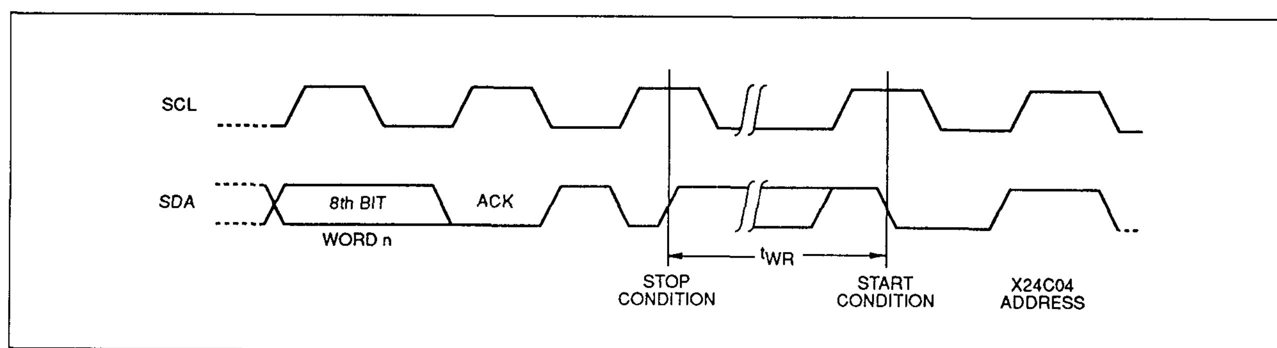
Figuur 8/6.4-53: Bustiming van de 24C04.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

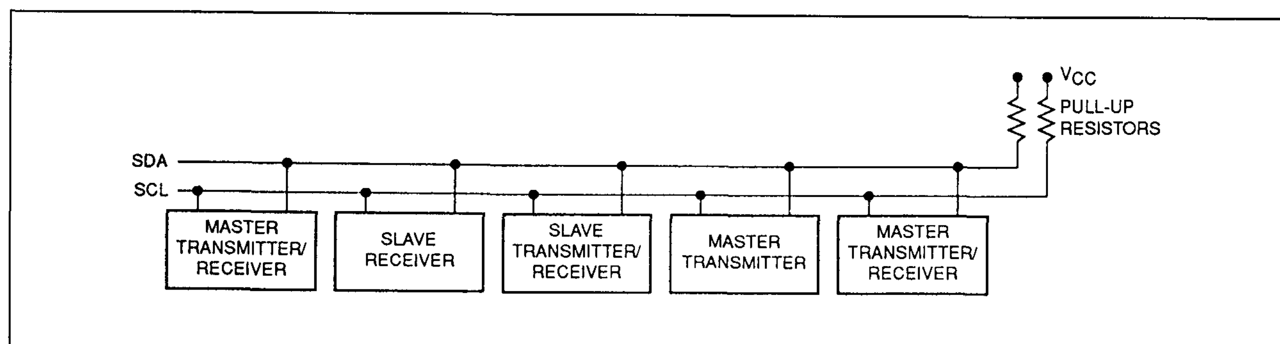
Write Cycle Limits

Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WR}(6)	Write Cycle Time		5	10	ms

Tabel 8/6.4-29: Maximale tijdsduur van een schrijfcyclus. Gedurende deze tijd zijn de businterface schakelingen van de 24C04 gesperd (zie ook figuur 8/6.4-54).



Figuur 8/6.4-54: Timing van de schrijfcyclus.



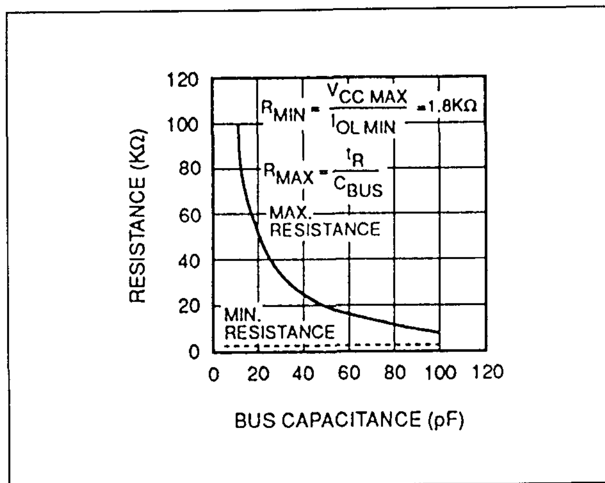
Figuur 8/6.4-55: Configuratie van een I^2C-systeem.

CAPACITANCE T_A = 25°C, f = 1.0MHz, V_{CC} = 5V

Symbol	Parameter	Max.	Units	Test Conditions
$C_{I/O}$(3)	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}(3)	Input Capacitance (A_0, A_1, A_2, SCL)	6	pF	V_{IN} = 0V

Tabel 8/6.4-30: Capaciteiten van de SDA- en SCL-lijn (zie ook figuur 8/6.4-56).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-56: Berekening van de optrekweerstanden van de bus voor SDA en SCL.

24C08

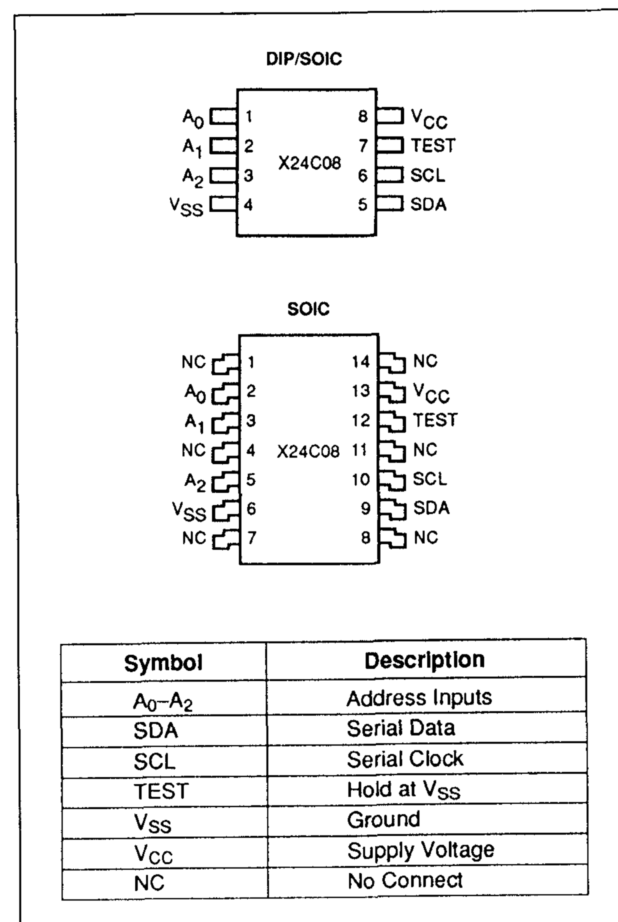
8 kB seriële EEPROM

De 24C08 is een CMOS 8.192 bit seriële EEPROM, georganiseerd in 1.024 8 bit woorden (4 pagina's van elk 256 woorden). De seriële interface en het software protocol maakt bediening via een eenvoudige tweedraads bus (I^2C) mogelijk. Er kunnen maximaal twee 24C08's op dezelfde bus worden aangesloten. Eenmaal opgeslagen data blijft minstens 100 jaar bruikbaar. De 24C08 is leverbaar in een 8-pens DIL/SOIC of een 14-pens SOIC behuizing.

Belangrijkste kenmerken

- 8 kB seriële E^2PROM (1.024 x 8 bit)
- 2-draads seriële interface met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- voedingsspanning: 2,7 V tot 5,5 V; (24AA08: 1,8 V min.)
- 16 byte page write mode
- maximale dissipatie: 1 mA aktive read, 3 mA active write, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP/SOIC of 14-pens SOIC (figuur 8/6.4-57)

- fabrikanten o.a.:
  Xicor: X24C08
  Microchip: 24C08B, 24LC08B, 24AA08
  Atmel: AT24C08
  Catalyst: CAT24C08, CAT24LC08
  Exel: XL24C08
  Philips: PCF8598
  SGS-Thomson: ST24C08
  Natsemi: NM24C08, NM24C09



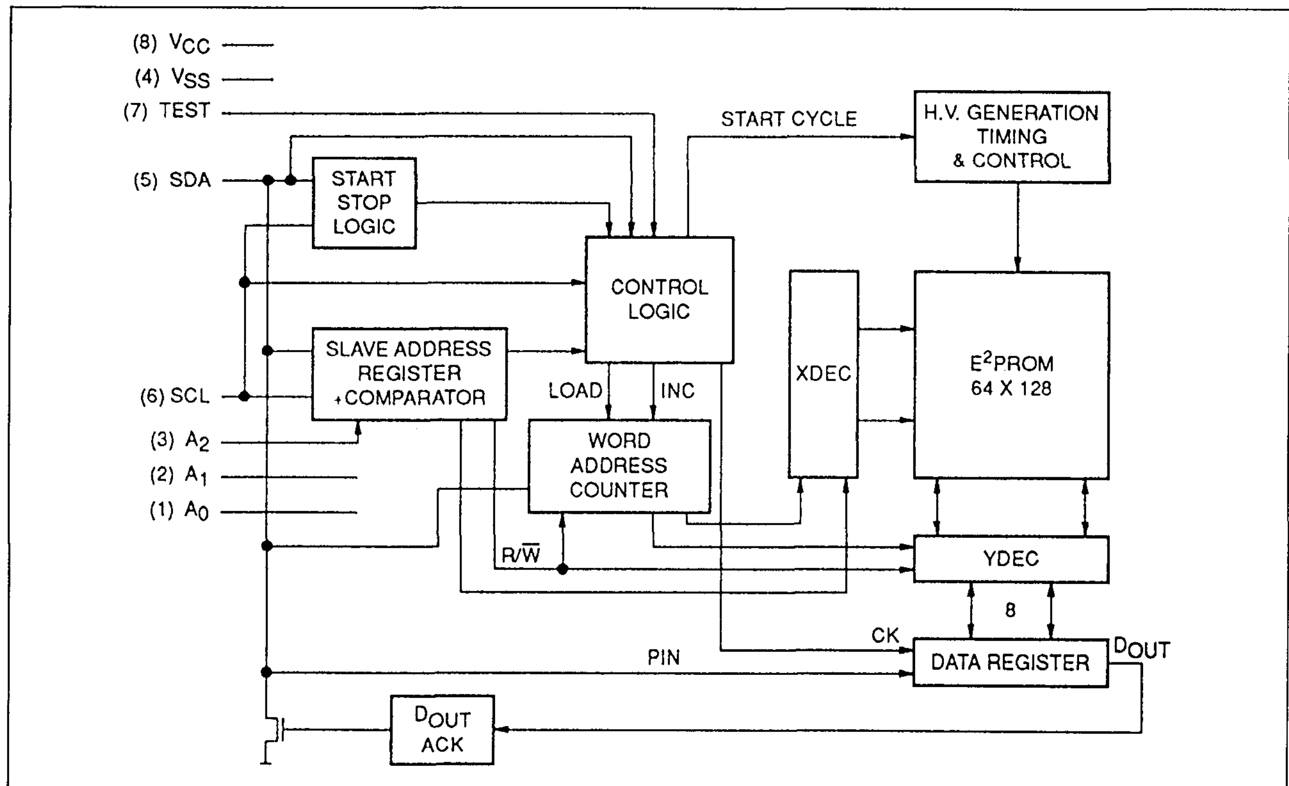
Symbol	Description
A_0–A_2	Address Inputs
SDA	Serial Data
SCL	Serial Clock
TEST	Hold at V_{SS}
V_{SS}	Ground
V_{CC}	Supply Voltage
NC	No Connect

Figuur 8/6.4-57: Aansluitingen van de 24C08.

Werking

De 24C08 (figuur 8/6.4-58) werkt met een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. De seriële clock (SCL) klokt alle data van en naar de EEPROM. De bidirectionele, seriële datalijn (SDA) heeft een open drain uitgang voor "wired-OR" toepassingen en moet dus een optrekweerstand hebben.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-58: Functioneel blokschema van de 24C08.

Elke schakeling die data op de bus zet is een zender en elke ontvangende schakeling een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C08 wordt daarom voor alle toepassingen beschouwd als slaaf.

Adreslijnen A0 en A1

De adreslijnen A0 en A1 worden niet gebruikt door de 24C08. Voor een goede werking moeten ze echter aan V_{SS} worden gelegd.

Adres A2

A2 wordt gebruikt om het adresbit in het 7 bit slaafadres te zetten (maximaal 2 adressen mogelijk). Deze ingang kan zowel statisch als dynamisch worden aangedreven. Bij statisch gebruik moet hij (naar keuze) met V_{CC} of V_{SS} worden verbonden. Bij aktief gebruik moet hij naar V_{CC} of V_{SS} worden uitgestuurd.

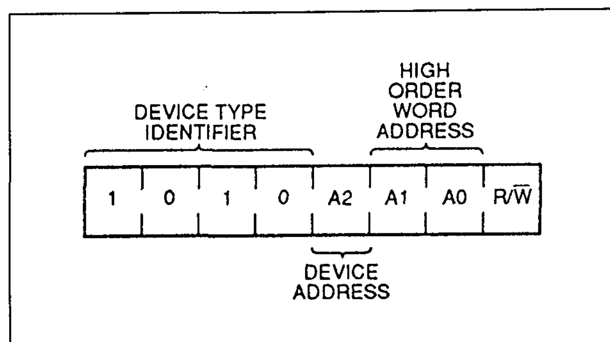
Clock, geldige data, start, stop en acknowledge

De voorwaarden voor SDA en SCL (geldige data), de start- en stopconditie en acknowledge zijn identiek aan die voor de 24C04. Verwezen wordt naar de figuren 8/6.4-43 tot en met -45 en de beschrijving van deze voorwaarden.

Adressering van de schakeling

Na een startconditie moet de master het adres van de gekozen slaaf opgeven. De vier hoogste bits van het slaafadres zijn de type-identificatie (zie figuur 8/6.4-59). Voor de 24C08 is deze 1010. Het volgende bit is het adres van de 24C08. Daardoor kunnen in een systeem maximaal twee 24C08's op de bus worden aangesloten.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-59: Opbouw van het slaafadres van de 24C08.

Temperature Under Bias .... –65°C to +135°C
Storage Temperature .... –65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} .... –1.0V to +7V
D.C. Output Current .... 5 mA
Lead Temperature
(Soldering, 10 Seconds) .... 300°C

Supply Voltage	Limits
X24C08	4.5V to 5.5V
X24C08-3.5	3.5V to 5.5V
X24C08-3	3V to 5.5V
X24C08-2.7	2.7V to 5.5V

Tabel 8/6.4-31: Maximaal toegelaten waarden.

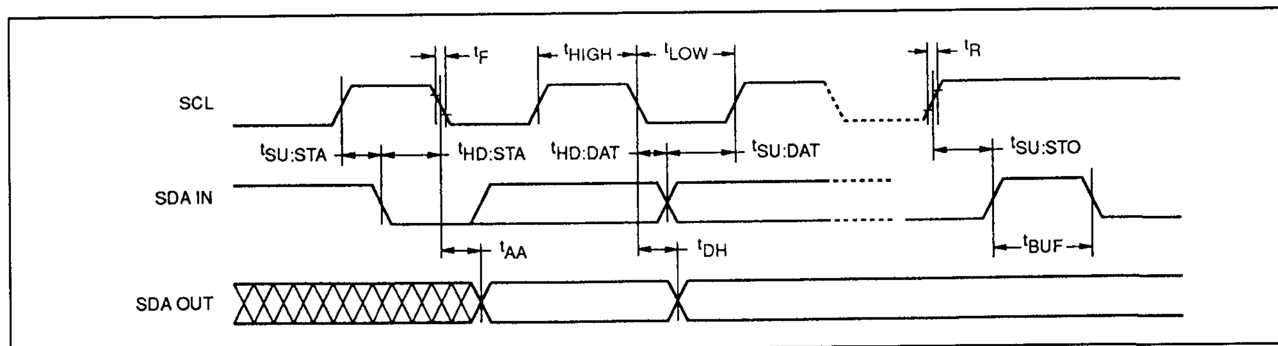
Deze adressen worden gedefinieerd door de toestand van de A2-ingang. De volgende twee bits van het slaafadres zijn een uitbreiding van het array-adres en worden bij de 8 bits van het woord adresveld bijgeschakeld. Hierdoor kan het gehele 1024 x 8 bit array direct worden bereikt (4 pagina's van 256 bit per stuk). Het laatste bit (R/W̄) van het slaafadres bepaalt welke operatie moet worden uitgevoerd. Is hij één dan wordt gelezen, is hij nul dan wordt geschreven. Na de startconditie houdt de 24C08 de SDA-bus voortdurend in de gaten om het uitgezonden slaafadres te vergelijken met zijn eigen adres (type en waarde van A2). Bij overeenkomst zet de 24C08 een acknowledge op de SDA-lijn, waarna (afhankelijk van het R/W̄-bit) wordt gelezen of geschreven.

Schrijven

Voor een schrijfoperatie heeft de 24C08 een tweede adresveld nodig. Dit adresveld bestaat uit het 8 bit woordadres. Inclusief A0 en A1 kunnen dan 1.024 lokaties in het geheugen bereikt worden. Na ontvangst van het woordadres geeft de 24C08 een acknowledge en wacht op de volgende 8 bits data, waarna weer een acknowledge wordt gegeven. Verder gaat het schrijven (zowel byte-write als page-write en acknowledge polling) op dezelfde manier als bij de 24C04. Verwezen wordt naar de figuren 8/6.4-47 tot en met -49, plus de bijbehorende beschrijvingen.

Lezen

Ook het lezen (zowel current address-read als random-read en sequential-read) gaat op dezelfde manier als bij de 24C04.
De figuren 8/6.4-50 tot en met -52 plus de beschrijvingen gelden dus ook voor de 24C08.



Figuur 8/6.4-60: Bustiming van de 24C08.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Conditions
I_{CC1}	V_{CC} Supply Current (Read)		1		SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open,
I_{CC2}	V_{CC} Supply Current (Write)		3	mA	All Other Inputs = GND or V_{CC} – 0.3V
I_{SB1}(1)	V_{CC} Standby Current		150	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 5.5V
I_{SB2}(1)	V_{CC} Standby Current		50	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 3V
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}(2)	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
V_{IH}(2)	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 3 mA

Tabel 8/6.4-32: Gelijkspanningskarakteristieken van de 24C08.

CAPACITANCE T_A = 25°C, F = 1.0MHZ, V_{CC} = 5V

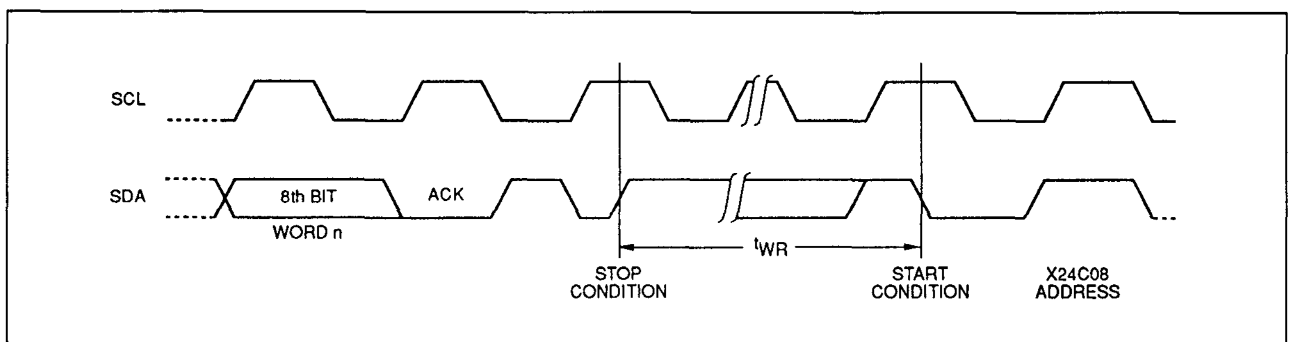
Symbol	Test	Max.	Units	Conditions
$C_{I/O}$(3)	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}(3)	Input Capacitance (A_0, A_1, A_2, SCL)	6	pF	V_{IN} = 0V

Tabel 8/6.4-33: Capaciteiten van de SDA- en SCL-lijn (zie ook figuur 8/6.4-62).

POWER-UP TIMING

Symbol	Parameter	Max.	Units
t_{PUR}(4)	Power-Up to Read Operation	1	ms
t_{PUW}(4)	Power-Up to Write Operation	5	ms

Tabel 8/6.4-34: Benodigde tijd na het opkomen van de voedingsspanning voordat bedrijfszeker kan worden gelezen/geschreven.



Figuur 8/6.4-61: Timing van de schrijfcyclus.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

Read & Write Cycle Limits

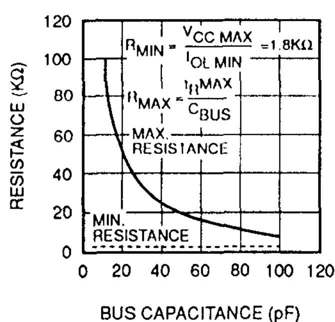
Symbol	Parameter	Min.	Max.	Units
t_{SCL}	SCL Clock Frequency	0	100	KHz
t_{I}	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_{R}	SDA and SCL Rise Time		1	µs
t_{F}	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

Tabel 8/6.4-35: Timing van de lees- en schrijfcycli van de 24C08 (zie ook figuur 8/6.4-60).

WRITE CYCLE LIMITS

Symbol	Parameter	Min.	Typ.(5)	Max.	Units
t_{WR}(6)	Write Cycle Time		5	10	ms

Tabel 8/6.4-36: Maximale tijdsduur van een schrijfcyclus. Gedurende deze tijd zijn de businterface schakelingen van de 24C08 gesperd (zie ook figuur 8/6.4-61).



Figuur 8/6.4-62: Berekening van de optrekweerstanden van de bus voor SDA en SCL.

Overige kenmerken

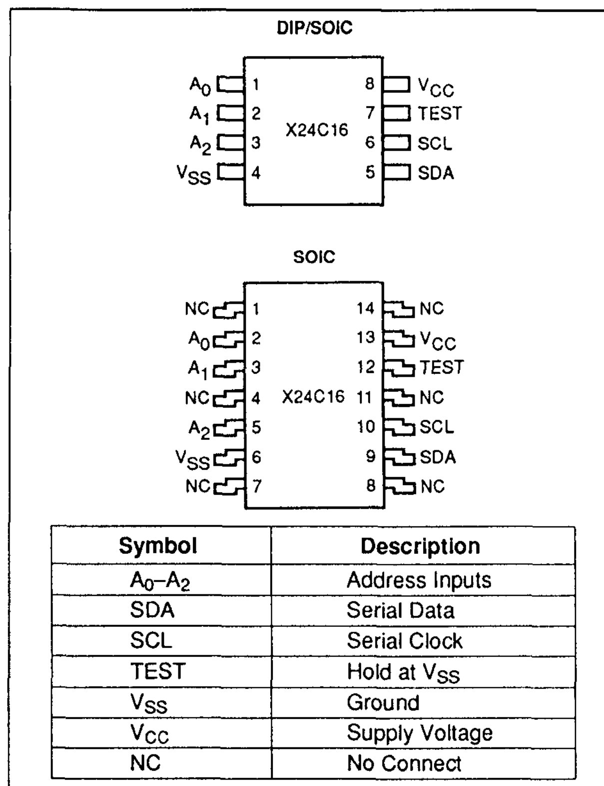
In de tabellen 8/6.4-31 tot en met -36 en de figuren 8/6.4-57 tot en met -62 worden tenslotte de belangrijkste elektrische en timingkarakteristieken van het Xicor-type X24C08 vermeld.

24C16

16 kB seriële EEPROM

De 24C16 is een 16.384 bit CMOS seriële EEPROM met een interne organisatie van 2.048 woorden van 8 bit (8 blokken van

256 x 8). De seriële interface en het software protocol maakt bediening via een eenvoudige tweedraads bus (I²C) mogelijk. De data blijft na opslag minstens 100 jaar geldig. De 24C16 is leverbaar in een 8-pens DIL/SOIC of een 14-pens SOIC behuizing.



Symbol	Description
A_0–A_2	Address Inputs
SDA	Serial Data
SCL	Serial Clock
TEST	Hold at V_{SS}
V_{SS}	Ground
V_{CC}	Supply Voltage
NC	No Connect

Figuur 8/6.4-63: Aansluitingen van de 24C16.

Belangrijkste kenmerken

- 16 kB seriële E²PROM (2048 x 8 bit)
- 2-draads seriële interface met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (typ. 5 ms)
- voedingsspanning: 2,7 V tot 5,5 V; (24AA16: 1,8 V min.)
- 16 byte page write mode
- maximale dissipatie: 1 mA aktive read, 3 mA active write, 50 µA standby
- levensduur: minimaal 100.000 x herschrijven, data 100 jaar vasthouden
- behuizing: 8-pens mini-DIP/SOIC of 14-pens SOIC (figuur 8/6.4-63)
- fabrikanten o.a.:

Xicor: X24C16
Microchip: 24C16B, 24LC16B, 24AA16
Atmel: AT24C16
Catalyst: CAT24C16, CAT24LC16
Exel: XL24C16
SGS-Thomson: ST24C16

Werking

De 24C16 (figuur 8/6.4-64) ondersteunt een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. De seriële clock (SCL) klokt alle data van en naar de EEPROM. De bidirectionele, seriële datalijn (SDA) heeft een open-drain uitgang voor "wired-OR" toepassingen en heeft dus een optrekweerstand nodig. Elke schakeling die data op de systeembus zet is een zender en elke ontvangende schakeling een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C16 wordt daarom voor alle toepassingen beschouwd als slaaf.

Adreslijnen A0, A1 en A2

De adreslijnen A0, A1 en A2 worden door de 24C16 niet voor het slaafadres gebruikt. Voor een goede werking moeten ze aan V_{SS} worden gelegd.

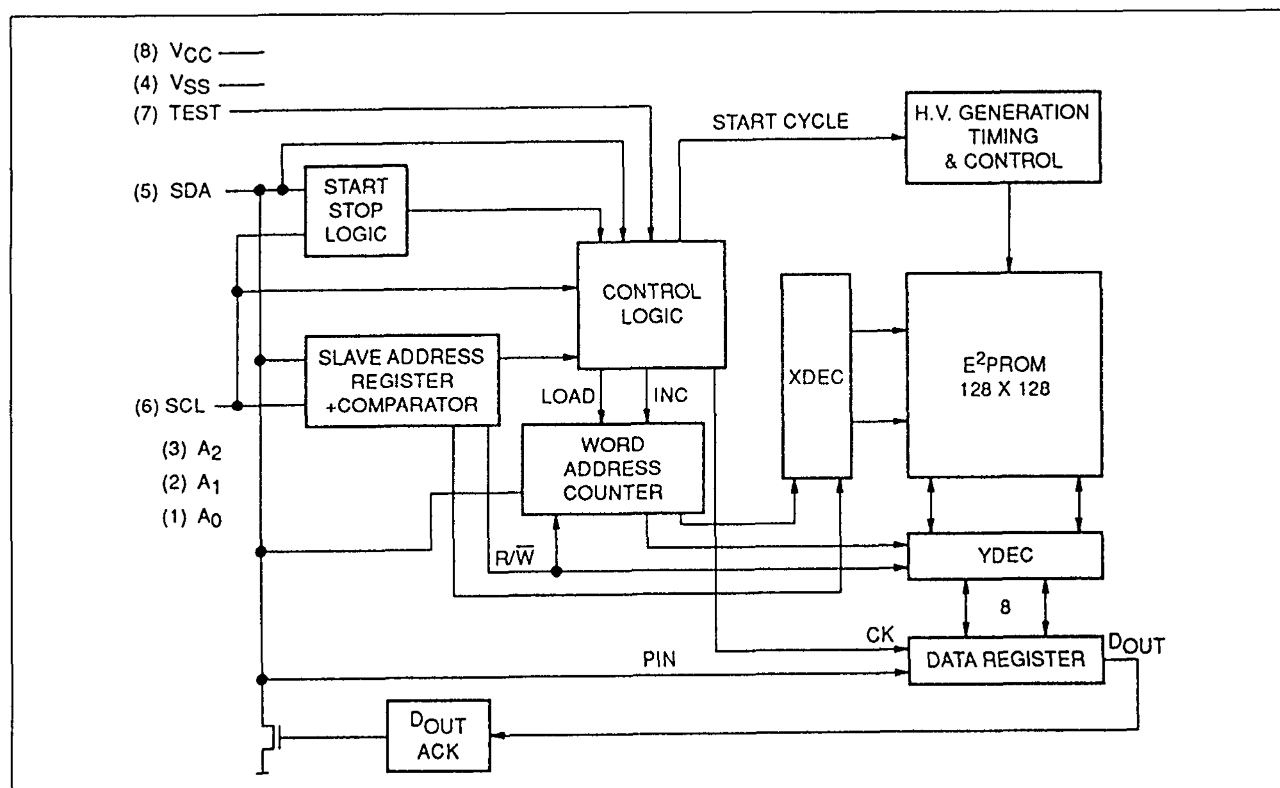
Clock, geldige data, start, stop en acknowledge

Net als bij de 24C08 zijn de voorwaarden voor SDA en SCL (geldige data), de start- en stopconditie en acknowledge dezelfde als die voor de 24C04.
Ook hier wordt verwezen naar de figuren 8/6.4-43 tot en met -45 en de beschrijving van deze voorwaarden.

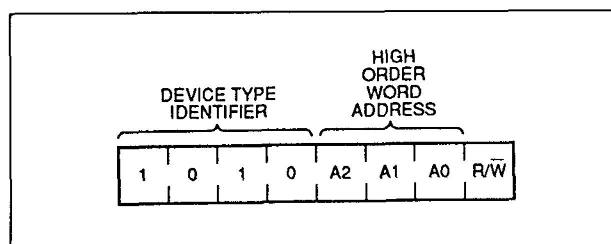
Adressering van de schakeling

Na een startconditie moet de master het adres van de gekozen slaaf opgeven. De vier hoogste bits van het slaafadres zijn de type-identificatie (zie figuur 8/6.4-65). Voor de 24C16 is deze 1010.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-64: Functioneel blokschema van de 24C16.



Figuur 8/6.4-65: Samenstelling van het slaafadres van de 24C16.

De volgende drie bits van het slaafadres zijn de bankselectbits die feitelijk de belangrijkste bits van het woordadres vormen. Ze worden gebruikt om over te schakelen tussen de acht banken van 256 x 8 bit, waardoor het bereik 2.048 x 8 bit wordt.

Na de startconditie bekijkt de 24C16 de SDA-bus voortdurend om het uitgezonden slaafadres te vergelijken met zijn eigen adres (in dit geval alleen de type-aanduiding). Bij overeenkomst zet de 24C16 een acknowledge op de SDA-lijn, waarna (afhankelijk van het R/$\overline{W}$-bit) wordt gelezen of geschreven.

Temperature Under Bias ....−65°C to +135°C
Storage Temperature ....−65°C to +150°C
Voltage on any Pin with
Respect to V_{SS} ....−1.0V to +7.0V
D.C. Output Current ....5 mA
Lead Temperature
(Soldering, 10 Seconds) ....300°C

Supply Voltage	Limits
X24C16	4.5V to 5.5V
X24C16–3.5	3.5V to 5.5V
X24C16–3	3V to 5.5V
X24C16–2.7	2.7V to 5.5V

Tabel 8/6.4-37: Maximaal toegelaten waarden.

Schrijven en lezen

Het schrijven (zowel byte-write als page-write en acknowledge polling) gebeurt op dezelfde manier als bij de 24C04. Hiervoor wordt verwezen naar de figuren 8/6.4-47 tot en met -49, plus de bijbehorende beschrijvingen.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Symbol	Parameter	Limits Min.	Limits Max.	Units	Test Conditions
I_{CC1}	V_{CC} Supply Current (read)		1	mA	SCL = V_{CC} x 0.1/V_{CC} x 0.9 Levels @ 100 KHz, SDA = Open, All Other Inputs = GND or V_{CC} – 0.3V
I_{CC2}	V_{CC} Supply Current (write)		3		
I_{SB1}(1)	V_{CC} Standby Current		150	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 5.5V
I_{SB2}(1)	V_{CC} Standby Current		50	µA	SCL = SDA = V_{CC} – 0.3V, All Other Inputs = GND or V_{CC}, V_{CC} = 3.3V +10%
I_{LI}	Input Leakage Current		10	µA	V_{IN} = GND to V_{CC}
I_{LO}	Output Leakage Current		10	µA	V_{OUT} = GND to V_{CC}
V_{IL}(2)	Input Low Voltage	–1.0	V_{CC} x 0.3	V	
V_{IH}(2)	Input High Voltage	V_{CC} x 0.7	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 3 mA

Tabel 8/6.4-38: Gelijkspanningskarakteristieken van de 24C16.

CAPACITANCE T_A = 25°C, f = 1.0 MHz, V_{CC} = 5V

Symbol	Parameter	Max.	Units	Test Conditions
$C_{I/O}$(3)	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}(3)	Input Capacitance (A_0, A_1, A_2, SCL)	6	pF	V_{IN} = 0V

Tabel 8/6.4-39: Capaciteiten van de SDA- en SCL-lijn (zie ook figuur 8/6.4-68).

Read & Write Cycle Limits

Symbol	Parameter	Min.	Max.	Units
f_{SCL}	SCL Clock Frequency	0	100	KHz
T_I	Noise Suppression Time Constant at SCL, SDA Inputs		100	ns
t_{AA}	SCL Low to SDA Data Out Valid	0.3	3.5	µs
t_{BUF}	Time the Bus Must Be Free Before a New Transmission Can Start	4.7		µs
$t_{HD:STA}$	Start Condition Hold Time	4.0		µs
t_{LOW}	Clock Low Period	4.7		µs
t_{HIGH}	Clock High Period	4.0		µs
$t_{SU:STA}$	Start Condition Setup Time (for a Repeated Start Condition)	4.7		µs
$t_{HD:DAT}$	Data In Hold Time	0		µs
$t_{SU:DAT}$	Data In Setup Time	250		ns
t_R	SDA and SCL Rise Time		1	µs
t_F	SDA and SCL Fall Time		300	ns
$t_{SU:STO}$	Stop Condition Setup Time	4.7		µs
t_{DH}	Data Out Hold Time	300		ns

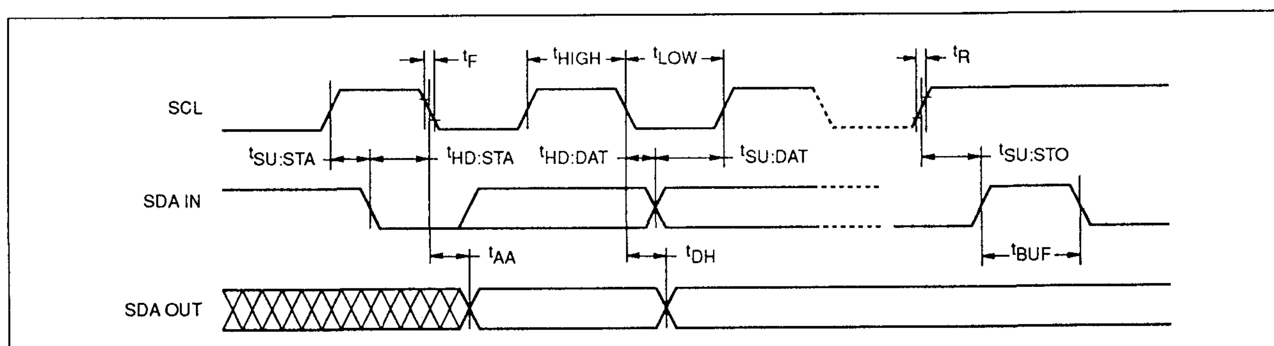
Tabel 8/6.4-40: Timing van de lees- en schrijfcycli van de 24C16 (zie ook figuur 8/6.4-66).

Ook het lezen (zowel current address-read als random-read en sequential-read) gaat op dezelfde manier als bij de 24C04, zodat de figuren 8/6.4-50 tot en met -52 plus de beschrijvingen dus ook voor de 24C16 gelden.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

Overige kenmerken

In de tabellen 8/6.4-37 tot en met -42 en de bijbehorende figuren 8/6.4-66 tot en met -68 komen de belangrijkste elektrische en timingkarakteristieken van het Xicor-type X24C16 aan bod.



Figuur 8/6.4-66: Bustiming van de 24C16.

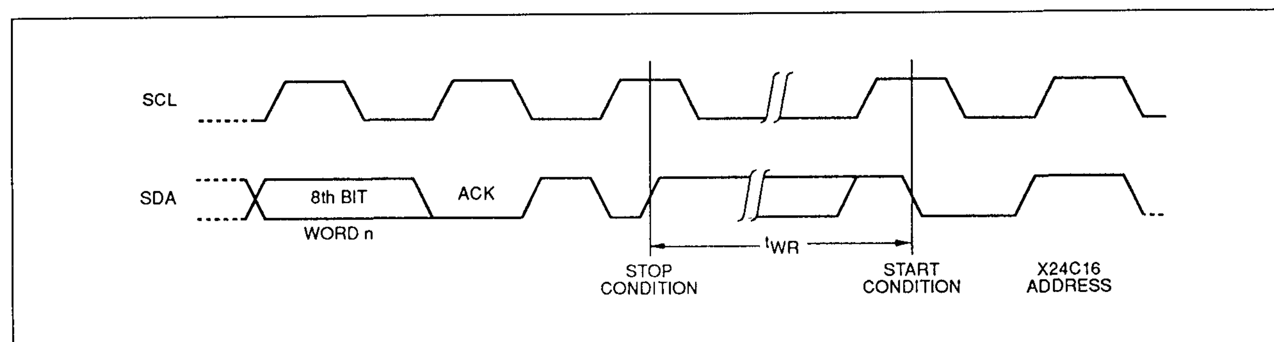
POWER-UP TIMING

Symbol	Parameter	Max.	Units
$t_{PUR}^{(4)}$	Power-up to Read Operation	1	ms
$t_{PUW}^{(4)}$	Power-up to Write Operation	5	ms

Tabel 8/6.4-41: Benodigde tijd na het opkomen van de voedingsspanning voordat bedrijfszeker kan worden gelezen/geschreven.

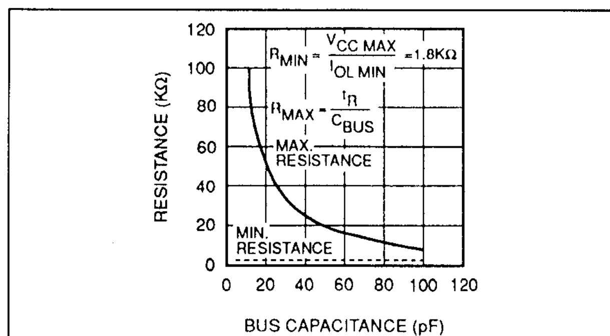
Symbol	Parameter	Min.	Typ.(5)	Max.	Units
$t_{WR}^{(6)}$	Write Cycle Time		5	10	ms

Tabel 8/6.4-42: Maximale tijdsduur van een schrijfcyclus. Gedurende deze tijd zijn de businterface schakelingen van de 24C08 gesperd (zie ook figuur 8/6.4-67).

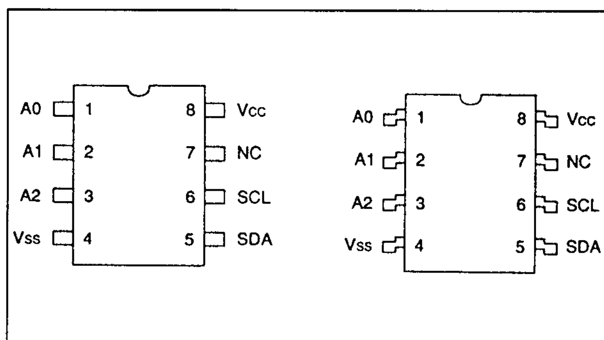


Figuur 8/6.4-67: Timing van de schrijfcyclus.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-68: Berekening van de optrekweerstanden van de bus voor SDA en SCL.



Figuur 8/6.4-69: Aansluitingen van de 24C32.

24C32

32 kB seriële EEPROM

De 24C32 is een 32.768 bit CMOS seriële EEPROM, inwendig georganiseerd in 4 k x 8 bit. De 24C32 heeft een ingangscache met een capaciteit van acht 8 byte pagina's of 64 bytes. Er is tevens een vast 4 kB blok voor data die vaak verandert. De seriële interface en het software protocol maken bediening via een eenvoudige tweedraads bus (I^2C) mogelijk. Door het 3 bit slaafadres kunnen maximaal acht 24C32's op dezelfde bus worden aangesloten. De opgeslagen data blijft minstens 40 jaar geldig. De 24C32 is leverbaar in een 8-pens DIL of SOIC behuizing.

Belangrijkste kenmerken

- 32 kB seriële E^2PROM (4.096 x 8 bit)
- 2-draads seriële interface (I^2C) met bidirectioneel datatransfer protocol
- zelf-getimede schrijfcyclus (inclusief auto-erase)
- voedingsspanning: 4,5 tot 5,5 V; (24LC32: 2,5 tot 6 V)
- 64 byte input cache
- maximale dissipatie: 150 μA aktive read, 3 mA active write, 5 μA standby
- levensduur: 20.000 x wissen/schrijven (28 kB blokken), 1 miljoen x wissen/schrijven (4 kB blokken), 40 jaar vasthouden
- behuizing: 8-pens mini-DIP/SOIC (figuur 8/6.4-69)
- fabrikant:
  Microchip: 24C32, 24LC32

Werking

De 24C32 (figuur 8/6.4-70) ondersteunt een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol. De seriële clock (SCL) klokt alle data van en naar de EEPROM. De bidirectionele, seriële datalijn (SDA) heeft een "open-drain" uitgang voor "wired-OR" toepassingen en moet dus worden voorzien van een optrekweerstand (10 kΩ voor 100 kHz, 1 kΩ voor 400 kHz). Zowel de SDA- als de SCL-lijn is voorzien van een ingangsfilter. Bovendien hebben alle I/O-lijnen een Schmitt-trigger ingang. Elk apparaat dat data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C32 wordt daarom voor alle toepassingen beschouwd als slaaf.

Adreslijnen A0, A1 en A2

De A0, A1 en A2-lijnen worden gebruikt om de 24C32 te adresseren, zodat er maximaal acht op dezelfde bus kunnen worden aangesloten.

Buskarakteristieken

Het volgende busprotocol geldt:

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

- Er mag alleen nieuwe data op de bus worden gezet als de bus niet bezet (busy) is.
- Gedurende data-overdracht moet de datalijn stabiel blijven als SCL HOOG is. Dataveranderingen bij SCL = HOOG worden geïnterpreteerd als een start- of stopconditie (zie figuur 8/6.4-71).

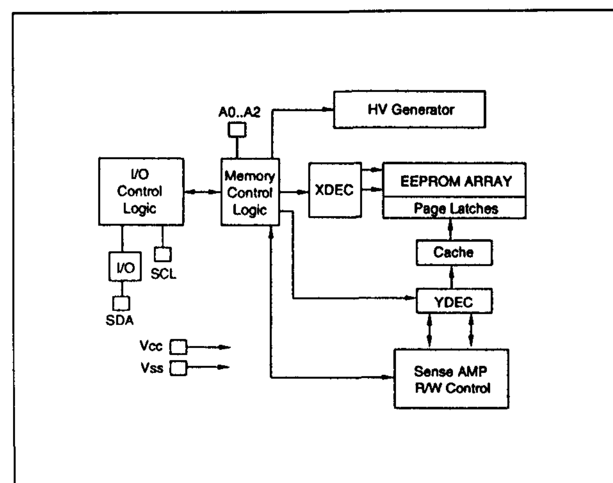
Hierin kunnen de volgende gevallen worden onderscheiden:

- Bus not Busy:
  zowel de data- als de kloklijn zijn HOOG.
- Start Data Transfer:
  een HOOG-naar-LAAG overgang op SDA, terwijl SCL HOOG is bepaalt een START-conditie. Alle commando's moeten hierdoor worden voorafgegaan.
- Stop Data Transfer:
  een LAAG-naar-HOOG overgang op SDA, terwijl SCL HOOG is bepaalt een STOP-conditie. Alle operaties moeten worden beëindigd door een stop-conditie.
- Data Valid:
  de datalijn SDA bevat geldige data als na een startconditie de datalijn stabiel is gedurende de tijd dat SCL HOOG is. Data mag worden veranderd als SCL LAAG is. Er is één klokpuls per databit.

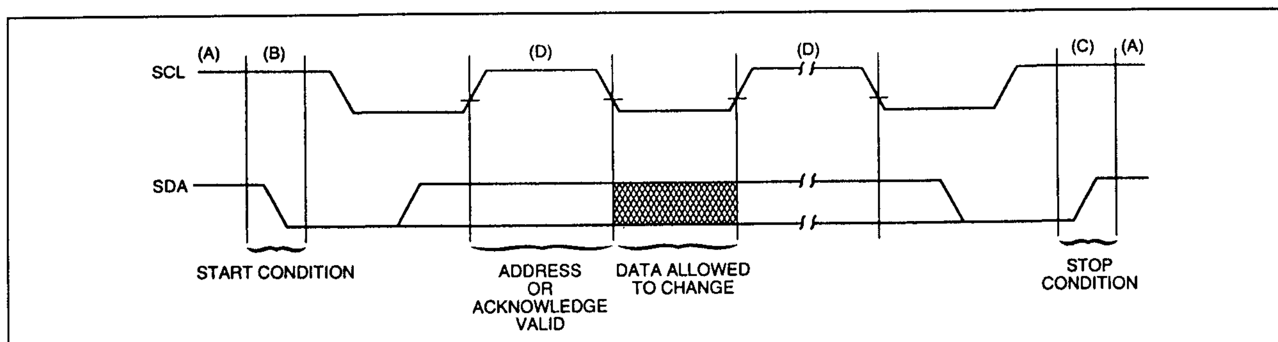
Acknowledge

Iedere geadresseerde ontvanger moet een acknowledge genereren na ontvangst van elk byte. De master moet hiervoor een extra klokpuls leveren.

Let op: de 24C32 genereert GEEN acknowledge tijdens een interne programmeercyclus. De 24C32 geeft een acknowledge door de SDA-lijn LAAG te houden gedurende de "acknowledge klokpuls". Hierbij dient rekening te worden gehouden met de set-up en holdtijden. Bij het uitlezen van de 24C32 signaleert de master het einde van de data door GEEN acknowledgebit te genereren. In dit geval houdt de slaaf (de 24C32) de datalijn HOOG, zodat de master een STOP-conditie kan genereren.

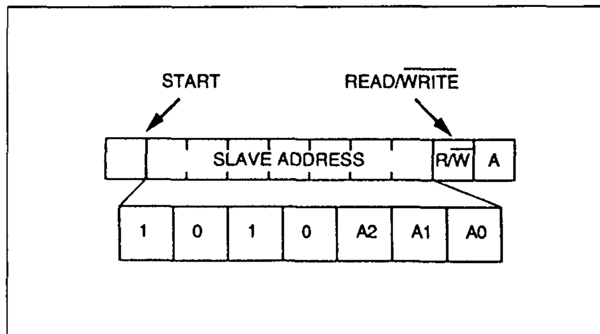


Figuur 8/6.4-70: Functioneel blokschema van de 24C32.



Figuur 8/6.4-71: Data-overdracht via de seriële bus (24C32 en 24C65).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-72: Samenstelling van het slaafadres van de 24C32 (en 24C65).

De volgende twee ontvangen bytes bepalen het adres van het eerste databyte (zie figuur 8/6.4-73). Omdat alleen A0 tot en met A11 worden gebruikt, moeten de hoogste vier adresbits nul zijn. Het belangrijkste bit (MSB) van het belangrijkste byte wordt het eerst overgedragen. Na de startconditie houdt de 24C32 de SDA-bus in de gaten om het uitgezonden slaafadres te vergelijken met zijn eigen adres (type plus A0, A1, A2). Bij overeenkomst zet de slave een acknowledge op de SDA-lijn, waarna (afhankelijk van het R/W-bit) wordt gelezen of geschreven.

Adressering van de schakeling

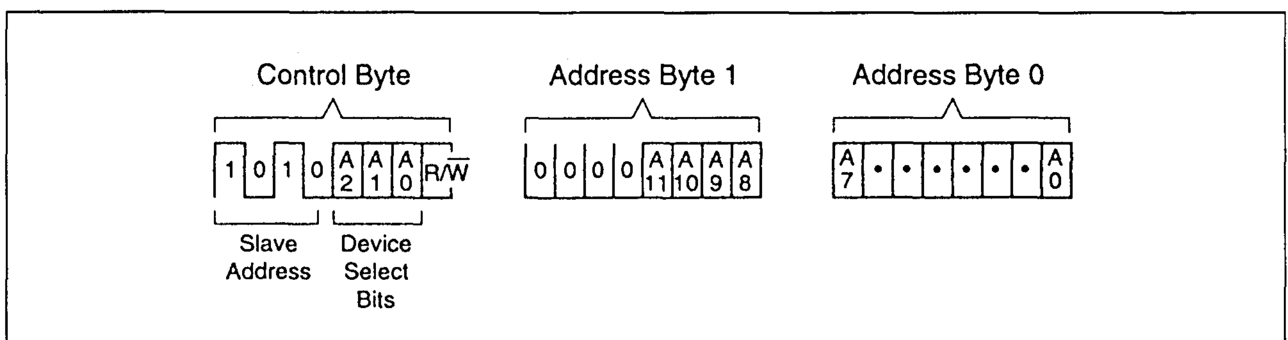
Na een startconditie moet de master eerst een besturingsbyte (Control Byte) naar de gekozen slaaf sturen. Het besturingsbyte bestaat uit een 4 bit type-identificatie (figuur 8/6.4-72). Voor de 24C32 is deze 1010. De volgende drie bits (A0, A1 en A2) zijn het adres van de 24C32. In een systeem kunnen maximaal acht 24C32's op de bus worden aangesloten. Het laatste bit van het slaafadres (R/W) bepaalt de operatie die moet worden uitgevoerd. Bij een één wordt gelezen, bij een nul wordt geschreven.

Schrijven, Split Endurance

De 24C32 is georganiseerd als een continu 32 kB geheugenblok. De eerste 4 kB, beginnend bij adres 000, is echter speciaal gemaakt om 1 miljoen maal te worden herschreven. De rest van het array (28 kB) is geschikt voor 20.000 x wissen/schrijven. Deze eigenschap is nuttig voor toepassingen waarbij een deel van de data veelvuldig en de resterende data minder vaak verandert. Een voorbeeld hiervan is de telefoon, waarbij het opnieuw kiezen van het laatst gebruikte nummer vaak voorkomt.

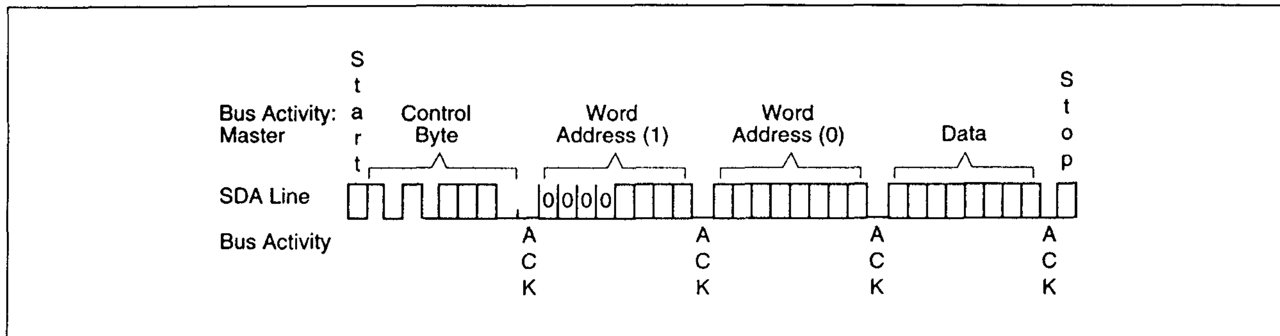
Schrijven, Byte-write

Na een startconditie klokt de master de typecode, het slaafadres en het R/W-bit (=LAAG) naar de bus. Nadat de 24C32 dan een acknowledge heeft gegenereerd zet de master het eerste deel van het woordadres op de bus. Dit high-byte wordt in de adrespointer van de 24C32 gezet. Na weer een acknowledge volgt het tweede deel van het woordadres. Na ontvangst van een acknowledge van de 24C32 verzendt de master het datawoord dat op de geadresseerde plaats van het geheugen moet worden geschreven. De 24C32 genereert nogmaals een acknowledge, waarna de master een stopconditie genereert. Hierdoor wordt de interne schrijfcyclus gestart (figuur 8/6.4-74).

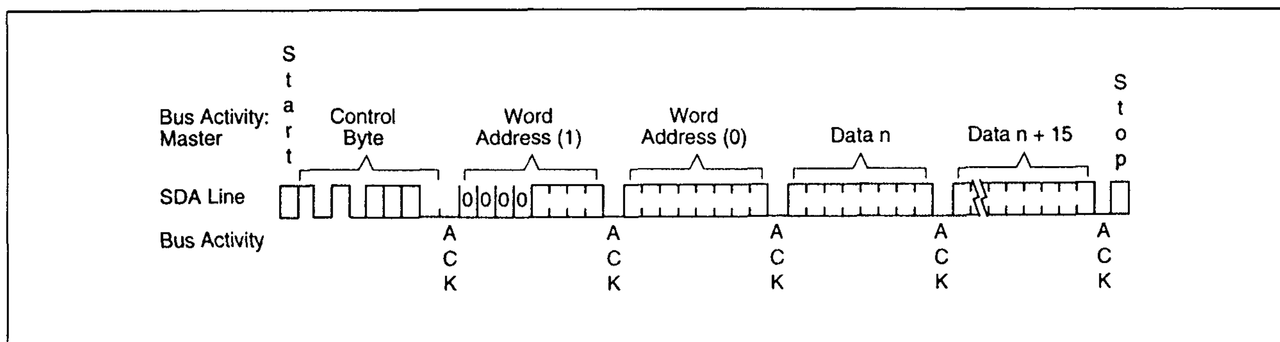


Figuur 8/6.4-73: Complete adressering van een 24C32.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-74: Het schrijven van een byte in de 24C32.



Figuur 8/6.4-75: Het schrijven van een pagina in de 24C32.

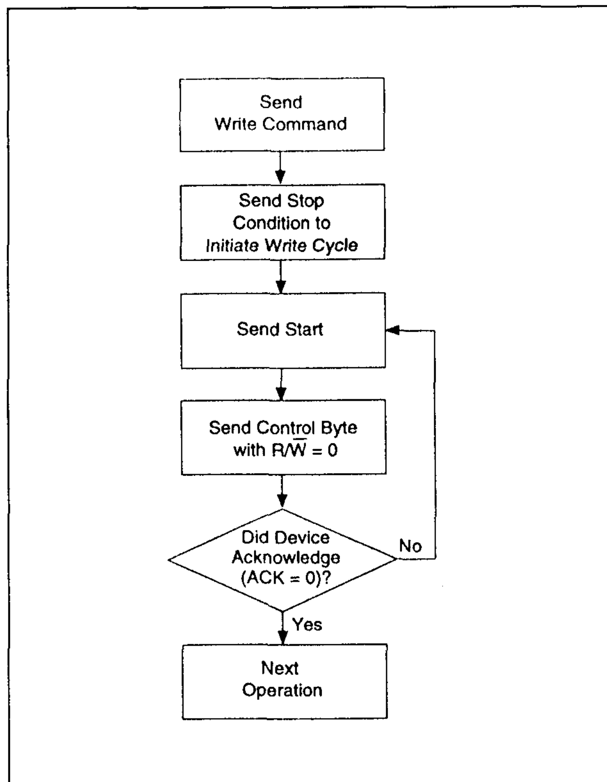
Schrijven, Page-write

De 24C32 kan maximaal acht pagina's van 8 databytes per stuk (totaal 64 bytes) als pagina schrijfoperatie uitvoeren. Dit begint op dezelfde manier als de byte schrijfoperatie, maar in plaats van de schrijfcyclus na het eerste datawoord te beëindigen, kan de master nog 63 bytes versturen die tijdelijk in de cache van de 24C32 worden gezet. Na ontvangst van een stopconditie wordt de data pas van de cache naar de EEPROM overgebracht. Telkens na ontvangst van een woord geeft de 24C32 een acknowledge en worden de zes laagste adrespointer bits met één verhoogd. De hoogste zeven bits van het woordadres blijven ongewijzigd. Als de master meer woorden verstuurt dan de cache kan bevatten (meer dan 64 bytes) voordat de stopconditie wordt gegenereerd, "rolt" de cachepointer "over", waardoor eerder verzonden data wordt overschreven. Net als bij de byte schrijfoperatie begint de interne schrijfoperatie zodra een stopconditie wordt gedetecteerd (figuur 8/6.4-75).

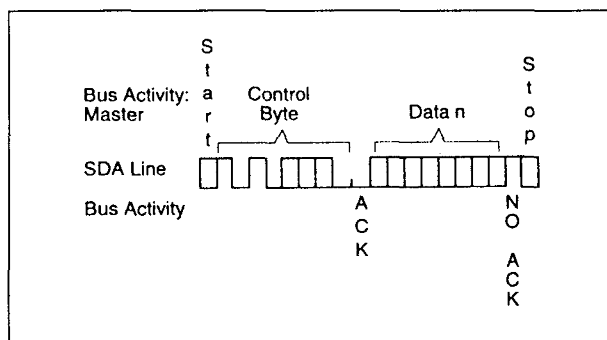
Acknowledge polling

Aangezien de 24C32 tijdens een schrijfcyclus geen acknowledge genereert, kan dit worden gebruikt om te bepalen wanneer de cyclus klaar is (dit verhoogt de snelheid van de data-overdracht via de bus). Zodra de master een stopconditie genereert om het einde van de schrijfoperatie aan te geven, begint de 24C32 met de interne schrijfcyclus. Het afvragen (polling) van acknowledge (ACK) kan nu direct beginnen. Hierbij geeft de master een startconditie, gevolgd door het slaafadres voor een schrijfoperatie. Als de 24C32 nog bezig is met de schrijfoperatie geeft deze geen ACK.
Is de schrijfoperatie klaar dan geeft de 24C32 een ACK en kan de master verder kan gaan met de volgende lees- of schrijfoperatie (zie figuur 8/6.4-76).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-76: Het afvragen van acknowledge (ACK polling sequence).



Figuur 8/6.4-77: Uitlezen van het lopende adres (Current Address Read).

Lezen

De leesoperaties beginnen op dezelfde manier als schrijfoperaties, maar nu is R/$\overline{W}$ in het slaafadres één. Er kan op drie manieren worden gelezen: current address-read, random-read en sequential-read.

Current Address-read

De 24C32 bevat een adresteller die het laatst bereikte adres (verhoogd met één) bewaart. Als adres n dus het laatst bereikte adres was (lezen of schrijven), wordt bij de volgende leesoperatie data uit adres n+1 opgehaald. Na ontvangst van het slaafadres (met R/$\overline{W}$=1), genereert de 24C32 een acknowledge en verzendt het 8 bit datawoord. De master geeft geen acknowledge, maar genereert een stopconditie (zie figuur 8/6.4-77).

Random-read

Het is ook mogelijk dat de master leesoperaties op willekeurige lokaties (random) uitvoert. Om op deze wijze uit te lezen, moet eerst het woordadres worden gezet. Dit wordt gedaan door het woordadres als deel van een schrijfoperatie (R/$\overline{W}$=0) naar de 24C32 te sturen. Na ontvangst van de acknowledge geeft de master dan een startconditie. Hierdoor wordt de interne adrespointer gezet en de schrijfoperatie beëindigd. Hierna genereert de master opnieuw de startconditie plus het besturingsbyte (met R/$\overline{W}$=1). De 24C32 geeft hierop een acknowledge en zendt het 8 bit datawoord uit. De master geeft geen acknowledge, maar wel een stopconditie (zie figuur 8/6.4-78), waardoor de 24C32 de overdracht stopt.

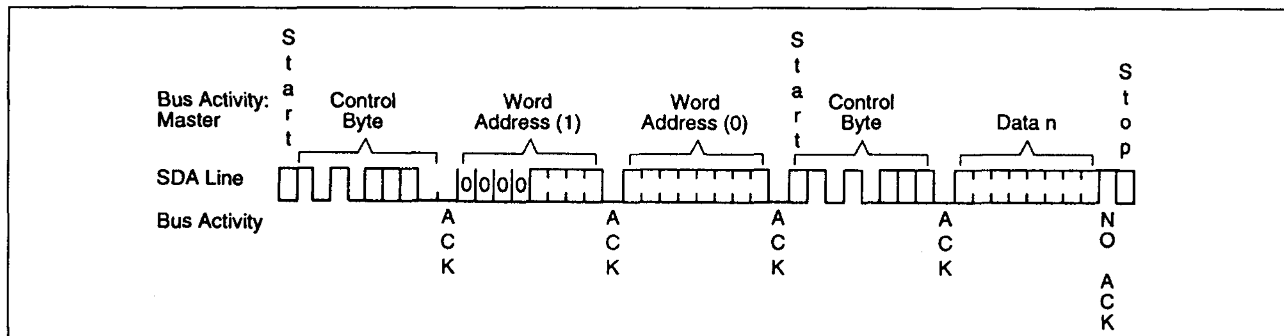
Adresseren van meerdere EEPROM's

De slaafadresbits A0, A1 en A2 kunnen worden gebruikt om de aangrenzende adresruimte tot maximaal 256 kB te vergroten door acht 24C32's op dezelfde bus te plaatsen. Voor de software is dan A0 in het besturingsbyte gelijk aan A12, terwijl A1 overeenkomt met A13 en A2 = A14.

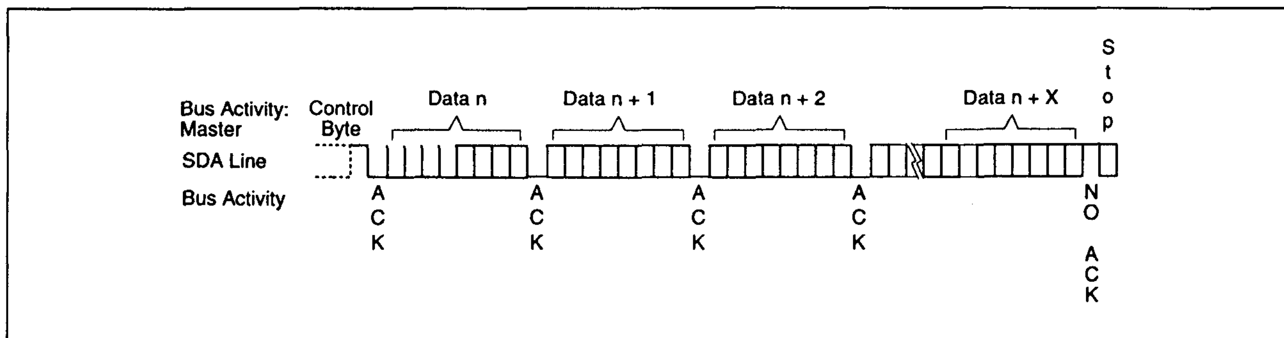
Sequential-read

Het achter elkaar uitlezen (sequential read) kan beginnen als een Current Address-read of als een Random-read. Het eerste databyte wordt verstuurd op de manier van de gekozen mode, maar nu antwoordt de master telkens met een acknowledge om aan te geven dat nog meer data wordt verlangd.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-78: Het uitlezen van willekeurige adressen (Random Read).



Figuur 8/6.4-79: Het achter elkaar uitlezen van data (sequential-read).

De 24C32 gaat door met het versturen van data zolang er acknowledges worden ontvangen. De master beëindigt het lezen door geen acknowledge, maar een stopconditie te geven (zie figuur 8/6.4-79).
Om achter elkaar te kunnen worden uitgelezen heeft de 24C32 een interne adrespointer die na elke operatie met automatisch één wordt verhoogd. Hierdoor kan het gehele geheugen serieel in één operatie worden uitgelezen. De adrespointer rolt echter niet van adres 07FF over naar adres 0000, maar naar ongebruikte adresruimte.

Gebruik van cache en array
De cache is een 64 byte (8 pagina's van 8 bytes) FIFO-buffer. Hierdoor kunnen maximaal 64 bytes data worden geladen voordat de eigenlijke schrijfcyclus begint. Er kunnen dus 64 bytes met de maximale bussnelheid worden geschreven. Zodra een schrijfcommando wordt ingezet, begint de cache met laden, totdat een stopbit wordt ontvangen om het interne schrijven te starten. De totale lengte van de schrijfcyclus hangt af van het aantal pagina's dat in de cache wordt gezet voordat een stopconditie wordt gegenereerd. De maximale cyclustijd van elke pagina is 10 ms. Zelfs wanneer een pagina maar gedeeltelijk wordt geladen is evenveel tijd nodig als voor een complete pagina. Als meer dan 64 bytes data worden geladen voordat een stopbit wordt gegeven, zal de adrespointer overgaan naar het begin van de cachepagina waardoor de aanwezige bytes worden overschreven.

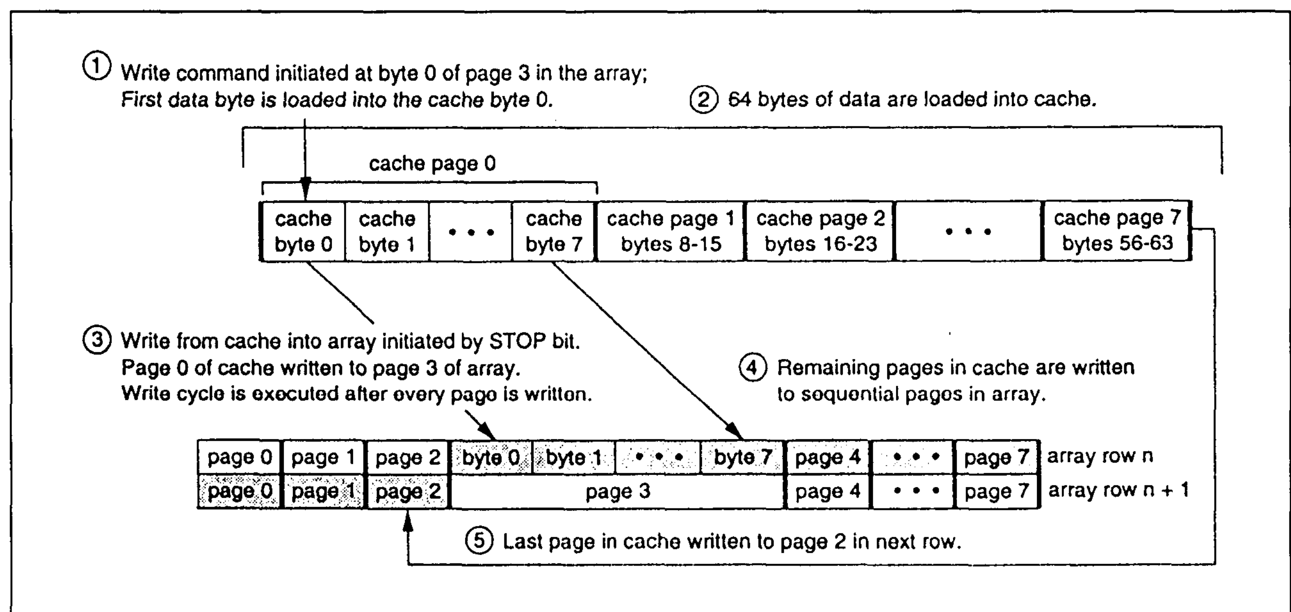
Cache Write,
beginnend vanaf een Page-grens
Wanneer een schrijfcommando op de grens van een pagina begint (de adresbits A0, A1 en A2 zijn nul) zal alle, in de cache geladen, data naar opvolgende adressen in het array worden geschreven. Dit geldt ook voor schrijven over een 4 kB blokgrens. In het voorbeeld hieronder wordt met een volledig gevulde cache (64 bytes) een schrijfcommando ingezet, beginnend op byte 0 van

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

pagina 3 (zie figuur 8/6.4-80). Het eerste byte in de cache wordt geschreven naar byte 0 van pagina 3 (van het array). De overige pagina's in de cache worden naar opvolgende pagina's in het array geschreven. Na elke pagina die is geschreven wordt een schrijfcyclus uitgevoerd. Aangezien het schrijven op pagina 3 begint en er 8 pagina's in de cache zijn geladen, worden de laatste 3 pagina's van de cache naar de volgende rij in het array geschreven.

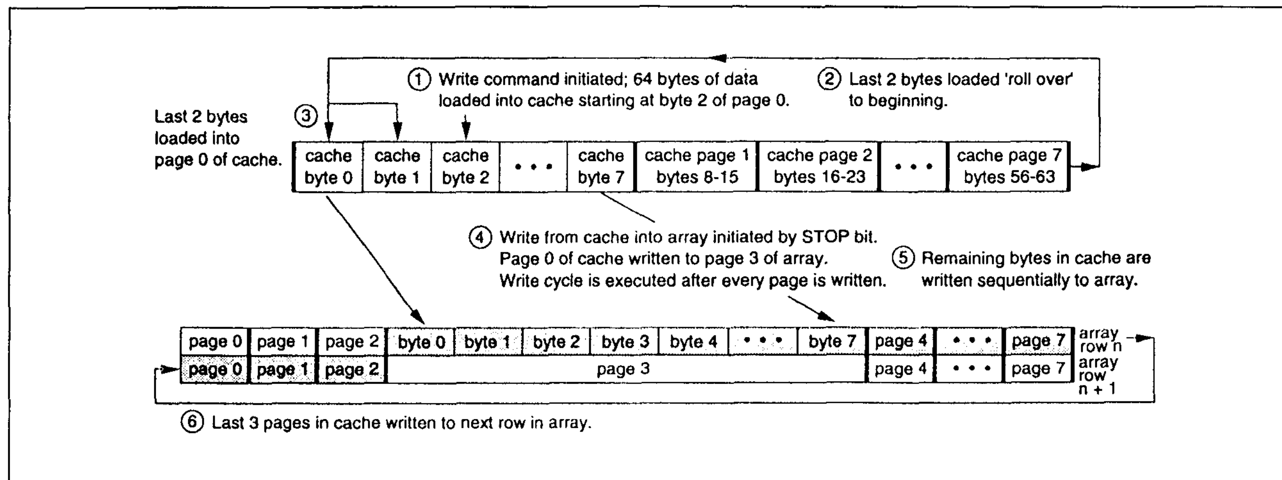
Cache Write, niet beginnend vanaf een pagegrens

Wanneer een schrijfcommando wordt ingezet dat niet op de grens van een pagina begint (de adresbits A0, A1 en A2 zijn niet allemaal nul) is het belangrijk om te weten hoe de data in de cache is geladen en hoe de data uit de cache naar het array wordt geschreven. Wanneer het schrijfcommando begint, wordt het eerste in de cache geladen byte altijd naar pagina 0 overgebracht. Het byte in pagina 0 van de cache waar het laden begint, wordt bepaald door de adresbits A0, A1 en A2, die werden verstuurd als gedeelte van het schrijfcommando. Als het schrijfcommando (met een volledig gevulde cache) niet begint bij byte 0 van een pagina, dan zullen de laatste byte(s) die in de cache werd(en) geladen doorrollen naar pagina 0 van de cache en daar de overblijvende lege bytes vullen. Wordt meer dan 64 bytes in de cache geladen dan wordt reeds aanwezige data overschreven.
In het volgende voorbeeld wordt met een volledig gevulde cache (64 bytes) een schrijfcommando ingezet, beginnend op byte 2 van pagina 3 in het array (figuur 8/6.4-81). Aangezien de cache begon te laden bij byte 2, zullen de laatste twee bytes "doorrollen" en in de eerste twee bytes van pagina 0 (van de cache) worden geladen. Wanneer het stopbit wordt uitgezonden, wordt pagina 0 van de cache geschreven naar pagina 3 van het array.
De overige pagina's in de cache worden verder naar opvolgende pagina's in het array geschreven. Na elke pagina die is geschreven wordt een schrijfcyclus uitgevoerd. Als na het uitzenden van het stopbit nog een gedeeltelijk gevulde pagina in de cache achterblijft, worden alleen de geladen bytes naar het array overgebracht.



Figuur 8/6.4-80: Het schrijven vanuit de cache naar het array, beginnend bij een paginagrens.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-81: Het schrijven vanuit de cache naar het array, niet beginnend bij een paginagrens.

Power Management

De 24C32 is voorzien van een standby mode die automatisch wordt ingeschakeld na een normale beëindiging van een operatie (als een stopbit werd ontvangen en alle interne functies klaar zijn). De 24C32 houdt ook de V_{dd} in de gaten om onbedoeld schrijven bij een lage voedingsspanning te voorkomen.

Overige kenmerken

In de figuren 8/6.4-82 en -83 en de tabellen 8/6.4-43, -44 en -45 zijn de belangrijkste elektrische en timingkarakteristieken van het Microchip-type X24C32 vermeld.

Vcc	7.0V
All inputs and outputs w.r.t. Vss	-0.6V to Vcc +1.0V
Storage temperature	-65°C to +150°C
Ambient temp. with power applied	-65°C to +125°C
Soldering temperature of leads (10 seconds)	+300°C
ESD protection on all pins	≥ 4 kV

Tabel 8/6.4-43: Maximaal toegelaten waarden.

DC CHARACTERISTICS — Vcc = +4.5V to 5.5V; Commercial (C): Tamb = 0°C to +70°C; Industrial (I): Tamb = -40°C to +85°C

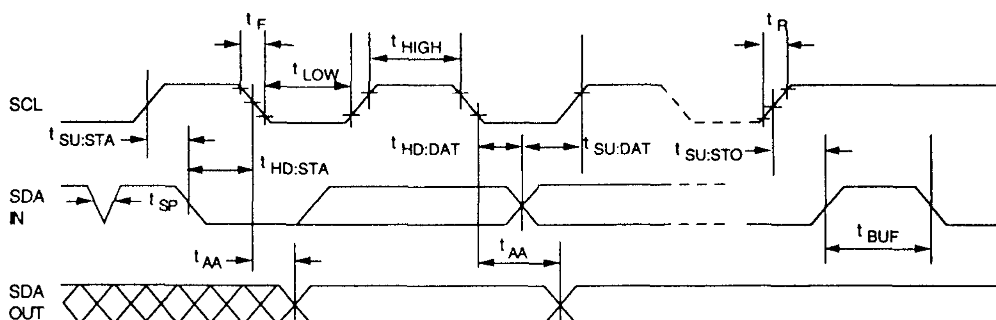
Parameter	Symbol	Min.	Max.	Units	Conditions
A0, A1, A2, SCL and SDA pins:					
High level input voltage	V_{IH}	.7 Vcc	—	V	
Low level input voltage	V_{IL}	—	.3 Vcc	V	
Hysteresis of Schmitt Trigger inputs	V_{HYS}	.05 Vcc	—	V	Note 1
Low level output voltage	V_{OL}	—	.40	V	I_{OL} = 3.0 mA
Input leakage current	I_{LI}	-10	10	µA	V_{IN} = .1V to Vcc
Output leakage current	I_{LO}	-10	10	µA	V_{OUT} = .1V to Vcc
Internal capacitance (all inputs/outputs)	C_{INT}	—	10	pF	Vcc = 5.0V (Note 1) Tamb = 25°C, Fclk = 1 MHz
Operating current	Icc Write	—	3	mA	Vcc = 5.5V, SCL = 400 KHz
	Icc Read	—	150	µA	Vcc = 5.5V, SCL = 400 KHz
Standby current	Iccs	—	50	µA	Vcc = 5.5V, SCL = SDA = Vcc

Tabel 8/6.4-44: Gelijkspanningskarakteristieken van de 24C32.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

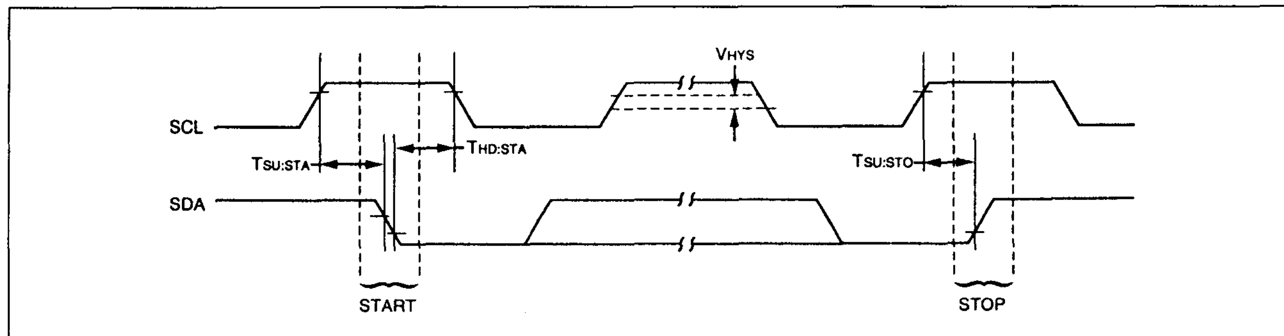
AC CHARACTERISTICS		Vcc = 4.5-5.5V STD. MODE		Vcc = 4.5-5.5V FAST MODE			
Parameter	Symbol	Min	Max	Min	Max	Units	Remarks
Clock frequency	FCLK	0	100	0	400	kHz	
Clock high time	THIGH	4000	—	600	—	ns	
Clock low time	TLOW	4700	—	1300	—	ns	
SDA and SCL rise time	TR	—	1000	—	300	ns	Note 1
SDA and SCL fall time	TF	—	300	—	300	ns	Note 1
START condition hold time	THD:STA	4000	—	600	—	ns	After this period the first clock pulse is generated
START condition setup time	TSU:STA	4700	—	600	—	ns	Only relevant for repeated START condition
Data input hold time	THD:DAT	0	—	0	—	ns	
Data input setup time	TSU:DAT	250	—	100	—	ns	
STOP condition setup time	TSU:STO	4000	—	600	—	ns	
Output valid from clock	TAA	—	3500	—	900	ns	Note 2
Bus free time	TBUF	4700	—	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from VIH min to VIL max	TOF	—	250	20 +0.1 CB	250	ns	Note 1, CB ≤ 100 pF
Input filter spike suppression (SDA and SCL pins)	TSP	N/A	N/A	0	50	ns	Note 3
Write cycle time	TWR	—	5	—	5	ms/page	Note 4

Tabel 8/6.4-45: Timing van de lees- en schrijfcycli van de 24C32 (zie ook figuur 8/6.4-82).



Figuur 8/6.4-82: Bustiming voor data van de 24C32.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

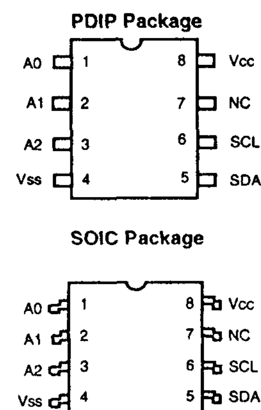


Figuur 8/6.4-83: Bustiming voor start en stop van de 24C32.

24C65

64 kB seriële EEPROM

De 24C65 is een 65.536 bit CMOS seriële EEPROM, georganiseerd als 8 kB x 8 bit. De 24C65 heeft een ingangscache met een capaciteit van acht pagina's of 64 bytes. Er is tevens een ***verplaatsbaar*** 4 kB blok voor data die vaak verandert. De seriële interface en het software protocol maken bediening via een tweedraads bus (I²C) mogelijk. Door het 3 bit slaafadres kunnen maximaal acht 24C65's op dezelfde bus worden aangesloten. De opgeslagen data blijft minstens 40 jaar behouden. De 24C65 is leverbaar in een gestandaardiseerde 8-pens DIL of SOIC behuizing.



PIN FUNCTION TABLE

Name	Function
A0..A2	User Configurable Chip Selects
Vss	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock
Vcc	+4.5V to 5.5V Power Supply
NC	No Internal Connection

Figuur 8/6.4-84: Aansluitingen van de 24C65.

Belangrijkste kenmerken

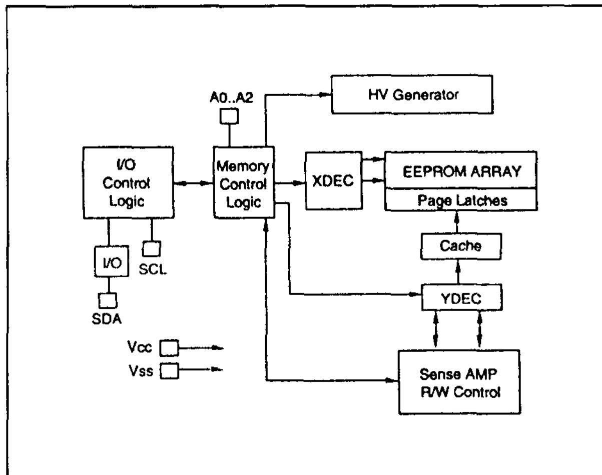
- 64 kB seriële E2PROM (8.192 x 8 bit)
- 2-draads seriële interface (I²C) met bidirectioneel datatransfer protocol
- zelf getimede schrijfcyclus (inclusief auto-erase)
- voedingsspanning: 4,5 tot 5,5 V; (24LC65: 2,5 tot 6 V en 24AA65: 1,8 V)
- 64 bytes input cache
- maximale dissipatie: 150 µA aktive read, 3 mA active write, 5 µA standby
- levensduur: 10.000 x wissen/schrijven (60 kB blokken), 1 miljoen x wissen/schrijven (4 kB blokken), data 40 jaar vasthouden
- behuizing: 8-pens mini-DIP/SOIC (figuur 8/6.4-84)
- fabrikant:
  Microchip: 24C65, 24LC65, 24AA65

Werking

De werking van de 24C65 komt grotendeels overeen met die van de 24C32. Ook de 24C65 ondersteunt een op twee signalen (**SCL** en **SDA**) gebaseerd bidirectioneel busgeoriënteerd protocol (figuur 8/6.4-85). De seriële clock (SCL) klokt alle data van en naar de EEPROM. De bidirectionele, seriële datalijn (SDA) heeft een "open-drain" uitgang voor "wired-OR" toepassingen en moet dus

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

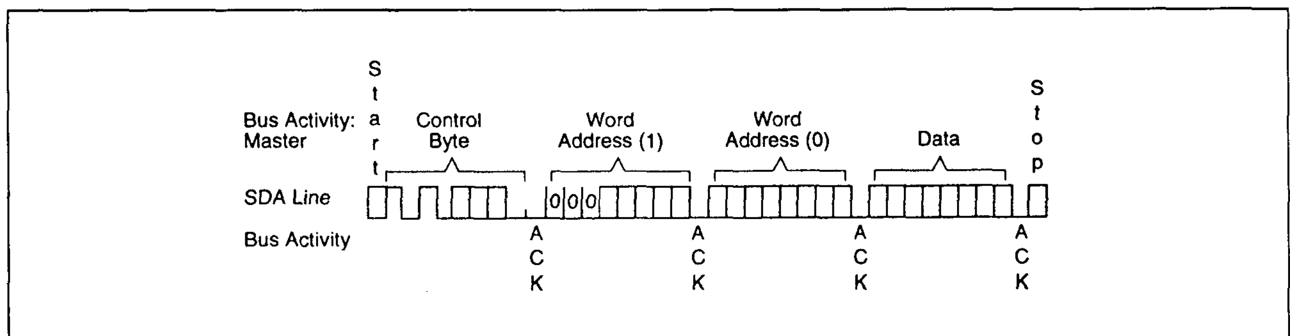
worden voorzien van een optrekweerstand (10 kΩ voor 100 kHz, 1 kΩ voor 400 kHz). De SDA- en de SCL-lijn zijn voorzien van een ingangsfilter, terwijl alle I/O-lijnen een Schmitt-trigger ingang hebben.
Elk apparaat dat data op de bus zet is een zender en elk ontvangend apparaat een ontvanger. Het apparaat dat de data-overdracht bestuurt is de master en het bestuurde apparaat de slave. De data-overdracht wordt altijd begonnen door de master, die ook de clock levert voor zowel zend- als ontvangzijde. De 24C65 wordt daarom voor alle toepassingen beschouwd als slaaf.



Figuur 8/6.4-85: Functioneel blokschema van de 24C65.

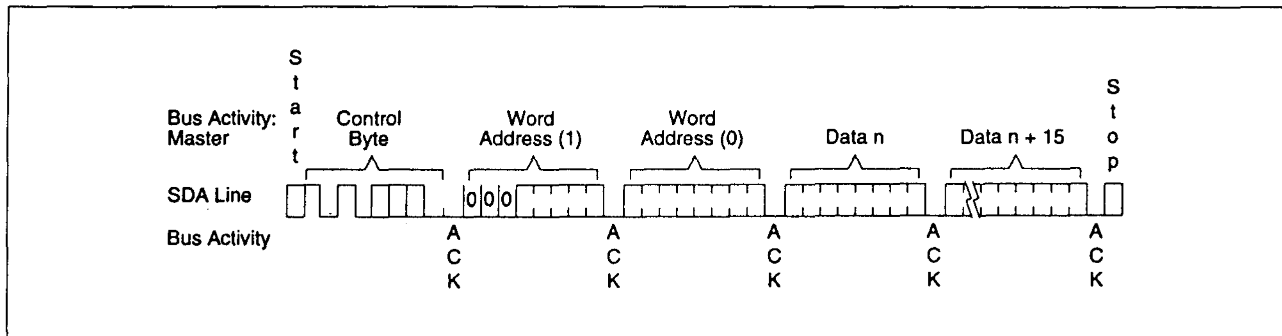
Buskarakteristieken, besturingsbyte
De voorwaarden voor de buskarakteristieken (Bus not Busy, Start Data Transfer, Stop Data Transfer, Data Valid en Acknowledge) en het besturingsbyte (het adresseren van de slaaf, inclusief typecode) zijn dezelfde als voor de 24C32. Na de 4 bit type-identificatie (1010) wordt met A0, A1 en A2 de slaaf geadresseerd. Er kunnen dus ook acht 24C65's op dezelfde bus worden aangesloten. De volgende twee bytes bepalen het adres van het eerste databyte. Omdat alleen A0 tot en met A12 worden gebruikt, moeten de hoogste drie adresbits nul zijn. Het belangrijkste bit (MSB) van het belangrijkste byte wordt het eerst overgedragen.
Verwezen wordt naar de figuren 8/6.4-71 en -72 met de bijbehorende tekst.

Schrijven, Byte-write
Na een startconditie klokt de master de typecode, het slaafadres en het R/$\overline{W}$-bit (=LAAG) naar de bus. Hiermee wordt aangegeven dat de geadresseerde slaaf daarna een byte met een woordadres zal ontvangen. Nadat de 24C65 een acknowledge heeft gegenereerd zet de master het eerste deel (high-byte) van het woordadres op de bus die in de adrespointer van de 24C65 wordt gezet. Na nog een acknowledge volgt het tweede deel van het woordadres. Na bevestiging (acknowledge) door de 24C65 verzendt de master het datawoord dat op de geadresseerde plaats van het geheugen moet worden geschreven. De 24C65 genereert nogmaals een acknowledge, waarna de master een stopconditie genereert. Hierdoor wordt de interne schrijfcyclus gestart (figuur 8/6.4-86).



Figuur 8/6.4-86: Het schrijven van een byte in de 24C65.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie



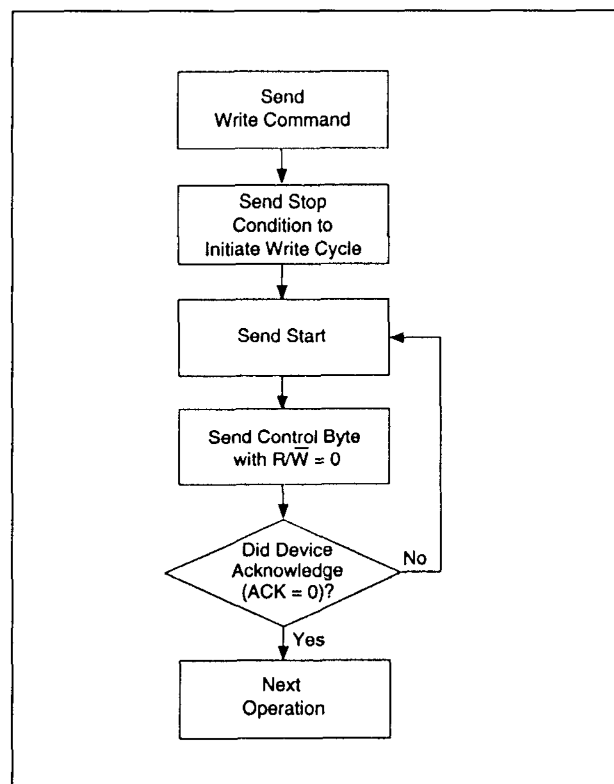
Figuur 8/6.4-87: Het schrijven van een pagina in de 24C65.

Schrijven, Page-write

De 24C65 kan maximaal acht pagina's van 8 databytes per stuk (totaal 64 bytes) als pagina schrijfoperatie uitvoeren. Dit begint op dezelfde manier als de byte schrijfoperatie, maar in plaats van de schrijfcyclus na het eerste datawoord te beëindigen, kan de master nog 63 bytes versturen die tijdelijk in de cache van de 24C65 worden gezet. Na ontvangst van een stopconditie wordt de data van de cache naar de EEPROM overgebracht. Telkens na ontvangst van een woord geeft de 24C65 een acknowledge en worden de zes laagste adrespointer bits met één verhoogd. De hoogste zeven bits van het woordadres veranderen niet. Wanneer de master meer woorden verstuurt dan de cache kan bevatten (meer dan 64 bytes) voordat de stopconditie wordt gegenereerd, "rolt" de cachepointer "over", waardoor eerder verzonden data wordt overschreven. Net als bij de byte schrijfoperatie begint de interne schrijfoperatie zodra een stopconditie wordt gedetecteerd (figuur 8/6.4-87).

Acknowledge polling

Omdat de 24C65 tijdens een schrijfcyclus geen acknowledge genereert, kan hiervan gebruik worden gemaakt om te bepalen wanneer de cyclus klaar is (dit verhoogt de snelheid van de data-overdracht via de bus). Zodra de master een stopconditie genereert om het einde van de schrijfoperatie aan te geven, begint de 24C65 met de interne schrijfcyclus. Het afvragen (polling) van acknowledge (ACK) kan dan direct beginnen. Hierbij geeft de master een startconditie, gevolgd door het slaafadres voor een schrijfoperatie. Als de 24C65 dan nog bezig is met de schrijfoperatie geeft deze geen ACK. Is de 24C65 klaar met schrijven dan geeft hij een ACK en kan de master verder kan gaan met de volgende lees- of schrijfoperatie (zie figuur 8/6.4-88).



Figuur 8/6.4-88: Het afvragen van acknowledge (ACK polling sequence).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie

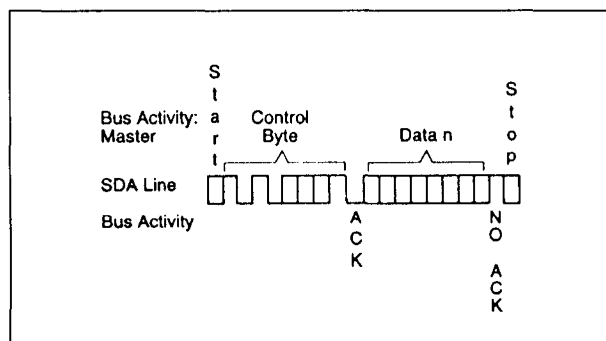
Lezen

De leesoperaties beginnen op dezelfde manier als de schrijfoperaties, maar in dit geval is R/$\overline{W}$ in het slaafadres één. Er kan op drie manieren worden gelezen:

- current address-read;
- random-read;
- sequential-read.

Current address-read

De 24C65 heeft een adresteller die het laatst bereikte adres (automatisch verhoogd met één) bewaart. Als adres n het laatst bereikte adres was (lezen of schrijven), wordt bij de volgende leesoperatie dus data uit adres n+1 opgehaald. Na ontvangst van het slaafadres (met R/$\overline{W}$=1), genereert de 24C65 een acknowledge en verzendt het 8 bit datawoord. De master geeft geen acknowledge, maar genereert een stopconditie (zie figuur 8/6.4-89).



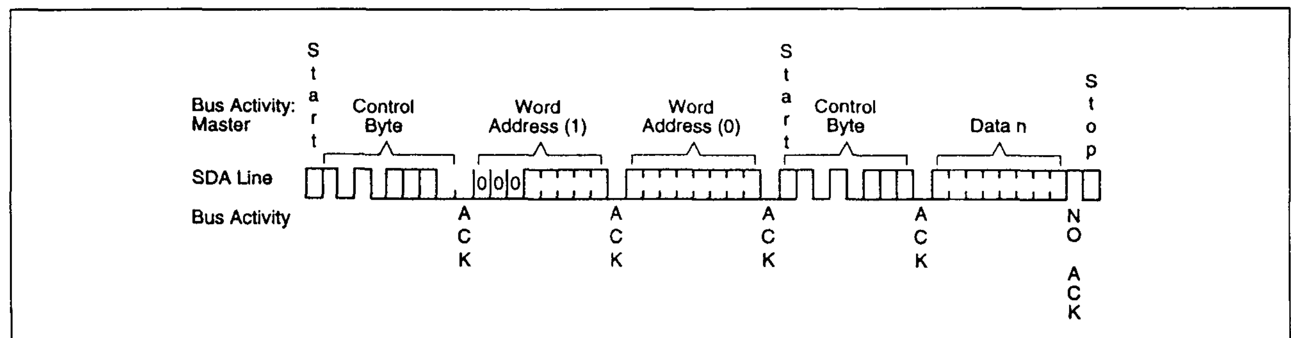
Figuur 8/6.4-89: Uitlezen van het lopende adres (Current Address Read).

Random-read

De master kan ook leesoperaties op willekeurige lokaties (random) uitvoeren. Hiervoor moet eerst het woordadres worden gezet. Dit wordt gedaan door het woordadres als deel van een schrijfoperatie (R/$\overline{W}$=0) naar de 24C65 te sturen. Na ontvangst van de acknowledge geeft de master een startconditie. Hierdoor wordt de interne adrespointer ingevuld en de schrijfoperatie beëindigd. Dan genereert de master opnieuw de startcondite plus het besturingsbyte (met R/$\overline{W}$=1). De 24C65 antwoordt met een acknowledge en zendt het 8 bit datawoord uit. De master geeft geen acknowledge, maar wel een stopconditie (zie figuur 8/6.4-90), waardoor de 24C65 de overdracht stopt.

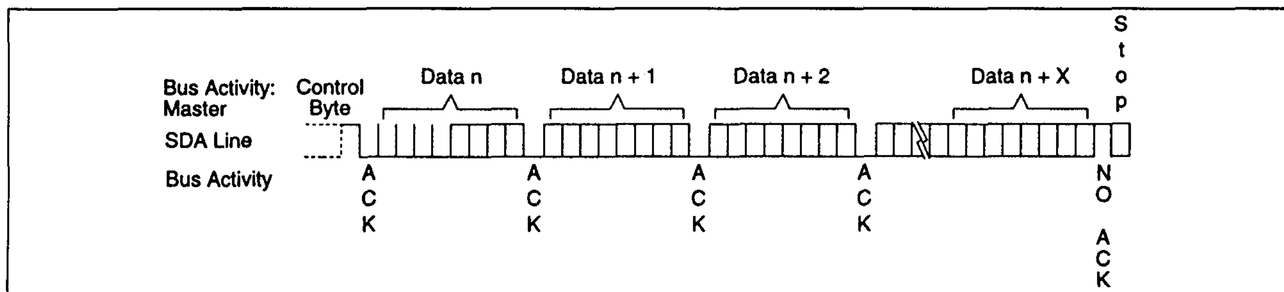
Sequential-read

Het achter elkaar uitlezen (sequential read) kan op dezelfde manier beginnen als een Current Address-read of een Random-read. Het eerste databyte wordt verstuurd volgens de gekozen mode, maar daarna antwoordt de master telkens met een acknowledge om aan te geven dat nog meer data wordt verlangd. De 24C65 gaat door met het versturen van data zolang er acknowledges worden ontvangen. De master stopt het lezen door geen acknowledge, maar een stopconditie te geven (zie figuur 8/6.4-91). Om achter elkaar te kunnen worden uitgelezen heeft de 24C65 een interne adrespointer die na elke operatie met automatisch één wordt verhoogd. Hierdoor kan het gehele geheugen serieel in één operatie worden uitgelezen.



Figuur 8/6.4-90: Het uitlezen van willekeurige adressen (Random Read).

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-91: Het achter elkaar uitlezen van data (sequential-read).

Adresseren van meerdere EEPROM's

De slaaf adresbits A0, A1 en A2 kunnen worden gebruikt om de aangrenzende adresruimte tot maximaal 512 kB te vergroten wanneer acht 24C65's op dezelfde bus worden geplaatst. Voor de software is dan A0 in de besturingsbyte gelijk aan A13, terwijl A1 overeenkomt met A14 en A2 dus A15 wordt.

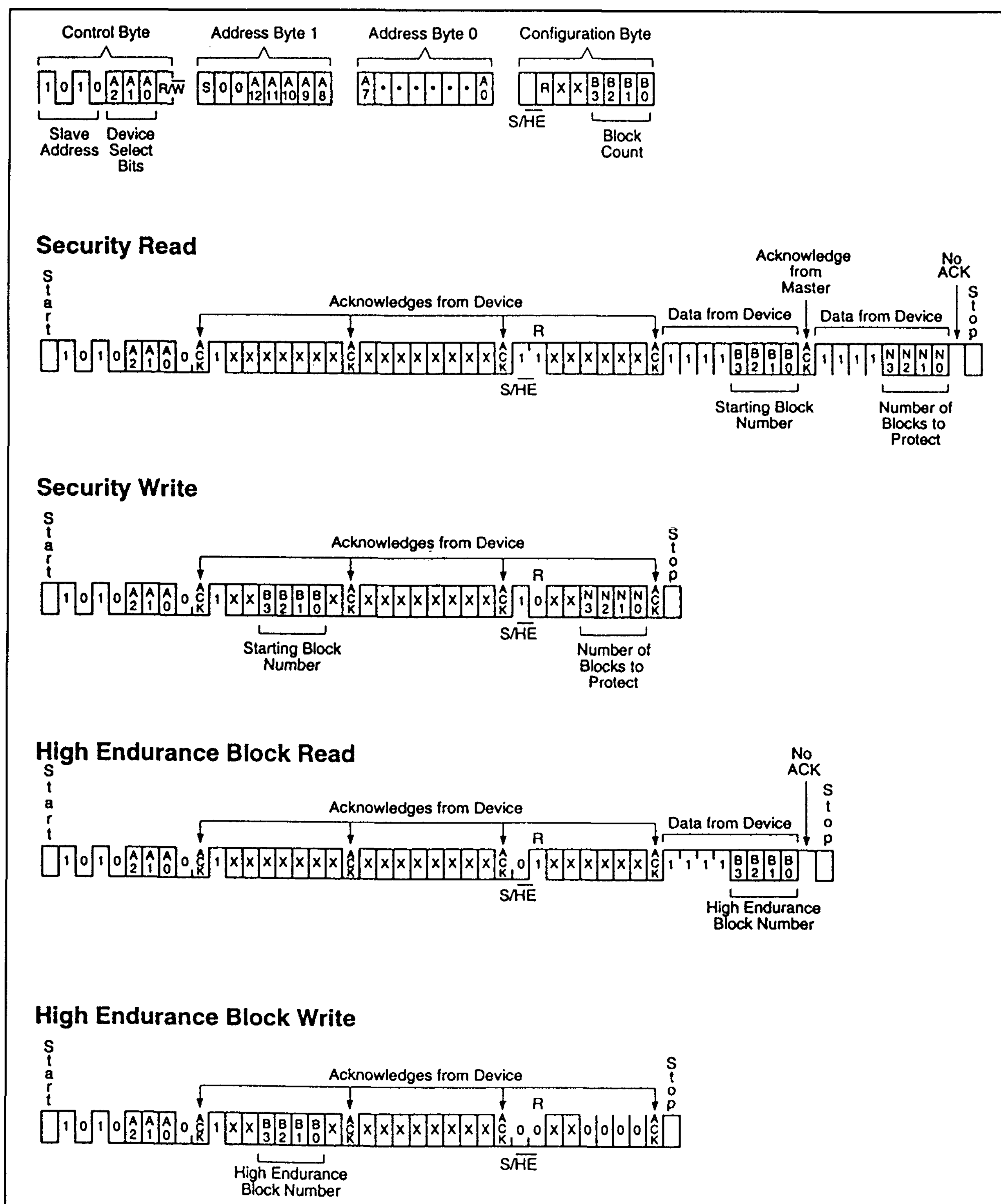
High Endurance Blok

De positie van het high endurance blok binnen het geheugen wordt geprogrammeerd door het eerste bit (7: S/$\overline{HE}$) van het configuratiebyte op 0 te zetten (zie figuur 8/6.4-92). Het hoogste bits van het adres dat met dit commando wordt geladen, bepaalt welk 4 kB blok in het geheugen wordt ingericht als high endurance. Dit blok is in staat om 1 miljoen maal te worden gewist en herschreven. Let op: het high endurance blok kan niet worden veranderd nadat de security optie is ingesteld. Als het H.E. blok niet door de gebruiker wordt geprogrammeerd, geldt als defaultpositie het hoogste blok.

Veiligheids opties

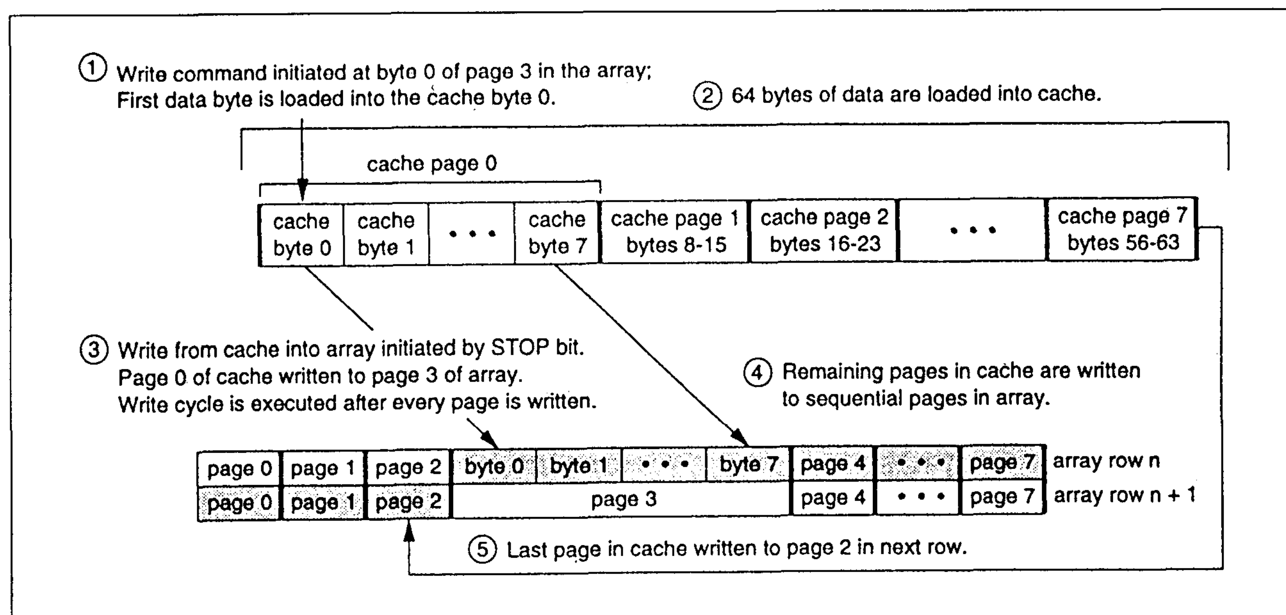
De 24C65 heeft een uitgekiend mechanisme om gedeelten van het array tegen schrijven te beveiligen. Deze "write protect" functie is programmeerbaar en stelt de gebruiker in staat om maximaal 15 aangrenzende blokken van 4 kB te beveiligen. Daartoe moet het nummer van het beginblok en het aantal blokken van het beveiligde gedeelte worden verzonden. Als de beveiligings optie wordt aangeroepen met 0 beveiligde blokken, dan zijn alle delen van het array onbeschermd. Alle 24C65's worden door de fabrikant geleverd met de default configuratie: beginblok 15 en 0 beveiligde blokken. ***DE BEVEILIGINGS-OPTIE KAN SLECHTS EENMAAL WORDEN INGESTELD.*** Om de beveiligings optie aan te roepen wordt een schrijfcommando naar de 24C65 gestuurd, waarbij het eerste bit (bit 7) van het eerste adresbyte op 1 is gezet (zie figuur 8/6.4-92). De bits 1 tot en met 4 van het eerste adresbyte definiëren het nummer van het blok waar het beveiligde gebied moet beginnen. Als dit nummer bijvoorbeeld 5 is, wordt het eerste adresbyte 1XX0101X. De bits 0, 5 en 6 van het eerste adresbyte worden door de 24C65 genegeerd en mogen HOOG of LAAG zijn. De 24C65 geeft een acknowledge na het eerste adresbyte. Hierna zendt de master een byte van don't care bits uit (gevolgd door acknowledge van de 24C65). Het derde byte naar de 24C65 heeft bit 7 (S/$\overline{HE}$) HOOG en bit 6 (R) LAAG. De bits 4 en 5 zijn don't care en de bits 0 tot en met 3 bepalen het aantal blokken dat tegen schrijven beveiligd moet zijn. Als bijvoorbeeld drie blokken beveiligd moeten worden, is het derde byte 10XX0011. Nadat het derde byte is verzonden geeft de 24C65 weer een acknowledge, waarna de master een STOP genereert. Als bij een gewone schrijfcylus wordt geprobeerd om naar een beveiligd adres te schrijven, wordt geen data geschreven en geeft de 24C65 geen foutmelding. Wanneer wordt geprobeerd over een beveiligde grens te schrijven, zullen de niet beveiligde adressen wel worden beschreven en de wel beveiligde adressen niet.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-92: Betekenissen van de besturingsbits.

6.4 Type-beschrijving seriële EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-93: Het schrijven vanuit de cache naar het array, beginnend bij een paginagrens.

Uitlezen van de beveiligings configuratie

De status van het beveiligde deel van het geheugen kan worden uitgelezen met behulp van dezelfde techniek als voor het programmeren van deze optie, met uitzondering van het READ-bit (bit 6) in het configuratie byte dat op één is gezet. Na ontvangst van het configuratie byte antwoordt de 24C65 met een acknowledge, waarna twee bytes data naar de master worden gestuurd. De master moet de ontvangst van het eerste byte wel bevestigen (acknowledge) en de tweede niet. Na afloop hiervan moet de master een stopbit versturen. De hoogste vier bits van deze beide bytes worden altijd gelezen als "1"-en. De laagste vier bits van de eerste byte bevat het eerste beveiligde blok en de laagste vier bits van het tweede byte het aantal beveiligde blokken. Het default begin beveiligde blok is 15 en het aantal beveiligde blokken 0.

Gebruik van cache en array

De cache is een 64 byte (8 pagina's van 8 bytes) FIFO-buffer. Hierdoor kunnen maximaal 64 bytes data worden geladen voordat de eigenlijke schrijfcyclus begint. Er kunnen dus 64 bytes met de maximale bussnelheid worden geschreven. Zodra een schrijfcommando wordt ingezet, wordt de cache geladen totdat een stopbit wordt ontvangen en het interne schrijven start. De totale lengte van de schrijfcyclus hangt af van het aantal pagina's dat in de cache wordt gezet voordat een stopconditie verschijnt. De maximale cyclustijd van elke pagina bedraagt 10 ms. Ook als een pagina maar gedeeltelijk wordt geladen is de tijd even lang als voor een complete pagina. Worden meer dan 64 bytes data geladen voordat een stopbit wordt gegeven, dan zal de adrespointer overgaan naar het begin van de cachepagina waardoor de reeds aanwezige bytes worden overschreven.

Cache Write, beginnend vanaf een pagegrens

Wanneer een schrijfcommando op de grens van een pagina begint (met de adresbits A0, A1 en A2 op nul) zal alle data in de cache naar opvolgende adressen in het array worden geschreven. Dit geldt ook voor schrijven over een 4 kB blokgrens. In het voorbeeld van figuur 8/6.4-93 wordt met een volledig gevulde cache (64 bytes) een schrijfcommando ingezet, beginnend op byte 0 van

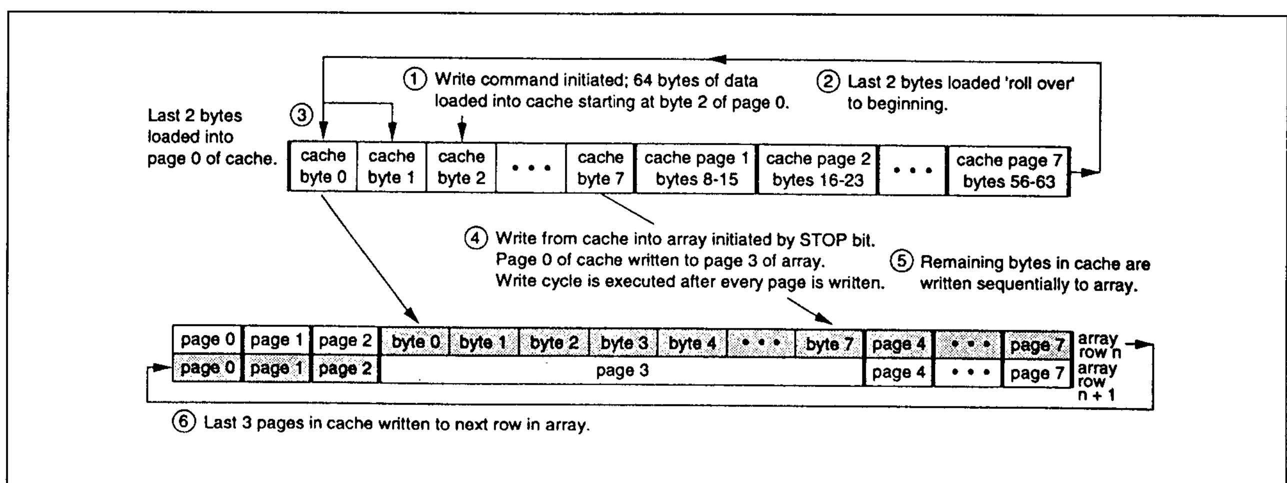
pagina 3. Het eerste byte uit de cache wordt naar byte 0 van pagina 3 (van het array) geschreven. De resterende pagina's in de cache gaan naar opvolgende pagina's in het array. Na elke geschreven pagina wordt een schrijfcyclus uitgevoerd. Omdat het schrijven op pagina 3 begint en de cache 8 pagina's bevat, worden de laatste 3 pagina's van de cache naar de volgende rij in het array geschreven.

Cache Write, niet beginnend vanaf een pagegrens

Wanneer een schrijfcommando niet op de grens van een pagina wordt ingezet (de adresbits A0, A1 en A2 zijn niet allemaal nul) is het van belang te weten hoe de data in de cache werd geladen en hoe de data uit de cache naar het array wordt geschreven. Als het schrijfcommando begint, wordt het eerste byte in de cache altijd naar pagina 0 overgebracht. Het byte in pagina 0 van de cache waar het laden begint, wordt bepaald door de adresbits A0, A1 en A2, die werden verstuurd als gedeelte van het schrijfcommando. Als het schrijfcommando (met een volle cache) niet bij byte 0 van een pagina begint, zullen de laatste bytes die in de cache werden geladen doorrollen naar pagina 0 van de cache en daar de resterende lege bytes vullen. Worden meer dan 64 bytes in de cache geladen dan wordt reeds aanwezige data overschreven. In het voorbeeld van figuur 8/6.4-94 wordt met een geheel gevulde cache een schrijfcommando ingezet, beginnend op byte 2 van pagina 3 in het array. Aangezien de cache begint te laden bij byte 2, zullen de laatste twee bytes "doorrollen" en in de eerste twee bytes van pagina 0 (van de cache) worden geladen. Wanneer het stopbit wordt uitgezonden, wordt pagina 0 van de cache geschreven naar pagina 3 van het array. De overige pagina's in de cache worden naar opvolgende pagina's in het array geschreven. Na elke geschreven pagina wordt een schrijfcyclus uitgevoerd. Als na het stopbit nog een gedeeltelijk gevulde pagina in de cache achterblijft, worden alleen de reeds geladen bytes naar het array overgebracht.

Power Management

De 24C65 komt na een normale beëindiging van een operatie (na ontvangst van een stopbit als alle interne functies klaar zijn) in de standby mode. De 24C65 kijkt ook steeds naar V_{dd} om onbedoeld schrijven bij een lage voedingsspanning te voorkomen.



Figuur 8/6.4-94: Het schrijven vanuit de cache naar het array, niet beginnend bij een paginagrens.

6.4 Type-beschrijving seriële EEPROM's (I²C-bus) 24xx-serie

Overige kenmerken

In de tabellen 8/6.4-46, -47 en -48 en de figuren 8/6.4-95 en -96 wordt tot slot een overzicht van de elektrische en timingkarakteristieken van het Microchip-type X24C65 vermeld.

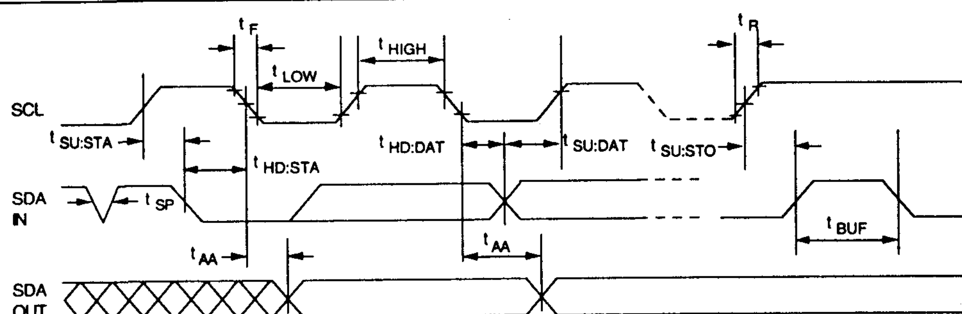
Vcc	7.0V
All inputs and outputs w.r.t. Vss	-0.6V to Vcc +1.0V
Storage temperature	-65°C to+150°C
Ambient temp. with power applied	-65°C to +125°C
Soldering temperature of leads (10 seconds)	+300°C
ESD protection on all pins	≥ 4 kV

Tabel 8/6.4-46: Maximaal toegelaten waarden.

DC CHARACTERISTICS — Vcc = +4.5V to 5.5V; Commercial (C): Tamb = 0°C to +70°C; Industrial (I): Tamb = -40°C to +85°C

Parameter	Symbol	Min.	Max.	Units	Conditions
A0, A1, A2, SCL and SDA pins:					
High level input voltage	V_{IH}	.7 Vcc	—	V	
Low level input voltage	V_{IL}	—	.3 Vcc	V	
Hysteresis of Schmitt Trigger inputs	V_{HYS}	.05 Vcc	—	V	Note 1
Low level output voltage	V_{OL}	—	.40	V	I_{OL} = 3.0 mA
Input leakage current	I_{LI}	-10	10	µA	V_{IN} = .1V to Vcc
Output leakage current	I_{LO}	-10	10	µA	V_{OUT} = .1V to Vcc
Internal capacitance (all inputs/outputs)	C_{INT}	—	10	pF	Vcc = 5.0V (Note 1) Tamb = 25°C, Fclk = 1 MHz
Operating current	Icc Write	—	3	mA	Vcc = 5.5V, SCL = 400 KHz
	Icc Read	—	150	µA	Vcc = 5.5V, SCL = 400 KHz
Standby current	Iccs	—	50	µA	Vcc = 5.5V, SCL = SDA = Vcc

Tabel 8/6.4-47: Gelijkspanningskarakteristieken van de 24C65.

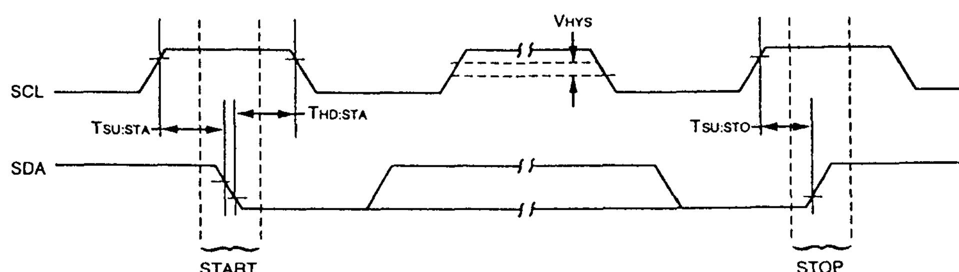


Figuur 8/6.4-95: Bustiming voor data van de 24C65.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

AC CHARACTERISTICS		Vcc = 2.5V-5.5V STD. MODE		Vcc = 4.5V-5.5V FAST MODE			
Parameter	Symbol	Min	Max	Min	Max	Units	Remarks
Clock frequency	FCLK	0	100	0	400	kHz	
Clock high time	THIGH	4000	—	600	—	ns	
Clock low time	TLOW	4700	—	1300	—	ns	
SDA and SCL rise time	TR	—	1000	—	300	ns	Note 1
SDA and SCL fall time	TF	—	300	—	300	ns	Note 1
START condition hold time	THD:STA	4000	—	600	—	ns	After this period the first clock pulse is generated
START condition setup time	TSU:STA	4700	—	600	—	ns	Only relevant for repeated START condition
Data input hold time	THD:DAT	0	—	0	—	ns	
Data input setup time	TSU:DAT	250	—	100	—	ns	
STOP condition setup time	TSU:STO	4000	—	600	—	ns	
Output valid from clock	TAA	—	3500	—	900	ns	Note 2
Bus free time	TBUF	4700	—	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from VIH min to VIL max	TOF	—	250	20 +0.1 CB	250	ns	Note 1, CB ≤ 100 pF
Input filter spike suppression (SDA and SCL pins)	TSP	N/A	N/A	0	50	ns	Note 3
Write cycle time	TWR	—	5	—	5	ms/page	Note 4

Tabel 8/6.4-48: Timing van de lees- en schrijfcycli van de 24C65 (zie ook figuur 8/6.4-82).



Figuur 8/6.4-96: Bustiming voor start en stop van de 24C65.

24LC21

1 kB dual mode seriële EEPROM

De 24LC21 is een CMOS seriële EEPROM met een 128 x 8 bit organisatie. Deze schakeling is ontworpen voor toepassingen die opslag en seriële overdracht van configuratie- en besturings-informatie vereisen. Er zijn twee bedrijfsmodes geïmplementeerd:

- Transmit-Only Mode;
- Bi-Directional Mode.

Bij het opkomen van de voedingsspanning zal de schakeling in de Transmit-Only toe-

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

stand staan, waarbij de gehele geheugenarray inhoud in een seriële bitstroom wordt verzonden (onder besturing van clocksignalen op de V_{CLK}-pen). Door een geldige HOOG-naar-LAAG overgang op de SCL-pen komt de schakeling in de Bi-Directionele Mode met byte-selecteerbare lees/schrijf mogelijkheden.

Belangrijkste kenmerken

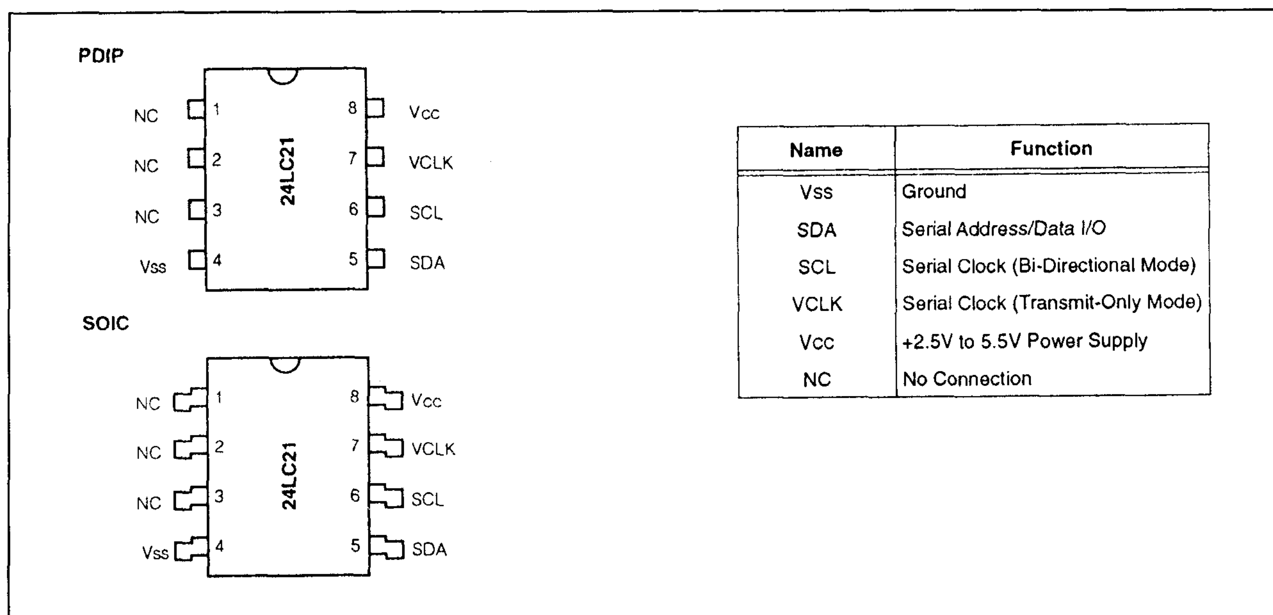
- 1 kB seriële EEPROM (128 x 8 bit)
- 2-draads seriële interface bus, (I^2C-compatibel)
- complete implementatie van DDC1/DDC2 interface voor monitor-identificatie
- zelf-getimede schrijfcyclus (inclusief auto-erase)
- enkele voedingsspanning (minimaal 2,5 V)
- page write buffer: maximaal 8 byte
- CMOS: 1 mA aktief
  10 µA standby (bij 5,5 V)
- gegarandeerd 1 miljoen lees/schrijf-cycli
- data 40 jaar vasthouden
- behuizing: 8-pens plastic DIP of 8-pens SOIC (figuur 8/6.4-97)
- fabrikant: Microchip (24LC21)

Werking

De 24LC21 (figuur 8/6.4-98) werkt in twee modes: de Transmit-Only Mode en de Bi-Directionele Mode. Elke mode heeft een apart tweedraads protocol met een gescheiden clock-ingang en een gemeenschappelijke datalijn (SDA). Bij Power-Up komt de 24LC21 automatisch in de Transmit-Only mode. De schakeling verstuurt dan de databits op de SDA-pen onder besturing van een clock-signaal op de V_{CLK}-pen. De schakeling blijft in deze toestand totdat een geldige HOOG-naar-LAAG overgang op de SCL-ingang wordt geplaatst. Wordt deze overgang herkend, dan wordt overgeschakeld naar de Bi-Directionele Mode. De schakeling kan alleen worden teruggeschakeld naar de Transmit-Only Mode door de voedingsspanning te verwijderen.

Transmit-Only Mode

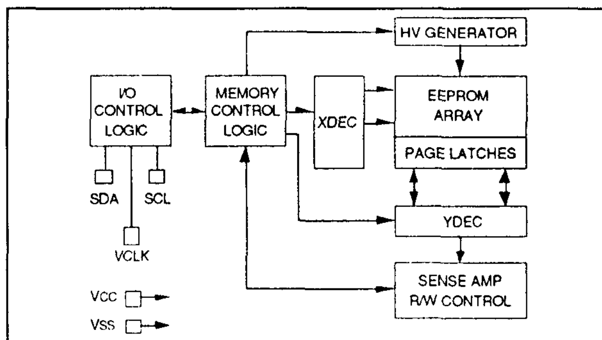
De 24LC21 komt op in de Transmit-Only Mode. Deze ondersteunt een unidirectioneel tweedraads protocol voor het overzenden van de inhoud van het geheugen-array. Het is daarbij nodig dat de schakeling wordt geïnitialiseerd voordat geldige data kan worden verzonden (zie ook: initialisatie procedure).



Name	Function
Vss	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock (Bi-Directional Mode)
VCLK	Serial Clock (Transmit-Only Mode)
Vcc	+2.5V to 5.5V Power Supply
NC	No Connection

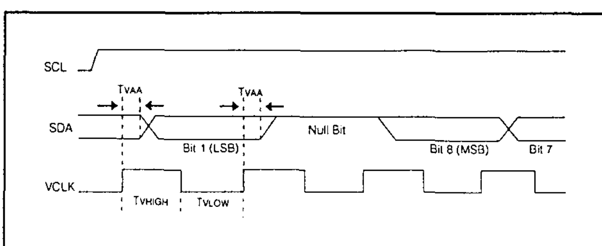
Figuur 8/6.4-97: Aansluitingen van de 1 kB dual mode seriële EEPROM 24LC21 in DIP en SOIC uitvoering.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-98: Functioneel blokschema van de 24LC21.

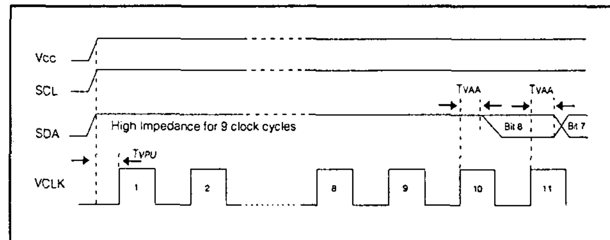
In deze mode wordt data op de SDA-pen verzonden in 8 bit bytes, elk gevolgd door een 9e nul-bit (zie figuur 8/6.4-99). Het clocksignaal voor deze mode moet op de V_{CLK}-pen worden gezet, waarbij telkens op de stijgende flank hiervan een databit op de uitgang verschijnt. Van de acht bits van elke byte wordt het belangrijkste bit (MSB) het eerst verstuurd, terwijl de bytes in volgorde verschijnen. Als het laatste byte uit het geheugen-array wordt verstuurd, springt de uitgang terug naar de eerste lokatie en wordt de operatie vervolgd. De clock-pen voor de Bi-Directionele Mode (SCL) moet HOOG worden gehouden om de Transmit-Only Mode te handhaven.



Figuur 8/6.4-99: Timing bij de Transmit-Only Mode.

Initialisatie Procedure

Nadat V_{CC} is gestabiliseerd bevindt de schakeling zich in de Transmit-Only Mode. Om interne synchronisatie te verkrijgen moeten negen clock-cycli op de V_{CLK}-pen worden gegeven.
Gedurende deze periode zal de SDA-pen zich in een hoog-impedante toestand bevinden. Op de stijgende flank van de tiende clock-cyclus verschijnt het eerste geldige databit (de MSB van een byte) op de uitgang. Bij het opkomen van de voedingsspanning zal de schakeling op een onbepaald byteadres staan (figuur 8/6.4-100).



Figuur 8/6.4-100: Initialisatie van de 24LC21.

Bi-Directionele Mode

De 24LC21 kan in de Bi-Directionele Mode worden gezet door een geldige HOOG-naar-LAAG overgang op SCL (de Bi-Directionele Mode Clock-ingang). Als de schakeling naar deze mode is overgeschakeld, wordt de V_{CLK}-ingang genegeerd. Alleen is, om schrijven mogelijk te maken, een logisch HOOG niveau nodig. Deze mode ondersteunt een tweedraads bi-directioneel data-overdracht protocol. In deze mode is een schakeling die data op de bus zet een ***zender*** en een schakeling die data ontvangt een ***ontvanger***. De bus moet worden bestuurd door een ***master*** die de Bi-Directionele clock (SCL) genereert, de toegang tot de bus regelt en de START en STOP condities genereert. De 24LC21 werkt daarbij als ***slave***.

Bus-karakteristieken voor de Bi-Directionele Mode

Het volgende bus-protocol wordt gedefinieerd:

- Er mag alleen data-transport worden geïnitialiseerd als de bus "not busy" is.
- Gedurende data-overdracht moet de data-lijn stabiel blijven als de clock-lijn HOOG is. Veranderingen op de data-lijn bij een HOGE clock worden geïnterpreteerd als een START of STOP conditie.

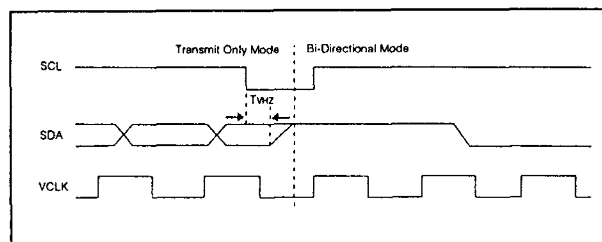
Verder zijn de volgende bus-condities gedefinieerd (zie figuur 8/6.4-102):

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

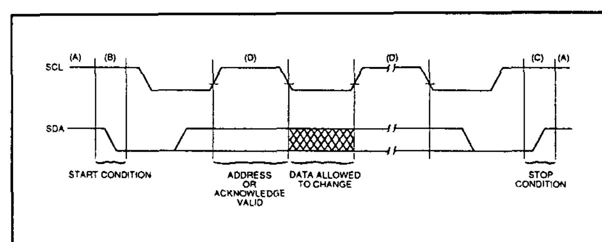
- **Bus not busy (A)**
  Zowel data als clock blijven HOOG.
- **Start data-overdracht (B)**
  Een HOOG-naar-LAAG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is, geeft een START conditie aan. Alle commando's moeten worden vooraf gegaan door een START conditie.
  Zie figuur 8/6.4-103.
- **Stop data-overdracht (C)**
  Een STOP conditie wordt bepaald door een LAAG-naar-HOOG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is. Alle operaties moeten worden beëindigd met een STOP conditie.
  Zie figuur 8/6.4-103.
- **Data geldig (D)**
  De data-lijn bevat geldige data als deze, na een START conditie, stabiel is gedurende de tijd dat het clock-signaal HOOG is. De data op de data-lijn moet worden veranderd gedurende de LAAG-periode van het clock-signaal. Er is één clock-puls per bit data (zie figuur 8/6.4-104).

Elke data-overdracht wordt geïnitialiseerd met een START conditie en beëindigd met een STOP conditie. Het aantal data-bytes dat hiertussen wordt verzonden, wordt bepaald door de master en is theoretisch onbegrensd, hoewel alleen de laatste acht tijdens een schrijf-operatie zullen worden opgeslagen. Wanneer overschrijven plaats vindt, zal hierdoor data op een first-in/first-out manier worden vervangen.

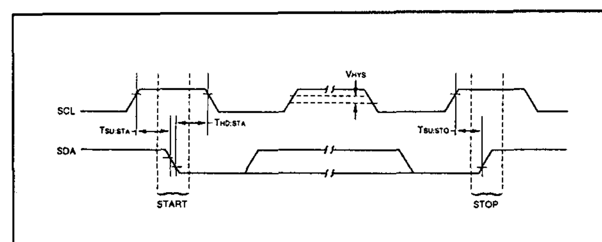
Acknowledge
Elk ontvangend apparaat is verplicht, als het geadresseerd is, een bevestiging te sturen na ontvangst van ieder byte. De master moet een extra clockpuls genereren die bij dit acknowledge-bit behoort. Let op dat de 24LC21 geen enkel acknowledge-bit genereert als die met een interne programmeercyclus bezig is. De schakeling die bevestigt (een acknowledge genereert) moet de SDA-lijn tijdens de acknowledge-clockpuls zodanig laag trekken dat de SDA-lijn stabiel LAAG is zolang deze clockpuls HOOG is.



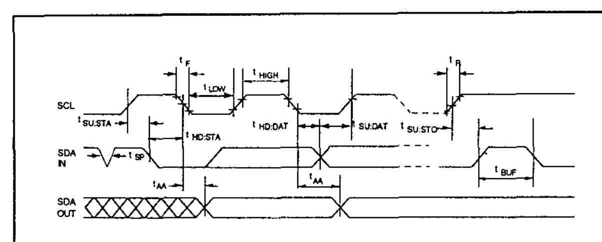
Figuur 8/6.4-101: Overgang naar de andere mode.



Figuur 8/6.4-102: Volgorde van data-overdracht op de seriële bus.



Figuur 8/6.4-103: Timing van START en STOP op de bus.



Figuur 8/6.4-104: Timing van data op de bus.

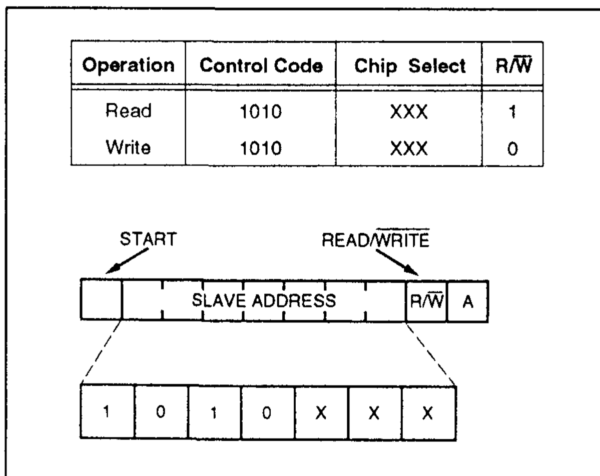
Natuurlijk moet hierbij rekening worden gehouden met de setup en houdtijden. Een master moet een "end of data" signaleren aan de slaaf. Dit wordt gedaan door bij het laatste byte dat uit de slaaf wordt geklokt geen acknowledge te genereren.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

In dat geval moet de slaaf de datalijn HOOG laten om de master de gelegenheid te geven de STOP conditie te genereren.

Slaafadres

Nadat de master een START conditie heeft gegenereerd, verzendt hij het slaafadres dat uit een 7 bit device-code bestaat (voor de 24LC21: 1010, gevolgd door drie don't care bits). Het achtste bit van het slaafadres bepaalt of de master wil lezen of schrijven naar de 24LC21 (figuur 8/6.4-105).
De 24LC21 houdt de bus voortdurend in de gaten om te zien of het overeenkomstig slaafadres verschijnt. Als dit slaafadres waar was en hij niet in de programmeerstand stond, genereert hij een acknowledge-bit.

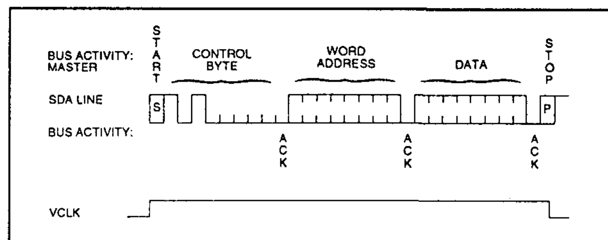


Operation	Control Code	Chip Select	R/$\overline{W}$
Read	1010	XXX	1
Write	1010	XXX	0

Figuur 8/6.4-105: Inrichting van het besturingsbyte.

Byte-write

Na het start-signaal van de master worden het slaafadres (4 bits), de don't care bits (3 bits) en het R/$\overline{W}$-bit (dat logisch LAAG is) door de master-zender op de bus gezet. Deze meldt aan de slaaf-ontvanger dat een byte met een woordadres zal volgen als hij gedurende de 9e clockcyclus een acknowledge-bit heeft gegenereerd. Daarom is het volgende door de master verzonden byte het woordadres en wordt geschreven in de adres-pointer van de 24LC21. Na ontvangst van nog een acknowledge signaal uit de 24LC21 verstuurt de master het datawoord dat in de geadresseerde geheugenlocatie moet worden geschreven.
Dit wordt weer door de 24LC21 bevestigd, waarna de master een stop conditie genereert. Hierdoor wordt de interne schrijfcyclus geïnitieerd en gedurende deze tijd zal de 24LC21 geen acknowledge-signalen opwekken (zie figuur 8/6.4-106). Om de schakeling te programmeren moet V_{CLK} logisch HOOG worden gehouden. Dit geldt voor zowel byte-write als voor page-write. Merk op dat V_{CLK} wel LAAG kan gaan tijdens de zelf-getimede programmeer-operatie zonder het programmeren te beïnvloeden.

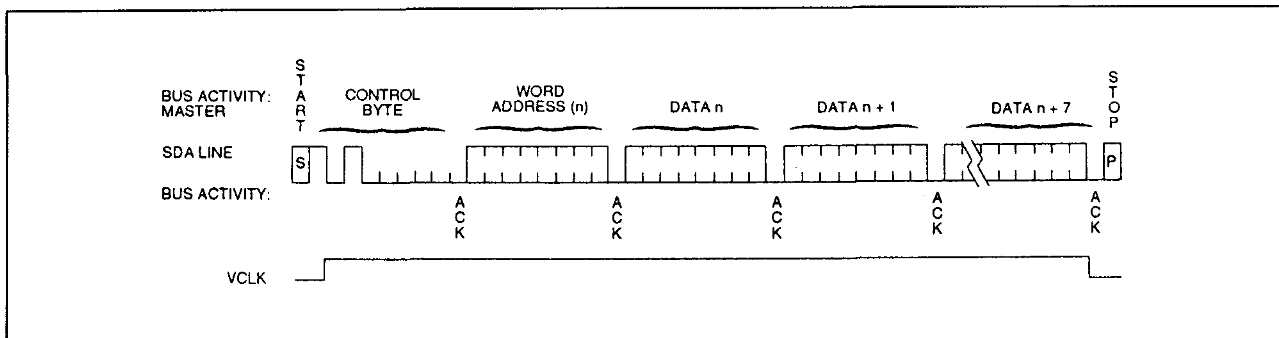


Figuur 8/6.4-106: Het schrijven van een byte: start, besturingsbyte, woordadres, data.

Page-write

Het write-control byte, woord-adres en eerste data-byte worden op dezelfde manier naar de 24LC21 gestuurd als bij een byte-write. Maar in plaats van een stop-conditie te genereren zendt de master maximaal acht data-bytes naar de 24LC21, die tijdelijk worden opgeslagen in de on-chip pagina-buffer. Nadat de master een stop-conditie heeft verstuurd worden deze data-bytes dan in het geheugen geschreven. Na ontvangst van elk woord worden de drie laagste adrespointerbits intern met één verhoogd. De hoogste vijf bits van het woordadres blijven hierbij onveranderd. Als de master meer dan acht woorden zou verzenden voordat hij een stopconditie opwekt, "rolt" de adresteller "over" en wordt de eerder ontvangen data overschreven. Net als bij de byte-write operatie begint een interne schrijfcyclus zodra de stop-conditie is ontvangen (figuur 8/6.4-107).

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

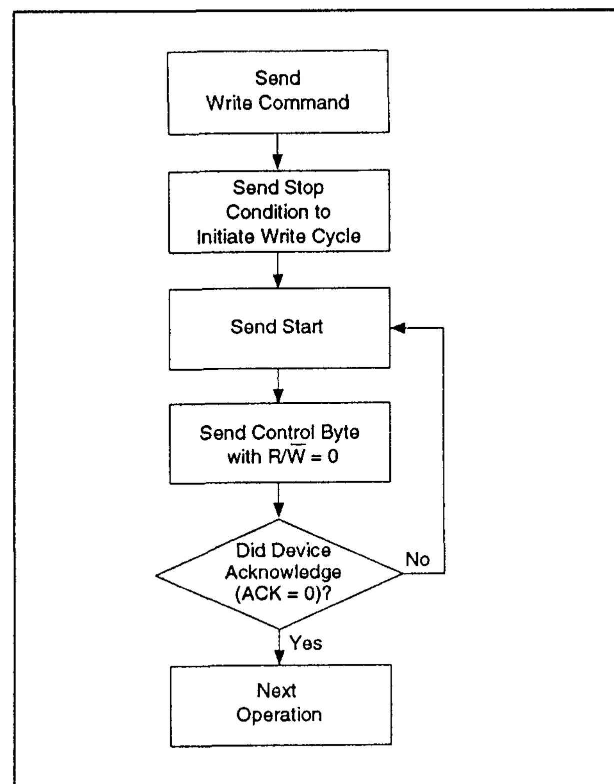


Figuur 8/6.4-107: Het schrijven van een pagina in de 24LC21.

Het is voor het programmeren van de schakeling nodig om V_{CLK} logisch HOOG te houden. Dit geldt zowel voor byte-write als voor page-write.

Acknowledge polling

Aangezien de schakeling gedurende een schrijfcyclus geen bevestiging geeft, kan dit worden gebruikt om te bepalen wanneer de cyclus klaar is (deze eigenschap kan worden toegepast om de doorstroming over de bus te versnellen). Zodra de master een stop-conditie heeft aangeboden, initieert de schakeling de intern getimede schrijfcyclus. ACK kan dan direct worden geïnitieerd. Dit houdt in dat de master een start-conditie verstuurt, gevolgd door het control-byte voor een write-commando (R/$\overline{W}$ = 0). Als de schakeling nog steeds bezig is met de schrijfcyclus wordt geen ACK teruggegeven.
Is de cyclus wel klaar dan antwoordt de schakeling met de ACK, zodat de master kan doorgaan met het lees- of schrijfcommando (figuur 8/6.4-108).



Figuur 8/6.4-108: Het afvragen van ACK (ACK polling flow).

Schrijf-beveiliging

Wanneer de 24LC21 in de bi-directionele mode wordt gebruikt, werkt de V_{CLK}-pen als write-protect control-pen. Door V_{CLK} HOOG te zetten zijn normale schrijfoperaties mogelijk, terwijl een LAGE V_{CLK} het schrijven naar iedere willekeurige plek in het array voorkomt. Door V_{CLK} aan V_{SS} te leggen kan de 24LC21 als seriële ROM werken, alhoewel deze configuratie voorkomt dat de schakeling in de Transmit-Only mode werkt.

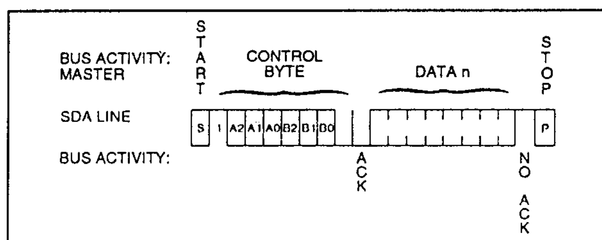
Lezen

De lees-operaties beginnen op dezelfde wijze als de schrijf-operaties, met uitzondering van het R/$\overline{W}$-bit van het slaaf-adres, die op één wordt gezet. Er kan op drie manieren worden gelezen:
- current-adres read;
- random read;
- sequential read.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

Current Address Read

De 24LC21 bevat een adresteller die het adres van het laatst bezochte woord, intern met één verhoogd, vasthoudt. Als het voorgaande adres (bij lezen of schrijven) n was, zou de eerst volgende adres lees-operatie dus data ophalen van adres n+1. Na ontvangst van het slaaf-adres (met R/$\overline{W}$ = 1) geeft de 24LC21 een acknowledge en verstuurt een acht bit datawoord.
De master zal de overdracht niet bevestigen, maar wel een stop-conditie genereren, waardoor de 24LC21 de verzending stopt (zie figuur 8/6.4-109).



Figuur 8/6.4-109: Het uitlezen van het huidige adres (Current Address Read).

Random Read

Bij Random Read operaties kan de master elke willekeurige geheugenlocatie in een willekeurige volgorde bereiken. Om dit type lees-operatie uit te voeren moet eerst het woordadres worden ingesteld. Dit wordt gedaan door het woordadres als deel van een schrijfoperatie naar de 24LC21 te sturen. Nadat dit woordadres is verzonden, genereert de master een start-conditie, gevolgd door de acknowledge.

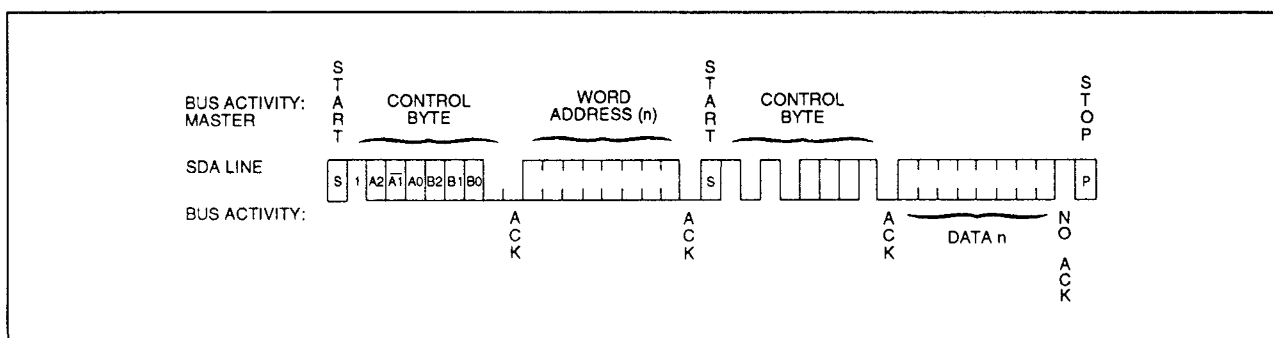
Dit beëindigt de schrijfoperatie, maar niet voordat de interne adrespointer is gezet. Daarna geeft de master het control-byte opnieuw, maar dan met het R/$\overline{W}$-bit = 1. De 24LC21 geeft dan een acknowledge en verstuurt het 8 bit datawoord. De master bevestigt deze overdracht niet, maar genereert een stop-conditie, waarna de 24LC21 de uitzending stopt (figuur 8/6.4-110).

Sequential Read

Opeenvolgende (sequential) lees-operaties worden op dezelfde manier als een random read geïnitialiseerd, maar nu geeft de master wel een acknowledge nadat de 24LC21 het eerste data-byte heeft verstuurd. Hierdoor moet de 24LC21 het 8 bit woord van het eerstvolgende adres versturen (zie figuur 8/6.4-111).
Om aaneengesloten lees-handelingen uit te kunnen voeren bevat de 24LC21 een interne adrespointer die na elke operatie met één wordt verhoogd. Deze adrespointer maakt het mogelijk om de gehele geheugeninhoud in één operatie serieel uit te lezen.

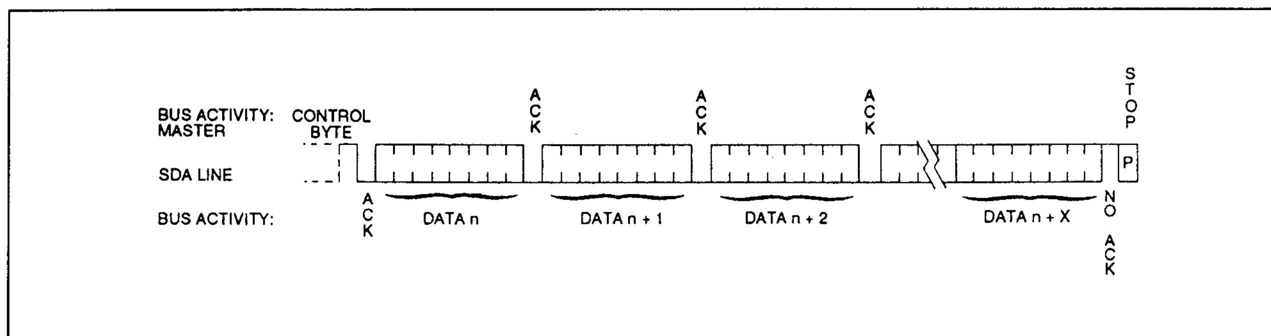
Beveiliging tegen storingen

De 24LC21 heeft een V_{CC}-drempel detectorschakeling die de interne wis/schrijf-logika uitschakelt als V_{CC} lager is dan 1,5 V. De SCL en SDA ingangen hebben Schmitt-trigger- en filtercircuits om schakelpieken te onderdrukken en de 24LC21 ook bij een gestoorde bus correct te laten werken.



Figuur 8/6.4-110: Het uitlezen van een willekeurig adres (Random Read).

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-111: Opeenvolgende lees-operaties (Sequential Read).

Vcc	7.0V
All inputs and outputs w.r.t. Vss	-0.6V to Vcc +1.0V
Storage temperature	-65°C to +150°C
Ambient temp. with power applied	-65°C to +125°C
Soldering temperature of leads (10 seconds)	+300°C
ESD protection on all pins	≥ 4 kV

Tabel 8/6.4-49: Maximaal toegelaten waarden.

Vcc = +2.5V to 5.5V
Commercial (C): Tamb = 0°C to +70°C
Industrial (I): Tamb = -40°C to +85°C

Parameter	Symbol	Min	Max	Units	Conditions
SCL and SDA pins:					
High level input voltage	VIH	.7 Vcc	—	V	
Low level input voltage	VIL	—	.3 Vcc	V	
Input levels on VCLK pin:					
High level input voltage	VIH	2.0	.8	V	Vcc ≥ 2.7V (Note 1)
Low level input voltage	VIL	—	.2 Vcc	V	Vcc < 2.7V (Note 1)
Hysteresis of Schmitt trigger inputs	VHYS	.05 Vcc	—	V	Note 1
Low level output voltage	VOL1	—	.4	V	IOL = 3 mA, Vcc = 2.5V (Note 1)
Low level output voltage	VOL2	—	.6	V	IOL = 6 mA, Vcc = 2.5V
Input leakage current	ILI	-10	10	µA	VIN = .1V to Vcc
Output leakage current	ILO	-10	10	µA	VOUT = .1V to Vcc
Input capacitance (all inputs/outputs)	CINT	—	10	pF	Vcc = 5.0V (Note1), Tamb = 25°C, FCLK = 1 MHz
Operating current	Icc Write	—	3	mA	Vcc = 5.5V, SCL = 400 kHz
	Icc Read	—	1	mA	
Standby current	Iccs	—	30	µA	Vcc = 3.0V, SDA = SCL = Vcc
		—	100	µA	Vcc = 5.5V, SDA = SCL = Vcc

Note 1: This parameter is periodically sampled and not 100% tested.

Tabel 8/6.4-50: Gelijkspanningskenmerken van de 24LC21.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

Parameter	Symbol	Standard Mode		Vcc= 4.5 - 5.5V Fast Mode		Units	Remarks
		Min	Max	Min	Max		
Clock frequency	F_{CLK}	0	100	0	400	kHz	
Clock high time	T_{HIGH}	4000	—	600	—	ns	
Clock low time	T_{LOW}	4700	—	1300	—	ns	
SDA and SCL rise time	T_R	—	1000	—	300	ns	Note 2
SDA and SCL fall time	T_F	—	300	—	300	ns	Note 2
START condition hold time	$T_{HD:STA}$	4000	—	600	—	ns	After this period the first clock pulse is generated
START condition setup time	$T_{SU:STA}$	4700	—	600	—	ns	Only relevant for repeated START condition
Data input hold time	$T_{HD:DAT}$	0	—	0	—	ns	Note 1
Data input setup time	$T_{SU:DAT}$	250	—	100	—	ns	
STOP condition setup time	$T_{SU:STO}$	4000	—	600	—	ns	
Output valid from clock	T_{AA}	—	3500	—	900	ns	Note 1
Bus free time	T_{BUF}	4700	—	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from V_{IH} min to V_{IL} max	T_{OF}	—	250	20 + .1 C_B	250	ns	Note 2, $C_B \leq 100$ pF
Input filter spike suppression (SDA and SCL pins)	T_{SP}	N/A	N/A	0	50	ns	Note 3
Write cycle time	T_{WR}	—	10	—	10	ms	Byte or Page mode
Transmit-Only Mode Parameters							
Output valid from VCLK	T_{VAA}	—	500	—	500	ns	
VCLK high time	T_{VHIGH}	4000	—	600	—	ns	
VCLK low time	T_{VLOW}	4700	—	1300	—	ns	
Mode transition time	T_{VHZ}	—	500	—	500	ns	
Transmit-Only power up time	T_{VPU}	0	—	0	—	ns	

Note 1: As a transmitter, the device must provide an internal minimum delay time to bridge the undefined region (minimum 300 ns) of the falling edge of SCL to avoid unintended generation of START or STOP conditions.
Note 2: Not 100% tested. C_B = total capacitance of one bus line in pF.
Note 3: The combined T_{SP} and V_{HYS} specifications are due to new Schmitt trigger inputs which provide improved noise and spike suppression. This eliminates the need for a T_I specification for standard operation.

Tabel 8/6.4-51: Timing van de 24LC21 (zie ook figuur 8/6.4-104).

Pen-beschrijvingen

- SDA

  Deze pen wordt gebruikt om adressen en data van en naar de schakeling over te brengen als deze zich in de Bi-Directionele Mode bevindt.

  In de Transmit-Only Mode (waarbij alleen data uit de schakeling kan worden gelezen) wordt ook data verstuurd via de SDA-pen. Aangezien deze pen een open-drain aansluiting is, moet de SDA-bus een optrekweerstand naar V_{CC} hebben (typisch 10 kΩ voor 100 kHz, 1 kΩ voor 400 kHz). Voor normale data-overdracht in de Bi-Directionele mode mag SDA alleen van toestand veranderen gedurende de tijd dat SCL LAAG is. Veranderingen in de tijd dat SCL HOOG is, zijn gereserveerd voor

het aanduiden van de START en STOP condities.

- SCL
  Deze pen is de clock-ingang voor de Bi-Directionele Mode en wordt gebruikt om de data-overdracht van en naar de schakeling te synchroniseren. Hij wordt ook gebruikt om de schakeling over te laten schakelen van de Transmit Only mode naar de Bi-Directionele mode. Hij moet HOOG blijven om de chip in staat te stellen door te werken in de Transmit Only mode.
- V_{CLK}
  Deze pen is de clock-ingang voor de Transmit Only mode. In deze mode wordt elk bit uitgeklokt op de stijgende flank van dit signaal. In de Bi-Directionele mode is een HOOG niveau op deze pen vereist om te kunnen schrijven.

Overige kenmerken
In de tabellen 8/6.4-49, -50 en -51 (vorige pagina's) zijn tenslotte de overige elektrische en timingkarakteristieken van de 24LC21 opgenomen.

24LC164, 24AA164

16 kB cascadable seriële EEPROM

De 24LC164 (24AA164) is een 16 kB CMOS seriële EEPROM, georganiseerd in 8 blokken van 256 x 8 bit met een tweedraads seriële interface. Deze schakeling kan met soortgelijke EEPROM's in cascade worden geschakeld om zodoende tot grotere afmetingen te komen. Bij de 24LC164 (24AA164) is ook een page-write mogelijk voor maximaal 16 bytes.
De 24LC164 kan werken met een minimale voedingsspanning van 2,5 V, terwijl de 24AA164 zelfs bij 1,8 V nog werkt. Beide typen verbruiken in vol bedrijf slechts 1 mA en in standby toestand 5 µA.
De drie select-pennen A0, A1 en A2 functioneren als chip select-ingangen, zodat maximaal acht EEPROM's (oftewel 128 kbit) van dezelfde bus gebruik kunnen maken.

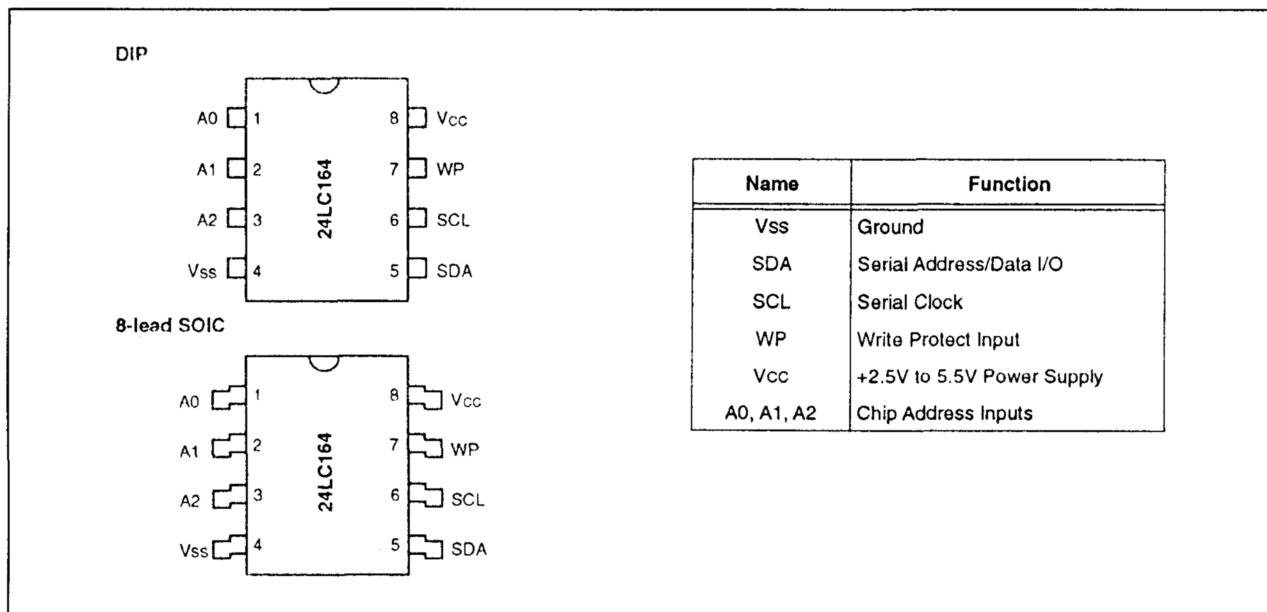
Belangrijkste kenmerken

- 16 kbit seriële E2PROM
  (8 blokken van 256 x 8 bit)
- cascadeschakeling van 8 identieke schakelingen mogelijk door 3 chip-selects ingangen
- 2-draads seriële interface bus
  (I^2C-compatibel)
- Schmitt trigger, gefilterde ingangen
- output slope-control ter voorkoming van ground-bounce
- zelf-getimede schrijfcyclus (inclusief auto-erase)
- enkele voedingsspanning:
  24LC164: minimaal 2,5 V
  24AA164: minimaal 1,8 V
- page write buffer:
  maximaal 16 bytes
- voedingsstromen:
  CMOS: 1 mA aktief
  10 µA standby (bij 5,5 V)
  5 µA standby (bij 3 V)
- gegarandeerd 10 miljoen lees/schrijf-cycli
- data vasthouden: minimaal 40 jaar
- behuizing: 8-pens plastic DIP of 8-pens SOIC (figuur 8/6.4-112)
- fabrikanten:
  Microchip (24LC164, 24AA164)
  Xicor (X24164)

Werking
De 24LC164 (24AA164) werkt met een tweedraads bidirectionele bus en data-overdrachts protocol. Een schakeling die data op de bus zet wordt een ***zender*** genoemd en een schakeling die data ontvangt een ***ontvanger.*** De bus moet worden bestuurd door een ***master*** die de seriële clock (SCL) plus de START en STOP condities genereert en de toegang tot de bus regelt. De 24LC164 (24AA164) werkt daarbij als ***slave.*** Zowel de master als de slave kan als zender/ontvanger werken, maar de master bepaalt welke mode wordt geaktiveerd.

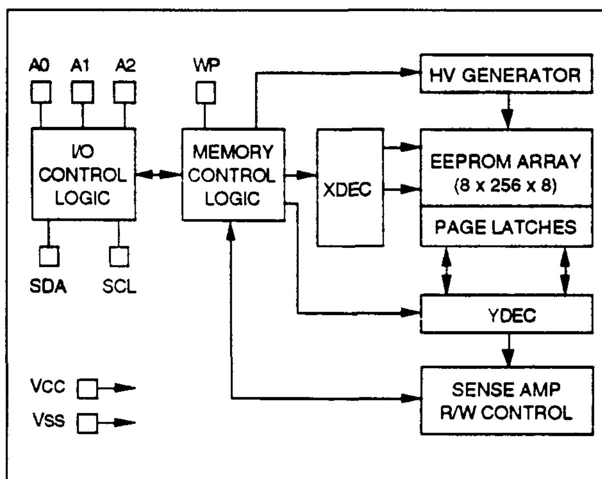
Bus-karakteristieken
Het volgende bus protocol is gedefinieerd (zie ook figuur 8/6.4-114):

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



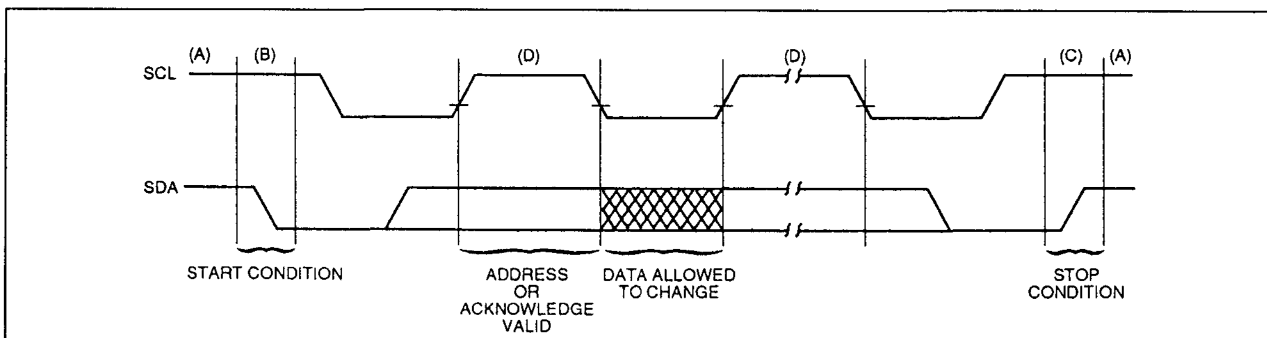
Name	Function
Vss	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock
WP	Write Protect Input
Vcc	+2.5V to 5.5V Power Supply
A0, A1, A2	Chip Address Inputs

Figuur 8/6.4-112: Aansluitingen van de 16 kbit cascadable seriële E^2PROM 24LC164 (24AA164) .



Figuur 8/6.4-113: Functioneel blokschema van de 24LC164 (24AA164).

- Data-overdracht mag alleen worden geïnitieerd als de bus niet in gebruik is (not busy).
- Tijdens de data-overdracht moeten de lijnen stabiel blijven als de clock HOOG is. Als er veranderingen optreden terwijl de clock-lijn HOOG is, worden die geïnterpreteerd als een START of STOP conditie.



Figuur 8/6.4-114: Data-overdracht op de seriële bus.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

- **Bus not busy (A)**
  Zowel data als clock blijven HOOG.
- **Start data-overdracht (B)**
  Door een HOOG-naar-LAAG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is, wordt een START conditie bepaald. Alle commando's moeten worden vooraf gegaan door een START conditie.
- **Stop data-overdracht (C)**
  Een STOP conditie wordt bepaald door een LAAG-naar-HOOG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is. Alle operaties moeten eindigen met een STOP conditie.
- **Data geldig (D)**
  Op de data-lijn staat geldige data als deze, na een START conditie, stabiel is in de tijd dat het clock-signaal HOOG is. De data moet worden veranderd gedurende de LAAG-periode van het clock-signaal. Er is één clock-puls per bit data.

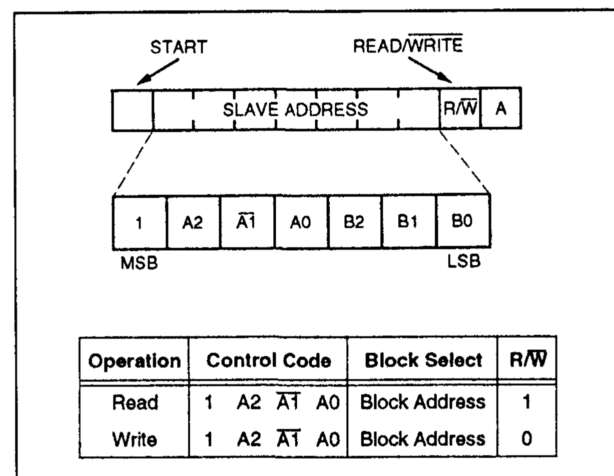
Elke data-overdracht wordt geïnitialiseerd met een START conditie en eindigt met een STOP conditie. Hoeveel data-bytes hiertussen worden verzonden, is afhankelijk van de master en is theoretisch onbegrensd, hoewel slechts de laatste 16 met een schrijf-operatie worden opgeslagen. Wanneer een overschrijving plaatsvindt, wordt hierdoor data op een first-in/first-out manier vervangen.

Acknowledge

Elk ontvangend apparaat moet na ontvangst van elk byte een bevestiging (acknowledge) sturen (als het geadresseerd is). De master moet dan een extra clockpuls genereren die bij dit acknowledge-bit hoort. Let op dat de 24LC164 (24AA164) geen enkel acknowledge-bit genereert als een interne programmeercyclus bezig is.
De bevestigende schakeling moet de SDA-lijn tijdens de acknowledge-clockpuls zodanig laag trekken dat de SDA-lijn stabiel LAAG is zolang deze clockpuls HOOG is. Hierbij moet natuurlijk rekening worden gehouden met de setup en houdtijden. Bij leesoperaties moet de master een "end of data" signaleren aan de slaaf (door bij het laatste byte dat uit de slaaf wordt geklokt geen acknowledge te genereren). In dit geval moet de slaaf (24LC164 of 24AA164) de datalijn HOOG laten om de master in staat te stellen de STOP conditie te genereren.

Adressering en werking

Het eerste byte dat ontvangen wordt na de startconditie van de master is het controlbyte. Het eerste bit is altijd een "1". De volgende drie bits van het controlbyte zijn de device select-bits (A2, A1, A0).
Deze worden gebruikt om te selecteren welke van de acht schakelingen wordt benaderd (figuur 8/6.4-115). Het A1-bit moet het omgekeerde zijn van de A1 device select-pen. De daarop volgende drie bits van het controlbyte zijn de blok select-bits (B2, B1, B0), die door de master worden gebruikt om te kiezen welke van de acht geheugenblokken (ieder 256 woorden) wordt bereikt. Dit zijn de drie belangrijkste bits van het woordadres.
Het laatste bit van het controlbyte definieert de uit te voeren operatie. Is dit op "1" gezet, dan wordt een lees-operatie uitgevoerd (bij "0" wordt geschreven). Na de start-conditie verwacht de 24LC164 het slaafadres van de geselecteerde schakeling. Afhankelijk van de toestand van het R/$\overline{W}$-bit kiest de 24LC164 een lees- of schrijf-operatie.



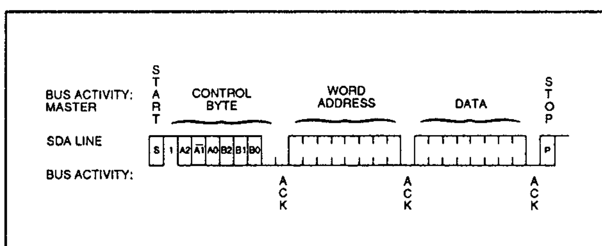
Operation	Control Code	Block Select	R/$\overline{W}$
Read	1 A2 $\overline{A1}$ A0	Block Address	1
Write	1 A2 $\overline{A1}$ A0	Block Address	0

Figuur 8/6.4-115: Samenstelling van het controlbyte.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

Byte-write

Na de startconditie van de master worden de device-code (4 bits), het blokadres (3 bits) en het R/W̄-bit (dat logisch LAAG is) door de master-zender op de bus gezet. Hiermee wordt de slaaf-ontvanger gemeld dat een byte met een woordadres zal volgen als hij gedurende de 9e clockcyclus een acknowledge-bit heeft gegenereerd. Daarom is het volgend byte dat door de master wordt verzonden het woordadres dat in de adrespointer van de 24LC164 wordt geschreven. Nadat nog een acknowledge signaal van de 24LC164 is ontvangen verstuurt de master het datawoord dat in de geadresseerde geheugenlocatie moet worden geschreven.
Dit wordt weer door de 24LC164 bevestigd, waarna de master een stopconditie genereert. Hierdoor wordt de interne schrijfcyclus geïnitieerd en gedurende deze tijd wekt de 24LC164 geen acknowledge-signalen op (zie figuur 8/6.4-116).



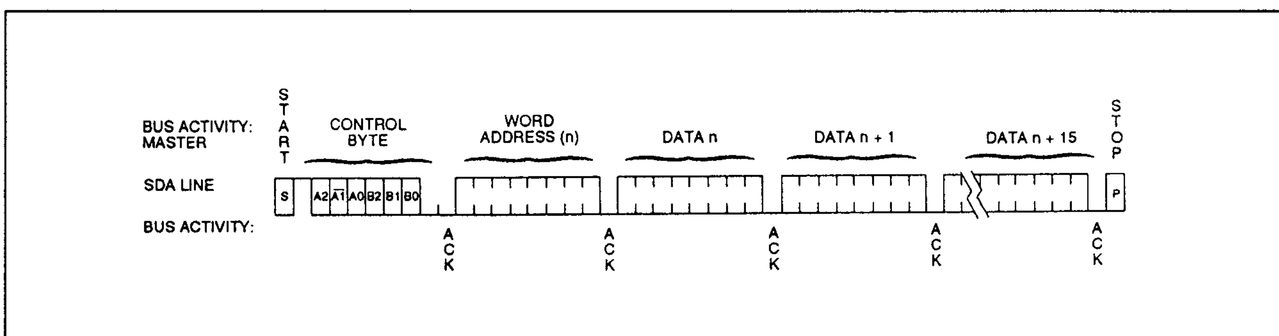
Figuur 8/6.4-116: Het schrijven van een byte in de 24LC164 (24AA164): start, besturingsbyte, woordadres, data.

Page-write

Het write-control byte, het woord-adres en het eerste data-byte worden op dezelfde manier naar de 24LC164 gestuurd als bij een byte-write. In plaats van een stop-conditie te genereren zendt de master nu echter maximaal 16 data-bytes naar de 24LC164. Deze worden tijdelijk opgeslagen in de on-chip pagina-buffer en pas in het geheugen geschreven nadat de master een stop-conditie heeft verstuurd. Na ontvangst van elk woord worden de vier laagste adrespointer-bits intern met één verhoogd. De hoogste zeven bits van het woordadres blijven onveranderd. Als de master meer dan zestien woorden zou verzenden voordat hij een stopconditie opwekt, "rolt" de adresteller "over" en wordt de eerder ontvangen data overschreven. Net als bij de byte-write operatie begint een interne schrijfcyclus na ontvangst van de stopconditie (figuur 8/6.4-117).

Acknowledge polling

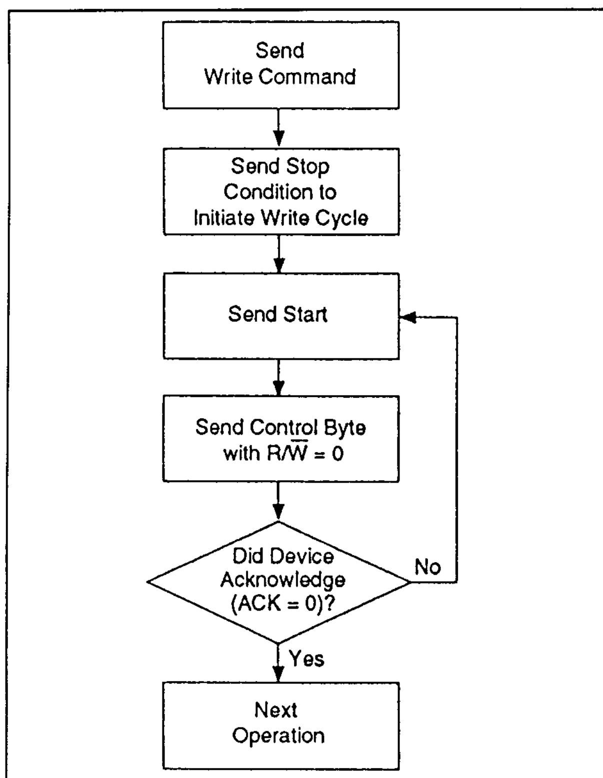
Aangezien de schakeling tijdens een schrijfcyclus geen bevestiging geeft, kan hiermee worden bepaald of de cyclus klaar is. Deze eigenschap kan worden toegepast om het transport via de bus te versnellen. Zodra de master een stopconditie heeft aangeboden, initieert de schakeling de intern getimede schrijfcyclus. Het afvragen van ACK ("polling") kan dan direct worden geïnitieerd. Dit houdt in dat de master een startconditie verstuurt, gevolgd door het control-byte voor een write-commando (R/W̄ = 0).



Figuur 8/6.4-117: Het schrijven van een pagina in de 24LC164 (24AA164).

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

Als de schakeling dan nog steeds bezig is met de schrijfcyclus wordt geen ACK teruggegeven. Is de cyclus wel klaar dan antwoordt de schakeling met ACK, zodat de master kan doorgaan met het lees- of schrijfcommando (figuur 8/6.4-118).



Figuur 8/6.4-118: Het afvragen van ACK (flowdiagram van ACK polling).

Schrijf-beveiliging

De 24LC164 kan als een seriële ROM worden gebruikt als de WP-pen met V_{CC} is verbonden. Het programmeren wordt dan gesperd en het geheugen is schrijf-beveiligd.

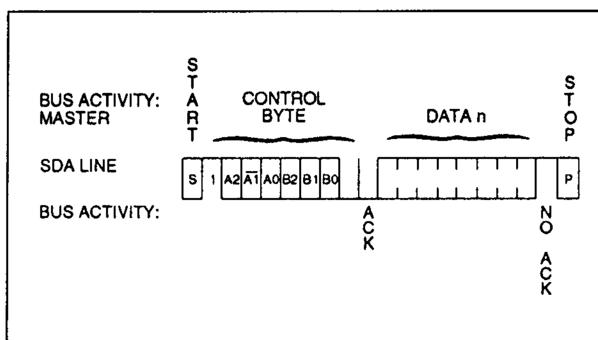
Lezen

Lees-operaties beginnen op dezelfde wijze als schrijf-operaties, met uitzondering van het R/$\overline{W}$-bit van het slaaf-adres dat op "1" wordt gezet. Er kan op drie manieren worden gelezen:

- current-adres read;
- random read;
- sequential read.

Current Address Read

De 24LC164 heeft een adresteller die het adres van het laatst bezochte woord, intern met één verhoogd, vasthoudt. Als het voorgaande adres (bij lezen of schrijven) dus n was, haalt de eerst volgende lees-operatie data op van adres n+1. Na ontvangst van het slaaf-adres (met R/$\overline{W}$ = 1) geeft de 24LC164 een acknowledge en verstuurt een 8 bit datawoord. De master bevestigt de overdracht niet, maar genereert wel een stopconditie, waardoor de 24LC164 het verzenden stopt (zie figuur 8/6.4-119).

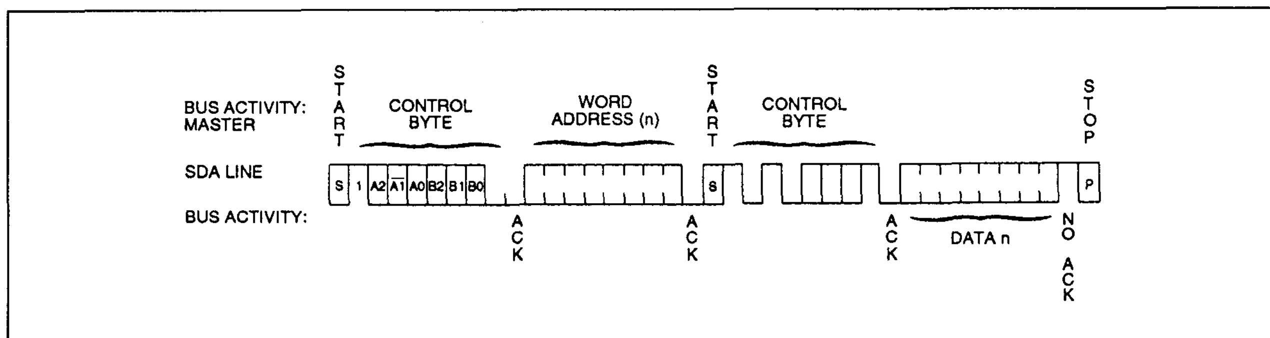


Figuur 8/6.4-119: Uitlezing van het lopende adres (Current Address Read).

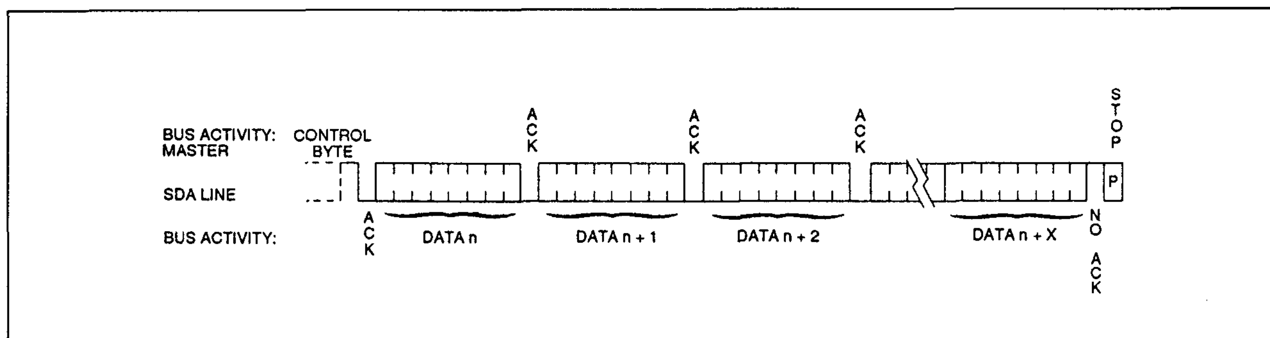
Random Read

Random Read operaties stellen de master in staat om elke willekeurige geheugenlocatie in een willekeurige volgorde te bereiken. Om dit type lees-operatie uit te kunnen voeren moet eerst het woordadres worden ingesteld. Dit gebeurt door het woordadres als deel van een schrijfoperatie naar de 24LC164 te sturen. Na verzending van het woordadres genereert de master een startconditie, gevolgd door de acknowledge. Hiermee wordt de schrijfoperatie beëindigd, nadat de interne adrespointer is gezet. De master biedt hierna het control-byte opnieuw aan, maar dan met de R/$\overline{W}$-bit = 1. De 24LC164 geeft vervolgens een acknowledge en verstuurt het 8 bits datawoord.
De master zal deze overdracht niet bevestigen, maar genereert een stop-conditie, waarna de 24LC164 de verzending stopt (figuur 8/6.4-120).

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-120: Het uitlezen van een willekeurig adres (Random Read).



Figuur 8/6.4-121: Opeenvolgende lees-operaties (Sequential Read).

Sequential Read

Achtereen volgende (sequential) lees-operaties worden op dezelfde manier geïnitialiseerd als een random read, maar hierbij geeft de master wel een acknowledge nadat de 24LC164 het eerste data-byte heeft verstuurd. Hierdoor verstuurt de 24LC164 de inhoud van het eerstvolgende adres (zie figuur 8/6.4-121).
Om aaneengesloten leeshandelingen te kunnen uitvoeren beschikt de 24LC164 over een interne adrespointer die na elke operatie met één wordt verhoogd. Deze adrespointer maakt het mogelijk om de gehele geheugen-inhoud in één operatie serieel uit te lezen.

Beveiliging tegen storingen

De 24LC164 (24AA164) heeft een detector-schakeling die de interne wis/schrijf-logika uitschakelt als V_{CC} lager is dan 1,5 V. De SCL en SDA ingangen hebben Schmitt-trigger en filtercircuits om schakelpieken te onderdrukken.

Pen-beschrijvingen

- SDA Serial Address/Data Input/Output
  Deze bidirectionele pen wordt gebruikt om adressen en data van en naar de schakeling over te brengen. Deze pen is een open-drain aansluiting, zodat de SDA-bus een optrekweerstand naar V_{CC} nodig heeft (typisch 10 kΩ voor 100 kHz, 1 kΩ voor 400 kHz). Voor normale data-overdracht mag SDA alleen van toestand veranderen gedurende de tijd dat SCL LAAG is. Veranderingen in de tijd dat SCL HOOG is, zijn gereserveerd voor het aanduiden van de START en STOP condities.
- SCL Serial Clock
  Deze pen wordt gebruikt om data-overdracht van en naar de schakeling te synchroniseren.
- WP
  Deze pen moet met V_{SS} of met V_{CC} worden verbonden. Als hij aan V_{SS} ligt, is de normale geheugenwerking vrijgegeven (lees/schrijf het gehele geheugen 000 tot

7FF). Ligt WP aan V_{CC}, dan zijn schrijfoperaties gesperd. Het gehele geheugen is dan write-protected. Lees-operaties worden hierdoor niet beïnvloed. Deze eigenschap stelt de gebruiker in staat de 24LC164 als seriële ROM te gebruiken (als WP aan V_{CC} ligt).

- A0, A1, A2
  Deze pennen worden gebruikt om het juiste chip-adres te configureren voor toepassingen, waarbij meer dan één 24LC164 op dezelfde bus wordt gebruikt. De niveaus op deze pennen (verbonden met V_{SS} of V_{CC}) worden vergeleken met de overeenkomstige bits in het slaafadres. Zijn deze gelijk, dan is de chip geselecteerd (let op dat het niveau op A1 omgekeerd moet zijn van het slaafadres). Er kunnen maximaal acht 24LC164's (24AA164's) op dezelfde bus worden aangesloten.

Overige kenmerken

In de tabellen 8/6.4-52 tot en met 54 en de figuren 8/6.4-122 en -123 zijn de elektrische en timing-karakteristieken van de 24LC164 (24AA164) opgenomen.

Vcc	7.0V
All inputs and outputs w.r.t. Vss	-0.3V to Vcc +1.0V
Storage temperature	-65°C to +150°C
Ambient temp. with power applied	-65°C to +125°C
Soldering temperature of leads (10 seconds)	+300°C
ESD protection on all pins	≥ 4 kV

Tabel 8/6.4-52: Maximaal toegelaten waarden voor zowel 24LC164 als 24AA164.

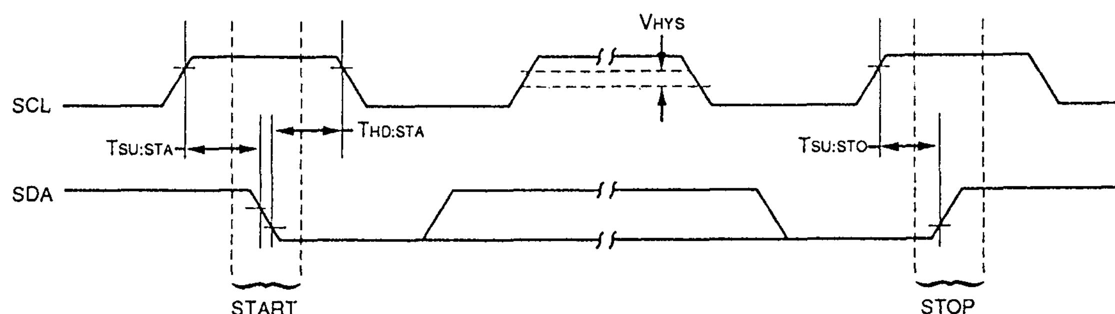
Vcc = +2.5V to +5.5V Commercial (C): Tamb = 0°C to +70°C Industrial (I): Tamb = -40°C to +85°C					
Parameter	**Symbol**	**Min**	**Max**	**Units**	**Conditions**
WP, SCL and SDA pins:					
High level input voltage	VIH	.7 Vcc	—	V	
Low level input voltage	VIL	—	.3 Vcc	V	
Hysteresis of Schmitt trigger inputs	VHYS	.05 Vcc	—	V	Note 1
Low level output voltage	VOL	—	.40	V	IOL = 3.0 mA, Vcc = 2.5V
Input leakage current	ILI	-10	10	µA	VIN = .1V to Vcc
Output leakage current	ILO	-10	10	µA	VOUT = .1V to Vcc
Internal capacitance (all inputs/outputs)	CINT	—	10	pF	Vcc = 5.0V (Note 1) Tamb = 25°C, FCLK = 1MHz
Operating current	Icc Write Icc Read	— —	3 1	mA mA	Vcc = 5.5V, SCL = 400 kHz
Standby current	Iccs	— —	30 100	µA µA	Vcc = 3.0V, SDA = SCL = Vcc Vcc = 5.5V, SDA = SCL = Vcc

Tabel 8/6.4-53: Gelijkspanningskenmerken van de 24LC164 en de 24AA164.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

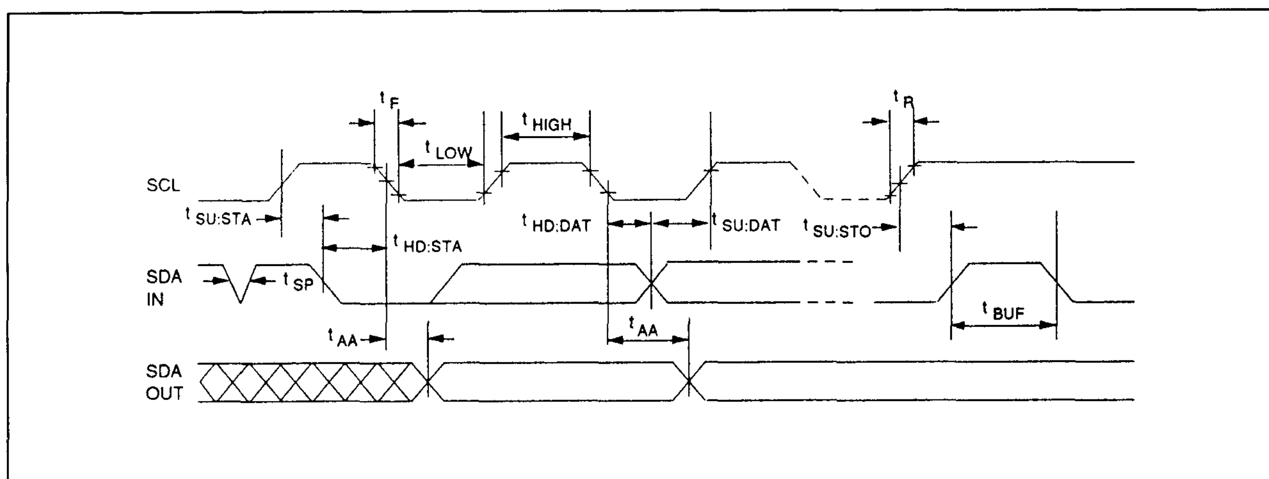
Parameter	Symbol	STANDARD MODE		Vcc = 4.5V - 5.5V FAST MODE		Units	Remarks
		Min	Max	Min	Max		
Clock frequency	FCLK	0	100	0	400	kHz	
Clock high time	THIGH	4000	—	600	—	ns	
Clock low time	TLOW	4700	—	1300	—	ns	
SDA and SCL rise time	TR	—	1000	—	300	ns	Note 2
SDA and SCL fall time	TF	—	300	—	300	ns	Note 2
START condition hold time	THD:STA	4000	—	600	—	ns	After this period the first clock pulse is generated
START condition setup time	TSU:STA	4700	—	600	—	ns	Only relevant for repeated START condition
Data input hold time	THD:DAT	0	—	0	—	ns	
Data input setup time	TSU:DAT	250	—	100	—	ns	
STOP condition setup time	TSU:STO	4000	—	600	—	ns	
Output valid from clock	TAA	—	3500	—	900	ns	Note 1
Bus free time	TBUF	4700	—	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from VIH min to VIL max	TOF	—	250	—	250	ns	Note 2, CB ≤ 100 pF
Input filter spike suppression (SDA and SCL pins)	TSP	N/A	N/A	0	50	ns	Note 3
Write cycle time	TWR	—	10	—	10	ms	Byte or Page mode

Tabel 8/6.4-54: Schakeltijden van de 24LC164 en 24AA164 (zie ook de figuren 8/6.4-122 en -123).



Figuur 8/6.4-122: Start/stop-timing van de 24LC164 (24AA164).

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-123: Timing van het datatransport over de bus.

24LC174, 24AA174

16 kbit cascadable seriële EEPROM met OTP security page

De 24LC174 (24AA174) is een 16 kbit CMOS seriële, elektrisch wisbare PROM. Deze schakeling is georganiseerd in 8 blokken van 256 x 8 bit met een tweedraads seriële interface. Als specialiteit heeft deze EEPROM een OTP (One-Time Programmable) 16 byte veiligheidsblok. Er kunnen meerdere 24LC174's (24AA174's) in cascade worden geschakeld voor het verkrijgen van grotere afmetingen.

Op de 24LC174 (24AA174) is page-write mogelijk voor maximaal 16 bytes. De 24LC174 kan werken met een voedingsspanning van minimaal 2,5 V, terwijl voor de 24AA174 1,8 V nog voldoende is. Beide typen verbruiken in standby toestand slechts 5 µA en in vol bedrijf 1 mA. Er zijn drie select-pennen A0, A1 en A2 die functioneren als chip select-ingangen, zodat maximaal acht EEPROM's (128 kbit) van dezelfde bus gebruik kunnen maken.

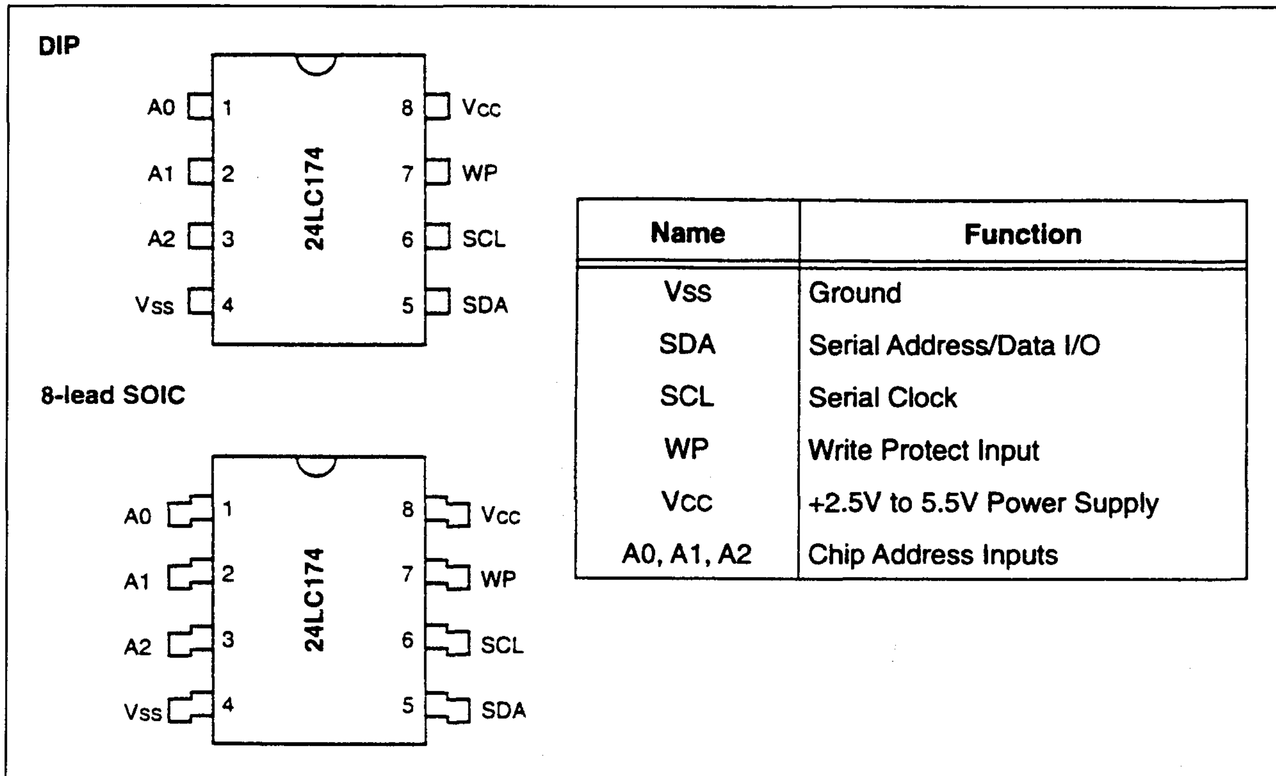
Belangrijkste kenmerken

- 16 kbit seriële EEPROM (8 blokken à 256 x 8 bit)
- cascadeschakeling van 8 identieke schakelingen mogelijk door 3 chip-select ingangen
- 2-draads seriële interface bus (I^2C-compatibel)
- Schmitt trigger, gefilterde ingangen
- output slope-control om ground-bounce te elimineren
- zelf-getimede schrijfcyclus (inclusief auto-erase)
- enkele voedingsspanning:
  24LC174: minimaal 2,5 V
  24AA174: minimaal 1,8 V
- page write buffer: maximaal 16 bytes
- stroomverbruik:
  CMOS: 1 mA aktief
  10 µA standby (bij 5,5 V)
  5 µA standby (bij 3 V)
- gegarandeerd 10 miljoen lees/schrijf-cycli
- data vasthouden: minimaal 40 jaar
- behuizing: 8-pens plastic DIP of 8-pens SOIC (figuur 8/6.4-124)
- fabrikant: Microchip

Werking

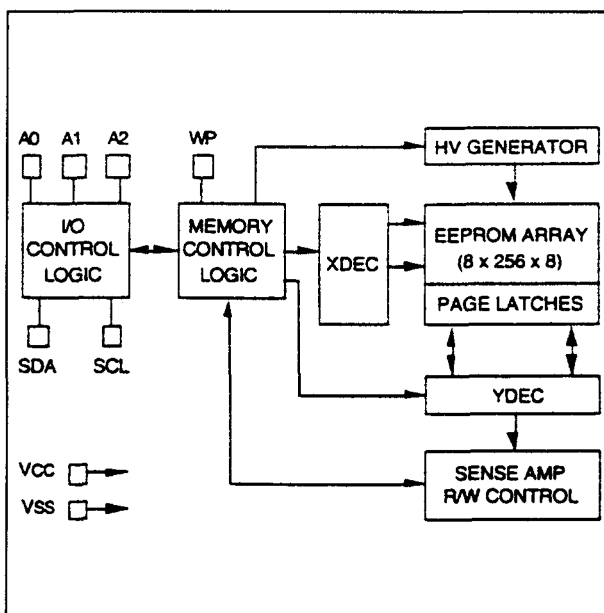
De 24LC174 (24AA174) ondersteunt een tweedraads bidirectionele bus en dataoverdrachts protocol. De schakeling die data via de bus verzendt wordt een ***zender*** genoemd en een schakeling die data ontvangt een ***ontvanger.*** De bus moet worden bestuurd door een ***master*** die de seriële clock (SCL) plus de START en STOP condities genereert en de toegang tot de bus regelt.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



Name	Function
Vss	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock
WP	Write Protect Input
Vcc	+2.5V to 5.5V Power Supply
A0, A1, A2	Chip Address Inputs

Figuur 8/6.4-124: Aansluitingen van de 16 kbit cascadable seriële EEPROM 24LC174 (24AA174) in DIP en SOIC uitvoering.



Figuur 8/6.4-125: Functioneel blokschema van de 24LC174 (24AA174).

De 24LC174 (24AA174) werkt als ***slave.*** Master en slave kunnen beide als zender of als ontvanger werken, maar de master bepaalt welke mode wordt geaktiveerd.

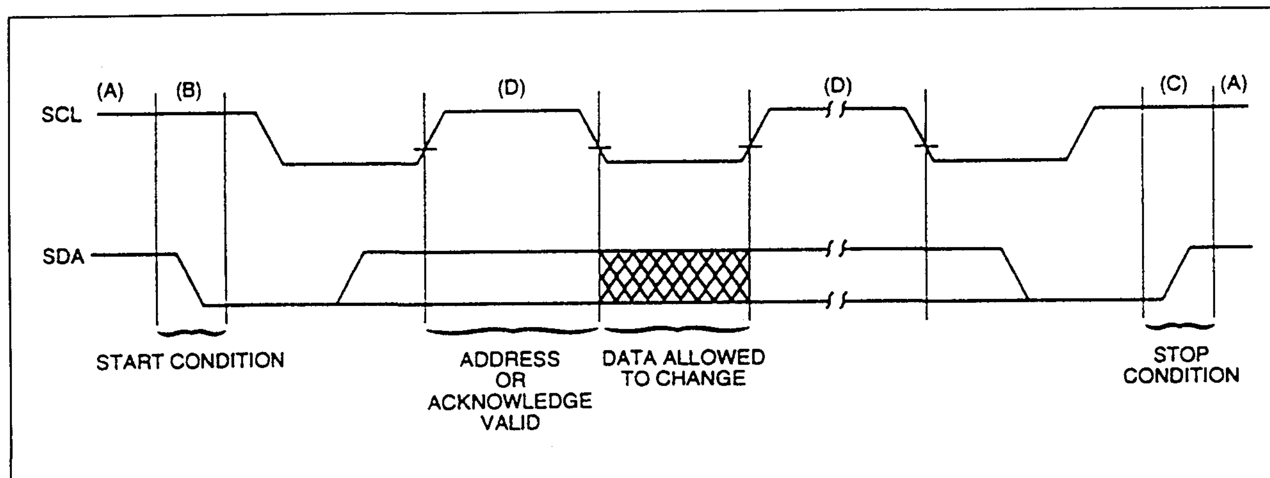
Bus-karakteristieken

Het volgende bus protocol is gedefinieerd (zie ook figuur 8/6.4-126):

- Data-overdracht mag alleen worden geïnitieerd als de bus niet gebruikt wordt (not busy).
- Gedurende data-overdracht moeten de lijnen stabiel zijn als de clock-lijn HOOG is. Veranderingen die optreden als de clock-lijn HOOG is, worden geïnterpreteerd als START of STOP conditie.

- **Bus not busy (A)**
  Zowel data als clock blijven HOOG (zie figuur 8/6.4-126).

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-126: Data-overdracht via de seriële bus.

- **Start data-overdracht (B)**
  Een START conditie wordt bepaald door een HOOG-naar-LAAG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is. Alle commando's moeten volgen na een START conditie.
- **Stop data-overdracht (C)**
  Een STOP conditie wordt bepaald door een LAAG-naar-HOOG overgang op de SDA-lijn, terwijl de clock (SCL) HOOG is. Alle operaties moeten eindigen met een STOP conditie.
- **Geldige Data (D)**
  Data op de data-lijn is geldig als deze, na een START conditie, stabiel is zolang het clock-signaal HOOG is. De data moet worden veranderd als het clock-signaal LAAG is. Er is één clock-puls per bit data.

Elke data-overdracht wordt geïnitialiseerd met een START conditie en beëindigd met een STOP conditie. Het aantal data-bytes dat hiertussen wordt verzonden, is afhankelijk van de master en is theoretisch onbegrensd, hoewel alleen de laatste 16 bytes met een schrijf-operatie worden opgeslagen. Als een overschrijving plaatsvindt, wordt data als first-in/first-out vervangen.

Acknowledge

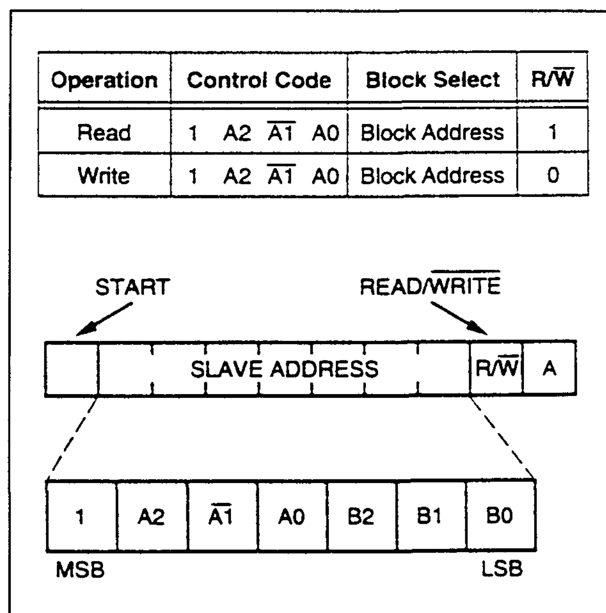
Elke ontvangende schakeling moet na ontvangst van een byte een bevestiging (acknowledge) sturen (als hij geadresseerd is). De master moet dan een extra, bij dit acknowledge-bit behorende clockpuls genereren. Let op dat de 24LC174 (24AA174) geen acknowledge-bit genereert als een interne programmeercyclus bezig is.
De bevestigende schakeling moet tijdens de acknowledge-clockpuls de SDA-lijn zodanig LAAG trekken dat die stabiel LAAG is zolang de clockpuls HOOG is. Hierbij moet rekening worden gehouden met de setup en houdtijden. Bij leesoperaties moet de master de slaaf van een "end of data" in kennis stellen (door bij het laatste byte dat uit de slaaf wordt geklokt geen acknowledge te genereren). De slaaf (24LC174 of 24AA174) moet de datalijn dan HOOG laten om de master in staat te stellen de STOP conditie te genereren.

Adressering en werking

Het eerste byte dat ontvangen wordt na de startconditie van de master is het controlbyte. Het eerste bit hiervan is altijd een "1". De volgende drie bits van de controlbyte zijn de device select-bits (A2, A1, A0). Deze worden gebruikt om één van maximaal acht schakelingen te selecteren (figuur 8/6.4-127). Het A1-bit moet hierbij het omgekeerde zijn van de A1 device select-pen.
De volgende drie bits van de controlbyte zijn de blok select-bits (B2, B1, B0). Deze worden

6.4 Type-beschrijving EEPROM's (I^{2}C-bus) 24xx-serie

door de master gebruikt om te selecteren welk geheugenblok wordt bereikt (maximaal acht blokken van elk 256 woorden). Dit zijn eigenlijk de drie belangrijkste bits van het woordadres. Het laatste bit van het controlbyte bepaalt de operatie die moet worden uitgevoerd (bij "1" wordt een lees-operatie uitgevoerd en bij "0" geschreven). Na de start-conditie zoekt de 24LC174 het slaafadres van de geselecteerde schakeling. Afhankelijk van de toestand van het R/$\overline{W}$-bit kiest de 24LC174 een lees- of schrijf-operatie.



Operation	Control Code	Block Select	R/$\overline{W}$
Read	1 A2 $\overline{A1}$ A0	Block Address	1
Write	1 A2 $\overline{A1}$ A0	Block Address	0

Figuur 8/6.4-127: Samenstelling van het controlbyte.

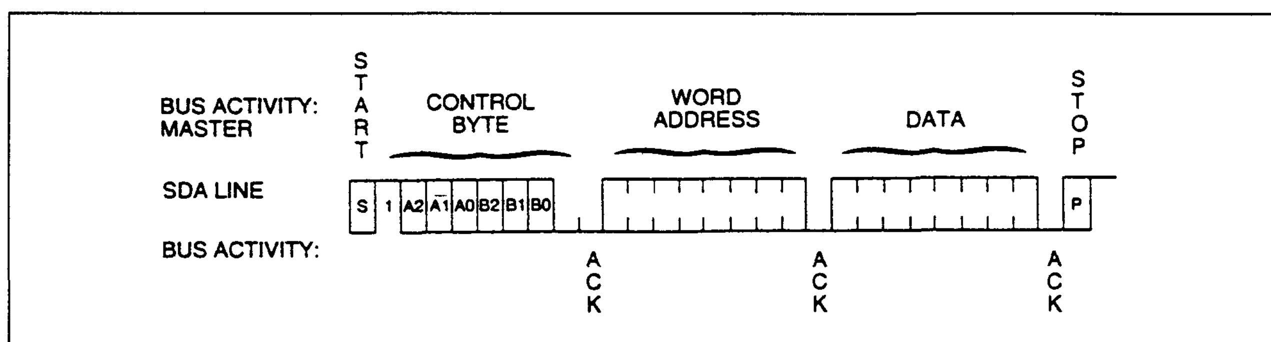
Byte-write

Na de startconditie worden de device-code (4 bits), het blokadres (3 bits) en het R/$\overline{W}$-bit (dat logisch LAAG is) door de master-zender op de bus gezet. Hiermee wordt aan de slaaf-ontvanger gemeld dat een byte met een woordadres zal volgen als hij gedurende de 9e clockcyclus een acknowledge-bit heeft gegenereerd. Daarom is het volgende, door de master verzonden, byte het woordadres dat in de adres-pointer van de 24LC174 wordt geschreven. Nadat nog een acknowledge signaal van de 24LC174 is ontvangen verstuurt de master het datawoord dat in de geadresseerde geheugenlocatie moet worden geschreven.

Ook dit wordt weer door de 24LC174 bevestigd, waarna de master een stopconditie genereert. Hierdoor wordt de interne schrijfcyclus geïnitieerd en gedurende deze tijd wekt de 24LC174 geen acknowledge-signalen op (zie figuur 8/6.4-128).

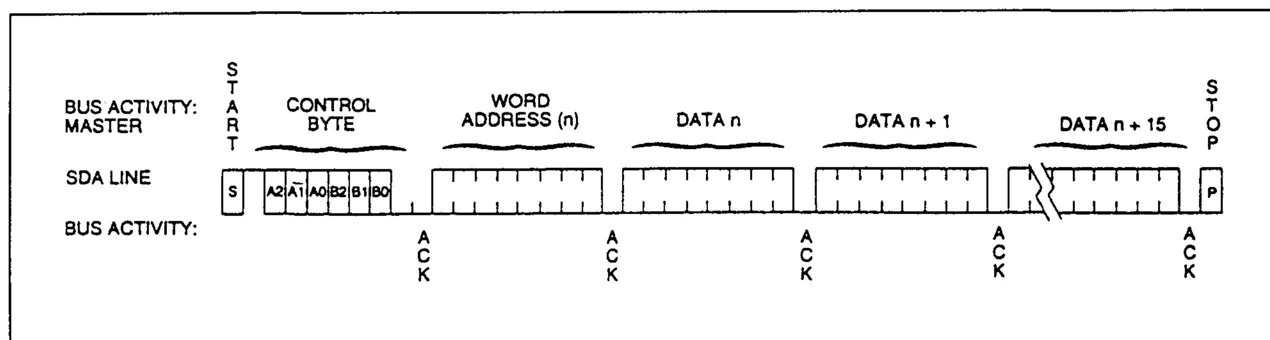
Page-write

Om een pagina te schrijven worden het write-control byte, het woord-adres en het eerste data-byte op dezelfde manier naar de 24LC174 gestuurd als bij een byte-write. Maar in plaats van een stop-conditie te genereren stuurt de master nu maximaal 16 data-bytes naar de 24LC174. Deze worden tijdelijk opgeslagen in de on-chip paginabuffer en pas in het geheugen geschreven nadat de master een stop-conditie heeft verstuurd.



Figuur 8/6.4-128: Het schrijven van een byte in de 24LC174 (24AA174): start, besturingsbyte, woordadres, data.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-129: Het schrijven van een pagina in de 24LC174 (24AA174).

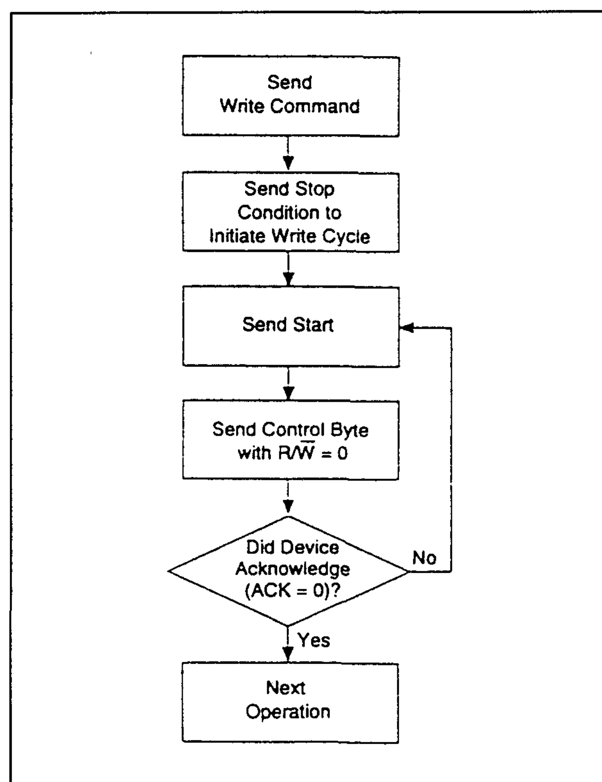
Na ontvangst van elk woord worden de vier laagste adrespointer-bits intern met één verhoogd.
De hoogste zeven bits van het woordadres blijven onveranderd. Als de master meer dan 16 woorden zou verzenden voordat hij een stopconditie opwekt, "rolt" de adresteller "over" en wordt de eerder ontvangen data overschreven.
Net als bij de byte-write operatie begint een interne schrijfcyclus na ontvangst van de stopconditie (figuur 8/6.4-129).

Acknowledge polling

Omdat de schakeling tijdens een schrijfcyclus geen bevestiging geeft, kan dit worden gebruikt om te bepalen of de cyclus klaar is. Deze eigenschap kan worden toegepast om het transport over de bus te versnellen. Zodra de master een stopconditie heeft aangeboden, initieert de schakeling de intern getimede schrijfcyclus. Het afvragen van ACK ("polling") kan dan direct worden geïnitieerd. Dit houdt in dat de master een startconditie verstuurt, gevolgd door het control-byte voor een write-commando ($R/\overline{W} = 0$). Als de schakeling dan nog bezig is met de schrijfcyclus wordt geen ACK teruggegeven. Als de cyclus wel klaar is, antwoordt de schakeling met ACK, zodat de master kan doorgaan met het lees- of schrijfcommando (figuur 8/6.4-130).

Schrijf-beveiliging

De 24LC174 (24AA174) kan als seriële ROM worden gebruikt als de WP-pen met V_{CC} is verbonden. Het programmeren wordt dan gesperd en het hele geheugen is tegen schrijven beveiligd.



Figuur 8/6.4-130: Het afvragen van ACK (flowdiagram van ACK polling).

Lezen

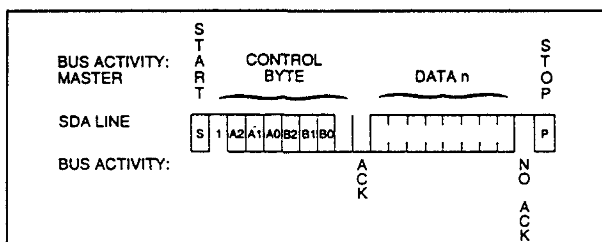
Lees-operaties beginnen net als schrijfoperaties, met uitzondering van het $R/\overline{W}$-bit van het slaaf-adres dat dan op "1" wordt gezet. Er zijn drie manieren om te lezen:
- current-adres read;
- random read;

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

- sequential read.

Current Address Read

De 24LC174 heeft een adresteller waarin het adres van het laatst bezochte woord, intern met één verhoogd, wordt vastgehouden. Als het voorgaande adres (bij lezen of schrijven) n was, wordt met de eerstvolgende lees-operatie data van adres n+1 opgehaald. Na ontvangst van het slaaf-adres (met R/$\overline{W}$ = 1) geeft de 24LC174 een acknowledge en verstuurt het 8 bit datawoord. De master bevestigt de overdracht nu niet, maar genereert wel een stopconditie, waardoor de 24LC174 de uitzending stopt (zie figuur 8/6.4-131).



Figuur 8/6.4-131: Uitlezing van het lopende adres (Current Address Read).

Random Read

Bij Random Read operaties kan de master elke willekeurige geheugenlocatie in een willekeurige volgorde bereiken. Om een dergelijke lees-operatie uit te kunnen voeren moet eerst het woordadres worden ingesteld. Dit gebeurt door het woordadres als deel van een schrijfoperatie naar de 24LC174 te sturen.

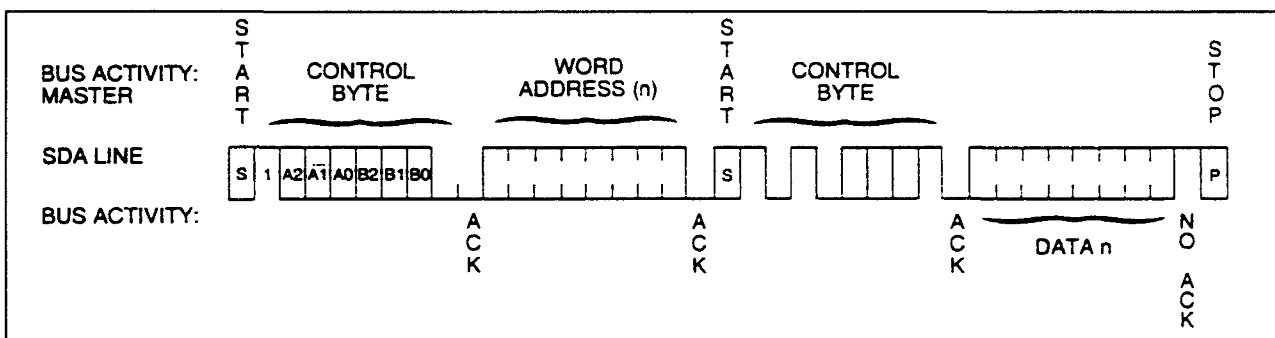
Na verzending van het woordadres genereert de master een startconditie, na ontvangst van de acknowledge. Hiermee wordt de schrijfoperatie beëindigd, maar niet voordat de interne adrespointer is gezet. De master biedt dan het control-byte opnieuw aan met de R/$\overline{W}$-bit = 1. De 24LC174 geeft vervolgens een acknowledge en verstuurt het 8 bits datawoord. De master zal deze overdracht niet bevestigen, maar genereert een stop-conditie, waarna de 24LC174 de verzending stopt (figuur 8/6.4-132).

Sequential Read

Opeenvolgende (sequential) lees-operaties worden op dezelfde manier geïnitialiseerd als een random read, maar de master geeft nu wel een acknowledge nadat de 24LC174 het eerste data-byte heeft verstuurd.
Hierdoor verstuurt de 24LC174 de inhoud van het eerstvolgende adres (zie figuur 8/6.4-133).
Om aaneengesloten te kunnen lezen beschikt de 24LC174 over een interne adrespointer die na elke operatie met één wordt verhoogd. Deze adrespointer maakt het mogelijk om de gehele geheugeninhoud in één operatie serieel uit te lezen.

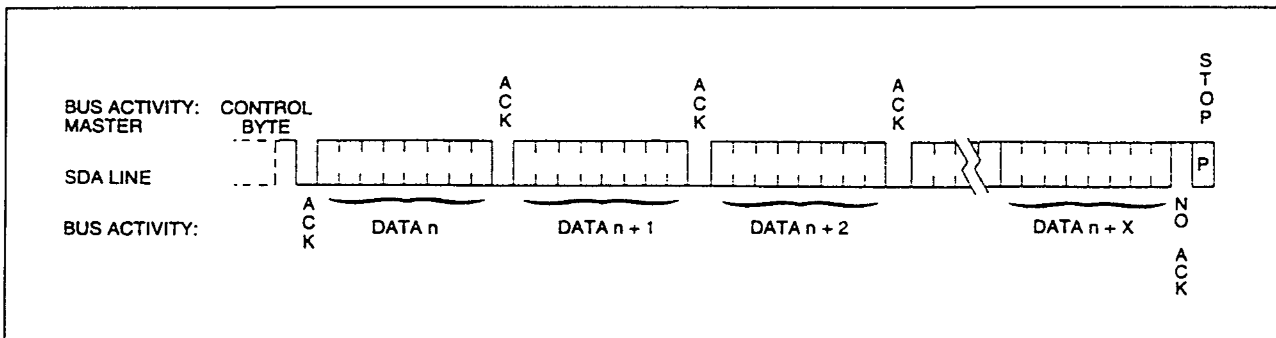
Beveiliging tegen storingen

De 24LC174 (24AA174) heeft een detectorschakeling die de interne wis/schrijf-logika uitschakelt als V_{CC} onder nominale condities lager is dan 1,5 V. De SCL en SDA ingangen zijn voorzien van Schmitt-trigger- en filtercircuits om schakelpieken te onderdrukken.

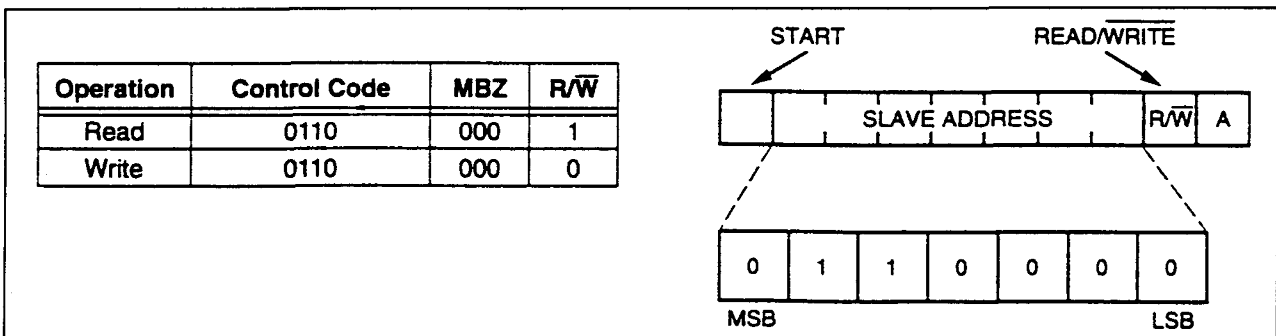


Figuur 8/6.4-132: Het uitlezen van een willekeurig adres (Random Read).

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie



Figuur 8/6.4-133: Opeenvolgende lees-operaties (Sequential Read).



Operation	Control Code	MBZ	R/$\overline{W}$
Read	0110	000	1
Write	0110	000	0

Figuur 8/6.4-134: Inrichting van de Security Control Byte.

Pen-beschrijvingen

- SDA Serial Address/Data Input/Output
  Dit is een bidirectionele pen die wordt gebruikt om adressen en data van en naar de schakeling over te brengen. Het is een open-drain aansluiting, zodat de SDA-bus een optrekweerstand naar V_{CC} moet hebben (typisch 10 kΩ voor 100 kHz, 1 kΩ voor 400 kHz). Voor normaal datatransport mag SDA alleen van toestand veranderen als SCL LAAG is. Veranderingen, als SCL HOOG is, zijn gereserveerd voor het aanduiden van de START en STOP condities.
- SCL Serial Clock
  Deze pen wordt gebruikt om dataoverdracht van en naar de schakeling te synchroniseren.
- WP
  Deze pen moet met V_{SS} of V_{CC} worden verbonden. Als hij aan V_{SS} ligt, is de normale geheugenwerking vrijgegeven (lees/schrijf het gehele geheugen 000 tot 7FF). Ligt WP aan V_{CC}, dan zijn alle schrijfoperaties gesperd. Het gehele geheugen is dan write-protected. Lees-operaties worden hierdoor niet beïnvloed. Door deze eigenschap kan de 24LC174 als seriële ROM worden gebruikt (met WP aan V_{CC}).
- A0, A1, A2
  Deze pennen dienen om het juiste chipadres te configureren voor toepassingen, waarbij meer dan één 24LC174 (24AA174) op dezelfde bus wordt gebruikt. De niveaus op deze pennen (verbonden met V_{SS} of V_{CC}) worden vergeleken met de overeenkomstige bits in het slaafadres. Zijn ze gelijk, dan is de chip geselecteerd (let op dat het niveau op A1 het omgekeerde moet zijn van het slaafadres). Er kunnen maximaal acht 24LC174's (24AA174's) op dezelfde bus worden aangesloten.

Security Access Control

De beveiligingsrij wordt vrijgegeven door de besturingsvolgorde te verzenden met het

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

I²C-slaafadres op 0110. Bit 0 van de controlbyte moet op "1" worden gezet voor een leesoperatie en "0" voor de OTP-schrijfoperatie (zie figuur 8/6.4-134). De SECURITY ACCESS DATA wordt altijd gelezen vanaf byte 0 (voor N bytes tot en met 15). Zie ook figuur 8/6.4-133.

Security Access Write

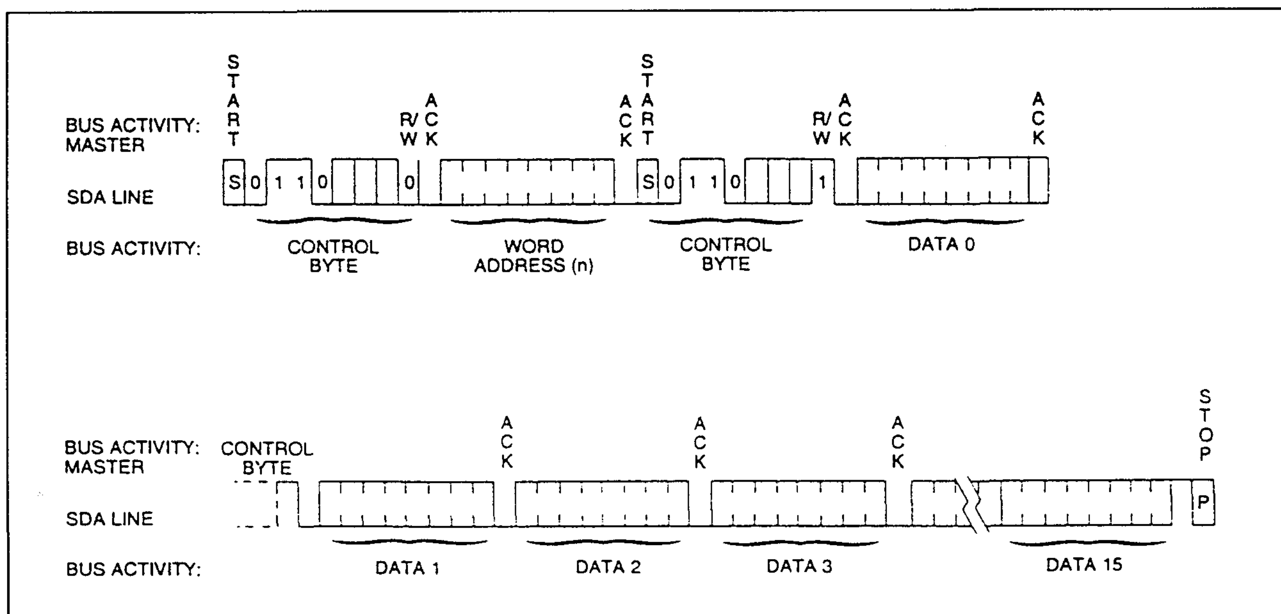
De S.A.W.-data wordt naar de schakeling geschreven als een normale page-write na de juiste toegangs-besturings volgorde. Na ontvangst van het laatste stop-bit begint de interne schrijfcyclus. Na afloop daarvan wordt een zekering gezet die de schrijffunctie van de 16 byte beveiligingspagina uitschakelt.

Security Access Read

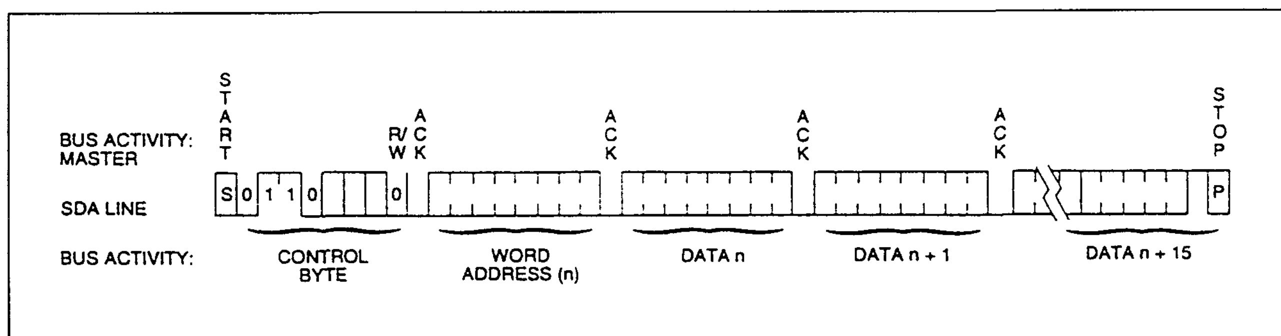
De Security Access Read wordt gedaan door de normale leesvolgorden uit te voeren na de toegangs-besturings volgorde met bit 0 op "1". Het uitlezen van de beveiligingspagina begint bij data-byte 0.

Overige kenmerken

In de tabellen 8/6.4-55, -56 en -57 en de figuren 8/6.4-137 en -138 zijn tenslotte de elektrische en timing-karakteristieken van de 24LC174 en 24AA174 opgenomen.



Figuur 8/6.4-135: Security Page Read.



Figuur 8/6.4-136: Security Page Write.

6.4 Type-beschrijving EEPROM's (I^2C-bus) 24xx-serie

VCC...7.0V
All inputs and outputs w.r.t. VSS ..... -0.3V to VCC +1.0V
Storage temperature .... -65°C to +150°C
Ambient temp. with power applied ..... -65°C to +125°C
Soldering temperature of leads (10 seconds) .. +300°C
ESD protection on all pins .... ≥ 4 kV

Tabel 8/6.4-55: Maximaal toegelaten waarden voor de 24LC174 en de 24AA174.

	VCC = +2.5V to 5.5V (24AA174 : 1,8V to 5,5V) Commercial (C): Tamb = 0°C to +70°C Industrial (I): Tamb = -40°C to +85°C				
Parameter	**Symbol**	**Min**	**Max**	**Units**	**Conditions**
WP, SCL and SDA pins:					
High level input voltage	VIH	.7 VCC	—	V	
Low level input voltage	VIL	—	.3 VCC	V	
Hysteresis of Schmitt trigger inputs	VHYS	.05 VCC	—	V	Note 1
Low level output voltage	VOL	—	.40	V	IOL = 3.0 mA, VCC = 2.5V
Input leakage current	ILI	-10	10	µA	VIN = .1V to VCC
Output leakage current	ILO	-10	10	µA	VOUT = .1V to VCC
Input capacitance (all inputs/outputs)	CINT	—	10	pF	VCC = 5.0V (Note1), Tamb = 25°C, FCLK = 1 MHz
Operating current	ICC Write ICC Read	— —	3 1	mA mA	VCC = 5.5V, SCL = 400 kHz
Standby current	ICCS	— —	30 100	µA µA	VCC = 3.0V, SDA = SCL = VCC VCC = 5.5V, SDA = SCL = VCC

Tabel 8/6.4-56: Gelijkspanningskenmerken van zowel de 24LC174 als de 24AA174.

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie

Parameter	Symbol	Standard Mode		V cc= 4.5 - 5.5V Fast Mode		Units	Remarks
		Min	Max	Min	Max		
Clock frequency	F_{CLK}	0	100	0	400	kHz	
Clock high time	T_{HIGH}	4000	—	600	—	ns	
Clock low time	T_{LOW}	4700	—	1300	—	ns	
SDA and SCL rise time	T_R	—	1000	—	300	ns	Note 2
SDA and SCL fall time	T_F	—	300	—	300	ns	Note 2
START condition hold time	$T_{HD:STA}$	4000	—	600	—	ns	After this period the first clock pulse is generated
START condition setup time	$T_{SU:STA}$	4700	—	600	—	ns	Only relevant for repeated START condition
Data input hold time	$T_{HD:DAT}$	0	—	0	—	ns	
Data input setup time	$T_{SU:DAT}$	250	—	100	—	ns	
STOP condition setup time	$T_{SU:STO}$	4000	—	600	—	ns	
Output valid from clock	T_{AA}	—	3500	—	900	ns	Note 1
Bus free time	T_{BUF}	4700	—	1300	—	ns	Time the bus must be free before a new transmission can start
Output fall time from V_{IH} min to V_{IL} max	T_{OF}	—	250	—	250	ns	Note 2, $C_B \leq 100$ pF
Input filter spike suppression (SDA and SCL pins)	T_{SP}	N/A	N/A	0	50	ns	Note 3
Write cycle time	T_{WR}	—	10	—	10	ms	Byte or Page mode

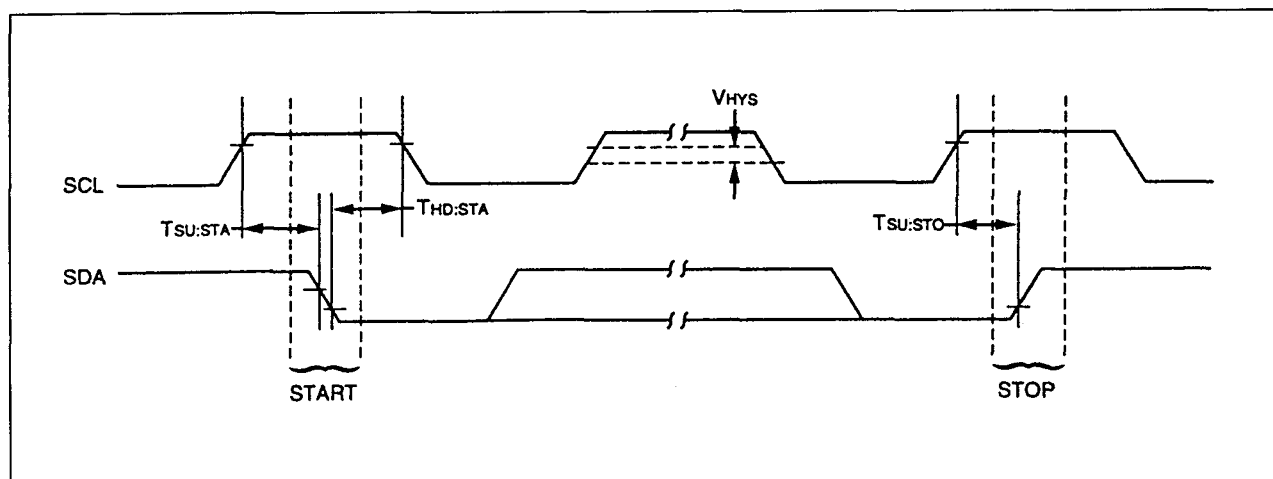
Note 1: As a transmitter, the device must provide an internal minimum delay time to bridge the undefined region (minimum 300 ns) of the falling edge of SCL to avoid unintended generation of START or STOP conditions.

Note 2: Not 100% tested. C_B = total capacitance of one bus line in pF.

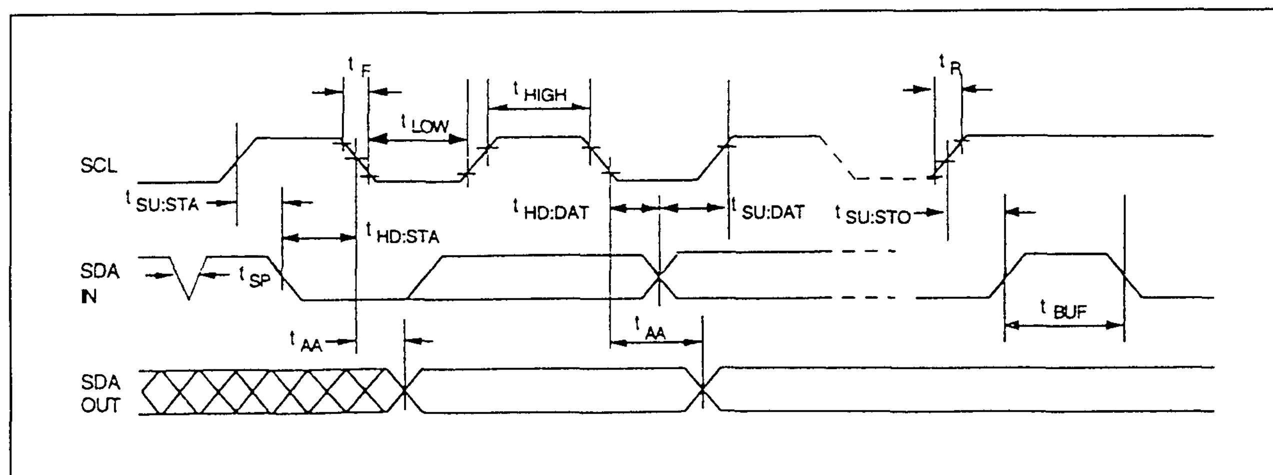
Note 3: The combined T_{SP} and V_{HYS} specifications are due to new Schmitt trigger inputs which provide improved noise and spike suppression. This eliminates the need for a T_I specification for standard operation.

Tabel 8/6.4-57: Schakeltijden van de 24LC174 en de 24AA174 (zie ook de figuren 8/6.4-137 en -138).

6.4 Type-beschrijving EEPROM's (I²C-bus) 24xx-serie



Figuur 8/6.4-137: Start/stop-timing van de 24LC174 (24AA174).



Figuur 8/6.4-138: Timing van het datatransport over de bus.

8/7

Geheugen-modulen

Inhoud

TM4256EK8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4257EK8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4256FL8	256k x 8, page-mode, 30-pin SIP en SIMM
TM4256GU8	256k x 8, page-mode, 30-pin SIP en SIMM
TM4256FT8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4257FT8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4256GB8	256k x 8, page-mode resp. nibble-mode, 24-pin SIP
TM4257GB8	256k x 8, page-mode resp. nibble-mode, 24-pin SIP
TM4256GV8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4257GV8	256k x 8, page-mode resp. nibble-mode, 30-pin SIP
TM4256EL9	256k x 9, page-mode, 30-pin SIP en SIMM
TM4256GU9	256k x 9, page-mode, 30-pin SIP en SIMM
TM4256FN9	256k x 9, page-mode resp. nibble-mode, 32-pin SIP
TM4257FN9	256k x 9, page-mode resp. nibble-mode, 32-pin SIP
TM4256GV9	256k x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM4257GV9	256k x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM4256GP9	256k x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM4257GP9	256k x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM024EAG4	1 M x 4, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM025EAG4	1 M x 4, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM027EAG4	1 M x 4, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM024EAH5	1 M x 5, resp. enhanced page-mode, nibble-mode en static column-mode, 27-pin SIP
TM025EAH5	1 M x 5, resp. enhanced page-mode, nibble-mode en static column-mode, 27-pin SIP
TM027EAH5	1 M x 5, resp. enhanced page-mode, nibble-mode en static column-mode, 27-pin SIP
TM024EAB8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM025EAB8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM027EAB8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 25-pin SIP
TM024EAD8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM025EAD8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM027EAD8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM024GAL8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM025GAL8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM027GAL8	1 M x 8, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM024FAF8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP
TM025FAF8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP
TM027FAF8	1 M x 8, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP

TM024EAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP
TM025EAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP
TM027EAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 35-pin SIP
TM024EAD9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM025EAD9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM027EAD9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM024GAL9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM025GAL9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM027GAL9	1M x 9, page-mode resp. nibble-mode, 30-pin SIP en SIMM
TM024GAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 30-pin SIP
TM025GAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 30-pin SIP
TM027GAF9	1M x 9, resp. enhanced page-mode, nibble-mode en static column-mode, 30-pin SIP

8/7.2.2 EDO DRAM-modulen (Hitachi-typen)

(aanvulling 77 + 78 + 79)

HB56H132	1M x 32 bit (2 x 1M x 16) SIMM-72, 5 V, 1024-cycli refresh
HB56U132	1M x 32 bit (8 x 1M x 4), SIMM-72, 5 V, 1024-cycli refresh
HB56H232	2M x 32 bit (4 x 1M x 16), SIMM-72, 5 V, 2048-cycli refresh
HB56U232	2M x 32 bit (4 x 2M x 8), SIMM-72, 5 V, 2048-cycli refresh
HB56U432	4M x 32 bit (8 x 4M x 4), SIMM-72, 5 V, 2048-cycli refresh
HB56U832	8M x 32 bit (16 x 4M x 4), SIMM-72, 5 V, 2048-cycli refresh
HB56H164EJ	1M x 64 bit (4 x 1M x 16), DIMM-168, 5 V, gebufferd, 1024-cycli refresh
HB56H164EJN	1M x 64 bit (4 x 1M x 16), DIMM-168, 5 V, 1024-cycli refresh
HB56HW164EJN	1M x 64 bit (4 x 1M x 16), DIMM-168, 3,3 V, 1024-cycli refresh
HB56HW164DB	1M x 64 bit (4 x 1M x 16), SO DIMM-144, 3,3 V, 4096-cycli refresh
HB56HW165DB	1M x 64 bit (4 x 1M x 16), SO DIMM-144, 3,3 V, 1024-cycli refresh
HB56U264EJ	2M x 64 bit (8 x 2M x 8), DIMM-168, 5 V, gebufferd, 2048-cycli refresh
HB56UW264DB	2M x 64 bit (8 x 2M x 8), SO DIMM-144, 3,3 V, 2048-cycli refresh
HB56UW264EJN	2M x 64 bit (8 x 2M x 8), DIMM-168, 3,3 V, 2048-cycli refresh
HB56SW464DB	4M x 64 bit (16 x 4M x 4), SO DIMM-144, 3,3 V, 4096-cycli refresh
HB56U464EJ	4M x 64 bit (16 x 4M x 4), DIMM-168, 5 V, gebufferd, 4096-cycli refresh

HB56UW464EJ	4M x 64 bit (16 x 4M x 4), DIMM-168, 3,3 V, gebufferd, 4096-cycli refresh
HB56UW464EJN	4M x 64 bit (16 x 4M x 4), DIMM-168, 3,3 V, 4096-cycli refresh
HB56UW464EJNB	4M x 64 bit (16 x 4M x 4), DIMM-168, 3,3 V, 2048-cycli refresh
HB56HW465DB	4M x 64 bit (4 x 4M x 16), SO DIMM-144, 3,3 V, 4096-cycli refresh
HB56UW465EJN	4M x 64 bit (16 x 2M x 8), DIMM-168, 3,3 V, 2048-cycli refresh
HB56S864ES	8M x 64 bit (32 x 4M x 4), DIMM-168, 5 V, gebufferd, 4096-cycli refresh
HB56S864ESN	8M x 64 bit (32 x 4M x 4), DIMM-168, 5 V, 4096-cycli refresh
HB56SW864ES	8M x 64 bit (32 x 4M x 4), DIMM-168, 3,3V, gebufferd, 4096-cycli refresh
HB56SW864ESN	8M x 64 bit (32 x 4M x 4), DIMM-168, 3,3V, 4096-cycli refresh
HB56SW864ESNJ	8M x 64 bit (32 x 4M x 4), DIMM-168, 3,3V, 2048-cycli refresh
HB56UW864EJN	8M x 64 bit (8 x 8M x 8), DIMM-168, 3,3 V, 8192-cycli refresh
HB56UW865DB	8M x 64 bit (8 x 8M x 8), SO DIMM-144, 3,3 V, 4096-cycli refresh
HB56UW865EJN	8M x 64 bit (8 x 8M x 8), DIMM-168, 3,3 V, 4096-cycli refresh
HB56UW1664EJN	16M x 64 bit (16 x 16M x 4), DIMM-168, 3,3 V, 8192-cycli refresh
HB56UW1665EJN	16M x 64 bit (16 x 16M x 4), DIMM-168, 3,3 V, 4096-cycli refresh

8/7.1

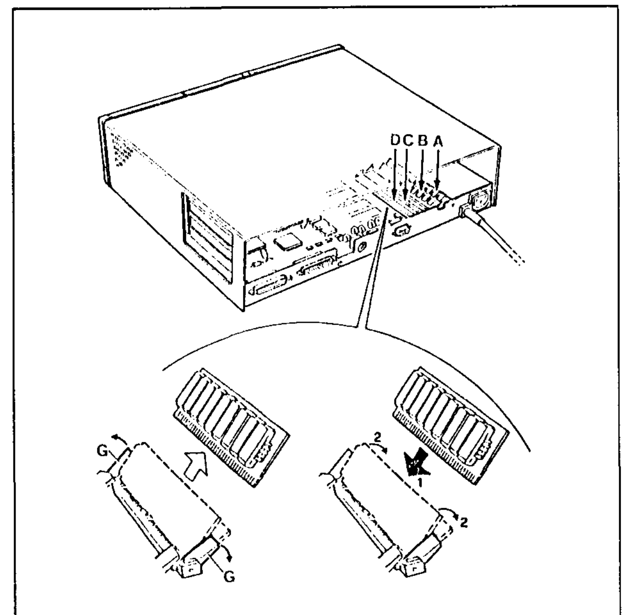
Achtergrond-informatie

Inleiding

Al sinds de uitvinding van de geïntegreerde schakeling (in 1959 door Jack Kilby) blijkt het aantal componenten dat op een chip kan worden geplaatst ieder jaar te verdubbelen. Deze tendens staat bekend als de Wet van Moore (1964) en klopt tot vandaag de dag aardig als in aanmerking wordt genomen dat het eerst ging om logische schakelingen en vanaf ongeveer 1970 om geheugenchips. Op dit moment zijn 4 MB DRAM's in volle produktie en zijn de eerste 16 MB DRAM's ook al verkrijgbaar. Voor de ontwikkeling van 64 MB geheugens en nog grotere chips, zoals 256 MB, zijn zulke grote bedragen gemoeid dat één fabriek die niet meer kan opbrengen. Hiervoor worden dan ook speciale internationale samenwerkingsovereenkomsten gesloten.

Sinds zo'n 10 jaar geleden de eerste personal computers (PC's) verschenen is daar een enorme hoeveelheid software voor geschreven.

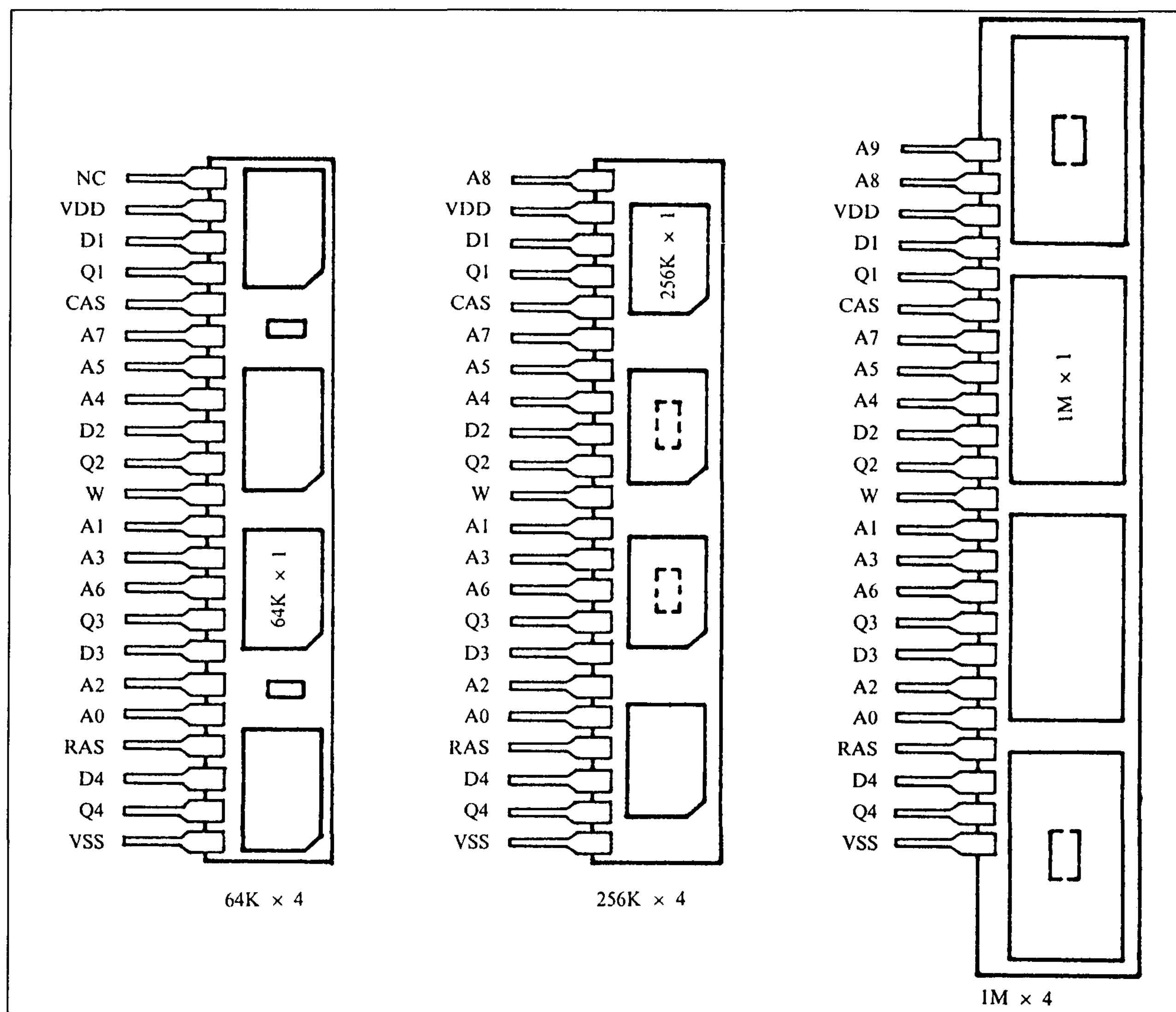
Het is echter een feit dat hoe "gebruiksvriendelijker" de programma's worden, hoe meer geheugen ervoor nodig is. Het 640 kB werkgeheugen waar de eerste PC's mee werden uitgerust (bijvoorbeeld het XT-type) is tegenwoordig voor veel software niet meer genoeg. Wie nu een PC aanschaft dient er rekening mee te houden dat 2 MB in de richting komt, maar dat uitbreiding tot minstens 4 MB mogelijk moet zijn. De PC-fabrikanten zagen dit snel in en voorzien de PC's nu van speciale geheugen-sockets (figuur 8/7.1-1). In plaats van IC's worden hier verwisselbare geheugenmodulen in geplaatst.



Figuur 8/7.1-1: Speciale "slots" voor geheugenmodulen (in dit geval SIMM's) in een PC.

Dit biedt de gelegenheid om vooruit te lopen op toekomstige ontwikkelingen op DRAM-gebied, zodat het geheugen in de PC zo nodig flink kan worden uitgebreid. Let op dat er twee soorten zijn: de van insteekcontacten voorziene SIP's (Single-In-Line-Packages) en de pen-loze socket-typen SIMM's. Het zijn beide kleine printjes waarop een aantal geheugen-IC's is gemonteerd.

7.1 Achtergrond-informatie

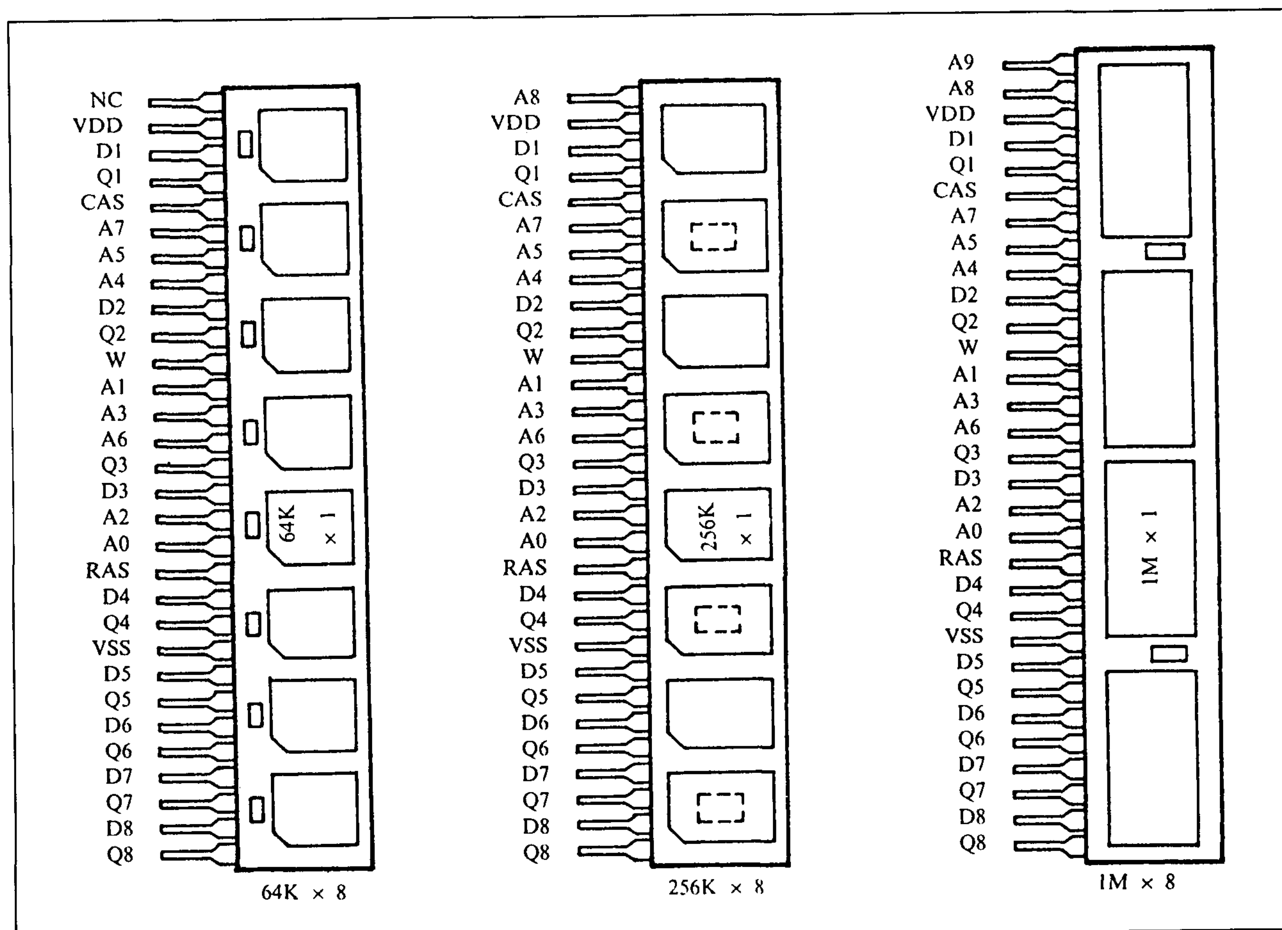


Figuur 8/7.1-2: Vergelijking van X4 SIP's. Voor de aansluitpennen is steeds dezelfde volgorde aangehouden. Bij de 256 k x 4 SIP is voor A8 een niet gebruikte pen van de 64 k x 4 SIP gebruikt, terwijl voor A9 van het 1 M x 4-type een extra pen nodig is.

SIP's

De eerste geheugen-modulen die werden ontwikkeld waren van het SIP-type. Er is al vanaf het begin naar gestreefd om de afmetingen en de aansluitpennen te standaardiseren om onderlinge uitwisseling van de modulen mogelijk te maken. Toch zijn verschillen onvermijdelijk. Denk maar aan de woordbreedte die 4 bit, 8 bit of 16 bit kan zijn. Wanneer met pariteiten wordt gewerkt worden deze woordbreedten nog eens met één verhoogd. Texas Instruments heeft op dit gebied veel werk verricht en geldt als toonaangevende leverancier. Vandaar dat de TM-typen apart worden vermeld. In figuur 8/7.1-2 is de overeenkomst tussen 4-bit SIP's te zien, die respectievelijk 64 k x 4, 256 k x 4 en 1 M x 4 groot zijn. Op de eerste module zijn 4 DRAM's van 64 k x 1 gebruikt; bij de tweede zijn 256 k x 1 DRAM's toegepast en op de derde bevinden zich 1 M x 1 DRAM-IC's.

7.1 Achtergrond-informatie



Figuur 8/7.1-3: Overeenkomst tussen X8 SIP's. De volgorde van de aansluitpennen tussen de V_{DD}- en V_{SS}-pen is gelijk aan die van de X4-typen. De extra data-pennen bevinden zich aan de V_{SS}-zijde. Bij de 1 M x 8 SIP bevinden de DRAM-IC's zich aan beide zijden van de module.

Men ziet dat de aansluitingen van de modulen met elkaar overeenkomen (compatibel zijn).
Bij het tweede type wordt pen 1 voor adreslijn A8 gebruikt, terwijl bij het derde de toevoeging van een extra aansluitpen noodzakelijk was. Wanneer nu in een apparaat (bijvoorbeeld een computer) de connectoren en de bedrading voor het grootste type worden aangebracht, kunnen de kleinere typen daar alvast gebruik van maken. Bij beschikbaar komen van de grotere typen kunnen die dan zonder meer in dezelfde connectoren worden gestoken.

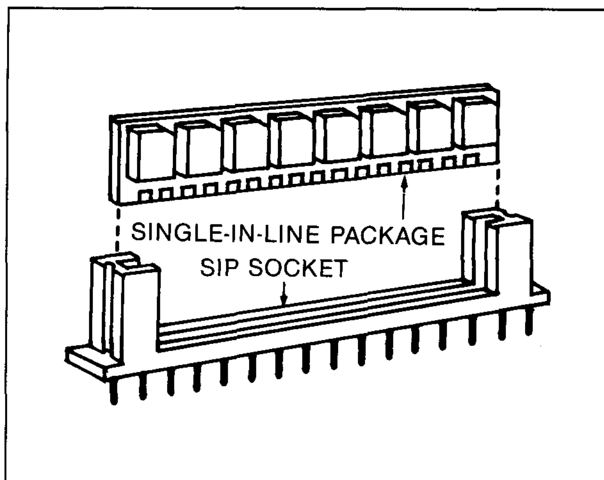
Door deze benadering kan dezelfde "pin-out" ook worden toegepast voor SIP's met grotere woordbreedten, zoals in figuur 8/7.1-3 wordt getoond. Van de V_{DD}-pen tot de V_{SS}-pen zijn alle aansluitingen gelijk aan die van figuur 8/7.1-2. Alleen zijn er aan beide uiteinden nieuwe aansluitingen bijgekomen, aan de V_{SS}-kant voor de data-lijnen en aan de V_{DD}-kant voor de adreslijnen.
Het is dus zelfs zo dat SIP's van het X4-type (gedeeltelijk) van deze connectoren gebruik kunnen maken, als er maar op wordt gelet dat de gelijknamige aansluitingen op de juiste plaats komen.

SIMM's

Het spreekt vanzelf dat het verwisselen van SIP's met zoveel aansluitpennetjes een moeilijke taak is. Het gevaar is groot dat één of meer contacten scheef gaan staan en/of afbreken. De ramp is nog groter als een afgebroken pennetje in de connector blijft zitten. Om dit te vermijden en tegemoet te komen aan de wens van veel PC-gebruikers en -fabrikanten worden nu meestal SIMM's toegepast. Dit zijn in feite dezelfde kleine printjes, maar dan met "edge"-connectoren. Aan de rand van de module zijn vergulde of vernikkelde contactbaantjes geplaatst die in verende contacten van de connector op de moederprint worden gestoken, zie figuur 8/7.1-4. Dit gaat veel gemakkelijker en is bovendien een stuk veiliger.

Opmerking

Van sommige modulen (30-pens) zijn zowel de SIP- als de SIMM-versie verkrijgbaar.

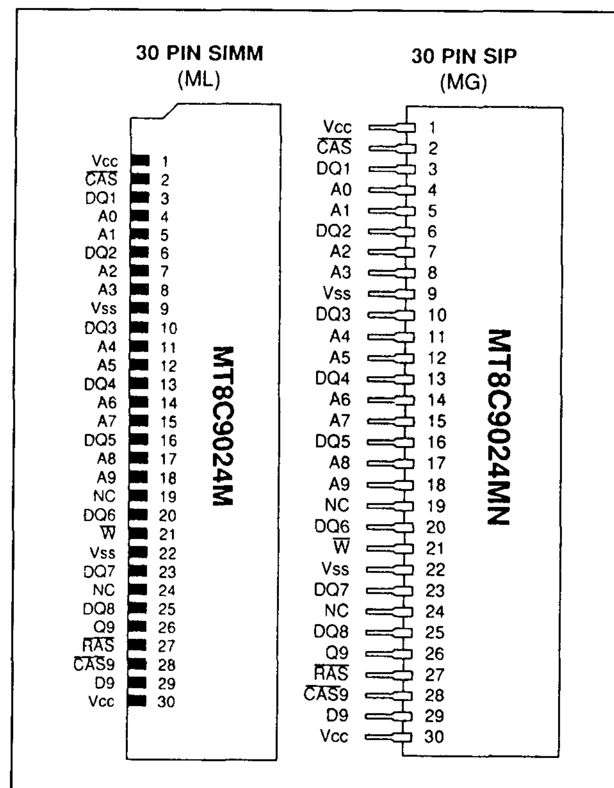


Figuur 8/7.1-4: Zo wordt een SIMM-module in de connector (AMP of MOLEX) geplaatst.

Deze zijn dan niet alleen elektrisch identiek, maar ook wat betreft de volgorde van de aansluitingen, zie figuur 8/7.1-5.

Modes

Bij grotere DRAM-modulen (vanaf 256 k x ..-typen) kan worden gekozen of page-mode, nibble-mode of static column-mode DRAM-IC's op de module zijn gemonteerd. Meestal zijn page-mode DRAM's toegepast, maar bij het verwisselen blijft enige voorzichtigheid geboden.



Figuur 8/7.1-5: SIMM en SIP uitvoering van dezelfde 1 M x 9 DRAM-module.

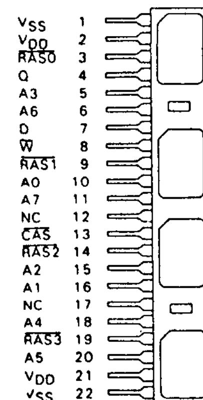
8/7.2.1

TM-typen (Texas Instruments)

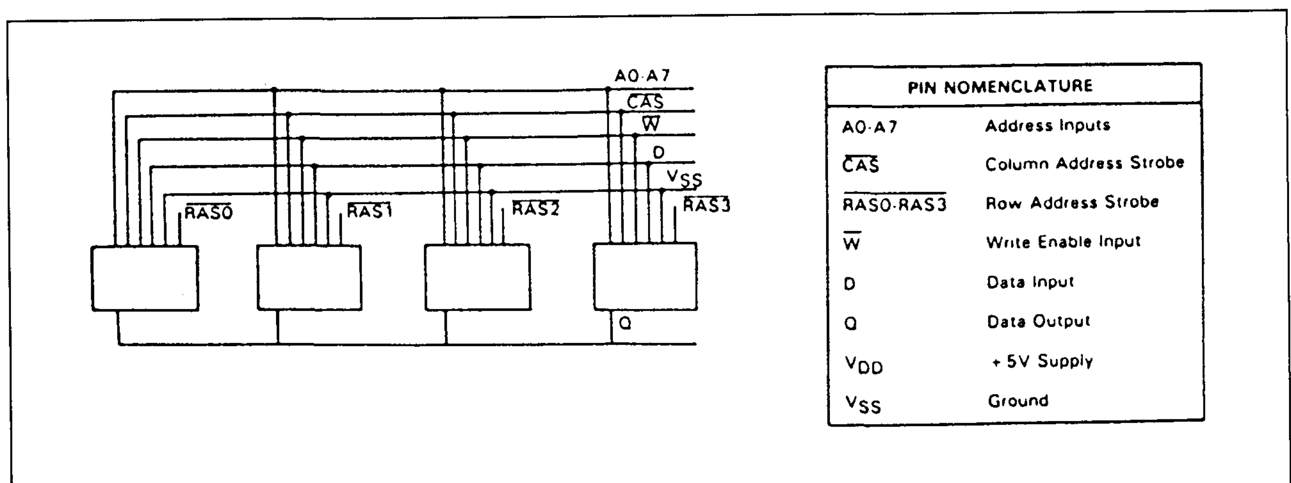
TM 4164FA1, TM 4164FC1

256k x 1 DRAM-module

De TM4164FA1 en TM4164FC1 zijn 256k dynamische RAM-modulen met een 262.144 x 1 bit organisatie. Op een 22-pens single-in-line printje zijn 4 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) met twee ontkoppelcondensatoren van 0,1 µF opgenomen.
De gegevens van deze DRAM's zijn in hoofdstuk 8/3.3 gepubliceerd. De SIP-module is in twee uitvoeringen leverbaar: TM4164FA1 en TM4164FC1.



Figuur 8/7.2.1-1: Aanzicht op de componentenzijde van de TM4164Fx1 22-pens SIP module.



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column Address Strobe
RAS0-RAS3	Row Address Strobe
W	Write Enable Input
D	Data Input
Q	Data Output
V_{DD}	+ 5V Supply
V_{SS}	Ground

Figuur 8/7.2.1-2: Blokschema en definities van de aansluitpennen van de TM4164Fx1.

Specificaties

- 262.144 x 1 bit organisatie
- gemeenschappelijke $\overline{CAS}$
- aparte data in- en uitgang (3-state)
- alle in-/uitgangen en clocks TTL-compatibel

- enkele +5 V voeding +/-10 % nodig
- 22-pens SIP behuizing A-type (56,52 x 9,7 mm) of C-type (56,52 x 11,43 mm) (figuur 8/7.2.1-1)
- bevat 4 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164Fx1-12/15/20: resp. 800 mW, 700 mW en 540 mW, standby: 70 mW
- lange refresh-periode: 4 ms (256 cycli)
- bedrijfstemperatuur: 0 tot 70 °C

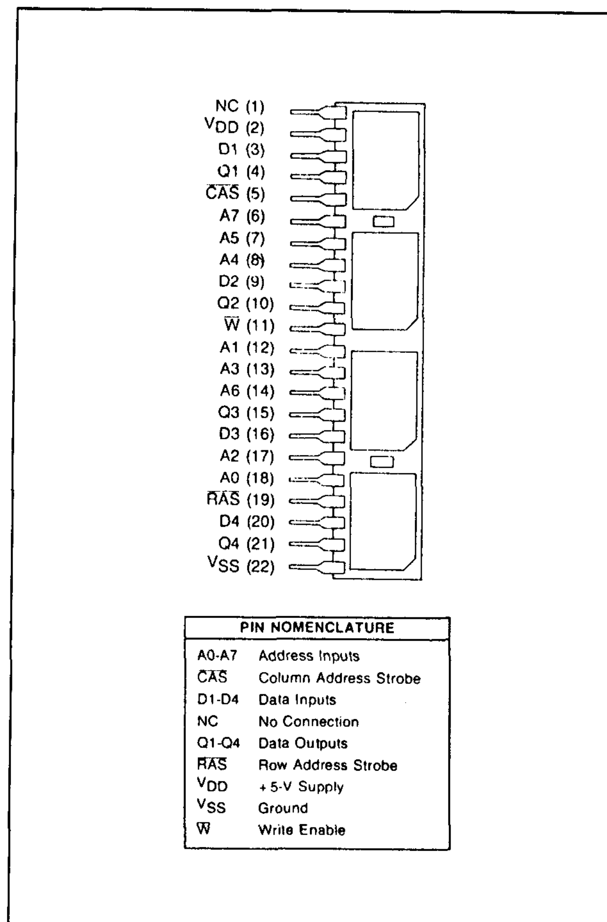
TM 4164EA4, TM 4164EC4

64k x 4 DRAM-module

De TM4164EA4 en TM4164EC4 zijn 256k dynamische RAM-modulen, georganiseerd in 65.536 woorden van 4 bit.
Hiervoor zijn 4 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) en twee ontkoppelcondensatoren van 0,1 µF op een 22-pens single-in-line module (printje) gemonteerd. De gegevens van de DRAM's zelf (ook van de timing) zijn in hoofdstuk 8/3.3 opgenomen. De SIP-module is in twee uitvoeringen leverbaar: de A-versie en de C-versie.

Specificaties

- 65.536 x 4 bit organisatie
- gemeenschappelijke $\overline{CAS}$-control
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele +5 V +/-10 % voeding
- lange refresh-periode: 4 ms (256 cycli)
- 22-pens SIP behuizing A-type (55,88 x 9,7 mm) of C-type (55,88 x 11,43 mm) (figuur 8/7.2.1-3)
- bevat 4 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164Ex4-12/15/20: resp. 800 mW, 700 mW en 540 mW, standby: 70 mW
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 256k x 4 SIP



Figuur 8/7.2.1-3: Bovenaanzicht en definities van de aansluitpennen van de 22-pens SIP module TM4164Ex4.

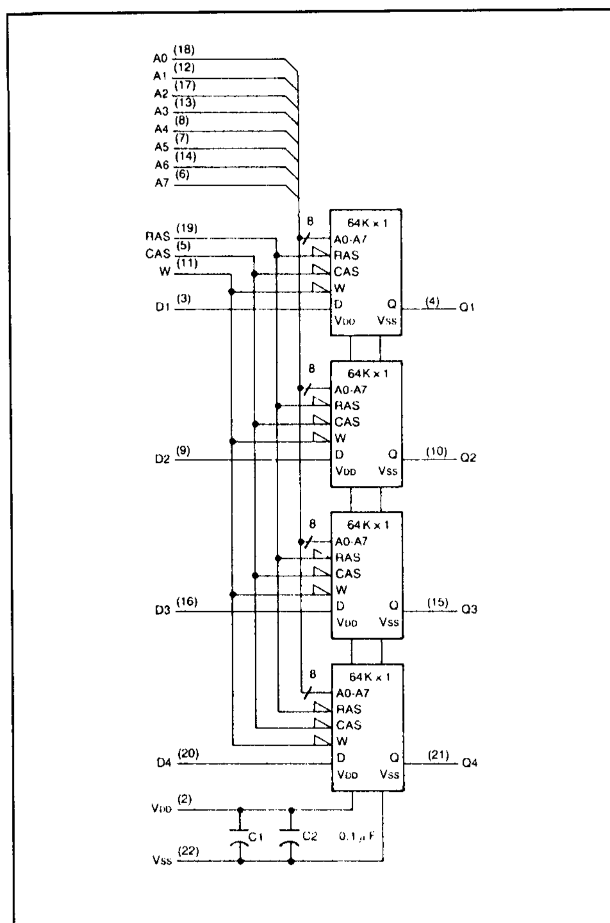
TM 4164EH5, TM 4164EQ5

64k x 5 DRAM-module

De TM4164EH5 en TM4164EQ5 zijn 320k dynamische RAM-modulen, georganiseerd in 65.536 woorden van 5 bit.
De benodigde 5 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) en twee ontkoppelcondensatoren van 0,1 µF zijn op een 24-pens SIP (single-in-line module) gemonteerd. De timing en overige gegevens van de DRAM's zijn vermeld in

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

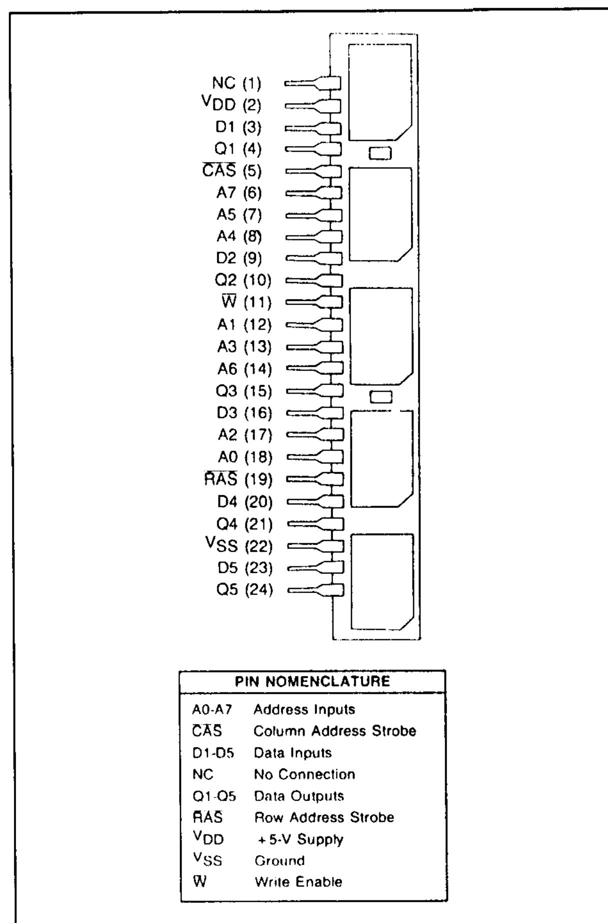
hoofdstuk 8/3.3. De SIP-module is in twee uitvoeringen leverbaar: H-type en Q-type.



Figuur 8/7.2.1-4: Functioneel blokschema van de TM4164Ex4.

Specificaties

- 65.536 x 5 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$-ingang
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele +5 V +/-10 % voeding
- lange refresh-periode: 4 ms max. (256 cycli)
- 24-pens SIP behuizing H-type (68,58 x 9,7 mm) of Q-type (68,58 x 11,43 mm) (figuur 8/7.2.1-5)
- bevat 5 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164Ex5-12/15/20: resp. 1.000 mW, 875 mW en 675 mW, standby: 87,5 mW
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 256k x 5 SIP



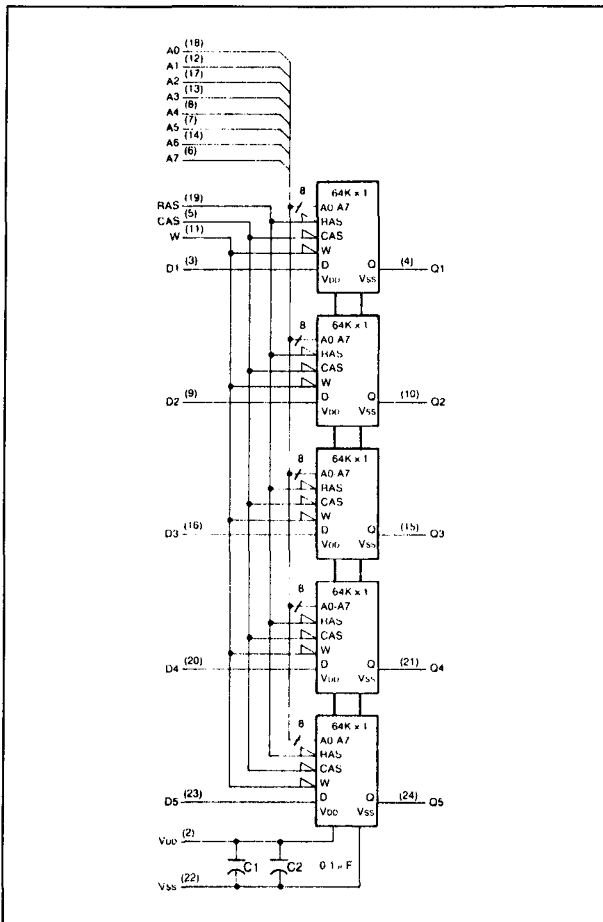
Figuur 8/7.2.1-5: Aanzicht op de componenten en definities van de aansluitpennen van de 24-pens SIP module TM4164Ex5.

TM 4164EK8

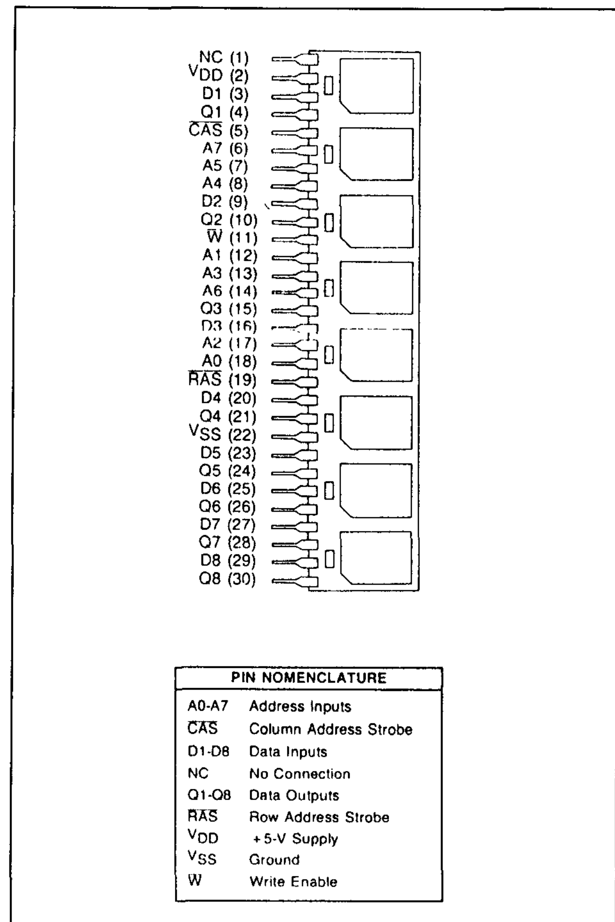
64k x 8 DRAM-module

De TM4164EK8 is een 512k dynamische RAM-module met een organisatie van 65.536 woorden van 8 bit.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-6: Functioneel blokschema van de TM4164Ex5.



PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column Address Strobe
D1-D8	Data Inputs
NC	No Connection
Q1-Q8	Data Outputs
$\overline{RAS}$	Row Address Strobe
VDD	+5-V Supply
VSS	Ground
W	Write Enable

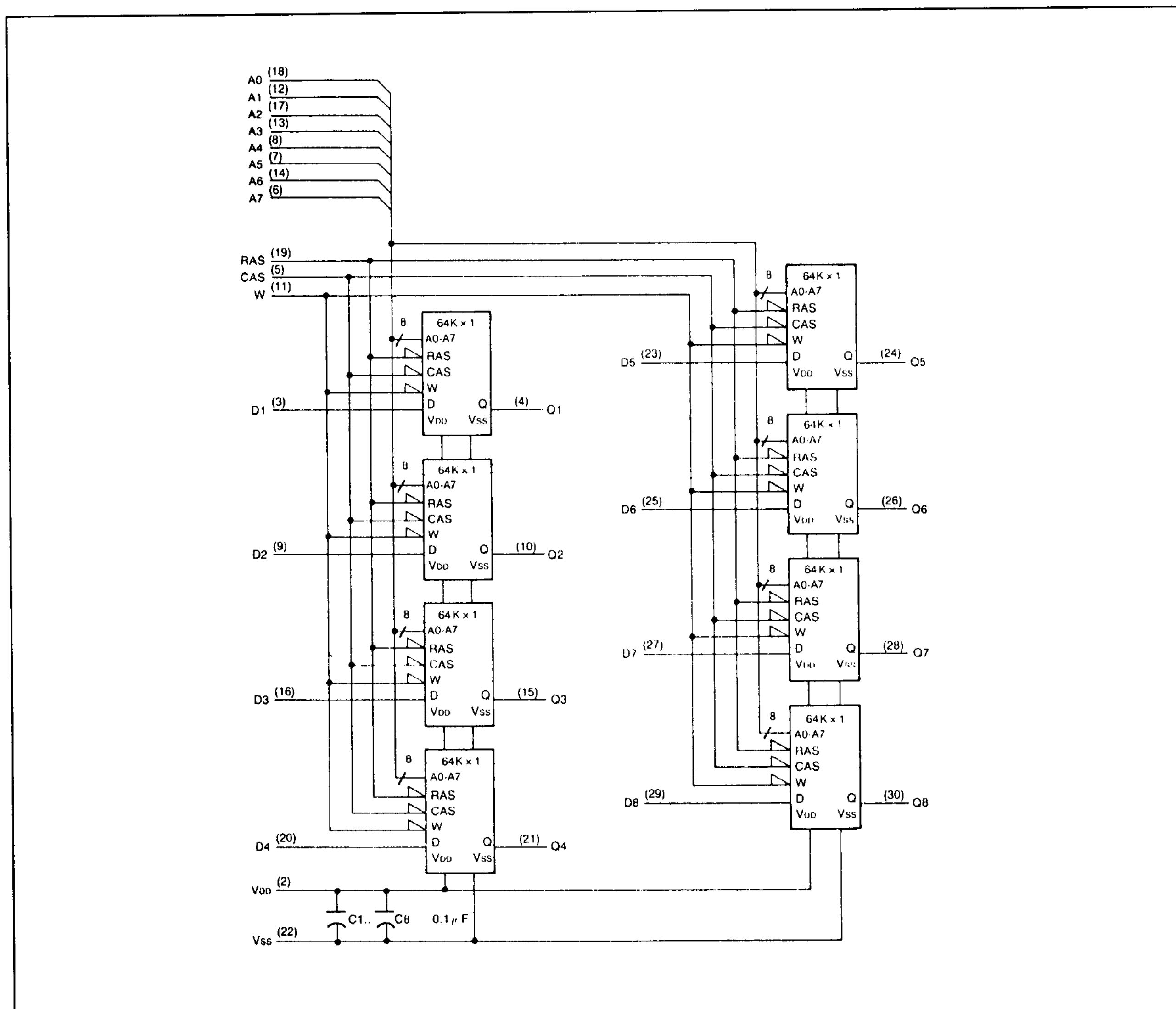
Figuur 8/7.2.1-7: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4164EK8.

Hiervoor zijn 8 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier), elk met zijn eigen ontkoppelcondensator van 0,1 µF nodig, die op een 30-pens SIP (single-in-line module) zijn gemonteerd. Voor de timing en overige gegevens van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

- 65.536 x 8 bit organisatie
- gemeenschappelijke $\overline{CAS}$-ingang
- gescheiden data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing K-type (76,20 x 17,78 mm) (figuur 8/7.2.1-7)
- bevat 8 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164EK8-12/15/20: resp. 1.600 mW, 1.400 mW of 1.080 mW, standby: 140 mW
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 256k x 8 SIP

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-8: Functioneel blokschema van de TM4164EK8.

TM 4164FL8

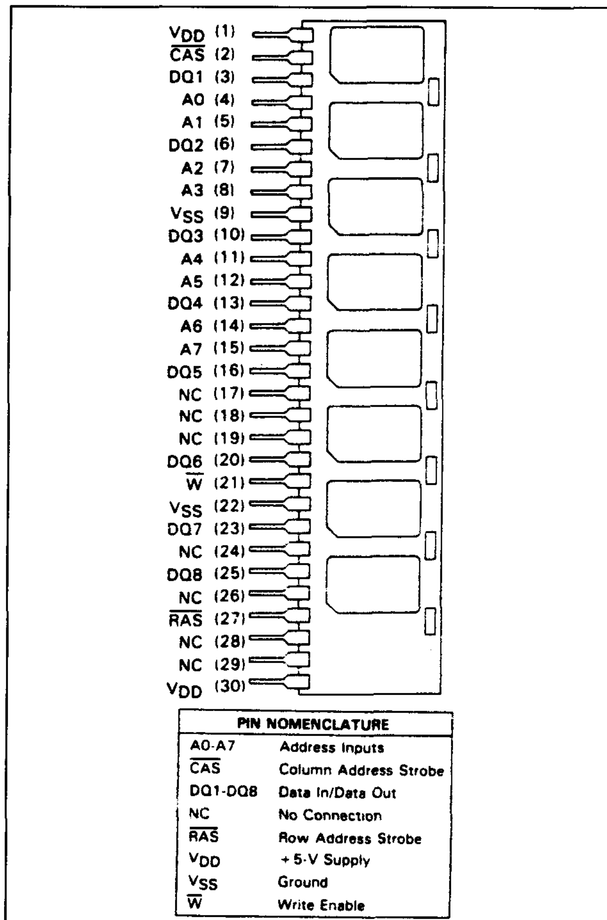
64k x 8 DRAM-module

Ook de TM4164FL8 is een 512k dynamische RAM-module met een organisatie van 65.536 x 8 bit woorden. De 8 hiervoor benodigde DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) en de 8 ontkoppelcondensatoren van 0,2 μF zijn op een 30-pens SIP (single-in-line module) gemonteerd. Voor de timing en overige gegevens van de DRAM's wordt weer verwezen naar hoofdstuk 8/3.3.

Specificaties

- 65.536 x 8 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing L-type (76,2 x 16,5 mm) (figuur 8/7.2.1-9)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
RAS	Row Address Strobe
VDD	+5-V Supply
VSS	Ground
W	Write Enable

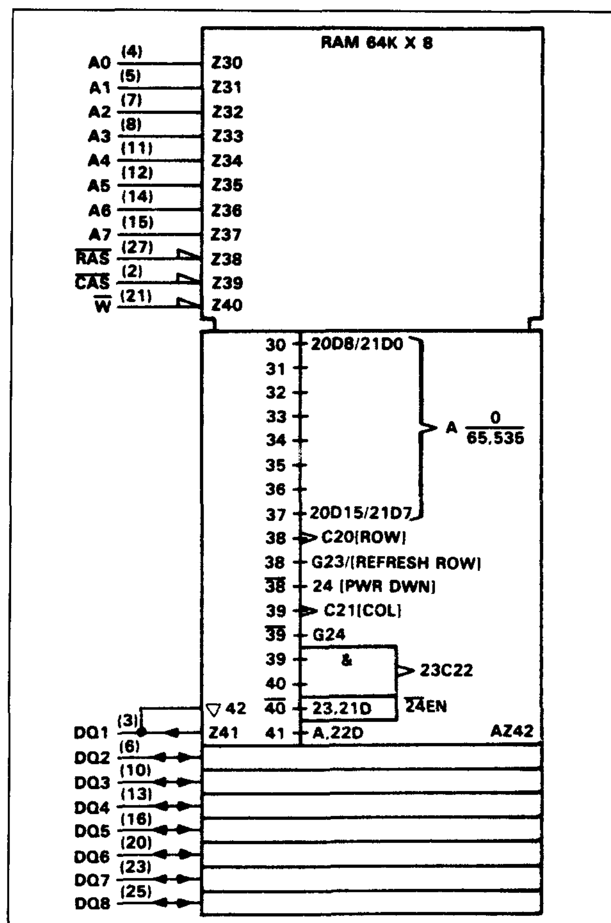
Figuur 8/7.2.1-9: Bovenaanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4164FL8.

- bevat 8 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164FL8-12/15/20: resp. 1.600 mW, 1.400 mW en 1.080 mW, standby: 140 mW
- bedrijfstemperatuur: 0 tot 70 °C

TM 4164FT8

64k x 8 low profile DRAM-module

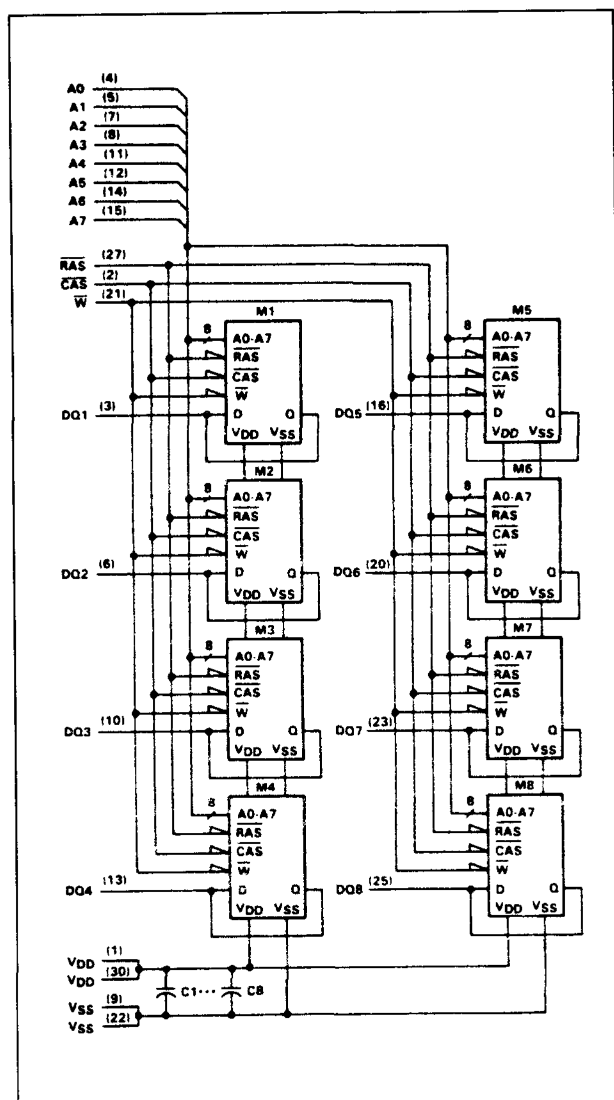
De TM4164FT8 is een 512k dynamische RAM-module met een 65.536 x 8 bit organisatie. De hiervoor benodigde 8 DRAM's van het type TMS4164 (64k x 1, plastic chipcarrier) met de bijbehorende 6 ontkoppelcondensator van 0,1 µF zijn, om een zo gering mogelijke hoogte van de module te verkrijgen, aan weerszijden van een 30-pens SIP (single-in-line module) geplaatst. Voor de timing en overige gegevens van de TMS4164FPL DRAM's wordt verwezen naar hoofdstuk 8/3.3.



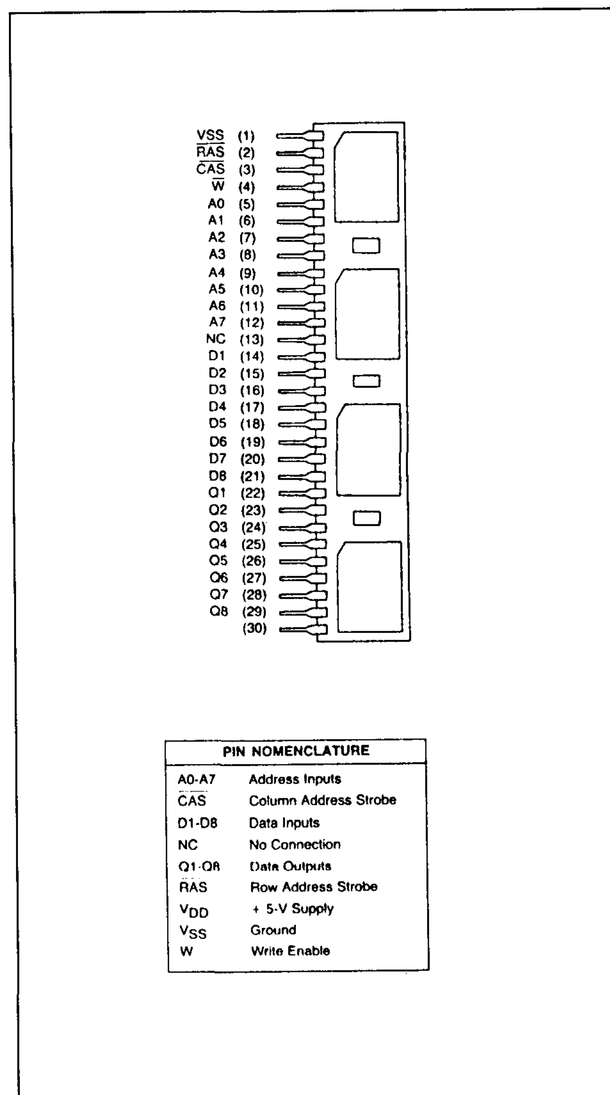
Figuur 8/7.2.1-10: Logisch symbool van de TM4164FL8.

Specificaties
- 65.536 x 8 bit organisatie
- gemeenschappelijke CAS-ingang
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



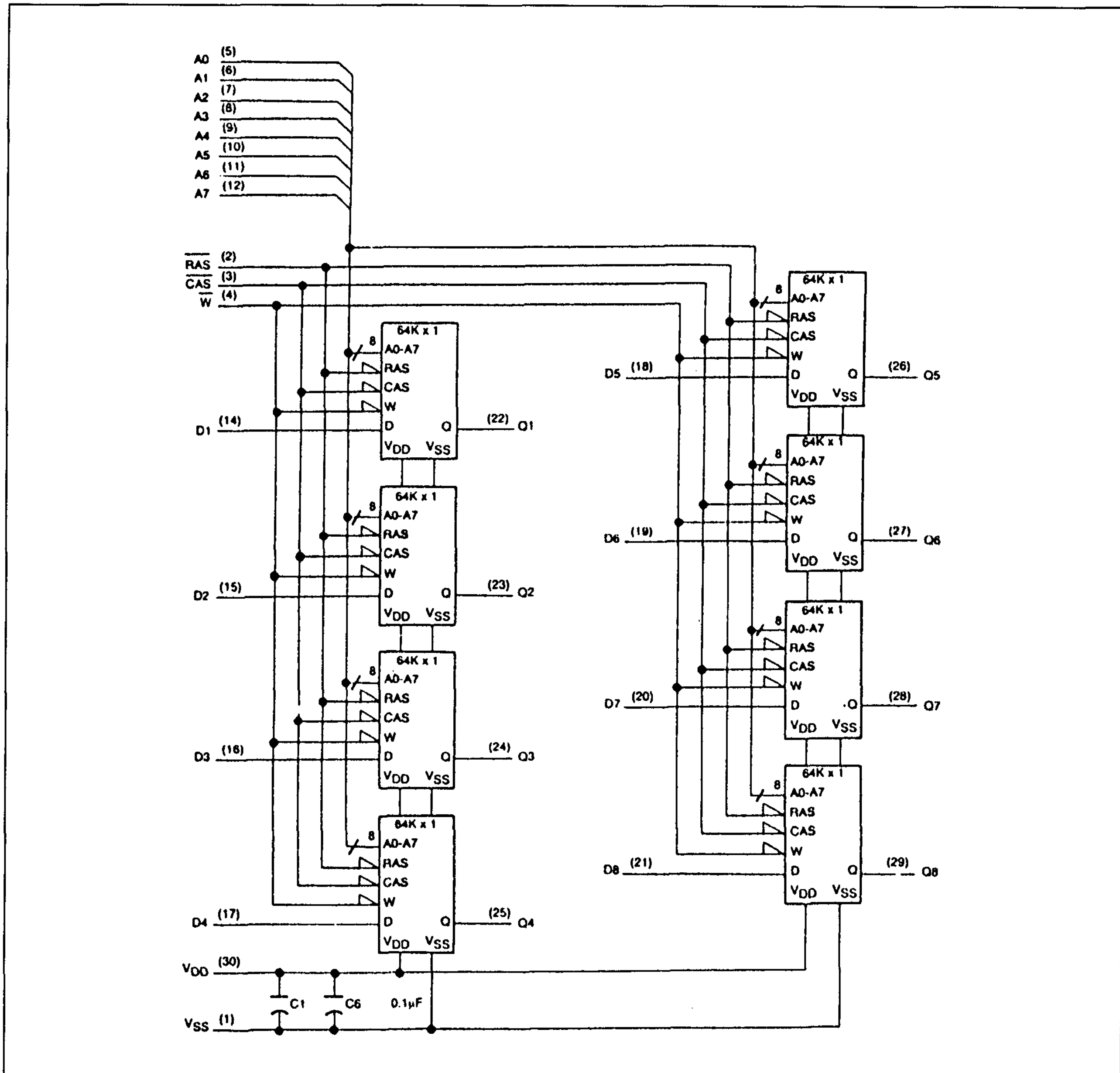
Figuur 8/7.2.1-11: Functioneel blokschema van de TM4164FL8.



Figuur 8/7.2.1-12: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4164FT8.

- 30-pens SIP behuizing T-type (76,20 x 12,70 mm) (figuur 8/7.2.1-12)
- bevat 8 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- componenten aan beide zijden van printje: low-profile
- dissipatie: TM4164FT8-12/15/20: resp. 1.600 mW, 1.400 mW of 1.080 mW, standby: 140 mW
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 256k x 8 SIP

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-13: Functioneel blokschema van de TM4164FT8.

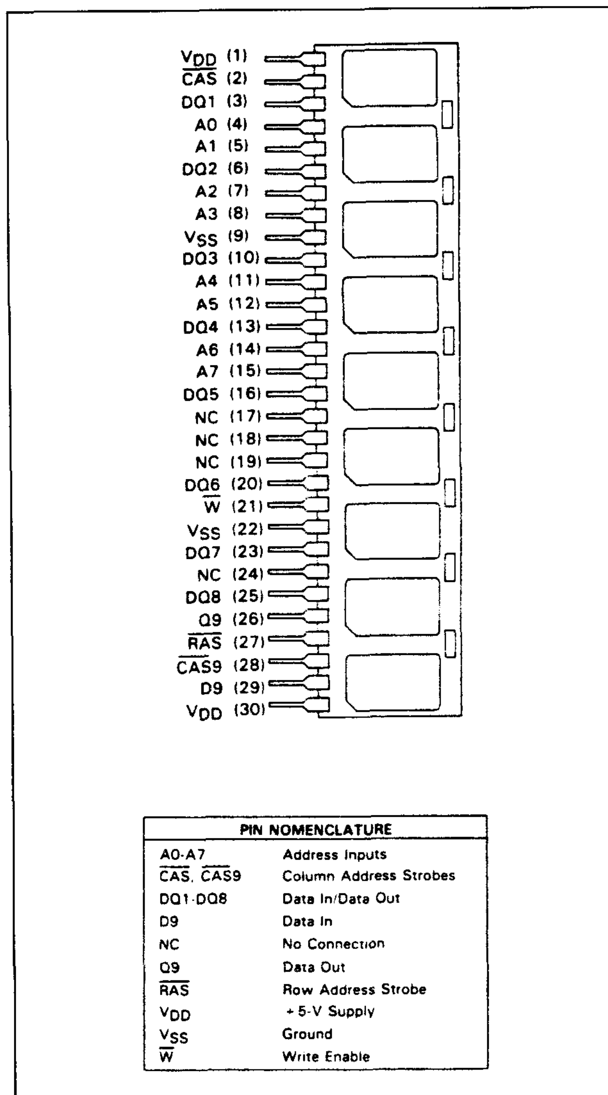
TM 4164EL9

64k x 8+1 DRAM-module

De TM4164EL9 is een 576k dynamische RAM-module, georganiseerd in 65.536 woorden van elk 9 bit. Het negende bit (D9, Q9) wordt meestal voor pariteitscontrole gebruikt en wordt apart bestuurd met $\overline{CAS}$9.

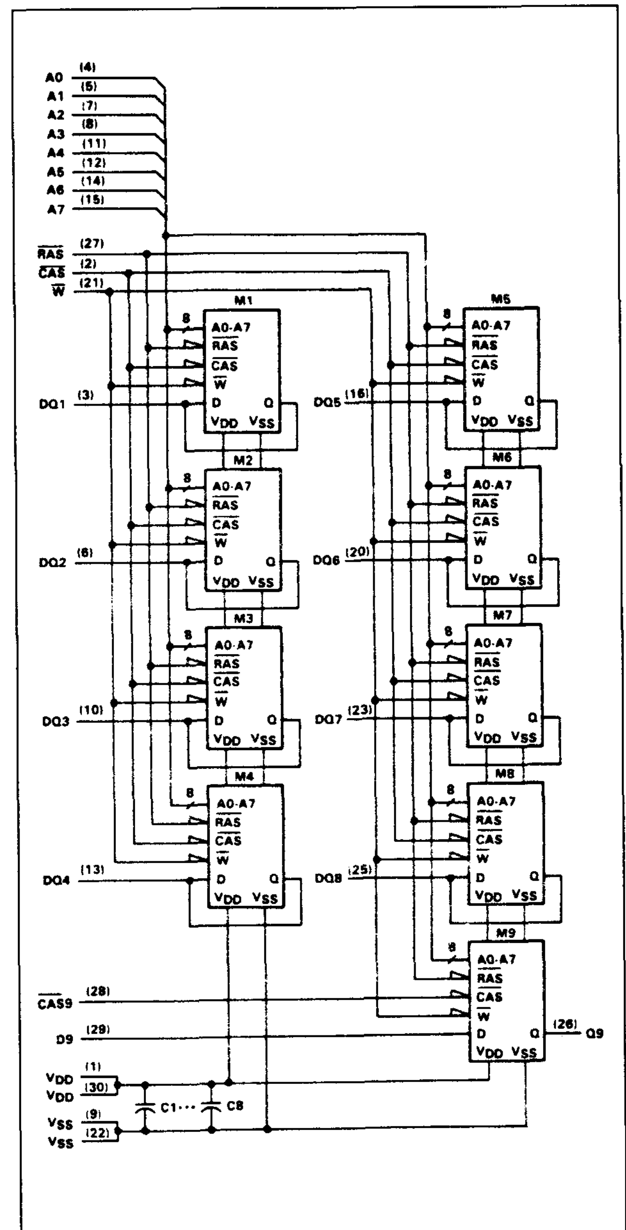
De 30-pens SIP (single-in-line) module is voorzien van 9 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) en heeft 8 ontkoppelcondensatoren van 0,2 μF. De timing en overige karakteristieken van de DRAM's zijn te vinden in hoofdstuk 8/3.3.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS, CAS9	Column Address Strobes
DQ1-DQ8	Data In/Data Out
D9	Data In
NC	No Connection
Q9	Data Out
RAS	Row Address Strobe
VDD	+5-V Supply
VSS	Ground
W	Write Enable

Figuur 8/7.2.1-14: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4164EL9.



Figuur 8/7.2.1-15: Functioneel blokschema van de TM4164EL9.

Specificaties

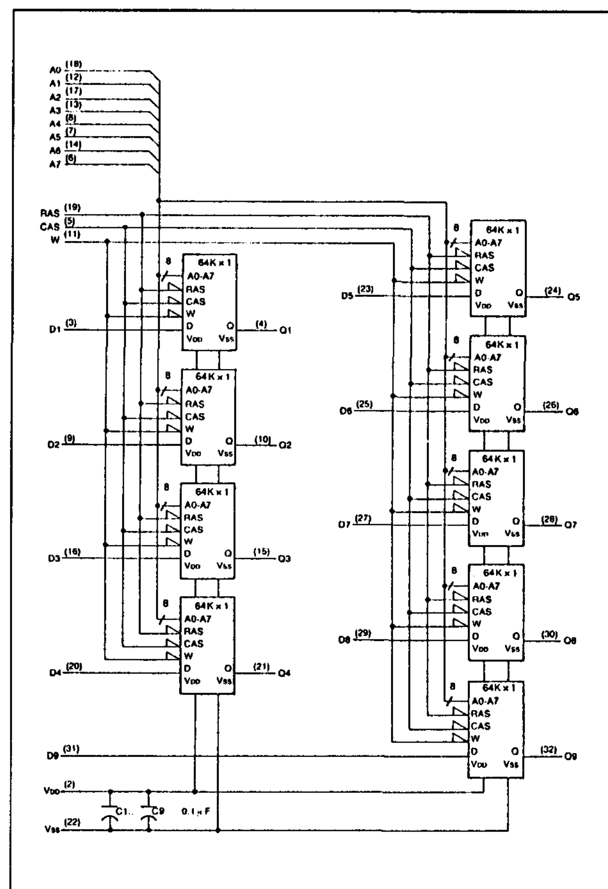
- 65.536 x 9 bit organisatie
- gemeenschappelijke CAS-ingang voor 8 datalijnen
- aparte CAS9-ingang voor 9e bit
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing L-type
- (76,2 x 16,5 mm) (figuur 8/7.2.1-14)
- bevat 9 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164EL9-12/15/20: resp. 1.800 mW, 1.575 mW en 1.215 mW, standby: 157,5 mW
- bedrijfstemperatuur: 0 tot 70 °C

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

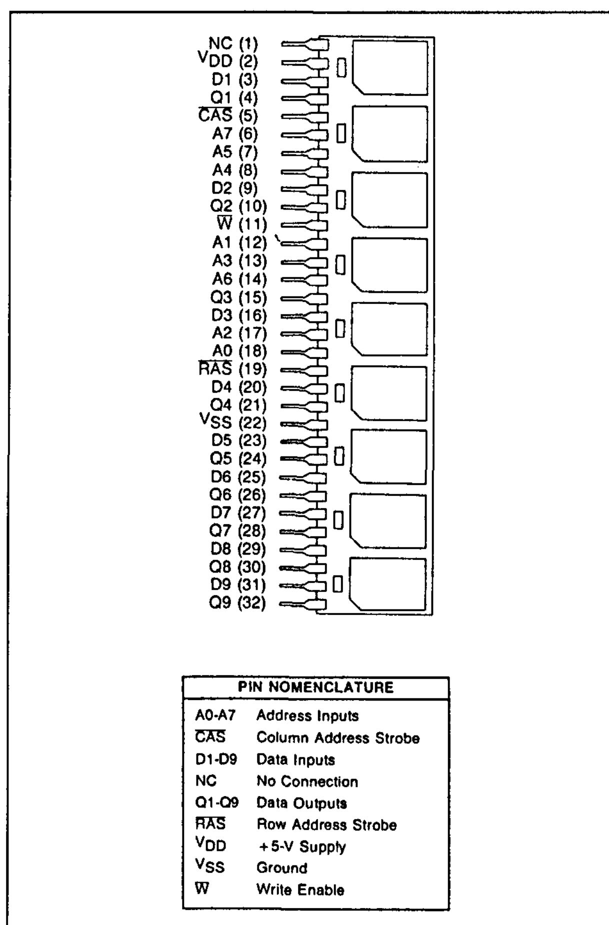
TM 4164FN9

64k x 9 DRAM-module

De TM4164FN9 is een 576k dynamische RAM-module met een 65.536 woorden x 9 bit organisatie. Ook hierbij wordt het negende bit meestal voor pariteitscontrole van 8 bit woorden gebruikt, maar heeft geen aparte CAS-besturing. De 32-pens SIP module is voorzien van 9 DRAM's van het type TMS4164FPL (64k x 1, plastic chip-carrier) met elk zijn eigen ontkoppelcondensator van 0,1 µF. De timing en elektrische karakteristieken van de DRAM's zijn te vinden in hoofdstuk 8/3.3.



Figuur 8/7.2.1-17: Functioneel blokschema van de TM4164FN9.



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column Address Strobe
D1-D9	Data Inputs
NC	No Connection
Q1-Q9	Data Outputs
RAS	Row Address Strobe
VDD	+5-V Supply
VSS	Ground
W	Write Enable

Figuur 8/7.2.1-16: Vooraanzicht en definities van de aansluitpennen van de 32-pens SIP module TM4164FN9.

Specificaties

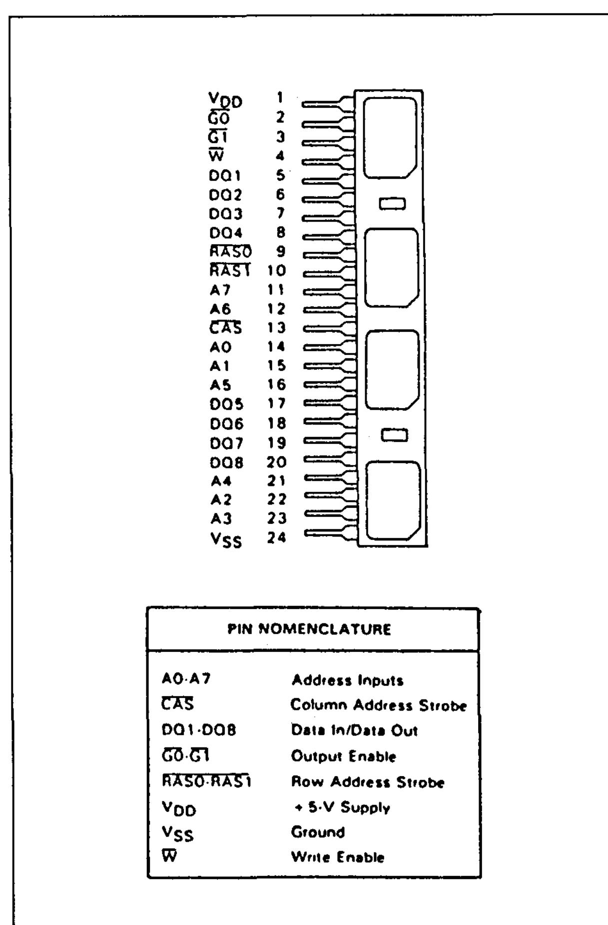
- 65.536 x 9 bit organisatie
- gemeenschappelijke CAS-ingang
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 32-pens SIP behuizing N-type (81,28 x 17,78 mm) (figuur 8/7.2.1-16)
- bevat 9 DRAM's:
  TMS4164-12: 120 ns
  TMS4164-15: 150 ns
  TMS4164-20: 200 ns
- dissipatie: TM4164FN9-12/15/20: resp. 1.800 mW, 1.575 mW en 1.215 mW, standby: 157,5 mW
- bedrijfstemperatuur: 0 tot 70 °C

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

TM 4416EE8, TM 4416EF8

32k x 8 DRAM-module

De TM4416EE8 en TM4416EF8 zijn 256k dynamische RAM-modulen met een 32.768 x 8 bit organisatie.
Hiervoor worden 4 DRAM's van het type TMS4416FPL (16k x 4 plastic chip-carrier) gebruikt die met 2 ontkoppelcondensatoren van 0,1 µF op een 24-pens SIP module zijn bevestigd. Voor de timing en de overige karakteristieken van de TMS4416 DRAM's wordt verwezen naar hoofdstuk 8/3.3. De SIP-module is in twee uitvoeringen leverbaar: TM4416EE8 en TM4416EF8.

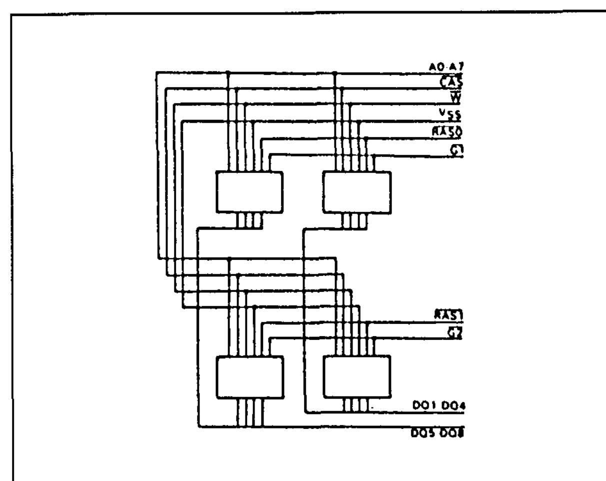


PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column Address Strobe
DQ1-DQ8	Data In/Data Out
G0-G1	Output Enable
RAS0-RAS1	Row Address Strobe
VDD	+ 5-V Supply
VSS	Ground
W	Write Enable

Figuur 8/7.2.1-18: Vooraanzicht en definities van de aansluitpennen van de 24-pens SIP module TM4416Ex8.

Specificaties

- 32.768 x 8 bit organisatie
- gemeenschappelijke CAS-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 24-pens SIP behuizing E-type (61,59 x 11,43 mm) of F-type (61,59 x 9,7 mm) (figuur 8/7.2.1-18)
- bevat 4 DRAM's, naar keuze:
  TMS4416-15: 150 ns
  TMS4416-20: 200 ns
- dissipatie: TM4416Ex8/15/20: resp. 800 mW en 700 mW, standby: 70 mW
- bedrijfstemperatuur: 0 tot 70 °C



Figuur 8/7.2.1-19: Functioneel blokschema van de TM4416Ex8.

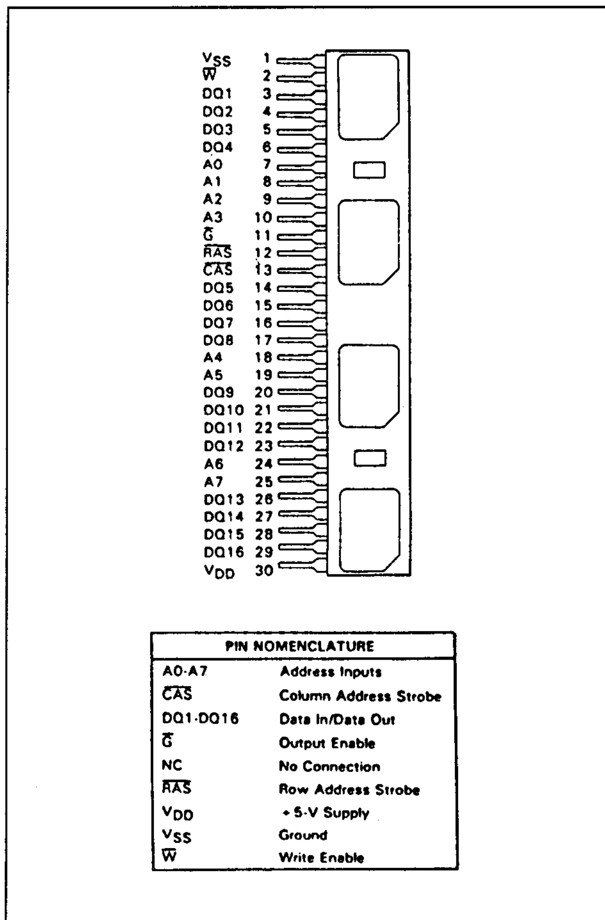
TM 4416EJ16, TM 4416ET16

16k x 16 DRAM-module

De TM4416EJ16 en TM4416ET16 zijn 256k dynamische RAM-modulen met een organisatie van 16.384 woorden van 16 bit. Ook voor dit formaat zijn 4 DRAM's van het type TMS4416FPL (16k x 4, plastic chip-carrier) nodig, die met 2 ontkoppelcondensatoren van 0,1 µF op een 30-pens SIP module zijn

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

gemonteerd. Voor de timing en de overige gegevens van de DRAM's wordt verwezen naar hoofdstuk 8/3.3. De SIP-module is in twee uitvoeringen leverbaar: TM4416EJ16 en TM4416ET16.

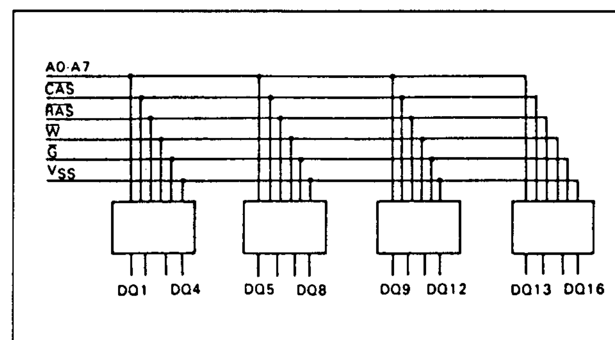


PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS̅	Column Address Strobe
DQ1-DQ16	Data In/Data Out
G̅	Output Enable
NC	No Connection
RAS̅	Row Address Strobe
VDD	+5-V Supply
VSS	Ground
W̅	Write Enable

Figuur 8/7.2.1-20: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4416Ex16.

Specificaties

- 16.384 x 16 bit organisatie
- gemeenschappelijke CAS̅-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing J-type (76,83 x 9,7 mm) of T-type (76,83 x 11,43 mm) (figuur 8/7.2.1-20)
- bevat 4 DRAM's:
  TMS4416-15: 150 ns
  TMS4416-20: 200 ns
- dissipatie: TM4416Ex16/15/20: resp. 800 mW en 700 mW, standby: 70 mW
- bedrijfstemperatuur: 0 tot 70 °C



Figuur 8/7.2.1-21: Functioneel blokschema van de TM4416Ex16.

TM 4161EV4

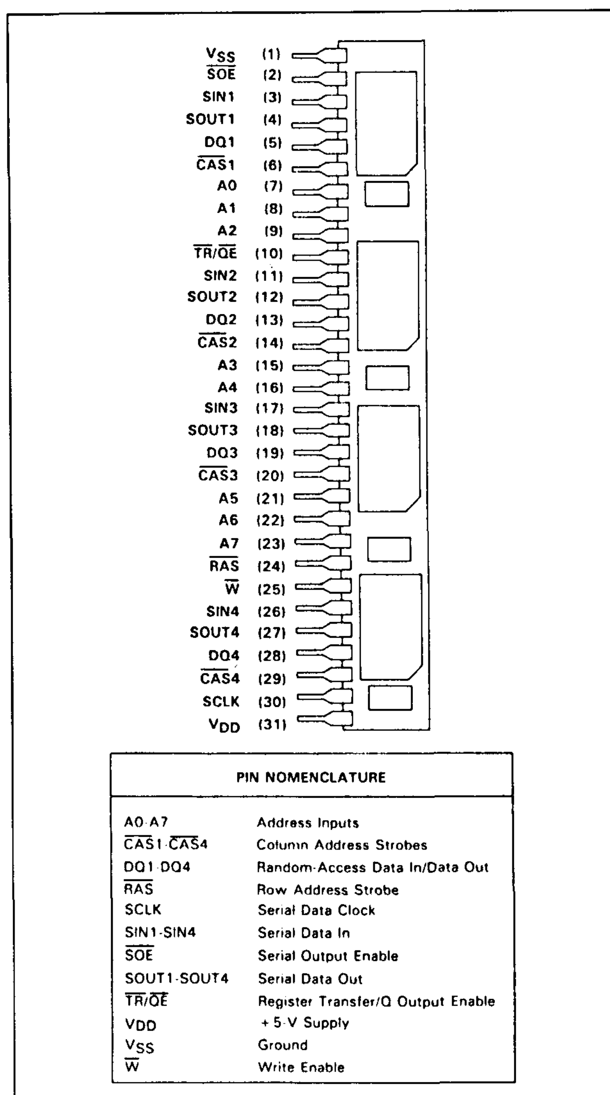
64k x 4 multiport video DRAM-module

De TM4161EV4 is een 256k dubbel toegankelijke dynamische RAM-module met een 65.536 x 4 bit organisatie.
Hiervoor zijn 4 DRAM's van het type TMS4161FML (64k x 1 multiport video-RAM, plastic chip-carrier) gebruikt, die met 4 ontkoppelcondensatoren op een 31-pens SIP module zijn gemonteerd. Voor de timing en de overige gegevens van de video-RAM's wordt verwezen naar hoofdstuk 8/3.4.

Specificaties

- 65.536 x 4 bit organisatie
- gemeenschappelijke RAS̅-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- aparte CAS̅-ingangen
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %

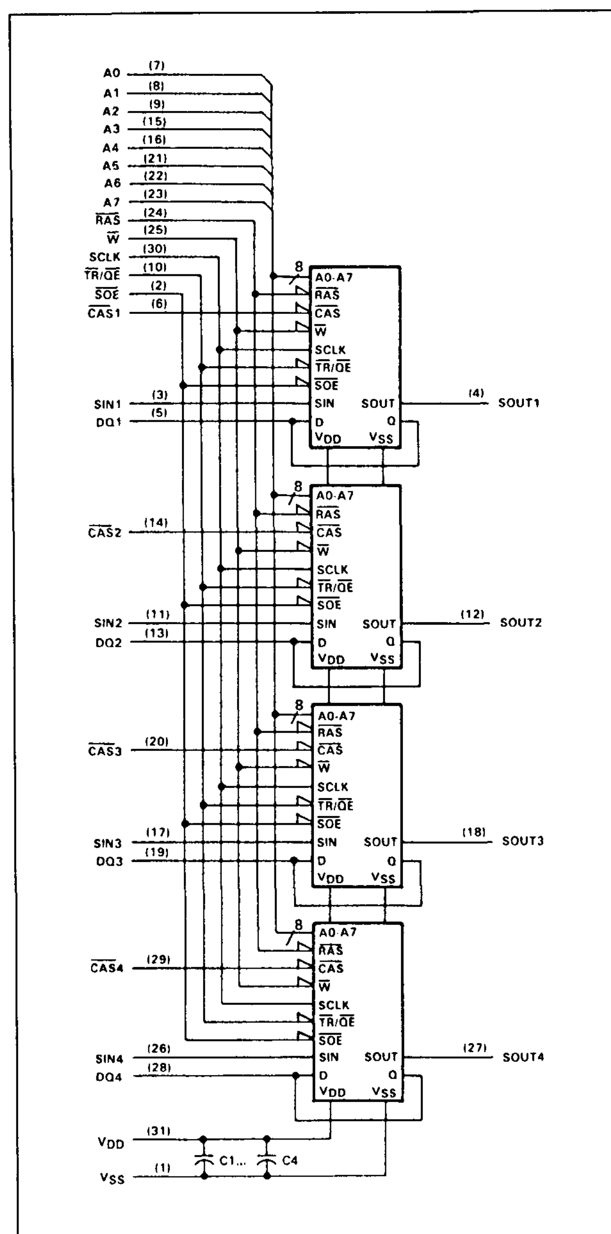
7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



PIN NOMENCLATURE

A0-A7	Address Inputs
CAS1-CAS4	Column Address Strobes
DQ1-DQ4	Random-Access Data In/Data Out
RAS	Row Address Strobe
SCLK	Serial Data Clock
SIN1-SIN4	Serial Data In
SOE	Serial Output Enable
SOUT1-SOUT4	Serial Data Out
TR/QE	Register Transfer/Q Output Enable
VDD	+ 5-V Supply
VSS	Ground
W	Write Enable

Figuur 8/7.2.1-22: Vooraanzicht en definities van de aansluitpennen van de 31-pens SIP module TM4161EV4.



Figuur 8/7.2.1-23: Functioneel blokschema van de TM4161EV4. Door de gemeenschappelijke in-/uitgangen van de datalijnen zijn "early write" cycli nodig.

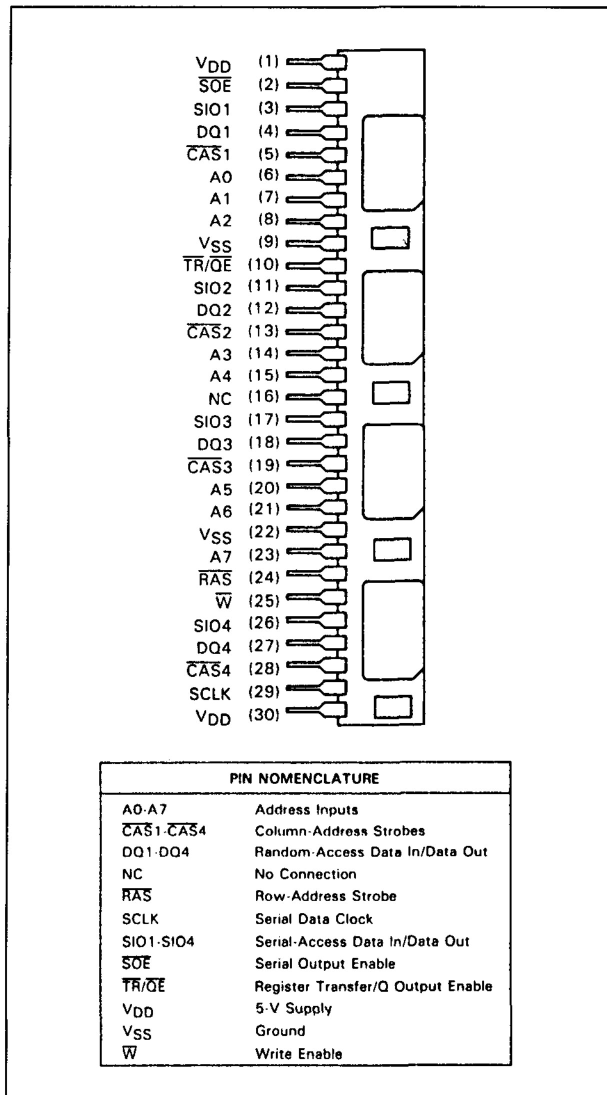
- lange refresh-periode: 4 ms max. (256 cycli)
- 31-pens SIP behuizing V-type (78,74 x 11,43 mm) (figuur 8/7.2.1-22)
- bevat 4 multiport video-RAM's: TMS4161-15: 150 ns TMS4161-20: 200 ns
- dissipatie: TM4161EV4/15/20: resp. 800 mW en 700 mW, standby: resp. 320 mW en 280 mW
- bedrijfstemperatuur: 0 tot 70 °C

TM 4161GW4, TM 4161GY4

64k x 4 multiport video DRAM-module

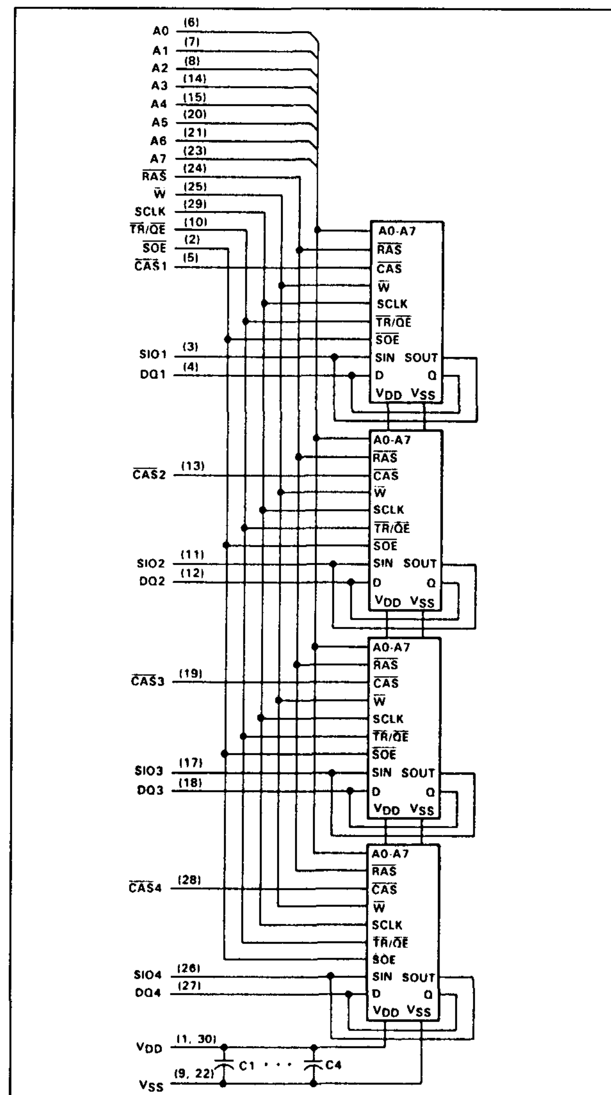
De TM4161GW4 en TM4161GY4 zijn 256k dubbel toegankelijke dynamische RAM-modulen met 65.536 woorden van 4 bit.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{\text{CAS}}$1-$\overline{\text{CAS}}$4	Column-Address Strobes
DQ1-DQ4	Random-Access Data In/Data Out
NC	No Connection
$\overline{\text{RAS}}$	Row-Address Strobe
SCLK	Serial Data Clock
SIO1-SIO4	Serial-Access Data In/Data Out
$\overline{\text{SOE}}$	Serial Output Enable
$\overline{\text{TR}}/\overline{\text{QE}}$	Register Transfer/Q Output Enable
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable

Figuur 8/7.2.1-24: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4161GY4 (ook verkrijgbaar als SIMM: TM4161GW4).



Figuur 8/7.2.1-25: Functioneel blokschema van de TM4161Gx4.

De hiervoor benodigde 4 DRAM's van het type TMS4161FML (64k x 1 multiport video-RAM, plastic chip-carrier) zijn samen met 4 ontkoppelcondensatoren op een 30-pens SIP module (Y-type) of een 30-pens SIMM (W-type) gemonteerd. De timing en de overige gegevens van de video-RAM's zijn vermeld in hoofdstuk 8/3.4.

Specificaties

- 65.536 x 4 bit organisatie
- gemeenschappelijke $\overline{\text{RAS}}$-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- aparte $\overline{\text{CAS}}$-ingangen
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

- leverbaar in 30-pens SIP behuizing Y-type (76,2 x 11,43 mm) of 30-pens SIMM W-type (88,9 x 12,7) (figuur 8/7.2.1-24)
- bevat 4 multiport video-RAM's:
  TMS4161-15: 150 ns
  TMS4161-20: 200 ns
- dissipatie: TM4161EV4/15/20: 1.000 mW, standby: 256 mW
- bedrijfstemperatuur: 0 tot 70 °C

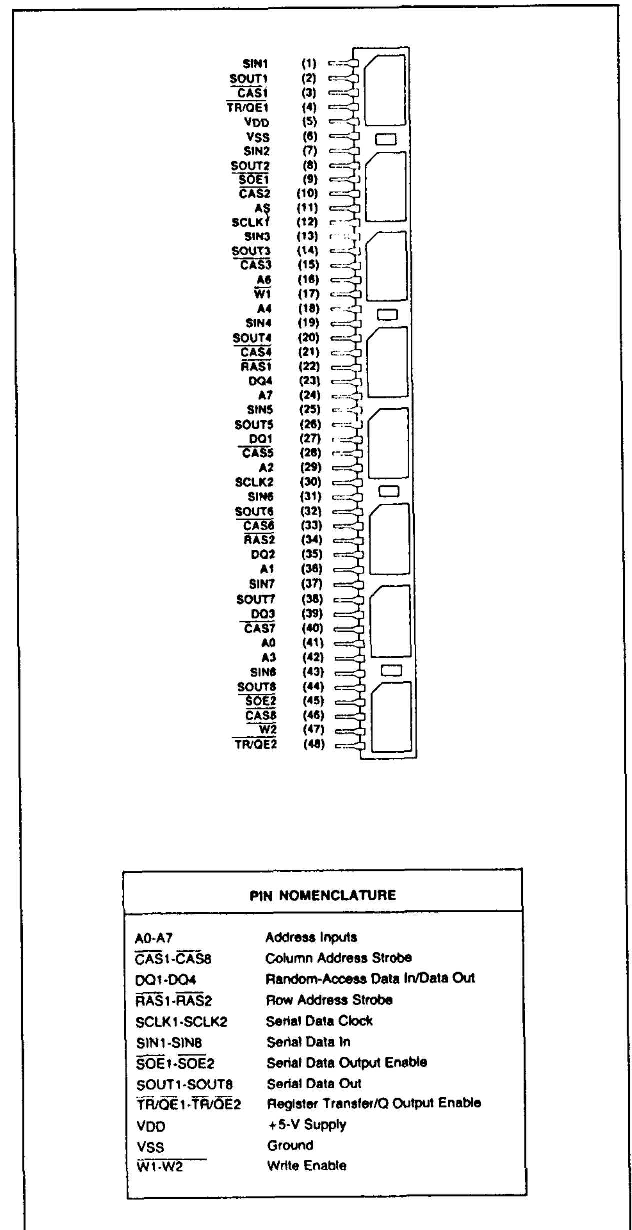
TM 4161SE8

128 x 4 multiport video DRAM-module

De TM4161SE8 is een 512k dubbel toegankelijke dynamische RAM-module met een van het typenummer afwijkende organisatie: 131.072 woorden van 4 bit.
Er wordt namelijk gewerkt met twee "banken". De hiervoor benodigde 8 DRAM's van het type TMS4161FML (64k x 1 multiport video-RAM, plastic chip-carrier) zijn met 4 ontkoppelcondensatoren op een 48-pens SIP module gemonteerd.
Voor de timing en de overige gegevens van de video-RAM's zelf wordt verwezen naar hoofdstuk 8/3.4.

Specificaties

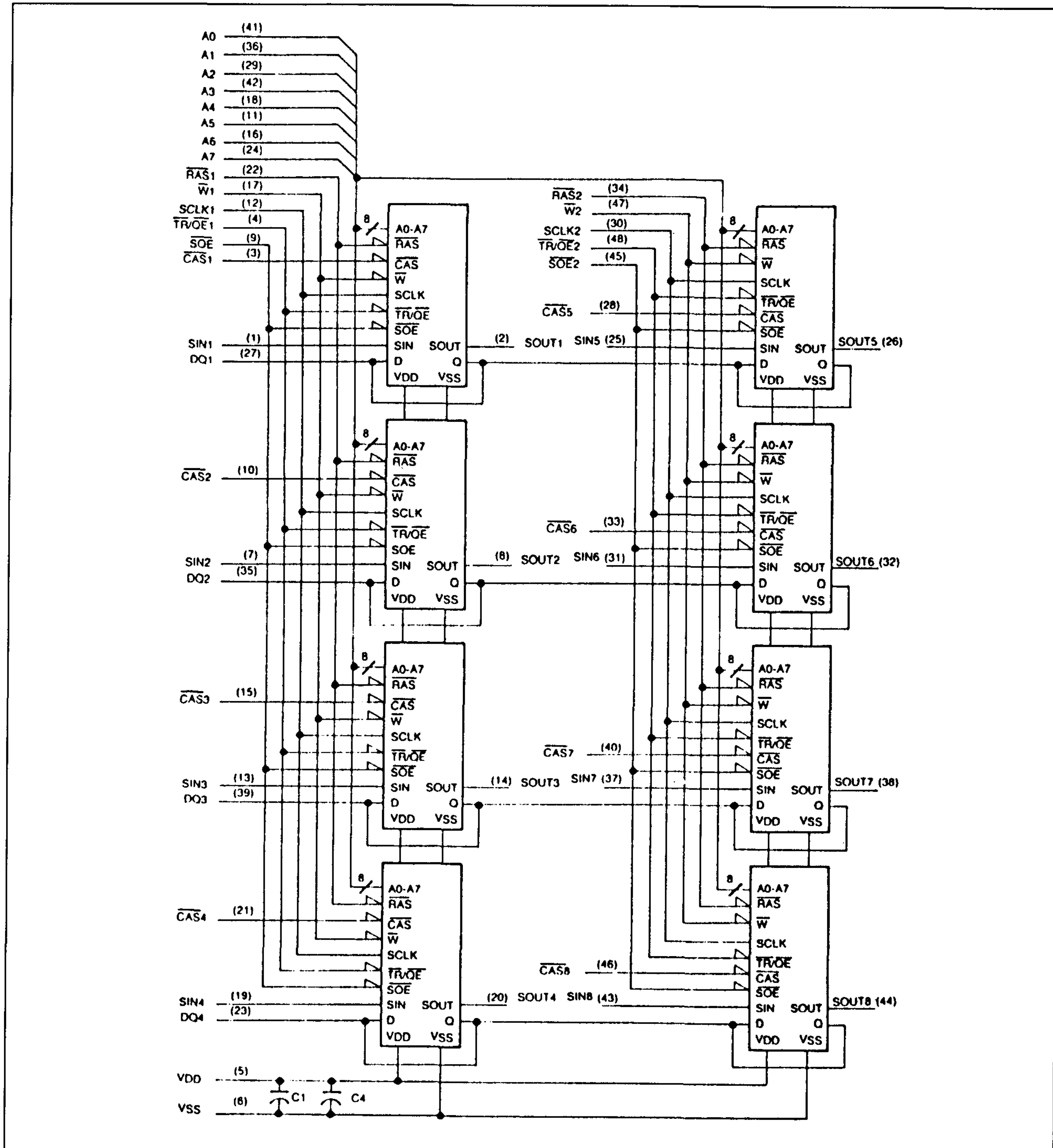
- 131.072 x 4 bit organisatie
- per bank één gemeenschappelijke RAS-ingang
- gemeenschappelijke data in- en uitgangen (3-state)
- aparte CAS-ingangen
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 48-pens SIP behuizing E-type (121,92 x 10,92 mm) (figuur 8/7.2.1-26)
- bevat 8 multiport video-RAM's:
  TMS4161-15: 150 ns
  TMS4161-20: 200 ns
- dissipatie: TM4161SE8/15/20: resp. 1.320 mW en 1.180 mW, standby: resp. 640 mW en 560 mW
- bedrijfstemperatuur: 0 tot 70 °C



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS1-CAS8	Column Address Strobe
DQ1-DQ4	Random-Access Data In/Data Out
RAS1-RAS2	Row Address Strobe
SCLK1-SCLK2	Serial Data Clock
SIN1-SIN8	Serial Data In
SOE1-SOE2	Serial Data Output Enable
SOUT1-SOUT8	Serial Data Out
TR/QE1-TR/QE2	Register Transfer/Q Output Enable
VDD	+5-V Supply
VSS	Ground
W1-W2	Write Enable

Figuur 8/7.2.1-26: Vooraanzicht en definities van de aansluitpennen van de 48-pens SIP module TM4161SE8.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



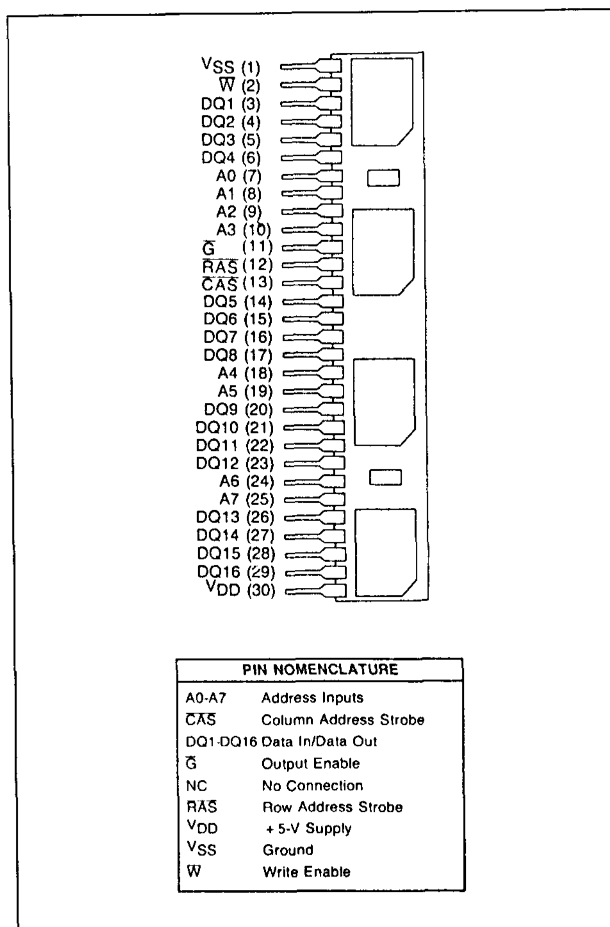
Figuur 8/7.2.1-27: Functioneel blokschema van de TM4161SE8. De gemeenschappelijke in-/uitgangen van de datalijnen maken "early write" cycli noodzakelijk.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

TM 4464EJ16, TM 4464ET16

64k x 16 DRAM-module

De TM4464EJ16 en TM4464ET 16 zijn 1M dynamische RAM-modulen met een 65.536 x 16 bit organisatie.
Hiervoor zijn 4 DRAM's van het type TMS4464FML (64k x 4, plastic chip-carrier) nodig, die met 2 ontkoppelcondensatoren van 0,1 μF op een 30-pens SIP module zijn gemonteerd. Voor de timing en de overige gegevens van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3. De SIP-module is in twee uitvoeringen leverbaar: TM4464EJ16 en TM4464ET16.



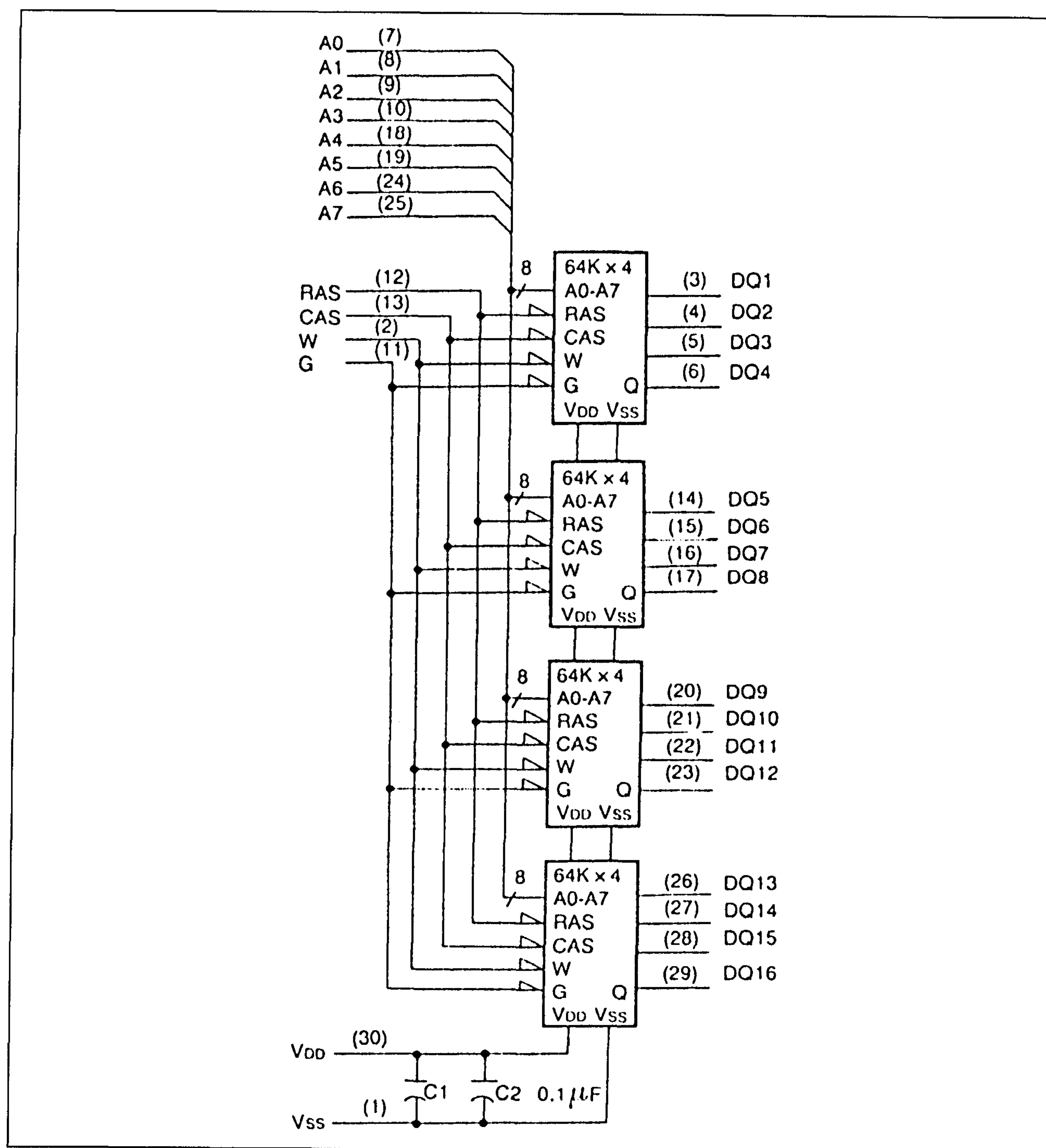
PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column Address Strobe
DQ1-DQ16	Data In/Data Out
$\overline{G}$	Output Enable
NC	No Connection
$\overline{RAS}$	Row Address Strobe
VDD	+ 5-V Supply
VSS	Ground
$\overline{W}$	Write Enable

Figuur 8/7.2.1-28: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM4464Ex16.

Specificaties

- 65.536 x 16 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing J-type (76,83 x 9,7 mm) of T-type (76,83 x 11,43 mm) (figuur 8/7.2.1-28)
- bevat 4 DRAM's:
  TMS4464-12: 120 ns
  TMS4464-15: 150 ns
  TMS4464-20: 200 ns
- dissipatie: TM4464Ex16/12/15/20: resp. 1.300, 1.100 en 900 mW, standby: 50 mW
- bedrijfstemperatuur: 0 tot 70 °C

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-29: Functioneel blokschema van de TM4464Ex16.

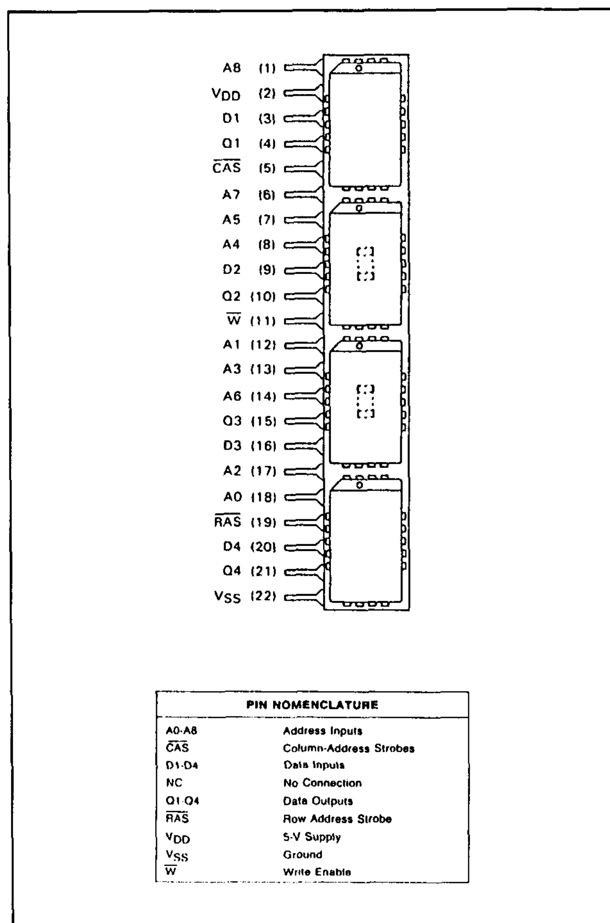
TM 4256EA4, TM 4257EA4

256k x 4 DRAM-module

De TM425xEA4 is een 1M dynamische RAM-module, georganiseerd in 262.144 woorden van 4 bit. Hiertoe zijn 4 DRAM's van het type TMS4256FML of TMS4257FML (256k x 1, plastic chip-carrier) samen met 2 ontkoppelcondensatoren van 0,1 μF op een 22-pens SIP module gemonteerd. Wanneer DRAM's van het type 4256 zijn gebruikt, is

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

page-mode bedrijf mogelijk; bij toepassing van 4257's vinden nibble-mode operaties plaats. Voor de timing, de werking en de overige gegevens van beide soorten DRAM wordt verwezen naar hoofdstuk 8/3.3.

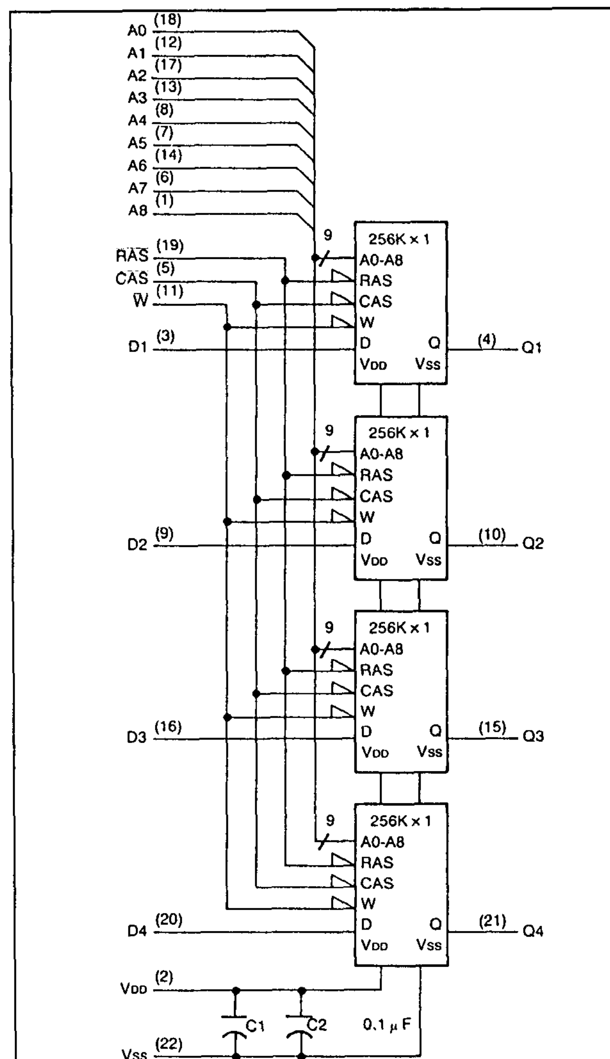


PIN NOMENCLATURE	
A0-A8	Address Inputs
CAS	Column-Address Strobes
D1-D4	Data Inputs
NC	No Connection
Q1-Q4	Data Outputs
RAS	Row Address Strobe
VDD	5-V Supply
VSS	Ground
W	Write Enable

Figuur 8/7.2.1-30: Vooraanzicht en definities van de aansluitpennen van de 22-pens SIP module TM425xEA4.

Specificaties

- 262.144 x 4 bit organisatie
- gemeenschappelijke CAS- en RAS-ingangen
- gescheiden data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256, nibble-mode: TM4257
- lange refresh-periode: 4 ms max. (256 cycli)
- 22-pens SIP behuizing A-type (55,58 x 9,7 mm) (figuur 8/7.2.1-30)
- bevat 4 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- dissipatie: TM425xEA4/10/12/15: resp. 1.500, 1.300 en 1.100 mW, standby: 50 mW
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1M x 4 SIP's; neerwaarts compatibel met 64k x 4 SIP's



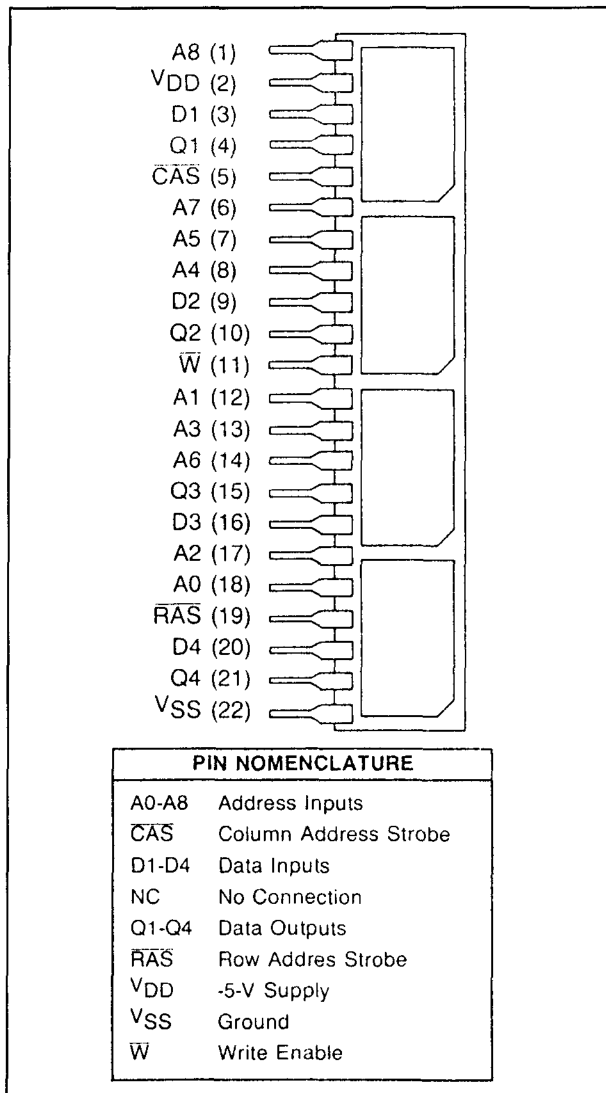
Figuur 8/7.2.1-31: Functioneel blokschema van de TM425xEA4.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

TM 4256EC4

256k x 4 DRAM-module

De TM4256EC4 is, net als de hiervoor vermelde typen, een 1M dynamische RAM-module met een 262.144 x 4 bit organisatie. Op de 22-pens SIP module zijn 4 DRAM's van het type TMS4256FML (256k x 1, plastic chip-carrier) en 2 ontkoppelcondensatoren van 0,1 μF gemonteerd.
Doordat de DRAM's van het type 4256 zijn, vindt bedrijf in page-mode plaats.

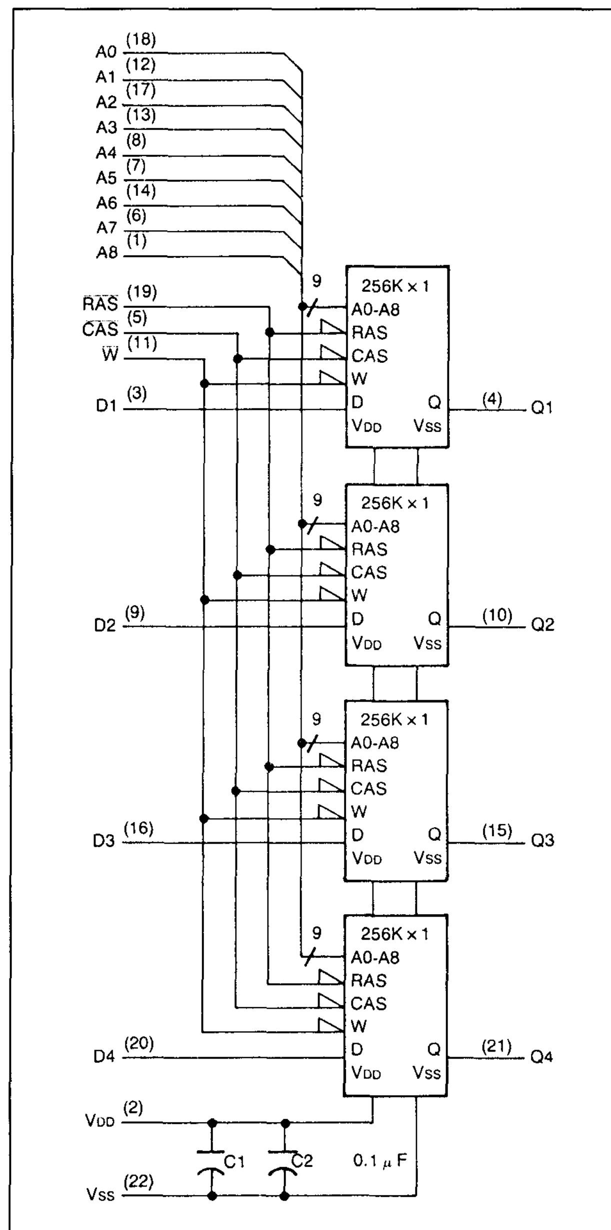


Figuur 8/7.2.1-32: Vooraanzicht en definities van de aansluitpennen van de 22-pens SIP module TM4256EC4.

Voor de timing, werking en overige gegevens van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

- 262.144 x 4 bit organisatie
- gemeenschappelijke CAS- en RAS-ingangen



Figuur 8/7.2.1-33: Functioneel blokschema van de TM4256EC4.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

- gescheiden data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode operatie
- lange refresh-periode: 4 ms max. (256 cycli)
- 22-pens SIP behuizing C-type (55,58 x 11,43 mm) (figuur 8/7.2.1-32)
- bevat 4 DRAM's, naar keuze:
  TMS4256-10: 100 ns
  TMS4256-12: 120 ns
  TMS4256-15: 150 ns
- dissipatie: TM4256EC4/10/12/15: resp. 1.500, 1.300 en 1.100 mW, standby: 50 mW
- bedrijfstemperatuur: 0 tot 70 °C

TM 4256FA1, TM 4257FA1

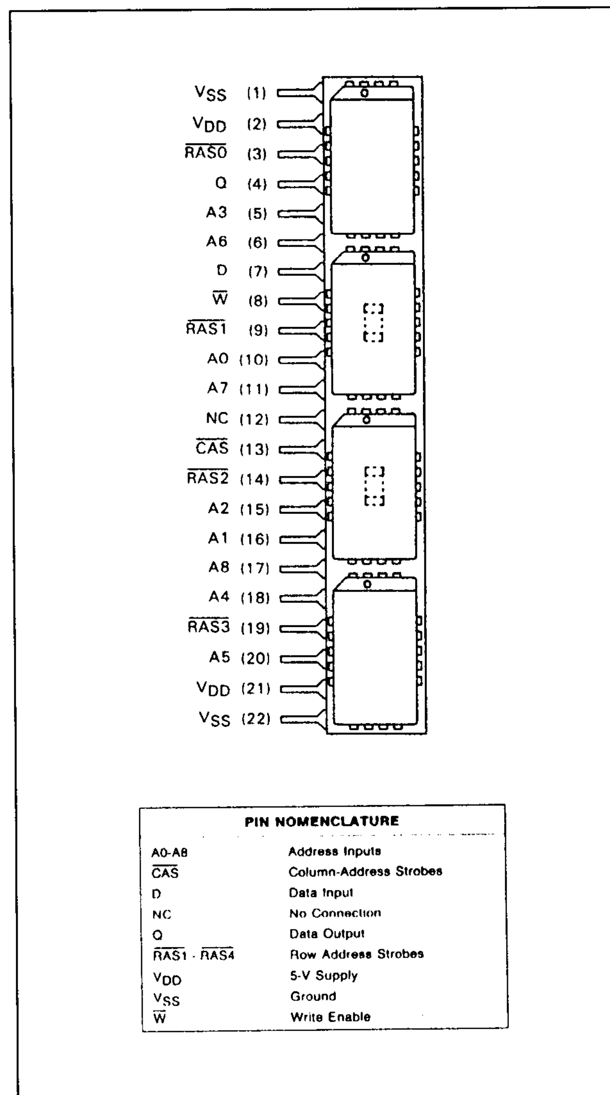
1M x 1 DRAM-module

De TM425xFA1 is een 1 M dynamische RAM-module met 1.048.576 1-bit woorden. Hiervoor zijn 4 DRAM's nodig van het type TMS4256FML of TMS4257FML (256k x 1, plastic chip-carrier), die samen met 2 ontkoppelcondensatoren van 0,1 µF op een 22-pens SIP module worden gemonteerd. Wanneer de module DRAM's van het type 4256 bevat, is page-mode bedrijf mogelijk, terwijl bij gebruik van 4257's bedrijf in de nibble-mode plaatsvindt.

De gegevens voor timing, werking en andere karakteristieken van beide soorten DRAM zijn te vinden in hoofdstuk 8/3.3.

Specificaties

- 1.048.576 x 1 bit organisatie
- gemeenschappelijke CAS-ingang
- aparte RAS-ingangen
- aparte data in- en uitgang (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256,
  nibble-mode: TM4257



Figuur 8/7.2.1-34: Vooraanzicht en definities van de aansluitpennen van de 22-pens SIP module TM425xFA1.

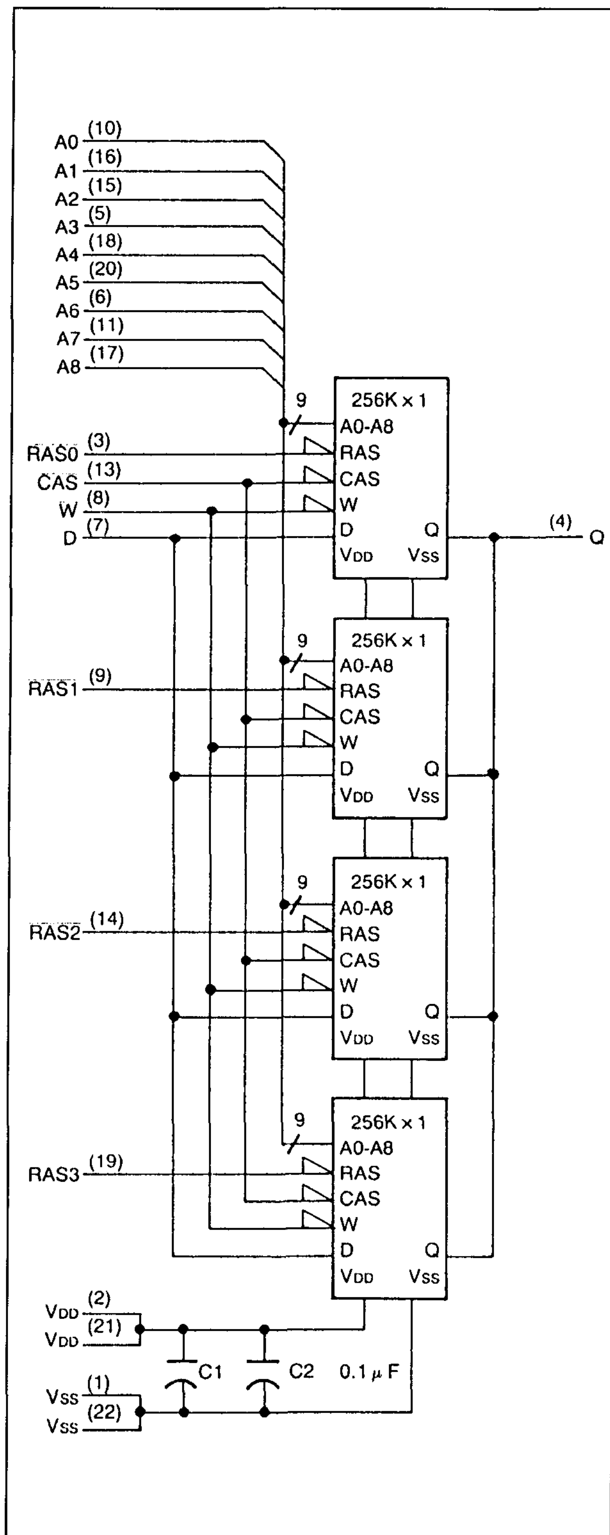
- lange refresh-periode: 4 ms max. (256 cycli)
- 22-pens SIP behuizing A-type (55,58 x 9,7 mm) (figuur 8/7.2.1-34)
- bevat 4 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 1 SIP's

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

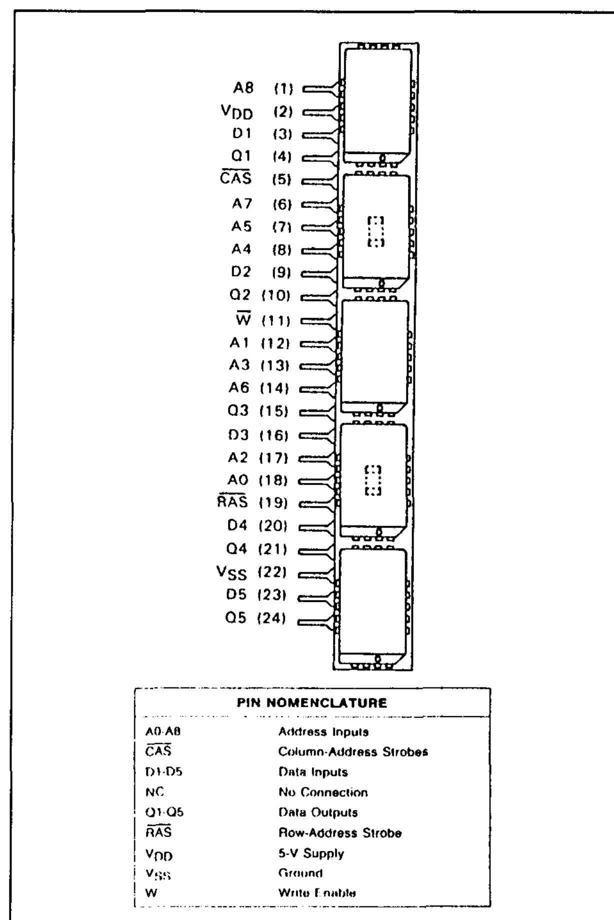
TM 4256EH5, TM 4257EH5

256k x 5 DRAM-module

De TM425xEH5 is een 1,25M dynamische RAM-module die georganiseerd is in 262.144 woorden van 5 bit. De hiervoor benodigde 5 DRAM's van het type TMS4256FML of TMS4257FML (256k x 1, plastic chip-carrier) zijn met 2 ontkoppelcondensatoren van 0,1 µF op een 24-pens SIP module gemonteerd. Bij gebruik van 4256-type DRAM's is page-mode bedrijf mogelijk, terwijl 4257-typen in de nibble-mode werken. Voor de volledige timing, werking en andere gegevens van beide soorten DRAM wordt verwezen naar hoofdstuk 8/3.3.

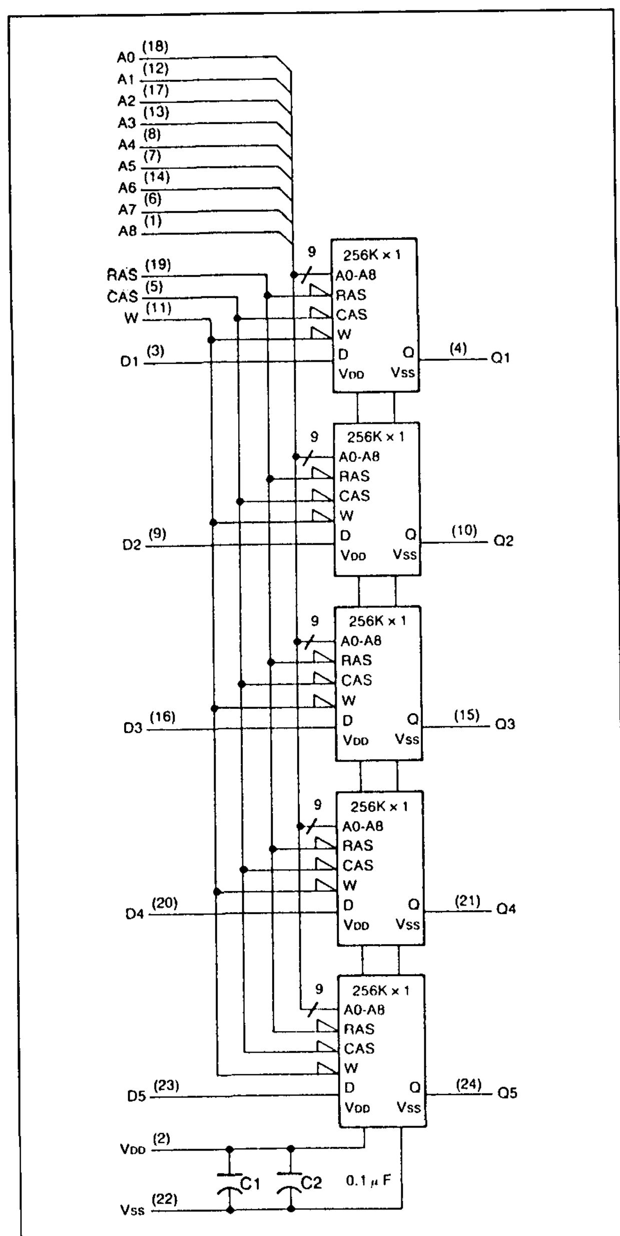


Figuur 8/7.2.1-35: Functioneel blokschema van de TM425xFA1.



Figuur 8/7.2.1-36: Vooraanzicht en definities van de aansluitpennen van de 24-pens SIP module TM425xEH5.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-37: Functioneel blokschema van de TM425xEH5.

Specificaties

- 262.144 x 5 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- data in- en uitgangen (3-state) gescheiden
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256,
  nibble-mode: TM4257
- lange refresh-periode: 4 ms max.
  (256 cycli)
- 24-pens SIP behuizing H-type
  (68,58 x 9,7 mm) (figuur 8/7.2.1-36)
- bevat 5 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1M x 5 SIP's en neerwaarts compatibel met 64k x 5 SIP's

TM 4256EK8, TM 4257EK8

256k x 8 DRAM-module

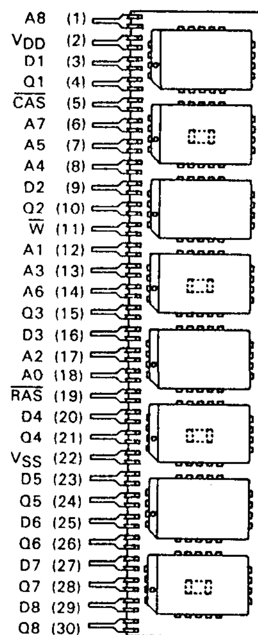
De TM425xEK8 is een 2M grote dynamische RAM-module die georganiseerd is in 262.144 woorden van elk 8 bit. Hiervoor zijn 8 DRAM's van het type TMS4256FML of TMS4257FML nodig (256k x 1, plastic chip-carrier) die tegelijk met 4 ontkoppelcondensatoren van 0,1 μF op een 30-pens SIP module zijn gemonteerd. Bedrijf in page-mode is mogelijk wanneer DRAM's van 4256-type worden toegepast, terwijl nibble-mode mogelijk wordt als 4257-typen zijn geplaatst. Voor de timing, werking en andere gegevens van beide soorten DRAM wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

- 262.144 x 8 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gescheiden data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256,
  nibble-mode: TM4257
- lange refresh-periode: 4 ms max.
  (256 cycli)
- 30-pens SIP behuizing K-type
  (76,20 x 17,78 mm) (figuur 8/7.2.1-38)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

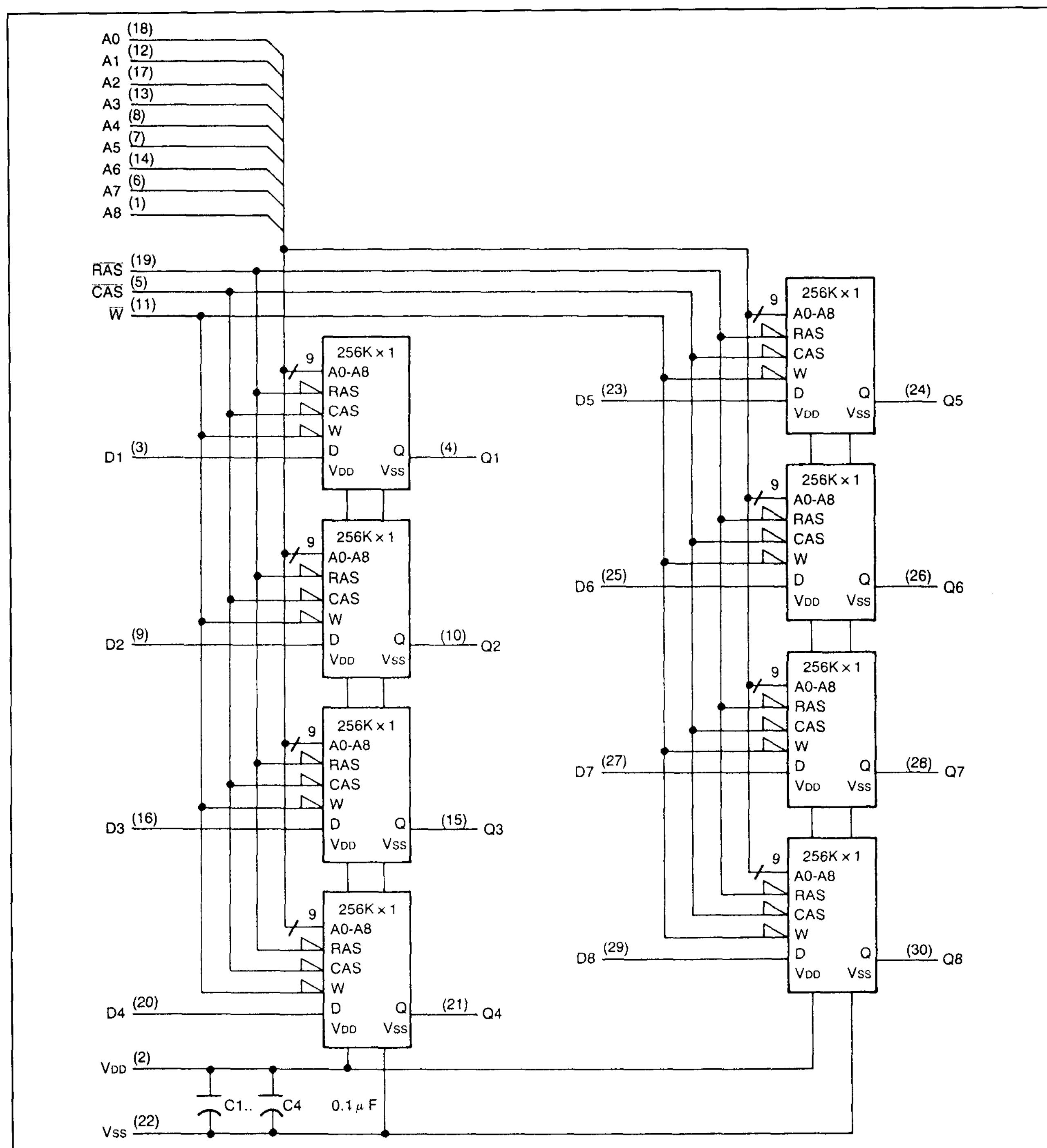
- bevat 8 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts en neerwaarts compatibel met resp. 1M x 8 SIP's en 64k x 8 SIP's



PIN NOMENCLATURE	
A0-A8	Address Inputs
$\overline{CAS}$	Column-Address Strobes
D1-D8	Data Inputs
Q1-Q8	Data Outputs
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/7.2.1-38: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM425xEK8.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-39: Functioneel blokschema van de TM425xEK8.

TM 4256FL8, TM 4256GU8

256k x 8 DRAM-module

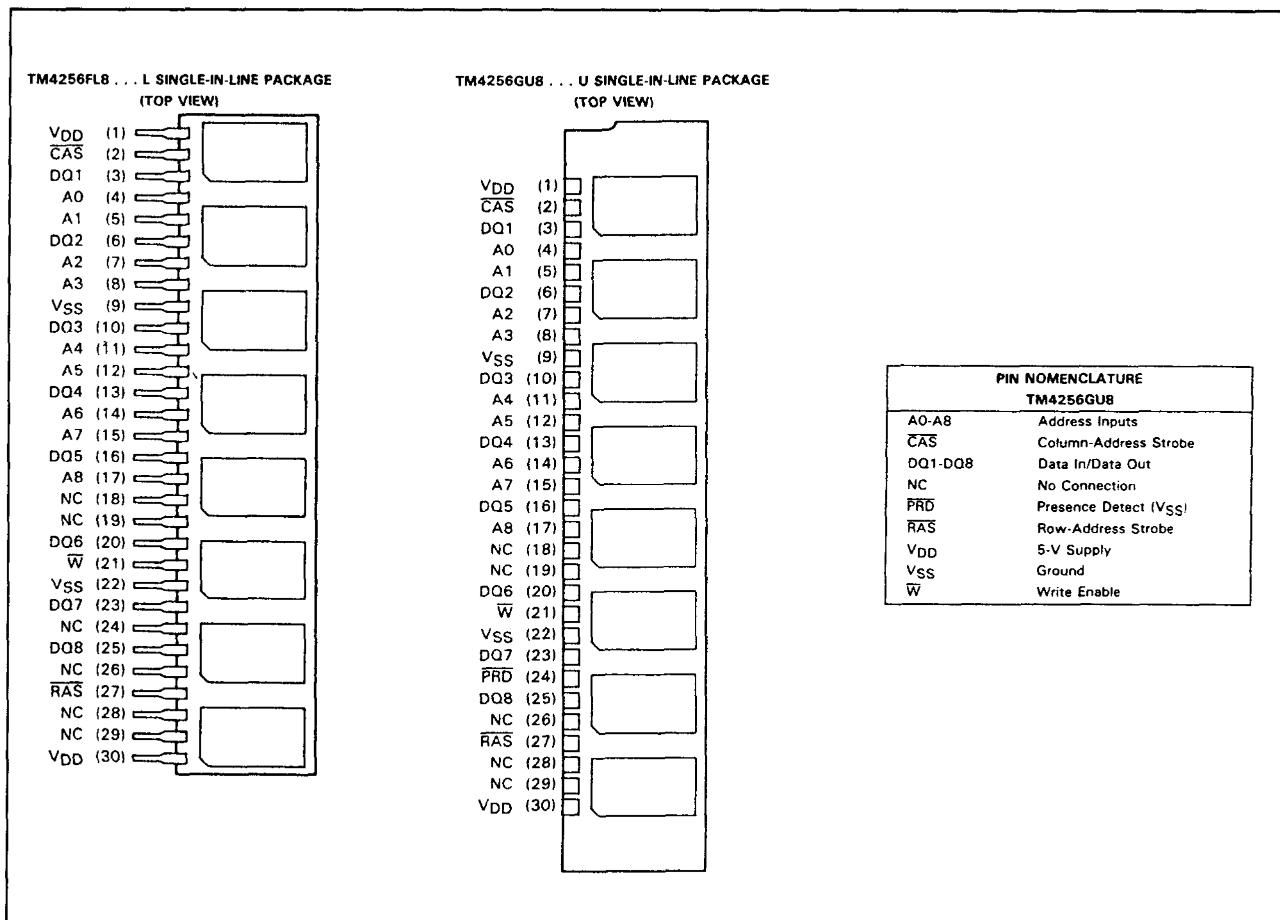
De TM4256FL8 en TM4256GU8 zijn 2M dynamische RAM-modulen met een 262.144 x 8 bit organisatie. De modulen verschillen alleen in uitvoering van elkaar: de FL-versie is een 30-pens SIP module, terwijl de GU-versie een 30-pens SIMM (socket-

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

type) is. Beide modulen bevatten 8 DRAM's van het type TMS4256FML (256k x 1, plastic chip-carrier) waaronder de ontkoppelcondensatoren zijn gemonteerd. De SIMM heeft een "presence detect" aansluiting die extern met een weerstand HOOG getrokken moet worden. Als zich dan een SIMM in de socket bevindt, is deze uitgang LAAG. Voor de timing, werking en overige gegevens van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

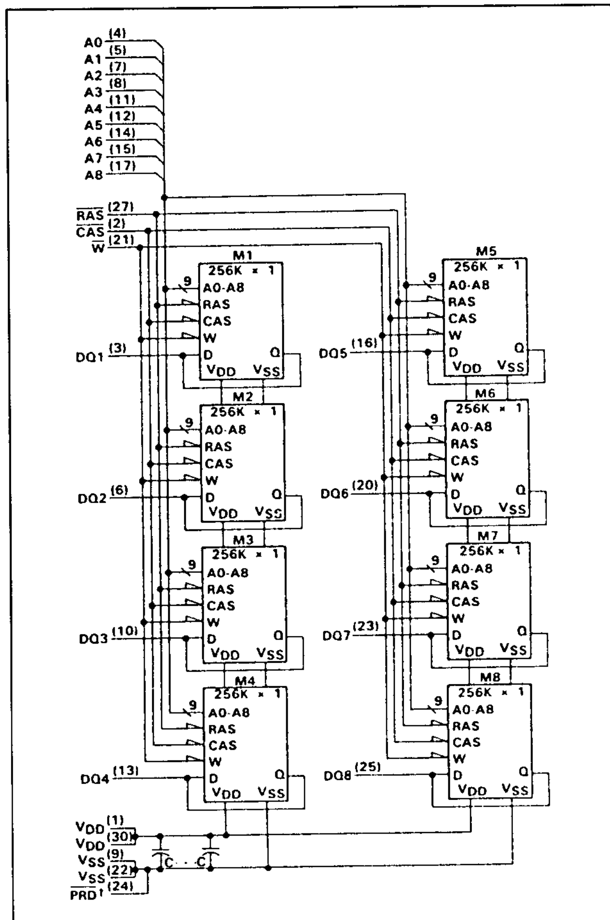
Specificaties

- 262.144 x 8 bit organisatie
- gemeenschappelijke CAS- en RAS-ingangen
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode werking
- lange refresh-periode: 4 ms max. (256 cycli)
- FL-type: 30-pens SIP (L-type: 78,74 x 16,50 mm); GU-type: 30-pens SIMM (U-type: 89 x 16,5 mm) (figuur 8/7.2.1-40)
- GU-type: PRD-uitgang (presence-detect)
- bevat 8 DRAM's:
  TMS4256-10: 100 ns
  TMS4256-12: 120 ns
  TMS4256-15: 150 ns
- bedrijfstemperatuur: 0 tot 70 °C

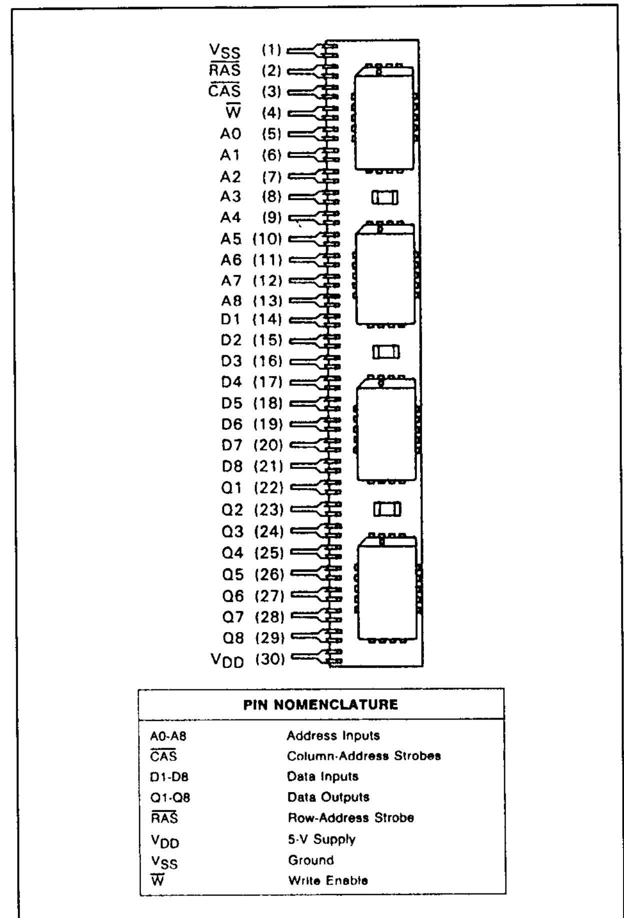


Figuur 8/7.2.1-40: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP TM4256FL8 en 30-pens SIMM TM4256GU8.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-41: Functioneel blokschema van de TM4256FL8/GU8.



PIN NOMENCLATURE	
A0-A8	Address Inputs
$\overline{CAS}$	Column-Address Strobes
D1-D8	Data Inputs
Q1-Q8	Data Outputs
$\overline{RAS}$	Row-Address Strobe
VDD	5-V Supply
VSS	Ground
$\overline{W}$	Write Enable

Figuur 8/7.2.1-42: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM425xFT8.

TM 4256FT8, TM 4257FT8

256k x 8 DRAM-module

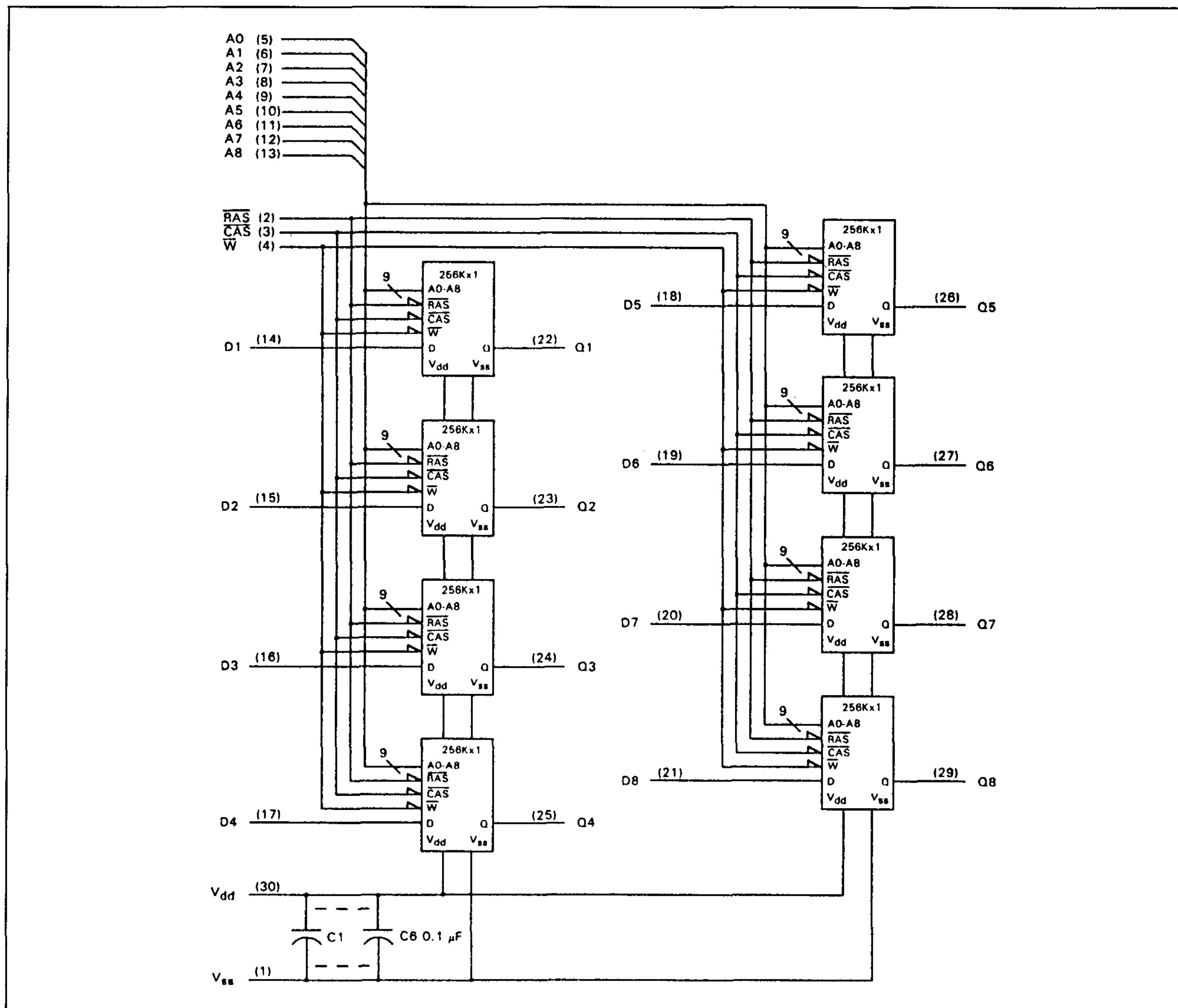
De 2M dynamische RAM-modulen TM425xFT8 zijn georganiseerd in 262.144 woorden van 8 bit.

Om de hoogte van de module zo klein mogelijk te houden, zijn de benodigde 8 DRAM's en de bijbehorende 6 ontkoppelcondensatoren aan weerszijden van de module geplaatst. De DRAM's zijn 256k x 1, plastic chip-carriers van het type TMS4256FML (page-mode) of TMS4257FML (nibble-mode). Voor de timing, werking en andere karakteristieken van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

- 262.144 x 8 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256, nibble-mode: TM4257
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing T-type (76,20 x 12,70 mm) (figuur 8/7.2.1-42)
- bevat 8 DRAM's:

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-43: Functioneel blokschema van de TM425xFT8.

TMS425x-10: 100 ns
TMS425x-12: 120 ns
TMS425x-15: 150 ns

- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 64k x 8 SIP's

TM 4256GB8, TM 4257GB8

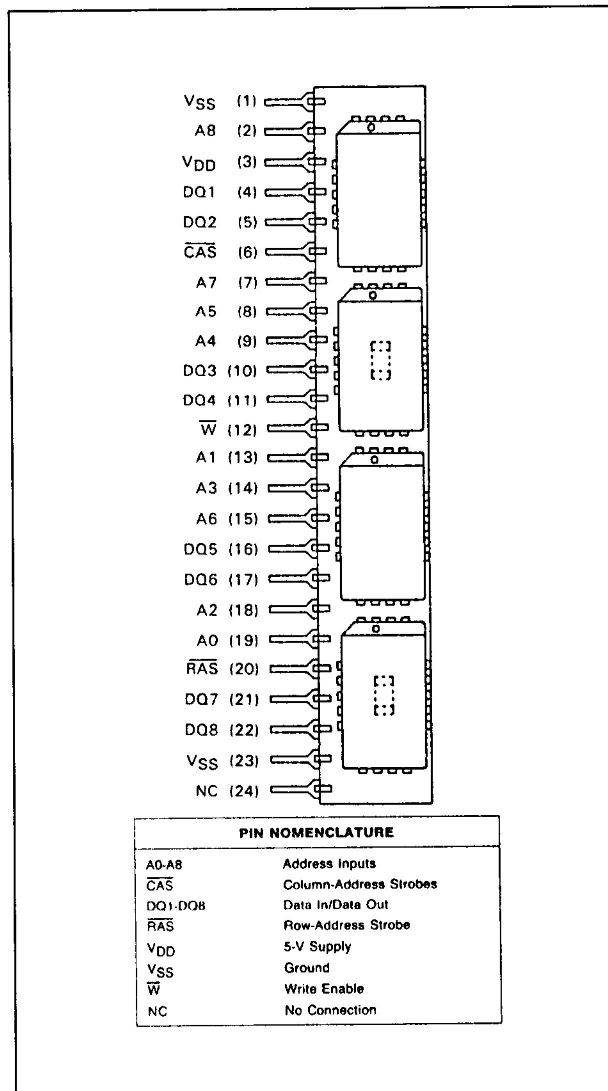
256k x 8 DRAM-module

De TM4256GB8 en TM4257GB8 zijn 2M dynamische RAM-modulen met een 256k x 8 bit organisatie. Om de module zo klein mogelijk te maken, zijn de hiervoor benodigde 8 DRAM's plus 4 ontkoppelcondensatoren aan weerszijden geplaatst, terwijl de data in- en uitgangen zijn gecombineerd. Als 256k x 1, plastic chip-carrier DRAM's kunnen de typen TMS4256FML (page-mode) of TMS4257FML (nibble-mode) worden gekozen. Voor de juiste timing, werking en andere gegevens van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

- 262.144 x 8 bit organisatie

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

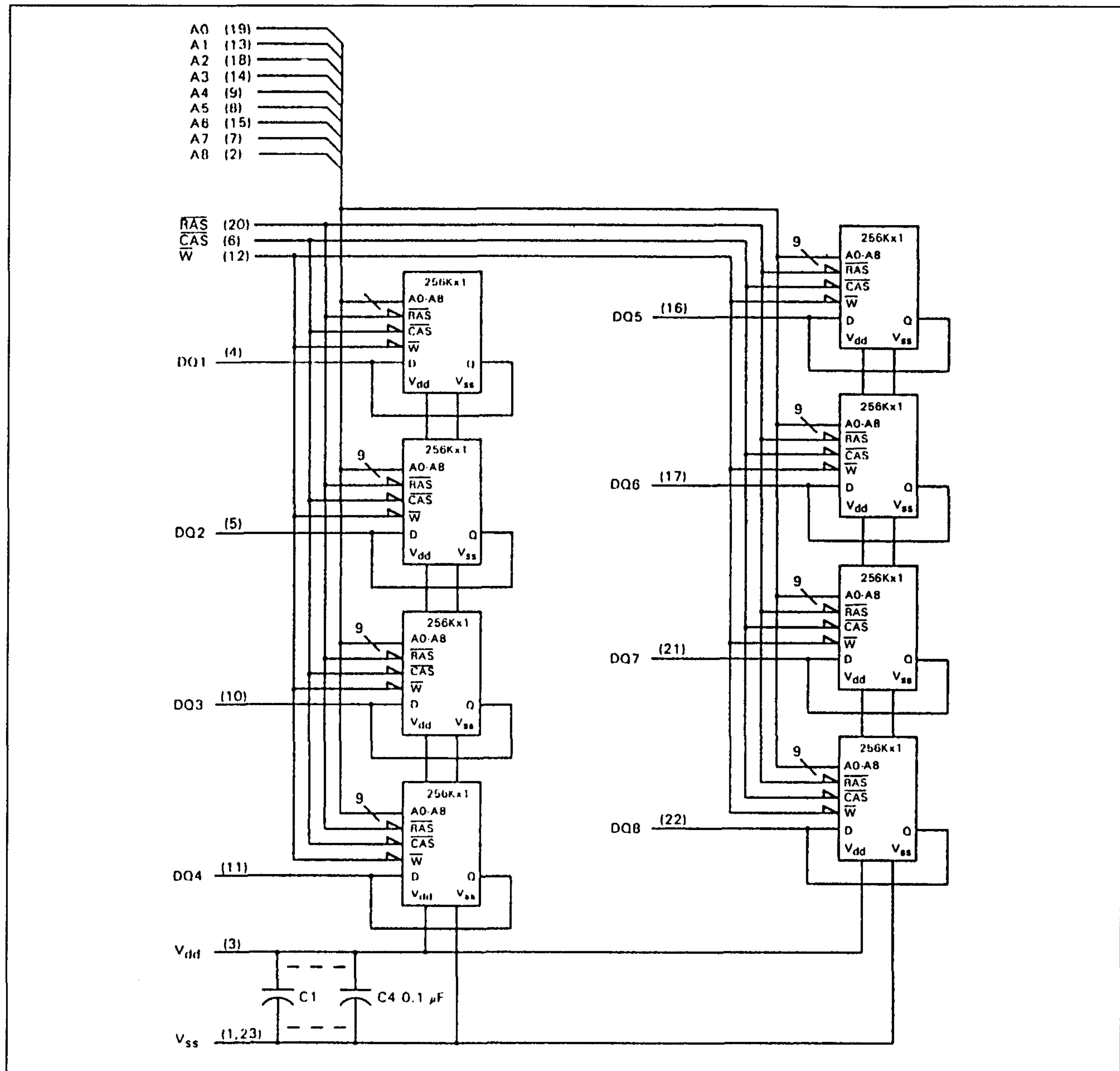


PIN NOMENCLATURE	
A0-A8	Address Inputs
$\overline{CAS}$	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable
NC	No Connection

Figuur 8/7.2.1-44: Vooraanzicht en definities van de aansluitpennen van de 24-pens SIP module TM425xGB8.

- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256,
  nibble-mode: TM4257 DRAM's
- lange refresh-periode: 4 ms max.
  (256 cycli)
- 24-pens SIP behuizing B-type
  (60,96 x 10,66 mm) (figuur 8/7.2.1-44)
- bevat 8 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1M x 8 SIP's

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-45: Functioneel blokschema van de TM425xGB8.

TM 4256GV8, TM 4257GV8

256k x 8 DRAM-module

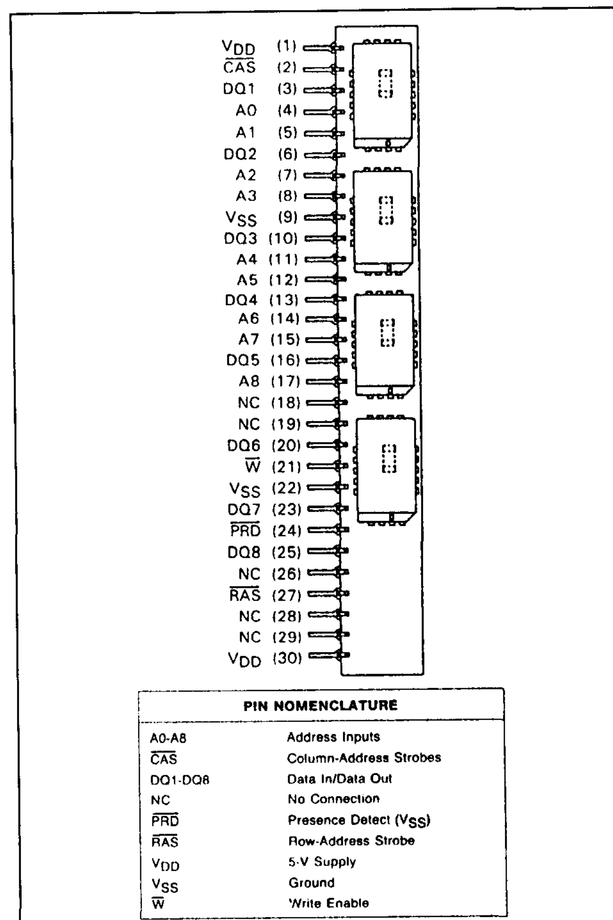
De TM425xGV8 zijn 2M dynamische RAM-modulen met een 256k x 8 bit organisatie. Ook bij deze module zijn 8 DRAM's (plus 8 ontkoppelcondensatoren) aan weerszijden van de 30-pens SIP geplaatst.
Wanneer de module is voorzien van DRAM's van het type TMS4256FML wordt in page-mode gewerkt, terwijl DRAM's van het type TMS4257FML nibble-mode operaties toestaan. De module is voorzien van een "presence detect" aansluiting (aarde) die extern met een weerstand HOOG getrokken moet worden.
Als dan een SIP in de connector zit, is deze uitgang LAAG. Voor de juiste timing, werking en andere gegevens van deze 256k x 1,

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

plastic chip-carrier DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

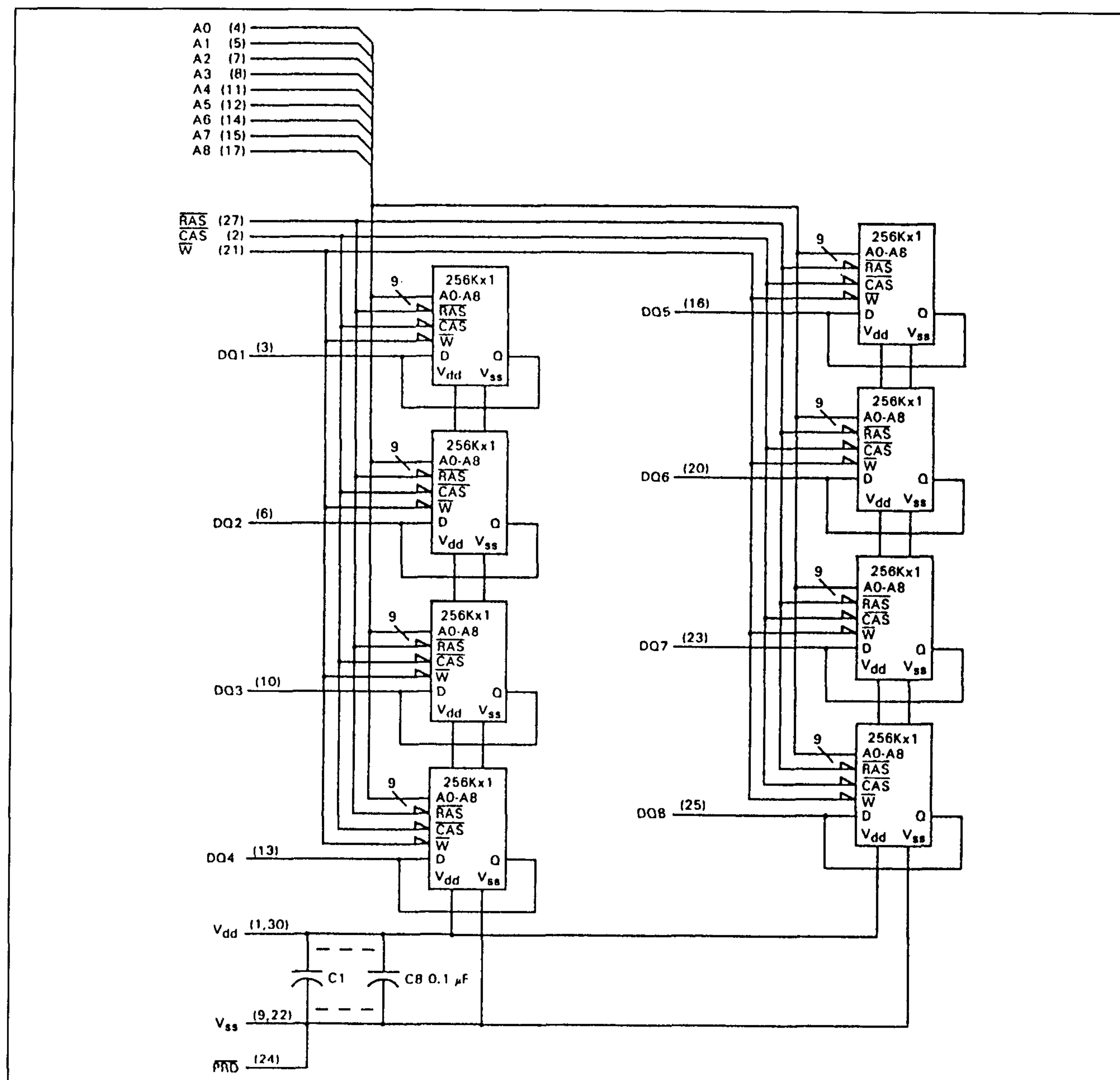
- 262.144 x 8 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$- en $\overline{\text{RAS}}$-ingangen
- gemeenschappelijke data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- $\overline{\text{PRD}}$-uitgang (presence-detect)
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256, nibble-mode: TM4257
- lange refresh-periode: 4 ms max. (256 cycli)
- 30-pens SIP behuizing V-type (78,74 x 11,43 mm) (figuur 8/7.2.1-46)
- bevat 8 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1M x 8 SIP's en neerwaarts compatibel met 64k x 8 SIP's



PIN NOMENCLATURE	
A0-A8	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
NC	No Connection
$\overline{\text{PRD}}$	Presence Detect (V_{SS})
$\overline{\text{RAS}}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable

Figuur 8/7.2.1-46: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM425xGV8.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-47: Functioneel blokschema van de TM425xGV8.

TM 4256EL9, TM 4256GU9

256k x 9 DRAM-module

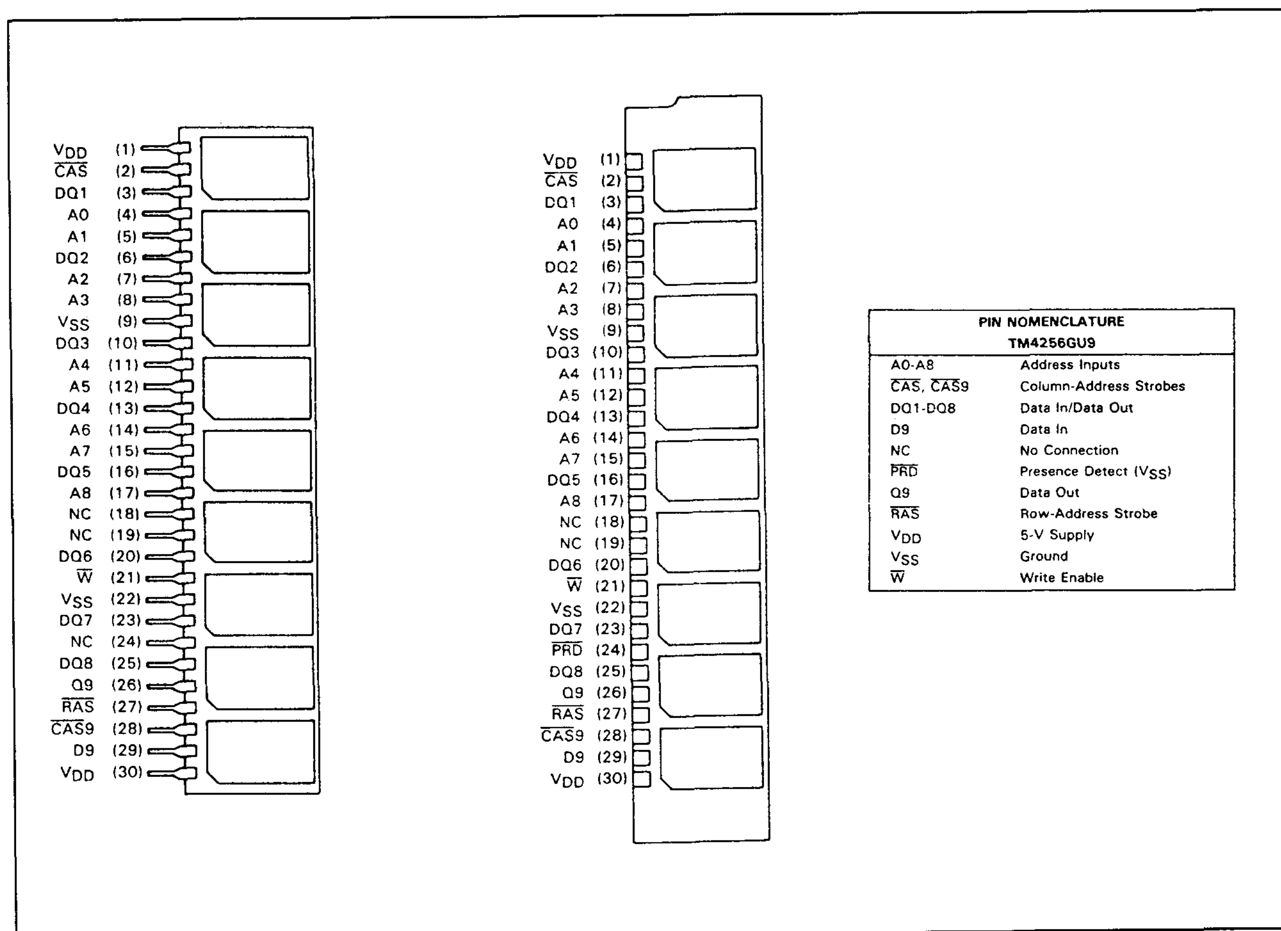
De TM4256EL9 en TM4256GU9 zijn 2,25M dynamische RAM-modulen met een organisatie van 262.144 9-bit woorden. De uitvoering van de modulen is verschillend: de EL-versie is een 30-pens SIP module, terwijl de GU-versie een 30-pens SIMM (socket-type) is. In beide gevallen worden 9 DRAM's van het type TMS4256FML (256k x 1, plastic chip-carrier) met onderliggende ontkoppelcondensatoren gebruikt. Het negende bit (D9, Q9) wordt meestal voor pariteitscontrole gebruikt en wordt apart bestuurd met $\overline{CAS}$9. Alleen de SIMM heeft een "presence detect" aansluiting die extern met een weerstand HOOG getrokken moet worden. Als dan een SIMM aanwezig is, is deze uitgang LAAG.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

Voor de timing, werking en overige gegevens van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

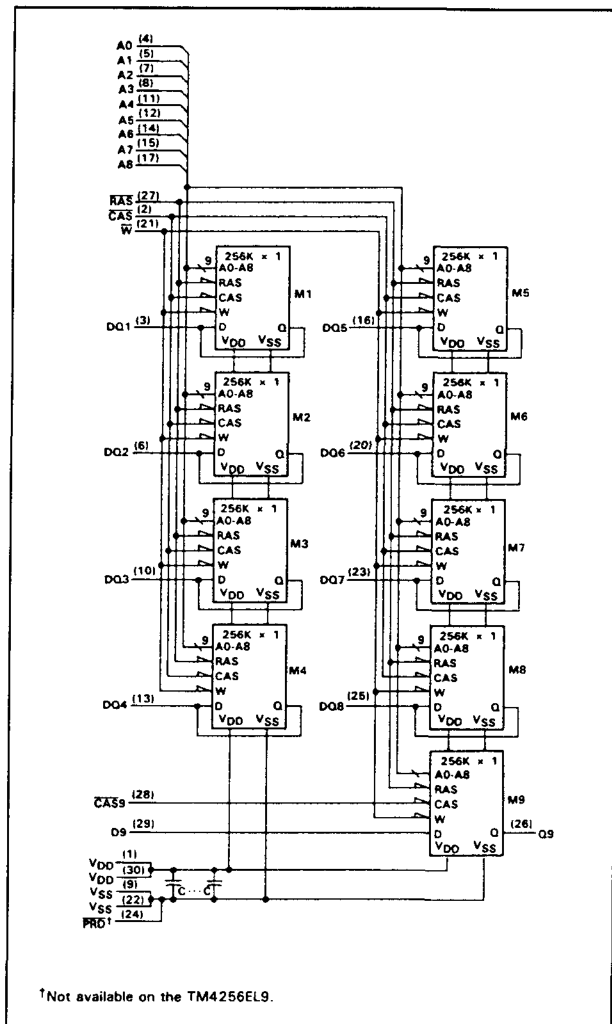
- 262.144 x 9 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen en data in- en uitgangen (3-state) voor 8 bit
- aparte $\overline{CAS}$9-ingang voor 9e bit
- 9e bit: aparte data in- en uitgang
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode werking
- lange refresh-periode: 4 ms max. (256 cycli)
- EL-type: 30-pens SIP (L-type: 78,74 x 16,50 mm); GU-type: 30-pens SIMM (U-type: 89 x 16,5 mm) (figuur 8/7.2.1-48)
- GU-type: $\overline{PRD}$-uitgang (presence-detect)
- bevat 8 DRAM's:
  TMS4256-10: 100 ns
  TMS4256-12: 120 ns
  TMS4256-15: 150 ns
- bedrijfstemperatuur: 0 tot 70 °C



PIN NOMENCLATURE TM4256GU9	
A0-A8	Address Inputs
$\overline{CAS}$, $\overline{CAS}$9	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
D9	Data In
NC	No Connection
$\overline{PRD}$	Presence Detect (V_{SS})
Q9	Data Out
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

Figuur 8/7.2.1-48: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP TM4256EL9 en 30-pens SIMM TM4256GU9.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-49: Functioneel blokschema van de TM4256EL9/GU9.

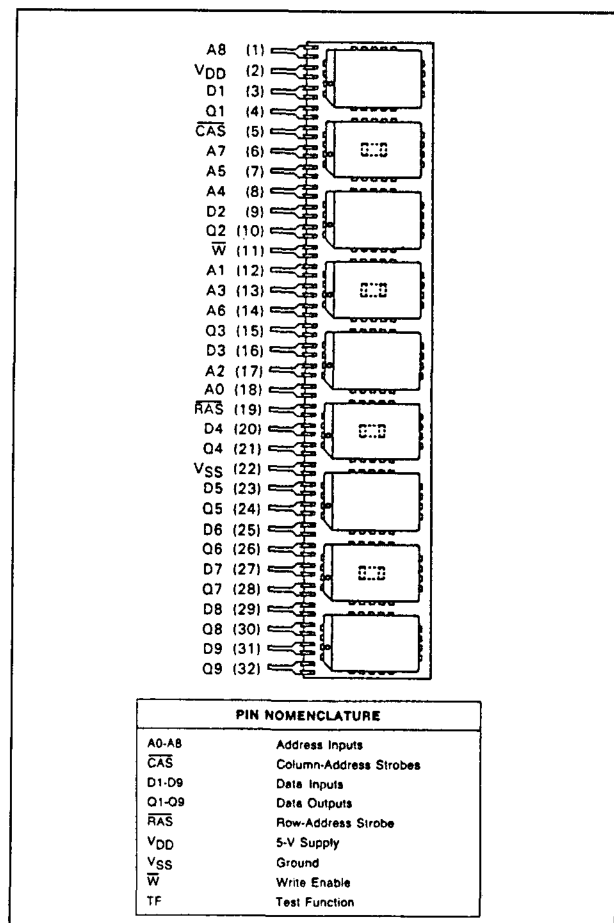
TM 4256FN9, TM 4257FN9

256k x 9 DRAM-module

Ook de TM425xFN9 zijn 2,25M dynamische RAM-modulen met een 256k x 9 bit organisatie.
Hiervoor worden 9 DRAM's (256k x 1, plastic chip-carrier) en 4 ontkoppelcondensatoren gebruikt. Als de 32-pens SIP is uitgerust met DRAM's van het type TMS4256FML wordt in page-mode gewerkt; als TMS4257FML-typen worden toegepast, wordt in nibble-mode gewerkt. Het negende bit (D9, Q9) wordt meestal voor pariteitscontrole gebruikt. Voor de timing, werking en andere gegevens van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

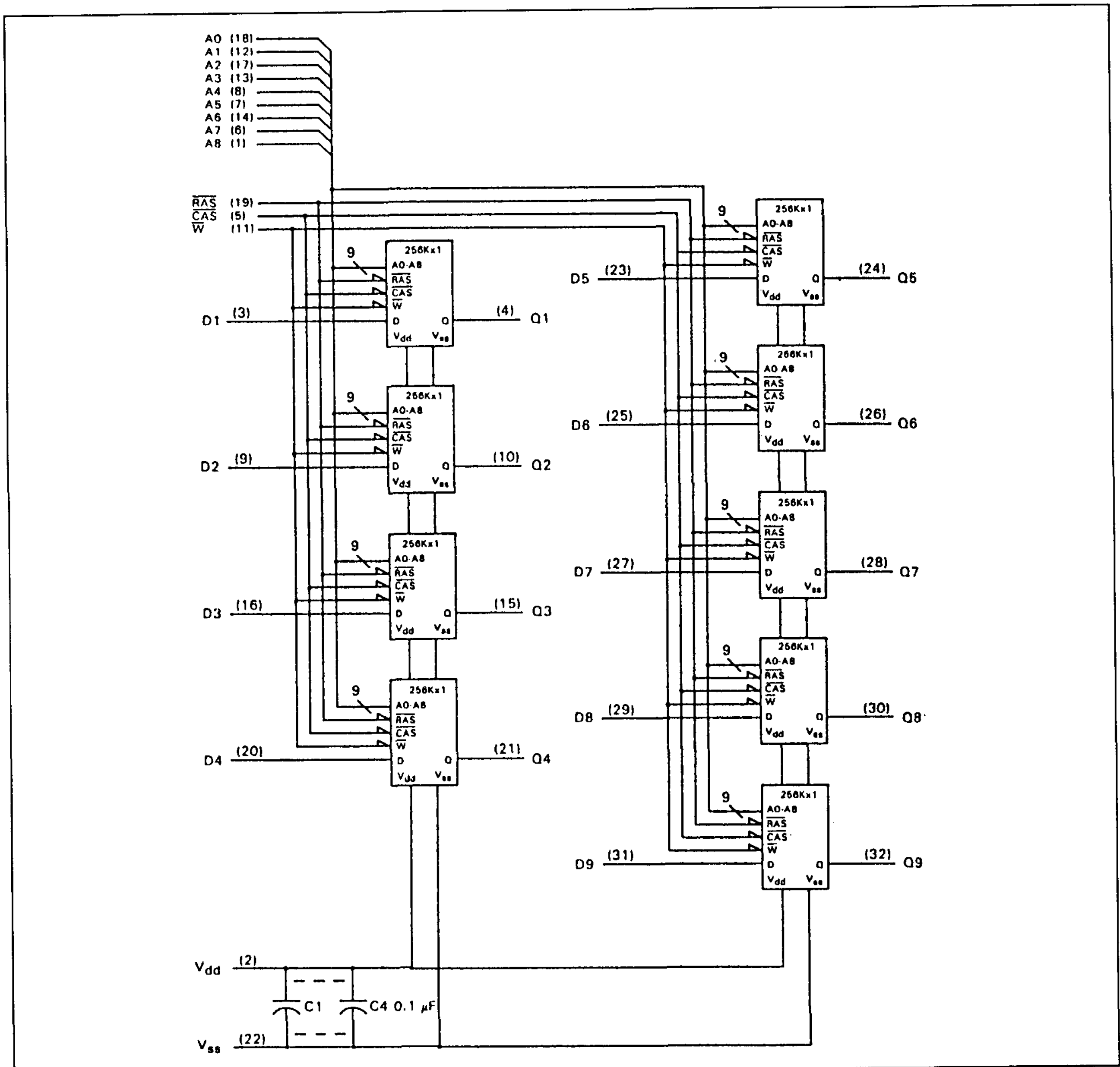
- 262.144 x 9 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256, nibble-mode: TM4257
- lange refresh-periode: 4 ms max. (256 cycli)
- 32-pens SIP behuizing N-type (81,28 x 17,78 mm) (figuur 8/7.2.1-50)



PIN NOMENCLATURE	
A0-A8	Address Inputs
CAS	Column-Address Strobes
D1-D9	Data Inputs
Q1-Q9	Data Outputs
RAS	Row-Address Strobe
VDD	5-V Supply
VSS	Ground
W	Write Enable
TF	Test Function

Figuur 8/7.2.1-50: Vooraanzicht en definities van de aansluitpennen van de 32-pens SIP module TM425xFN9.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-51: Functioneel blokschema van de TM425xFN9.

- bevat 9 DRAM's:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1M x 9 SIP's en neerwaarts compatibel met 64k x 9 SIP's

TM 4256GV9, TM 4257GV9, TM 4256GP9, TM 4257GP9

256k x 9 DRAM-module

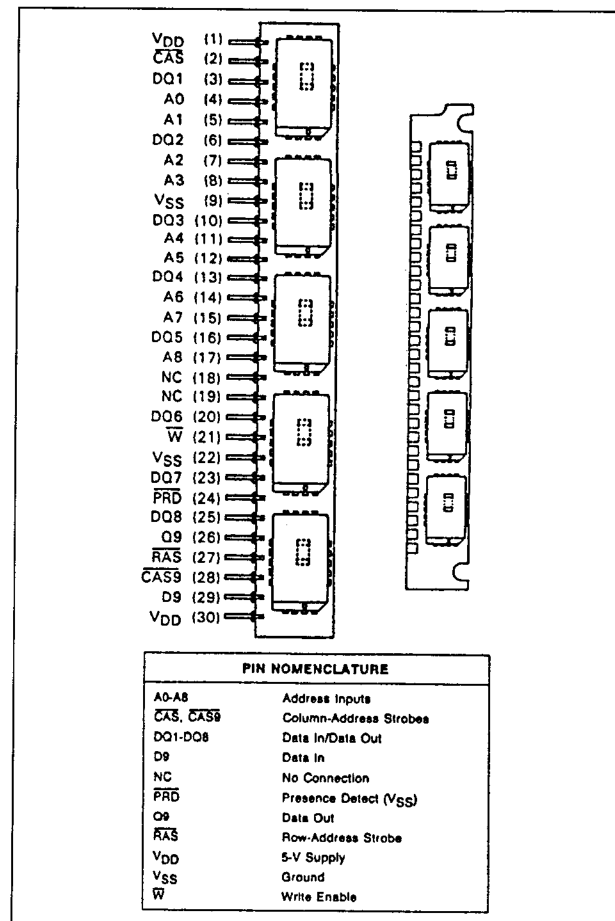
De TM425xGV9 en TM425xGP9 zijn 2,25M dynamische RAM-modulen met een 256k x 9 bit organisatie. De hiervoor benodigde 9 DRAM's (256k x 1, plastic chip-

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

carrier) en 9 ontkoppelcondensatoren zijn gemonteerd op een 30-pens SIP (GV-module) of 30-“pens” SIMM (GP-module). Om de hoogte van de modulen te beperken zijn de componenten aan beide zijden van het printje geplaatst.
Wanneer DRAM’s van het type TMS4256FML worden gebruikt, is de page-mode van toepassing; bij gebruik van TMS4257FML-typen de nibble-mode. Het negende bit (D9, Q9) wordt meestal voor pariteitscontrole gebruikt en heeft een eigen CAS-besturing.
Zowel de SIP als SIMM module is voorzien van een presence detectuitgang die via een externe weerstand met V_{CC} moet worden verbonden. Zodra een module aanwezig is, gaat deze uitgang dan LAAG. Voor de timing, werking en andere gegevens van deze DRAM’s wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

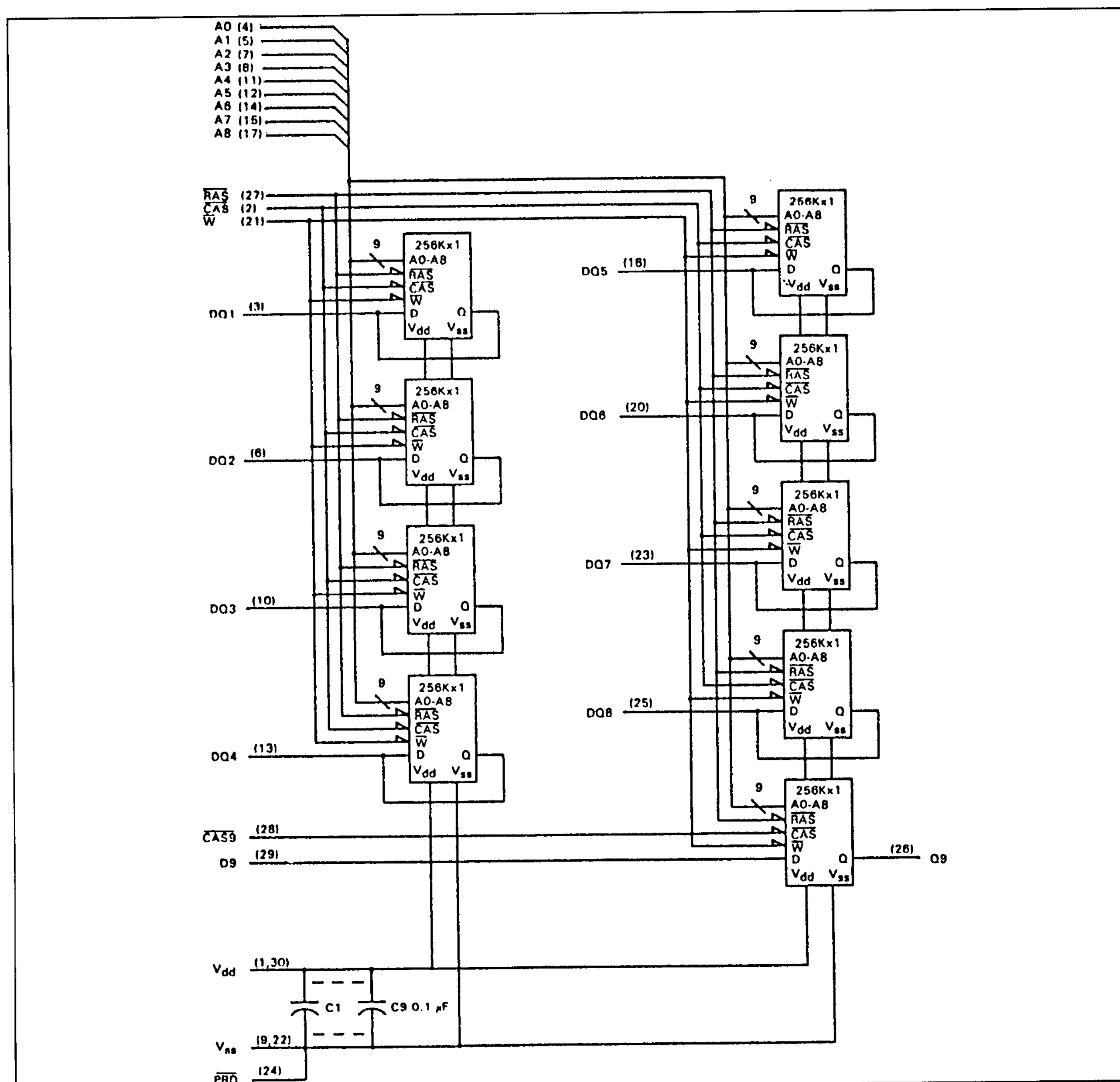
- 262.144 x 9 bit organisatie
- gemeenschappelijke CAS- en RAS-ingangen en data in- en uitgangen (3-state) voor 8 bit
- aparte CAS9-ingang voor 9e bit
- gescheiden data in- en uitgang voor 9e bit
- presence detect (PRD) uitgang
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- page-mode: TM4256,
  nibble-mode: TM4257
- lange refresh-periode: 4 ms max.
  (256 cycli)
- TM425xGV9: 30-pens SIP behuizing V-type (78,74 x 11,43 mm); TM425xGP9: 30-pens SIMM P-type (88,9 x 11,43 mm) (figuur 8/7.2.1-52)
- bevat 9 DRAM’s:
  TMS425x-10: 100 ns
  TMS425x-12: 120 ns
  TMS425x-15: 150 ns
- bedrijfstemperatuur: 0 tot 70 °C
- opwaarts compatibel met 1 M x 9 SIP’s en neerwaarts compatibel met 64k x 9 SIP’s



PIN NOMENCLATURE	
A0-A8	Address Inputs
CAS, CAS9	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
D9	Data In
NC	No Connection
PRD	Presence Detect (V_{SS})
Q9	Data Out
RAS	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
W	Write Enable

Figuur 8/7.2.1-52: Vooraanzicht en betekenis van de aansluitpennen van de 30-pens SIP module TM425xGV9 en 30-pens SIMM module TM425xGP9 (zelfde aansluitingen als SIP).

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-53: Functioneel blokschema van de TM425xGV9/GP9.

TM 024EAG4, TM 025EAG4, TM 027EAG4

1M x 4 DRAM-module

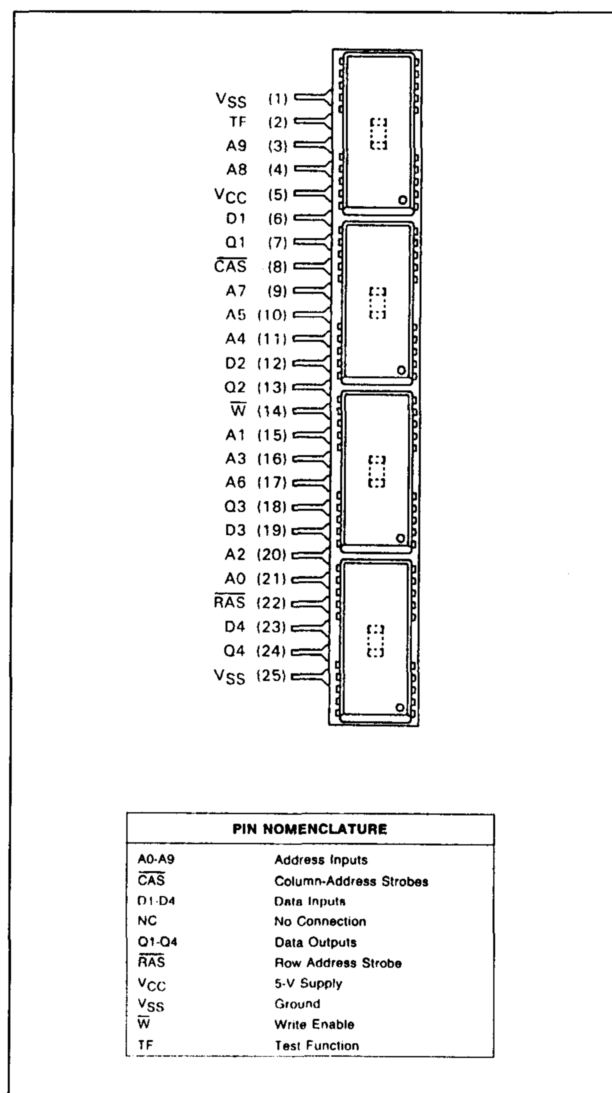
De TM02_EAG4 zijn 4M dynamische RAM-modulen met een 1.048.576 x 4 bit organisatie.

Hiervoor worden 4 DRAM's (1M x 1, plastic SO-behuizing) en 4 ontkoppelcondensatoren van 0,2 μF gebruikt die op een 25-pens SIP zijn gemonteerd. Er kan worden gekozen uit drie soorten DRAM: de TMS4C1024DJ (enhanced page-mode), de TMS4C1025DJ (4-bit nibble-mode) en de TMS4C1027DJ (statische kolom decodeer-mode). Voor de timing, werking en overige eigenschappen van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

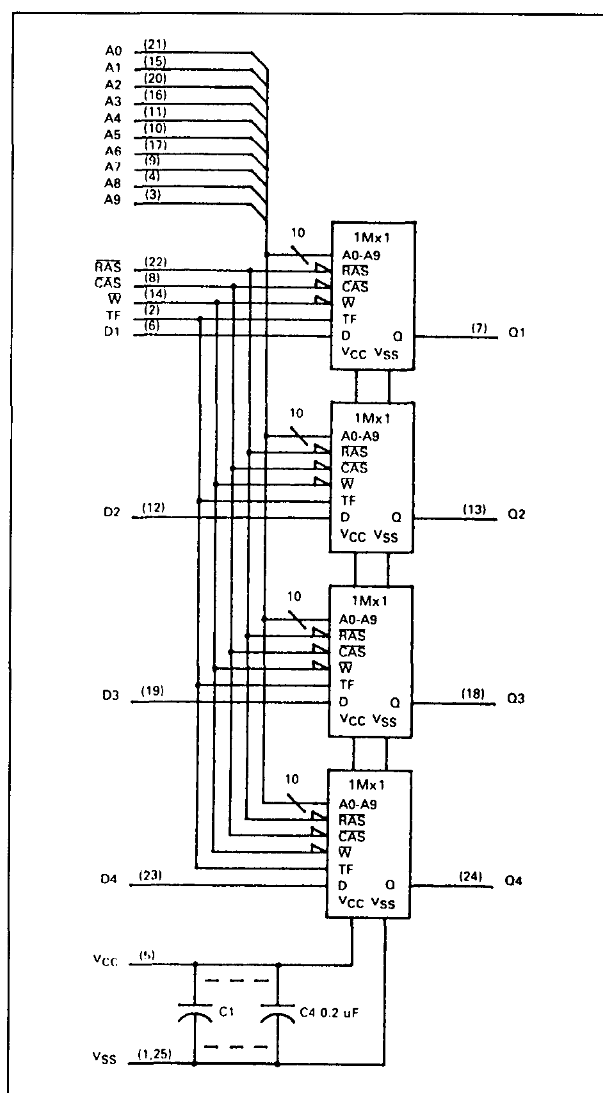
Specificaties

- 1.048.576 x 4 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$-, $\overline{\text{RAS}}$- en TF-ingangen
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 8 ms max. (512 cycli)
- 25-pens SIP behuizing AG-type (71,12 x 10,16 mm) (figuur 8/7.2.1-54)
- bevat 4 DRAM's:
  TM02_EAG4-10 (enhanced page-mode): 100 ns
  TM02_EAG4-12 (nibble-mode): 120 ns
  TM02_EAG4-15 (static column-mode): 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 4 en 64k x 4 SIP's



PIN NOMENCLATURE	
A0-A9	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobes
D1-D4	Data Inputs
NC	No Connection
Q1-Q4	Data Outputs
$\overline{\text{RAS}}$	Row Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable
TF	Test Function

Figuur 8/7.2.1-54: Vooraanzicht en definities van de aansluitpennen van de 25-pens SIP module TM02_EAG4.



Figuur 8/7.2.1-55: Functioneel blokschema van de TM02_EAG4 (= TM024EAG4, TM025EAG4 of TM027EAG4).

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

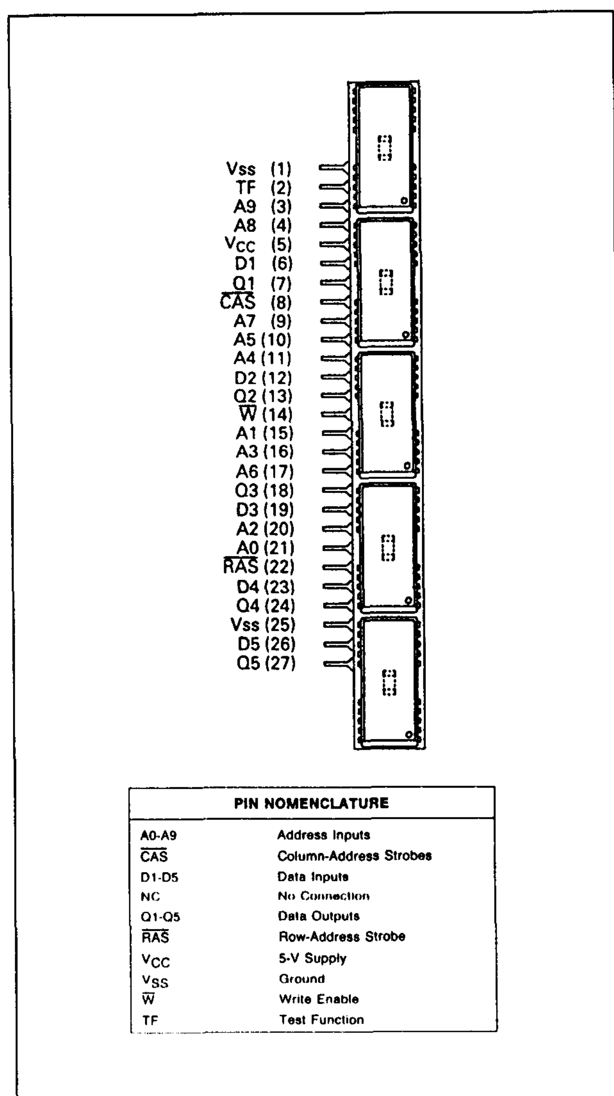
TM 024EAH5, TM 025EAH5, TM 027EAH5

1M x 5 DRAM-module

De TM02_EAH5 zijn 5M dynamische RAM-modulen met een organisatie van 1.048.576 woorden van 5 bit. Hiervoor zijn 5 DRAM's (1 M x 1, plastic 26-pens SO-behuizing) nodig die samen met 5 ontkoppelcondensatoren van 0,2 µF op een 27-pens SIP zijn geplaatst.

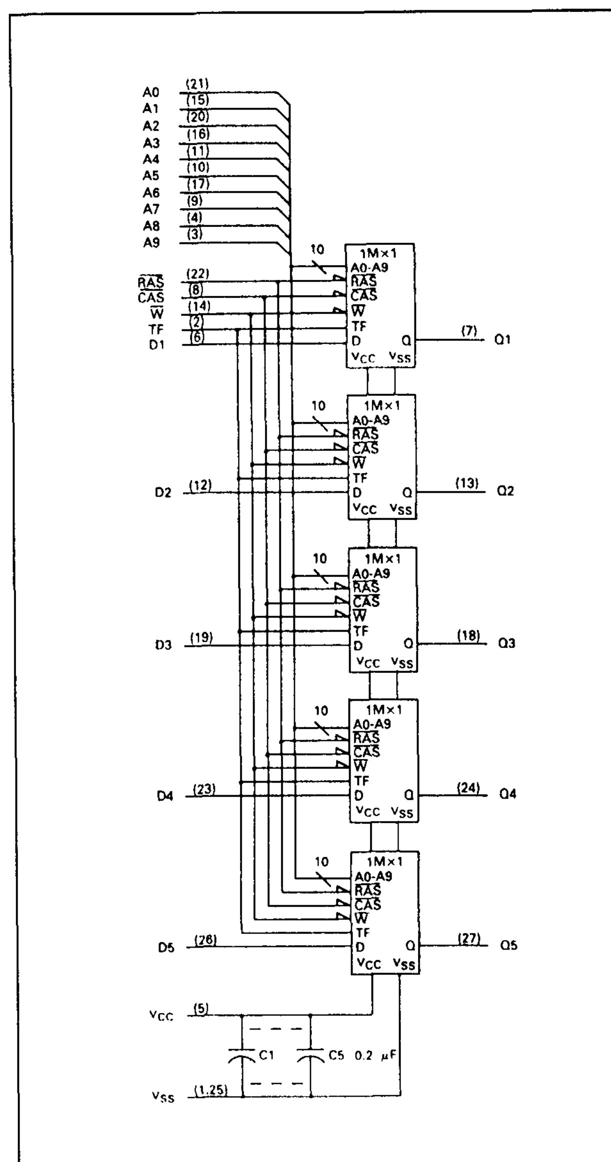
De gebruiker heeft de keuze uit drie soorten DRAM: de TMS4C1024DJ (enhanced page-mode), de TMS4C1025DJ (nibble-mode) en de TMS4C1027DJ (statische kolom decodeer-mode).

De timing, werking en overige eigenschappen van deze DRAM's worden uitgebreid behandeld in hoofdstuk 8/3.3.



PIN NOMENCLATURE	
A0-A9	Address Inputs
CAS	Column-Address Strobes
D1-D5	Data Inputs
NC	No Connection
Q1-Q5	Data Outputs
RAS	Row-Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
W	Write Enable
TF	Test Function

Figuur 8/7.2.1-56: Vooraanzicht en definities van de aansluitpennen van de 27-pens SIP module TM02_EAH5 (=TM024EAH5, TM025EAH5 of TM027EAH5).



Figuur 8/7.2.1-57: Functioneel blokschema van de TM02_EAH5 (= TM024EAH5, TM025EAH5 of TM027EAH5).

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

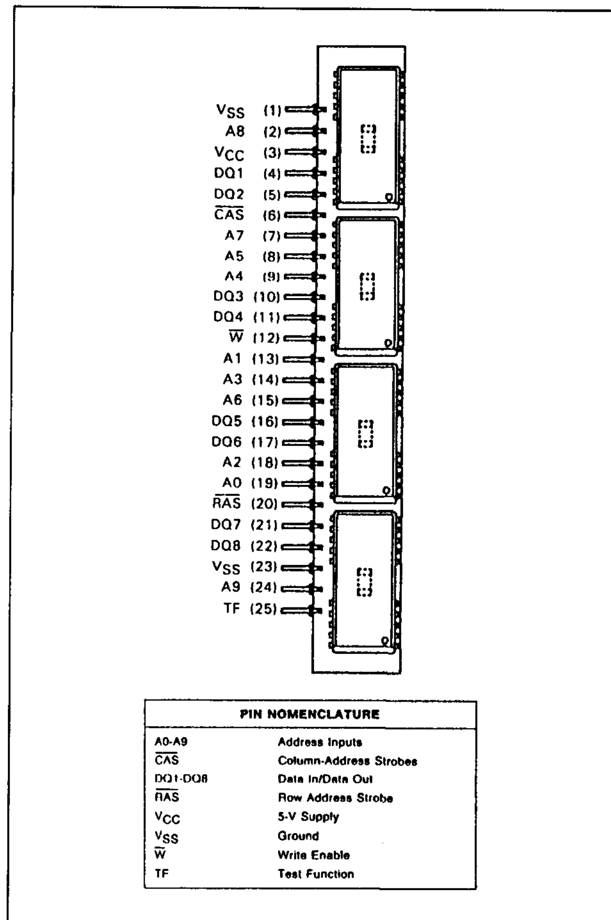
Specificaties

- 1.048.576 x 5 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$- en $\overline{\text{RAS}}$-ingangen
- gescheiden data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- lange refresh-periode: 8 ms max. (512 cycli)
- 27-pens SIP behuizing AH-type (88,9 x 10,16 mm) (figuur 8/7.2.1-56)
- bevat 5 DRAM's:
  TM02_EAH5-10 (enhanced page-mode): 100 ns
  TM02_EAH5-12 (nibble-mode): 120 ns
  TM02_EAH5-15 (static column-mode): 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 5 en 64k x 5 SIP's

TM 024EAB8, TM 025EAB8, TM 027EAB8

1M x 8 DRAM-module

De TM02_EAB8 zijn 8M dynamische RAM-modulen, georganiseerd in 1.048.576 woorden van 8 bit per stuk.
Hiervoor worden 8 DRAM's (1M x 1, plastic SO-behuizing) gebruikt, die met 8 ontkoppelcondensatoren van 0,2 µF aan weerszijden van een 25-pens SIP zijn geplaatst.
Deze module wordt geleverd met, naar keuze, de DRAM's TMS4C1024DJ (enhanced page-mode), de TMS4C1025DJ (nibble-mode) of de TMS4C1027DJ (statische kolom decodeer-mode).
Voor de gegevens (timing, werking en overige eigenschappen) van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3. Door de gecombineerde data in-/uitgangen zijn "early write" cycli nodig voor een goede werking.



PIN NOMENCLATURE	
A0-A9	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
$\overline{\text{RAS}}$	Row Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable
TF	Test Function

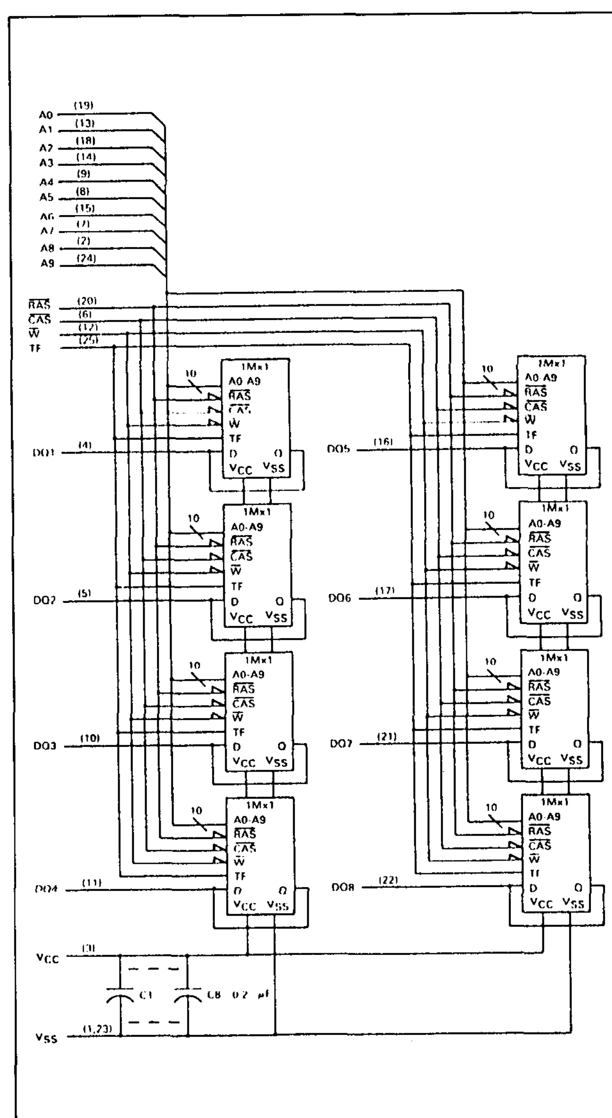
Figuur 8/7.2.1-58: Vooraanzicht en definities van de aansluitpennen van de 25-pens SIP module TM02_EAB8 (= TM024EAB8, TM025EAB8 of TM027EAB8).

Specificaties

- 1.048.576 x 8 bit organisatie
- gemeenschappelijke $\overline{\text{CAS}}$- en $\overline{\text{RAS}}$-ingangen
- gecombineerde data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- enhanced page-mode: TM024EAB8, nibble-mode: TM025EAB8, static column-mode: TM027EAB8
- lange refresh-periode: 8 ms max. (512 cycli)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

- 25-pens SIP behuizing AB-type (76,20 x 11,43 mm) (figuur 8/7.2.1-58)
- bevat 8 DRAM's:
  TM02_EAB8-10: 100 ns
  TM02_EAB8-12: 120 ns
  TM02_EAB8-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 8 SIP's



Figuur 8/7.2.1-59: Functioneel blokschema van de TM02_EAB8.

TM 024EAD8, TM 025EAD8, TM 027EAD8, TM 024GAL8, TM 025GAL8, TM 027GAL8

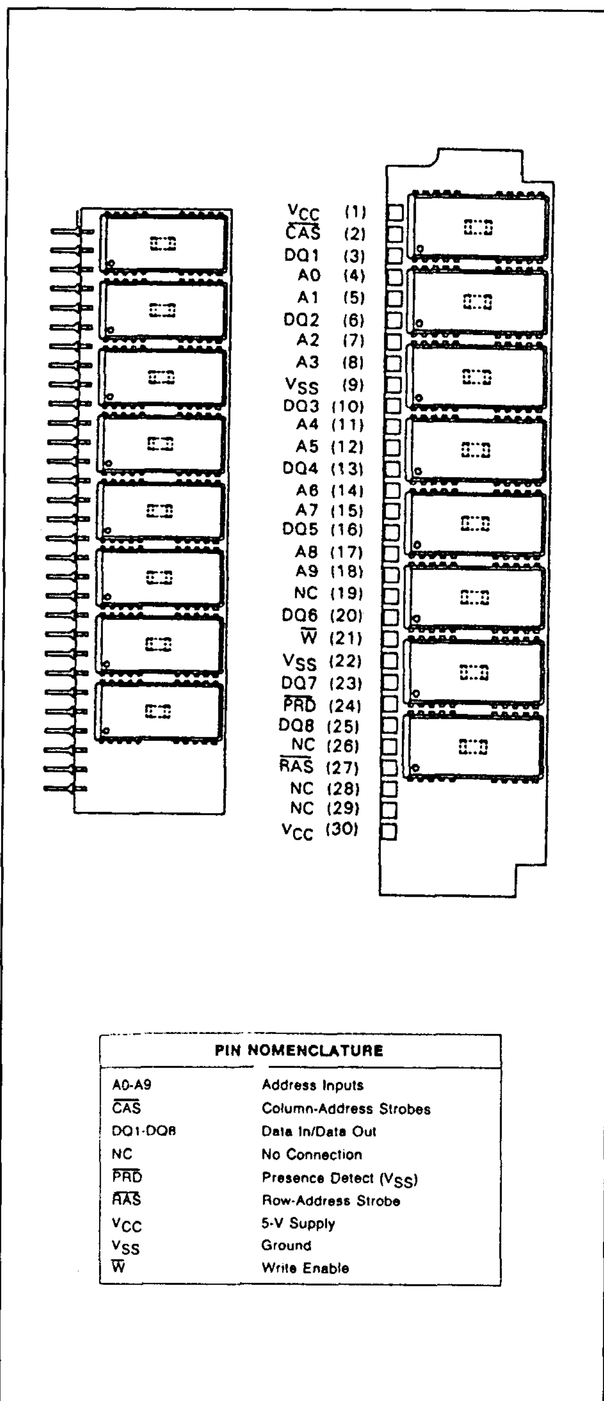
1M x 8 DRAM-module

De TM02_EAD8 en TM02_GAL8 zijn 8M dynamische RAM-modulen met een 1.048.576 x 8 bit organisatie. De hiervoor benodigde 8 DRAM's (1M x 1, plastic 26-pens SO-behuizing) zijn tegelijk met 8 ontkoppelcondensatoren van 0,2 µF op een 30-pens SIP (AL-type) of een 30-"pens" SIMM (AD-type) geplaatst. Deze module is leverbaar met één van de drie DRAM's: TMS4C1024DJ (enhanced page-mode), TMS4C1025DJ (nibble-mode) of TMS4C1027DJ (statische kolom decodeer-mode). Voor de overige gegevens (timing, werking en elektrische karakteristieken) van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3. De gecombineerde data in- en uitgangen maken "early write" cycli noodzakelijk voor een goede werking.

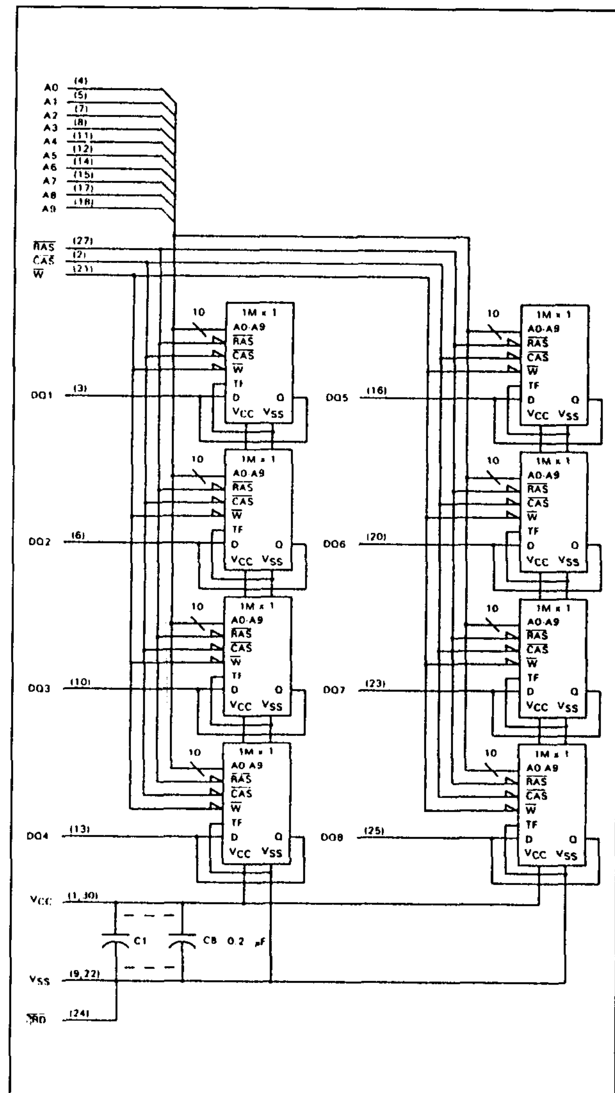
Specificaties

- 1.048.576 x 8 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gecombineerde data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding nodig: +5 V +/-10 %
- lange refresh-periode: 8 ms max. (512 cycli)
- 30-pens SIP behuizing AL-type (80,01 x 21,59 mm) of 30-pens SIMM AD-type (88,9 x 20,32 mm) (figuur 8/7.2.1-60)
- bevat 8 DRAM's:
  TM02_EAD8/GAL8-10 (enhanced page-mode): 100 ns
  TM02_EAD8/GAL8-12 (nibble-mode): 120 ns
  TM02_EAD8/GAL8-15 (static column-mode): 150 ns
- geringe dissipatie

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-60: Vooraanzicht van de 30-pens SIMM module TM02_EAD8 (rechts) en de 30-pens SIP TM02_GAL8 (met dezelfde aansluitingen, links) en definities van de aansluitpennen.



Figuur 8/7.2.1-61: Functioneel blokschema van de TM02_EAD8/GAL8.

- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 8 en 64k x 8 SIP's

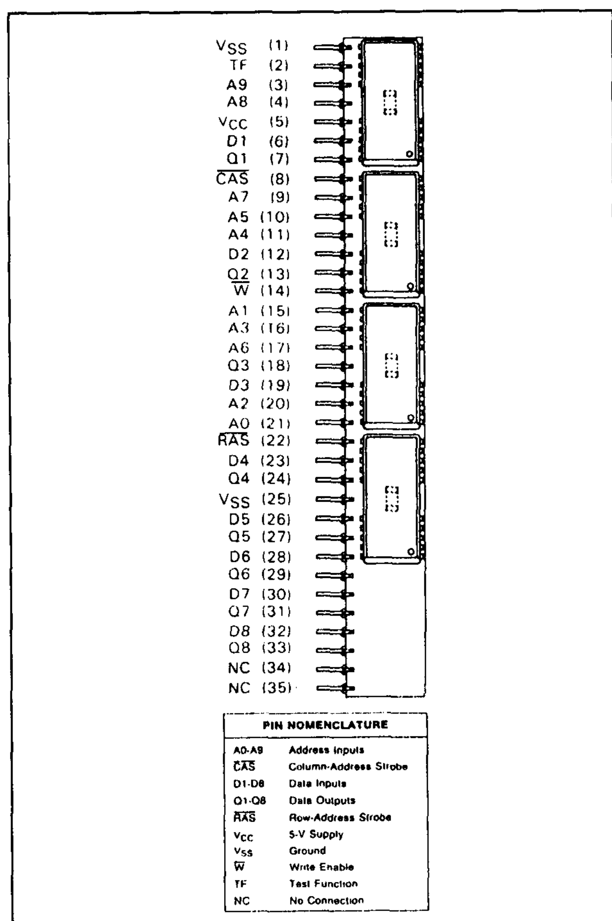
TM 024FAF8, TM 025FAF8, TM 027FAF8

1M x 8 DRAM-module

De TM02_FAF8 zijn 8M dynamische RAM-modulen, georganiseerd in 1.048.576 woorden van 8 bit. Hiervoor worden 8 DRAM's

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

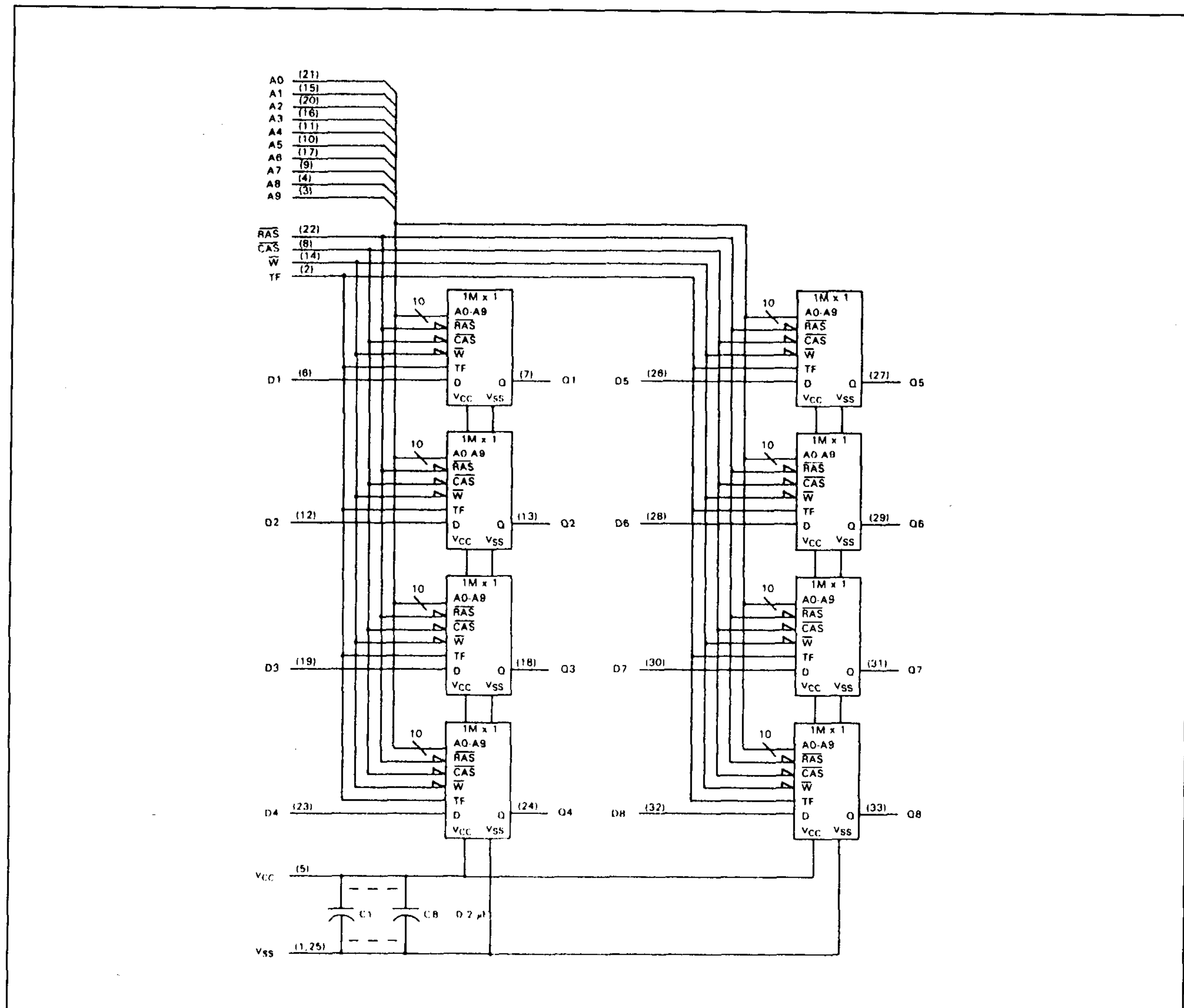
(1M x 1, plastic 20/26 SO-behuizing) gebruikt, die bovenop 8 ontkoppelcondensatoren van 0,2 µF aan weerszijden van een 35-pens SIP zijn gemonteerd. De module, die ook over een testfunctie (TF) beschikt, wordt geleverd met DRAM's van het type TMS4C1024DJ (enhanced page-mode), TMS4C1025DJ (nibble-mode) of TMS4C1027DJ (statische kolom decodeer-mode).
Voor de timing, werking en overige eigenschappen van deze DRAM's wordt verwezen naar hoofdstuk 8/3.3.



Figuur 8/7.2.1-62: Vooraanzicht en definities van de aansluitpennen van de 35-pens SIP module TM02_FAF8.

Specificaties
- 1.048.576 x 8 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- aparte data in- en uitgangen (3-state)
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- enhanced page-mode met TMS4C1024 DRAM's, nibble-mode met TMS4C1025's en static column-mode met TMS4C1027-typen
- lange refresh-periode: 8 ms max. (512 cycli)
- 35-pens SIP behuizing AF-type (88,9 x 11,43 mm) (figuur 8/7.2.1-62)
- bevat 8 DRAM's:
  TM02_FAF8-10: 100 ns
  TM02_FAF8-12: 120 ns
  TM02_FAF8-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- TM024FAF8 neerwaarts compatibel met TM4256EK8 (256k x 8) SIP

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



Figuur 8/7.2.1-63: Functioneel blokschema van de TM02_FAF8 (TM024FAF8, TM025FAF8 of TM027FAF8).

TM 024EAF9, TM 025EAF9, TM 027EAF9

1M x 9 DRAM-module

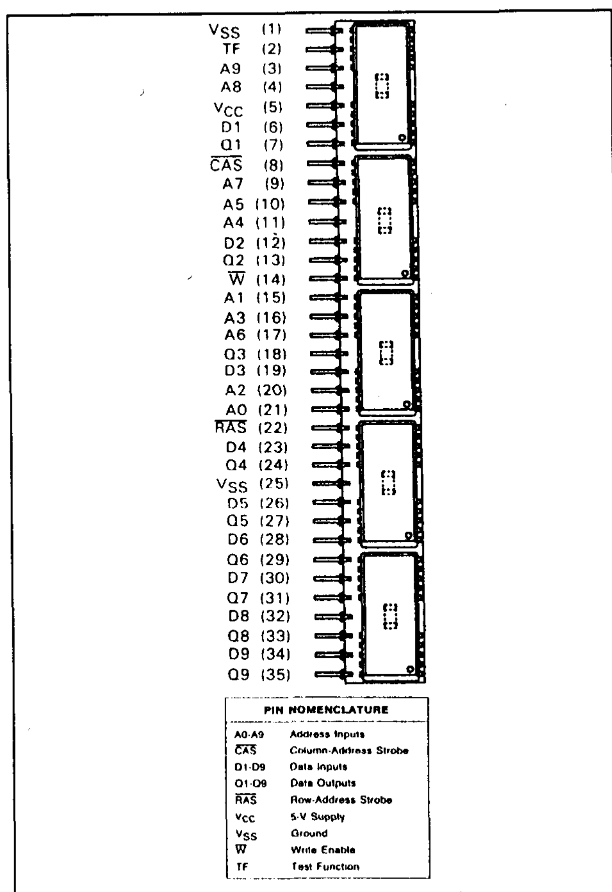
De TM02_EAF9 zijn 9M dynamische RAM-modulen, georganiseerd in 1.048.576 8-bit woorden. Hiervoor zijn 9 DRAM's (1M x 1, plastic 20/26 SO-behuizing) nodig, die boven op de 9 ontkoppelcondensatoren van 0,2 µF aan weerszijden van een 35-pens SIP zijn gemonteerd. De module beschikt over een testfunctie (TF) en wordt geleverd met DRAM's van het type TMS4C1024DJ (enhanced page-mode), TMS4C1025DJ (nibble-mode) of TMS4C1027DJ (statische kolom decodeer-mode). Voor de timing, werking en overige (elektrische) eigenschappen van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

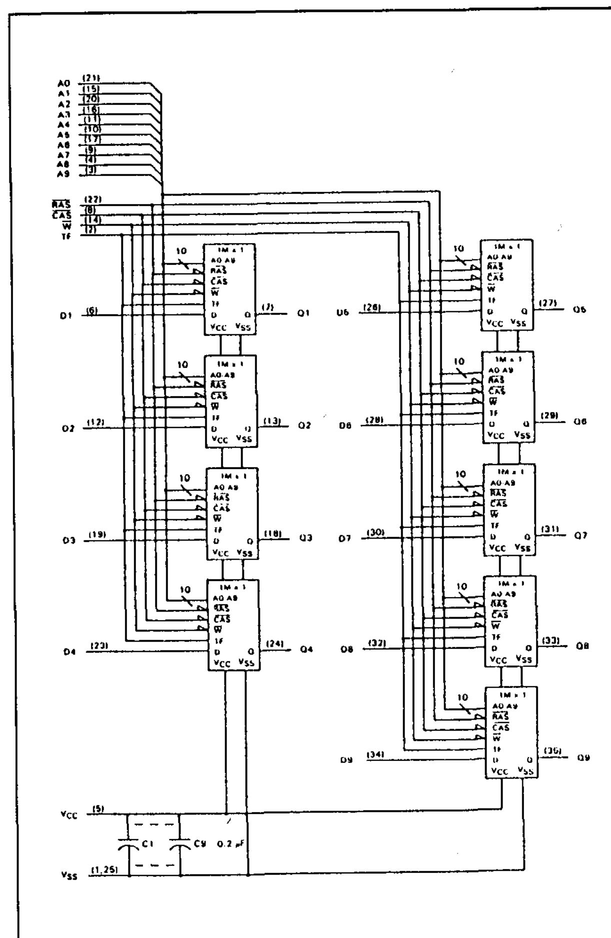
- 1.048.576 x 9 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gescheiden data in- en uitgangen (3-state)

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- enhanced page-mode met TMS4C1024, nibble-mode met TMS4C1025's en static column-mode met TMS4C1027-typen
- lange refresh-periode: 8 ms max. (512 cycli)
- 35-pens SIP behuizing AF-type (88,9 x 11,43 mm) (figuur 8/7.2.1-64)
- bevat 9 DRAM's:
  TM02_EAF9-10: 100 ns
  TM02_EAF9-12: 120 ns
  TM02_EAF9-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- TM024EAF9 neerwaarts compatibel met TM4256FN9 (256k x 9) SIP



Figuur 8/7.2.1-64: Vooraanzicht en definities van de aansluitpennen van de 35-pens SIP module TM02_EAF9.



Figuur 8/7.2.1-65: Functioneel blokschema van de TM02_EAF9 (TM024EAF9, TM025EAF9 of TM027EAF9).

TM 024EAD9, TM 025EAD9, TM 027EAD9, TM 024GAL9, TM 025GAL9, TM 027GAL9

1M x 9 DRAM-module

De TM02_EAD9 en TM02_GAL9 zijn 9M dynamische RAM-modulen met een 1.048.576 x 9 bit organisatie. De hiervoor benodigde 9 DRAM's (1M x 1, plastic 26-pens SOJ-behuizing) zijn met 9 ontkoppelcondensatoren van 0,2 µF op een 30-pens SIP (AL-type) of een 30-pens SIMM (socket type AD) geplaatst. Deze module is leverbaar met naar keuze één van drie soorten DRAM's: TMS4C1024DJ (enhanced

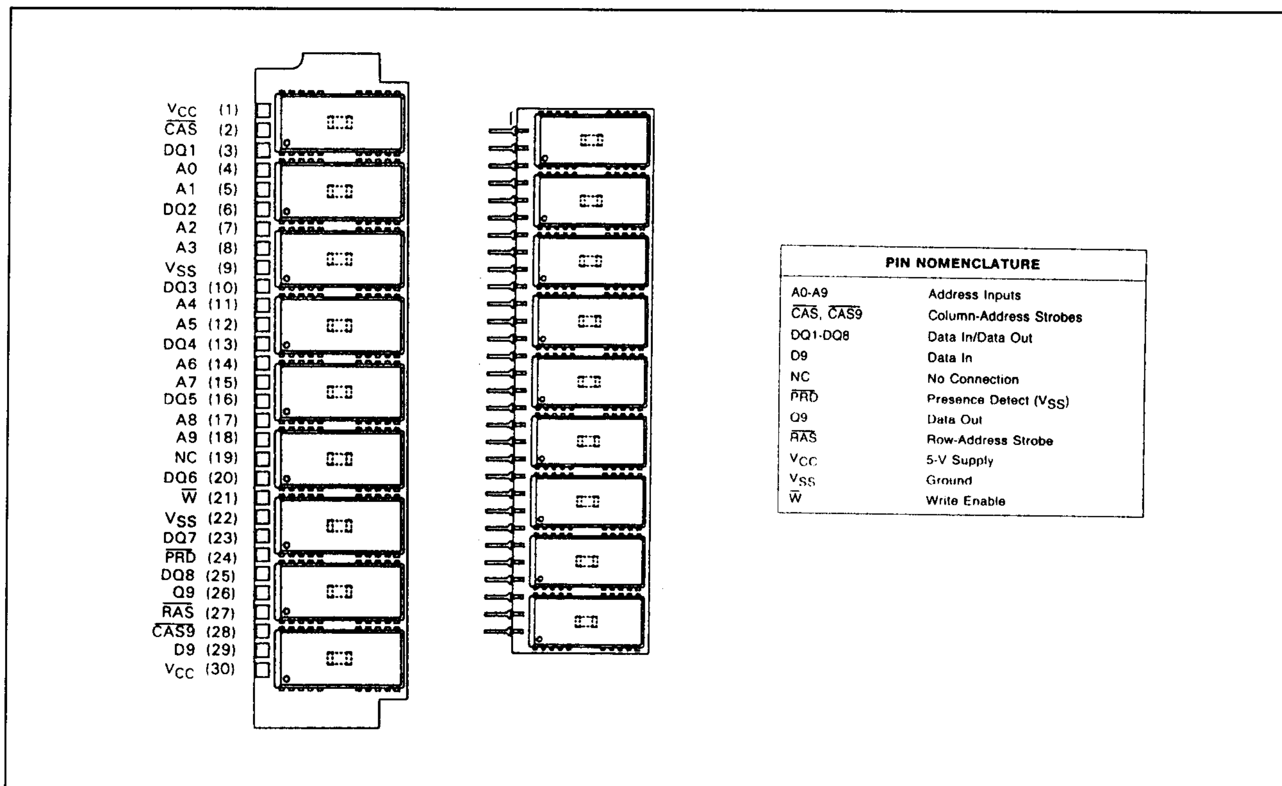
7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

page-mode), TMS4C1025DJ (nibble-mode) of TMS4C1027DJ (statische kolom decodeer-mode).

De belangrijkste gegevens staan hieronder, terwijl voor de kenmerken van de DRAM's zelf (timing, werking en elektrische karakteristieken) wordt verwezen naar hoofdstuk 8/3.3. De gecombineerde data in-/uitgangen van de eerste 8 bit maken "early write" cycli noodzakelijk voor een goede werking. De 9e bit heeft een aparte in- en uitgang met bijbehorende CAS9.

Specificaties

- 1.048.576 x 9 bit organisatie
- gemeenschappelijke CAS- en RAS-ingangen
- 8 bit: gecombineerde data in- en uitgangen (3-state)
- 9e bit: gescheiden in-/uitgang en CAS9
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding nodig: +5 V +/-10 %
- lange refresh-periode: 8 ms max. (512 cycli)
- 30-pens SIP behuizing AL-type (80,01 x 21,59 mm) of 30-pens SIMM AD-type (88,9 x 20,32 mm) (figuur 8/7.2.1-66)
- bevat 9 DRAM's:
  TM02_EAD9/GAL9-10 (enhanced page-mode): 100 ns
  TM02_EAD9/GAL9-12 (nibble-mode): 120 ns
  TM02_EAD9/GAL9-15 (static column-mode): 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 9 en 64k x 9 SIP's



Figuur 8/7.2.1-66: Vooraanzicht van de 30-pens SIMM module TM02_EAD9 (rechts) en de 30-pens SIP TM02_GAL9 (met dezelfde aansluitingen, links) en definities van de aansluitpennen.

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)

Figuur 8/7.2.1-67: Functioneel blokschema van de TM02_EAD9/GAL9.

TM 024GAF9, TM 025GAF9, TM 027GAF9

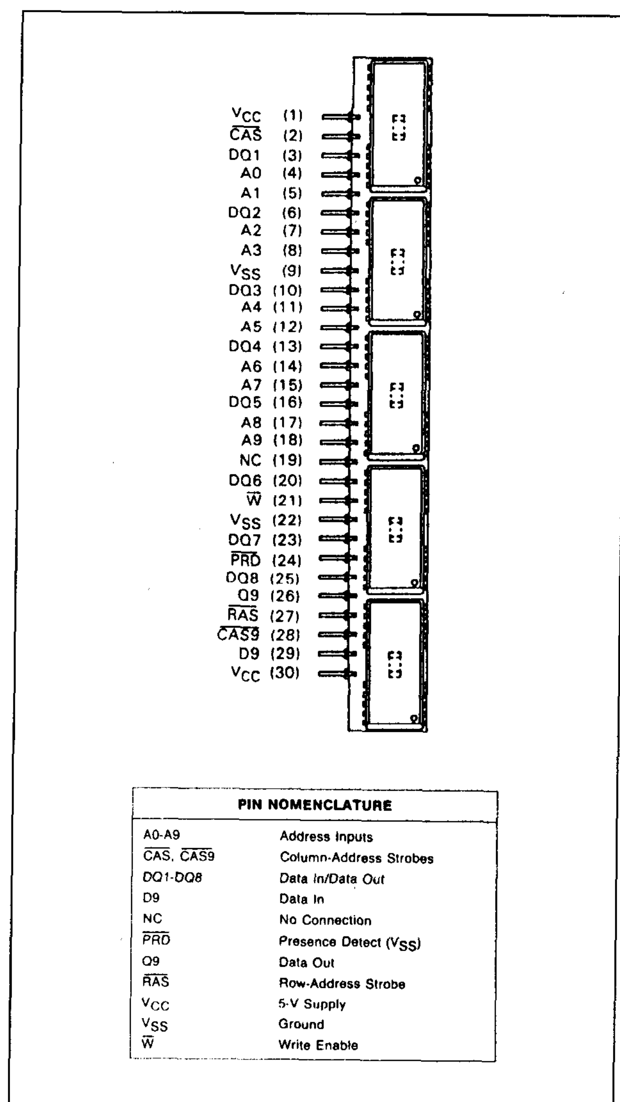
1M x 9 DRAM-module

De TM02_GAF9 zijn 9M dynamische RAM-modulen, georganiseerd in 1.048.576 x 8-bit woorden.
Hiervoor zijn 9 DRAM's (1M x 1, plastic 26-pens SOJ-behuizing) nodig, die bovenop de 9 ontkoppelcondensatoren van 0,2 µF aan weerszijden van de 30-pens SIP zijn gemonteerd.
De module is leverbaar met DRAM's van het type TMS4C1024DJ (enhanced page-mode), TMS4C1025DJ (nibble-mode) of TMS4C1027DJ (statische kolom decodeer-mode).
Het negende bit wordt meestal voor pariteits-controles gebruikt en beschikt over een aparte $\overline{CAS}$9. Voor de timing, werking en overige (elektrische) eigenschappen van de DRAM's wordt verwezen naar hoofdstuk 8/3.3.

Specificaties

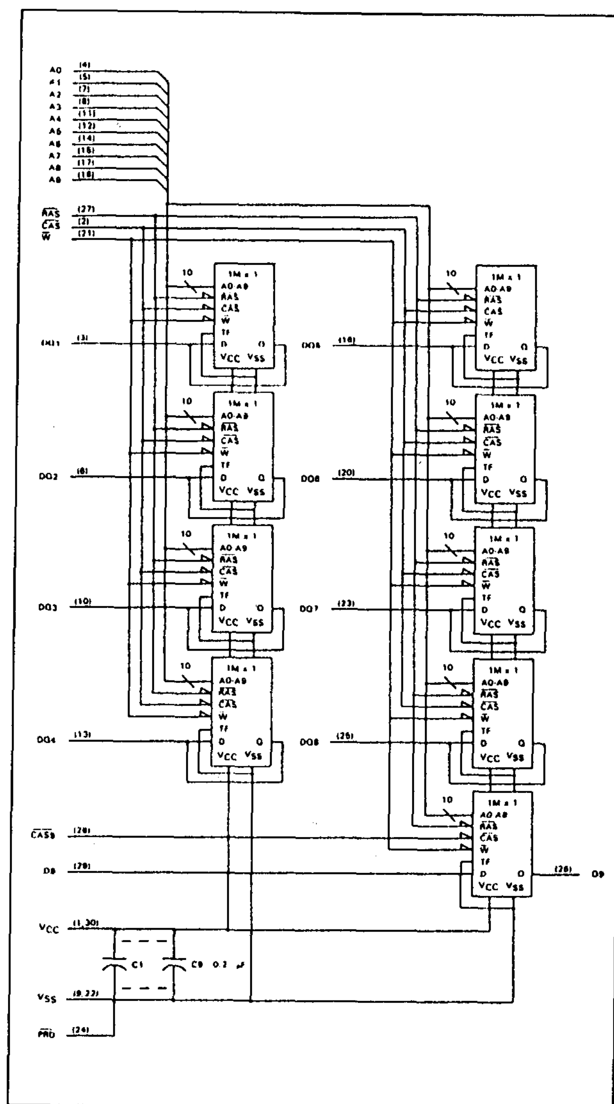
- 1.048.576 x 9 bit organisatie
- gemeenschappelijke $\overline{CAS}$- en $\overline{RAS}$-ingangen
- gecombineerde data in- en uitgangen (3-state) voor 8 bit
- aparte $\overline{CAS}$9 voor 9e bit
- gescheiden in-/uitgang voor 9e bit
- alle in-/uitgangen en clocks TTL-compatibel
- enkele voeding: +5 V +/-10 %
- enhanced page-mode met TMS4C1024, nibble-mode met TMS4C1025's en static column-mode met TMS4C1027
- lange refresh-periode: 8 ms max. (512 cycli)
- 30-pens SIP behuizing AF-type (88,9 x 11,43 mm) (figuur 8/7.2.1-68)
- bevat 9 DRAM's:
  TM02_GAF9-10: 100 ns
  TM02_GAF9-12: 120 ns
  TM02_GAF9-15: 150 ns
- geringe dissipatie
- bedrijfstemperatuur: 0 tot 70 °C
- neerwaarts compatibel met 256k x 9 SIP's

7.2.1 DRAM-modulen, TM-typen (Texas Instruments)



PIN NOMENCLATURE	
A0-A9	Address Inputs
CAS, CAS9	Column-Address Strobes
DQ1-DQ8	Data In/Data Out
D9	Data In
NC	No Connection
PRD	Presence Detect (V_{SS})
Q9	Data Out
RAS	Row-Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
W	Write Enable

Figuur 8/7.2.1-68: Vooraanzicht en definities van de aansluitpennen van de 30-pens SIP module TM02_GAF9.



Figuur 8/7.2.1-69: Functioneel blokschema van de TM02_GAF9 (TM024GAF9, TM025GAF9 of TM027GAF9).

8/7.2.2

EDO DRAM-modulen (Hitachi-typen)

HB56H132, HB56H232

1M x 32, respectievelijk 2M x 32 EDO DRAM-module (niet-gebufferd)

De HB56H132 is een 1 M x 32 bit dynamische RAM-module, opgebouwd uit 2 stuks HM5118165 (16M DRAM IC's in SOJ-behuizingen). De HB56H232 is een tweemaal zo grote dynamische RAM-module (2M x 32 bit) die is samengesteld uit 4 stuks HM5118165. Net als bij de samenstellende DRAM-onderdelen is bij de complete module ook de Extended Data Out mode mogelijk. De HB56H132 en HB56H232 hebben de vorm van 72-pens single in-line behuizingen (SIMM-72), waardoor ze weinig plaats innemen op het moederbord van de computer. De benodigde ontkoppel-condensatoren zijn op de module aanwezig. Beide SIMM's hebben gemeenschappelijke Data in- en uitgangen. Bij de HB56H132 bevinden de componenten zich aan één zijde (5,28 mm dik), bij de HB56H232 aan twee zijden (dikte: 9,14 mm). Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5118165 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-69.
- Lees-cycli: tabel 8/3.4.1-70 en figuur 8/3.4.1-79.
- Schrijf-cycli: tabel 8/3.4.1-71 en de figuren 8/3.4.1-80 en -81.
- Refresh-cycli: tabel 8/3.4.1-73 en de figuren 8/3.4.1-84 tot en met -87.
- EDO Page Mode cycli: tabel 8/3.4.1-74 en de figuren 8/3.4.1-88 tot en met -91.

Pin name	Function
A0 to A9	*Address inputs:* — Row address: A0 to A9 — Column address: A0 to A9 — Refresh address: A0 to A9
DQ0 to DQ31	Data-In/Data-out
$\overline{CAS0}$ to $\overline{CAS3}$	Column address strobe
$\overline{RAS0}$ to $\overline{RAS3}$	Row address strobe
$\overline{WE}$	Read/Write enable
V_{cc}	Power supply
V_{ss}	Ground
PD1 to PD4	Presence detect pin
NC	No connection

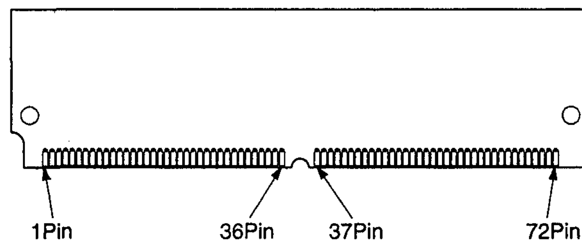
Tabel 8/7.2.2-1: Beschrijving van de pen-functies van de HB56H132 en HB56H232.

Specificaties

- 72-pens SIMM (pitch: 1,27 mm)
- HB56H132: 1M x 32 bit EDO SIMM (2 x HM5118165), afmetingen: 107,95 x 25,4 x 5,28 mm (LxBxD)
- HB56H232: 2M x 32 bit EDO SIMM (4 x HM5118165), afmetingen: 107,95 x 25,4 x 9,14 mm (LxBxD)
- contacten: HB56H132B/232B: verguld; HB56H132SB/232SB: vertind
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie actief (max):
  HB56H132: 2,10/1,79/1,58 W
  HB56H232: 2,15/1,84/1,63 W
- dissipatie standby (TTL):
  HB56H132: 21 mW; HB56H232: 42 mW
- dissipatie standby (CMOS):
  HB56H132L: 1,58 mW;
  HB56H232L: 3,15 mW
- EDO Page mode mogelijk
- refresh-periode: 1.024 refresh-cycli:
  16 ms (L-versie: 128 ms)

7.2 DRAM-modulen

- 3 soorten refresh mogelijk: $\overline{\text{RAS}}$-only, $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$ en hidden refresh
- TTL-compatibel
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

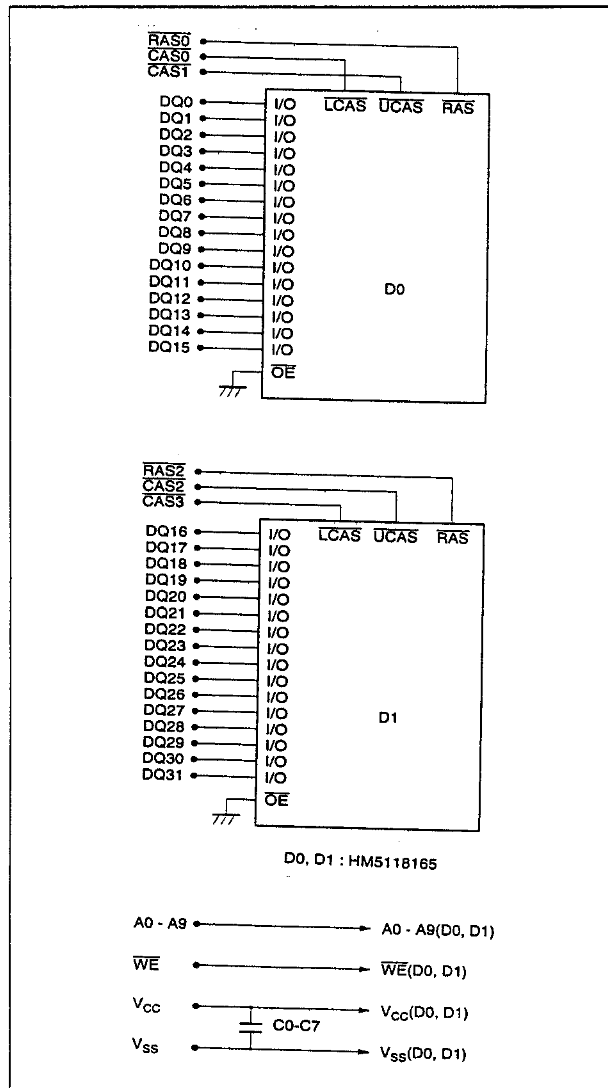


Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	19	NC	37	NC	55	DQ11
2	DQ0	20	DQ4	38	NC	56	DQ27
3	DQ16	21	DQ20	39	V_{SS}	57	DQ12
4	DQ1	22	DQ5	40	$\overline{\text{CAS0}}$	58	DQ28
5	DQ17	23	DQ21	41	$\overline{\text{CAS2}}$	59	V_{CC}
6	DQ2	24	DQ6	42	$\overline{\text{CAS3}}$	60	DQ29
7	DQ18	25	DQ22	43	$\overline{\text{CAS1}}$	61	DQ13
8	DQ3	26	DQ7	44	$\overline{\text{RAS0}}$	62	DQ30
9	DQ19	27	DQ23	45	$\overline{\text{RAS1}}$ (NC)*[2]	63	DQ14
10	V_{CC}	28	A7	46	NC	64	DQ31
11	NC	29	NC	47	$\overline{\text{WE}}$	65	DQ15
12	A0	30	V_{CC}	48	NC	66	NC
13	A1	31	A8	49	DQ8	67	PD1
14	A2	32	A9	50	DQ24	68	PD2
15	A3	33	$\overline{\text{RAS3}}$ (NC)*[1]	51	DQ9	69	PD3
16	A4	34	$\overline{\text{RAS2}}$	52	DQ25	70	PD4
17	A5	35	NC	53	DQ10	71	NC
18	A6	36	NC	54	DQ26	72	V_{SS}

Notes: 1. $\overline{\text{RAS3}}$: HB56H232, NC: HB56H132
2. $\overline{\text{RAS1}}$: HB56H232, NC: HB56H132

Figuur 8/7.2.2-1: Vorm en aansluitingen van de HB56H132 en HB56H232.

7.2 DRAM-modulen

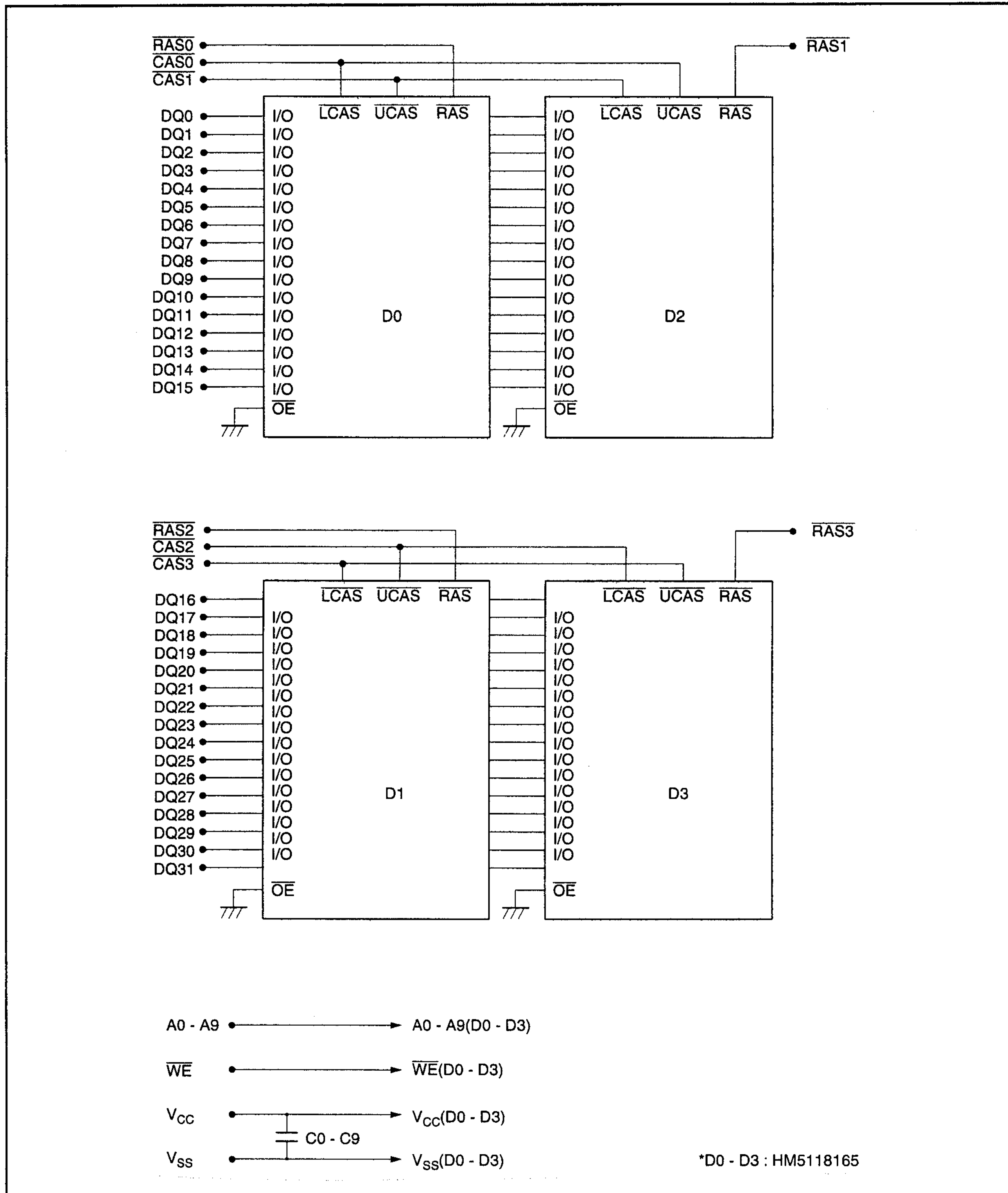


Figuur 8/7.2.2-2: Blokschema van de 1M x 32 bit HB56H132.

Pin No.	Pin name	Function 50 ns	60 ns	70 ns
67	PD1	V_{SS}	V_{SS}	V_{SS}
68	PD2	V_{SS}	V_{SS}	V_{SS}
69	PD3	V_{SS}	NC	V_{SS}
70	PD4	V_{SS}	NC	NC

Tabel 8/7.2.2-2: Signalen op de aanwezigheidsdetectie-pennen van de HB56H132.

7.2 DRAM-modulen



Figuur 8/7.2.2-3: Blokschema van de HB56H232 (2M x 32 bit).

7.2 DRAM-modulen

		Function		
Pin No.	**Pin name**	**50 ns**	**60 ns**	**70 ns**
67	PD1	NC	NC	NC
68	PD2	NC	NC	NC
69	PD3	V_{SS}	NC	V_{SS}
70	PD4	V_{SS}	NC	NC

Tabel 8/7.2.2-3: Signalen op de aanwezigheidsdetectie-pennen van de HB56H232.

Parameter	**Symbol**	**Value**	**Unit**
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	2	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-4: Maximaal toegelaten waarden voor de HB56H132 en HB56H232.

Parameter	**Symbol**	**Min**	**Typ**	**Max**	**Unit**
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-5: Aanbevolen bedrijfscondities voor de HB56H132 en HB56H232.

HB56U132

1M x 32

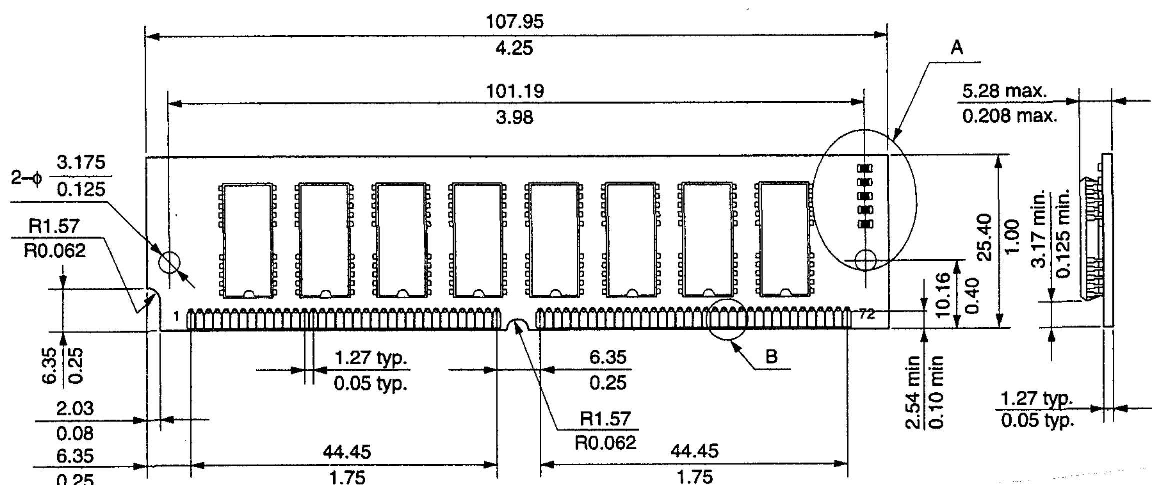
EDO DRAM-module (niet-gebufferd)

De HB56U132 is een 1 M x 32 bit dynamische RAM-module, die is opgebouwd uit 8 stuks HM514405CS (1M x 4 DRAM IC's in SOJ-behuizingen). Net als bij de samenstellende DRAM-componenten is bij de complete module ook de Extended Data Out mode mogelijk. De module is een 72-pens single in-line behuizing (SIMM-72). Alle ontkoppelcondensatoren zijn op de module aanwezig. De HB56U132 heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM514405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-89.
- Lees-cycli: tabel 8/3.4.1-90 en figuur 8/3.4.1-103.

7.2 DRAM-modulen



Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name
1	V_{SS}	19	NC	37	NC	55	DQ11
2	DQ0	20	DQ4	38	NC	56	DQ27
3	DQ16	21	DQ20	39	V_{SS}	57	DQ12
4	DQ1	22	DQ5	40	$\overline{CAS0}$	58	DQ28
5	DQ17	23	DQ21	41	$\overline{CAS2}$	59	V_{CC}
6	DQ2	24	DQ6	42	$\overline{CAS3}$	60	DQ29
7	DQ18	25	DQ22	43	$\overline{CAS1}$	61	DQ13
8	DQ3	26	DQ7	44	$\overline{RAS0}$	62	DQ30
9	DQ19	27	DQ23	45	NC	63	DQ14
10	V_{CC}	28	A7	46	NC	64	DQ31
11	NC	29	NC	47	$\overline{WE}$	65	DQ15
12	A0	30	V_{CC}	48	NC	66	PD5
13	A1	31	A8	49	DQ8	67	PD1
14	A2	32	A9	50	DQ24	68	PD2
15	A3	33	NC	51	DQ9	69	PD3
16	A4	34	$\overline{RAS2}$	52	DQ25	70	PD4
17	A5	35	NC	53	DQ10	71	NC
18	A6	36	NC	54	DQ26	72	V_{SS}

Figuur 8/7.2.2-4: Vorm (en afmetingen) en aansluitingen van de HB56U132.

7.2 DRAM-modulen

Pin Name	Function
A0 – A9	Address Input: A0 – A9 Row address: A0 – A9 Column address: A0 – A9 Refresh address: A0 – A9
DQ0 – DQ31	Data-in/Data-out
$\overline{\text{CAS0}}$ to $\overline{\text{CAS3}}$	Column Address Strobe
$\overline{\text{RAS0}}$, $\overline{\text{RAS2}}$	Row Address Strobe
$\overline{\text{WE}}$	Read/Write Enable
V_{CC}	Power Supply (+5 V)
V_{SS}	Ground
PD1 to PD4	Presence Detect Pin
PD5	Presence Detect Pin for EDO
NC	No Connection

Tabel 8/7.2.2-6: Beschrijving van de pen-functies van de HB56U132.

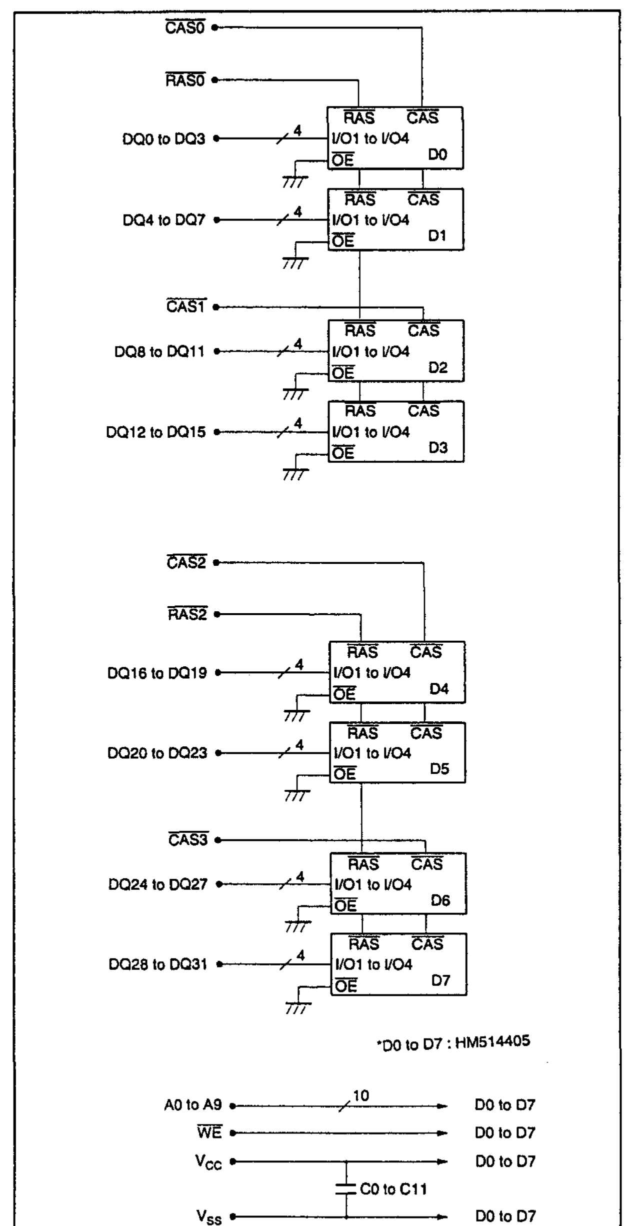
		Function	
Pin No.	**Pin Name**	**60 ns**	**70 ns**
66	PD5	V_{SS}	V_{SS}
67	PD1	V_{SS}	V_{SS}
68	PD2	V_{SS}	V_{SS}
69	PD3	NC	V_{SS}
70	PD4	NC	NC

Tabel 8/7.2.2-7: Signalen op de aanwezigheids-detectie-pennen van de HB56U132.

- Schrijf-cycli: tabel 8/3.4.1-91 en de figuren 8/3.4.1-104 en -105.
- Refresh-cycli: tabel 8/3.4.1-93 en de figuren 8/3.4.1-107 tot en met -109.
- EDO Page Mode cycli: tabel 8/3.4.1-94 en de figuren 8/3.4.1-110 tot en met -113.

Specificaties

- 72-pens SIMM (pitch: 1,27 mm)
- 1M x 32 bit EDO SIMM (8 x HM514405)
- contacten: HB56U132B: verguld; HB56U132SB: vertind
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 60 of 70 ns
- dissipatie (max): actief: 4,62/4,20 W; standby: 84 mW
- EDO Page mode mogelijk
- refresh-periode: 1.024 refresh-cycli: 16 ms
- 2 soorten refresh mogelijk: $\overline{\text{RAS}}$-only en $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$
- TTL-compatibel
- fabrikant: Hitachi



Figuur 8/7.2.2-5: Blokschema van de 1M x 32 bit HB56U132.

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	8	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-8: Maximaal toegelaten waarden van de HB56U132.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-9: Aanbevolen bedrijfscondities van de HB56U132.

HB56U232
2M x 32
EDO DRAM-module (niet-gebufferd)

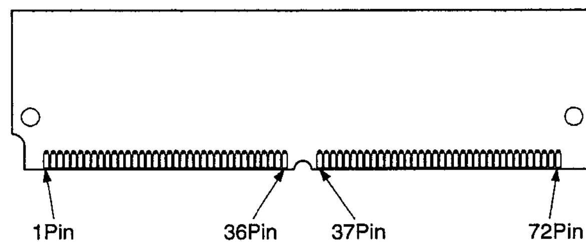
De HB56U232 is een 2M x 32 bit dynamische RAM-module, opgebouwd uit 4 stuks HM5117805 (2M x 8 DRAM IC's in SOJ-behuizingen). Net als bij de samenstellende DRAM-IC's is bij de complete module ook de Extended Data Out mode (EDO) mogelijk. De HB56U232 is een 72-pens single in-line behuizing (SIMM-72), waardoor weinig plaats wordt ingenomen op bijvoorbeeld het moederbord van een computer. De module is voorzien van de benodigde ontkoppel-condensatoren. De HB56U232 heeft gemeenschappelijke Data in- en uitgangen. De componenten bevinden zich aan één zijde van de module (5,28 mm dik).
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5117805 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-52.
- Lees-cycli: tabel 8/3.4.1-53 en figuur 8/3.4.1-60.
- Schrijf-cycli: tabel 8/3.4.1-54 en de figuren 8/3.4.1-61 en -62.
- Refresh-cycli: tabel 8/3.4.1-56 en de figuren 8/3.4.1-64 tot en met -66.
- EDO Page Mode cycli: tabel 8/3.4.1-57 en de figuren 8/3.4.1-67 tot en met -69.

Specificaties
- organisatie: 2M x 32 bit (4 x HM5117805)
- 72-pens SIMM (pitch: 1,27 mm)
- afmetingen: 107,95 x 25,4 x 5,28 mm (LxBxD)
- contacten: HB56U232BA verguld; HB56U232SBA: vertind
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 50, 60 of 70 ns

7.2 DRAM-modulen

- dissipatie (max): actief: 2,31/2,10/1,89 W, standby (TTL): 42 mW, (CMOS): 3,15 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms (L-versie: 128 ms)
- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden refresh
- TTL-compatibel
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi



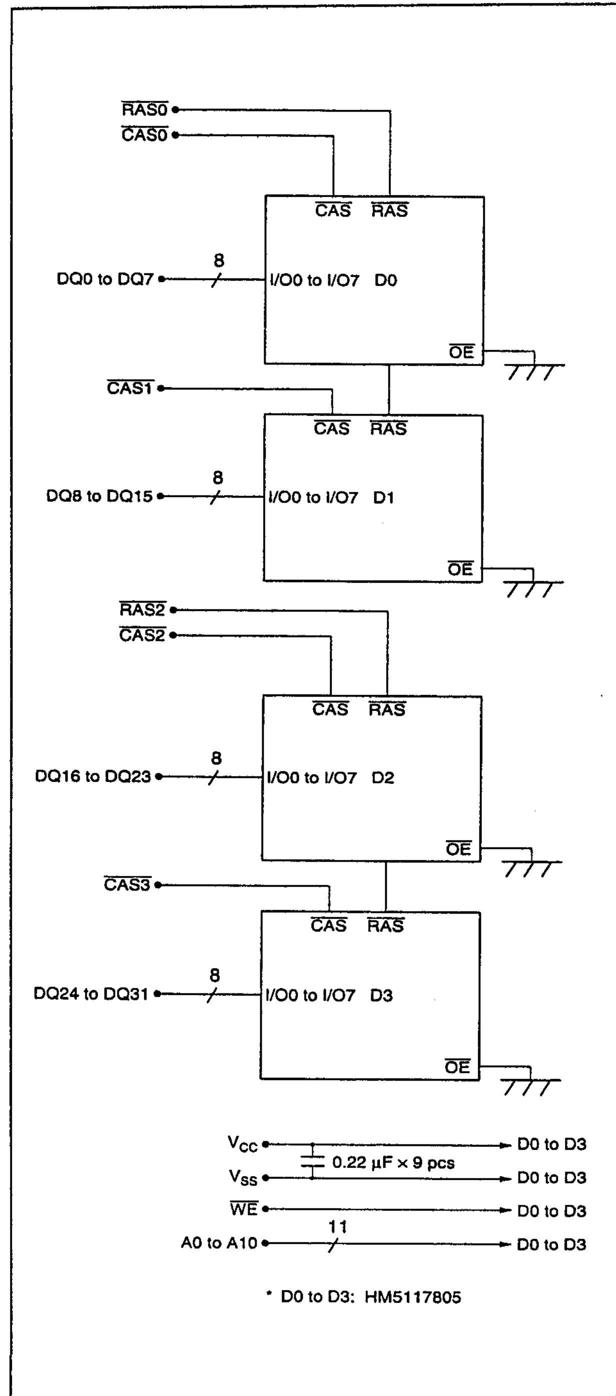
Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	19	A10	37	NC	55	DQ11
2	DQ0	20	DQ4	38	NC	56	DQ27
3	DQ16	21	DQ20	39	V_{SS}	57	DQ12
4	DQ1	22	DQ5	40	$\overline{CAS0}$	58	DQ28
5	DQ17	23	DQ21	41	$\overline{CAS2}$	59	V_{CC}
6	DQ2	24	DQ6	42	$\overline{CAS3}$	60	DQ29
7	DQ18	25	DQ22	43	$\overline{CAS1}$	61	DQ13
8	DQ3	26	DQ7	44	$\overline{RAS0}$	62	DQ30
9	DQ19	27	DQ23	45	NC	63	DQ14
10	V_{CC}	28	A7	46	NC	64	DQ31
11	NC	29	NC	47	$\overline{WE}$	65	DQ15
12	A0	30	V_{CC}	48	NC	66	NC
13	A1	31	A8	49	DQ8	67	PD1
14	A2	32	A9	50	DQ24	68	PD2
15	A3	33	NC	51	DQ9	69	PD3
16	A4	34	$\overline{RAS2}$	52	DQ25	70	PD4
17	A5	35	NC	53	DQ10	71	NC
18	A6	36	NC	54	DQ26	72	V_{SS}

Figuur 8/7.2.2-6: Vorm en aansluitingen van de HB56U232.

7.2 DRAM-modulen

Pin name	Function
A0 to A10	Address inputs:
	— Row address: A0 to A10
	— Column address: A0 to A9
	— Refresh address: A0 to A10
DQ0 to DQ31	Data-in/Data-out
$\overline{CAS0}$ to $\overline{CAS3}$	Column address strobe
$\overline{RAS0}$, $\overline{RAS2}$	Row address strobe
$\overline{WE}$	Read/Write enable
V_{cc}	Power supply
V_{ss}	Ground
PD1 to PD4	Presence detect pin
NC	No connection

Tabel 8/7.2.2-10: Beschrijving van de pen-functies van de HB56U232.



Figuur 8/7.2.2-7: Blokschema van de HB56U232.

7.2 DRAM-modulen

		Function		
Pin No.	Pin name	50 ns	60 ns	70 ns
67	PD1	NC	NC	NC
68	PD2	NC	NC	NC
69	PD3	V_{SS}	NC	V_{SS}
70	PD4	V_{SS}	NC	NC

Tabel 8/7.2.2-11: Signalen op de aanwezigheidsdetectie-pennen van de HB56U232.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	4	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-12: Maximaal toegelaten waarden voor de HB56U232.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-13: Aanbevolen bedrijfscondities voor de HB56U232.

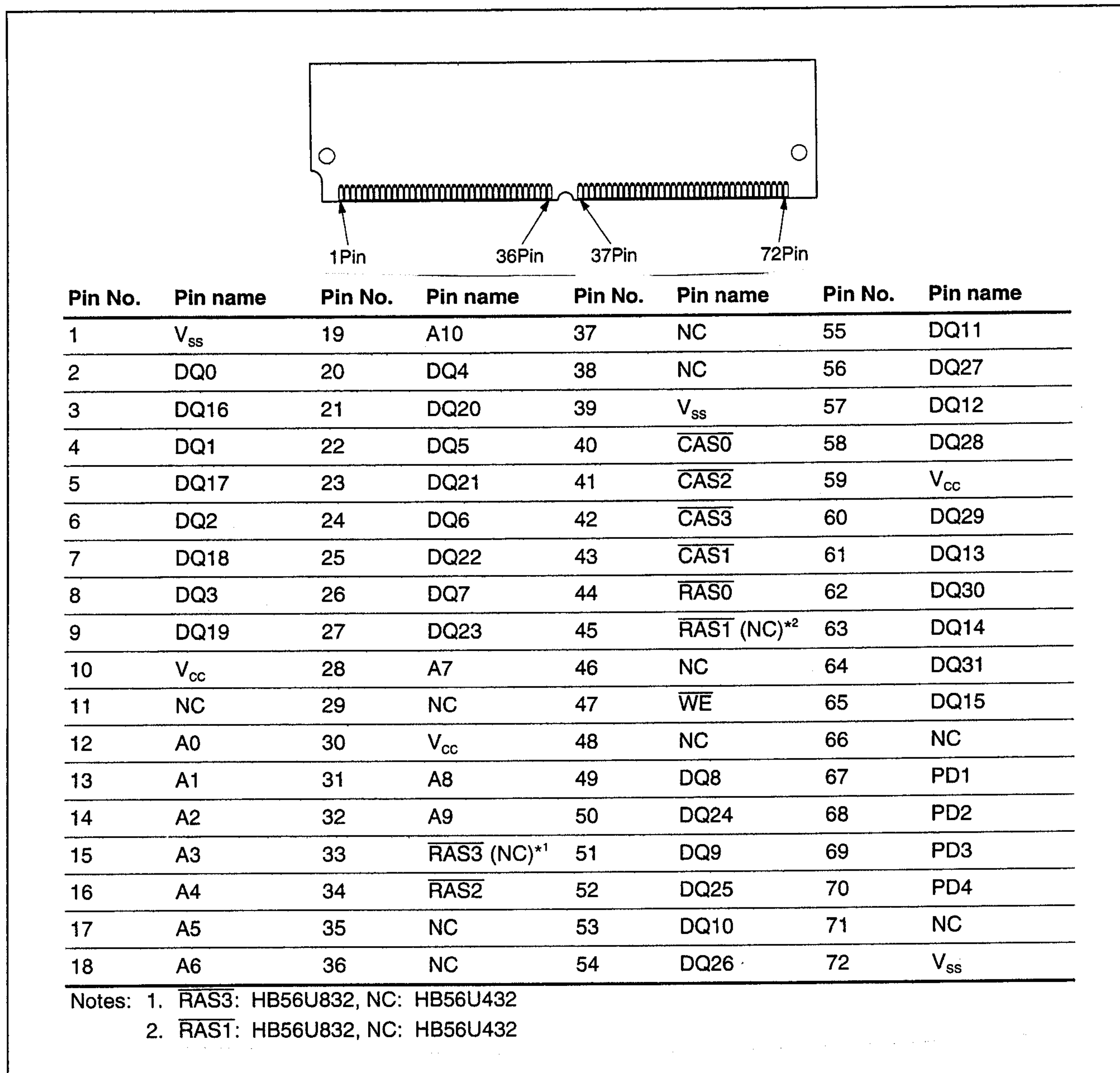
HB56U432, HB56U832

4M x 32, respectievelijk 8M x 32 EDO DRAM-module (niet-gebufferd)

De HB56U432 is een 4M x 32 bit dynamische RAM-module, bestaande uit 8 stuks HM5117405: 16M (4M x 4 bit) DRAM IC's in SOJ-behuizingen.

De HB56U832 is 8M x 32 bit en is samengesteld uit 16 stuks HM5117405. Bij deze laatste module bevinden de componenten zich aan beide zijden van de print. Net als bij de samenstellende DRAM-onderdelen is bij de complete module ook de Extended Data Out mode mogelijk. De HB56U432 en HB56U832 hebben de vorm van 72-pens single in-line behuizingen (SIMM-72), waardoor ze weinig plaats innemen. De benodigde ontkoppel-condensatoren zijn op beide modulen aanwezig. Ze hebben gemeenschappelijke Data in- en uitgangen.

7.2 DRAM-modulen



Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	19	A10	37	NC	55	DQ11
2	DQ0	20	DQ4	38	NC	56	DQ27
3	DQ16	21	DQ20	39	V_{SS}	57	DQ12
4	DQ1	22	DQ5	40	$\overline{\text{CAS0}}$	58	DQ28
5	DQ17	23	DQ21	41	$\overline{\text{CAS2}}$	59	V_{CC}
6	DQ2	24	DQ6	42	$\overline{\text{CAS3}}$	60	DQ29
7	DQ18	25	DQ22	43	$\overline{\text{CAS1}}$	61	DQ13
8	DQ3	26	DQ7	44	$\overline{\text{RAS0}}$	62	DQ30
9	DQ19	27	DQ23	45	$\overline{\text{RAS1}}$ (NC)*2	63	DQ14
10	V_{CC}	28	A7	46	NC	64	DQ31
11	NC	29	NC	47	$\overline{\text{WE}}$	65	DQ15
12	A0	30	V_{CC}	48	NC	66	NC
13	A1	31	A8	49	DQ8	67	PD1
14	A2	32	A9	50	DQ24	68	PD2
15	A3	33	$\overline{\text{RAS3}}$ (NC)*1	51	DQ9	69	PD3
16	A4	34	$\overline{\text{RAS2}}$	52	DQ25	70	PD4
17	A5	35	NC	53	DQ10	71	NC
18	A6	36	NC	54	DQ26	72	V_{SS}

Notes: 1. $\overline{\text{RAS3}}$: HB56U832, NC: HB56U432
2. $\overline{\text{RAS1}}$: HB56U832, NC: HB56U432

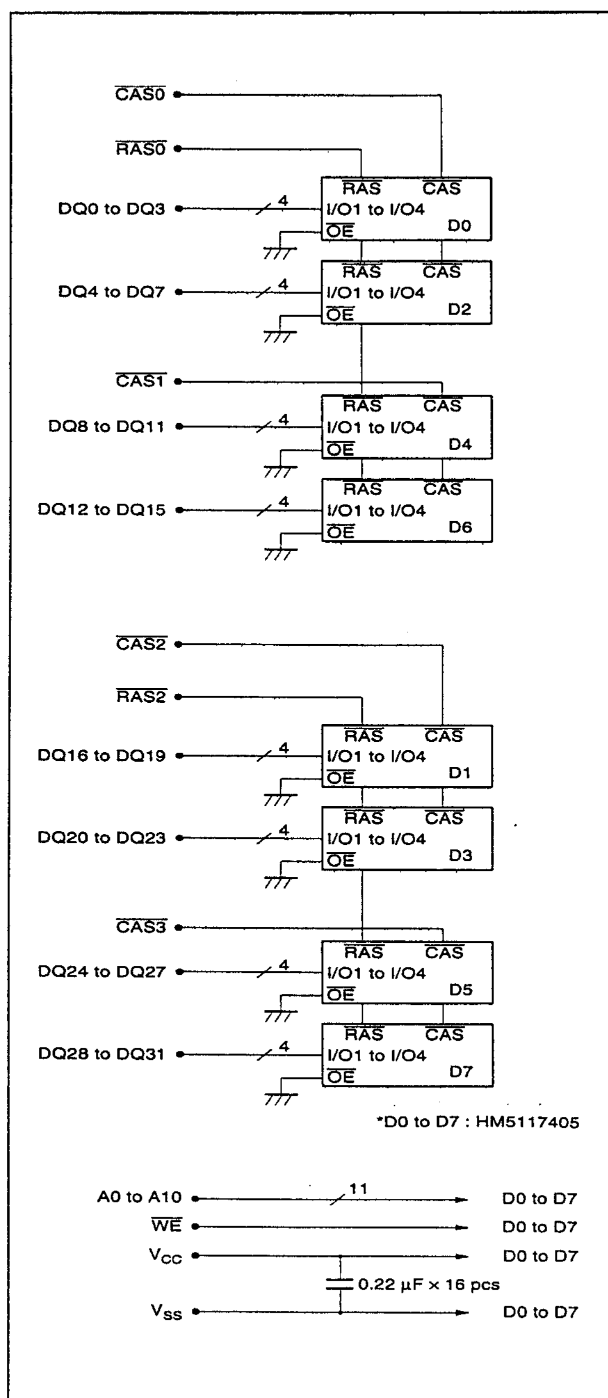
Figuur 8/7.2.2-8: Vorm en aansluitingen van de HB56U432 en HB56U832.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5117405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.

7.2 DRAM-modulen

– EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -47.



Figuur 8/7.2.2-9: Blokschema van de 4M x 32 bit HB56U432.

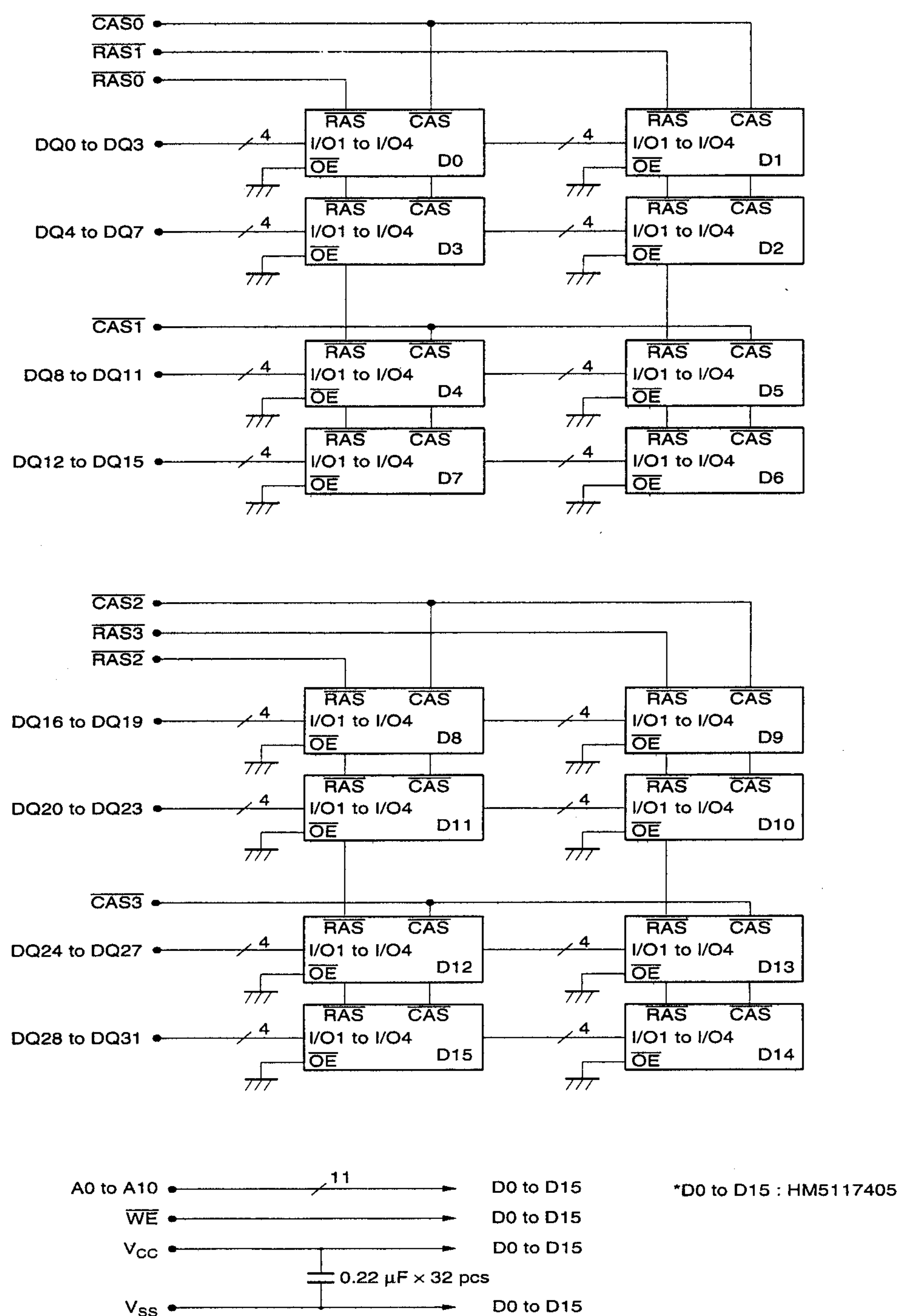
Specificaties

- 72-pens SIMM (pitch: 1,27 mm)
- HB56U432: 4M x 32 bit EDO SIMM (8 x HM5117405) afmetingen: 107,95 x 25,4 x 5,28 mm (LxBxD)
- HB56U832: 8M x 32 bit EDO SIMM (16 x HM5117405) afmetingen: 107,95 x 25,4 x 9,14 mm (LxBxD)
- contacten: HB56U432B/832B: verguld; HB56U432SB/832SB: vertind
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie actief (max): HB56U432: 4,20/3,78/3,36 W HB56U832: 4,41/3,99/3,57 W
- dissipatie standby (TTL): HB56U432: 84 mW; HB56U832: 168 mW
- dissipatie standby (CMOS): HB56U432L: 6,3 mW; HB56U832L: 12,6 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms (L-versie: 128 ms)
- 3 soorten refresh mogelijk: $\overline{\text{RAS}}$-only, $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$ en hidden refresh
- TTL-compatibel
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

Pin name	Function
A0 to A10	Address inputs: — Row address: A0 to A10 — Column address: A0 to A10 — Refresh address: A0 to A10
DQ0 to DQ31	Data-in/Data-out
$\overline{\text{CAS0}}$ to $\overline{\text{CAS3}}$	Column address strobe
$\overline{\text{RAS0}}$ to $\overline{\text{RAS3}}$	Row address strobe
$\overline{\text{WE}}$	Read/Write enable
V_{cc}	Power supply
V_{ss}	Ground
PD1 to PD4	Presence detect pin
NC	No connection

Tabel 8/7.2.2-14: Beschrijving van de pen-functies van de HB56U432 en HB56U832.

7.2 DRAM-modulen



Figuur 8/7.2.2-10: Blokschema van de 8M x 32 bit HB56U832.

7.2 DRAM-modulen

Pin No.	Pin name	Function 50 ns	60 ns	70 ns
67	PD1	V_{SS}	V_{SS}	V_{SS}
68	PD2	NC	NC	NC
69	PD3	V_{SS}	NC	V_{SS}
70	PD4	V_{SS}	NC	NC

Tabel 8/7.2.2-15: Signalen op de aanwezigheidsdetectie-pennen van de HB56U432.

Pin No.	Pin name	Function 50 ns	60 ns	70 ns
67	PD1	NC	NC	NC
68	PD2	V_{SS}	V_{SS}	V_{SS}
69	PD3	V_{SS}	NC	V_{SS}
70	PD4	V_{SS}	NC	NC

Tabel 8/7.2.2-16: Signalen op de aanwezigheidsdetectie-pennen van de HB56U832.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	8	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

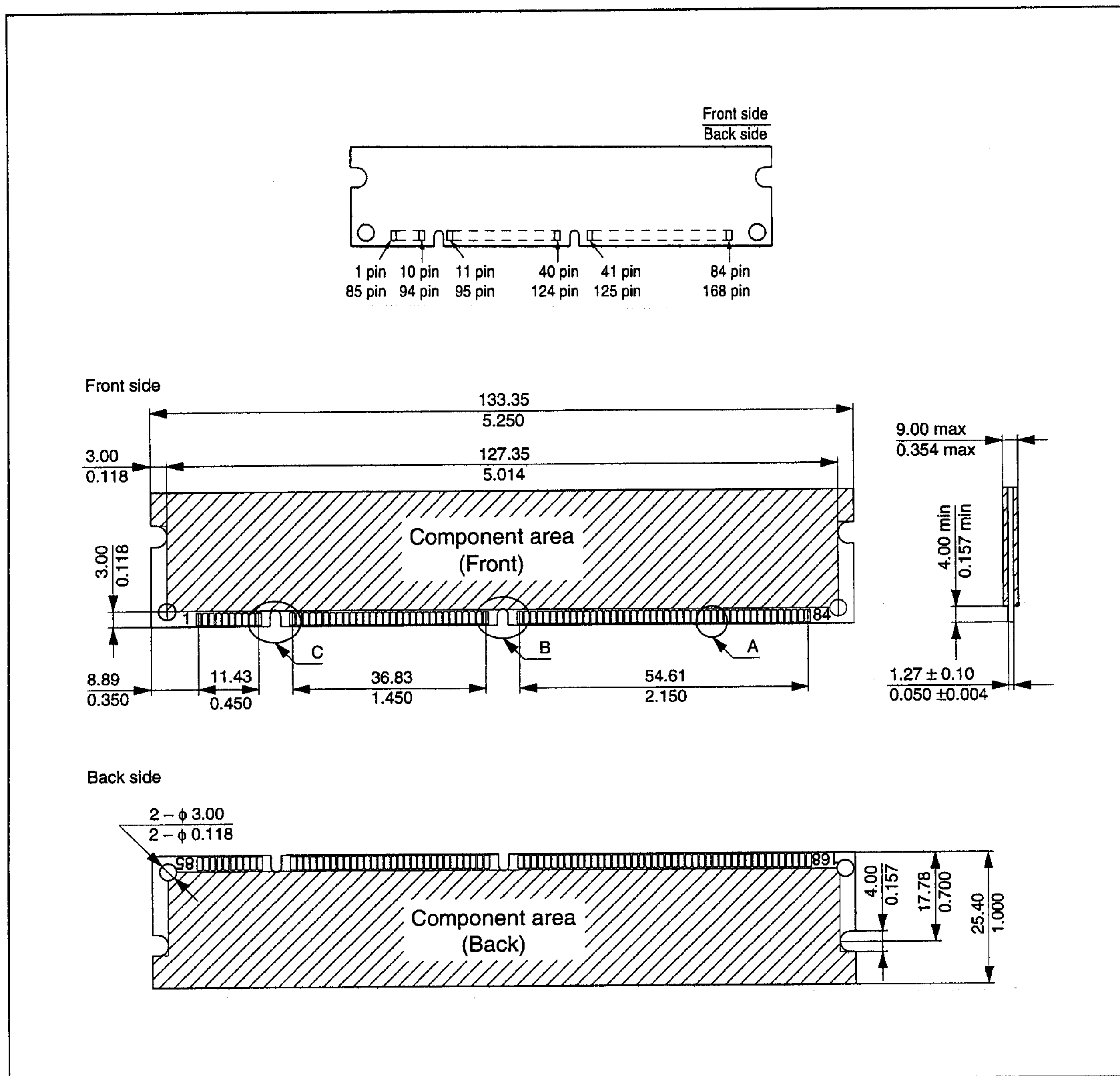
Tabel 8/7.2.2-17: Maximaal toegelaten waarden voor de HB56U432 en HB56U832.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-18: Aanbevolen bedrijfscondities voor de HB56U432 en HB56U832.

7.2 DRAM-modulen



Figuur 8/7.2.2-11: Vorm, pen-telling en afmetingen van de HB56H164EJ.

HB56H164EJ

1M x 64 EDO DRAM-module (gebufferd)

De HB56H164EJ is een 1M x 64 bit dynamische RAM-module, bestaande uit 4 stuks HM5118165: 16M (1M x 16 bit) DRAM IC's in SOJ-behuizingen en 2 stuks 74ABT16244 (16 bit BiCMOS line-driver) in TSSOP-behuizingen. De componenten bevinden zich aan beide zijden van de module. Net als bij de samenstellende DRAM-onderdelen is de Extended Data Out mode mogelijk om de snelheid te verhogen.

De HB56H164EJ heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168), waardoor hij weinig plaats inneemt. De module heeft alle benodigde ontkoppelcondensatoren en gemeenschappelijke Data in- en uitgangen.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE2}$	86	DQ36	128	NC
3	DQ1	45	$\overline{RE2}$	87	DQ37	129	NC
4	DQ2	46	$\overline{CE4}$	88	DQ38	130	$\overline{CE5}$
5	DQ3	47	$\overline{CE6}$	89	DQ39	131	$\overline{CE7}$
6	V_{cc}	48	$\overline{WE2}$	90	V_{cc}	132	$\overline{PDE}$
7	DQ4	49	V_{cc}	91	DQ40	133	V_{cc}
8	DQ5	50	NC	92	DQ41	134	NC
9	DQ6	51	NC	93	DQ42	135	NC
10	DQ7	52	DQ18	94	DQ43	136	DQ54
11	NC	53	DQ19	95	NC	137	DQ55
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ20	97	DQ45	139	DQ56
14	DQ10	56	DQ21	98	DQ46	140	DQ57
15	DQ11	57	DQ22	99	DQ47	141	DQ58
16	DQ12	58	DQ23	100	DQ48	142	DQ59
17	DQ13	59	V_{cc}	101	DQ49	143	V_{cc}
18	V_{cc}	60	DQ24	102	V_{cc}	144	DQ60
19	DQ14	61	NC	103	DQ50	145	NC
20	DQ15	62	NC	104	DQ51	146	NC
21	DQ16	63	NC	105	DQ52	147	NC
22	NC	64	NC	106	NC	148	NC
23	V_{ss}	65	DQ25	107	V_{ss}	149	DQ61
24	NC	66	NC	108	NC	150	NC
25	NC	67	DQ27	109	NC	151	DQ63
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE0}$	69	DQ28	111	NC	153	DQ64
28	$\overline{CE0}$	70	DQ29	112	$\overline{CE1}$	154	DQ65
29	$\overline{CE2}$	71	DQ30	113	$\overline{CE3}$	155	DQ66
30	$\overline{RE0}$	72	DQ31	114	NC	156	DQ67
31	$\overline{OE0}$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ32	116	V_{ss}	158	DQ68
33	A0	75	DQ33	117	A1	159	DQ69
34	A2	76	DQ34	118	A3	160	DQ70
35	A4	77	NC	119	A5	161	NC
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	PD1	121	A9	163	PD2
38	NC	80	PD3	122	NC	164	PD4
39	NC	81	PD5	123	NC	165	PD6
40	V_{cc}	82	PD7	124	V_{cc}	166	PD8
41	NC	83	ID0 (V_{ss})	125	NC	167	ID1 (V_{ss})
42	NC	84	V_{cc}	126	B0	168	V_{cc}

Tabel 8/7.2.2-19: Aansluitingen van de HB56H164EJ.

7.2 DRAM-modulen

Pin name	Function
A0 to A9, B0	Address input — Row address : A0 to A9, B0 — Column address : A0 to A9, B0 — Refresh address : A0 to A9, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/data-out
$\overline{RE0}$, $\overline{RE2}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
PD1 to PD8	Presence detect
ID0, ID1	ID bit
$\overline{PDE}$	Presence detect enable
NC	No connection

Tabel 8/7.2.2-20: Beschrijving van de pen-functies van de HB56H164EJ.

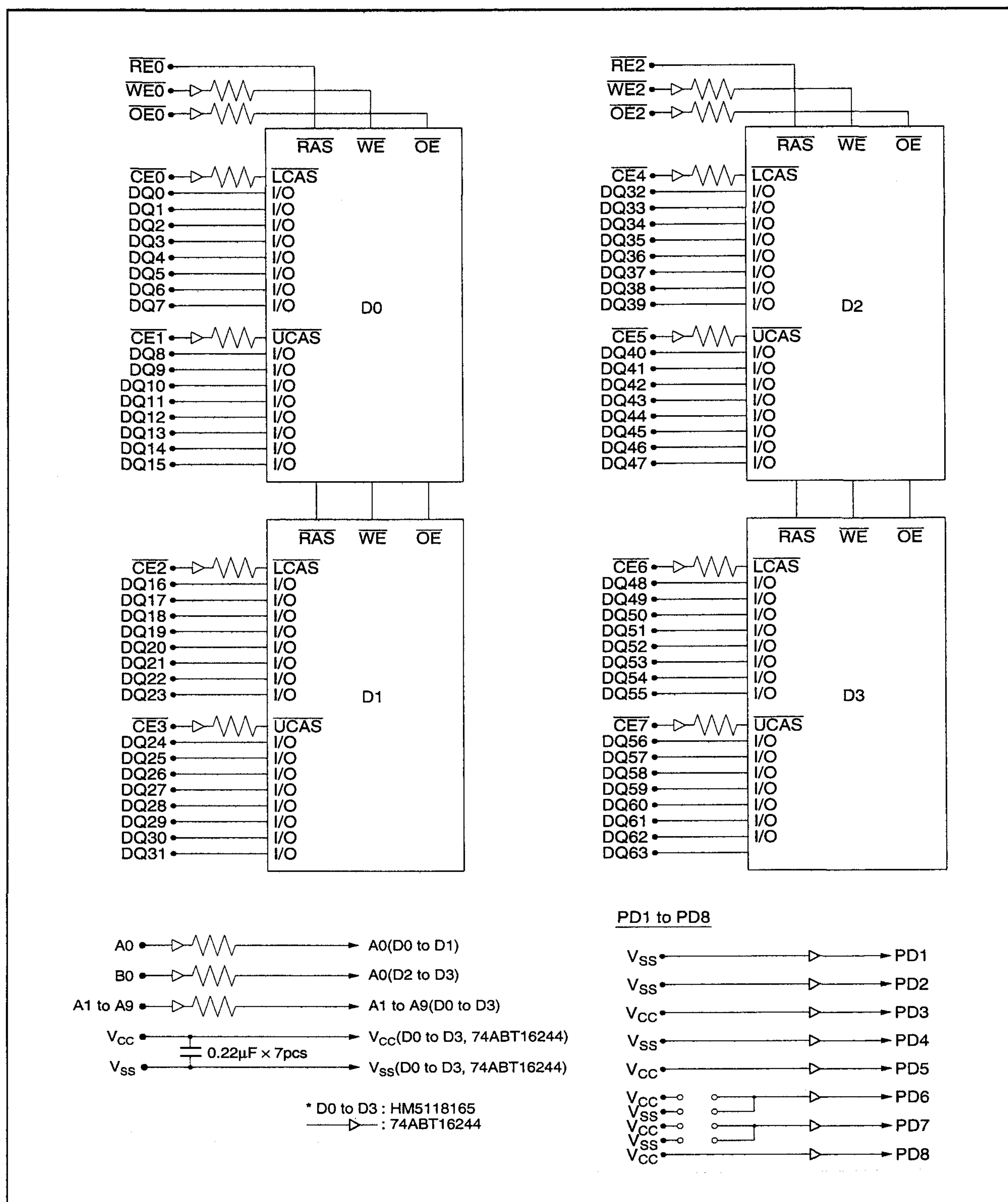
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5118165 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-69.
- Lees-cycli: tabel 8/3.4.1-70 en figuur 8/3.4.1-79.
- Schrijf-cycli: tabel 8/3.4.1-71 en de figuren 8/3.4.1-80 en -81.
- Refresh-cycli: tabel 8/3.4.1-73 en de figuren 8/3.4.1-83 tot en met -87.
- EDO Page Mode cycli: tabel 8/3.4.1-74 en de figuren 8/3.4.1-88 tot en met -91.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 1M x 64 bit EDO (4 x HM5118165) plus 2 x 74ABT16244
- geschikt voor 64 bit of 32 bit toepassingen
- afmetingen: 133,35 x 25,4 x 9,00 mm (LxBxD)
- vergulde contacten
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 60 of 70 ns
- dissipatie (max): actief: 3,906/3,486 W, standby (TTL): 378 mW, (CMOS): 357 mW
- gebufferde ingangen (behalve $\overline{RAS}$ en DQ)
- EDO Page mode mogelijk
- refresh-periode: 1.024 refresh-cycli: 16 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- TTL-compatibel
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

7.2 DRAM-modulen



Figuur 8/7.2.2-12: Blokschema van de HB56H164EJ.

7.2 DRAM-modulen

		$\overline{PDE}$ = Low		$\overline{PDE}$ = High
Pin name	Pin No.	60 ns	70 ns	All
PD1	79	0	0	High-Z
PD2	163	0	0	High-Z
PD3	80	1	1	High-Z
PD4	164	0	0	High-Z
PD5	81	1	1	High-Z
PD6	165	1	0	High-Z
PD7	82	1	1	High-Z
PD8	166	1	1	High-Z

Note: 1: High level (Driver output)
0: Low level (Driver output)

Tabel 8/7.2.2-21: Signalen op de aanwezigheidsdetectie-pennen van de HB56H164EJ.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	5	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

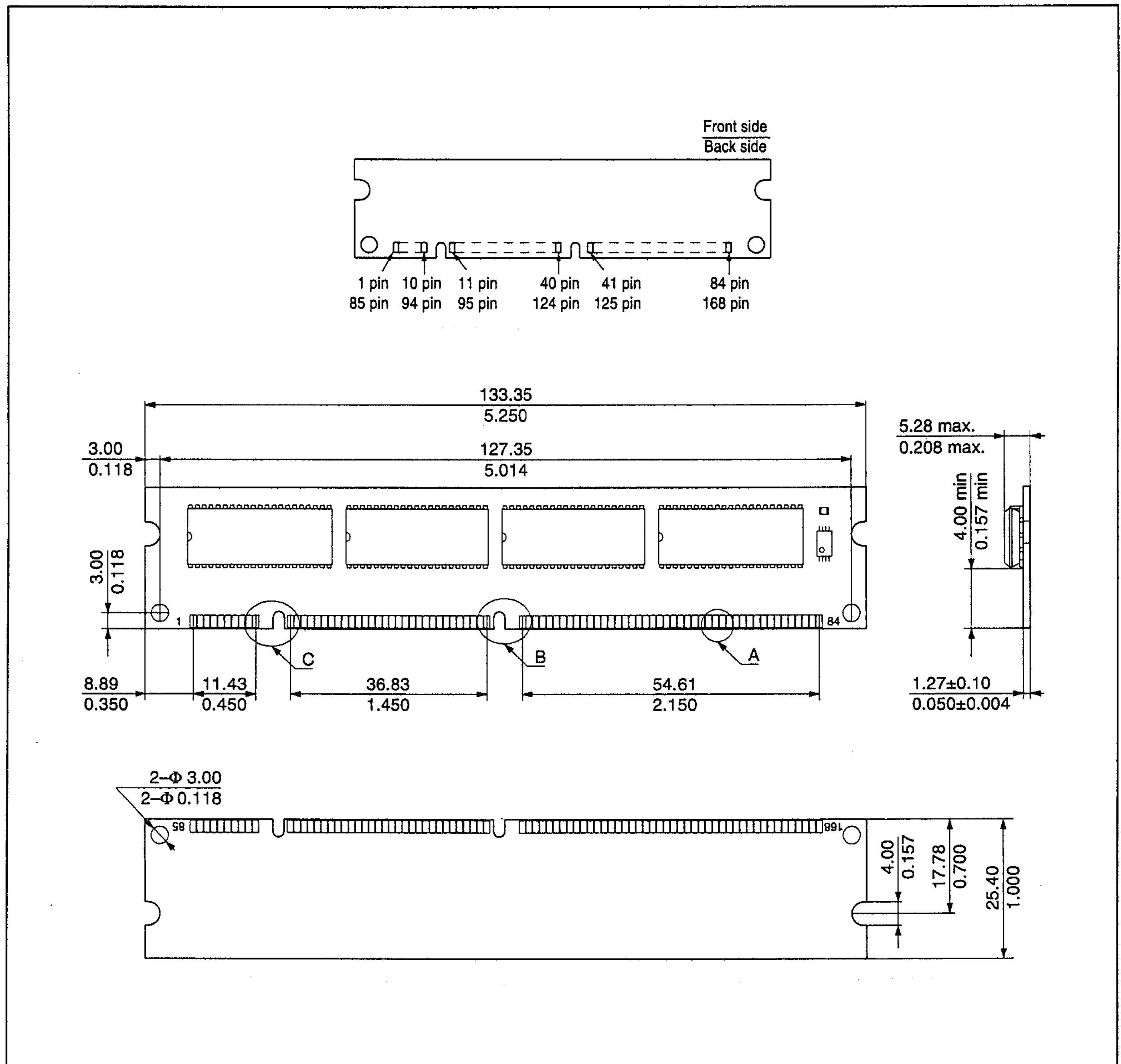
Tabel 8/7.2.2-22: Maximaal toegelaten waarden voor de HB56H164EJ.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–0.5	—	0.8	V

Note: 1. All voltage referenced to V_{SS}.

Tabel 8/7.2.2-23: Aanbevolen bedrijfscondities voor de HB56H164EJ.

7.2 DRAM-modulen



Figuur 8/7.2.2-13: Vorm, pen-telling en afmetingen (componenten-opstelling) van de HB56H164EJN.

HB56H164EJN

1M x 64 EDO DRAM-module (niet gebufferd)

De HB56H164EJN is een 1M x 64 bit dynamische RAM-module die wezenlijk verschilt van de HB56H164EJ.

Hij bestaat uit 4 stuks HM5118165BJ: 16M (1M x 16 bit) DRAM IC's in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan één zijde van de module.

Net als bij de DRAM-onderdelen waaruit de HB56H164EJN is opgebouwd, is de Extended Data Out mode mogelijk.

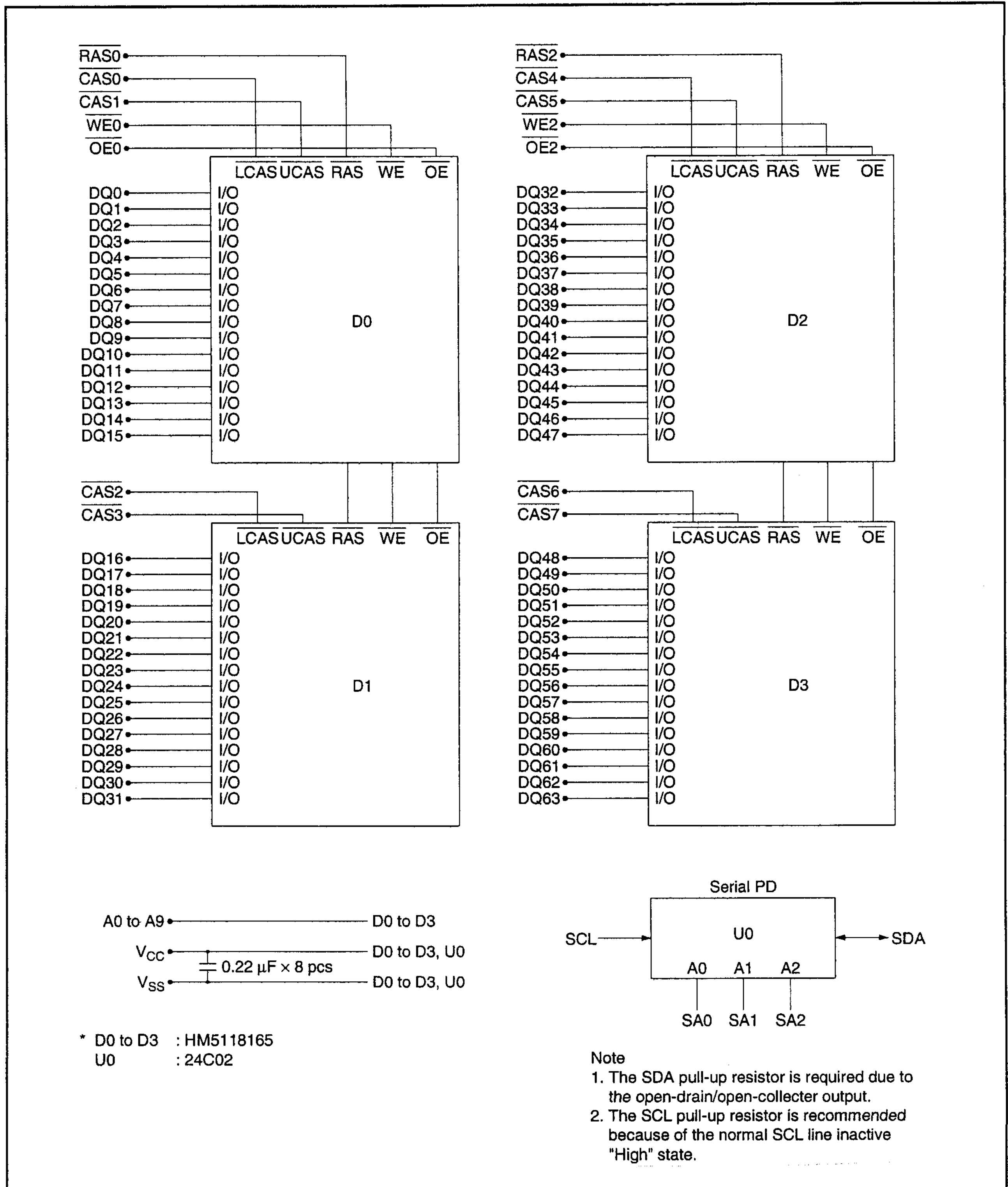
De HB56H164EJN is een 168-pens dual-lead-out printje (DIMM-168), waardoor weinig plaats wordt ingenomen.

7.2 DRAM-modulen

Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name
1	V_{ss}	13	DQ9	25	NC	37	A8
2	DQ0	14	DQ10	26	V_{cc}	38	NC
3	DQ1	15	DQ11	27	$\overline{\text{WE0}}$	39	NC
4	DQ2	16	DQ12	28	$\overline{\text{CAS0}}$	40	V_{cc}
5	DQ3	17	DQ13	29	$\overline{\text{CAS1}}$	41	V_{cc}
6	V_{cc}	18	V_{cc}	30	$\overline{\text{RAS0}}$	42	NC
7	DQ4	19	DQ14	31	$\overline{\text{OE0}}$	43	V_{ss}
8	DQ5	20	DQ15	32	V_{ss}	44	$\overline{\text{OE2}}$
9	DQ6	21	NC	33	A0	45	$\overline{\text{RAS2}}$
10	DQ7	22	NC	34	A2	46	$\overline{\text{CAS2}}$
11	DQ8	23	V_{ss}	35	A4	47	$\overline{\text{CAS3}}$
12	V_{ss}	24	NC	36	A6	48	$\overline{\text{WE2}}$
Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name
49	V_{cc}	79	NC	109	NC	139	DQ48
50	NC	80	NC	110	V_{cc}	140	DQ49
51	NC	81	NC	111	NC	141	DQ50
52	NC	82	SDA	112	$\overline{\text{CAS4}}$	142	DQ51
53	NC	83	SCL	113	$\overline{\text{CAS5}}$	143	V_{cc}
54	V_{ss}	84	V_{cc}	114	NC	144	DQ52
55	DQ16	85	V_{ss}	115	NC	145	NC
56	DQ17	86	DQ32	116	V_{ss}	146	NC
57	DQ18	87	DQ33	117	A1	147	NC
58	DQ19	88	DQ34	118	A3	148	V_{ss}
59	V_{cc}	89	DQ35	119	A5	149	DQ53
60	DQ20	90	V_{cc}	120	A7	150	DQ54
61	NC	91	DQ36	121	A9	151	DQ55
62	NC	92	DQ37	122	NC	152	V_{ss}
63	NC	93	DQ38	123	NC	153	DQ56
64	V_{ss}	94	DQ39	124	V_{cc}	154	DQ57
65	DQ21	95	DQ40	125	NC	155	DQ58
66	DQ22	96	V_{ss}	126	NC	156	DQ59
67	DQ23	97	DQ41	127	V_{ss}	157	V_{cc}
68	V_{ss}	98	DQ42	128	NC	158	DQ60
69	DQ24	99	DQ43	129	NC	159	DQ61
70	DQ25	100	DQ44	130	$\overline{\text{CAS6}}$	160	DQ62
71	DQ26	101	DQ45	131	$\overline{\text{CAS7}}$	161	DQ63
72	DQ27	102	V_{cc}	132	NC	162	V_{ss}
73	V_{cc}	103	DQ46	133	V_{cc}	163	NC
74	DQ28	104	DQ47	134	NC	164	NC
75	DQ29	105	NC	135	NC	165	SA0
76	DQ30	106	NC	136	NC	166	SA1
77	DQ31	107	V_{ss}	137	NC	167	SA2
78	V_{ss}	108	NC	138	V_{ss}	168	V_{cc}

Tabel 8/7.2.2-24: Aansluitingen van de HB56H164EJN (let op volgorde in tabel!).

7.2 DRAM-modulen



Figuur 8/7.2.2-14: Blokschema van de HB56H164EJN.

7.2 DRAM-modulen

Pin Name	Function
A0 to A9	Address Input : A0 to A9 Row Address : A0 to A9 Column Address : A0 to A9 Refresh Address : A0 to A9
DQ0 to DQ63	Data-in/Data-out
$\overline{RAS0}$, $\overline{RAS2}$	Row Address Strobe
$\overline{CAS0}$ to $\overline{CAS7}$	Column Address Strobe
$\overline{WE0}$, $\overline{WE2}$	Read/Write Enable
$\overline{OE0}$, $\overline{OE2}$	Output Enable
SDA	Serial Data for PD
SCL	Serial Clock for PD
SA0 to SA2	Serial Address for PD
V_{cc}	Power Supply
V_{ss}	Ground
NC	Non Connection

Tabel 8/7.2.2-25: Beschrijving van de pen-functies van de HB56H164EJN.

De module is volledig ontkoppeld en heeft gemeenschappelijke Data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5118165 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-69.
- Lees-cycli: tabel 8/3.4.1-70 en figuur 8/3.4.1-79.
- Schrijf-cycli: tabel 8/3.4.1-71 en de figuren 8/3.4.1-80 en -81.
- Refresh-cycli: tabel 8/3.4.1-73 en de figuren 8/3.4.1-83 tot en met -87.
- EDO Page Mode cycli: tabel 8/3.4.1-74 en de figuren 8/3.4.1-88 tot en met -91.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 1 M x 64 bit EDO (4 x HM5118165) plus 1 x 24C02 (EEPROM voor PD)
- geschikt voor 64 bit of 32 bit toepassingen
- vergulde contacten
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 60 of 70 ns
- dissipatie (max): actief: 3,6/3,2 W, stand-by (TTL): 42 mW, (CMOS): 21 mW
- EDO Page mode mogelijk
- refresh-periode: 1.024 refresh-cycli: 16 ms
- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden refresh
- TTL-compatibel
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{ss}	V_T	−1.0 to +7.0	V
Supply voltage relative to V_{ss}	V_{CC}	−1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	4	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C

Tabel 8/7.2.2-27: Maximaal toegelaten waarden voor de HB56H164EJN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{ss}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	−1.0	—	0.8	V

Note: 1. All voltage referenced to V_{ss}.

Tabel 8/7.2.2-28: Aanbevolen bedrijfscondities voor de HB56H164EJN.

(wordt vervolgd)

7.2 DRAM-modulen

Byte Number	Function Described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Note
0	Number Serial PD Bytes	0	0	0	0	1	1	0	1	13
1	Serial Memorry	0	0	0	0	1	0	0	0	256 Bytes
2	Fundamental Memory Type	0	0	0	0	0	0	1	0	EDO
3	Number of Rows	0	0	0	0	1	0	1	0	10
4	Number of Columns	0	0	0	0	1	0	1	0	10
5	Number of Banks	0	0	0	0	0	0	0	1	1
6	Data Width	0	1	0	0	0	0	0	0	64
7	Data Width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage Interface	0	0	0	0	0	0	0	0	5.0 Volt
9	$\overline{RAS}$ Access Time 60 ns	0	0	1	1	1	1	0	0	
	$\overline{RAS}$ Access Time 70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ Access Time 15 ns	0	0	0	0	1	1	1	1	
	$\overline{CAS}$ Access Time 18 ns	0	0	0	1	0	0	1	0	
11	Error Detection/Corraction	0	0	0	0	0	0	0	0	None-Parity
12	Refresh Period	0	0	0	0	0	0	0	0	Normal (15.625µs)

Note: Serial-PD Datas are not protected.
1: High Level (Serial Data)
0: Low Level (Serial Data)

Tabel 8/7.2.2-26: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56H164EJN.

HB56HW164EJN

1M x 64 EDO DRAM-module (niet gebufferd)

De HB56HW164EJN is, net als de HB56H164EJN, een 1 M x 64 bit dynamische RAM-module die in de Extended Data Out mode gebruikt kan worden. De HB56HW164EJN bestaat echter uit 4 stuks HM51W18165 (16M DRAM IC's in SOJ-behuizing) en werkt op 3,3 V. Verder is één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD) opgenomen. Alle componenten (inclusief de ontkoppelcondensatoren) bevinden zich aan één zijde van de module.

De HB56HW164EJN is een 168-pens dual-lead-out printje (DIMM-168), waardoor weinig plaats wordt ingenomen. De module heeft gemeenschappelijke Data in- en uitgangen.

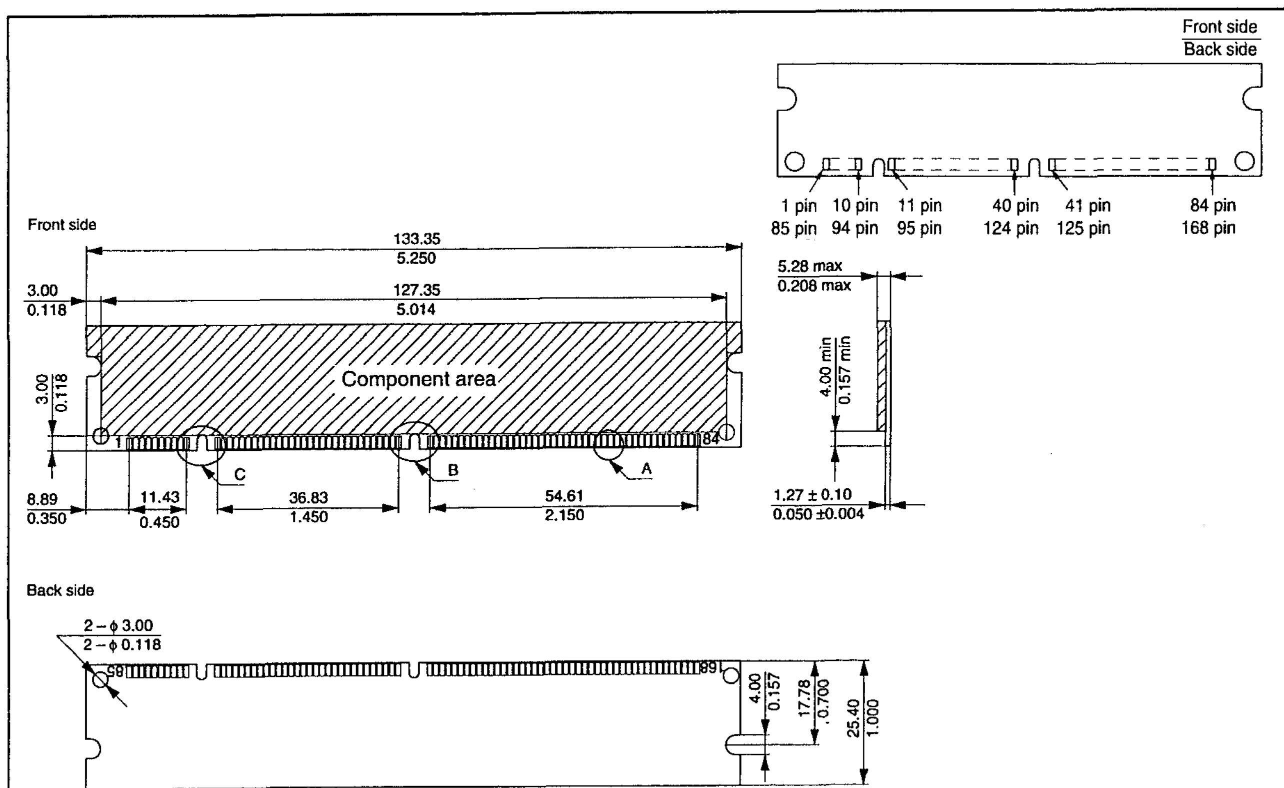
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM51W18165 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-69.
- Lees-cycli: tabel 8/3.4.1-70 en figuur 8/3.4.1-79.
- Schrijf-cycli: tabel 8/3.4.1-71 en de figuren 8/3.4.1-80 en -81.
- Refresh-cycli: tabel 8/3.4.1-73 en de figuren 8/3.4.1-83 tot en met -87.
- EDO Page Mode cycli: tabel 8/3.4.1-74 en de figuren 8/3.4.1-88 tot en met -91.

7.2 DRAM-modulen

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 1M x 64 bit EDO (4 x HM51W18165) plus 1 x 24C02 (EEPROM voor PD)
- geschikt voor 64 bit of 32 bit toepassingen
- vergulde contacten
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 60 of 70 ns
- dissipatie (max): actief: 2,45/2,16 W, standby (TTL): 28,8 mW, (CMOS: L-versie): 2,16 mW
- EDO Page mode mogelijk
- refresh-periode: 1.024 refresh-cycli: 16 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (L-versie)
- aanwezigheidsdetectie via I^2C-lijnen
- fabrikant: Hitachi



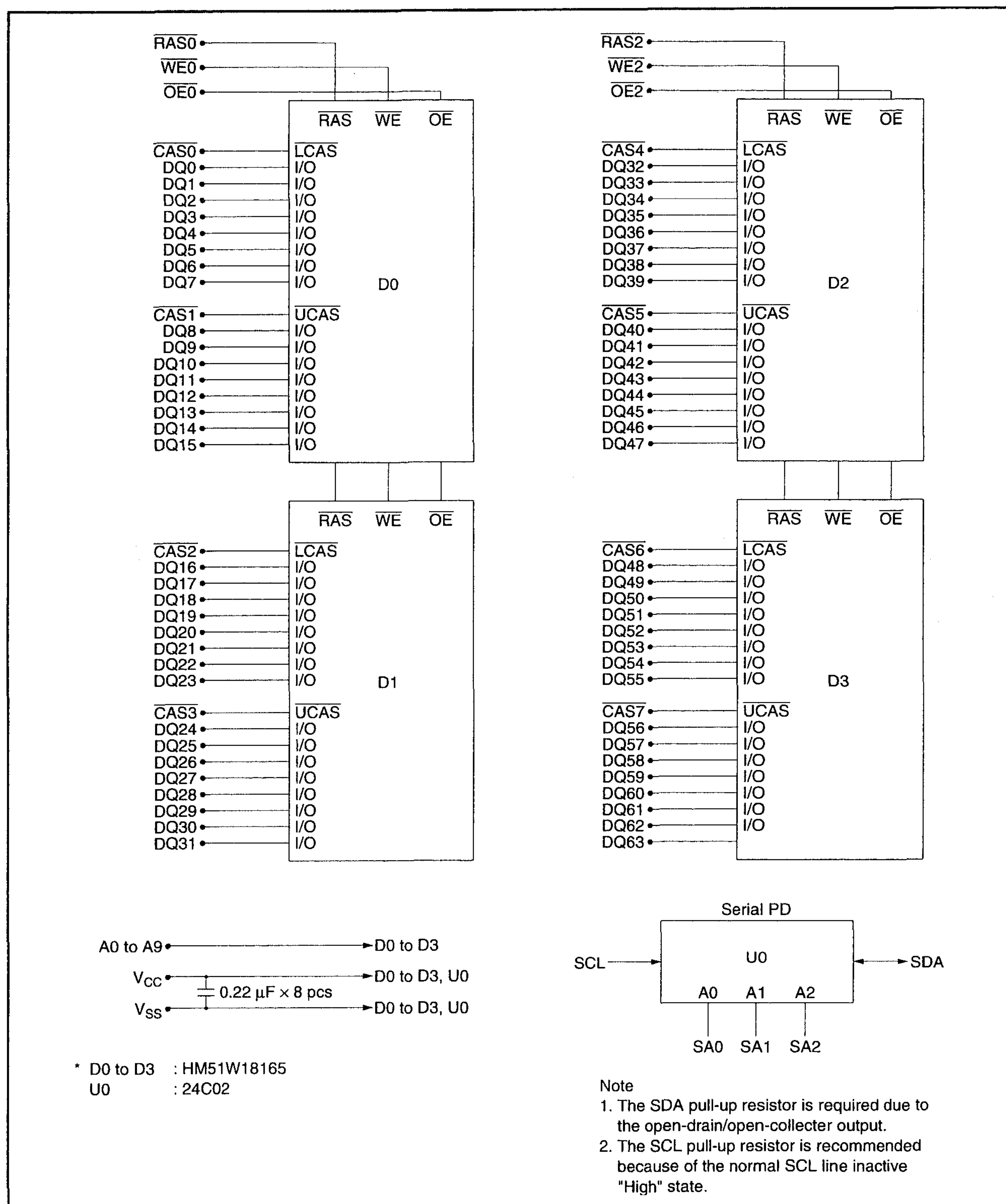
Figuur 8/7.2.2-15: Vorm, pen-posities en afmetingen van de HB56HW164EJN.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	43	V_{SS}	85	V_{SS}	127	V_{SS}
2	DQ0	44	$\overline{\text{OE2}}$	86	DQ32	128	NC
3	DQ1	45	$\overline{\text{RAS2}}$	87	DQ33	129	NC
4	DQ2	46	$\overline{\text{CAS2}}$	88	DQ34	130	$\overline{\text{CAS6}}$
5	DQ3	47	$\overline{\text{CAS3}}$	89	DQ35	131	$\overline{\text{CAS7}}$
6	V_{CC}	48	$\overline{\text{WE2}}$	90	V_{CC}	132	NC
7	DQ4	49	V_{CC}	91	DQ36	133	V_{CC}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	NC	94	DQ39	136	NC
11	DQ8	53	NC	95	DQ40	137	NC
12	V_{SS}	54	V_{SS}	96	V_{SS}	138	V_{SS}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{CC}	101	DQ45	143	V_{CC}
18	V_{CC}	60	DQ20	102	V_{CC}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	NC	63	NC	105	NC	147	NC
22	NC	64	V_{SS}	106	NC	148	V_{SS}
23	V_{SS}	65	DQ21	107	V_{SS}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{CC}	68	V_{SS}	110	V_{CC}	152	V_{SS}
27	$\overline{\text{WE0}}$	69	DQ24	111	NC	153	DQ56
28	$\overline{\text{CAS0}}$	70	DQ25	112	$\overline{\text{CAS4}}$	154	DQ57
29	$\overline{\text{CAS1}}$	71	DQ26	113	$\overline{\text{CAS5}}$	155	DQ58
30	$\overline{\text{RAS0}}$	72	DQ27	114	NC	156	DQ59
31	$\overline{\text{OE0}}$	73	V_{CC}	115	NC	157	V_{CC}
32	V_{SS}	74	DQ28	116	V_{SS}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{SS}	120	A7	162	V_{SS}
37	A8	79	NC	121	A9	163	NC
38	NC	80	NC	122	NC	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{CC}	82	SDA	124	V_{CC}	166	SA1
41	V_{CC}	83	SCL	125	NC	167	SA2
42	NC	84	V_{CC}	126	NC	168	V_{CC}

Tabel 8/7.2.2-29: Aansluitingen van de HB56HW164EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-16: Blokschema van de HB56HW164EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A9	Address input	
	— Row address:	A0 to A9
	— Column address:	A0 to A9
	— Refresh address:	A0 to A9
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$, $\overline{RAS2}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data for PD	
SCL	Serial clock for PD	
SA0 to SA2	Serial address for PD	
V_{cc}	Power supply	
V_{ss}	Ground	
NC	No connection	

Tabel 8/7.2.2-30: Beschrijving van de pen-functies van de HB56HW164EJN.

Byte number	Function described		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number Serial PD Bytes		0	0	0	0	1	1	0	1	13
1	Serial Memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental Memory Type		0	0	0	0	0	0	1	0	EDO
3	Number of Rows		0	0	0	0	1	0	1	0	10
4	Number of Columns		0	0	0	0	1	0	1	0	10
5	Number of Banks		0	0	0	0	0	0	0	1	1
6	Data Width		0	1	0	0	0	0	0	0	64
7	Data Width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage Interface		0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{RAS}$ Access Time	60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ Access Time	15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error Detection/Corraction		0	0	0	0	0	0	0	0	None-parity
12	Refresh Period		0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh Period (L-version)		1	0	0	0	0	1	0	1	Self refresh (125 µs)

Note: Serial-PD data are not protected.
1: High level (Serial data)
0: Low level (Serial data)

Tabel 8/7.2.2-31: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56HW164EJN.

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	4	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-32: Maximaal toegelaten waarden voor de HB56HW164EJN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-33: Aanbevolen bedrijfscondities voor de HB56HW164EJN.

HB56HW164DB, HB56HW165DB

1M x 64 EDO DRAM-module (niet gebufferd)

De HB56HW164DB is een 1M x 64 bit dynamische RAM-module in een kleinere behuizing: de Small Outline Dual-In-Line (S.O.DIMM). Hij is samengesteld uit 4 stuks HM51W16165 (1M x 16 bit) DRAM IC's in TSOP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD).

De HB56HW165DB is een vergelijkbaar type 1M x 64 bit dynamische RAM-module, die is opgebouwd uit 4 stuks HM51W18165 (1M x 16 bit) DRAM IC's in TSOP-behuizingen plus één 24C02 voor de aanwezigheidsdetectie (PD).

De componenten bevinden zich bij beide typen aan weerskanten van de module. Net als bij de DRAM-IC's waaruit de modulen zijn opgebouwd, is de Extended Data Out mode mogelijk. De modulen zijn 144-pens Zig Zag Dual Tabs Socket-typen (SO DIMM-144), waardoor weinig plaats wordt ingenomen. Ze zijn volledig ontkoppeld en hebben beide gemeenschappelijke Data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56HW164DB wordt verwezen naar de HM51W16165; voor de HB56HW165DB naar de HM51W18165 (beide in deel 8/3.4.1):

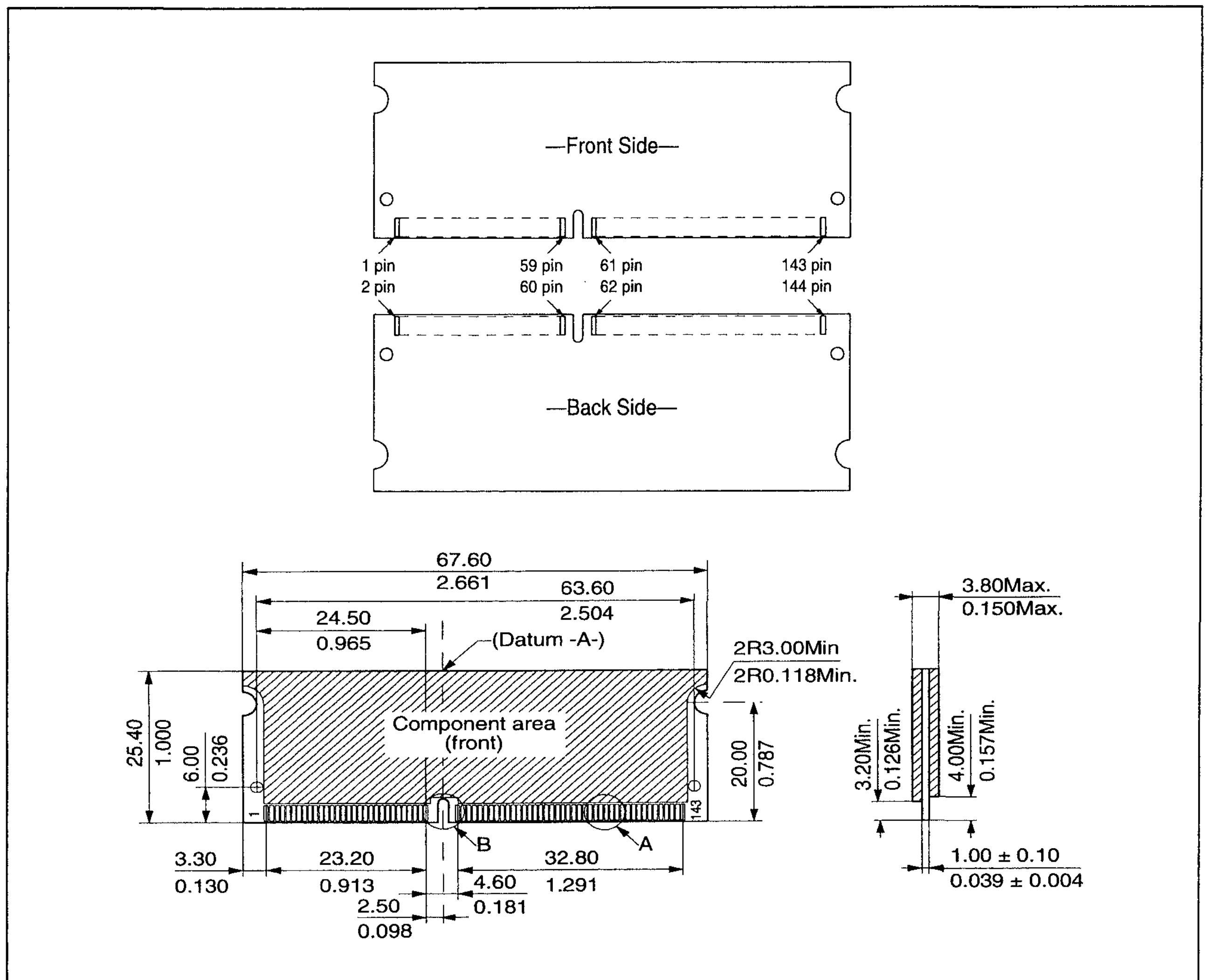
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-69.
- Lees-cycli: tabel 8/3.4.1-70 en figuur 8/3.4.1-79.
- Schrijf-cycli: tabel 8/3.4.1-71 en de figuren 8/3.4.1-80 en -81.
- Refresh-cycli: tabel 8/3.4.1-73 en de figuren 8/3.4.1-83 tot en met -87.
- EDO Page Mode cycli: tabel 8/3.4.1-74 en de figuren 8/3.4.1-88 tot en met -91.

Specificaties

- 144-pens SO DIMM (Zig Zag Dual tabs socket-type)

7.2 DRAM-modulen

- afmetingen: 67,6 x 25,4 x 3,8mm (LxHxD), pitch: 0,8 mm
- HB56HW164DB: 1M x 64 bit EDO (4 x HM51W16165) en 1 x 24C02
- HB56HW165DB: 1M x 64 bit EDO (4 x HM51W18165) en 1 x 24C02
- vergulde contacten
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 60 of 70 ns
- dissipatie actief (max): 1,44/1,30 W (HB56HW164DB), 2,45/2,16 W (HB56HW165DB)
- dissipatie standby (TTL): 28,8 mW, (CMOS): 2,16 mW (L-versie)
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms (HB56HW164DB) 1.024 refresh-cycli: 16 ms (HB56HW165DB) beide (L-versies): 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi



Figuur 8/7.2.2-17: Vorm, pen-telling (zig-zag genummerd), componenten-opstelling en afmetingen van de HB56HW164DB en HB56HW165DB.

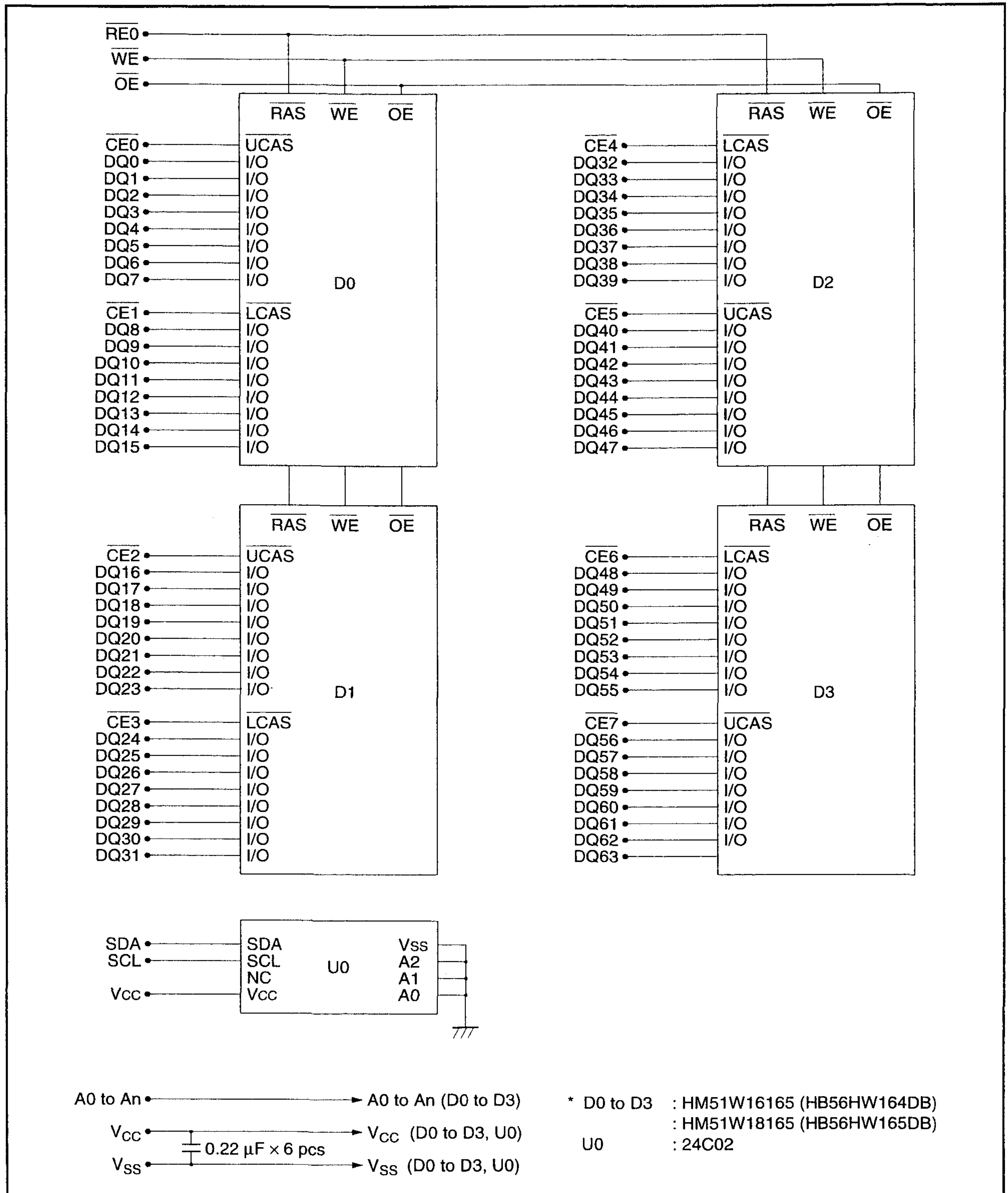
7.2 DRAM-modulen

Front side				Back side			
Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	73	$\overline{OE}$	2	V_{SS}	74	NC
3	DQ0	75	V_{SS}	4	DQ32	76	V_{SS}
5	DQ1	77	NC	6	DQ33	78	NC
7	DQ2	79	NC	8	DQ34	80	NC
9	DQ3	81	V_{CC}	10	DQ35	82	V_{CC}
11	V_{CC}	83	DQ16	12	V_{CC}	84	DQ48
13	DQ4	85	DQ17	14	DQ36	86	DQ49
15	DQ5	87	DQ18	16	DQ37	88	DQ50
17	DQ6	89	DQ19	18	DQ38	90	DQ51
19	DQ7	91	V_{SS}	20	DQ39	92	V_{SS}
21	V_{SS}	93	DQ20	22	V_{SS}	94	DQ52
23	$\overline{CE0}$	95	DQ21	24	$\overline{CE4}$	96	DQ53
25	$\overline{CE1}$	97	DQ22	26	$\overline{CE5}$	98	DQ54
27	V_{CC}	99	DQ23	28	V_{CC}	100	DQ55
29	A0	101	V_{CC}	30	A3	102	V_{CC}
31	A1	103	A6	32	A4	104	A7
33	A2	105	A8	34	A5	106	A11 (NC)*2
35	V_{SS}	107	V_{SS}	36	V_{SS}	108	V_{SS}
37	DQ8	109	A9	38	DQ40	110	NC
39	DQ9	111	A10 (NC)*1	40	DQ41	112	NC
41	DQ10	113	V_{CC}	42	DQ42	114	V_{CC}
43	DQ11	115	$\overline{CE2}$	44	DQ43	116	$\overline{CE6}$
45	V_{CC}	117	$\overline{CE3}$	46	V_{CC}	118	$\overline{CE7}$
47	DQ12	119	V_{SS}	48	DQ44	120	V_{SS}
49	DQ13	121	DQ24	50	DQ45	122	DQ56
51	DQ14	123	DQ25	52	DQ46	124	DQ57
53	DQ15	125	DQ26	54	DQ47	126	DQ58
55	V_{SS}	127	DQ27	56	V_{SS}	128	DQ59
57	NC	129	V_{CC}	58	NC	130	V_{CC}
59	NC	131	DQ28	60	NC	132	DQ60
61	NC	133	DQ29	62	NC	134	DQ61
63	V_{CC}	135	DQ30	64	V_{CC}	136	DQ62
65	NC	137	DQ31	66	NC	138	DQ63
67	$\overline{WE}$	139	V_{SS}	68	NC	140	V_{SS}
69	$\overline{RE0}$	141	SDA	70	NC	142	SCL
71	NC	143	V_{CC}	72	NC	144	V_{CC}

Notes: 1. A10: HB56HW164DB, NC: HB56HW165DB
2. A11: HB56HW164DB, NC: HB56HW165DB

Tabel 8/7.2.2-34: Aansluitingen van de HB56HW164DB en HB56HW165DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-18: Blokschema van de HB56HW164DB en HB56HW165DB.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11 (HB56HW164DB)	Address inputs:	
	— Row address:	A0 to A11
	— Column address:	A0 to A7
	— Refresh address:	A0 to A11
A0 to A9 (HB56HW165DB)	Address inputs:	
	— Row address:	A0 to A9
	— Column address:	A0 to A9
	— Refresh address:	A0 to A9
DQ0 to DQ63	Data-in/Data-out	
$\overline{RE0}$	Row address strobe ($\overline{RAS}$)	
$\overline{CE0}$ to $\overline{CE7}$	column address strobe ($\overline{CAS}$)	
$\overline{WE}$	Read/Write enable	
$\overline{OE}$	Output enable	
V_{CC}	Power supply	
V_{SS}	Ground	
SDA	Serial data for PD	
SCL	Serial clock for PD	
NC	No connection	

Tabel 8/7.2.2-35: Beschrijving van de pen-functies van de HB56HW164DB en HB56HW165DB.

7.2 DRAM-modulen

Byte number	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of rows	0	0	0	0	1	1	0	0	12
4	Number of columns	0	0	0	0	1	0	0	0	8
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Data width	0	1	0	0	0	0	0	0	64
7	Data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface	0	0	0	0	0	0	0	1	LVTTL (3.3V)
9	$\overline{RAS}$ access time 60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time 15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction	0	0	0	0	0	0	0	0	None
12	Refresh period	0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)	1	0	0	0	0	0	1	1	Self refresh (31.3µs)

Note: 1. Serial-PD data are not protected.
1: High level (serial data)
0: Low level (serial data)

Tabel 8/7.2.2-36: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56HW164DB.

7.2 DRAM-modulen

Byte number	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of rows	0	0	0	0	1	0	1	0	10
4	Number of columns	0	0	0	0	1	0	1	0	10
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Data width	0	1	0	0	0	0	0	0	64
7	Data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface	0	0	0	0	0	0	0	1	LVTTL (3.3V)
9	$\overline{RAS}$ access time									
	60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time									
	15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction	0	0	0	0	0	0	0	0	None
12	Refresh period	0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)	1	0	0	0	0	1	0	1	Self refresh (125 µs)

Note: 1. Serial-PD data are not protected.
1: High level (serial data)
0: Low level (serial data)

Tabel 8/7.2.2-37: Seriële PD Matrix van de HB56HW165DB.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	4	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

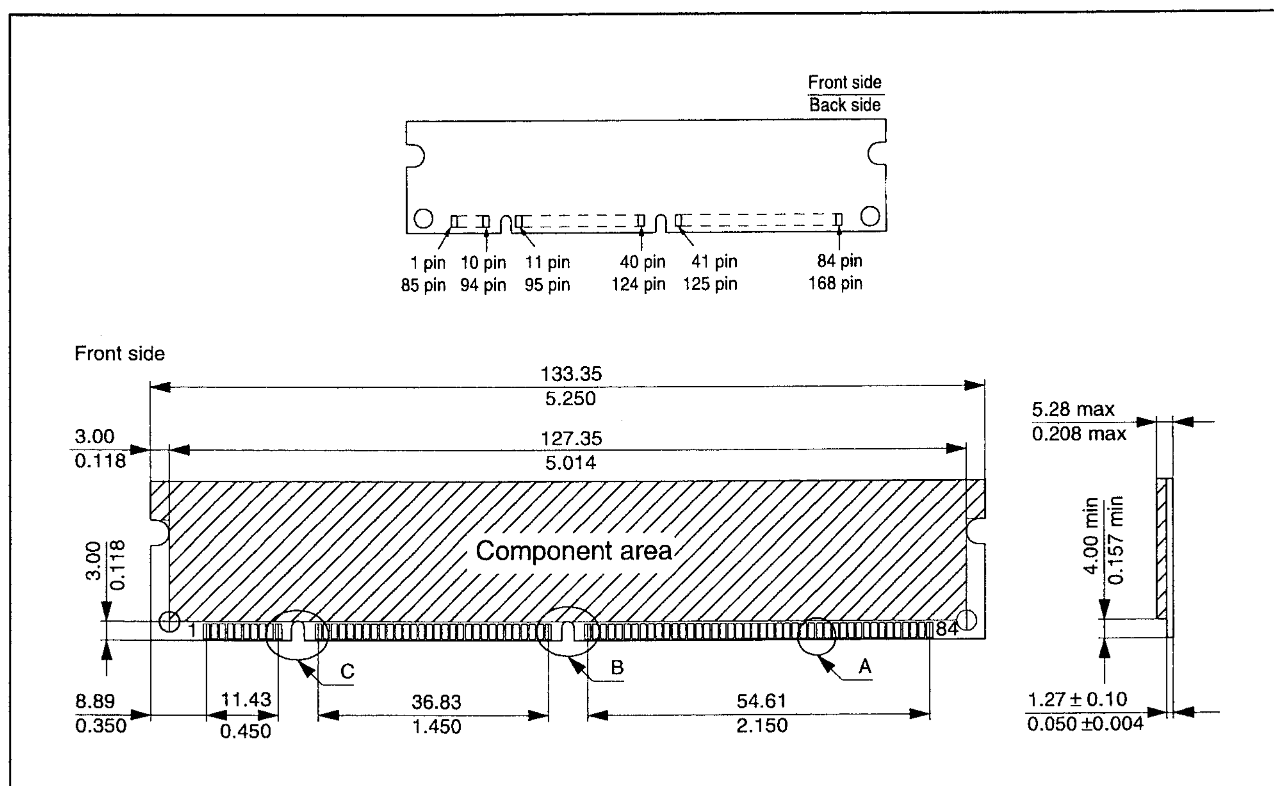
Tabel 8/7.2.2-38: Maximaal toegelaten waarden voor de HB56HW164DB en HB56HW165DB.

7.2 DRAM-modulen

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-39: Aanbevolen bedrijfscondities voor de HB56HW164DB en HB56HW165DB.



Figuur 8/7.2.2-19: Vorm, pen-telling en afmetingen van de HB56U264EJ.

HB56U264EJ

2M x 64 EDO DRAM-module (gebufferd)

De HB56U264EJ is een 2M x 64 bit dynamische RAM-module, bestaande uit 8 stuks HM5117805: (2M x 8 bit) DRAM IC's in SOJ-behuizingen en 2 stuks 74ABT16244 (16 bit BiCMOS line-driver) in TSSOP-behuizingen. De componenten bevinden zich aan één zijde van de module. Net als bij de samenstellende DRAM-onderdelen kan de Extended Data Out mode worden gebruikt om de snelheid te verhogen. De HB56U264EJ heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168). De module is voorzien van alle benodigde ontkoppel-condensatoren en heeft gemeenschappelijke Data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5117805 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-52.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE2}$	86	DQ36	128	NC
3	DQ1	45	$\overline{RE2}$	87	DQ37	129	NC
4	DQ2	46	$\overline{CE4}$	88	DQ38	130	$\overline{CE5}$
5	DQ3	47	$\overline{CE6}$	89	DQ39	131	$\overline{CE7}$
6	V_{cc}	48	$\overline{WE2}$	90	V_{cc}	132	$\overline{PDE}$
7	DQ4	49	V_{cc}	91	DQ40	133	V_{cc}
8	DQ5	50	NC	92	DQ41	134	NC
9	DQ6	51	NC	93	DQ42	135	NC
10	DQ7	52	DQ18	94	DQ43	136	DQ54
11	NC	53	DQ19	95	NC	137	DQ55
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ20	97	DQ45	139	DQ56
14	DQ10	56	DQ21	98	DQ46	140	DQ57
15	DQ11	57	DQ22	99	DQ47	141	DQ58
16	DQ12	58	DQ23	100	DQ48	142	DQ59
17	DQ13	59	V_{cc}	101	DQ49	143	V_{cc}
18	V_{cc}	60	DQ24	102	V_{cc}	144	DQ60
19	DQ14	61	NC	103	DQ50	145	NC
20	DQ15	62	NC	104	DQ51	146	NC
21	DQ16	63	NC	105	DQ52	147	NC
22	NC	64	NC	106	NC	148	NC
23	V_{ss}	65	DQ25	107	V_{ss}	149	DQ61
24	NC	66	NC	108	NC	150	NC
25	NC	67	DQ27	109	NC	151	DQ63
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE0}$	69	DQ28	111	NC	153	DQ64
28	$\overline{CE0}$	70	DQ29	112	$\overline{CE1}$	154	DQ65
29	$\overline{CE2}$	71	DQ30	113	$\overline{CE3}$	155	DQ66
30	$\overline{RE0}$	72	DQ31	114	NC	156	DQ67
31	$\overline{OE0}$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ32	116	V_{ss}	158	DQ68
33	A0	75	DQ33	117	A1	159	DQ69
34	A2	76	DQ34	118	A3	160	DQ70
35	A4	77	NC	119	A5	161	NC
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	PD1	121	A9	163	PD2
38	A10	80	PD3	122	NC	164	PD4
39	NC	81	PD5	123	NC	165	PD6
40	V_{cc}	82	PD7	124	V_{cc}	166	PD8
41	NC	83	ID0 (V_{ss})	125	NC	167	ID1 (V_{ss})
42	NC	84	V_{cc}	126	B0	168	V_{cc}

Tabel 8/7.2.2-40: Aansluitingen van de HB56U264EJ.

7.2 DRAM-modulen

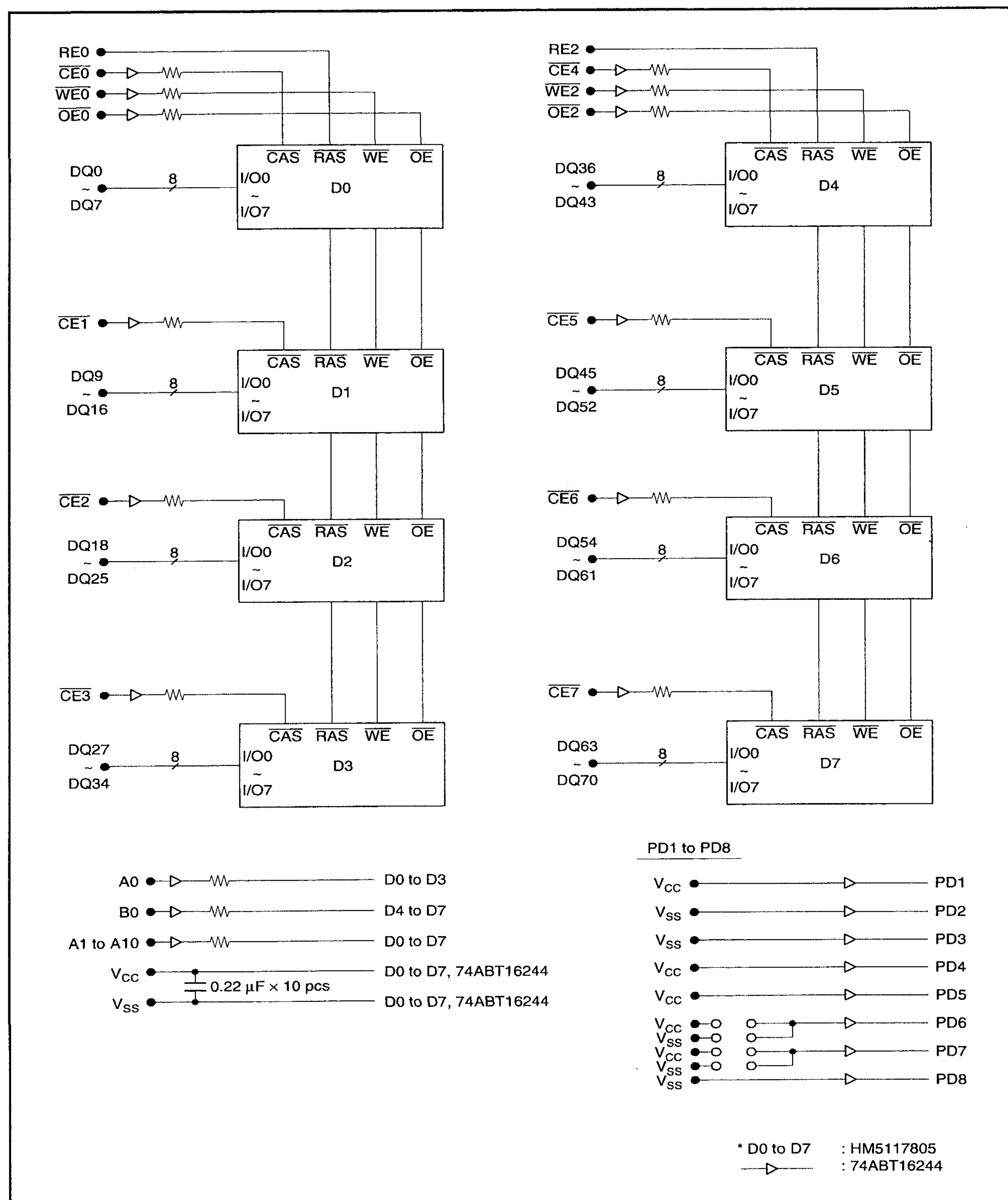
Pin name	Function
A0 to A10, B0	Address input — Row address : A0 to A10, B0 — Column address : A0 to A9, B0 — Refresh address : A0 to A10, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/data-out
$\overline{RE0}$, $\overline{RE2}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
PD1 to PD8	Presence detect
ID0, ID1	ID bit
$\overline{PDE}$	Presence detect enable
NC	No connection

Tabel 8/7.2.2-41: Beschrijving van de pen-functies van de HB56U264EJ.

- Lees-cycli: tabel 8/3.4.1-53 en figuur 8/3.4.1-60.
- Schrijf-cycli: tabel 8/3.4.1-54 en de figuren 8/3.4.1-61 en -62.
- Refresh-cycli: tabel 8/3.4.1-56 en de figuren 8/3.4.1-64 tot en met -66.
- EDO Page Mode cycli: tabel 8/3.4.1-57 en de figuren 8/3.4.1-67 tot en met -69.

Specificaties
- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 2M x 64 bit EDO (8 x HM5117805) plus 2 x 74ABT16244
- geschikt voor 64 bit of 32 bit toepassingen
- vergulde contacten
- enkele +5 V (+/-5 %) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie (max): actief: 4,96/4,54/4,12 W, standby (TTL): 420 mW, (CMOS): 378 mW
- gebufferde ingangen (behalve $\overline{RAS}$ en DQ)
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

7.2 DRAM-modulen



Figuur 8/7.2.2-20: Blokschema van de HB56U264EJ.

7.2 DRAM-modulen

		$\overline{PDE}$ = Low			$\overline{PDE}$ = High
Pin name	**Pin No.**	**50 ns**	**60 ns**	**70 ns**	**All**
PD1	79	1	1	1	High-Z
PD2	163	0	0	0	High-Z
PD3	80	0	0	0	High-Z
PD4	164	1	1	1	High-Z
PD5	81	1	1	1	High-Z
PD6	165	0	1	0	High-Z
PD7	82	0	1	1	High-Z
PD8	166	1	1	1	High-Z

Note: 1: High level (Driver output)
0: Low level (Driver output)

Tabel 8/7.2.2-42: Signalen op de aanwezigheidsdetectie-pennen van de HB56U264EJ.

Parameter	**Symbol**	**Value**	**Unit**
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	9	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

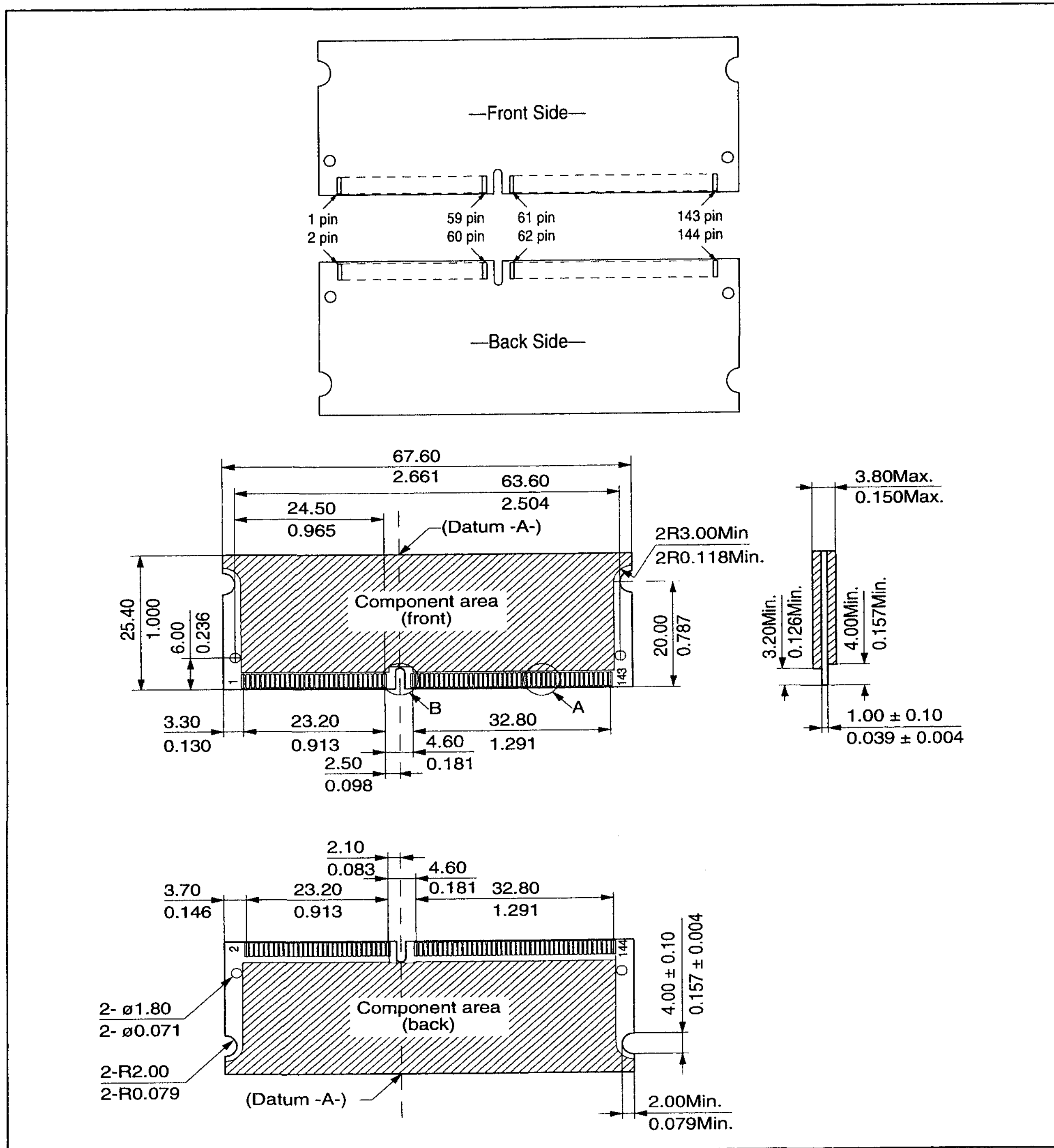
Tabel 8/7.2.2-43: Maximaal toegelaten waarden voor de HB56U264EJ.

Parameter	**Symbol**	**Min**	**Typ**	**Max**	**Unit**
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–0.5	—	0.8	V

Note: 1. All voltage referenced to V_{SS}.

Tabel 8/7.2.2-44: Aanbevolen bedrijfscondities voor de HB56U264EJ.

7.2 DRAM-modulen



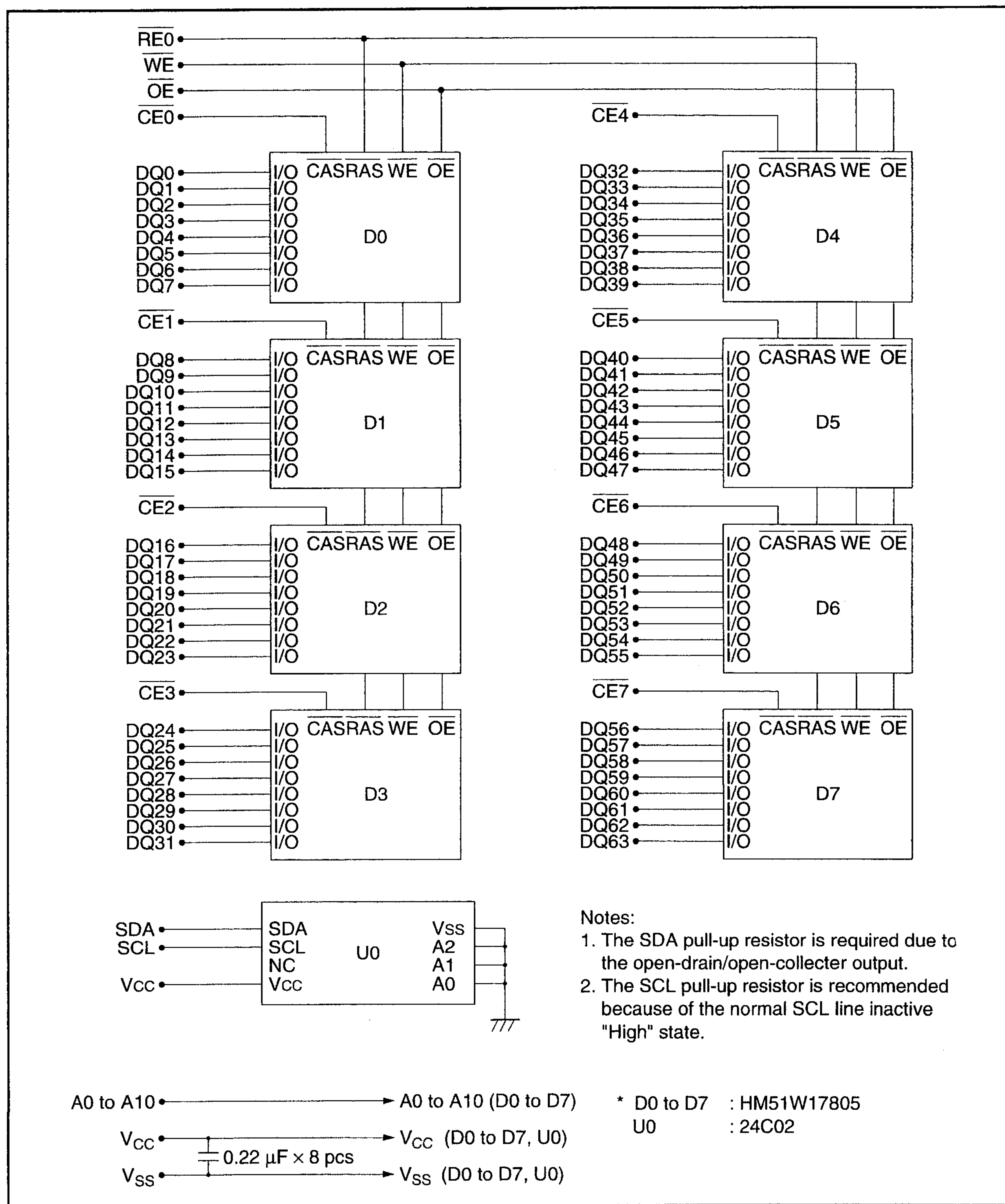
Figuur 8/7.2.2-21: Vorm, pen-telling (zig-zag genummerd), componenten-opstelling en afmetingen van de HB56UW264DB.

7.2 DRAM-modulen

Front side				Back side			
Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	73	$\overline{OE}$	2	V_{SS}	74	NC
3	DQ0	75	V_{SS}	4	DQ32	76	V_{SS}
5	DQ1	77	NC	6	DQ33	78	NC
7	DQ2	79	NC	8	DQ34	80	NC
9	DQ3	81	V_{CC}	10	DQ35	82	V_{CC}
11	V_{CC}	83	DQ16	12	V_{CC}	84	DQ48
13	DQ4	85	DQ17	14	DQ36	86	DQ49
15	DQ5	87	DQ18	16	DQ37	88	DQ50
17	DQ6	89	DQ19	18	DQ38	90	DQ51
19	DQ7	91	V_{SS}	20	DQ39	92	V_{SS}
21	V_{SS}	93	DQ20	22	V_{SS}	94	DQ52
23	$\overline{CE0}$	95	DQ21	24	$\overline{CE4}$	96	DQ53
25	$\overline{CE1}$	97	DQ22	26	$\overline{CE5}$	98	DQ54
27	V_{CC}	99	DQ23	28	V_{CC}	100	DQ55
29	A0	101	V_{CC}	30	A3	102	V_{CC}
31	A1	103	A6	32	A4	104	A7
33	A2	105	A8	34	A5	106	NC
35	V_{SS}	107	V_{SS}	36	V_{SS}	108	V_{SS}
37	DQ8	109	A9	38	DQ40	110	NC
39	DQ9	111	A10	40	DQ41	112	NC
41	DQ10	113	V_{CC}	42	DQ42	114	V_{CC}
43	DQ11	115	$\overline{CE2}$	44	DQ43	116	$\overline{CE6}$
45	V_{CC}	117	$\overline{CE3}$	46	V_{CC}	118	$\overline{CE7}$
47	DQ12	119	V_{SS}	48	DQ44	120	V_{SS}
49	DQ13	121	DQ24	50	DQ45	122	DQ56
51	DQ14	123	DQ25	52	DQ46	124	DQ57
53	DQ15	125	DQ26	54	DQ47	126	DQ58
55	V_{SS}	127	DQ27	56	V_{SS}	128	DQ59
57	NC	129	V_{CC}	58	NC	130	V_{CC}
59	NC	131	DQ28	60	NC	132	DQ60
61	NC	133	DQ29	62	NC	134	DQ61
63	V_{CC}	135	DQ30	64	V_{CC}	136	DQ62
65	NC	137	DQ31	66	NC	138	DQ63
67	$\overline{WE}$	139	V_{SS}	68	NC	140	V_{SS}
69	$\overline{RE0}$	141	SDA	70	NC	142	SCL
71	NC	143	V_{CC}	72	NC	144	V_{CC}

Tabel 8/7.2.2-45: Aansluitingen van de HB56UW264DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-22: Blokschema van de HB56UW264DB.

7.2 DRAM-modulen

Pin name	Function
A0 to A10	Address inputs: — Row address: A0 to A10 — Column address: A0 to A9 — Refresh address: A0 to A10
DQ0 to DQ63	Data-in/Data-out
$\overline{RE0}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	column address strobe ($\overline{CAS}$)
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
SDA	Serial data for PD
SCL	Serial clock for PD
NC	No connection

Tabel 8/7.2.2-46: Beschrijving van de pen-functies van de HB56UW264DB.

HB56UW264DB

2M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW264DB is een 2M x 64 bit dynamische RAM-module in een Small Outline Dual-In-Line (S.O.DIMM) behuizing. Hij is samengesteld uit 8 stuks HM51W17805 (2M x 8 bit) DRAM IC's in TSOP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan weerszijden van de module. Net als bij de DRAM-IC's waaruit de module is opgebouwd, is gebruik in de Extended Data Out mode mogelijk. De module is van het 144-pens zig-zag Dual tabs Socket-type (SO DIMM-144), waardoor weinig plaats wordt ingenomen. De HB56UW264DB is volledig ontkoppeld en heeft gemeenschappelijke Data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56UW264DB wordt verwezen naar de HM51W17805 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-52.
- Lees-cycli: tabel 8/3.4.1-53 en figuur 8/3.4.1-60.
- Schrijf-cycli: tabel 8/3.4.1-54 en de figuren 8/3.4.1-61 en -62.
- Refresh-cycli: tabel 8/3.4.1-56 en de figuren 8/3.4.1-64 tot en met -66 en -73.
- EDO Page Mode cycli: tabel 8/3.4.1-57 en de figuren 8/3.4.1-67 tot en met -69.

Specificaties

- 144-pens SO DIMM (Zig Zag Dual tabs socket-type)
- afmetingen: 67,6 x 25,4 x 3,8mm (LxHxD), pitch: 0,8 mm
- 2M x 64 bit EDO (8 x HM51W17805) en 1 x 24C02
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie (max): actief: 3,17/2,88/2,59 W, standby (TTL): 57,6 mW, (CMOS: L-versie): 4,32 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen

Byte number	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of rows	0	0	0	0	1	0	1	1	11
4	Number of columns	0	0	0	0	1	0	1	0	10
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Data width	0	1	0	0	0	0	0	0	64
7	Data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface	0	0	0	0	0	0	0	1	LVTTL (3.3V)
9	$\overline{RAS}$ access time 50 ns	0	0	1	1	0	0	1	0	
	60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time 13 ns	0	0	0	0	1	1	0	1	
	15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction	0	0	0	0	0	0	0	0	None
12	Refresh period	0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)	1	0	0	0	0	1	0	0	Self refresh (62.5 µs)

Note: 1. Serial-PD data are not protected.
1: High level (serial data)
0: Low level (serial data)

Tabel 8/7.2.2-47: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW264DB.

7.2 DRAM-modulen

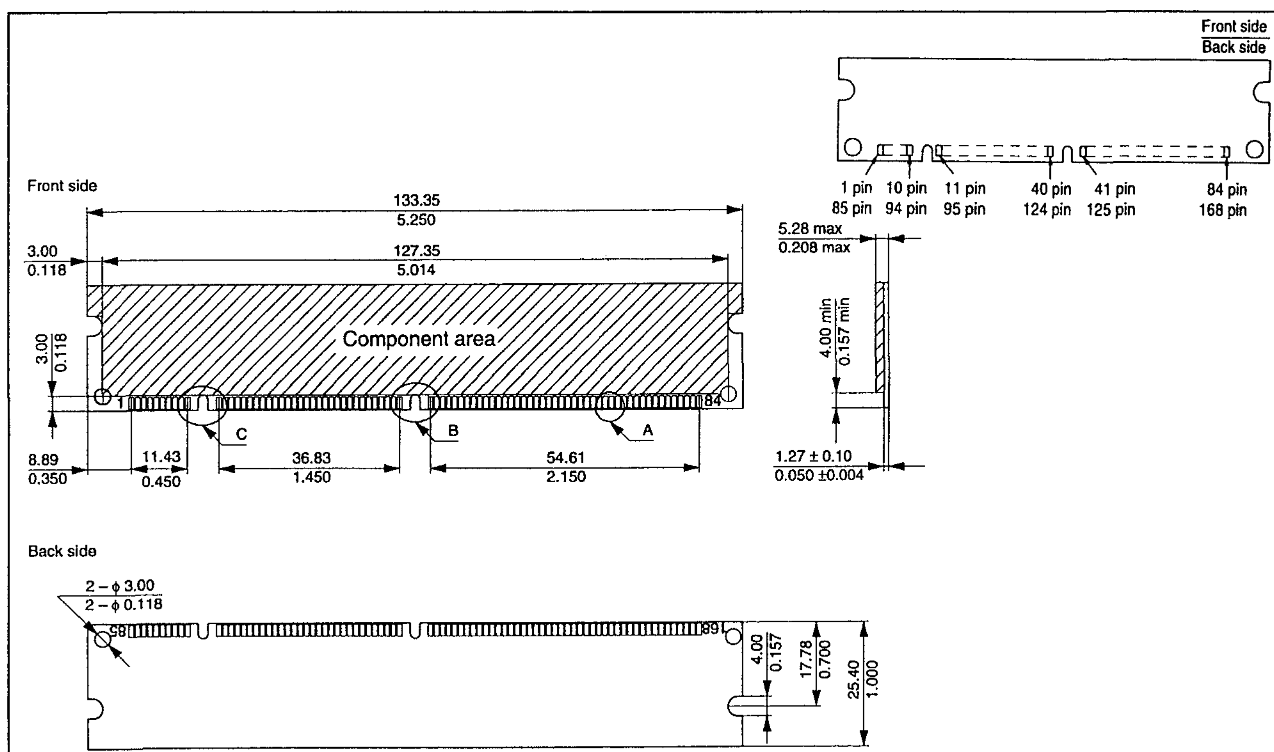
Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	8	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-48: Maximaal toegelaten waarden voor de HB56UW264DB.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	-0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-49: Aanbevolen bedrijfscondities voor de HB56UW264DB.



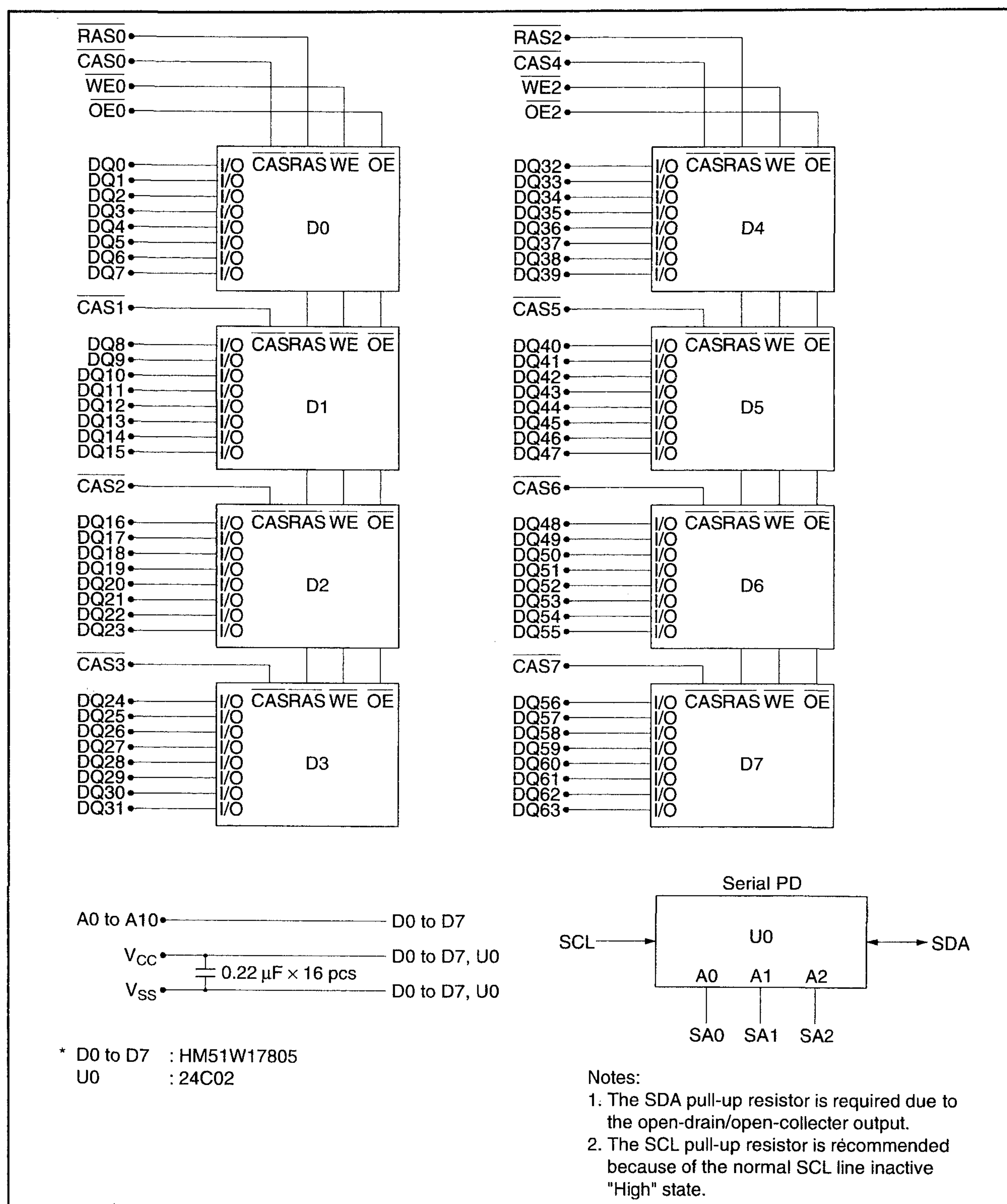
Figuur 8/7.2.2-23: Vorm, pen-telling, componenten-opstelling en afmetingen van de HB56UW264EJN.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	43	V_{SS}	85	V_{SS}	127	V_{SS}
2	DQ0	44	$\overline{OE2}$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS2}$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS2}$	88	DQ34	130	$\overline{CAS6}$
5	DQ3	47	$\overline{CAS3}$	89	DQ35	131	$\overline{CAS7}$
6	V_{CC}	48	$\overline{WE2}$	90	V_{CC}	132	NC
7	DQ4	49	V_{CC}	91	DQ36	133	V_{CC}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	(NC)*3	94	DQ39	136	(NC)*7
11	DQ8	53	(NC)*4	95	DQ40	137	(NC)*8
12	V_{SS}	54	V_{SS}	96	V_{SS}	138	V_{SS}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{CC}	101	DQ45	143	V_{CC}
18	V_{CC}	60	DQ20	102	V_{CC}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	(NC)*1	63	NC	105	(NC)*5	147	NC
22	(NC)*2	64	V_{SS}	106	(NC)*6	148	V_{SS}
23	V_{SS}	65	DQ21	107	V_{SS}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{CC}	68	V_{SS}	110	V_{CC}	152	V_{SS}
27	$\overline{WE0}$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS0}$	70	DQ25	112	$\overline{CAS4}$	154	DQ57
29	$\overline{CAS1}$	71	DQ26	113	$\overline{CAS5}$	155	DQ58
30	$\overline{RAS0}$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE0}$	73	V_{CC}	115	NC	157	V_{CC}
32	V_{SS}	74	DQ28	116	V_{SS}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{SS}	120	A7	162	V_{SS}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	NC	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{CC}	82	SDA	124	V_{CC}	166	SA1
41	V_{CC}	83	SCL	125	NC	167	SA2
42	NC	84	V_{CC}	126	NC	168	V_{CC}

Tabel 8/7.2.2-50: Aansluitingen van de HB56UW264EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-24: Blokschema van de HB56UW264EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A10	Address input	
	— Row address:	A0 to A10
	— Column address:	A0 to A9
	— Refresh address:	A0 to A10
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$, $\overline{RAS2}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data for PD	
SCL	Serial clock for PD	
SA0 to SA2	Serial address for PD	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-51: Beschrijving van de pen-functies van de HB56UW264EJN.

HB56UW264EJN
2M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW264EJN is een 2M x 64 bit dynamische RAM-module, samengesteld uit 8 stuks HM51W17805 (2M x 8 bit) DRAM IC's in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan één zijde van de 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is opgebouwd, kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56UW264EJN is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen. Voor de timing en de refresh-karakteristieken van de HB56UW264EJN wordt verwezen naar de HM51W17805 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-52.
- Lees-cycli: tabel 8/3.4.1-53 en figuur 8/3.4.1-60.
- Schrijf-cycli: tabel 8/3.4.1-54 en de figuren 8/3.4.1-61 en -62.
- Refresh-cycli: tabel 8/3.4.1-56 en de figuren 8/3.4.1-64 tot en met -66 en -73.
- EDO Page Mode cycli: tabel 8/3.4.1-57 en de figuren 8/3.4.1-67 tot en met -69.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- vergulde contacten
- 2M x 64 bit EDO (8 x HM51W17805) en 1 x 24C02
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie (max): actief: 3,17/2,88/2,59 W, standby (TTL): 57,6 mW, (CMOS: L-versie): 4,32 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms, L-versie: 128 ms

(wordt vervolgd)

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56UW264EJN)	Pt	8	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-52: Maximaal toegelaten waarden voor de HB56UW264EJN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
nput high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
nput low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-53: Aanbevolen bedrijfscondities voor de HB56UW264EJN.

- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen

Byte number	Function described		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes		0	0	0	0	1	1	0	1	13
1	Serial memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		0	0	0	0	0	0	1	0	EDO
3	Number of rows		0	0	0	0	1	0	1	1	11
4	Number of columns		0	0	0	0	1	0	1	0	10
5	Number of banks		0	0	0	0	0	0	0	1	1
6	Data width HB56UW264EJN		0	1	0	0	0	0	0	0	64
7	Data width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface		0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{RAS}$ access time	50 ns	0	0	1	1	0	0	1	0	
		60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time	13 ns	0	0	0	0	1	1	0	1	
		15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW264EJN		0	0	0	0	0	0	0	0	None-parity
12	Refresh period		0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)		1	0	0	0	0	1	0	0	Self refresh (62.5 µs)

Note: 1. Serial-PD data are not protected.
1: High level (Serial data)
0: Low level (Serial data)

Tabel 8/7.2.2-54: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW264EJN.

HB56SW464DB

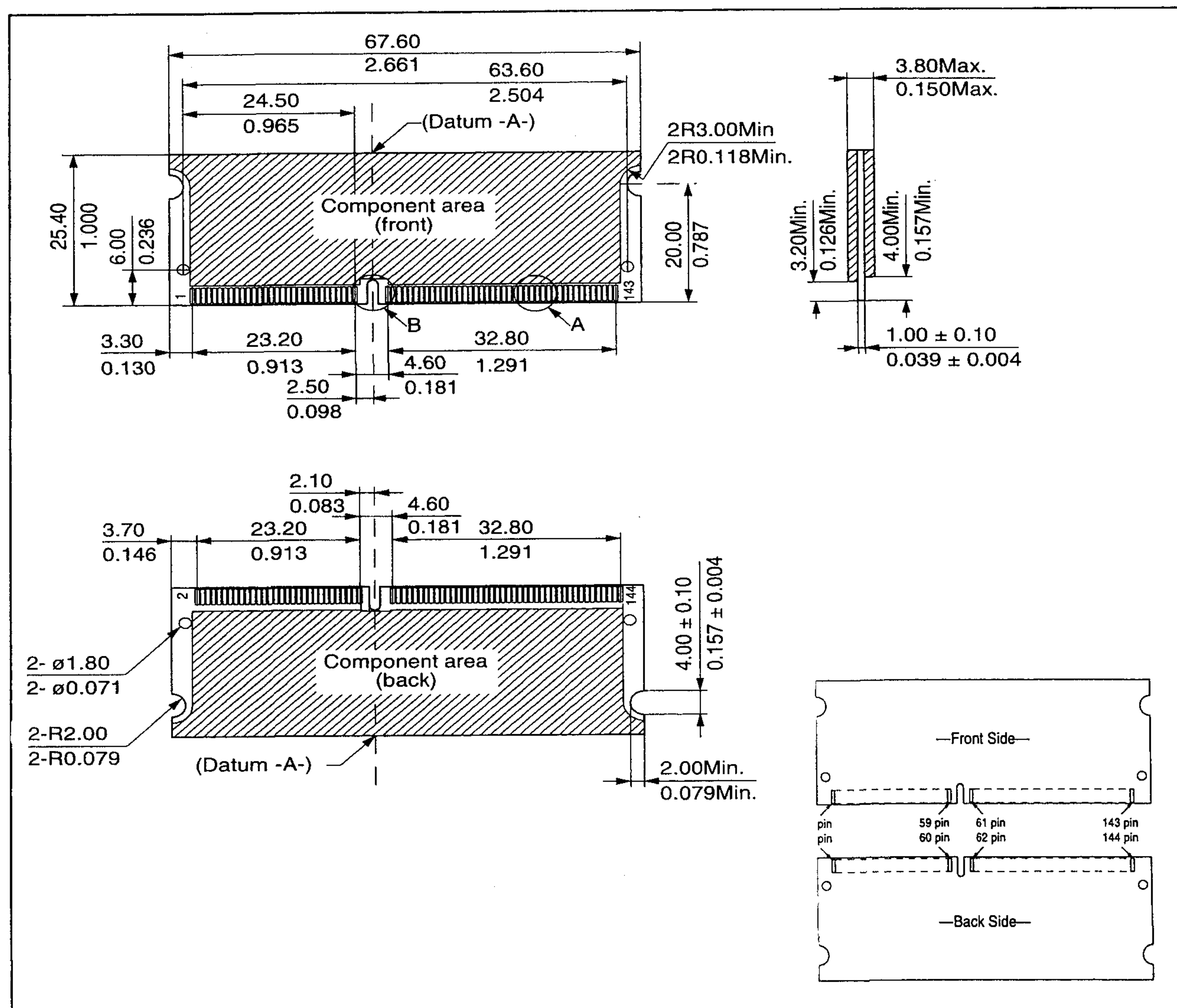
4M x 64 EDO DRAM-module (niet gebufferd)

De HB56SW464DB is een 4M x 64 bit dynamische RAM-module in een 144-pens Small Outline Dual-in-Line Memory Module (S.O. DIMM), samengesteld uit 16 stuks HM51W16405 (4M x 4 bit) DRAM IC's in TCP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan twee zijden van de module. Net als de samenstellende DRAM-IC's kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56SW464DB is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56SW464DB wordt verwezen naar de HM51W16405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.

7.2 DRAM-modulen



Figuur 8/7.2.2-25: Vorm, pen-telling (zig-zag genummerd), componenten-opstelling en afmetingen van de HB56SW464DB.

- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

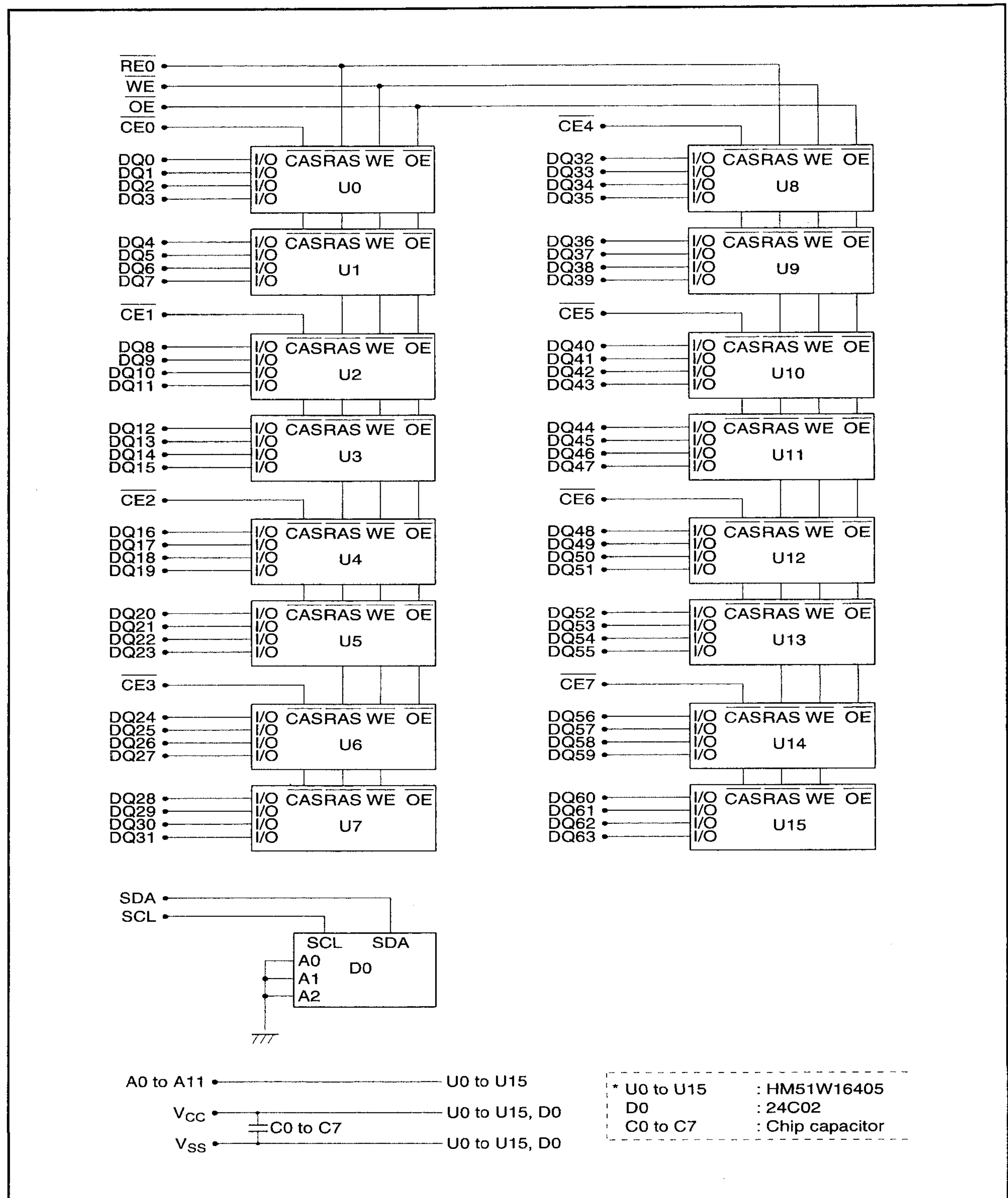
Specificaties
- 144-pens SO DIMM (Zig Zag Dual tabs socket-type)
- 4M x 64 bit EDO (16 x HM51W16405) en 1 x 24C02
- vergulde contacten
- enkele +3,3 V (+0,3 V -0,15 V) voeding
- toegangstijd: 60 of 70 ns
- dissipatie (max): actief: 4,61/4,03 W, standby (TTL): 115,2 mW, (CMOS): 57,6 mW, (CMOS: L-versie): 8,64 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms, L-versie: 128 ms
- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en self-refresh (alleen LS-versie)
- aanwezigheidsdetectie via I^{2}C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen

Front side				Back side			
Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	73	$\overline{OE}$	2	V_{SS}	74	NC
3	DQ0	75	V_{SS}	4	DQ32	76	V_{SS}
5	DQ1	77	NC	6	DQ33	78	NC
7	DQ2	79	NC	8	DQ34	80	NC
9	DQ3	81	V_{CC}	10	DQ35	82	V_{CC}
11	V_{CC}	83	DQ16	12	V_{CC}	84	DQ48
13	DQ4	85	DQ17	14	DQ36	86	DQ49
15	DQ5	87	DQ18	16	DQ37	88	DQ50
17	DQ6	89	DQ19	18	DQ38	90	DQ51
19	DQ7	91	V_{SS}	20	DQ39	92	V_{SS}
21	V_{SS}	93	DQ20	22	V_{SS}	94	DQ52
23	$\overline{CE0}$	95	DQ21	24	$\overline{CE4}$	96	DQ53
25	$\overline{CE1}$	97	DQ22	26	$\overline{CE5}$	98	DQ54
27	V_{CC}	99	DQ23	28	V_{CC}	100	DQ55
29	A0	101	V_{CC}	30	A3	102	V_{CC}
31	A1	103	A6	32	A4	104	A7
33	A2	105	A8	34	A5	106	A11
35	V_{SS}	107	V_{SS}	36	V_{SS}	108	V_{SS}
37	DQ8	109	A9	38	DQ40	110	NC
39	DQ9	111	A10	40	DQ41	112	NC
41	DQ10	113	V_{CC}	42	DQ42	114	V_{CC}
43	DQ11	115	$\overline{CE2}$	44	DQ43	116	$\overline{CE6}$
45	V_{CC}	117	$\overline{CE3}$	46	V_{CC}	118	$\overline{CE7}$
47	DQ12	119	V_{SS}	48	DQ44	120	V_{SS}
49	DQ13	121	DQ24	50	DQ45	122	DQ56
51	DQ14	123	DQ25	52	DQ46	124	DQ57
53	DQ15	125	DQ26	54	DQ47	126	DQ58
55	V_{SS}	127	DQ27	56	V_{SS}	128	DQ59
57	NC	129	V_{CC}	58	NC	130	V_{CC}
59	NC	131	DQ28	60	NC	132	DQ60
61	NC	133	DQ29	62	NC	134	DQ61
63	V_{CC}	135	DQ30	64	V_{CC}	136	DQ62
65	NC	137	DQ31	66	NC	138	DQ63
67	$\overline{WE}$	139	V_{SS}	68	NC	140	V_{SS}
69	$\overline{RE0}$	141	SDA	70	NC	142	SCL
71	NC	143	V_{CC}	72	NC	144	V_{CC}

Tabel 8/7.2.2-55: Aansluitingen van de HB56SW464DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-26: Blokschema van de HB56SW464DB.

7.2 DRAM-modulen

Pin name	Function
A0 to A11	Address input — Row address : A0 to A11 — Column address : A0 to A9 — Refresh address : A0 to A11
DQ0 to DQ63	Data-in/data-out
$\overline{RE0}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
SDA	Serial data for PD
SCL	Serial clock for PD
NC	No connection

Note: Serial-PD Data are not protected.

Tabel 8/7.2.2-56: Beschrijving van de pen-functies van de HB56SW464DB.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-57: Maximaal toegelaten waarden voor de HB56SW464DB.

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.15	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-58: Aanbevolen bedrijfscondities voor de HB56SW464DB.

7.2 DRAM-modulen

Byte number	Function described		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Comments
0	Number serial PD bytes		0	0	0	0	1	1	0	1	13
1	Serial memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		0	0	0	0	0	0	1	0	EDO
3	Number of rows		0	0	0	0	1	1	0	0	12
4	Number of columns		0	0	0	0	1	0	1	0	10
5	Number of banks		0	0	0	0	0	0	0	1	1
6	Data width		0	1	0	0	0	0	0	0	64
7	Data width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface		0	0	0	0	0	0	0	1	LVTTL (3.3 V)
9	$\overline{RAS}$ access time	60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time	15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error detection/correction		0	0	0	0	0	0	0	0	None
12	Refresh period		0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)		0	0	0	0	0	0	1	1	Extended (31.3 µs)
	Refresh period (LS-version)		1	0	0	0	0	0	1	1	Self refresh Extended (31.3 µs)

Note: 1. 1: High Level (Serial data)
0: Low Level (Serial data)

Tabel 8/7.2.2-59: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56SW464DB.

HB56U464EJ

4M x 64 EDO DRAM-module (gebufferd)

De HB56U464EJ is een 4M x 64 bit dynamische RAM-module, bestaande uit 16 stuks HM5116405: (4M x 4 bit DRAM IC's) in SOJ-behuizingen, één 74ABT16244 (16 bit BiCMOS line-driver) en één 74ABT16827 (20 bit BiCMOS line-driver) in TSSOP-behuizingen. De vele componenten bevinden zich aan beide zijden van de module. Net als bij de DRAM's waaruit de module is opgebouwd, kan de Extended Data Out mode worden gebruikt om de snelheid te verhogen. De HB56U464EJ is geschikt voor zowel 64 bit als 32 bit toepassingen en heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168).

De module is voorzien van alle benodigde ontkoppel-condensatoren en heeft gemeenschappelijke Data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5116405 (deel 8/3.4.1):

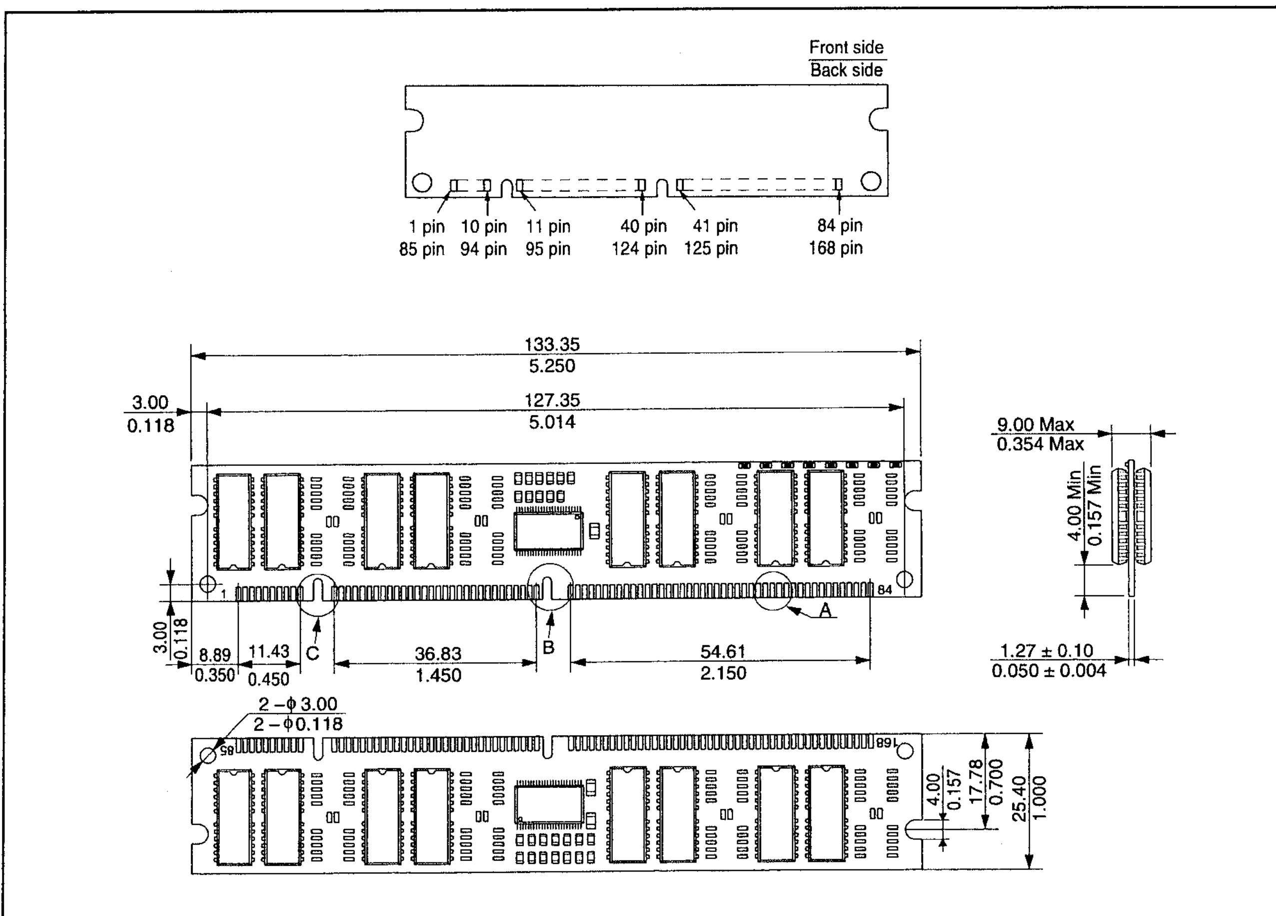
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.

7.2 DRAM-modulen

- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 4M x 64 bit EDO (16 x HM5116405BS) plus 1 x 74ABT16244 en 1 x 74ABT16827
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +5 V (+/-5 %) voeding
- toegangstijden: 50, 60 of 70 ns
- dissipatie (max): actief: 7,90/7,06/6,22 W, standby (TTL): 504 mW, (CMOS): 420 mW
- gebufferde ingangen (behalve $\overline{\text{RAS}}$ en DQ)
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{\text{RAS}}$-only en $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$
- TTL-compatibel
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi



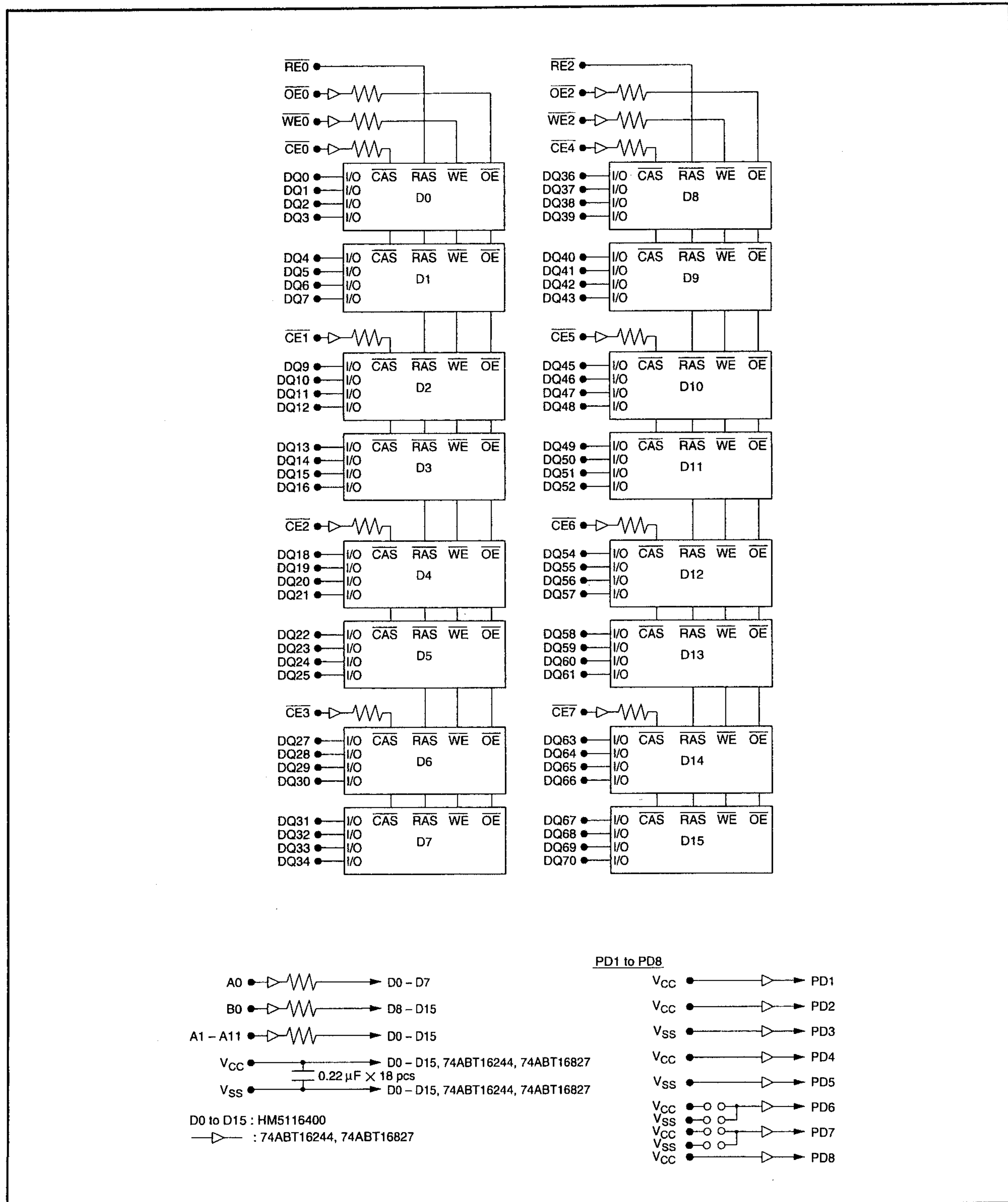
Figuur 8/7.2.2-27: Vorm, pen-telling en afmetingen van de HB56U464EJ.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{\text{OE2}}$	86	DQ36	128	NC
3	DQ1	45	$\overline{\text{RE2}}$	87	DQ37	129	NC
4	DQ2	46	$\overline{\text{CE4}}$	88	DQ38	130	$\overline{\text{CE5}}$
5	DQ3	47	$\overline{\text{CE6}}$	89	DQ39	131	$\overline{\text{CE7}}$
6	V_{cc}	48	$\overline{\text{WE2}}$	90	V_{cc}	132	$\overline{\text{PDE}}$
7	DQ4	49	V_{cc}	91	DQ40	133	V_{cc}
8	DQ5	50	NC	92	DQ41	134	NC
9	DQ6	51	NC	93	DQ42	135	NC
10	DQ7	52	DQ18	94	DQ43	136	DQ54
11	NC	53	DQ19	95	NC	137	DQ55
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ20	97	DQ45	139	DQ56
14	DQ10	56	DQ21	98	DQ46	140	DQ57
15	DQ11	57	DQ22	99	DQ47	141	DQ58
16	DQ12	58	DQ23	100	DQ48	142	DQ59
17	DQ13	59	V_{cc}	101	DQ49	143	V_{cc}
18	V_{cc}	60	DQ24	102	V_{cc}	144	DQ60
19	DQ14	61	NC	103	DQ50	145	NC
20	DQ15	62	NC	104	DQ51	146	NC
21	DQ16	63	NC	105	DQ52	147	NC
22	NC	64	NC	106	NC	148	NC
23	V_{ss}	65	DQ25	107	V_{ss}	149	DQ61
24	NC	66	NC	108	NC	150	NC
25	NC	67	DQ27	109	NC	151	DQ63
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{\text{WE0}}$	69	DQ28	111	NC	153	DQ64
28	$\overline{\text{CE0}}$	70	DQ29	112	$\overline{\text{CE1}}$	154	DQ65
29	$\overline{\text{CE2}}$	71	DQ30	113	$\overline{\text{CE3}}$	155	DQ66
30	$\overline{\text{RE0}}$	72	DQ31	114	NC	156	DQ67
31	$\overline{\text{OE0}}$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ32	116	V_{ss}	158	DQ68
33	A0	75	DQ33	117	A1	159	DQ69
34	A2	76	DQ34	118	A3	160	DQ70
35	A4	77	NC	119	A5	161	NC
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	PD1	121	A9	163	PD2
38	A10	80	PD3	122	A11	164	PD4
39	NC	81	PD5	123	NC	165	PD6
40	V_{cc}	82	PD7	124	V_{cc}	166	PD8
41	NC	83	ID0 (V_{ss})	125	NC	167	ID1 (V_{ss})
42	NC	84	V_{cc}	126	B0	168	V_{cc}

Tabel 8/7.2.2-60: Aansluitingen van de HB56U464EJ.

7.2 DRAM-modulen



Figuur 8/7.2.2-28: Blokschema van de HB56U464EJ.

7.2 DRAM-modulen

Pin name	Function
A0 to A11, B0	Address input — Row address : A0 to A11, B0 — Column address : A0 to A9, B0 — Refresh address : A0 to A11, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/data-out
$\overline{RE0}$, $\overline{RE2}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
PD1 to PD8	Presence detect
ID0, ID1	ID bit
$\overline{PDE}$	Presence detect enable
NC	No connection

Tabel 8/7.2.2-61: Beschrijving van de pen-functies van de HB56U464EJ.

		$\overline{PDE}$ = Low			$\overline{PDE}$ = High
Pin name	**Pin No.**	**50 ns**	**60 ns**	**70 ns**	**All**
PD1	79	1	1	1	High-Z
PD2	163	1	1	1	High-Z
PD3	80	0	0	0	High-Z
PD4	164	1	1	1	High-Z
PD5	81	1	1	1	High-Z
PD6	165	0	1	0	High-Z
PD7	82	0	1	1	High-Z
PD8	166	1	1	1	High-Z

Note: 1: High level (Driver output)
0: Low level (Driver output)

Tabel 8/7.2.2-62: Signalen op de aanwezigheidsdetectie-pennen van de HB56U464EJ.

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–1.0 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–1.0 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	17	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-63: Maximaal toegelaten waarden voor de HB56U464EJ.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–0.5	—	0.8	V

Note: 1. All voltage referenced to V_{SS}.

Tabel 8/7.2.2-64: Aanbevolen bedrijfscondities voor de HB56U464EJ.

HB56UW464EJ

4M x 64 EDO DRAM-module (gebufferd)

De HB56UW464EJ is een 4M x 64 bit dynamische RAM-module, bestaande uit 16 stuks HM51W16405BS (4M x 4 bit DRAM) in SOJ-behuizingen, één 74ALVCH16244 (16 bit CMOS line-driver) en één 74ALVCH16827 (20 bit CMOS line-driver) in TSSOP-behuizing. De componenten bevinden zich aan twee zijden van de module. Net als bij de DRAM's waaruit de module is opgebouwd, kan de module in de Extended Data Out mode worden gebruikt.

De HB56UW464EJ is geschikt voor 64 bit en 32 bit toepassingen en heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168). De module heeft alle benodigde ontkoppel-condensatoren aan boord (onder elke SOJ) en heeft gemeenschappelijke Data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5116405 (deel 8/3.4.1):

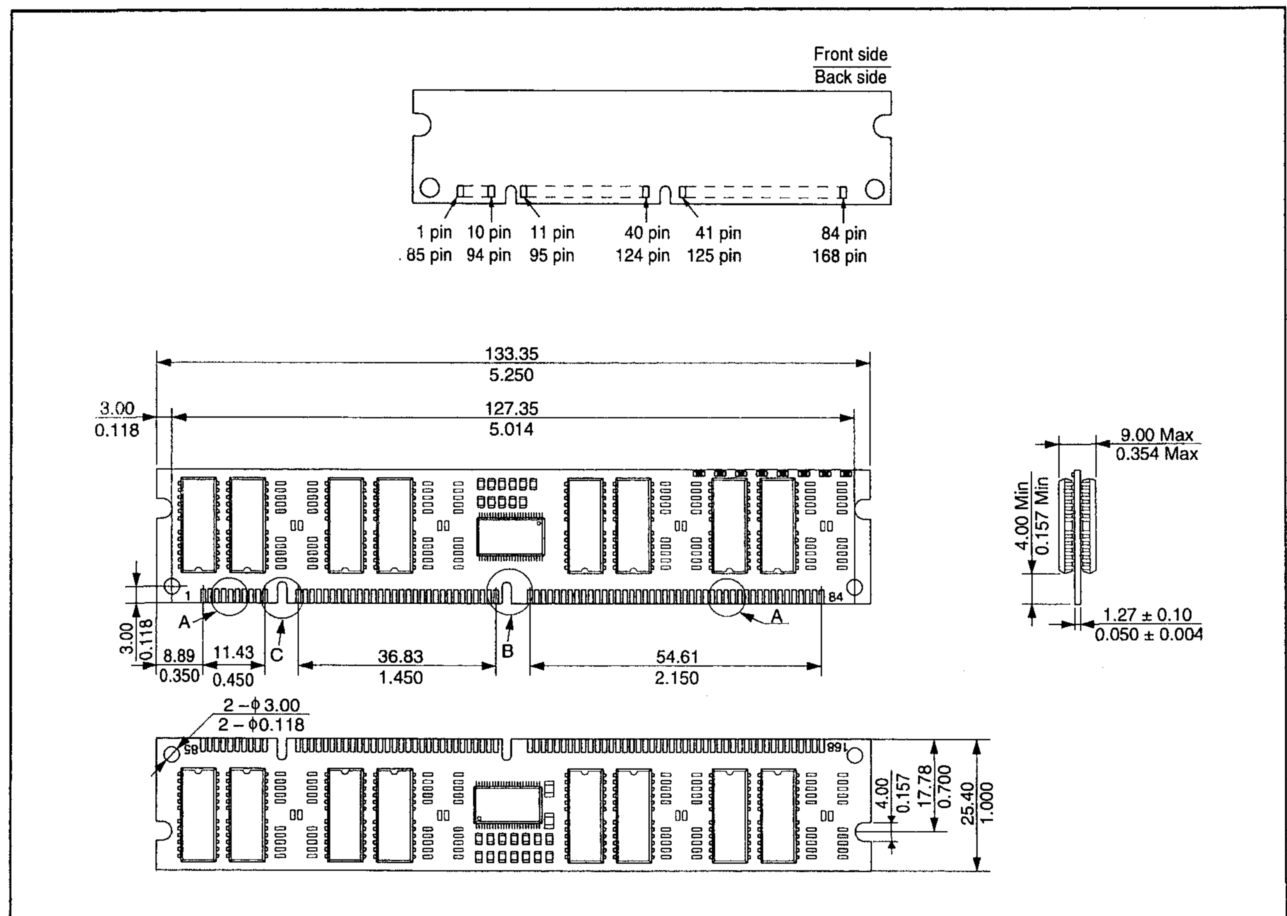
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 4M x 64 bit EDO (16 x HM51W16405BS) plus 1 x 74ALVCH16244 en 1 x 74ALVCH16827
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 60, 70 of 80 ns
- dissipatie (max): actief: 4,62/4,04/3,75 W, standby (TTL): 123 mW, (CMOS): 64,8 mW

7.2 DRAM-modulen

- gebufferde ingangen (behalve $\overline{RAS}$ en DQ)
- 4 byte interleave enabled, dual address input (A0/B0)
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- TTL-compatibel
- vergulde contacten
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi



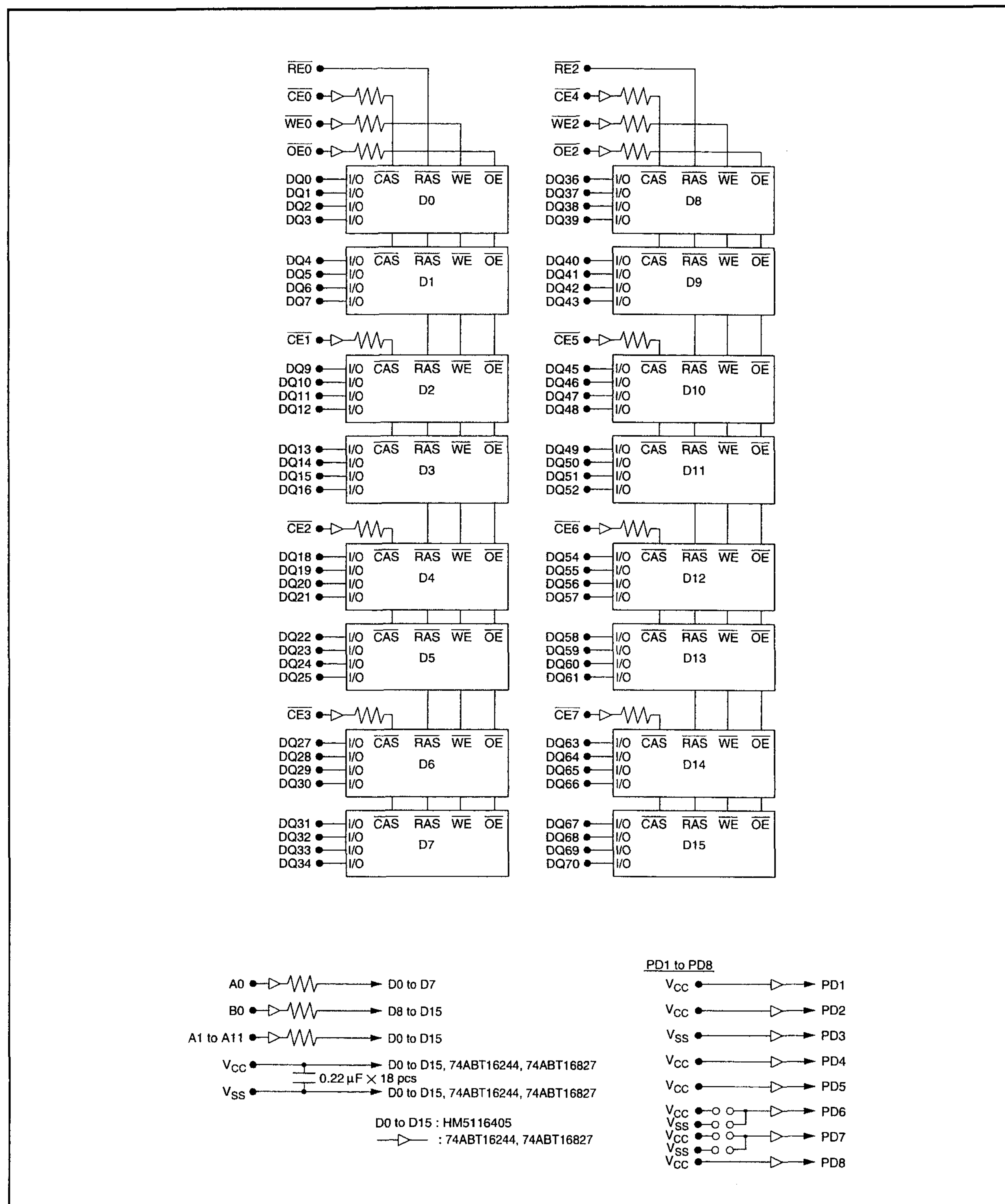
Figuur 8/7.2.2-29: Vorm, pen-telling en afmetingen van de HB56UW464EJ.

7.2 DRAM-modulen

Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name
1	V_{ss}	13	DQ9	25	NC	37	A8
2	DQ0	14	DQ10	26	V_{cc}	38	A10
3	DQ1	15	DQ11	27	$\overline{WE0}$	39	NC
4	DQ2	16	DQ12	28	$\overline{CE0}$	40	V_{cc}
5	DQ3	17	DQ13	29	$\overline{CE2}$	41	NC
6	V_{cc}	18	V_{cc}	30	$\overline{RE0}$	42	NC
7	DQ4	19	DQ14	31	$\overline{OE0}$	43	V_{ss}
8	DQ5	20	DQ15	32	V_{ss}	44	$\overline{OE2}$
9	DQ6	21	DQ16	33	A0	45	$\overline{RE2}$
10	DQ7	22	NC	34	A2	46	$\overline{CE4}$
11	NC	23	V_{ss}	35	A4	47	$\overline{CE6}$
12	V_{ss}	24	NC	36	A6	48	$\overline{WE2}$
49	V_{cc}	79	PD1	109	NC	139	DQ56
50	NC	80	PD3	110	V_{cc}	140	DQ57
51	NC	81	PD5	111	NC	141	DQ58
52	DQ18	82	PD7	112	$\overline{CE1}$	142	DQ59
53	DQ19	83	ID0 (V_{ss})	113	$\overline{CE3}$	143	V_{cc}
54	V_{ss}	84	V_{cc}	114	NC	144	DQ60
55	DQ20	85	V_{ss}	115	NC	145	NC
56	DQ21	86	DQ36	116	V_{ss}	146	NC
57	DQ22	87	DQ37	117	A1	147	NC
58	DQ23	88	DQ38	118	A3	148	NC
59	V_{cc}	89	DQ39	119	A5	149	DQ61
60	DQ24	90	V_{cc}	120	A7	150	NC
61	NC	91	DQ40	121	A9	151	DQ63
62	NC	92	DQ41	122	A11	152	V_{ss}
63	NC	93	DQ42	123	NC	153	DQ64
64	NC	94	DQ43	124	V_{cc}	154	DQ65
65	DQ25	95	NC	125	NC	155	DQ66
66	NC	96	V_{ss}	126	B0	156	DQ67
67	DQ27	97	DQ45	127	V_{ss}	157	V_{cc}
68	V_{ss}	98	DQ46	128	NC	158	DQ68
69	DQ28	99	DQ47	129	NC	159	DQ69
70	DQ29	100	DQ48	130	$\overline{CE5}$	160	DQ70
71	DQ30	101	DQ49	131	$\overline{CE7}$	161	NC
72	DQ31	102	V_{cc}	132	$\overline{PDE}$	162	V_{ss}
73	V_{cc}	103	DQ50	133	V_{cc}	163	PD2
74	DQ32	104	DQ51	134	NC	164	PD4
75	DQ33	105	DQ52	135	NC	165	PD6
76	DQ34	106	NC	136	DQ54	166	PD8
77	NC	107	V_{ss}	137	DQ55	167	ID1 (V_{ss})
78	V_{ss}	108	NC	138	V_{ss}	168	V_{cc}

Tabel 8/7.2.2-65: Aansluitingen van de HB56UW464EJ (let op nummering in tabel!).

7.2 DRAM-modulen



Figuur 8/7.2.2-30: Blokschema van de HB56UW464EJ.

7.2 DRAM-modulen

Pin Name	Function
A0 to A11, B0	Address Input : A0 to A11, B0 Row Address : A0 to A11, B0 Column Address : A0 to A9, B0 Refresh Address : A0 to A11, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/Data-out
$\overline{\text{RE0}}$, $\overline{\text{RE2}}$	Row Address Strobe
$\overline{\text{CE0}}$ to $\overline{\text{CE7}}$	Column Address Strobe
$\overline{\text{WE0}}$, $\overline{\text{WE2}}$	Read/Write Enable
$\overline{\text{OE0}}$, $\overline{\text{OE2}}$	Output Enable
V_{cc}	Power Supply
V_{ss}	Ground
PD1 to PD8	Presence Detect
ID0, ID1	ID bit
$\overline{\text{PDE}}$	Presence Detect Enable
NC	No Connection

Tabel 8/7.2.2-66: Beschrijving van de pen-functies van de HB56UW464EJ.

		$\overline{\text{PDE}}$ = Low			$\overline{\text{PDE}}$ = High
Pin Name	**Pin No.**	**60 ns**	**70 ns**	**80 ns**	**All**
PD1	79	1	1	1	High-Z
PD2	163	1	1	1	High-Z
PD3	80	0	0	0	High-Z
PD4	164	1	1	1	High-Z
PD5	81	1	1	1	High-Z
PD6	165	1	0	1	High-Z
PD7	82	1	1	0	High-Z
PD8	166	1	1	1	High-Z

1: High Level (Driver Output)

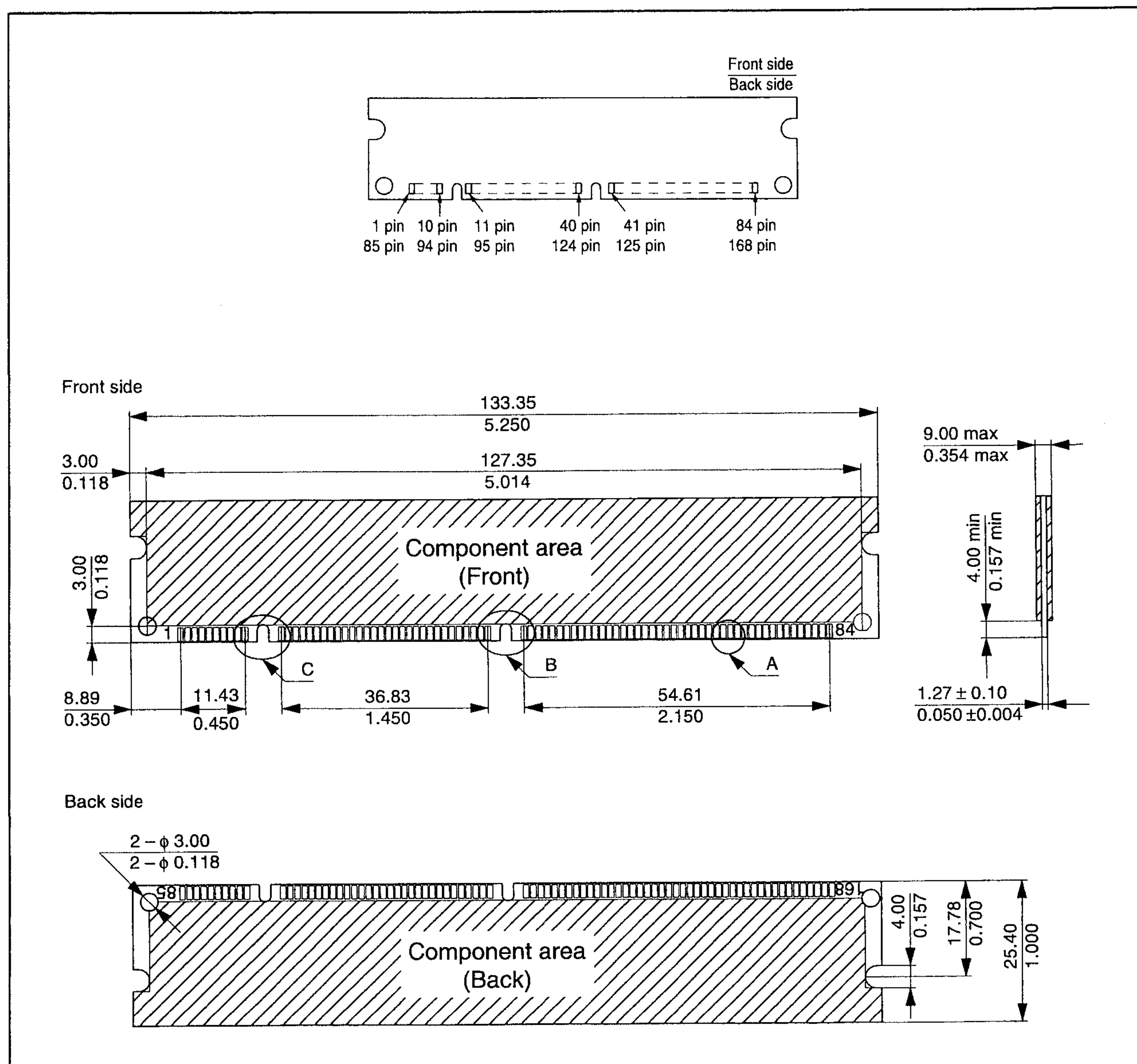
0: Low Level (Driver Output)

Tabel 8/7.2.2-67: Signalen op de aanwezigheidsdetectie-pennen van de HB56UW464EJ.

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	18	W
Operating temperature	Topr	0 to +70	

Tabel 8/7.2.2-68: Maximaal toegelaten waarden voor de HB56UW464EJ.



Figuur 8/7.2.2-31: Vorm, pen-telling en afmetingen van de HB56UW464EJN.

HB56UW464EJN

4M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW464EJN is een 4M x 64 bit dynamische RAM-module, samengesteld uit 16 stuks HM51W16405 (4M x 4 bit) DRAM IC's in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is opgebouwd, kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56UW464EJN is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56UW464EJN wordt verwezen naar de HM51W16405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

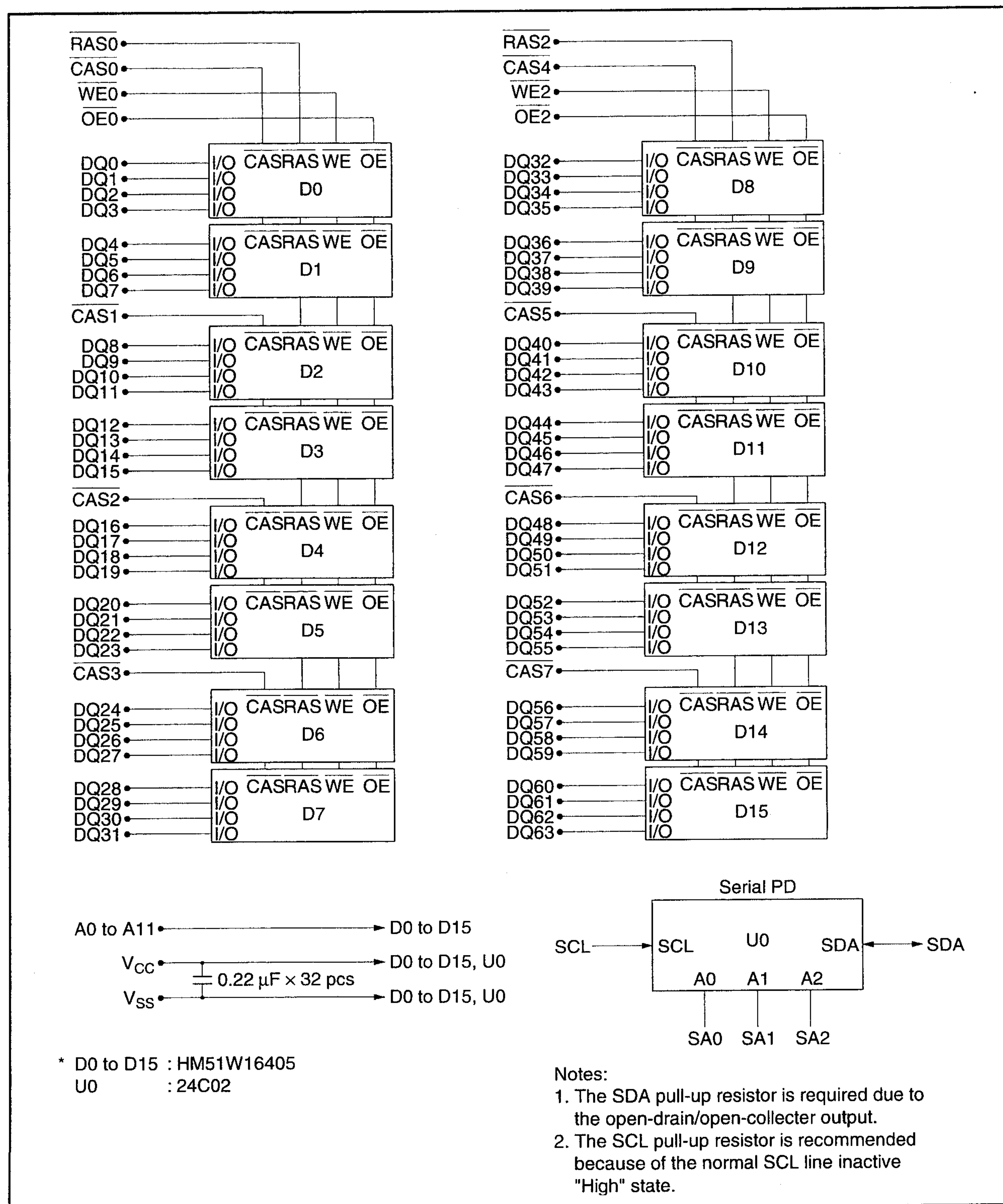
- 168-pens DIMM (pitch: 1,27 mm)
- vergulde contacten
- 4M x 64 bit EDO (16 x HM51W16405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie (max): actief: 5,18/4,61/4,03 W, standby (TTL): 115,2 mW, (CMOS: L-versie): 5,76 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (L-versie)
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	43	V_{SS}	85	V_{SS}	127	V_{SS}
2	DQ0	44	$\overline{OE2}$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS2}$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS2}$	88	DQ34	130	$\overline{CAS6}$
5	DQ3	47	$\overline{CAS3}$	89	DQ35	131	$\overline{CAS7}$
6	V_{CC}	48	$\overline{WE2}$	90	V_{CC}	132	NC
7	DQ4	49	V_{CC}	91	DQ36	133	V_{CC}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	(NC)*3	94	DQ39	136	(NC)*7
11	DQ8	53	(NC)*4	95	DQ40	137	(NC)*8
12	V_{SS}	54	V_{SS}	96	V_{SS}	138	V_{SS}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{CC}	101	DQ45	143	V_{CC}
18	V_{CC}	60	DQ20	102	V_{CC}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	(NC)*1	63	NC	105	(NC)*5	147	NC
22	(NC)*2	64	V_{SS}	106	(NC)*6	148	V_{SS}
23	V_{SS}	65	DQ21	107	V_{SS}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{CC}	68	V_{SS}	110	V_{CC}	152	V_{SS}
27	$\overline{WE0}$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS0}$	70	DQ25	112	$\overline{CAS4}$	154	DQ57
29	$\overline{CAS1}$	71	DQ26	113	$\overline{CAS5}$	155	DQ58
30	$\overline{RAS0}$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE0}$	73	V_{CC}	115	NC	157	V_{CC}
32	V_{SS}	74	DQ28	116	V_{SS}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{SS}	120	A7	162	V_{SS}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	A11	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{CC}	82	SDA	124	V_{CC}	166	SA1
41	V_{CC}	83	SCL	125	NC	167	SA2
42	NC	84	V_{CC}	126	NC	168	V_{CC}

Tabel 8/7.2.2-69: Aansluitingen van de HB56UW464EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-32: Blokschema van de HB56UW464EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11	Address input	
	— Row address:	A0 to A11
	— Column address:	A0 to A9
	— Refresh address:	A0 to A11
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$, $\overline{RAS2}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data for PD	
SCL	Serial clock for PD	
SA0 to SA2	Serial address for PD	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-70: Beschrijving van de pen-functies van de HB56UW464EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56UW464EJN)	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-71: Maximaal toegelaten waarden voor de HB56UW464EJN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-72: Aanbevolen bedrijfscondities voor de HB56UW464EJN.

7.2 DRAM-modulen

Byte number	Function described		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes		0	0	0	0	1	1	0	1	13
1	Serial memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		0	0	0	0	0	0	1	0	EDO
3	Number of rows		0	0	0	0	1	1	0	0	12
4	Number of columns		0	0	0	0	1	0	1	0	10
5	Number of banks		0	0	0	0	0	0	0	1	1
6	Data width HB56UW464EJN		0	1	0	0	0	0	0	0	64
7	Data width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface		0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{RAS}$ access time	50 ns	0	0	1	1	0	0	1	0	
		60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time	13 ns	0	0	0	0	1	1	0	1	
		15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW464EJN		0	0	0	0	0	0	0	0	None-parity
12	Refresh period		0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)		1	0	0	0	0	0	1	1	Self refresh (31.3 µs)

Note: 1. Serial-PD data are not protected.
1: High level (Serial data)
0: Low level (Serial data)

Tabel 8/7.2.2-73: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW464EJN.

HB56UW464EJNB

4M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW464EJNB is een 4M x 64 bit dynamische RAM-module, samengesteld uit 16 stuks HM51W17405 (4M x 4 bit DRAM's) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de 168-pens DIMM module. Net als de DRAM-IC's waarmee de module is opgebouwd, kan ook de module zelf in de Extended Data Out mode worden gebruikt.

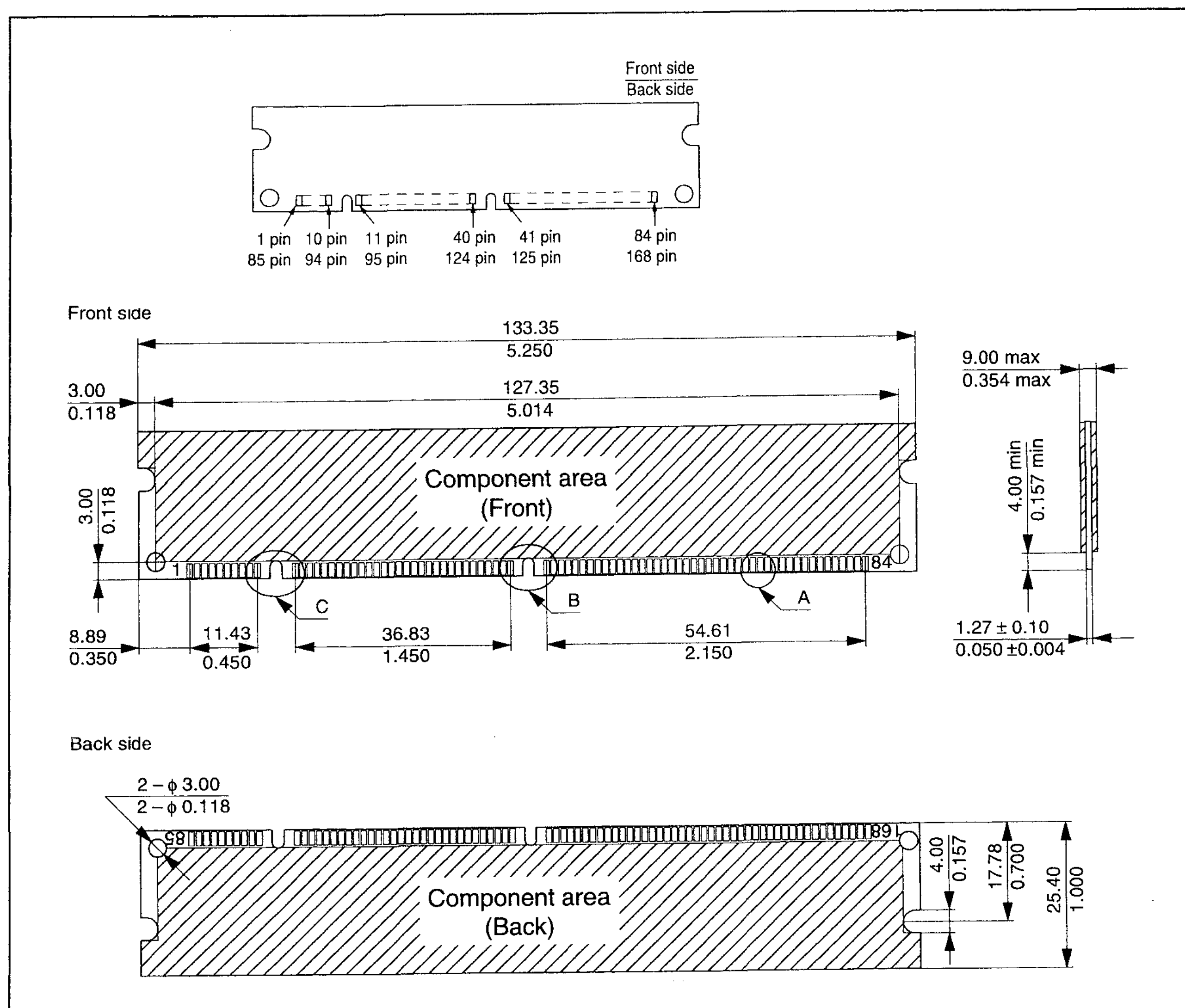
De HB56UW464EJNB is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56UW464EJNB wordt verwezen naar de HM51W17405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.

(wordt vervolgd)

7.2 DRAM-modulen



Figuur 8/7.2.2-33: Vorm, pen-telling en afmetingen van de HB56UW464EJNB.

- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

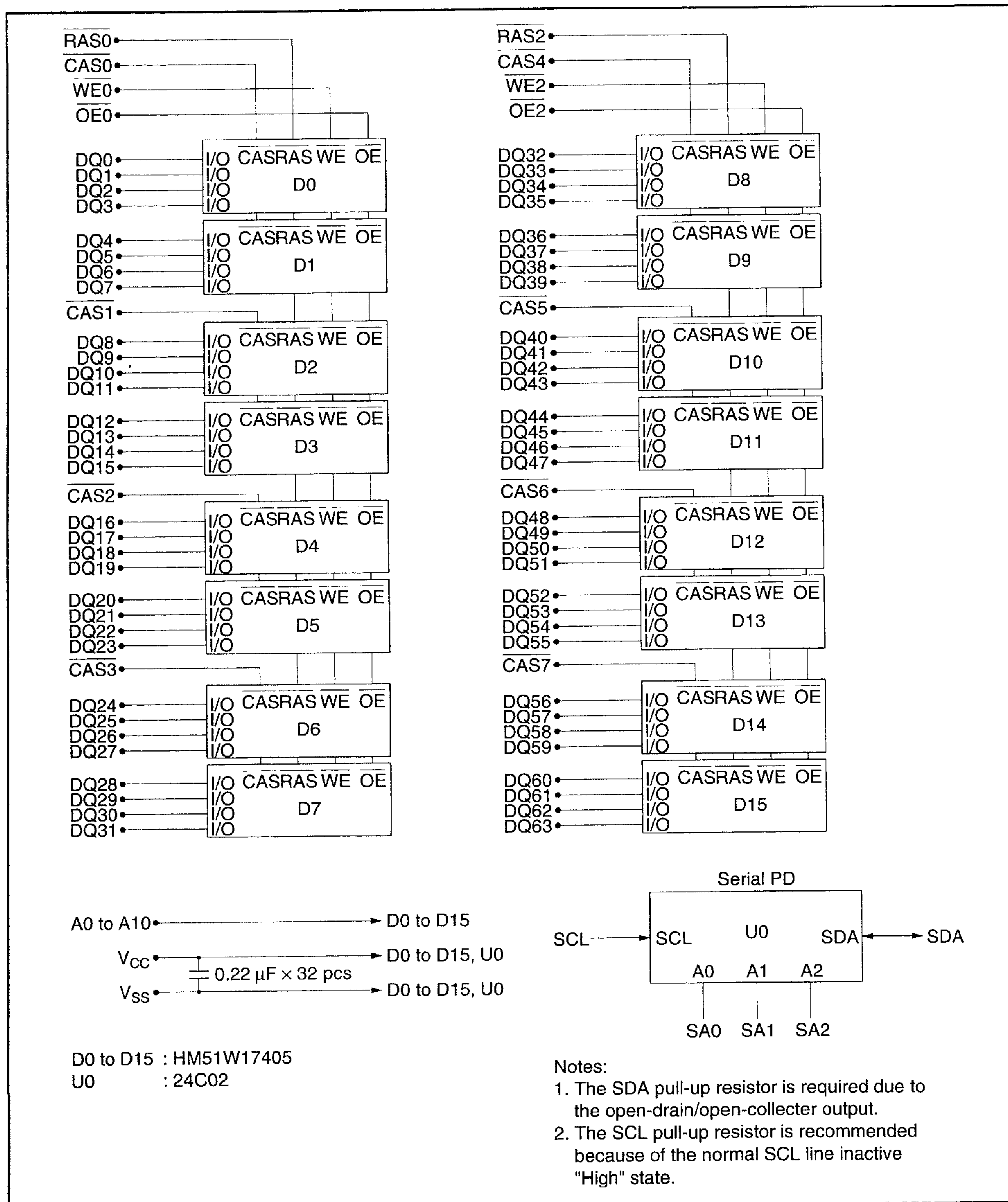
- 168-pens DIMM (pitch: 1,27 mm)
- 4M x 64 bit EDO (16 x HM51W17405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- vergulde contacten
- toegangstijden: 50, 60 of 70 ns
- dissipatie (max): actief: 5,76/5,18/4,61 W, standby (TTL): 115,2 mW, (CMOS: L-versie): 5,76 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (L-versie)
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	43	V_{SS}	85	V_{SS}	127	V_{SS}
2	DQ0	44	$\overline{OE2}$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS2}$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS2}$	88	DQ34	130	$\overline{CAS6}$
5	DQ3	47	$\overline{CAS3}$	89	DQ35	131	$\overline{CAS7}$
6	V_{CC}	48	$\overline{WE2}$	90	V_{CC}	132	NC
7	DQ4	49	V_{CC}	91	DQ36	133	V_{CC}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	CB2 (NC)*3	94	DQ39	136	CB6 (NC)*7
11	DQ8	53	CB3 (NC)*4	95	DQ40	137	CB7 (NC)*8
12	V_{SS}	54	V_{SS}	96	V_{SS}	138	V_{SS}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{CC}	101	DQ45	143	V_{CC}
18	V_{CC}	60	DQ20	102	V_{CC}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	CB0 (NC)*1	63	NC	105	CB4 (NC)*5	147	NC
22	CB1 (NC)*2	64	V_{SS}	106	CB5 (NC)*6	148	V_{SS}
23	V_{SS}	65	DQ21	107	V_{SS}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{CC}	68	V_{SS}	110	V_{CC}	152	V_{SS}
27	$\overline{WE0}$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS0}$	70	DQ25	112	$\overline{CAS4}$	154	DQ57
29	$\overline{CAS1}$	71	DQ26	113	$\overline{CAS5}$	155	DQ58
30	$\overline{RAS0}$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE0}$	73	V_{CC}	115	NC	157	V_{CC}
32	V_{SS}	74	DQ28	116	V_{SS}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{SS}	120	A7	162	V_{SS}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	NC	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{CC}	82	SDA	124	V_{CC}	166	SA1
41	V_{CC}	83	SCL	125	NC	167	SA2
42	NC	84	V_{CC}	126	NC	168	V_{CC}

Tabel 8/7.2.2-74: Aansluitingen van de HB56UW464EJNB.

7.2 DRAM-modulen



Figuur 8/7.2.2-34: Blokschema van de HB56UW464EJNB.

7.2 DRAM-modulen

Pin name	Function
A0 to A10	Address input — Row address: A0 to A10 — Column address: A0 to A10 — Refresh address: A0 to A10
DQ0 to DQ63	Data-in/data-out
$\overline{RAS0}$, $\overline{RAS2}$	Row address strobe
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
SDA	Serial data for PD
SCL	Serial clock for PD
SA0 to SA2	Serial address for PD
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Tabel 8/7.2.2-75: Beschrijving van de pen-functies van de HB56UW464EJNB.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56UW464EJNB)	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-76: Maximaal toegelaten waarden voor de HB56UW464EJNB.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-77: Aanbevolen bedrijfscondities voor de HB56UW464EJNB.

7.2 DRAM-modulen

Byte number	Function described		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes		0	0	0	0	1	1	0	1	13
1	Serial memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		0	0	0	0	0	0	1	0	EDO
3	Number of rows		0	0	0	0	1	0	1	1	11
4	Number of columns		0	0	0	0	1	0	1	1	11
5	Number of banks		0	0	0	0	0	0	0	1	1
6	Data width HB56UW464EJNB		0	1	0	0	0	0	0	0	64
7	Data width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface		0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{\text{RAS}}$ access time	50 ns	0	0	1	1	0	0	1	0	
		60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{\text{CAS}}$ access time	13 ns	0	0	0	0	1	1	0	1	
		15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW464EJNB		0	0	0	0	0	0	0	0	None-parity
12	Refresh period		0	0	0	0	0	0	0	0	Normal (15.625 μs)
	Refresh period (L-version)		1	0	0	0	0	1	0	0	Self refresh (62.5 μs)

Note: 1. Serial-PD data are not protected.
1: High level (Serial data)
0: Low level (Serial data)

Tabel 8/7.2.2-78: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW464EJNB.

HB56HW465DB
4M x 64 EDO DRAM-module (niet gebufferd)

De HB56HW465DB is een 4M x 64 bit dynamische RAM-module, opgebouwd uit 4 stuks HM5165165ATT/ALTT (4M x 16 bit DRAM's) in TSOP-behuizing en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de 144-pens Zig-Zag Dual tabs socket-type Small Outline Dual-in-Line Memory Module (S.O. DIMM). Net als de DRAM-IC's kan ook de module zelf in de Extended Data Out mode worden gebruikt.

De HB56HW465DB is volledig ontkoppeld (onder elke TSOP) en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56UW465DB wordt verwezen naar de HM5165165A (deel 8/3.4.1):
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-104.
- Lees-cycli: tabel 8/3.4.1-105 en figuur 8/3.4.1-128.

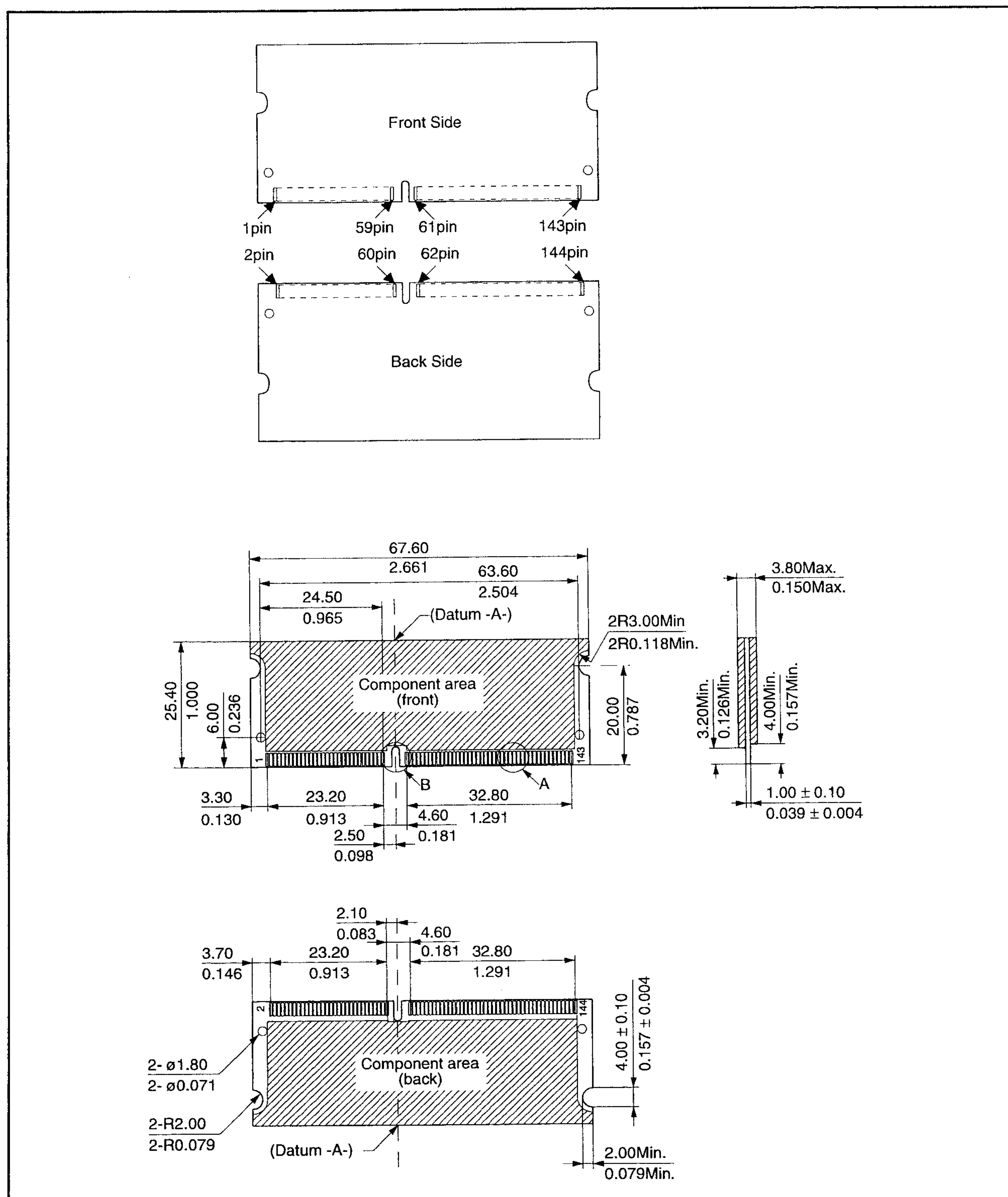
7.2 DRAM-modulen

- Schrijf-cycli: tabel 8/3.4.1-106 en de figuren 8/3.4.1-129 en -130.
- Refresh-cycli: tabel 8/3.4.1-108 en de figuren 8/3.4.1-132 tot en met -134.
- EDO Page Mode cycli: tabel 8/3.4.1-109 en de figuren 8/3.4.1-135 tot en met -138.

Specificaties

- 144-pens SO DIMM (Zig Zag Dual tabs socket-type)
- 4M x 64 bit EDO (4 x HM5165165) en 1 x 24C02
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 2,60/2,24 W, standby (TTL): 28,8 mW, (CMOS): 14,4 mW, (CMOS L-versie): 2,9 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (L-versie)
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen



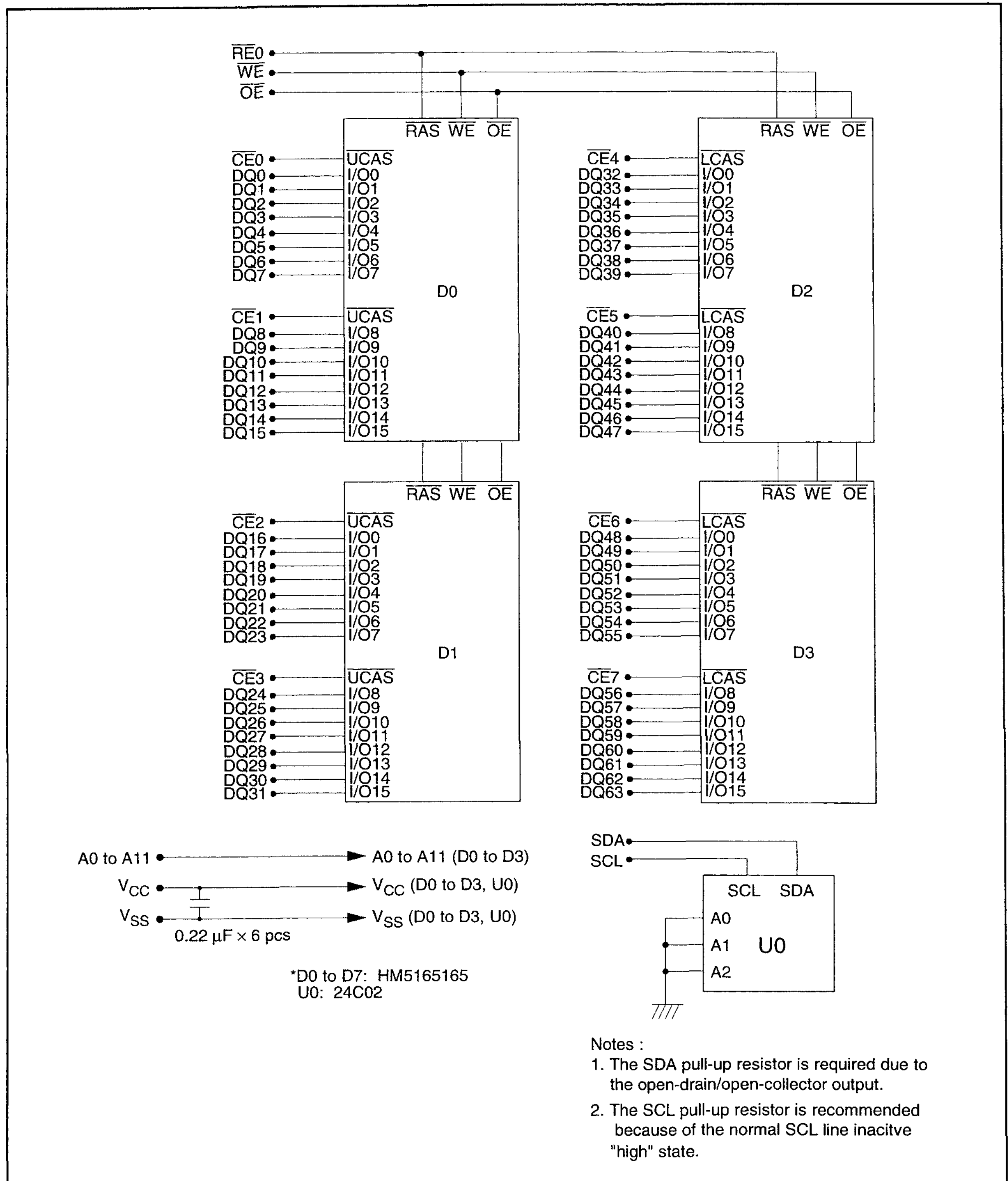
Figuur 8/7.2.2-35: Vorm, pen-telling (zig-zag genummerd) en afmetingen van de HB56HW465DB.

7.2 DRAM-modulen

Front side				Back side			
Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{ss}	73	$\overline{OE}$	2	V_{ss}	74	NC
3	DQ0	75	V_{ss}	4	DQ32	76	V_{ss}
5	DQ1	77	NC	6	DQ33	78	NC
7	DQ2	79	NC	8	DQ34	80	NC
9	DQ3	81	V_{cc}	10	DQ35	82	V_{cc}
11	V_{cc}	83	DQ16	12	V_{cc}	84	DQ48
13	DQ4	85	DQ17	14	DQ36	86	DQ49
15	DQ5	87	DQ18	16	DQ37	88	DQ50
17	DQ6	89	DQ19	18	DQ38	90	DQ51
19	DQ7	91	V_{ss}	20	DQ39	92	V_{ss}
21	V_{ss}	93	DQ20	22	V_{ss}	94	DQ52
23	$\overline{CE0}$	95	DQ21	24	$\overline{CE4}$	96	DQ53
25	$\overline{CE1}$	97	DQ22	26	$\overline{CE5}$	98	DQ54
27	V_{cc}	99	DQ23	28	V_{cc}	100	DQ55
29	A0	101	V_{cc}	30	A3	102	V_{cc}
31	A1	103	A6	32	A4	104	A7
33	A2	105	A8	34	A5	106	A11
35	V_{ss}	107	V_{ss}	36	V_{ss}	108	V_{ss}
37	DQ8	109	A9	38	DQ40	110	NC
39	DQ9	111	A10	40	DQ41	112	NC
41	DQ10	113	V_{cc}	42	DQ42	114	V_{cc}
43	DQ11	115	$\overline{CE2}$	44	DQ43	116	$\overline{CE6}$
45	V_{cc}	117	$\overline{CE3}$	46	V_{cc}	118	$\overline{CE7}$
47	DQ12	119	V_{ss}	48	DQ44	120	V_{ss}
49	DQ13	121	DQ24	50	DQ45	122	DQ56
51	DQ14	123	DQ25	52	DQ46	124	DQ57
53	DQ15	125	DQ26	54	DQ47	126	DQ58
55	V_{ss}	127	DQ27	56	V_{ss}	128	DQ59
57	NC	129	V_{cc}	58	NC	130	V_{cc}
59	NC	131	DQ28	60	NC	132	DQ60
61	NC	133	DQ29	62	NC	134	DQ61
63	V_{cc}	135	DQ30	64	V_{cc}	136	DQ62
65	NC	137	DQ31	66	NC	138	DQ63
67	$\overline{WE}$	139	V_{ss}	68	NC	140	V_{ss}
69	$\overline{RE0}$	141	SDA	70	NC	142	SCL
71	NC	143	V_{cc}	72	NC	144	V_{cc}

Tabel 8/7.2.2-79: Aansluitingen van de HB56HW465DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-36: Blokschema van de HB56HW465DB.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11	Address input	
	— Row address	A0 to A11
	— Column address	A0 to A9
	— Refresh address	A0 to A11
DQ0 to DQ63	Data input/output	
$\overline{RE}$0	Row address strobe ($\overline{RAS}$)	
$\overline{CE}$0 to $\overline{CE}$7	Column address strobe ($\overline{CAS}$)	
$\overline{WE}$	Read/Write enable	
$\overline{OE}$	Output enable	
SDA	Serial data for PD	
SCL	Serial clock for PD	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-80: Beschrijving van de pen-functies van de HB56HW465DB.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	4.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-81: Maximaal toegelaten waarden voor de HB56HW465DB.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Notes:
1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-82: Aanbevolen bedrijfscondities voor de HB56HW465DB.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
0	Number of bytes used by module manufacturer	1	0	0	0	0	0	0	0	80	128
1	Total SPD memory size	0	0	0	0	1	0	0	0	08	256 byte
2	Memory type	0	0	0	0	0	0	1	0	02	EDO
3	Number of row addresses bits	0	0	0	0	1	1	0	0	0C	12
4	Number of column addresses bits	0	0	0	0	1	0	1	0	0A	10
5	Number of banks	0	0	0	0	0	0	0	1	01	1
6	Module data width	0	1	0	0	0	0	0	0	40	64 bits
7	Module data width (continued)	0	0	0	0	0	0	0	0	00	0 (+)
8	Module interface signal levels	0	0	0	0	0	0	0	1	01	LVTTL
9	$\overline{\text{RAS}}$ access time -6A/-6AL	0	0	1	1	1	1	0	0	3C	t_{RAC} = 60 ns
	$\overline{\text{RAS}}$ access time -7A/-7AL	0	1	0	0	0	1	1	0	46	t_{RAC} = 70 ns
10	$\overline{\text{CAS}}$ access time -6A/-6AL	0	0	0	0	1	1	1	1	0F	t_{CAC} = 15 ns
	$\overline{\text{CAS}}$ access time -7A/-7AL	0	0	0	1	0	0	1	0	12	t_{CAC} = 18 ns
11	Module configuration type	0	0	0	0	0	0	0	0	00	Non parity
12	Refresh rate/type -6A/-7A	0	0	0	0	0	0	0	0	00	Normal (15.625 μs)
	Refresh rate/type -6AL/-7AL (L-version)	1	0	0	0	0	0	1	1	83	Self refresh (31.3 μs)
13	DRAM width	0	0	0	1	0	0	0	0	10	4M × 16
14	Error checking DRAM data width	0	0	0	0	0	0	0	0	00	
15 to 31	Reserved for future offerings	0	0	0	0	0	0	0	0	00	
32 to 61	Superset information	0	0	0	0	0	0	0	0	00	Future offerings
62	SPD revision	0	0	0	0	0	0	0	1	01	Rev. 1
63	Checksum for bytes 0 to 62 -6A	0	0	1	1	1	1	1	0	3E	
	Checksum for bytes 0 to 62 -7A	0	1	0	0	1	0	1	1	4B	
	Checksum for bytes 0 to 62 -6AL	1	1	0	0	0	0	0	1	C1	
	Checksum for bytes 0 to 62 -7AL	1	1	0	0	1	1	1	0	CE	
64	Manufacturer's JEDEC ID code	0	0	0	0	0	1	1	1	07	Hitachi
65 to 71	Manufacturer's JEDEC ID code	0	0	0	0	0	0	0	0	00	
72	Manufacturing location	×	×	×	×	×	×	×	×	xx	*2 (ASCII-8bit code)

Tabel 8/7.2.2-83a: De seriële PD (aanwezigheidsdetectie) Matrix levert een enorme hoeveelheid informatie over de HB56HW465DB (1e deel).

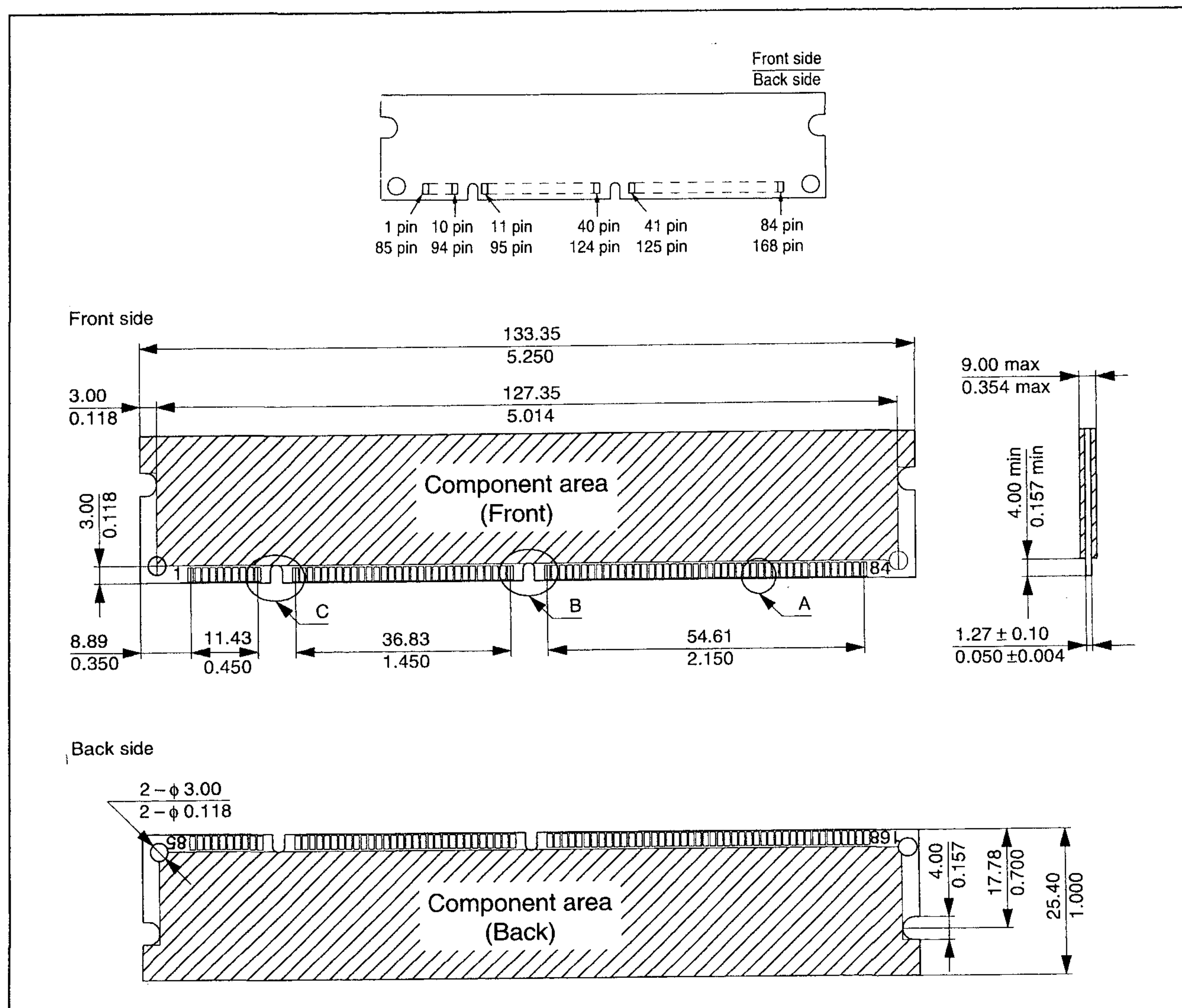
7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
73	Manufacturer's part number	0	1	0	0	1	0	0	0	48	H
74	Manufacturer's part number	0	1	0	0	0	0	1	0	42	B
75	Manufacturer's part number	0	0	1	1	0	1	0	1	35	5
76	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
77	Manufacturer's part number	0	1	0	0	1	0	0	0	48	H
78	Manufacturer's part number	0	1	0	1	0	1	1	1	57	W
79	Manufacturer's part number	0	0	1	1	0	1	0	0	34	4
80	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
81	Manufacturer's part number	0	0	1	1	0	1	0	1	35	5
82	Manufacturer's part number	0	1	0	0	0	1	0	0	44	D
83	Manufacturer's part number	0	1	0	0	0	0	1	0	42	B
84	Manufacturer's part number	0	1	0	1	1	1	1	1	5F	—
85	Manufacturer's part number -6A/-6AL	0	0	1	1	0	1	1	0	36	6
	Manufacturer's part number -7A/-7AL	0	0	1	1	0	1	1	1	37	7
86	Manufacturer's part number	0	1	0	0	0	0	0	1	41	A
87	Manufacturer's part number -6A/-7A	0	0	1	0	0	0	0	0	20	(Space)
	Manufacturer's part number -6AL/-7AL (L-version)	0	1	0	0	1	1	0	0	4C	L
88 to 90	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
91	Revision code	0	0	1	1	0	0	0	0	30	Initial
92	Revision code	0	0	1	0	0	0	0	0	20	(Space)
93	Manufacturing date (year code)	×	×	×	×	×	×	×	×	××	Year code*3 (binary)
94	Manufacturing date (week code)	×	×	×	×	×	×	×	×	××	Week code*4 (binary)
95 to 98	Assembly serial number	*5									
99 to 125	Manufacturer specific data	*6									
126	Reserved	0	0	0	0	0	0	0	0	00	
127	Reserved	0	0	0	0	0	0	0	0	00	

Notes:
1. All serial PD data are not protected. 0: Serial data, "driven Low", 1: Serial data, "driven High"
2. Byte 72 is manufacturing location code. (ex: in case of Japan, byte 72 is 4Ah. 4Ah shows "J" on ASCII code.)
3. Byte 93 (Manufacturing date-year code) ex: 61h shows year '97. 62h shows year '98.
4. Byte 94 (Manufacturing date-week code) ex: 0Bh shows week 11. 24h shows week 36.
5. Byte 95 through 98 are assembly serial number.
6. All bits of byte 99 through 125 are not defined ("1" or "0").

Tabel 8/7.2.2-83b: 2e deel van de seriële PD Matrix van de HB56HW465DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-37: Vorm, pen-telling en afmetingen van de HB56UW465EJN.

HB56UW465EJN

4M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW465EJN is een 4M x 64 bit dynamische RAM-module, samengesteld uit 16 stuks HM51W17805 (2M x 8 bit DRAMs) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is opgebouwd, kan ook de module zelf in de Extended Data Out mode worden gebruikt.

De HB56UW465EJN is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken van de HB56UW464EJN wordt verwezen naar de HM51W17805 (deel 8/3.4.1):

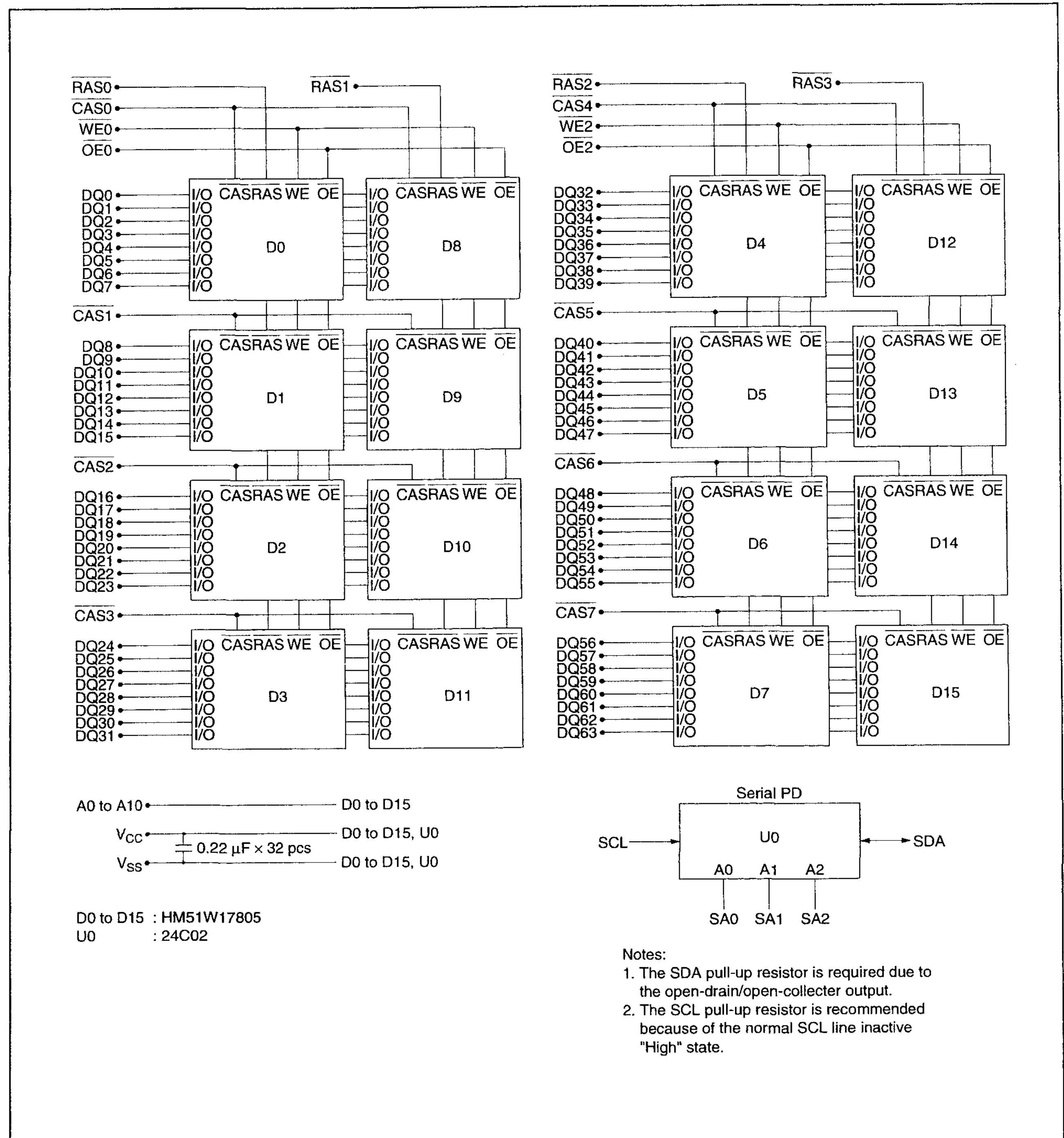
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-52.
- Lees-cycli: tabel 8/3.4.1-53 en figuur 8/3.4.1-60.
- Schrijf-cycli: tabel 8/3.4.1-54 en de figuren 8/3.4.1-61 en -62.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE2}$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS2}$	87	DQ33	129	$\overline{RAS3}$
4	DQ2	46	$\overline{CAS2}$	88	DQ34	130	$\overline{CAS6}$
5	DQ3	47	$\overline{CAS3}$	89	DQ35	131	$\overline{CAS7}$
6	V_{cc}	48	$\overline{WE2}$	90	V_{cc}	132	NC
7	DQ4	49	V_{cc}	91	DQ36	133	V_{cc}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	(NC)*3	94	DQ39	136	(NC)*7
11	DQ8	53	(NC)*4	95	DQ40	137	(NC)*8
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{cc}	101	DQ45	143	V_{cc}
18	V_{cc}	60	DQ20	102	V_{cc}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	(NC)*1	63	NC	105	(NC)*5	147	NC
22	(NC)*2	64	V_{ss}	106	(NC)*6	148	V_{ss}
23	V_{ss}	65	DQ21	107	V_{ss}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE0}$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS0}$	70	DQ25	112	$\overline{CAS4}$	154	DQ57
29	$\overline{CAS1}$	71	DQ26	113	$\overline{CAS5}$	155	DQ58
30	$\overline{RAS0}$	72	DQ27	114	$\overline{RAS1}$	156	DQ59
31	$\overline{OE0}$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ28	116	V_{ss}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	NC	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{cc}	82	SDA	124	V_{cc}	166	SA1
41	V_{cc}	83	SCL	125	NC	167	SA2
42	NC	84	V_{cc}	126	NC	168	V_{cc}

Tabel 8/7.2.2-84: Aansluitingen van de HB56UW465EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-38: Blokschema van de HB56UW465EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A10	Address input	
	— Row address:	A0 to A10
	— Column address:	A0 to A9
	— Refresh address:	A0 to A10
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$ to $\overline{RAS3}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data for PD	
SCL	Serial clock for PD	
SA0 to SA2	Serial address for PD	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-85: Beschrijving van de pen-functies van de HB56UW465EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56UW465EJN)	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-86: Maximaal toegelaten waarden voor de HB56UW465EJN.

- Refresh-cycli: tabel 8/3.4.1-56 en de figuren 8/3.4.1-64 tot en met -66.
- EDO Page Mode cycli: tabel 8/3.4.1-57 en de figuren 8/3.4.1-67 tot en met -69.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- vergulde contacten
- 4M x 64 bit EDO (16 x HM51W17805) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijd: 50, 60 of 70 ns
- dissipatie (max): actief: 53,13/3,02/2,74 W, standby (TTL): 115,2 mW, (CMOS L-versie): 8,64 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (L-versie)

– aanwezigheidsdetectie via I²C-bus   fabrikant: Hitachi

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.0	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

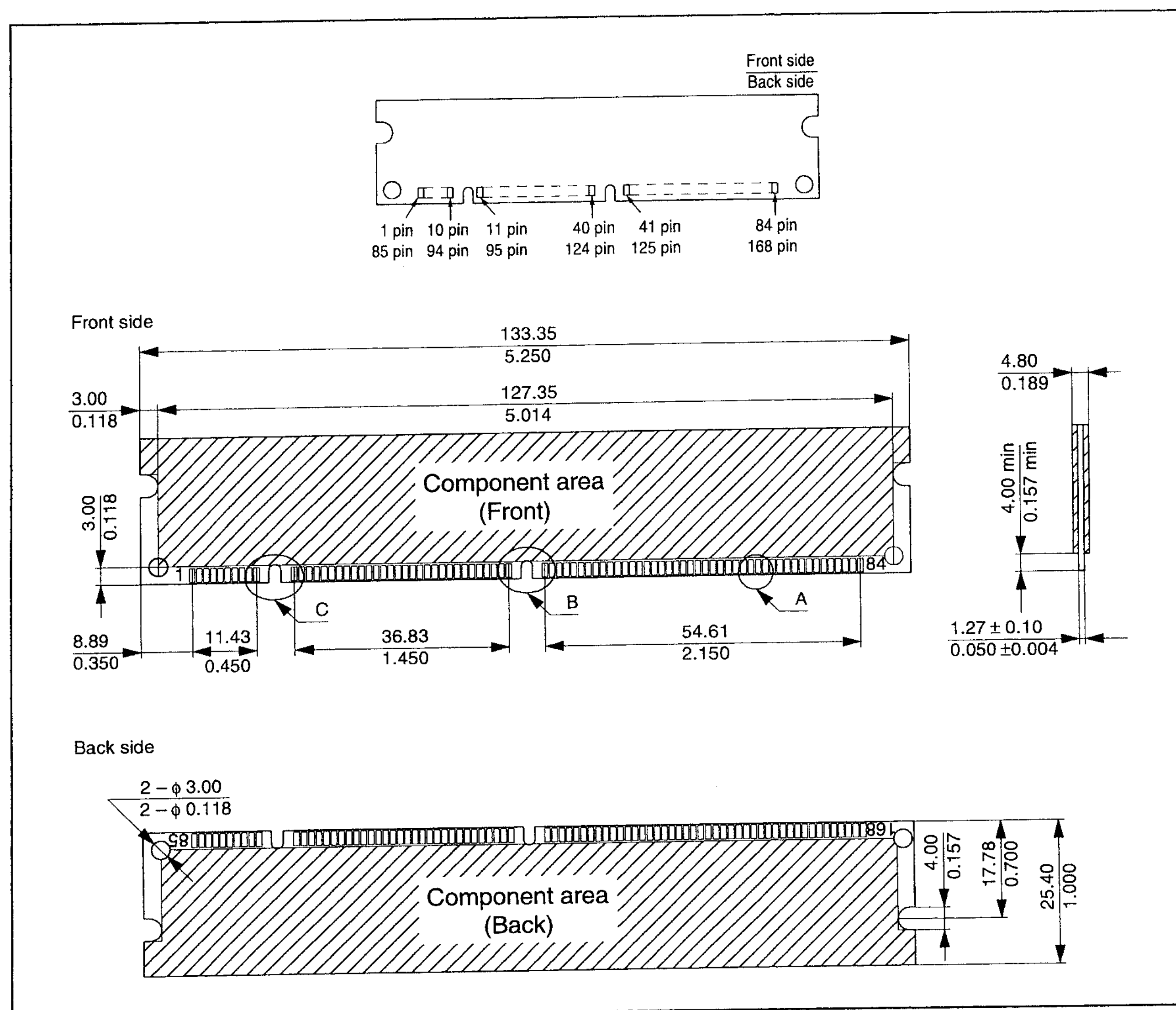
Tabel 8/7.2.2-87: Aanbevolen bedrijfscondities voor de HB56UW465EJN.

Byte number	Function described		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes		0	0	0	0	1	1	0	1	13
1	Serial memory		0	0	0	0	1	0	0	0	256 bytes
2	Fundamental memory type		0	0	0	0	0	0	1	0	EDO
3	Number of rows		0	0	0	0	1	0	1	1	11
4	Number of columns		0	0	0	0	1	0	1	0	10
5	Number of banks		0	0	0	0	0	0	1	0	2
6	Data width HB56UW465EJN		0	1	0	0	0	0	0	0	64
7	Data width (continued)		0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface		0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{RAS}$ access time	50 ns	0	0	1	1	0	0	1	0	
		60 ns	0	0	1	1	1	1	0	0	
		70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time	13 ns	0	0	0	0	1	1	0	1	
		15 ns	0	0	0	0	1	1	1	1	
		18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW465EJN		0	0	0	0	0	0	0	0	None-parity
12	Refresh period		0	0	0	0	0	0	0	0	Normal (15.625 µs)
	Refresh period (L-version)		1	0	0	0	0	1	0	0	Self refresh (62.5 µs)

Note: 1. Serial-PD data are not protected.
1: High level (Serial data)
0: Low level (Serial data)

Tabel 8/7.2.2-88: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW465EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-39: Vorm, pen-telling en afmetingen van de HB56S864ES.

HB56S864ES

8M x 64 EDO DRAM-module (gebufferd)

De HB56S864ES is een 8M x 64 bit dynamische RAM-module, bestaande uit 32 stuks HM5116405: (4M x 4 bit DRAM) in TCP-behuizingen, één 74ABT16244 (16 bit CMOS line-driver) en één 74ABT16827 (20 bit CMOS line-driver), beide in TSSOP-behuizing. De componenten bevinden zich aan twee zijden van de module. Net als bij de DRAM's waaruit de module is opgebouwd, kan de module in de Extended Data Out mode worden gebruikt.

De HB56S864ES is geschikt voor 64 bit en 32 bit toepassingen en heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168). De module heeft alle benodigde ontkoppel-condensatoren aan boord (onder elke SOJ) en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5116405 (deel 8/3.4.1):

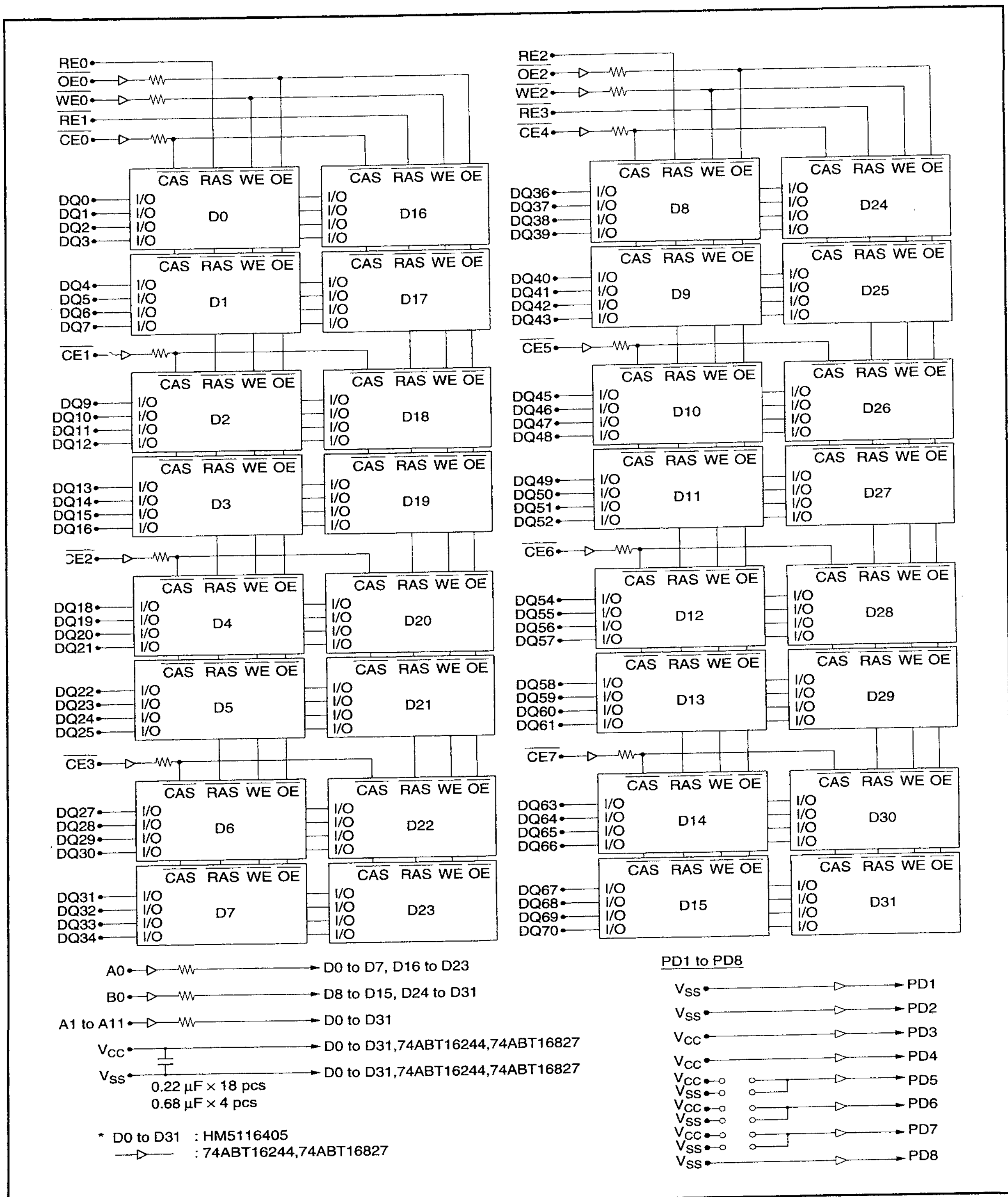
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	13	DQ9	25	NC	37	A8
2	DQ0	14	DQ10	26	V_{cc}	38	A10
3	DQ1	15	DQ11	27	$\overline{WE0}$	39	NC
4	DQ2	16	DQ12	28	$\overline{CE0}$	40	V_{cc}
5	DQ3	17	DQ13	29	$\overline{CE2}$	41	NC
6	V_{cc}	18	V_{cc}	30	$\overline{RE0}$	42	NC
7	DQ4	19	DQ14	31	$\overline{OE0}$	43	V_{ss}
8	DQ5	20	DQ15	32	V_{ss}	44	$\overline{OE2}$
9	DQ6	21	DQ16	33	A0	45	$\overline{RE2}$
10	DQ7	22	NC	34	A2	46	$\overline{CE4}$
11	NC	23	V_{ss}	35	A4	47	$\overline{CE6}$
12	V_{ss}	24	NC	36	A6	48	$\overline{WE2}$
49	V_{cc}	79	PD1	109	NC	139	DQ56
50	NC	80	PD3	110	V_{cc}	140	DQ57
51	NC	81	PD5	111	NC	141	DQ58
52	DQ18	82	PD7	112	$\overline{CE1}$	142	DQ59
53	DQ19	83	ID0 (V_{ss})	113	$\overline{RE3}$	143	V_{cc}
54	V_{ss}	84	V_{cc}	114	$\overline{RE1}$	144	DQ60
55	DQ20	85	V_{ss}	115	NC	145	NC
56	DQ21	86	DQ36	116	V_{ss}	146	NC
57	DQ22	87	DQ37	117	A1	147	NC
58	DQ23	88	DQ38	118	A3	148	NC
59	V_{cc}	89	DQ39	119	A5	149	DQ61
60	DQ24	90	V_{cc}	120	A7	150	NC
61	NC	91	DQ40	121	A9	151	DQ63
62	NC	92	DQ41	122	A11	152	V_{ss}
63	NC	93	DQ42	123	NC	153	DQ64
64	NC	94	DQ43	124	V_{cc}	154	DQ65
65	DQ25	95	NC	125	NC	155	DQ66
66	NC	96	V_{ss}	126	B0	156	DQ67
67	DQ27	97	DQ45	127	V_{ss}	157	V_{cc}
68	V_{ss}	98	DQ46	128	NC	158	DQ68
69	DQ28	99	DQ47	129	$\overline{RE3}$	159	DQ69
70	DQ29	100	DQ48	130	$\overline{CE5}$	160	DQ70
71	DQ30	101	DQ49	131	$\overline{CE7}$	161	NC
72	DQ31	102	V_{cc}	132	$\overline{PDE}$	162	V_{ss}
73	V_{cc}	103	DQ50	133	V_{cc}	163	PD2
74	DQ32	104	DQ51	134	NC	164	PD4
75	DQ33	105	DQ52	135	NC	165	PD6
76	DQ34	106	NC	136	DQ54	166	PD8
77	NC	107	V_{ss}	137	DQ55	167	ID1 (V_{ss})
78	V_{ss}	108	NC	138	V_{ss}	168	V_{cc}

Tabel 8/7.2.2-89: Aansluitingen van de HB56S864ES (let op nummering in tabel!).

7.2 DRAM-modulen



Figuur 8/7.2.2-40: Blokschema van de HB56S864ES.

7.2 DRAM-modulen

Pin name	Function
A0 to A11, B0	Address Input — Row Address : A0 to A11, B0 — Column Address : A0 to A9, B0 — Refresh Address : A0 to A11, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/Data-out
$\overline{RE0}$ to $\overline{RE3}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$ to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
PD1 to PD8	Presence detect
ID0, ID1	ID bit
$\overline{PDE}$	Presence detect enable
NC	No connection

Tabel 8/7.2.2-90: Beschrijving van de pen-functies van de HB56S864ES.

- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties
- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 8M x 64 bit EDO (32 x HM5116405) plus 1 x 74ABT16244 en 1 x 74ABT16827
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +5 V (+/-5 %) voeding
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 7,48/6,64 W, standby (TTL): 672 mW, (CMOS): 504 mW
- gebufferde ingangen (behalve $\overline{RAS}$ en DQ)
- 4 byte interleave enabled, dual address input (A0/B0)
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- TTL-compatibel
- vergulde contacten
- aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	33	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-91: Maximaal toegelaten waarden voor de HB56S864ES.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–0.5	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

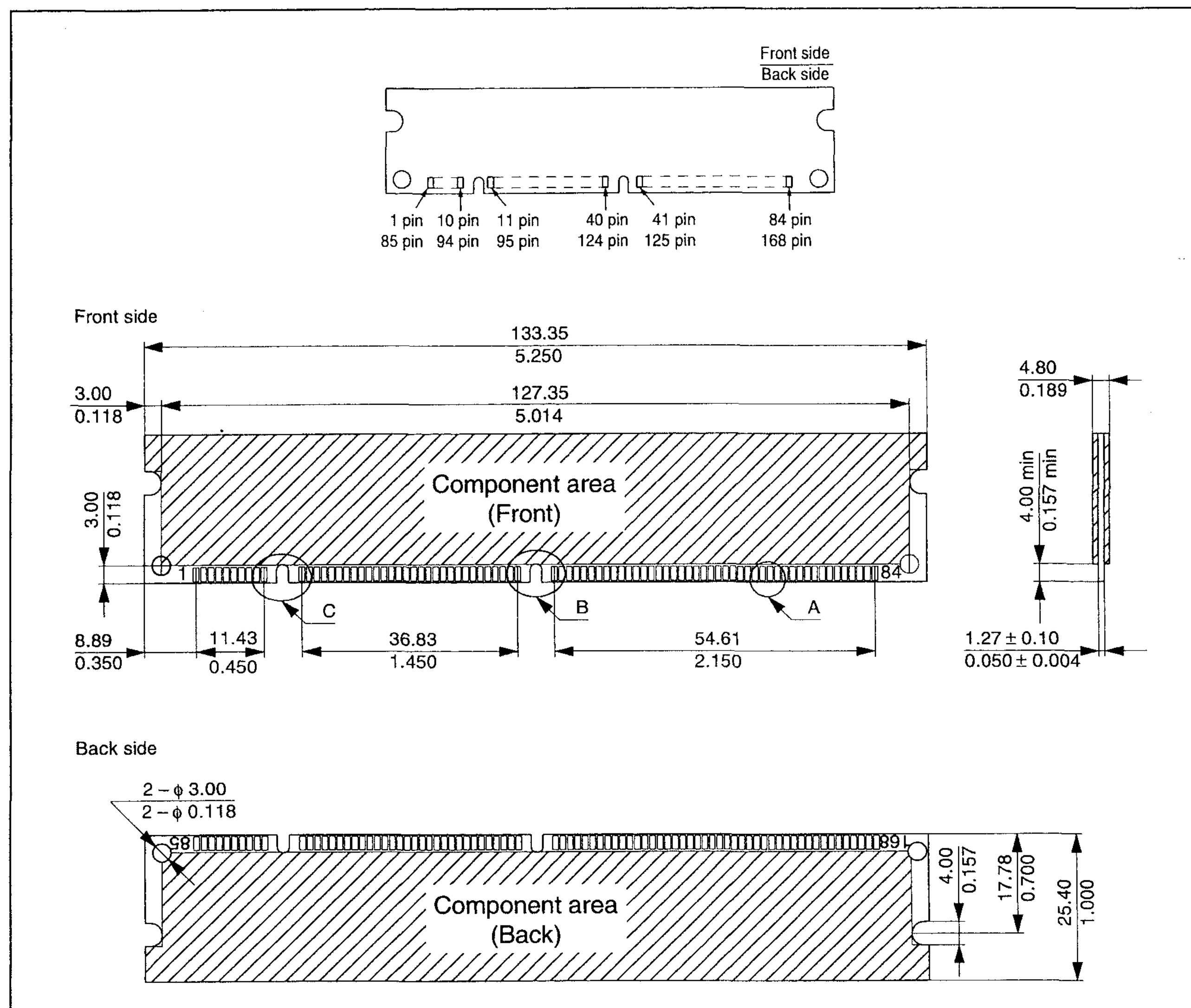
Tabel 8/7.2.2-92: Aanbevolen bedrijfscondities voor de HB56S864ES.

		$\overline{PDE}$ = Low		$\overline{PDE}$ = High
Pin name	**Pin No.**	**60 ns**	**70 ns**	**All**
PD1	79	0	0	High-Z
PD2	163	0	0	High-Z
PD3	80	1	1	High-Z
PD4	164	1	1	High-Z
PD5	81	1	1	High-Z
PD6	165	1	0	High-Z
PD7	82	1	1	High-Z
PD8	166	1	1	High-Z

Note: 1: High level (Driver output)
0: Low level (Driver output)

Tabel 8/7.2.2-93: Signalen op de aanwezigheidsdetectie-pennen van de HB56S864ES.

7.2 DRAM-modulen



Figuur 8/7.2.2-41: Vorm, pen-telling en afmetingen van de HB56S864ESN.

HB56S864ESN

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56S864ESN is een 8M x 64 bit dynamische RAM-module, samengesteld uit 32 stuks HM5116405 (4M x 4 bit DRAM's) in TCP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de zeer dunne 168-pens DIMM module. Net als de DRAM-IC's waarmee de module is opgebouwd, kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56S864ESN is (onder elke TCP) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5116405 (deel 8/3.4.1):

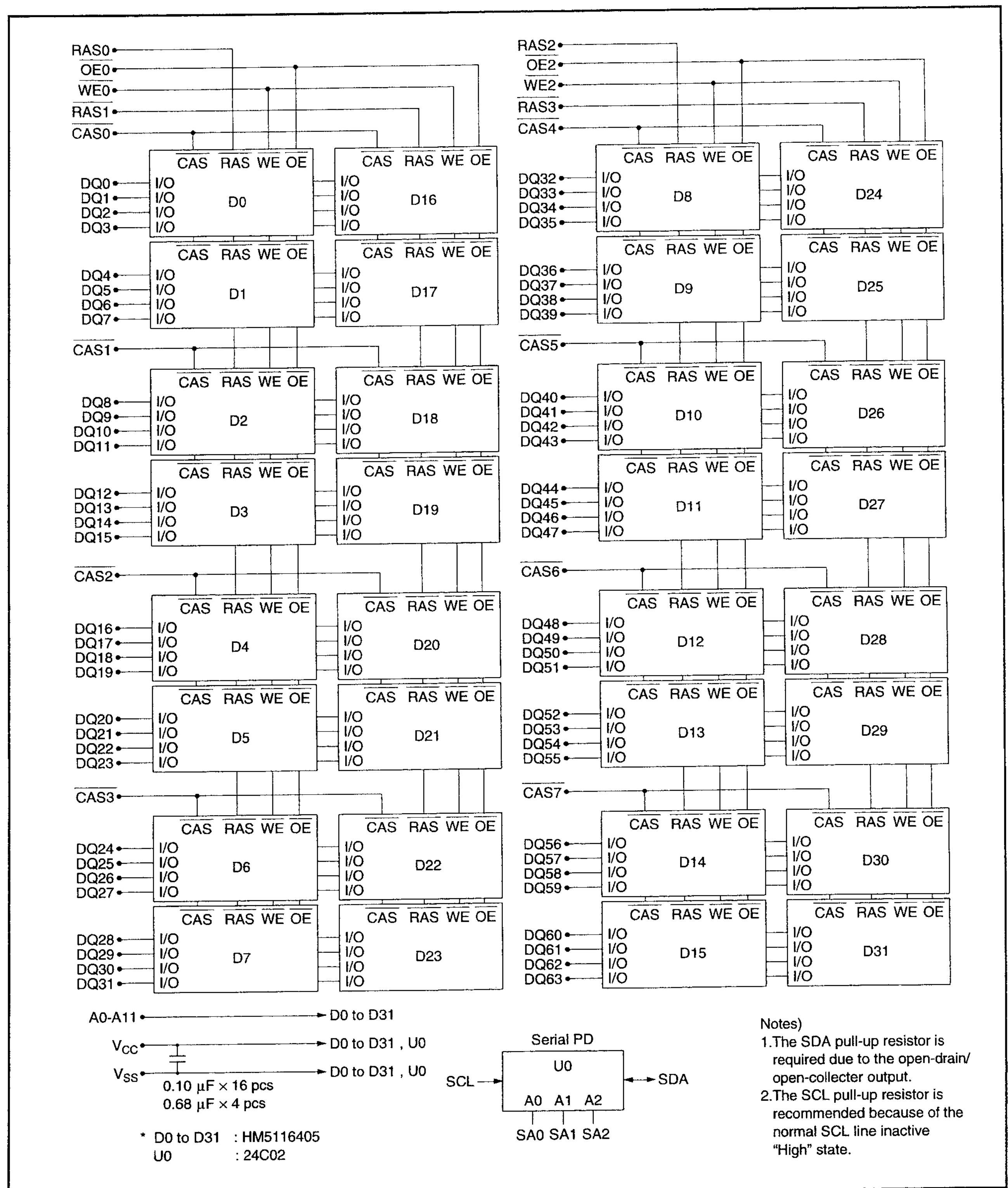
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	36	A6	71	DQ26	106	(NC)*6
2	DQ0	37	A8	72	DQ27	107	V_{SS}
3	DQ1	38	A10	73	V_{CC}	108	NC
4	DQ2	39	NC	74	DQ28	109	NC
5	DQ3	40	V_{CC}	75	DQ29	110	V_{CC}
6	V_{CC}	41	V_{CC}	76	DQ30	111	NC
7	DQ4	42	NC	77	DQ31	112	$\overline{CAS4}$
8	DQ5	43	V_{SS}	78	V_{SS}	113	$\overline{CAS5}$
9	DQ6	44	$\overline{OE2}$	79	NC	114	$\overline{RAS1}$
10	DQ7	45	$\overline{RAS2}$	80	NC	115	NC
11	DQ8	46	$\overline{CAS2}$	81	NC	116	V_{SS}
12	V_{SS}	47	$\overline{CAS3}$	82	SDA	117	A1
13	DQ9	48	$\overline{WE2}$	83	SCL	118	A3
14	DQ10	49	V_{CC}	84	V_{CC}	119	A5
15	DQ11	50	NC	85	V_{SS}	120	A7
16	DQ12	51	NC	86	DQ32	121	A9
17	DQ13	52	(NC)*3	87	DQ33	122	A11
18	V_{CC}	53	(NC)*4	88	DQ34	123	NC
19	DQ14	54	V_{SS}	89	DQ35	124	V_{CC}
20	DQ15	55	DQ16	90	V_{CC}	125	NC
21	(NC)*1	56	DQ17	91	DQ36	126	NC
22	(NC)*2	57	DQ18	92	DQ37	127	V_{SS}
23	V_{SS}	58	DQ19	93	DQ38	128	NC
24	NC	59	V_{CC}	94	DQ39	129	$\overline{RAS3}$
25	NC	60	DQ20	95	DQ40	130	$\overline{CAS6}$
26	V_{CC}	61	NC	96	V_{SS}	131	$\overline{CAS7}$
27	$\overline{WE0}$	62	NC	97	DQ41	132	NC
28	$\overline{CAS0}$	63	NC	98	DQ42	133	V_{CC}
29	$\overline{CAS1}$	64	V_{SS}	99	DQ43	134	NC
30	$\overline{RAS0}$	65	DQ21	100	DQ44	135	NC
31	$\overline{OE0}$	66	DQ22	101	DQ45	136	(NC)*7
32	V_{SS}	67	DQ23	102	V_{CC}	137	(NC)*8
33	A0	68	V_{SS}	103	DQ46	138	V_{SS}
34	A2	69	DQ24	104	DQ47	139	DQ48
35	A4	70	DQ25	105 (NC)*5		140	DQ49
141	DQ50	148	V_{SS}	155	DQ58	162	V_{SS}
142	DQ51	149	DQ53	156	DQ59	163	NC
143	V_{CC}	150	DQ54	157	V_{CC}	164	NC
144	DQ52	151	DQ55	158	DQ60	165	SA0
145	NC	152	V_{SS}	159	DQ61	166	SA1
146	NC	153	DQ56	160	DQ62	167	SA2
147	NC	154	DQ57	161	DQ63	168	V_{CC}

Tabel 8/7.2.2-94: Aansluitingen van de HB56S864ESN (let op nummering!).

7.2 DRAM-modulen



Figuur 8/7.2.2-42: Blokschema van de HB56S864ESN.

7.2 DRAM-modulen

Pin name	Function
A0 to A11	Address input — Row address: A0 to A11 — Column address: A0 to A9 — Refresh address: A0 to A11
DQ0 to DQ63	Data-in/data-out
$\overline{RAS0}$ to $\overline{RAS3}$	Row address strobe
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
SDA	Serial data out (Bit0 to 7)
SCL	Clock for presence detect
SA0 to SA2	Serial address input
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Tabel 8/7.2.2-95: Beschrijving van de pen-functies van de HB56S864ESN.

- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 8M x 64 bit EDO (32 x HM5116405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +5 V (+/-5 %) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 7,14/6,30 W, standby (TTL): 336 mW, (CMOS): 168 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}.	V_T	–0.5 to +7.0	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56S864ESN)	Pt	32	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-96: Maximaal toegelaten waarden voor de HB56S864ESN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	4.75	5.0	5.25	V
Input high voltage	V_{IH}	2.4	—	5.5	V
Input low voltage	V_{IL}	–1.0	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-97: Aanbevolen bedrijfscondities voor de HB56S864ESN.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
0	Number of bytes used by module manufacturer	1	0	0	0	0	0	0	0	80	128
1	Total SPD memory size	0	0	0	0	1	0	0	0	08	256 byte
2	Memory type	0	0	0	0	0	0	1	0	02	EDO
3	Number of row addresses bits	0	0	0	0	1	1	0	0	0C	12
4	Number of column addresses bits	0	0	0	0	1	0	1	0	0A	10
5	Number of banks	0	0	0	0	0	0	1	0	02	2
6	Module data width	0	1	0	0	1	0	0	0	48	72
	(HB56S864ESN)	0	1	0	0	0	0	0	0	40	64
7	Module data width (continued)	0	0	0	0	0	0	0	0	00	0 (+)
8	Module interface signal levels	0	0	0	0	0	0	0	0	00	TTL
9	$\overline{RAS}$ access time -6	0	0	1	1	1	1	0	0	3C	t_{RAC} = 60 ns
	-7	0	1	0	0	0	1	1	0	46	t_{RAC} = 70 ns
10	$\overline{CAS}$ access time -6	0	0	0	0	1	1	1	1	0F	t_{CAC} = 15 ns
	-7	0	0	0	1	0	0	1	0	12	t_{CAC} = 18 ns
11	Module configuration type	0	0	0	0	0	0	1	0	02	ECC
	(HB56S864ESN)	0	0	0	0	0	0	0	0	00	Non-parity
12	Refresh rate/type	0	0	0	0	0	0	0	0	00	Normal (15.625 µs)
13	DRAM width	0	0	0	0	0	1	0	0	04	× 4
14	Error checking DRAM	0	0	0	0	0	0	0	0	00	
15 to 31	Reserved for future offerings	0	0	0	0	0	0	0	0	00	
32 to 61	Superset information	0	0	0	0	0	0	0	0	00	Future offerings
62	SPD data revision code	0	0	0	0	0	0	0	1	01	Rev. 1
63	Checksum for bytes 0 to 62	0	0	1	1	0	0	1	0	32	
	(HB56S864ESN-7)	0	0	1	1	1	1	1	1	3F	
64	Manufacturer's JEDEC ID code	0	0	0	0	0	1	1	1	07	Hitachi
65 to 71	Manufacturer's JEDEC ID code	0	0	0	0	0	0	0	0	00	
72	Manufacturing location	×	×	×	×	×	×	×	×	××	ASCII-8bit code*2
73	Manufacturer's part number	0	1	0	0	1	0	0	0	48	H
74	Manufacturer's part number	0	1	0	0	0	0	1	0	42	B
75	Manufacturer's part number	0	0	1	1	0	1	0	1	35	5
76	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
77	Manufacturer's part number	0	1	0	1	0	0	1	1	53	S
78	Manufacturer's part number	0	0	1	1	1	0	0	0	38	8

Tabel 8/7.2.2-98a: Eerste deel van de seriële PD (aanwezigheidsdetectie) Matrix van de HB56S864ESN.

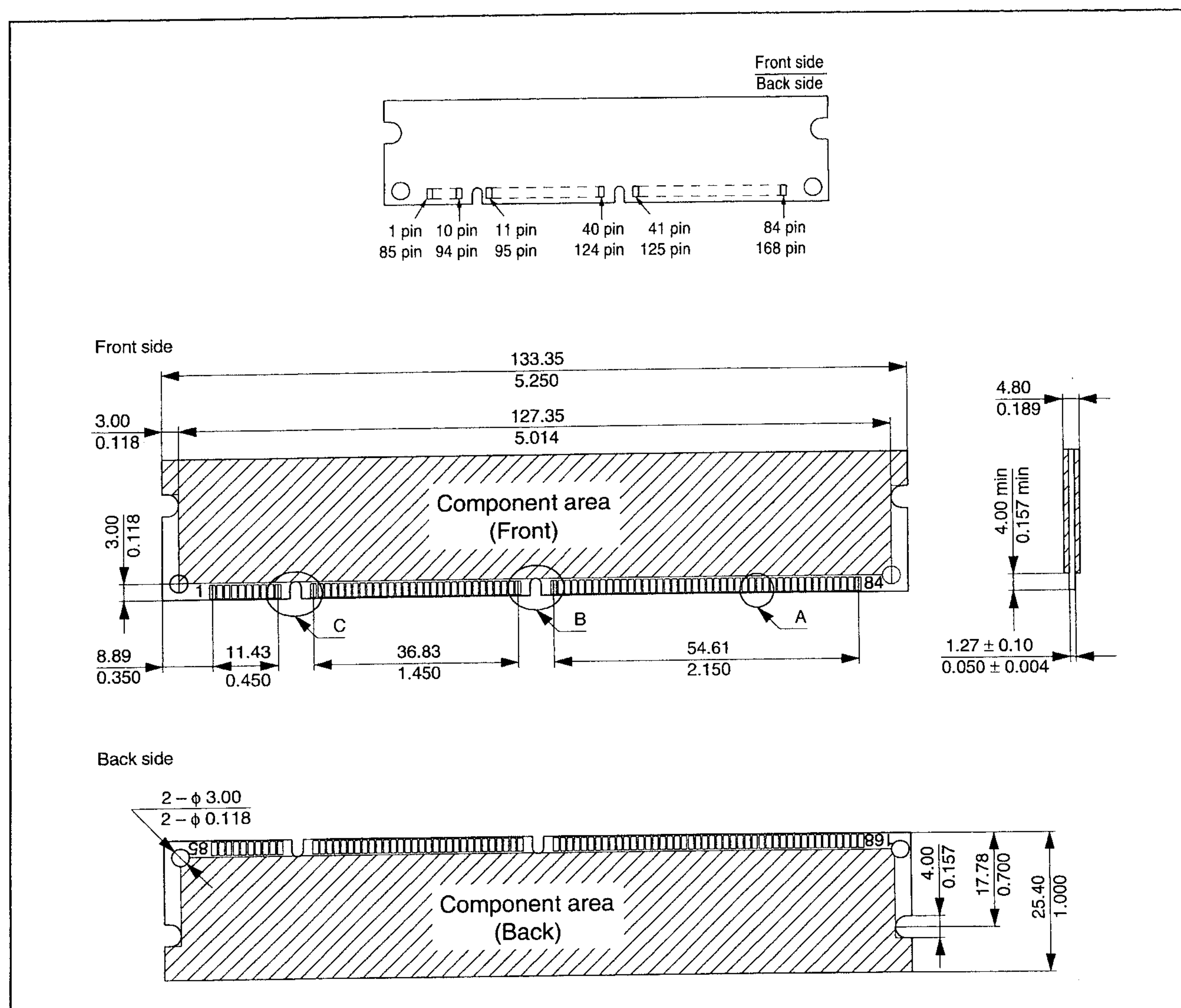
7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
79	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
80	Manufacturer's part number	0	0	1	1	0	1	0	0	34	4
81	Manufacturer's part number	0	1	0	0	0	1	0	1	45	E
82	Manufacturer's part number	0	1	0	1	0	0	1	1	53	S
83	Manufacturer's part number	0	1	0	0	1	1	1	0	4E	N
84	Manufacturer's part number	0	1	0	1	1	1	1	1	5F	—
85	Manufacturer's part number -6	0	0	1	1	0	1	1	0	36	6
	-7	0	0	1	1	0	1	1	1	37	7
86	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
87	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
88	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
89	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
90	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
91	Revision code	0	0	1	1	0	0	0	0	30	Initial
92	Revision code	0	0	1	0	0	0	0	0	20	(Space)
93	Manufacturing date	×	×	×	×	×	×	×	×	xx	Year-code (binary) *3
94	Manufacturing date	×	×	×	×	×	×	×	×	xx	Week-code (binary) *4
95 to 98	Assembly serial number	*5									
99 to 125	Manufacturer specific data	*6									
126	Reserved	0	0	0	0	0	0	0	0	00	Not use
127	Reserved	0	0	0	0	0	0	0	0	00	Not use

Notes:
1. All serial PD data are not protected. 0: Serial data, "Low level", 1: Serial data, "High level"
2. Byte72 is manufacturing location code. (ex: in case of Japan, byte72 is 4Ah. 4Ah shows "J" on ASCII code.)
3. Byte 93 (Manufacturing date-year code) ex: 61h shows year 97, 62h shows year 98.
4. Byte 94 (Manufacturing date-week code) ex: 0Bh shows week 11, 24h shows week 36.
5. Bytes 95 through 98 are assembly serial number.
6. All bits of 99 through 125 are not defined ("1" or "0").

Tabel 8/7.2.2-98b: Tweede deel van de seriële PD (aanwezigheidsdetectie) Matrix van de HB56S864ESN.

7.2 DRAM-modulen



Figuur 8/7.2.2-43: Vorm, pen-telling en afmetingen van de HB56SW864ES.

HB56SW864ES

8M x 64 EDO DRAM-module (gebufferd)

De HB56SW864ES is een 8M x 64 bit dynamische RAM-module, bestaande uit 32 stuks HM51W16405 (4M x 4 bit DRAM) in TCP-behuizingen, één 74ALVCH16244 (16 bit CMOS line-driver) en één 74ALVCH16827 (20 bit CMOS line-driver), beide in TSSOP-behuizing. De componenten bevinden zich aan twee zijden van de 4,8 mm dikke module. Net als bij de DRAM's waaruit de module is opgebouwd, kan de module in de Extended Data Out mode worden gebruikt.

De HB56SW864ES is geschikt voor zowel 64 bit als 32 bit toepassingen en heeft de vorm van een 168-pens dual-lead-out printje (DIMM-168). De module is voorzien van alle benodigde ontkoppel-condensatoren en heeft gemeenschappelijke data in- en uitgangen.
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM51W16405 (deel 8/3.4.1):

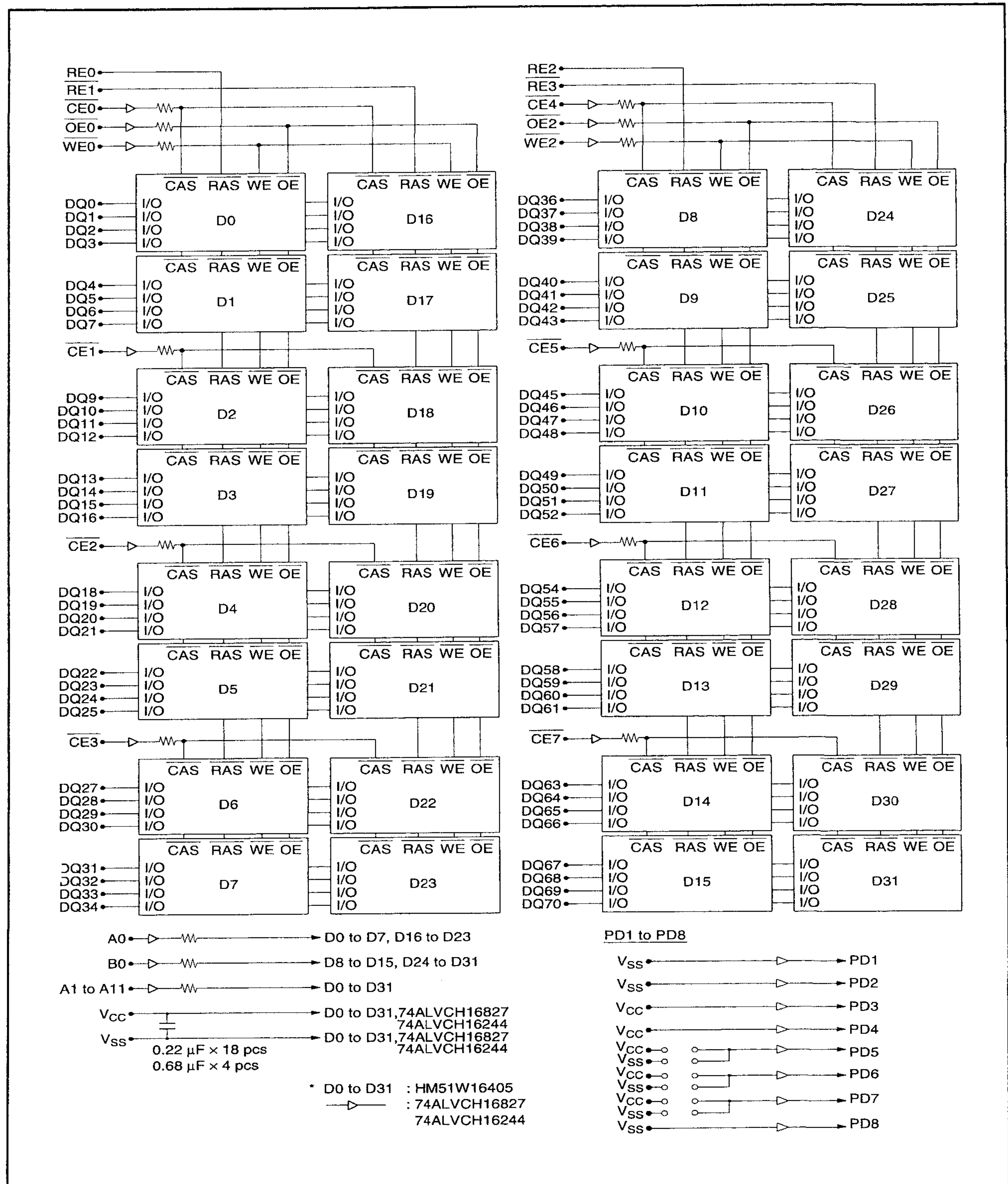
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	13	DQ9	25	NC	37	A8
2	DQ0	14	DQ10	26	V_{cc}	38	A10
3	DQ1	15	DQ11	27	$\overline{WE0}$	39	NC
4	DQ2	16	DQ12	28	$\overline{CE0}$	40	V_{cc}
5	DQ3	17	DQ13	29	$\overline{CE2}$	41	NC
6	V_{cc}	18	V_{cc}	30	$\overline{RE0}$	42	NC
7	DQ4	19	DQ14	31	$\overline{OE0}$	43	V_{ss}
8	DQ5	20	DQ15	32	V_{ss}	44	$\overline{OE2}$
9	DQ6	21	DQ16	33	A0	45	$\overline{RE2}$
10	DQ7	22	NC	34	A2	46	$\overline{CE4}$
11	NC	23	V_{ss}	35	A4	47	$\overline{CE6}$
12	V_{ss}	24	NC	36	A6	48	$\overline{WE2}$
49	V_{cc}	79	PD1	109	NC	139	DQ56
50	NC	80	PD3	110	V_{cc}	140	DQ57
51	NC	81	PD5	111	NC	141	DQ58
52	DQ18	82	PD7	112	$\overline{CE1}$	142	DQ59
53	DQ19	83	ID0 (V_{ss})	113	$\overline{RE3}$	143	V_{cc}
54	V_{ss}	84	V_{cc}	114	$\overline{RE1}$	144	DQ60
55	DQ20	85	V_{ss}	115	NC	145	NC
56	DQ21	86	DQ36	116	V_{ss}	146	NC
57	DQ22	87	DQ37	117	A1	147	NC
58	DQ23	88	DQ38	118	A3	148	NC
59	V_{cc}	89	DQ39	119	A5	149	DQ61
60	DQ24	90	V_{cc}	120	A7	150	NC
61	NC	91	DQ40	121	A9	151	DQ63
62	NC	92	DQ41	122	A11	152	V_{ss}
63	NC	93	DQ42	123	NC	153	DQ64
64	NC	94	DQ43	124	V_{cc}	154	DQ65
65	DQ25	95	NC	125	NC	155	DQ66
66	NC	96	V_{ss}	126	B0	156	DQ67
67	DQ27	97	DQ45	127	V_{ss}	157	V_{cc}
68	V_{ss}	98	DQ46	128	NC	158	DQ68
69	DQ28	99	DQ47	129	$\overline{RE3}$	159	DQ69
70	DQ29	100	DQ48	130	$\overline{CE5}$	160	DQ70
71	DQ30	101	DQ49	131	$\overline{CE7}$	161	NC
72	DQ31	102	V_{cc}	132	$\overline{PDE}$	162	V_{ss}
73	V_{cc}	103	DQ50	133	V_{cc}	163	PD2
74	DQ32	104	DQ51	134	NC	164	PD4
75	DQ33	105	DQ52	135	NC	165	PD6
76	DQ34	106	NC	136	DQ54	166	PD8
77	NC	107	V_{ss}	137	DQ55	167	ID1 (V_{ss})
78	V_{ss}	108	NC	138	V_{ss}	168	V_{cc}

Tabel 8/7.2.2-99: Aansluitingen van de HB56SW864ES (let op nummering!).

7.2 DRAM-modulen



Figuur 8/7.2.2-44: Blokschema van de HB56SW864ES.

7.2 DRAM-modulen

Pin name	Function
A0 to A11, B0	Address Input — Row Address : A0 to A11, B0 — Column Address : A0 to A9, B0 — Refresh Address : A0 to A11, B0
DQ0 to DQ7, DQ9 to DQ16, DQ18 to DQ25, DQ27 to DQ34, DQ36 to DQ43, DQ45 to DQ52, DQ54 to DQ61, DQ63 to DQ70	Data-in/Data-out
$\overline{RE0}$ to $\overline{RE3}$	Row address strobe ($\overline{RAS}$)
$\overline{CE0}$, to $\overline{CE7}$	Column address strobe ($\overline{CAS}$)
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable
$\overline{OE0}$, $\overline{OE2}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
PD1 to PD8	Presence detect
ID0, ID1	ID bit
$\overline{PDE}$	Presence detect enable
NC	No connection

Tabel 8/7.2.2-100: Beschrijving van de pen-functies van de HB56SW864ES.

- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- organisatie: 8M x 64 bit EDO (32 x HM51W16405) plus 1 x 74ALVCH16244 en 1 x 74ALVCH16827
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+0,3 V/-0,15 V) voeding
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 4,93/4,36 W, standby (TTL): 266 mW, (CMOS): 151 mW
- gebufferde ingangen (behalve $\overline{RAS}$ en DQ)
- 4 byte interleave enabled, dual address input (A0/B0)
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- voorzien van aanwezigheidsdetectie-pennen
- fabrikant: Hitachi

7.2 DRAM-modulen

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	Pt	33	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-101: Maximaal toegelaten waarden voor de HB56SW864ES.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.15	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

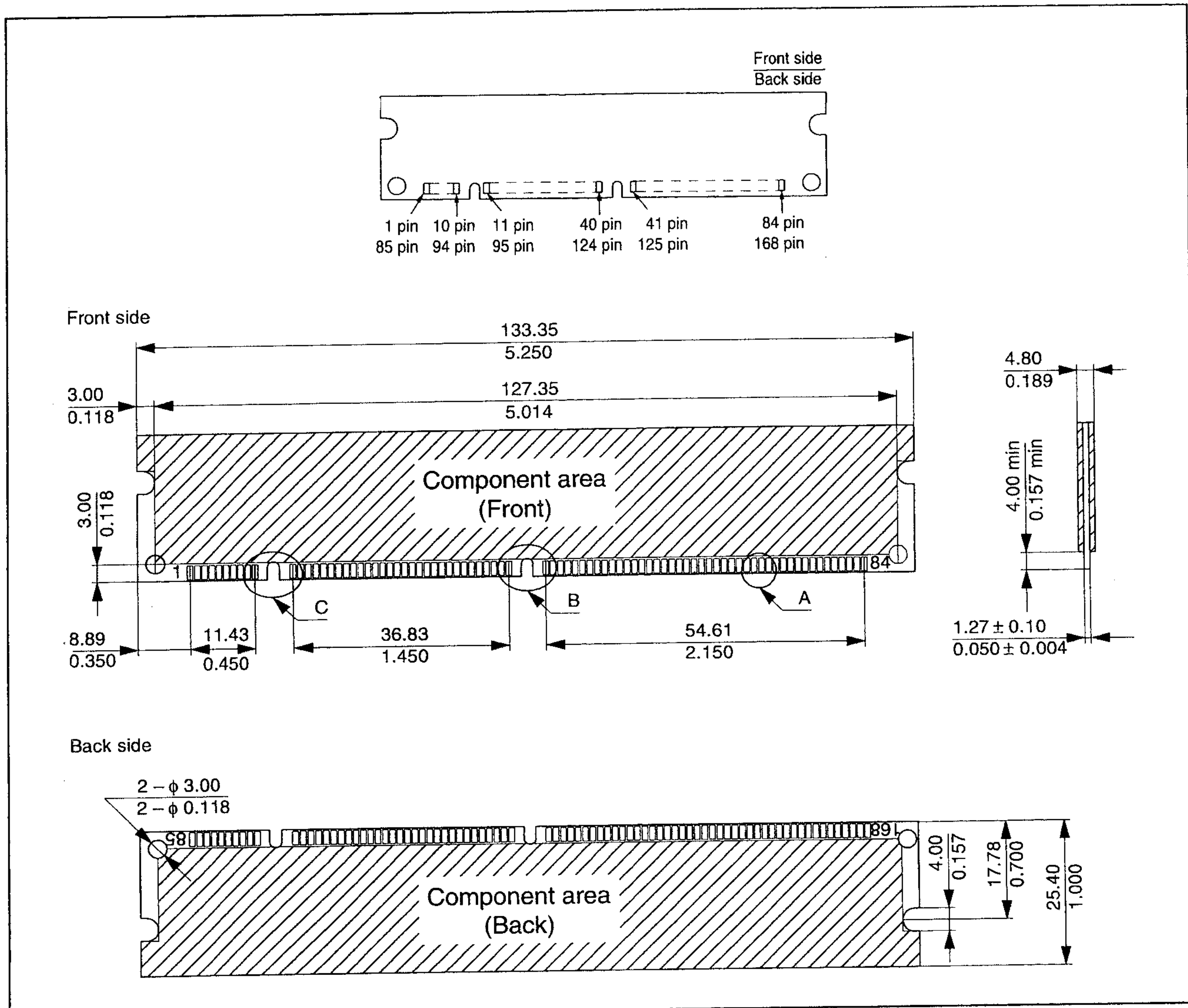
Tabel 8/7.2.2-102: Aanbevolen bedrijfscondities voor de HB56SW864ES.

		$\overline{PDE}$ = Low		$\overline{PDE}$ = High
Pin name	**Pin No.**	**60 ns**	**70 ns**	**All**
PD1	79	0	0	High-Z
PD2	163	0	0	High-Z
PD3	80	1	1	High-Z
PD4	164	1	1	High-Z
PD5	81	1	1	High-Z
PD6	165	1	0	High-Z
PD7	82	1	1	High-Z
PD8	166	1	1	High-Z

Note: 1: High level (Driver output)
0: Low level (Driver output)

Tabel 8/7.2.2-103: Signalen op de aanwezigheidsdetectie-pennen van de HB56SW864ES.

7.2 DRAM-modulen



Figuur 8/7.2.2-45: Vorm, pen-telling en afmetingen van de HB56SW864ESN.

HB56SW864ESN

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56SW864ESN is een 8M x 64 bit dynamische RAM-module, samengesteld uit 32 stuks HM51W16405 (4M x 4 bit DRAM's) in TCP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de zeer dunne 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is samengesteld, kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56SW864ESN is (onder elke TCP) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM51W16405 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.

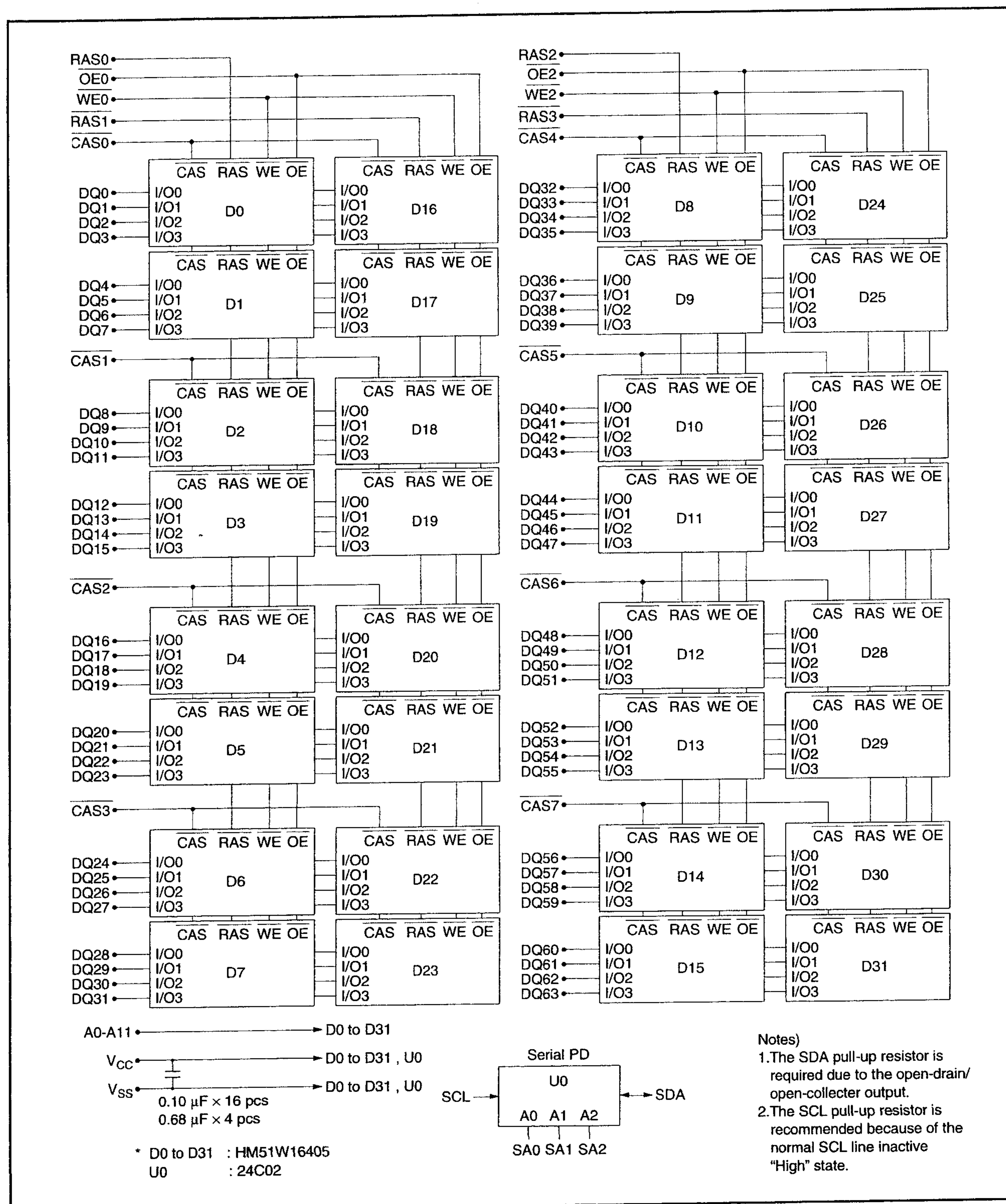
(wordt vervolgd)

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{SS}	36	A6	71	DQ26	106	(NC)[*6]
2	DQ0	37	A8	72	DQ27	107	V_{SS}
3	DQ1	38	A10	73	V_{CC}	108	NC
4	DQ2	39	NC	74	DQ28	109	NC
5	DQ3	40	V_{CC}	75	DQ29	110	V_{CC}
6	V_{CC}	41	V_{CC}	76	DQ30	111	NC
7	DQ4	42	NC	77	DQ31	112	$\overline{CAS4}$
8	DQ5	43	V_{SS}	78	V_{SS}	113	$\overline{CAS5}$
9	DQ6	44	$\overline{OE2}$	79	NC	114	$\overline{RAS1}$
10	DQ7	45	$\overline{RAS2}$	80	NC	115	NC
11	DQ8	46	$\overline{CAS2}$	81	NC	116	V_{SS}
12	V_{SS}	47	$\overline{CAS3}$	82	SDA	117	A1
13	DQ9	48	$\overline{WE2}$	83	SCL	118	A3
14	DQ10	49	V_{CC}	84	V_{CC}	119	A5
15	DQ11	50	NC	85	V_{SS}	120	A7
16	DQ12	51	NC	86	DQ32	121	A9
17	DQ13	52	(NC)[*3]	87	DQ33	122	A11
18	V_{CC}	53	(NC)[*4]	88	DQ34	123	NC
19	DQ14	54	V_{SS}	89	DQ35	124	V_{CC}
20	DQ15	55	DQ16	90	V_{CC}	125	NC
21	(NC)[*1]	56	DQ17	91	DQ36	126	NC
22	(NC)[*2]	57	DQ18	92	DQ37	127	V_{SS}
23	V_{SS}	58	DQ19	93	DQ38	128	NC
24	NC	59	V_{CC}	94	DQ39	129	$\overline{RAS3}$
25	NC	60	DQ20	95	DQ40	130	$\overline{CAS6}$
26	V_{CC}	61	NC	96	V_{SS}	131	$\overline{CAS7}$
27	$\overline{WE0}$	62	NC	97	DQ41	132	NC
28	$\overline{CAS0}$	63	NC	98	DQ42	133	V_{CC}
29	$\overline{CAS1}$	64	V_{SS}	99	DQ43	134	NC
30	$\overline{RAS0}$	65	DQ21	100	DQ44	135	NC
31	$\overline{OE0}$	66	DQ22	101	DQ45	136	(NC)[*7]
32	V_{SS}	67	DQ23	102	V_{CC}	137	(NC)[*8]
33	A0	68	V_{SS}	103	DQ46	138	V_{SS}
34	A2	69	DQ24	104	DQ47	139	DQ48
35	A4	70	DQ25	105	(NC)[*5]	140	DQ49
141	DQ50	148	V_{SS}	155	DQ58	162	V_{SS}
142	DQ51	149	DQ53	156	DQ59	163	NC
143	V_{CC}	150	DQ54	157	V_{CC}	164	NC
144	DQ52	151	DQ55	158	DQ60	165	SA0
145	NC	152	V_{SS}	159	DQ61	166	SA1
146	NC	153	DQ56	160	DQ62	167	SA2
147	NC	154	DQ57	161	DQ63	168	V_{CC}

Tabel 8/7.2.2-104: Aansluitingen van de HB56SW864ESN (let op nummering!).

7.2 DRAM-modulen



Figuur 8/7.2.2-46: Blokschema van de HB56SW864ESN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11	Address input	
	— Row address:	A0 to A11
	— Column address:	A0 to A9
	— Refresh address:	A0 to A11
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$ to $\overline{RAS3}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data out (Bit0 to 7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-105: Beschrijving van de pen-functies van de HB56SW864ESN.

- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 8M x 64 bit EDO (32 x HM51W16405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+0,3 V/-0,15 V) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 4,90/4,32 W, standby (TTL): 230 mW, (CMOS): 115 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$-only en $\overline{CAS}$-before-$\overline{RAS}$
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}.	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56SW864ESN)	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-106: Maximaal toegelaten waarden voor de HB56SW864ESN.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.15	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-107: Aanbevolen bedrijfscondities voor de HB56SW864ESN.

7.2 DRAM-modulen

Byte number	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comment
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256 Bytes
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of rows	0	0	0	0	1	1	0	0	12
4	Number of columns	0	0	0	0	1	0	1	0	10
5	Number of banks	0	0	0	0	0	0	1	0	2
6	Data width (HB56SW864ESN)	0	1	0	0	0	0	0	0	64
7	Data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface	0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{RAS}$ access time 60 ns	0	0	1	1	1	1	0	0	
	$\overline{RAS}$ access time 70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time 15 ns	0	0	0	0	1	1	1	1	
	$\overline{CAS}$ access time 18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction (HB56SW864ESN)	0	0	0	0	0	0	0	0	Non-parity
12	Refresh period	0	0	0	0	0	0	0	0	Normal (15.625 µs)

Note: 1. Serial-PD Datas are not protected.
0: Serial Data, "driven to Low", 1: Serial Data, "driven to High"

Tabel 8/7.2.2-108: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56SW864ESN.

HB56SW864ESNJ

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56SW864ESNJ is een 8M x 64 bit dynamische RAM-module, bestaande uit 32 stuks HM51W17405 (4M x 4 bit DRAM's) in TCP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De componenten bevinden zich aan beide zijden van de 4,8 mm dunne 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is samengesteld, kan ook de module zelf in de Extended Data Out mode worden gebruikt. De HB56SW864ESNJ is (onder elke TCP) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen. Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM51W17405 (deel 8/3.4.1):

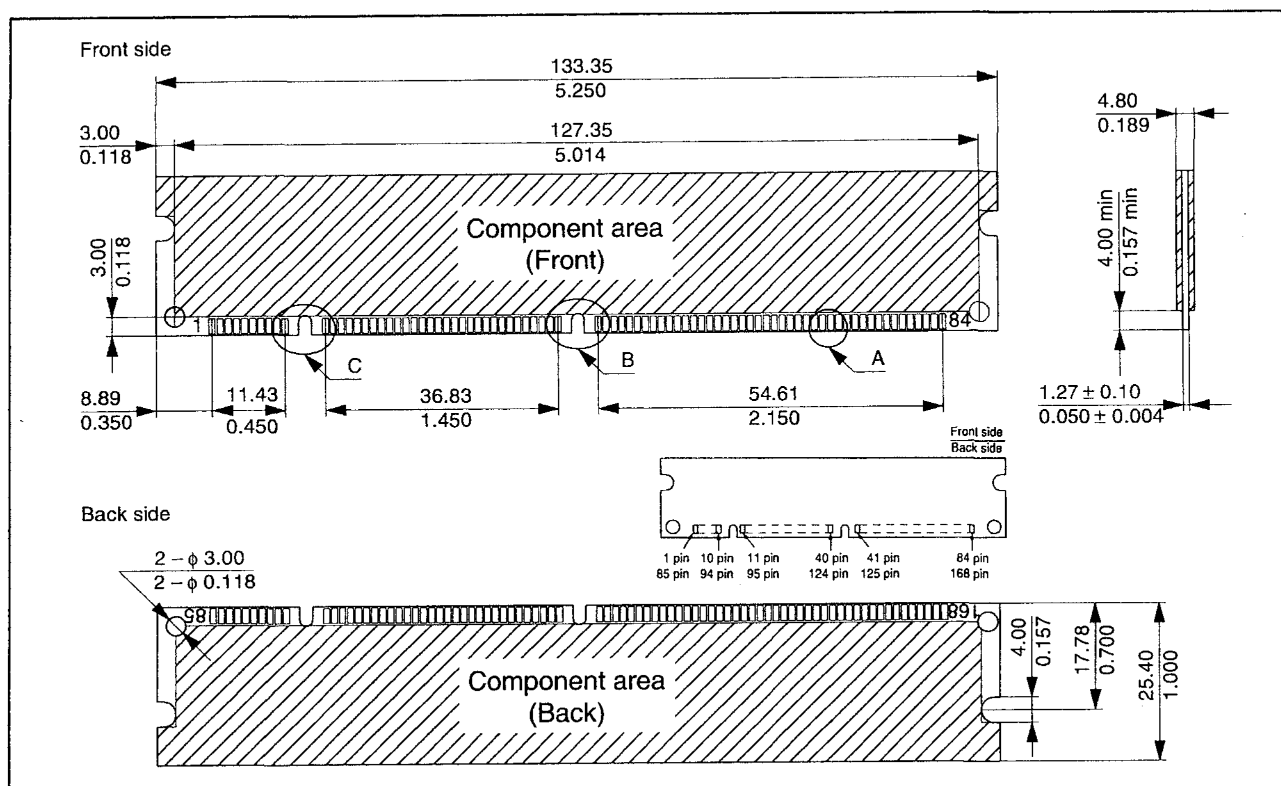
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-34.
- Lees-cycli: tabel 8/3.4.1-35 en figuur 8/3.4.1-38.
- Schrijf-cycli: tabel 8/3.4.1-36 en de figuren 8/3.4.1-39 en -40.
- Refresh-cycli: tabel 8/3.4.1-38 en de figuren 8/3.4.1-42 tot en met -44.
- EDO Page Mode cycli: tabel 8/3.4.1-39 en de figuren 8/3.4.1-45 tot en met -48.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 8M x 64 bit EDO (32 x HM51W16405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+0,3 V/-0,15 V) voeding
- vergulde contacten

7.2 DRAM-modulen

- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 5,47/4,90 W, standby (TTL): 230 mW, (CMOS): 115 mW
- EDO Page mode mogelijk
- refresh-periode: 2.048 refresh-cycli: 32 ms
- 2 soorten refresh mogelijk: $\overline{RAS}$ only en $\overline{CAS}$-before-$\overline{RAS}$
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi



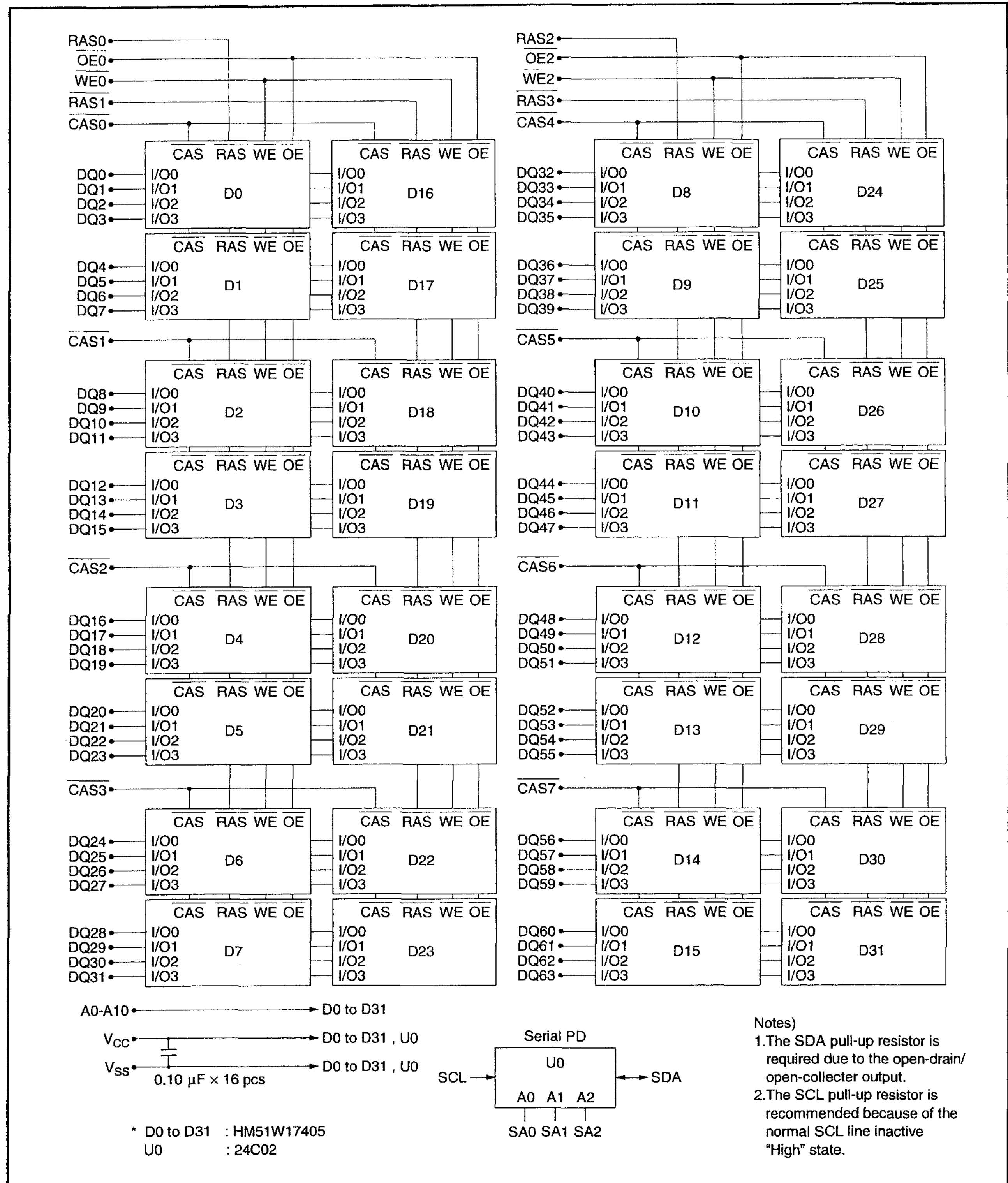
Figuur 8/7.2.2-47: Vorm, pen-telling en afmetingen van de HB56SW864ESNJ.

7.2 DRAM-modulen

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	V_{ss}	36	A6	71	DQ26	106	(NC)*6
2	DQ0	37	A8	72	DQ27	107	V_{ss}
3	DQ1	38	A10	73	V_{cc}	108	NC
4	DQ2	39	NC	74	DQ28	109	NC
5	DQ3	40	V_{cc}	75	DQ29	110	V_{cc}
6	V_{cc}	41	V_{cc}	76	DQ30	111	NC
7	DQ4	42	NC	77	DQ31	112	$\overline{CAS4}$
8	DQ5	43	V_{ss}	78	V_{ss}	113	$\overline{CAS5}$
9	DQ6	44	$\overline{OE2}$	79	NC	114	$\overline{RAS1}$
10	DQ7	45	$\overline{RAS2}$	80	NC	115	NC
11	DQ8	46	$\overline{CAS2}$	81	NC	116	V_{ss}
12	V_{ss}	47	$\overline{CAS3}$	82	SDA	117	A1
13	DQ9	48	$\overline{WE2}$	83	SCL	118	A3
14	DQ10	49	V_{cc}	84	V_{cc}	119	A5
15	DQ11	50	NC	85	V_{ss}	120	A7
16	DQ12	51	NC	86	DQ32	121	A9
17	DQ13	52	(NC)*3	87	DQ33	122	NC
18	V_{cc}	53	(NC)*4	88	DQ34	123	NC
19	DQ14	54	V_{ss}	89	DQ35	124	V_{cc}
20	DQ15	55	DQ16	90	V_{cc}	125	NC
21	(NC)*1	56	DQ17	91	DQ36	126	NC
22	(NC)*2	57	DQ18	92	DQ37	127	V_{ss}
23	V_{ss}	58	DQ19	93	DQ38	128	NC
24	NC	59	V_{cc}	94	DQ39	129	$\overline{RAS3}$
25	NC	60	DQ20	95	DQ40	130	$\overline{CAS6}$
26	V_{cc}	61	NC	96	V_{ss}	131	$\overline{CAS7}$
27	$\overline{WE0}$	62	NC	97	DQ41	132	NC
28	$\overline{CAS0}$	63	NC	98	DQ42	133	V_{cc}
29	$\overline{CAS1}$	64	V_{ss}	99	DQ43	134	NC
30	$\overline{RAS0}$	65	DQ21	100	DQ44	135	NC
31	$\overline{OE0}$	66	DQ22	101	DQ45	136	(NC)*7
32	V_{ss}	67	DQ23	102	V_{cc}	137	(NC)*8
33	A0	68	V_{ss}	103	DQ46	138	V_{ss}
34	A2	69	DQ24	104	DQ47	139	DQ48
35	A4	70	DQ25	105	(NC)*5	140	DQ49
141	DQ50	148	V_{ss}	155	DQ58	162	V_{ss}
142	DQ51	149	DQ53	156	DQ59	163	NC
143	V_{cc}	150	DQ54	157	V_{cc}	164	NC
144	DQ52	151	DQ55	158	DQ60	165	SA0
145	NC	152	V_{ss}	159	DQ61	166	SA1
146	NC	153	DQ56	160	DQ62	167	SA2
147	NC	154	DQ57	161	DQ63	168	V_{cc}

Tabel 8/7.2.2-109: Aansluitingen van de HB56SW864ESNJ (let op nummering in tabel!).

7.2 DRAM-modulen



Figuur 8/7.2.2-48: Blokschema van de HB56SW864ESNJ.

7.2 DRAM-modulen

Pin name	Function	
A0 to A10	Address input	
	— Row address:	A0 to A10
	— Column address:	A0 to A10
	— Refresh address:	A0 to A10
DQ0 to DQ63	Data-in/data-out	
$\overline{RAS0}$ to $\overline{RAS3}$	Row address strobe	
$\overline{CAS0}$ to $\overline{CAS7}$	Column address strobe	
$\overline{WE0}$, $\overline{WE2}$	Read/Write enable	
$\overline{OE0}$, $\overline{OE2}$	Output enable	
SDA	Serial data out (Bit0 to 7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{cc}	Power supply	
V_{ss}	Ground	
NC	No connection	

Tabel 8/7.2.2-110: Beschrijving van de pen-functies van de HB56SW864ESNJ.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}.	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation (HB56SW864ESNJ)	Pt	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

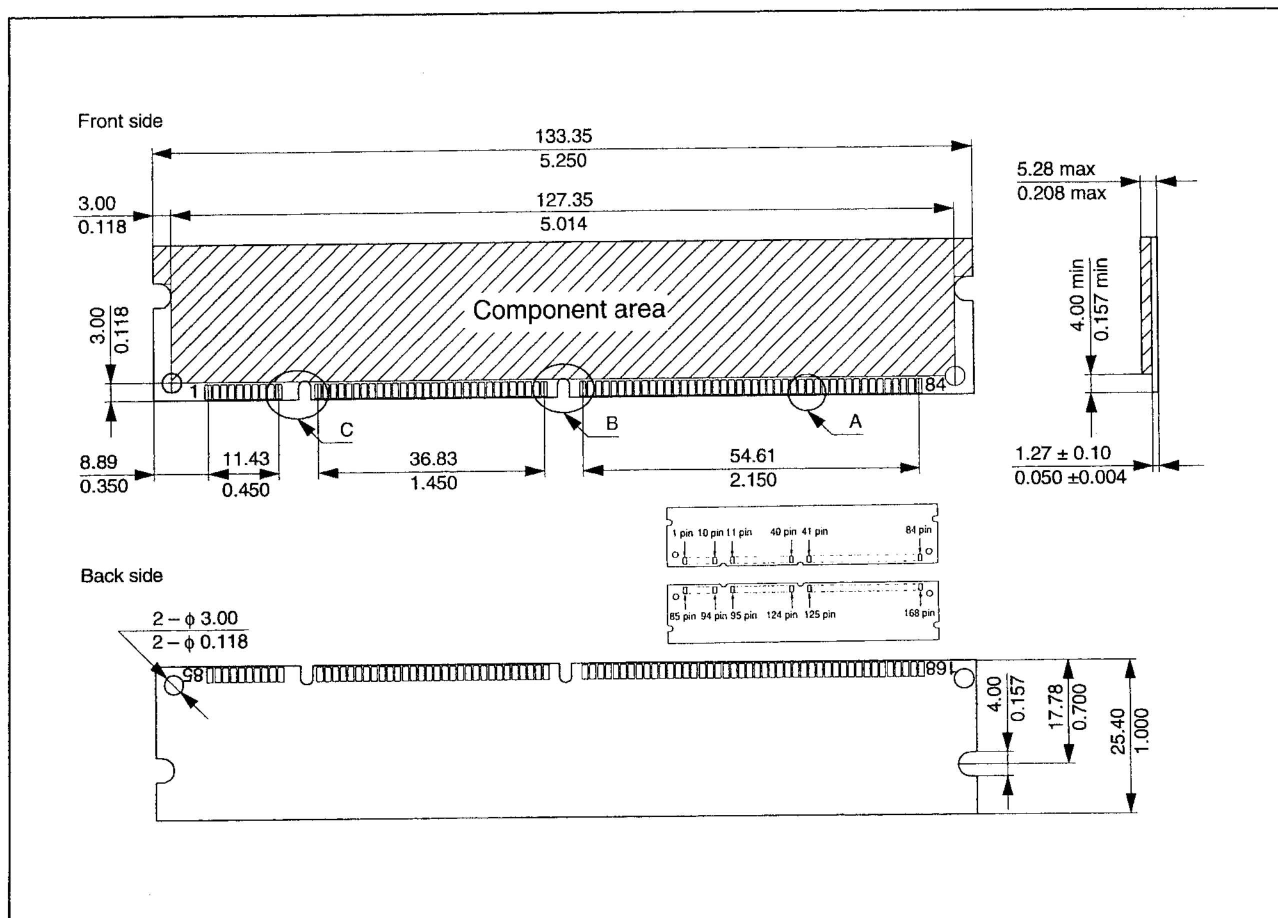
Tabel 8/7.2.2-111: Maximaal toegelaten waarden voor de HB56SW864ESNJ.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{SS}	0	0	0	V
	V_{CC}	3.15	3.3	3.6	V
Input high voltage	V_{IH}	2.0	—	V_{CC} +0.3	V
Input low voltage	V_{IL}	–0.3	—	0.8	V

Note: 1. All voltage referred to V_{SS}.

Tabel 8/7.2.2-112: Aanbevolen bedrijfscondities voor de HB56SW864ESNJ.

7.2 DRAM-modulen



Tabel 8/7.2.2-113: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56SW864ESNJ.

HB56UW864EJN

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW864EJN is een 8M x 64 bit dynamische RAM-module, opgebouwd uit 8 stuks HM5164805AJ (8M x 8 bit DRAM's) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De module is zowel geschikt voor 32 bit als voor 64 bit toepassingen. De componenten bevinden zich aan één zijde van de 168-pens DIMM module. Net als de samenstellende DRAM-IC's kan de module in de Extended Data Out mode worden gebruikt. De HB56UW864EJN is (naast elke SOJ) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5164805 (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-136.
- Lees-cycli: tabel 8/3.4.1-137 en figuur 8/3.4.1-166.
- Schrijf-cycli: tabel 8/3.4.1-138 en de figuren 8/3.4.1-167 en -168.
- Refresh-cycli: tabel 8/3.4.1-140 en de figuren 8/3.4.1-170 tot en met -172.
- EDO Page Mode cycli: tabel 8/3.4.1-141 en de figuren 8/3.4.1-173 tot en met -176.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)

7.2 DRAM-modulen

- 8M x 64 bit EDO (8 x HM5164805) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 3,89/3,31 W, standby (TTL): 57,6 mW, (CMOS): 28,8 mW
- EDO Page mode mogelijk
- refresh-periode: 8.192 refresh-cycli: 64 ms
- 3 soorten refresh mogelijk: $\overline{\text{RAS}}$-only, $\overline{\text{CAS}}$-before-$\overline{\text{RAS}}$ en hidden-refresh
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

Byte number	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comment
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256 Bytes
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of rows	0	0	0	0	1	0	1	1	11
4	Number of columns	0	0	0	0	1	0	1	1	11
5	Number of banks	0	0	0	0	0	0	1	0	2
6	Data width (HB56SW864ESNJ)	0	1	0	0	0	0	0	0	64
7	Data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Voltage interface	0	0	0	0	0	0	0	1	3.3 Volt
9	$\overline{\text{RAS}}$ access time 60 ns	0	0	1	1	1	1	0	0	
	$\overline{\text{RAS}}$ access time 70 ns	0	1	0	0	0	1	1	0	
10	$\overline{\text{CAS}}$ access time 15 ns	0	0	0	0	1	1	1	1	
	$\overline{\text{CAS}}$ access time 18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction (HB56SW864ESNJ)	0	0	0	0	0	0	0	0	Non-parity
12	Refresh period	0	0	0	0	0	0	0	0	Normal (15.625 µs)

Note: 1. Serial-PD Datas are not protected.
0: Serial Data, "driven to Low", 1: Serial Data, "driven to High"

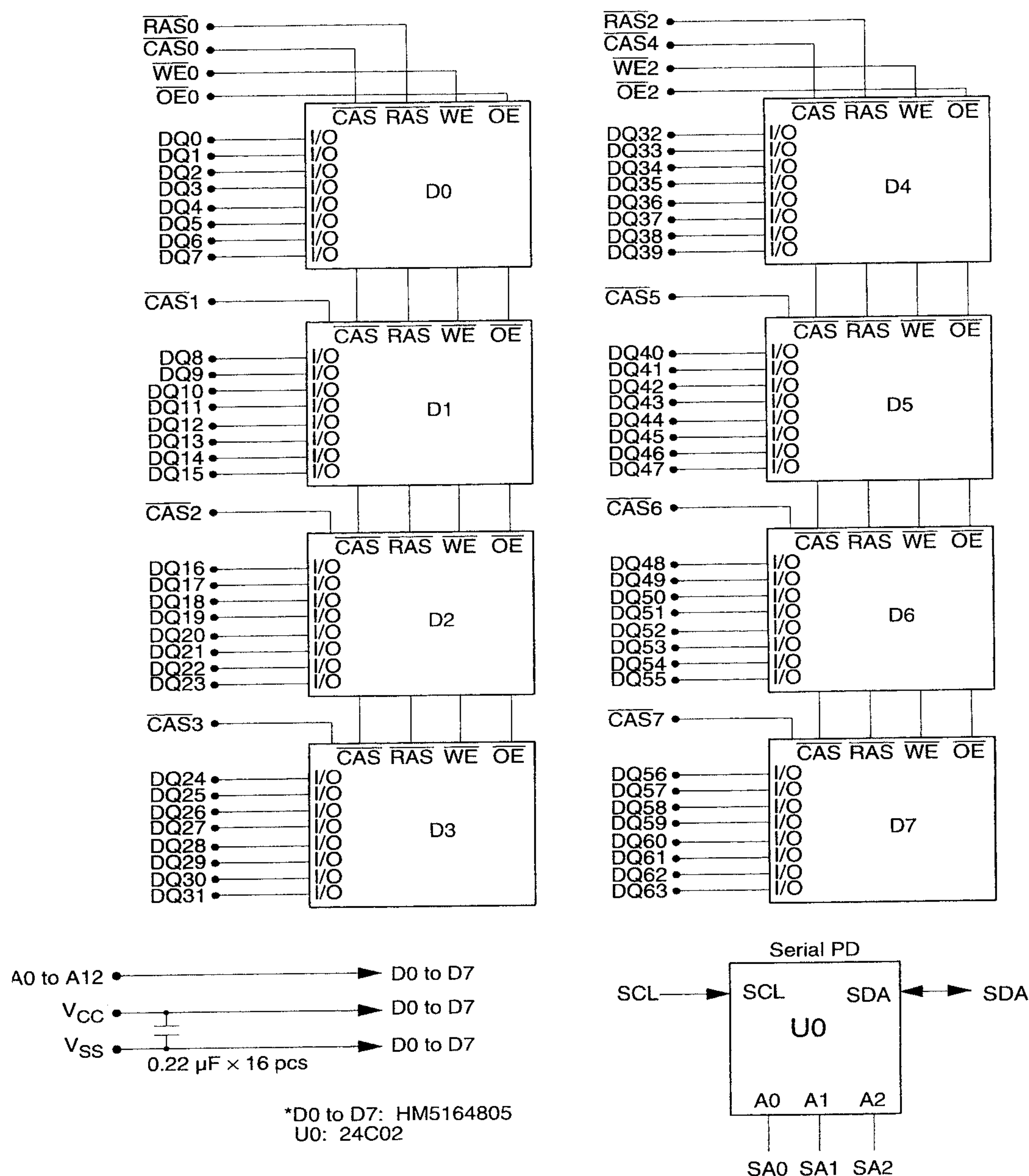
Figuur 8/7.2.2-49: Vorm, pen-telling en afmetingen van de HB56UW864EJN.

7.2 DRAM-modulen

Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE}2$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS}2$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS}2$	88	DQ34	130	$\overline{CAS}6$
5	DQ3	47	$\overline{CAS}3$	89	DQ35	131	$\overline{CAS}7$
6	V_{cc}	48	$\overline{WE}2$	90	V_{cc}	132	NC
7	DQ4	49	V_{cc}	91	DQ36	133	V_{cc}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	NC	94	DQ39	136	NC
11	DQ8	53	NC	95	DQ40	137	NC
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{cc}	101	DQ45	143	V_{cc}
18	V_{cc}	60	DQ20	102	V_{cc}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	NC	63	NC	105	NC	147	NC
22	NC	64	V_{ss}	106	NC	148	V_{ss}
23	V_{ss}	65	DQ21	107	V_{ss}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE}0$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS}0$	70	DQ25	112	$\overline{CAS}4$	154	DQ57
29	$\overline{CAS}1$	71	DQ26	113	$\overline{CAS}5$	155	DQ58
30	$\overline{RAS}0$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE}0$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ28	116	V_{ss}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	A11	164	NC
39	A12	81	NC	123	NC	165	SA0
40	V_{cc}	82	SDA	124	V_{cc}	166	SA1
41	V_{cc}	83	SCL	125	NC	167	SA2
42	NC	84	V_{cc}	126	NC	168	V_{cc}

Tabel 8/7.2.2-114: Aansluitingen van de HB56UW864EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-50: Blokschema van de HB56UW864EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A12	Address input	
	— Row address	A0 to A12
	— Column address	A0 to A9
	— Refresh address	A0 to A12
DQ0 to DQ63	Data input/output	
$\overline{RAS}0$, $\overline{RAS}2$	Row address strobe	
$\overline{CAS}0$ to $\overline{CAS}7$	Column address strobe	
$\overline{WE}0$, $\overline{WE}2$	Read/Write enable	
$\overline{OE}0$, $\overline{OE}2$	Output enable	
SDA	Serial data out (bit0 to bit7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-115: Beschrijving van de pen-functies van de HB56UW864EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	8.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-116: Maximaal toegelaten waarden voor de HB56UW864EJN.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note:
1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-117: Aanbevolen bedrijfscondities voor de HB56UW864EJN.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256byte
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of row addresses	0	0	0	0	1	1	0	0	10
4	Number of column addresses	0	0	0	0	1	0	1	1	11
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Module data width	0	1	0	0	0	0	0	0	64
7	Module data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Module supply voltage/interface levels	0	0	0	0	0	0	0	1	3.3 V
9	$\overline{RAS}$ access time									
	60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time									
	15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction	0	0	0	0	0	0	0	0	None
12	Refresh rate/type	0	0	0	0	0	0	1	0	Reduced (7.8 µs)

Note: 1. 0: Serial data, "driven Low", 1: Serial data, "driven High"
Serial PD data are not protected.

Tabel 8/7.2.2-118: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW864EJN.

HB56UW865DB

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW865DB is een 8M x 64 bit dynamische RAM-module, bestaande uit 8 stuks HM5165805ATT/ALTT (8M x 8 bit DRAM's) in TSOP-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD).

De componenten bevinden zich aan twee zijden van de 144-pens Zig Zag Dual tabs socket-type module. Net als de DRAM-IC's, waaruit de module is opgebouwd, kan deze in de Extended Data Out mode worden gebruikt.

De HB56UW865DB is (naast elke TSOP) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5165805 (deel 8/3.4.1):

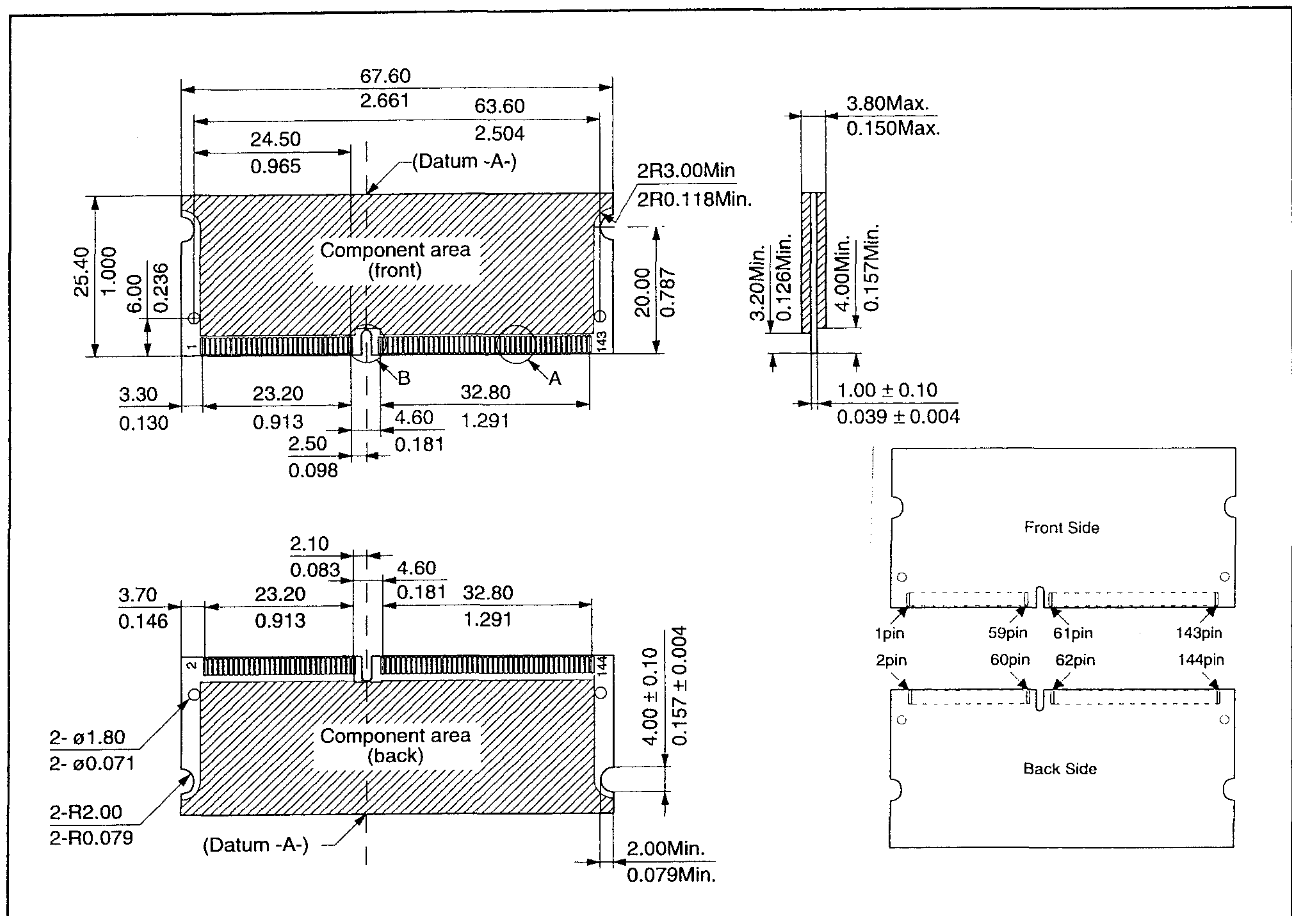
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-136.
- Lees-cycli: tabel 8/3.4.1-137 en figuur 8/3.4.1-166.
- Schrijf-cycli: tabel 8/3.4.1-138 en de figuren 8/3.4.1-167 en -168.
- Refresh-cycli: tabel 8/3.4.1-140 en de figuren 8/3.4.1-170 tot en met -172.
- EDO Page Mode cycli: tabel 8/3.4.1-141 en de figuren 8/3.4.1-173 tot en met -176.

Specificaties

- 144-pens SO DIMM (Zig Zag Dual tabs socket-type)

7.2 DRAM-modulen

- 8M x 64 bit EDO (8 x HM5165805) en 1 x 24C02
- enkele +3,3 V (+/-0,3 V) voeding
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 4,76/4,18 W, standby (TTL): 57,6 mW, (CMOS): 28,8 mW, (CMOS L-versie): 5,8 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms, L-versie: 128 ms
- 4 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$, hidden-refresh en self-refresh (alleen L-versie)
- aanwezigheidsdetectie via I^{2}C-bus
- fabrikant: Hitachi



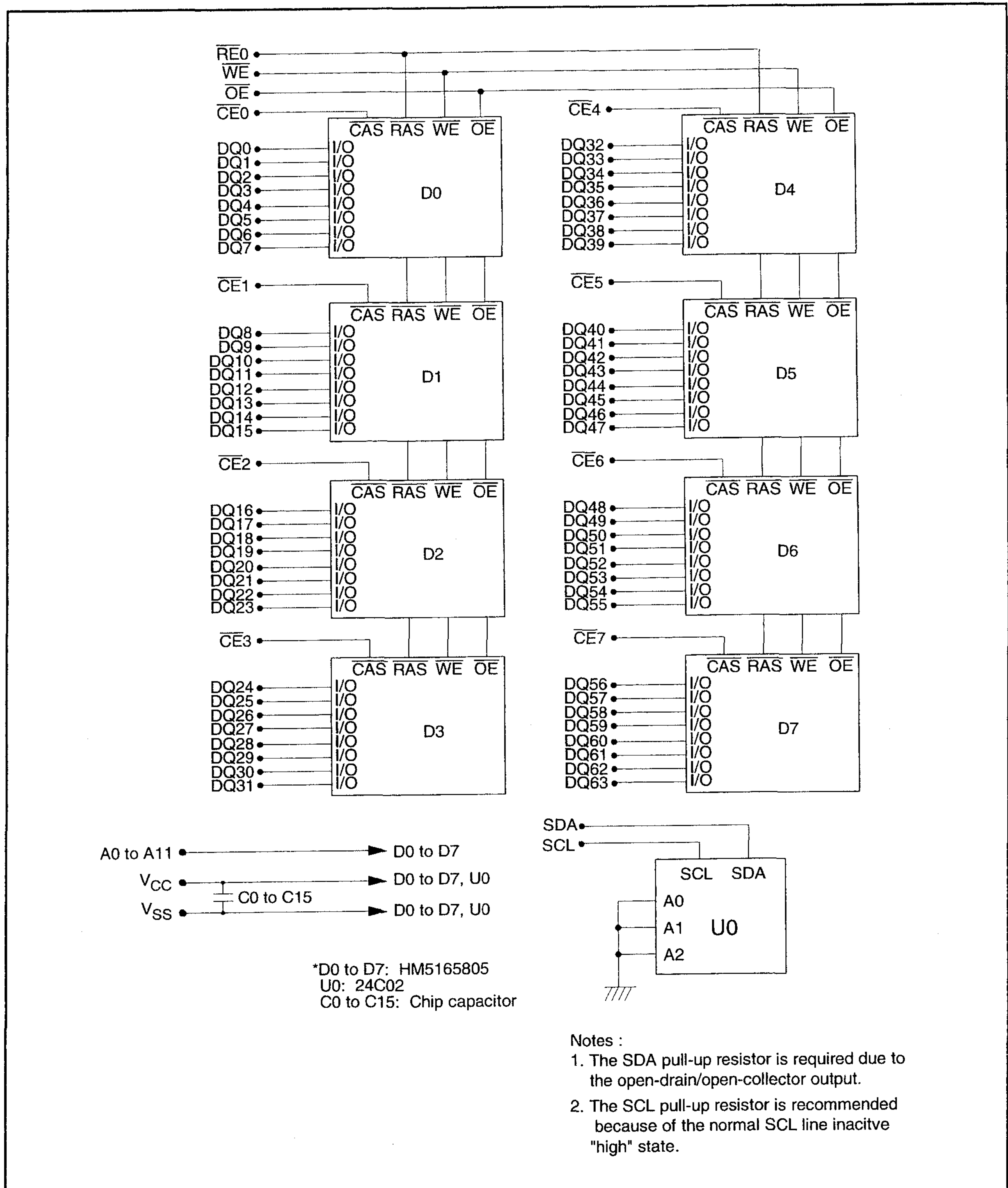
Figuur 8/7.2.2-51: Vorm, pen-telling (zig-zag genummerd) en afmetingen van de HB56UW865DB.

7.2 DRAM-modulen

Front side				Back side			
Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{SS}	73	$\overline{OE}$	2	V_{SS}	74	NC
3	DQ0	75	V_{SS}	4	DQ32	76	V_{SS}
5	DQ1	77	NC	6	DQ33	78	NC
7	DQ2	79	NC	8	DQ34	80	NC
9	DQ3	81	V_{CC}	10	DQ35	82	V_{CC}
11	V_{CC}	83	DQ16	12	V_{CC}	84	DQ48
13	DQ4	85	DQ17	14	DQ36	86	DQ49
15	DQ5	87	DQ18	16	DQ37	88	DQ50
17	DQ6	89	DQ19	18	DQ38	90	DQ51
19	DQ7	91	V_{SS}	20	DQ39	92	V_{SS}
21	V_{SS}	93	DQ20	22	V_{SS}	94	DQ52
23	$\overline{CE0}$	95	DQ21	24	$\overline{CE4}$	96	DQ53
25	$\overline{CE1}$	97	DQ22	26	$\overline{CE5}$	98	DQ54
27	V_{CC}	99	DQ23	28	V_{CC}	100	DQ55
29	A0	101	V_{CC}	30	A3	102	V_{CC}
31	A1	103	A6	32	A4	104	A7
33	A2	105	A8	34	A5	106	A11
35	V_{SS}	107	V_{SS}	36	V_{SS}	108	V_{SS}
37	DQ8	109	A9	38	DQ40	110	NC
39	DQ9	111	A10	40	DQ41	112	NC
41	DQ10	113	V_{CC}	42	DQ42	114	V_{CC}
43	DQ11	115	$\overline{CE2}$	44	DQ43	116	$\overline{CE6}$
45	V_{CC}	117	$\overline{CE3}$	46	V_{CC}	118	$\overline{CE7}$
47	DQ12	119	V_{SS}	48	DQ44	120	V_{SS}
49	DQ13	121	DQ24	50	DQ45	122	DQ56
51	DQ14	123	DQ25	52	DQ46	124	DQ57
53	DQ15	125	DQ26	54	DQ47	126	DQ58
55	V_{SS}	127	DQ27	56	V_{SS}	128	DQ59
57	NC	129	V_{CC}	58	NC	130	V_{CC}
59	NC	131	DQ28	60	NC	132	DQ60
61	NC	133	DQ29	62	NC	134	DQ61
63	V_{CC}	135	DQ30	64	V_{CC}	136	DQ62
65	NC	137	DQ31	66	NC	138	DQ63
67	$\overline{WE}$	139	V_{SS}	68	NC	140	V_{SS}
69	$\overline{RE0}$	141	SDA	70	NC	142	SCL
71	NC	143	V_{CC}	72	NC	144	V_{CC}

Tabel 8/7.2.2-119: Aansluitingen van de HB56UW865DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-52: Blokschema van de HB56UW865DB.

7.2 DRAM-modulen

Pin name	Function
A0 to A11	Address input Row address A0 to A11 Column address A0 to A10 Refresh address A0 to A11
DQ0 to DQ63	Data input/output
$\overline{RE}$0	Row address strobe ($\overline{RAS}$)
$\overline{CE}$0 to $\overline{CE}$7	Column address strobe ($\overline{CAS}$)
$\overline{WE}$	Read/Write enable
$\overline{OE}$	Output enable
SDA	Serial data for PD
SCL	Serial clock for PD
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

Tabel 8/7.2.2-120: Beschrijving van de pen-functies van de HB56UW865DB.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	8.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-121: Maximaal toegelaten waarden voor de HB56UW865DB.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Notes: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-122: Aanbevolen bedrijfscondities voor de HB56UW865DB.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
0	Number of bytes used by module manufacturer	1	0	0	0	0	0	0	0	80	128
1	Total SPD memory size	0	0	0	0	1	0	0	0	08	256 byte
2	Memory type	0	0	0	0	0	0	1	0	02	EDO
3	Number of row addresses bits	0	0	0	0	1	1	0	0	0C	12
4	Number of column addresses bits	0	0	0	0	1	0	1	1	0B	11
5	Number of banks	0	0	0	0	0	0	0	1	01	1
6	Module data width	0	1	0	0	0	0	0	0	40	64 bits
7	Module data width (continued)	0	0	0	0	0	0	0	0	00	0 (+)
8	Module interface signal levels	0	0	0	0	0	0	0	1	01	LVTTL
9	$\overline{RAS}$ access time -6A/-6AL	0	0	1	1	1	1	0	0	3C	t_{RAC} = 60 ns
	$\overline{RAS}$ access time -7A/-7AL	0	1	0	0	0	1	1	0	46	t_{RAC} = 70 ns
10	$\overline{CAS}$ access time -6A/-6AL	0	0	0	0	1	1	1	1	0F	t_{CAC} = 15 ns
	$\overline{CAS}$ access time -7A/-7AL	0	0	0	1	0	0	1	0	12	t_{CAC} = 18 ns
s11	Module configuration type	0	0	0	0	0	0	0	0	00	Non parity
12	Refresh rate/type -6A/-7A	0	0	0	0	0	0	0	0	00	Normal (15.625 µs)
	Refresh rate/type -6AL/-7AL (L-version)	1	0	0	0	0	0	1	1	83	Self refresh (31.3 µs)
13	DRAM width	0	0	0	0	1	0	0	0	08	8M × 8
14	Error checking DRAM data width	0	0	0	0	0	0	0	0	00	
15 to 31	Reserved for future offerings	0	0	0	0	0	0	0	0	00	
32 to 61	*Superset information*	0	0	0	0	0	0	0	0	00	Future *offerings*
62	SPD revision	0	0	0	0	0	0	0	1	01	Rev. 1
63	Checksum for bytes 0 to 62 -6A	0	0	1	1	0	1	1	1	37	
	Checksum for bytes 0 to 62 -7A	0	1	0	0	0	1	0	0	44	
	Checksum for bytes 0 to 62 -6AL	1	0	1	1	1	0	1	0	BA	
	Checksum for bytes 0 to 62 -7AL	1	1	0	0	0	1	1	1	C7	
64	Manufacturer's JEDEC ID code	0	0	0	0	0	1	1	1	07	Hitachi
65 to 71	Manufacturer's JEDEC ID code	0	0	0	0	0	0	0	0	00	
72	Manufacturing location	×	×	×	×	×	×	×	×	××	*2 (ASCII-8bit code)

Tabel 8/7.2.2-123a: Eerste deel van de seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW865DB.

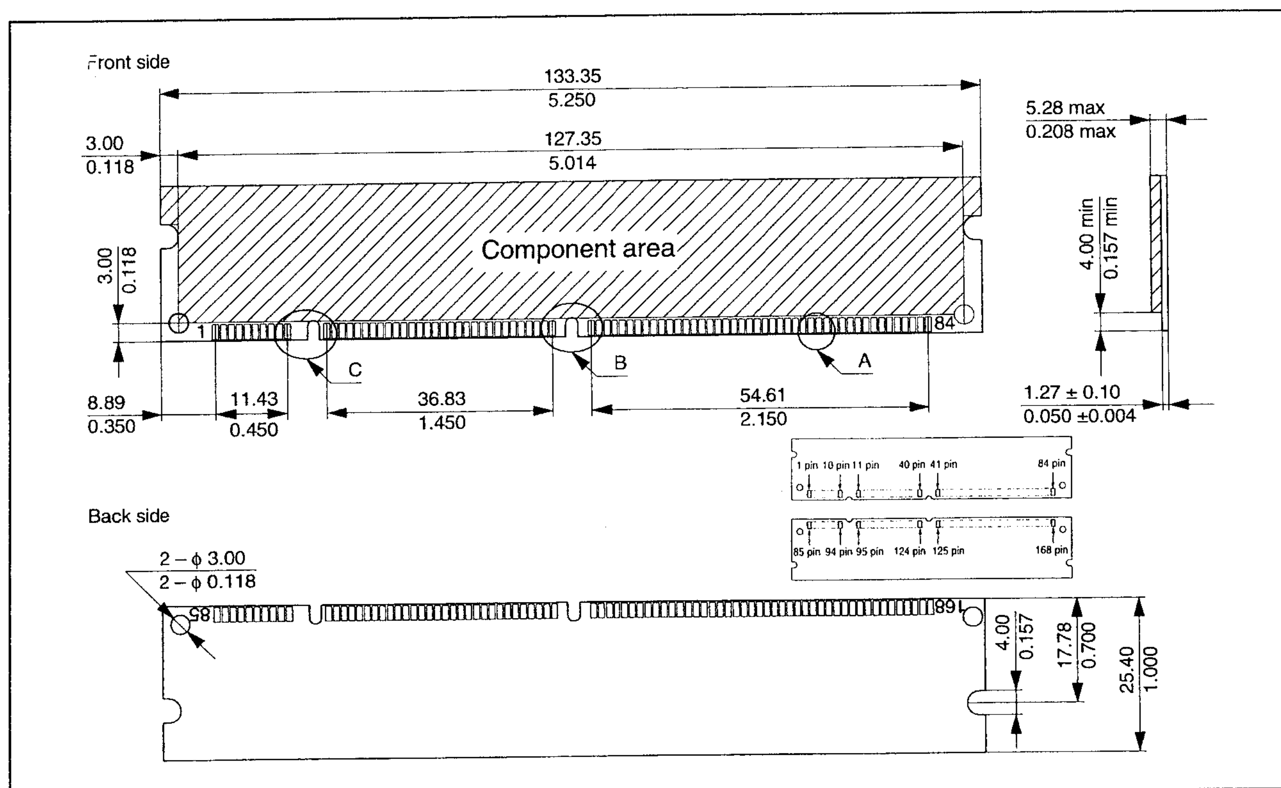
7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Hex value	Comments
73	Manufacturer's part number	0	1	0	0	1	0	0	0	48	H
74	Manufacturer's part number	0	1	0	0	0	0	1	0	42	B
75	Manufacturer's part number	0	0	1	1	0	1	0	1	35	5
76	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
77	Manufacturer's part number	0	1	0	1	0	1	0	1	55	U
78	Manufacturer's part number	0	1	0	1	0	1	1	1	57	W
79	Manufacturer's part number	0	0	1	1	1	0	0	0	38	8
80	Manufacturer's part number	0	0	1	1	0	1	1	0	36	6
81	Manufacturer's part number	0	0	1	1	0	1	0	1	35	5
82	Manufacturer's part number	0	1	0	0	0	1	0	0	44	D
83	Manufacturer's part number	0	1	0	0	0	0	1	0	42	B
84	Manufacturer's part number	0	1	0	1	1	1	1	1	5F	—
85	Manufacturer's part number -6A/-6AL	0	0	1	1	0	1	1	0	36	6
	Manufacturer's part number -7A/-7AL	0	0	1	1	0	1	1	1	37	7
86	Manufacturer's part number	0	1	0	0	0	0	0	1	41	A
87	Manufacturer's part number -6A/-7A	0	0	1	0	0	0	0	0	20	(Space)
	Manufacturer's part number -6AL/-7AL (L-version)	0	1	0	0	1	1	0	0	4C	L
88 to 90	Manufacturer's part number	0	0	1	0	0	0	0	0	20	(Space)
91	Revision code	0	0	1	1	0	0	0	0	30	Initial
92	Revision code	0	0	1	0	0	0	0	0	20	(Space)
93	Manufacturing date (year code)	×	×	×	×	×	×	×	×	xx	Year code*3 (binary)
94	Manufacturing date (week code)	×	×	×	×	×	×	×	×	xx	Week code*4 (binary)
95 to 98	Assembly serial number	*5									
99 to 125	Manufacturer specific data	*6									
126	Reserved	0	0	0	0	0	0	0	0	00	
127	Reserved	0	0	0	0	0	0	0	0	00	

Notes:
1. All serial PD data are not protected. 0: Serial data, "driven Low", 1: Serial data, "driven High"
2. Byte 72 is manufacturing location code. (ex: in case of Japan, byte 72 is 4Ah. 4Ah shows "J" on ASCII code.)
3. Byte 93 (Manufacturing date-year code) ex: 61h shows year '97. 62h shows year '98.
4. Byte 94 (Manufacturing date-week code) ex: 0Bh shows week 11. 24h shows week 36.
5. Byte 95 through 98 are assembly serial number.
6. All bits of byte 99 through 125 are not defined ("1" or "0").

Tabel 8/7.2.2-123b: Vervolg van de seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW865DB.

7.2 DRAM-modulen



Figuur 8/7.2.2-53: Vorm, pen-telling en afmetingen van de HB56UW865EJN.

HB56UW865EJN

8M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW865EJN is een 8M x 64 bit dynamische RAM-module, opgebouwd uit 8 stuks HM5165805AJ (8M x 8 bit DRAM's) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De module is geschikt voor zowel 32 bit als voor 64 bit toepassingen. De componenten bevinden zich aan één zijde van de 168-pens DIMM module. Net als de DRAM-IC's op de module kan deze zelf ook in de Extended Data Out mode worden gebruikt. De HB56UW865EJN is (bij elke SOJ) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5165805A (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-136.
- Lees-cycli: tabel 8/3.4.1-137 en figuur 8/3.4.1-166.
- Schrijf-cycli: tabel 8/3.4.1-138 en de figuren 8/3.4.1-167 en -168.
- Refresh-cycli: tabel 8/3.4.1-140 en de figuren 8/3.4.1-170 tot en met -172.
- EDO Page Mode cycli: tabel 8/3.4.1-141 en de figuren 8/3.4.1-173 tot en met -176.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 8M x 64 bit EDO (8 x HM5165805) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 5,33/4,75 W, standby (TTL): 57,6 mW, (CMOS): 28,8 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms

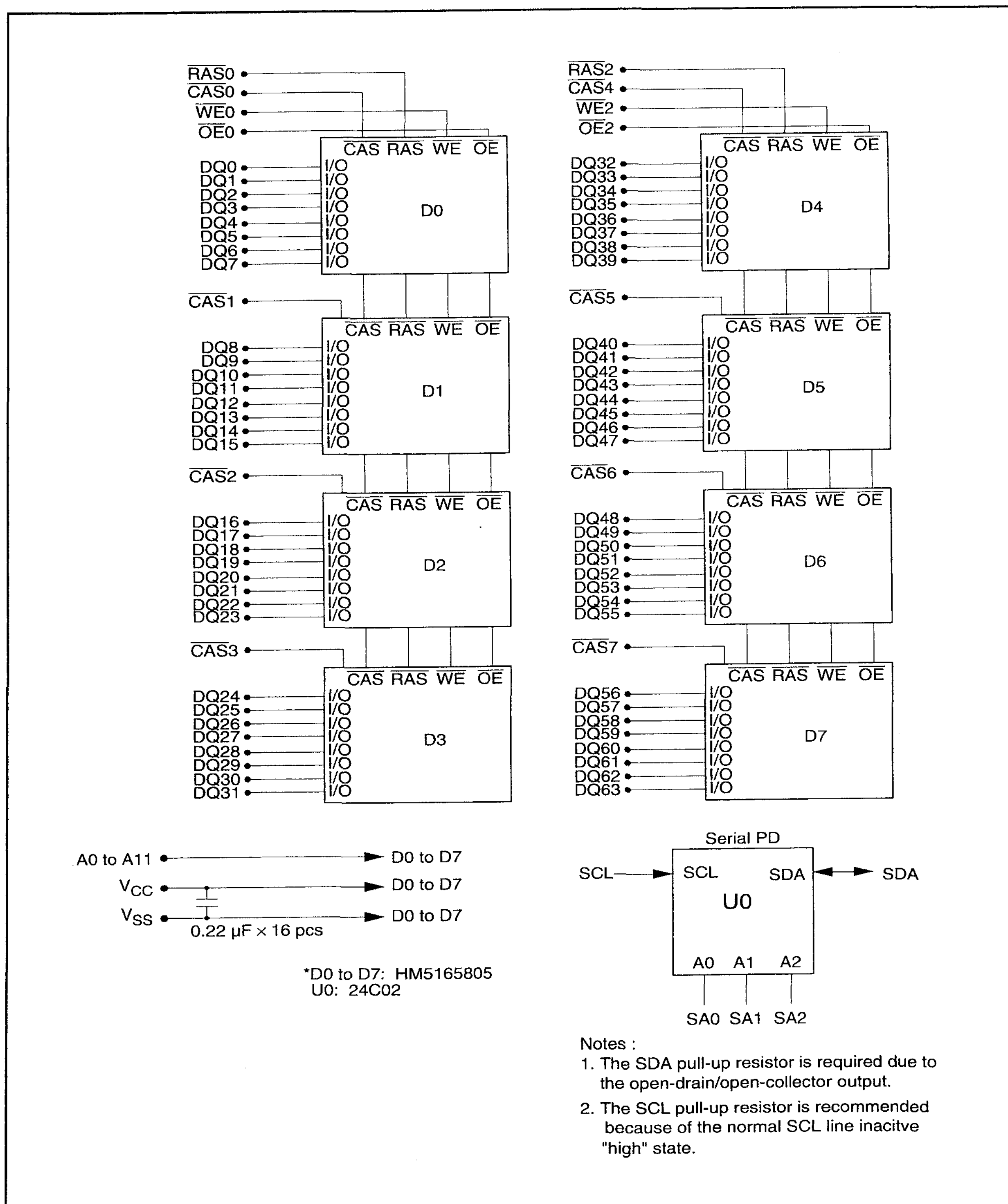
7.2 DRAM-modulen

Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE}2$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS}2$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS}2$	88	DQ34	130	$\overline{CAS}6$
5	DQ3	47	$\overline{CAS}3$	89	DQ35	131	$\overline{CAS}7$
6	V_{cc}	48	$\overline{WE}2$	90	V_{cc}	132	NC
7	DQ4	49	V_{cc}	91	DQ36	133	V_{cc}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	NC	94	DQ39	136	NC
11	DQ8	53	NC	95	DQ40	137	NC
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{cc}	101	DQ45	143	V_{cc}
18	V_{cc}	60	DQ20	102	V_{cc}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	NC	63	NC	105	NC	147	NC
22	NC	64	V_{ss}	106	NC	148	V_{ss}
23	V_{ss}	65	DQ21	107	V_{ss}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE}0$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS}0$	70	DQ25	112	$\overline{CAS}4$	154	DQ57
29	$\overline{CAS}1$	71	DQ26	113	$\overline{CAS}5$	155	DQ58
30	$\overline{RAS}0$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE}0$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ28	116	V_{ss}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	A11	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{cc}	82	SDA	124	V_{cc}	166	SA1
41	V_{cc}	83	SCL	125	NC	167	SA2
42	NC	84	V_{cc}	126	NC	168	V_{cc}

Tabel 8/7.2.2-124: Aansluitingen van de HB56UW865EJN.

- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden-refresh
- aanwezigheidsdetectie via I^2C-bus
- fabrikant: Hitachi

7.2 DRAM-modulen



Figuur 8/7.2.2-54: Blokschema van de HB56UW865EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11	Address input	
	— Row address	A0 to A11
	— Column address	A0 to A10
	— Refresh address	A0 to A11
DQ0 to DQ63	Data input/output	
$\overline{RAS}$0, $\overline{RAS}$2	Row address strobe	
$\overline{CAS}$0 to $\overline{CAS}$7	Column address strobe	
$\overline{WE}$0, $\overline{WE}$2	Read/Write enable	
$\overline{OE}$0, $\overline{OE}$2	Output enable	
SDA	Serial data out (bit0 to bit7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-125: Beschrijving van de pen-functies van de HB56UW865EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	8.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-126: Maximaal toegelaten waarden voor de HB56UW865EJN.

7.2 DRAM-modulen

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note: 1. All voltage referred to V_{SS}.
2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-127: Aanbevolen bedrijfscondities voor de HB56UW865EJN.

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256byte
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of row addresses	0	0	0	0	1	1	0	0	12
4	Number of column addresses	0	0	0	0	1	0	1	1	11
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Module data width	0	1	0	0	0	0	0	0	64
7	Module data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Module supply voltage/interface levels	0	0	0	0	0	0	0	1	3.3 V
9	$\overline{RAS}$ access time									
	60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time									
	15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction	0	0	0	0	0	0	0	0	None
12	Refresh rate/type	0	0	0	0	0	0	0	0	Normal (15.625 µs)

Note: 1. 0: Serial data, "driven Low", 1: Serial data, "driven High"
Serial PD data are not protected.

Tabel 8/7.2.2-128: Seriële PD (aanwezigheids-detectie) Matrix van de HB56UW865EJN.

HB56UW1664EJN
16M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW1664EJN is een 16M x 64 bit dynamische RAM-module, opgebouwd uit 16 stuks HM5164405AJ (16M x 4 bit DRAM's) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheids-detectie (PD). De module is geschikt voor zowel 32 bit als voor 64 bit toepassingen. De componenten bevinden zich aan beide zijden van de 168-pens DIMM module. Net als

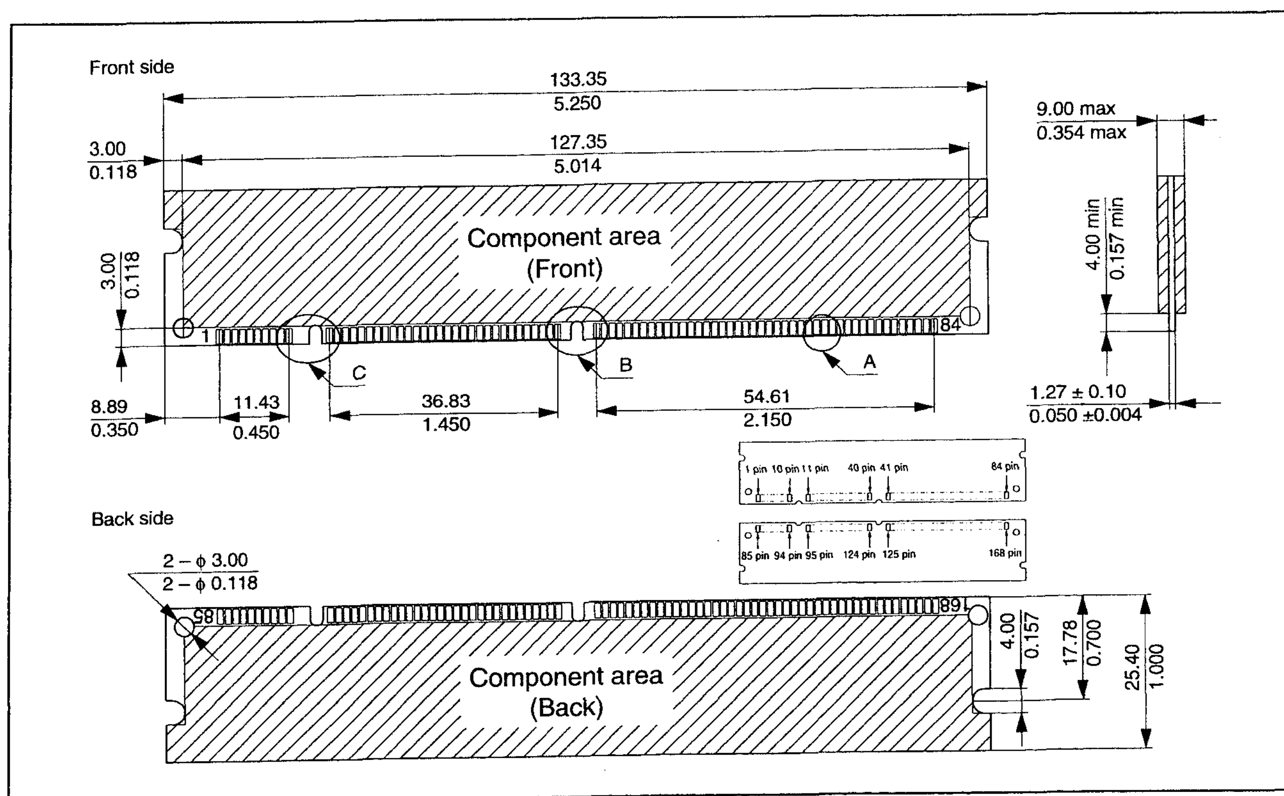
7.2 DRAM-modulen

de DRAM-IC's waarmee de module is uitgerust kan deze zelf ook in de Extended Data Out mode worden gebruikt. De HB56UW1664EJN is (bij elke SOJ) volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.
Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5164405A (deel 8/3.4.1):

- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-120.
- Lees-cycli: tabel 8/3.4.1-121 en figuur 8/3.4.1-147.
- Schrijf-cycli: tabel 8/3.4.1-122 en de figuren 8/3.4.1-148 en -149.
- Refresh-cycli: tabel 8/3.4.1-124 en de figuren 8/3.4.1-151 tot en met -153.
- EDO Page Mode cycli: tabel 8/3.4.1-125 en de figuren 8/3.4.1-154 tot en met -158.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 16M x 64 bit EDO (16 x HM5164405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 7,45/6,34 W, standby (TTL): 115,2 mW, (CMOS): 57,6 mW
- EDO Page mode mogelijk
- refresh-periode: 8.192 refresh-cycli: 64 ms
- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden-refresh
- aanwezigheidsdetectie via I^2C-bus
- TTL-compatibel
- fabrikant: Hitachi



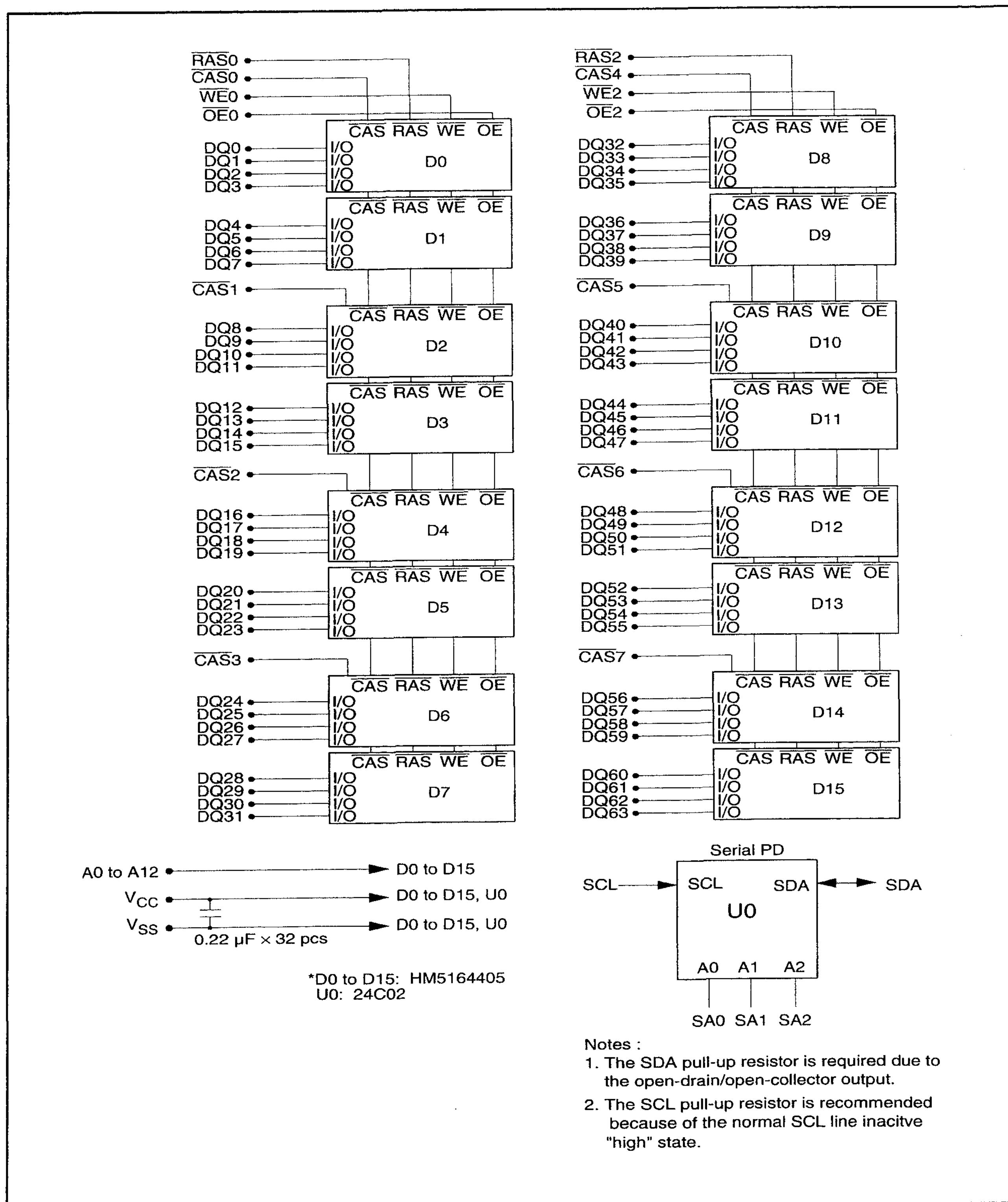
Figuur 8/7.2.2-55: Vorm, pen-telling en afmetingen van de HB56UW1664EJN.

7.2 DRAM-modulen

Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE}$2	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS}$2	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS}$2	88	DQ34	130	$\overline{CAS}$6
5	DQ3	47	$\overline{CAS}$3	89	DQ35	131	$\overline{CAS}$7
6	V_{cc}	48	$\overline{WE}$2	90	V_{cc}	132	NC
7	DQ4	49	V_{cc}	91	DQ36	133	V_{cc}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	(NC)[*3]	94	DQ39	136	(NC)[*7]
11	DQ8	53	(NC)[*4]	95	DQ40	137	(NC)[*8]
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{cc}	101	DQ45	143	V_{cc}
18	V_{cc}	60	DQ20	102	V_{cc}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	(NC)[*1]	63	NC	105	(NC)[*5]	147	NC
22	(NC)[*2]	64	V_{ss}	106	(NC)[*6]	148	V_{ss}
23	V_{ss}	65	DQ21	107	V_{ss}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE}$0	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS}$0	70	DQ25	112	$\overline{CAS}$4	154	DQ57
29	$\overline{CAS}$1	71	DQ26	113	$\overline{CAS}$5	155	DQ58
30	$\overline{RAS}$0	72	DQ27	114	NC	156	DQ59
31	$\overline{OE}$0	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ28	116	V_{ss}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	A11	164	NC
39	A12	81	NC	123	NC	165	SA0
40	V_{cc}	82	SDA	124	V_{cc}	166	SA1
41	V_{cc}	83	SCL	125	NC	167	SA2
42	NC	84	V_{cc}	126	NC	168	V_{cc}

Tabel 8/7.2.2-129: Aansluitingen van de HB56UW1664EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-56: Blokschema van de HB56UW1664EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A12	Address input	
	— Row address	A0 to A12
	— Column address	A0 to A10
	— Refresh address	A0 to A12
DQ0 to DQ63	Data input/output	
$\overline{RAS}0$, $\overline{RAS}2$	Row address strobe	
$\overline{CAS}0$ to $\overline{CAS}7$	Column address strobe	
$\overline{WE}0$, $\overline{WE}2$	Read/Write enable	
$\overline{OE}0$, $\overline{OE}2$	Output enable	
SDA	Serial data out (bit0 to bit7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-130: Beschrijving van de pen-functies van de HB56UW1664EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-131: Maximaal toegelaten waarden voor de HB56UW1664EJN.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note: 1. All voltage referred to V_{SS}.

2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-132: Aanbevolen bedrijfscondities voor de HB56UW1664EJN.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256byte
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of row addresses	0	0	0	0	1	1	0	1	13
4	Number of column addresses	0	0	0	0	1	0	1	1	11
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Module data width HB56UW1664EJN	0	1	0	0	1	0	0	0	64
7	Module data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Module supply voltage/interface levels	0	0	0	0	0	0	0	1	3.3 V
9	$\overline{RAS}$ access time 60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time 15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW1664EJN	0	0	0	0	0	0	0	0	None
12	Refresh rate/type	0	0	0	0	0	0	1	0	Reduced (7.8 µs)

Note: 1. 0: Serial data, “driven Low”, 1: Serial data, “driven High”
Serial PD data are not protected.

Tabel 8/7.2.2-133: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW1664EJN.

HB56UW1665EJN

16M x 64 EDO DRAM-module (niet gebufferd)

De HB56UW1665EJN is een 16M x 64 bit dynamische RAM-module, opgebouwd uit 16 stuks HM5165405AJ (16M x 4 bit DRAM's) in SOJ-behuizingen en één 24C02 (seriële EEPROM) voor de aanwezigheidsdetectie (PD). De module kan worden gebruikt voor zowel 32 bit als 64 bit toepassingen. De componenten bevinden zich aan beide zijden van de 168-pens DIMM module. Net als de DRAM-IC's waaruit de module is opgebouwd kan deze zelf ook in de Extended Data Out mode worden gebruikt. De HB56UW1665EJN is volledig ontkoppeld en heeft gemeenschappelijke data in- en uitgangen.

Voor de timing en de refresh-karakteristieken wordt verwezen naar de HM5165405A (deel 8/3.4.1):

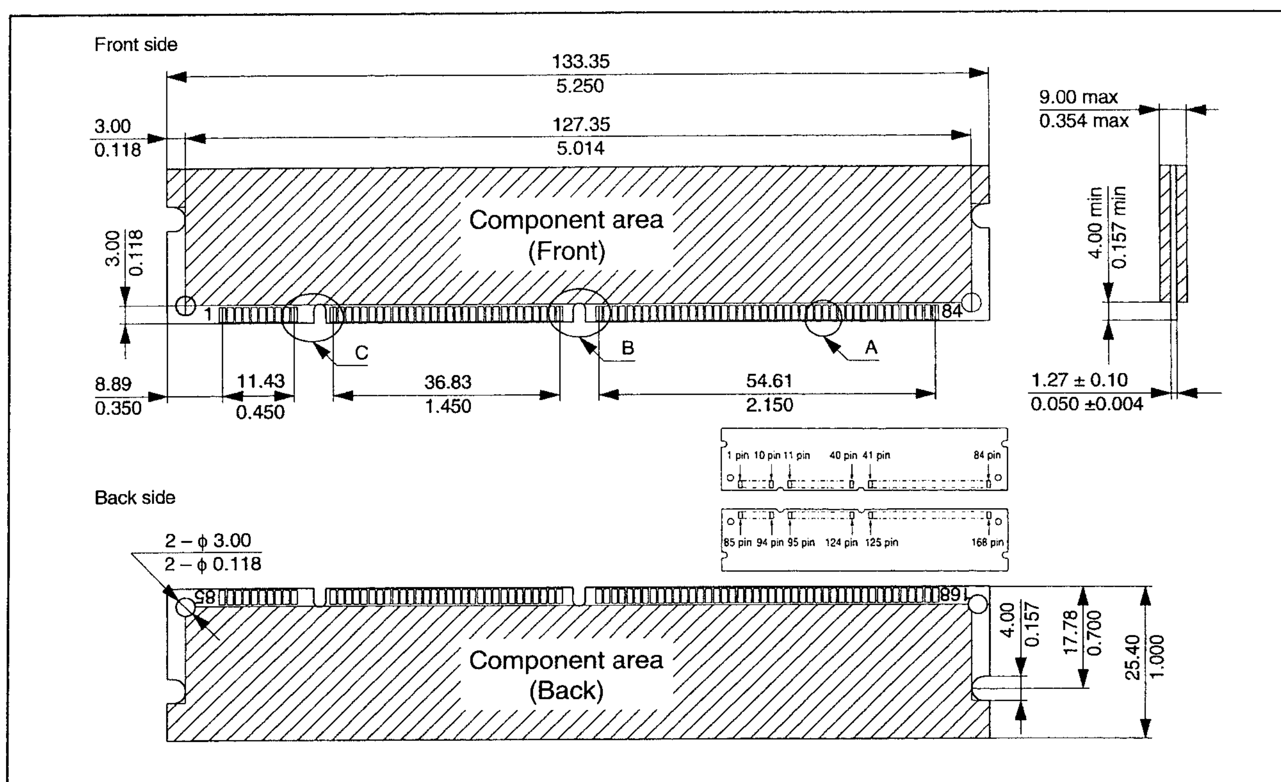
- Lees-, schrijf- en refresh-cycli (gemeenschappelijke parameters): tabel 8/3.4.1-120.
- Lees-cycli: tabel 8/3.4.1-121 en figuur 8/3.4.1-147.

7.2 DRAM-modulen

- Schrijf-cycli: tabel 8/3.4.1-122 en de figuren 8/3.4.1-148 en -149.
- Refresh-cycli: tabel 8/3.4.1-124 en de figuren 8/3.4.1-151 tot en met -153.
- EDO Page Mode cycli: tabel 8/3.4.1-125 en de figuren 8/3.4.1-154 tot en met -158.

Specificaties

- 168-pens DIMM (pitch: 1,27 mm)
- 16M x 64 bit EDO (16 x HM5165405) en 1 x 24C02
- geschikt voor 64 bit of 32 bit toepassingen
- enkele +3,3 V (+/-0,3 V) voeding
- vergulde contacten
- toegangstijden: 60 of 70 ns
- dissipatie (max): actief: 10,37/9,22 W, standby (TTL): 115,2 mW, (CMOS): 57,6 mW
- EDO Page mode mogelijk
- refresh-periode: 4.096 refresh-cycli: 64 ms
- 3 soorten refresh mogelijk: $\overline{RAS}$-only, $\overline{CAS}$-before-$\overline{RAS}$ en hidden-refresh
- aanwezigheidsdetectie via I^2C-bus
- TTL-compatibel
- fabrikant: Hitachi



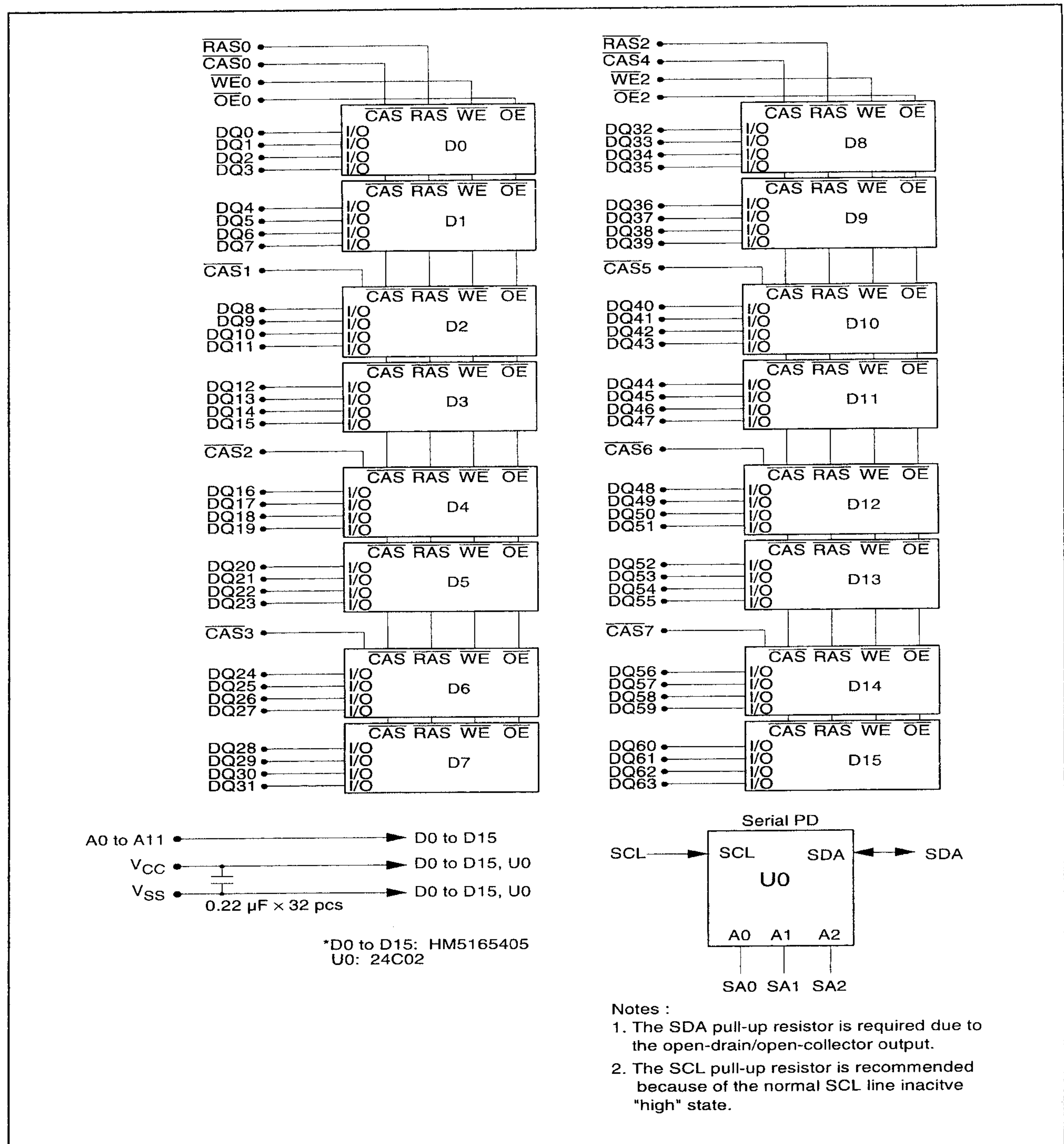
Figuur 8/7.2.2-57: Vorm, pen-telling en afmetingen van de HB56UW1665EJN.

7.2 DRAM-modulen

Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name	Pin No.	Signal name
1	V_{ss}	43	V_{ss}	85	V_{ss}	127	V_{ss}
2	DQ0	44	$\overline{OE}2$	86	DQ32	128	NC
3	DQ1	45	$\overline{RAS}2$	87	DQ33	129	NC
4	DQ2	46	$\overline{CAS}2$	88	DQ34	130	$\overline{CAS}6$
5	DQ3	47	$\overline{CAS}3$	89	DQ35	131	$\overline{CAS}7$
6	V_{cc}	48	$\overline{WE}2$	90	V_{cc}	132	NC
7	DQ4	49	V_{cc}	91	DQ36	133	V_{cc}
8	DQ5	50	NC	92	DQ37	134	NC
9	DQ6	51	NC	93	DQ38	135	NC
10	DQ7	52	(NC)[*3]	94	DQ39	136	(NC)[*7]
11	DQ8	53	(NC)[*4]	95	DQ40	137	(NC)[*8]
12	V_{ss}	54	V_{ss}	96	V_{ss}	138	V_{ss}
13	DQ9	55	DQ16	97	DQ41	139	DQ48
14	DQ10	56	DQ17	98	DQ42	140	DQ49
15	DQ11	57	DQ18	99	DQ43	141	DQ50
16	DQ12	58	DQ19	100	DQ44	142	DQ51
17	DQ13	59	V_{cc}	101	DQ45	143	V_{cc}
18	V_{cc}	60	DQ20	102	V_{cc}	144	DQ52
19	DQ14	61	NC	103	DQ46	145	NC
20	DQ15	62	NC	104	DQ47	146	NC
21	(NC)[*1]	63	NC	105	(NC)[*5]	147	NC
22	(NC)[*2]	64	V_{ss}	106	(NC)[*6]	148	V_{ss}
23	V_{ss}	65	DQ21	107	V_{ss}	149	DQ53
24	NC	66	DQ22	108	NC	150	DQ54
25	NC	67	DQ23	109	NC	151	DQ55
26	V_{cc}	68	V_{ss}	110	V_{cc}	152	V_{ss}
27	$\overline{WE}0$	69	DQ24	111	NC	153	DQ56
28	$\overline{CAS}0$	70	DQ25	112	$\overline{CAS}4$	154	DQ57
29	$\overline{CAS}1$	71	DQ26	113	$\overline{CAS}5$	155	DQ58
30	$\overline{RAS}0$	72	DQ27	114	NC	156	DQ59
31	$\overline{OE}0$	73	V_{cc}	115	NC	157	V_{cc}
32	V_{ss}	74	DQ28	116	V_{ss}	158	DQ60
33	A0	75	DQ29	117	A1	159	DQ61
34	A2	76	DQ30	118	A3	160	DQ62
35	A4	77	DQ31	119	A5	161	DQ63
36	A6	78	V_{ss}	120	A7	162	V_{ss}
37	A8	79	NC	121	A9	163	NC
38	A10	80	NC	122	A11	164	NC
39	NC	81	NC	123	NC	165	SA0
40	V_{cc}	82	SDA	124	V_{cc}	166	SA1
41	V_{cc}	83	SCL	125	NC	167	SA2
42	NC	84	V_{cc}	126	NC	168	V_{cc}

Tabel 8/7.2.2-134: Aansluitingen van de HB56UW1665EJN.

7.2 DRAM-modulen



Figuur 8/7.2.2-58: Blokschema van de HB56UW1665EJN.

7.2 DRAM-modulen

Pin name	Function	
A0 to A11	Address input	
	— Row address	A0 to A11
	— Column address	A0 to A11
	— Refresh address	A0 to A11
DQ0 to DQ63	Data input/output	
$\overline{RAS}$0, $\overline{RAS}$2	Row address strobe	
$\overline{CAS}$0 to $\overline{CAS}$7	Column address strobe	
$\overline{WE}$0, $\overline{WE}$2	Read/Write enable	
$\overline{OE}$0, $\overline{OE}$2	Output enable	
SDA	Serial data out (bit0 to bit7)	
SCL	Clock for presence detect	
SA0 to SA2	Serial address input	
V_{CC}	Power supply	
V_{SS}	Ground	
NC	No connection	

Tabel 8/7.2.2-135: Beschrijving van de pen-functies van de HB56UW1665EJN.

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	–0.5 to +4.6	V
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to +4.6	V
Short circuit output current	Iout	50	mA
Power dissipation	P_T	16	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C

Tabel 8/7.2.2-136: Maximaal toegelaten waarden voor de HB56UW1665EJN.

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	3.0	3.3	3.6	V	1, 2
Input high voltage	V_{IH}	2.0	—	V_{CC} + 0.3	V	1
Input low voltage	V_{IL}	–0.3	—	0.8	V	1

Note: 1. All voltage referred to V_{SS}.

2. The supply voltage with all V_{CC} pins must be on the same level. The supply voltage with all V_{SS} pins must be on the same level.

Tabel 8/7.2.2-137: Aanbevolen bedrijfscondities voor de HB56UW1665EJN.

7.2 DRAM-modulen

Byte No.	Function described	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Comments
0	Number serial PD bytes	0	0	0	0	1	1	0	1	13
1	Serial memory	0	0	0	0	1	0	0	0	256byte
2	Fundamental memory type	0	0	0	0	0	0	1	0	EDO
3	Number of row addresses	0	0	0	0	1	1	0	0	12
4	Number of column addresses	0	0	0	0	1	1	0	0	12
5	Number of banks	0	0	0	0	0	0	0	1	1
6	Module data width HB56UW1665EJN	0	1	0	0	0	0	0	0	64
7	Module data width (continued)	0	0	0	0	0	0	0	0	0 (+)
8	Module supply voltage/interface levels	0	0	0	0	0	0	1	0	3.3 V
9	$\overline{RAS}$ access time 60 ns	0	0	1	1	1	1	0	0	
	70 ns	0	1	0	0	0	1	1	0	
10	$\overline{CAS}$ access time 15 ns	0	0	0	0	1	1	1	1	
	18 ns	0	0	0	1	0	0	1	0	
11	Error detection/corraction HB56UW1665EJN	0	0	0	0	0	0	0	0	None
12	Refresh rate/type	0	0	0	0	0	0	0	0	Normal (15.625 µs)

Note: 1. 0: Serial data, “driven Low”, 1: Serial data, “driven High”
Serial PD data are not protected.

Tabel 8/7.2.2-138: Seriële PD (aanwezigheidsdetectie) Matrix van de HB56UW1665EJN.

7.2 DRAM-modulen

8/8

FIFO's

Inhoud

8/8.1

Achtergrond-informatie

Inleiding

Het komt vaak voor dat verschillende digitale systemen met verschillende snelheden werken. In feite is het veiliger ervan uit te gaan dat dit altijd het geval is. Microprocessoren en bijbehorende geheugens werken bijvoorbeeld veel sneller dan andere componenten, zoals het toetsenbord en de floppy disk.
Wanneer nu informatie van het ene (sub)systeem naar het andere moet worden verplaatst, wordt de snelheid daarvan beperkt door het langzaamste systeem. Het snelle systeem moet telkens even wachten totdat het langzame de data heeft overgenomen. Wanneer dat niet mogelijk of niet gewenst is, moet het snelheidsverschil worden overwonnen door een tussenliggende databuffer. Bij parallel transport moet de buffer het aantal bits per woord kunnen opnemen. Bovendien moet hij lang genoeg zijn om alle woorden die in een bepaalde periode moeten worden getransporteerd (een data-blok) te kunnen bevatten. Wanneer de data die het eerst in de buffer gaat er aan de andere kant ook weer als eerste uit komt, spreekt men van een FIFO (First-In First-Out) geheugen of register. De data schuift daarbij steeds zo ver mogelijk door naar achteren. Het eerste woord komt dus helemaal achteraan, het tweede woord komt één plaats minder ver terecht, enzovoort. De FIFO werkt asynchroon als het laden aan de ene kant geheel onafhankelijk van het lossen aan de andere kant kan gebeuren.

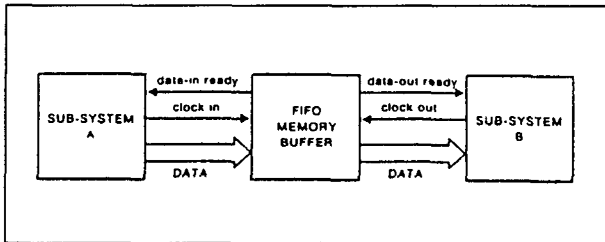
Men kan zich een FIFO ook voorstellen als een regenpijp waar aan de bovenkant tennisballen ingegooid worden, terwijl iemand anders ze er aan de onderkant weer uithaalt.

Het is natuurlijk wel handig als de verzendende kant weet of er nog plaats is in de FIFO.
Aan de ingang is dan ook een besturingssignaal aanwezig dat dit aangeeft: "Data-In Ready" (DIR) is meestal HOOG als er nog plaats is. Als de FIFO vol is, gaat dit signaal LAAG en blijft LAAG totdat er data van de uitgang wordt afgenomen. De laatste plaats komt dan vrij en alle overblijvende data schuift dus tegelijk één plaats naar achteren op en DIR wordt weer HOOG.
Hetzelfde geldt natuurlijk ook voor de ontvangende kant. Aan de uitgang van de FIFO is een besturingssignaal beschikbaar dat aangeeft of de buffer nog data bevat: "Data-Out Ready" (DOR) is meestal HOOG als er nog data aanwezig is. Is de FIFO leeg dan gaat DOR LAAG en blijft LAAG totdat er weer data (aan de uitgang) aanwezig is.
Het clocksignaal waarmee de data wordt ingeschreven wordt Shift-In, Clock-In of Load Clock genoemd.
De data wordt uitgelezen met Shift-Out, Clock-Out of Unload Clock (zie figuur 8/8.1-1).

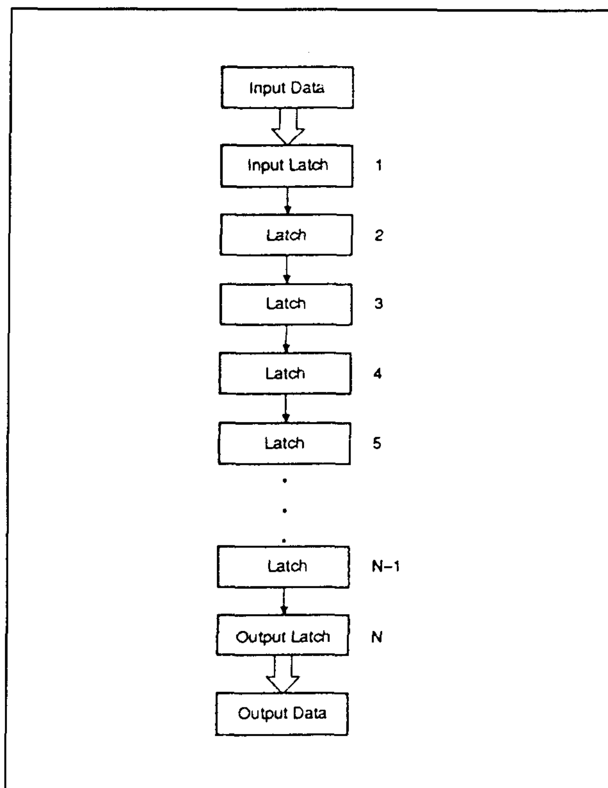
FIFO principes

Voor het transporteren van de data binnen de FIFO is geen clock nodig. Van buitenaf gezien schuift de data vanzelf door naar achter. Het spreekt vanzelf dat FIFO's op verschillende manieren samengesteld kunnen worden.

8.1 Achtergrond-informatie



Figuur 8/8.1-1: Bij datatransport tussen twee systemen moet het verschil in snelheid worden opgevangen door een asynchrone buffer.

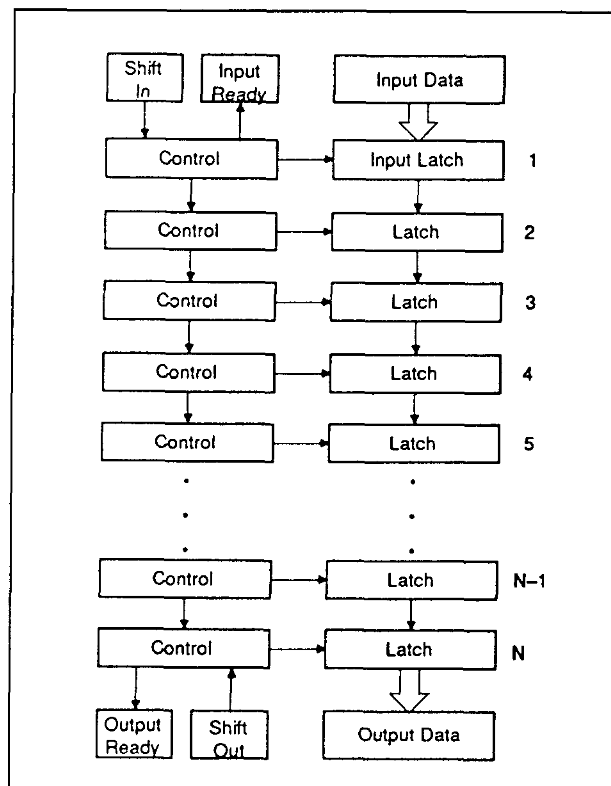


Figuur 8/8.1-2: Opbouw van een FIFO (met vaste lengte) door middel van achter elkaar geplaatste latches.

De eerste gedachte is uit te gaan van een schuifregister of een aantal achter elkaar geplaatste latches. In deze vorm "valt" de data echter niet door naar achter, maar schuiven alle woorden telkens één plaats tegelijk op. Is zo'n register bijvoorbeeld N woorden lang, dan zijn N klokpulsen nodig om de data weer aan de uitgang te laten verschijnen: de FIFO heeft een vaste lengte (figuur 8/8.1-2).

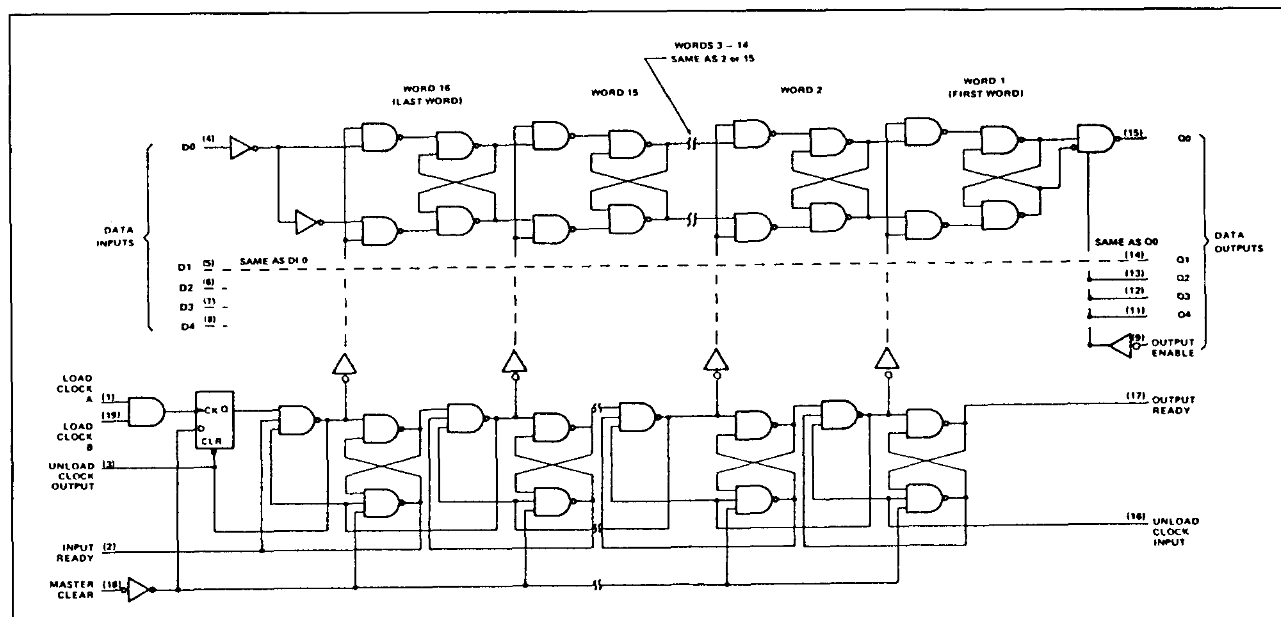
Bovendien is na opstarten de informatie aan de uitgang pas geldig vanaf de N-de clockpuls, omdat de data daarvoor willekeurig en onbekend is. Deze FIFO heeft ook het nadeel dat niet met twee verschillende snelheden aan ingang en uitgang kan worden gewerkt.

Een betere oplossing is naast de rij latches een reeks besturingseenheden op te nemen (zie figuur 8/8.1-3). De latches bevatten dan net als in figuur 8/8.1-2 de data. De besturingseenheden leveren nu "vlaggen" die aangeven of de bijbehorende latches geldige data bevatten of niet. Van bovenaf komende data kan dan telkens "zinken" tot in de latch die zich boven de laatst gevulde latch bevindt. Op deze wijze ontstaat dus een register met variabele lengte. In figuur 8/8.1-4 is te zien hoe een dergelijke FIFO er in de praktijk uitziet.

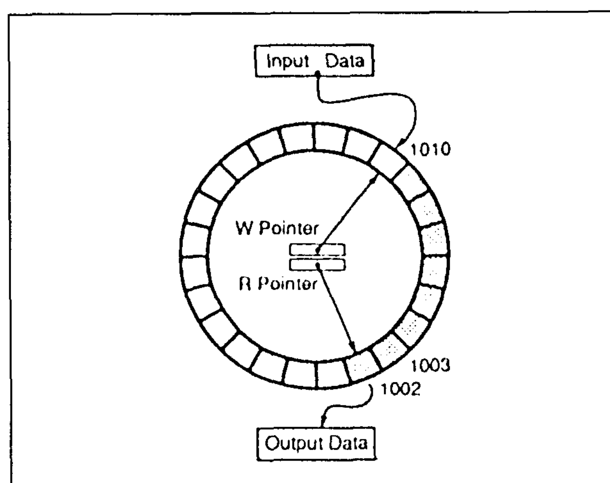


Figuur 8/8.1-3: Principiële opbouw van een FIFO met variabele lengte.

8.1 Achtergrond-informatie



Figuur 8/8.1-4: Functioneel blokschema van een uit latches en flip-flop's samengestelde FIFO met variabele lengte (type 74S225).

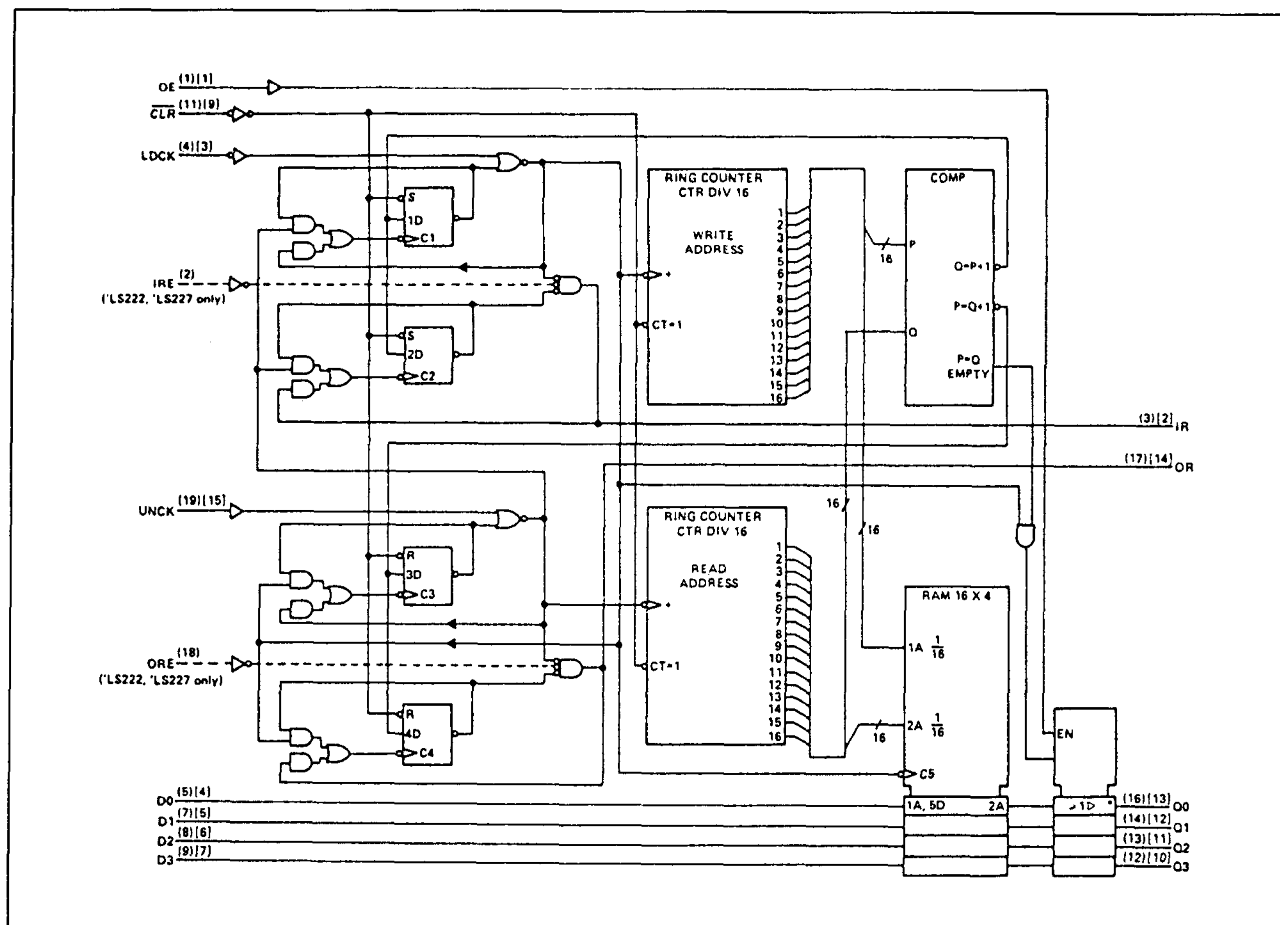


Figuur 8/8/.1-5: Cirkelvormige geheugenstructuur van een FIFO met twee pointers.

Een efficiëntere manier om een FIFO op te bouwen is gebruik te maken van een opslag-array dat zo breed is als de data en daarbij twee "pointers" toe te passen. De ene pointer wijst de lokatie aan waar nieuwe data naar toe wordt geschreven, terwijl de tweede pointer bijhoudt waar de data moet worden uitgelezen. Wanneer één van beide wordt gebruikt om toegang tot een lokatie te verkrijgen, wordt die automatisch met één verhoogd. Heeft een pointer de laatste positie in het array bereikt dan zal een volgende verhoging tot gevolg hebben dat de pointer op het begin van het array terecht komt. Deze structuur ziet er dus uit als een gesloten lus met twee pointers (figuur 8/8.1-5) en kan ook met software alleen worden uitgevoerd.

Deze benadering resulteert in een veel kortere "doorvaltijd", terwijl de lengte toch variabel blijft. In figuur 8/8.1-6 is te zien hoe dit met een statische RAM wordt gedaan (alle onderdelen bevinden zich op één chip). De RAM is voorzien van een dubbele adressering: één voor de ingang en één voor de uitgang. Het is dus een "dual port" geheugen, echter met de beperking dat lezen en schrijven niet verwisselbaar zijn. De bovenste ringteller houdt het laadadres bij en de onderste het uitleesadres. De comparator vergelijkt beide adressen en levert daardoor het Input-Ready en het Output-Ready-signaal. Bij deze FIFO-typen wordt door een LAGE IR of OR ook de laad- of de ontlaadclock gesperd. De bovenste ringteller en de RAM worden tegelijk door het LDCK-signaal geklokt.

8.1 Achtergrond-informatie

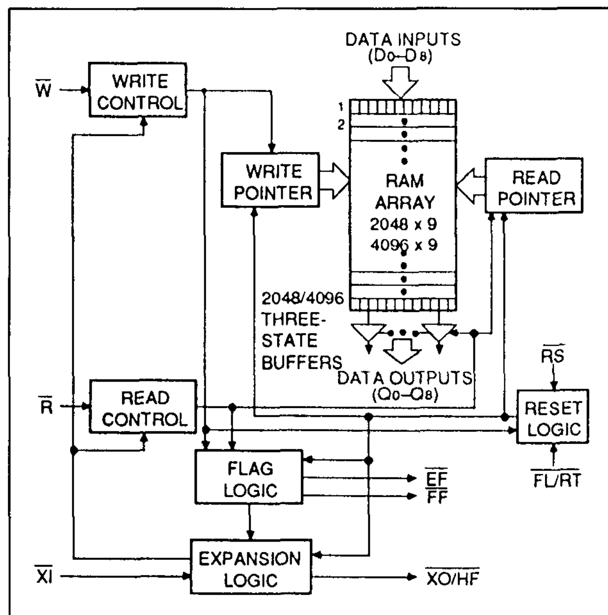


Figuur 8/8.1-6: Functioneel blokschema van een asynchrone FIFO (typen 74LS222/224/227/228) met ingebouwde RAM, ringtellers en comparator.

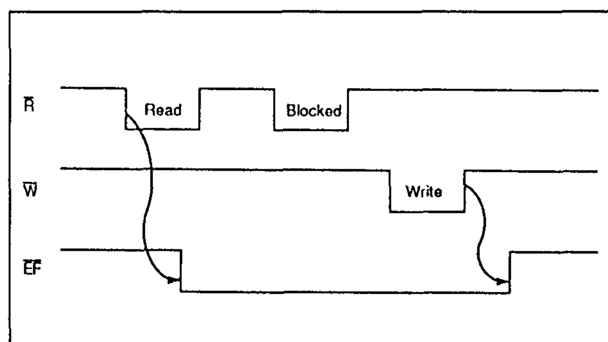
Figuur 8/8.1-7 toont het vereenvoudigde blokschema van een moderne, grotere FIFO die volgens hetzelfde principe werkt. Er zijn nu drie statussignalen: FIFO leeg (empty: $\overline{EF}$) die met Output-Ready overeenkomt, half vol ($\overline{HF}$) en vol (full: $\overline{FF}$) die bij andere typen ook wel Input-Ready wordt genoemd. Met behulp van de $\overline{XI}$- en $\overline{XO}$-pennen kan de FIFO onbeperkt worden uitgebreid, terwijl de doorvaltijd 50 ns blijft.

Na resetten wordt de leeg-vlag $\overline{EF}$ LAAG en zodra data wordt ingeschreven weer HOOG. $\overline{EF}$ gaat dan pas weer LAAG als alle informatie is uitgelezen (figuur 8/8.1-8). Als het aantal opgenomen data-elementen de helft van het totaal aantal plaatsen bereikt, gaat de halfvol-vlag $\overline{HF}$ LAAG. Zijn precies alle plaatsen in de FIFO van data voorzien, dan gaat de vol-vlag ($\overline{FF}$) LAAG om aan te geven dat er geen plaats meer is (figuur 8/8.1-9). Wanneer de FIFO leeg is en $\overline{R}$ LAAG wordt gehouden voordat er schrijfpulsen LAAG gaan, vindt er automatische "Lees-doorstroming" (Read data flow-through) plaats. De stijgende flank van $\overline{W}$ maakt $\overline{EF}$ HOOG, maar omdat $\overline{R}$ LAAG wordt gehouden treedt hierdoor een leescyclus op.
Door dit lezen wordt $\overline{EF}$ weer LAAG (figuur 8/8.1-10). Op $\overline{EF}$ zullen zodoende HOOG gaande pulsen optreden met een breedte van minstens t_{RFT}. Op dezelfde wijze kan een "Schrijf-doorstroming" (Write data flow-through) optreden als de FIFO vol is en $\overline{W}$ LAAG wordt gehouden voordat een leespuls LAAG gaat.

8.1 Achtergrond-informatie

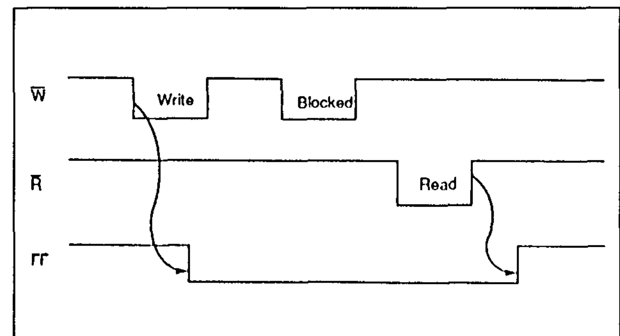


Figuur 8/8.1.7: Functioneel blokschema van een IDT7201/02 FIFO.

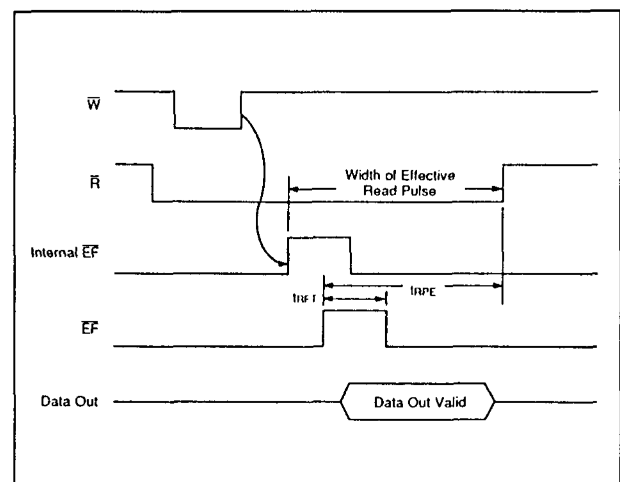


Figuur 8/8.1-8: Wanneer de FIFO slechts één woord bevat gaat de leeg-vlag ($\overline{EF}$) op de dalende flank van het leessignaal ($\overline{R}$) LAAG. Alle volgende leespulsen worden na het HOOG gaan van $\overline{R}$ geblokkeerd, terwijl $\overline{EF}$ LAAG blijft. Op de stijgende flank van de schrijfpuls $\overline{W}$ vervalt de leeg-conditie.

De stijgende flank van $\overline{R}$ maakt $\overline{FF}$ HOOG, maar omdat $\overline{W}$ LAAG wordt gehouden treedt hierdoor een schrijfcyclus op. Dit schrijven maakt dat $\overline{FF}$ weer LAAG gaat (figuur 8/8.1-11). Op $\overline{FF}$ zullen dus pulsen HOOG gaan met een breedte van minstens t_{WFT}.



Figuur 8/8.1-9: Wanneer de FIFO op één woord na vol is, zal $\overline{FF}$ op de dalende flank van $\overline{W}$ LAAG gaan. Alle volgende schrijfpulsen worden na het HOOG gaan van $\overline{W}$ genegeerd, terwijl $\overline{FF}$ LAAG blijft. Op de stijgende flank van $\overline{R}$ wordt de vol-conditie opgeheven.

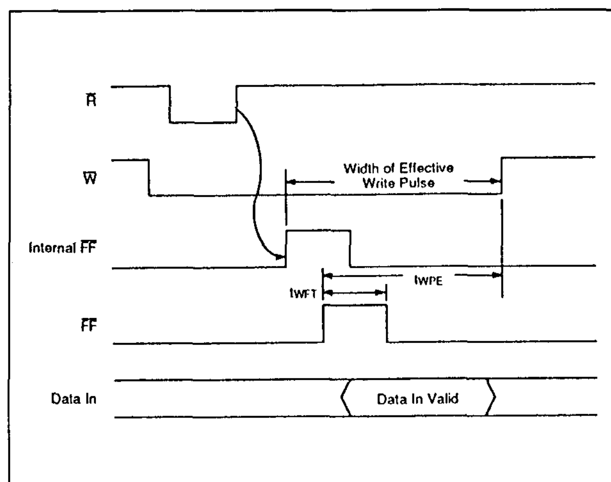


Figuur 8/8.1-10: Bij automatische lees-doorstroming wordt $\overline{R}$ LAAG gehouden.

Bredere FIFO's

Wanneer in een toepassing FIFO's moeten worden gebruikt die breder zijn dan bestaande (of in voorraad gehouden) exemplaren, kunnen zij gemakkelijk worden verbreed door ze parallel te schakelen.
In figuur 8/8.1-12 is een voorbeeld te zien van een FIFO voor 18 bit brede woorden. De status-vlaggen kunnen willekeurig van één van beide FIFO's worden gedetecteerd. Bij oudere typen kan externe logika nodig zijn

om combinaties van Input-Ready en Output-Ready signalen te gebruiken (figuur 8/8.1-13).



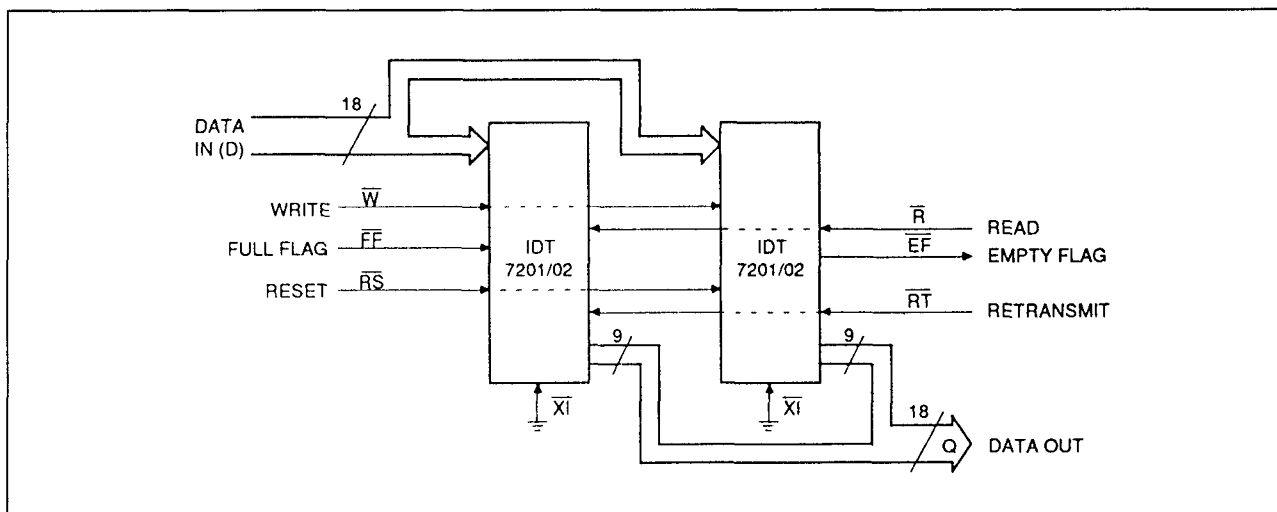
Figuur 8/8.1-11: Automatische schrijf-doorstroming treedt op als $\overline{W}$ LAAG wordt gehouden.

Langere FIFO's

Figuur 8/8.1-14 toont hoe eenvoudig de lengte (aantal woorden) bij sommige typen vergroot kan worden. De werking is als volgt. Data die met SIA door FIFO A wordt opgenomen komt na een vertraging aan de uitgang daarvan. Omdat $\overline{SOA}$ HOOG is wordt een DORA puls gegenereerd (= SIB). Na nog een vertraging komt de data op de uitgang van FIFO B. Dit gaat door totdat FIFO B vol is: DIRB (= $\overline{SOA}$) gaat LAAG, zodat geen SIB-pulsen meer worden opgewekt. De rest van de data komt verder alleen in FIFO A terecht. Bij uitlezen wordt SOB via DIRB aan FIFO A doorgegeven als SOA. Alle data schuift dus één plaats naar rechts en DIRA wordt HOOG.

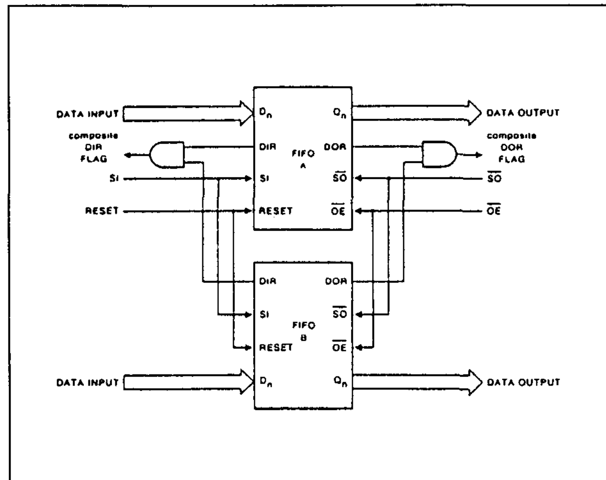
Als FIFO A toevallig een langzaam type is en FIFO B een zeer snel type, kan het voorkomen dat de DIRB-puls te kort is om als $\overline{SOA}$-puls te dienen, zodat FIFO A niet goed werkt. Omgekeerd kan het ook gebeuren dat DORA te kort duurt om als SIB te werken (als FIFO B langzamer is dan FIFO A). In deze gevallen moeten de pulsen naar de andere FIFO worden verlengd.

Bij de schakeling zoals in figuur 8/8.1-14 neemt de doorvaltijd toe met het aantal FIFO's dat in serie wordt geschakeld. Het spreekt vanzelf dat bij zeer lange FIFO's de doorvaltijd dan ontoelaatbaar lang dreigt te worden. Een oplossing hiervoor is de FIFO's parallel te schakelen, zoals figuur 8/8.1-15 laat zien.
De flip-flop's zorgen er dan voor dat beide FIFO's om de beurt worden gebruikt. Bij langere FIFO's moet natuurlijk een uitgebreidere decodering worden toegepast.

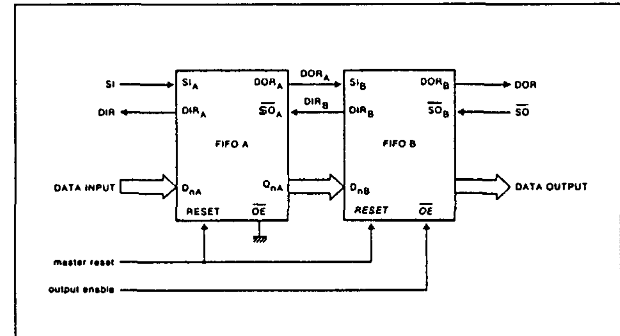


Figuur 8/8.1-12: Uitbreiding van twee 7201/02-typen tot een FIFO met 18 bit woordbreedte.

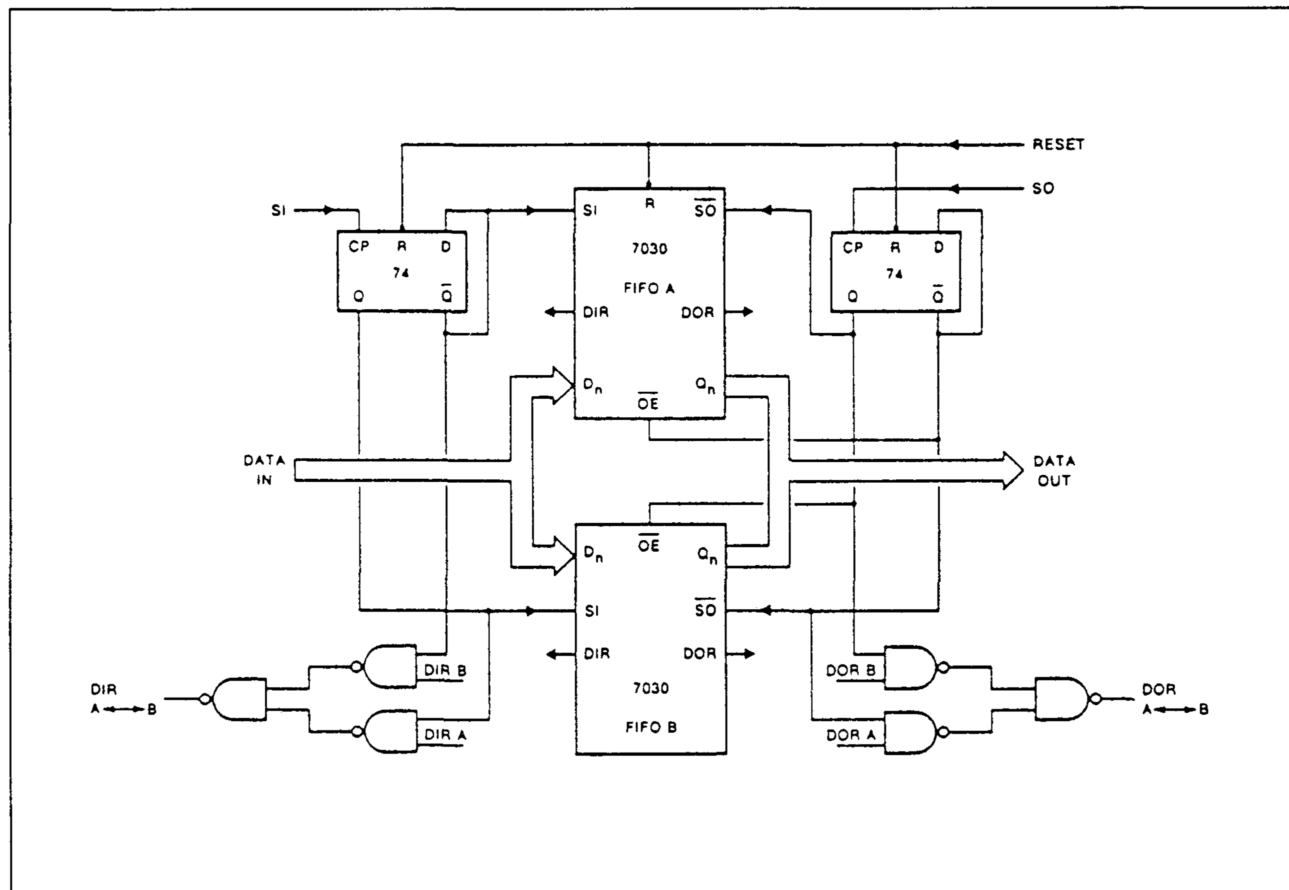
8.1 Achtergrond-informatie



Figuur 8/8.1-13: Bij sommige typen is voor grotere woordbreedten een combinatie van de DIR- en DOR-vlaggen nodig.

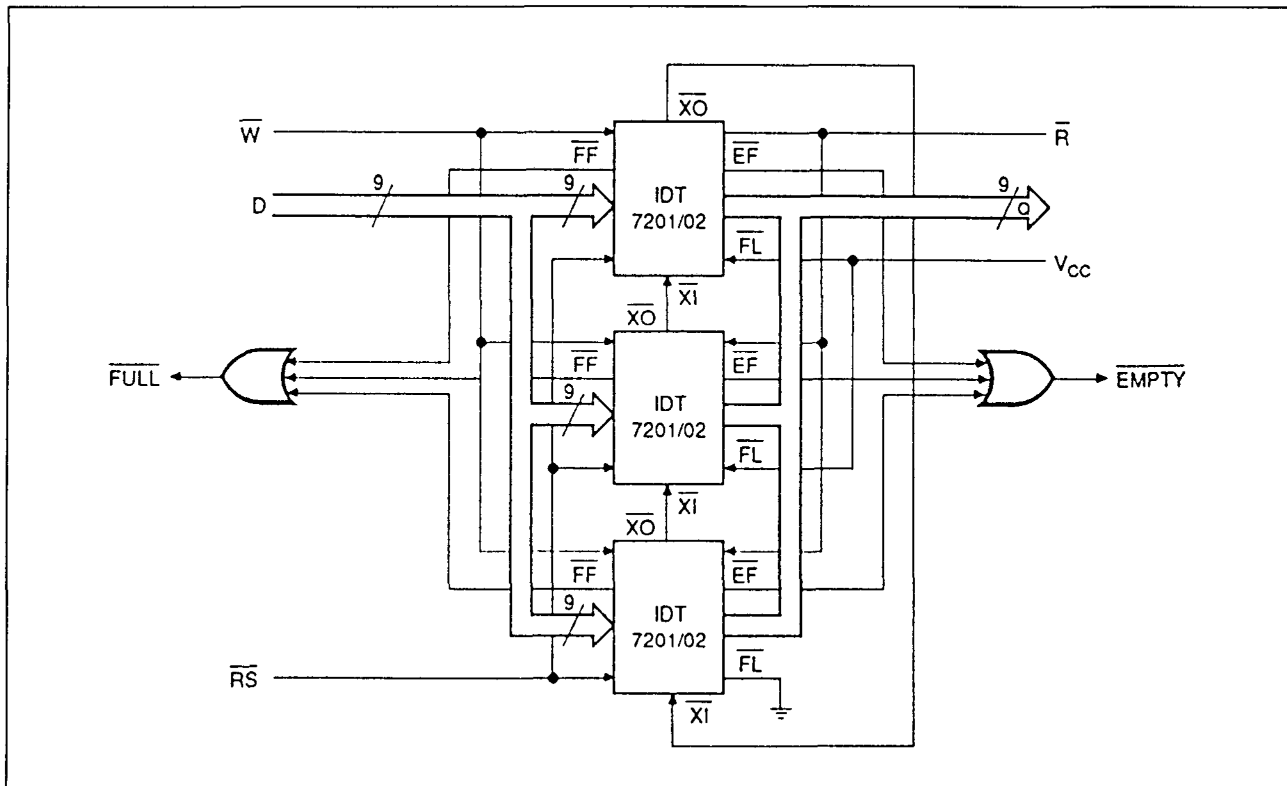


Figuur 8/8.1-14: Vergroting van het aantal woorden door in serie schakelen van twee (of meer) FIFO's.



Figuur 8/8.1-15: Verdubbeling van het aantal woorden door middel van gemeenschappelijke data-in en data-uit bussen. Hierbij neemt de doorvaltijd niet toe.

8.1 Achtergrond-informatie

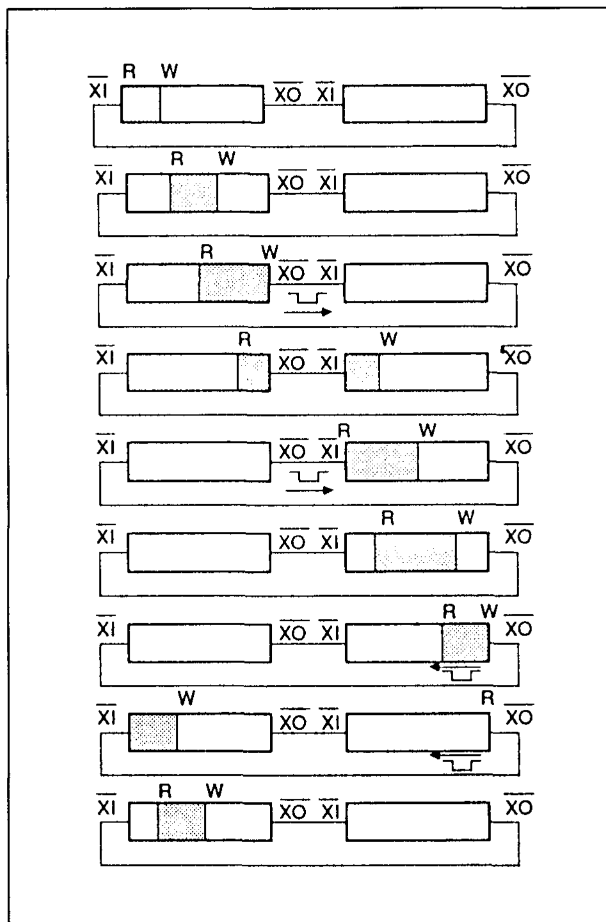


Figuur 8/8.1-16: Opbouw van een snelle, langere FIFO waarbij de $\overline{XI}$- en $\overline{XO}$-lijnen worden gebruikt. De data-ingangen zijn met elkaar verbonden, evenals de data-uitgangen.

Met twee-pointer FIFO's zoals de 7201 en 7202 kunnen alle data-ingangen met elkaar verbonden worden, evenals de data-uitgangen (zie figuur 8/8.1-16). Hierdoor ontstaat een parallelle architectuur die ook wordt gebruikt bij gewone RAM's om diepere geheugens te verkrijgen. Omdat FIFO's geen chip-selects en externe decoderingen kennen moet het kiezen van de juiste FIFO intern gebeuren. In de 7201/02 wordt dit bereikt door een unieke seriële structuur: de eerste (of master) FIFO wordt geïdentificeerd door de $\overline{FL}$-ingang te aarden. Van alle overige FIFO's in de schakeling moet de $\overline{FL}$-ingang worden opgetrokken naar V_{CC}. De $\overline{XO}$-uitgang van de eerste FIFO wordt verbonden met de $\overline{XI}$-ingang van de volgende FIFO in de rij, enzovoort. De $\overline{XO}$-uitgang van de laatste FIFO wordt tenslotte aangesloten op de $\overline{XI}$-ingang van de eerste.

Na het resetten staan de aktieve lees- en schrijf-pointers R en W op de eerste FIFO. Als de schrijf-pointer (W) aan het einde van de eerste FIFO is gekomen ontstaat een puls op de $\overline{XO}$-uitgang, waardoor de s chrijf-pointer aan het begin van de tweede FIFO wordt geaktiveerd, terwijl tegelijkertijd de schrijf-pointer van de eerste wordt uitgeschakeld. De besturing van Write-Enable wordt zodoende doorgegeven naar de tweede FIFO. Wanneer de aktieve lees-pointer (R) het einde van de eerste FIFO bereikt aktiveert hij via een tweede puls op de $\overline{XO}$-uitgang de lees-pointer in de tweede FIFO en schakelt hij zichzelf uit. In figuur 8/8.1-17 is de verplaatsing van de pointers met behulp van $\overline{XO}$ en $\overline{XI}$ over twee FIFO's te zien. In deze ringstructuur loopt de lees-pointer altijd na op de schrijf-pointer (hij kan deze niet passeren).

In figuur 8/8.1-18 wordt tenslotte getoond hoe de positie van de pointers is wanneer een grotere hoeveelheid data wordt opgenomen. Alleen na een reset bevinden beide pointers zich voorin de eerste FIFO. Nadat alle data is uitgelezen staan W en R weer tegenover elkaar, maar dan op een willekeurige plaats.



Figuur 8/8.1-17: De verplaatsing van de lees- en schrijfpointers over twee FIFO's. Telkens wanneer W of R de grens van een FIFO overschrijdt wordt een $\overline{XO}$-puls gegenereerd.

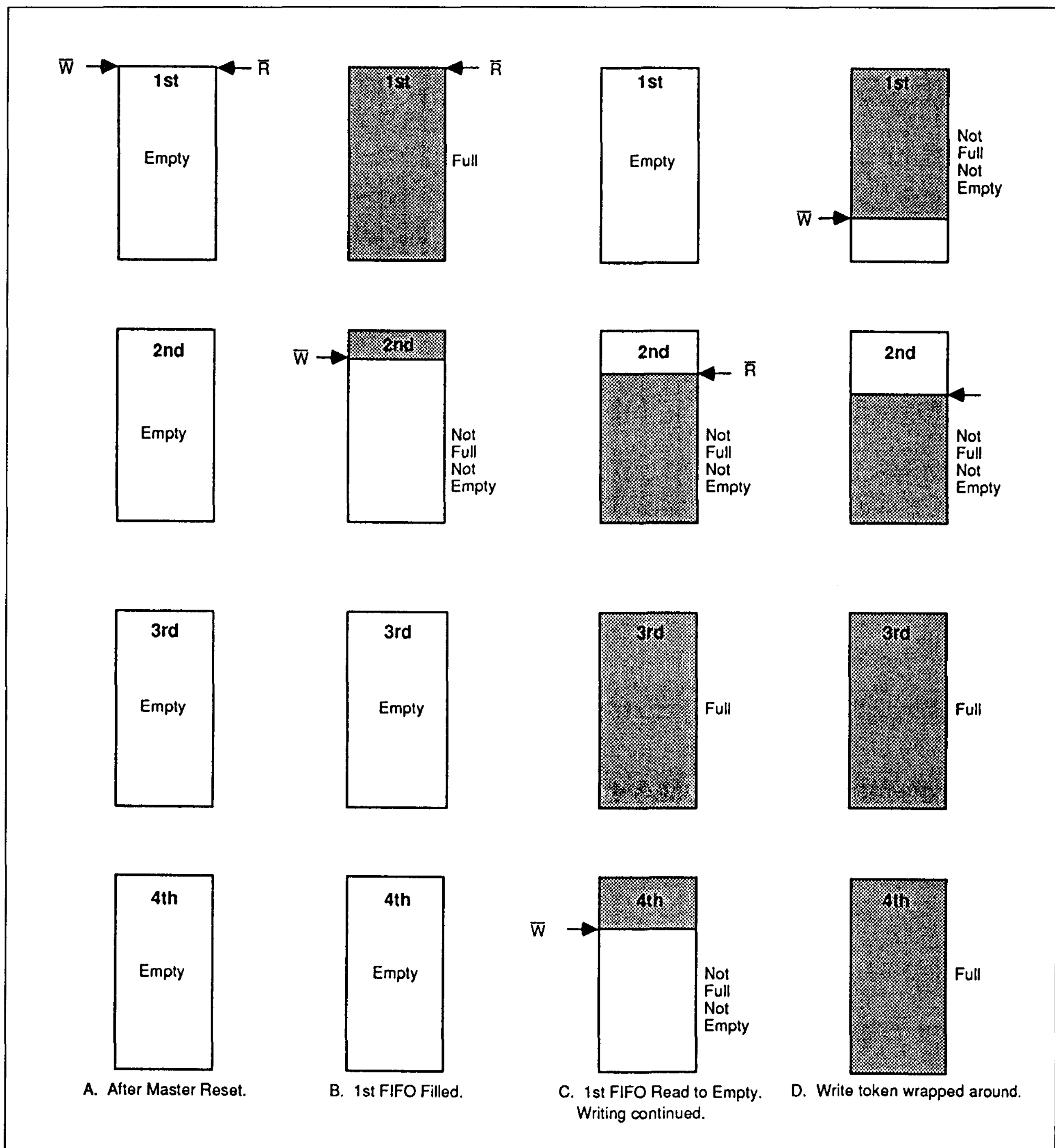
De werking is als volgt:

- A:
  na een master-reset staan W en R aan het begin van FIFO 1;
- B:
  FIFO 1 is gevuld en resterende data komt in FIFO 2 terecht;
- C:
  FIFO 1 is leeggelezen, het schrijven gaat door;
- D:
  de leeggelezen FIFO 1 wordt ook beschreven (wrapped around).

Software of hardware?
Bij iedere toepassing van een computer of programmeerbare besturing moet de ontwerper beslissen of bepaalde functies in software of in hardware worden uitgevoerd. Over het algemeen is de software oplossing flexibeler (kan gemakkelijker worden gewijzigd). De taak wordt echter langzamer uitgevoerd. De hardware oplossing is minder flexibel, maar doet de taak wel snel.
Als eerste voorbeeld wordt een file-server besproken.
De server kan aan de ene zijde op een Local Area Network (LAN) zijn aangesloten en aan de andere zijde op een Winchester disk drive.
Beide I/O-verbindingen hebben op onvoorspelbare momenten aandacht nodig en moeten dan direct worden bediend omdat anders data verloren gaat. Als de datasnelheid van beide interfaces laag genoeg is, kan een totale software oplossing worden overwogen.
De status van elke I/O-poort moet dan op tijd worden afgevraagd en data moet in volgorde van binnenkomst in een software FIFO-array worden opgeslagen (figuur 8/8.1-19).

Terwijl de data wordt verwerkt moeten beide interfaces evengoed in de gaten gehouden worden. Het is twijfelachtig dat een dergelijke oplossing betrouwbaar werkt.
Een betere manier is om interrupts door beide interfaces in te voeren.
Hierbij kan dan een taak op volle snelheid worden uitgevoerd, terwijl bijna direct op een I/O-routine kan worden overgeschakeld (figuur 8/8.1-20).

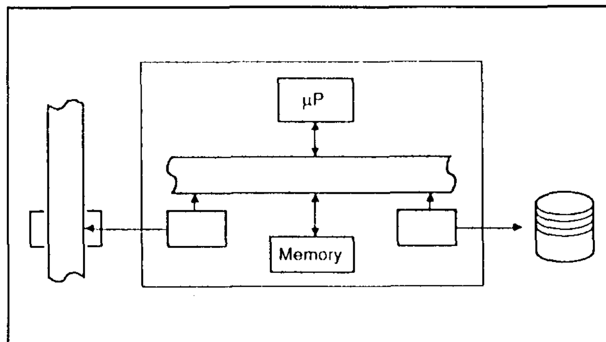
8.1 Achtergrond-informatie



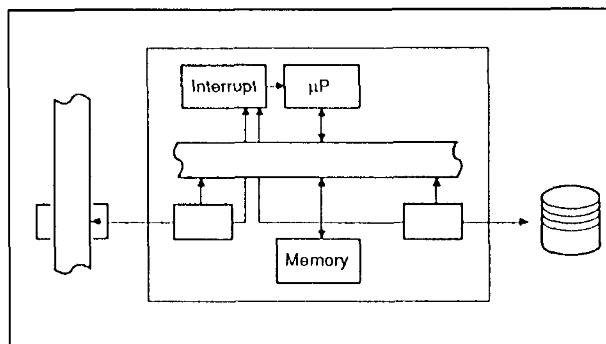
Figuur 8/8.1-18: Positie van data en pointers in vier FIFO's die op de manier van figuur 8/8.1-16 zijn geschakeld.

Omdat de interrupts op elk willekeurig moment kunnen optreden, moeten de interrupt-service routines zo worden ontworpen dat zij geen data vernietigen die toevallig door de geïnterrumpeerde taak wordt gebruikt. De routines moeten de toestand van de machine zorgvuldig opbergen, hun taak uitvoeren en de toestand van de machine opnieuw invoe-

ren. De extra code voor de machinetoestand is teveel informatie die in het ergste geval niet op tijd verwerkt kan worden. Op kritieke punten moet de ontwerper dan code tussenvoegen om interrupts te kunnen tegenhouden.

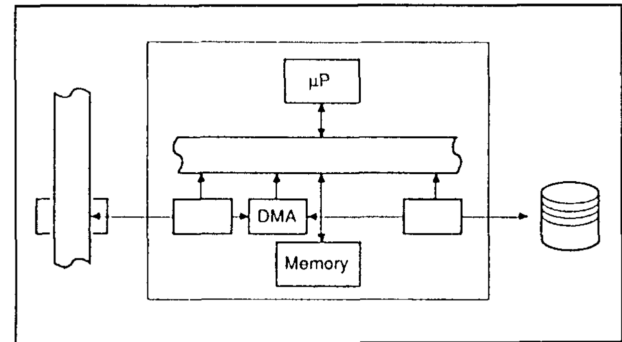


Figuur 8/8.1-19: Software implementatie van een file-server.

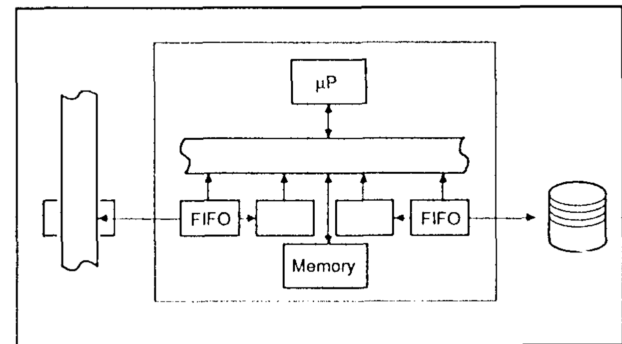


Figuur 8/8.1-20: Interrupt implementatie van een file-server.

De interrupt-oplossing kan wat meer naar de hardware-kant worden verplaatst door de DMA-techniek (Direct Memory Access) toe te passen (figuur 8/8.1-21). Hierbij worden de I/O-poorten door een aparte schakeling in de gaten gehouden. Als een poort dan attentie vraagt, interrumpeert de DMA-logika de lopende taak op bustransfer niveau en wordt een geheugencyclus gestolen om de data van de poort naar de FIFO-array in het geheugen te brengen (of andersom). De lopende taak mist hierdoor slechts af en toe enkele geheugencycli. De DMA-oplossing is echter niet gratis. DMA-controllers zijn complexe schakelingen die voor een bepaalde busstructuur zowel geprogrammeerd als ontworpen moeten zijn. Bovendien kan het DMA-mechanisme slechts één bron tegelijk bedienen en vormt daardoor toch nog een belemmering.



Figuur 8/8.1-21: De oplossing met DMA naar de processor.

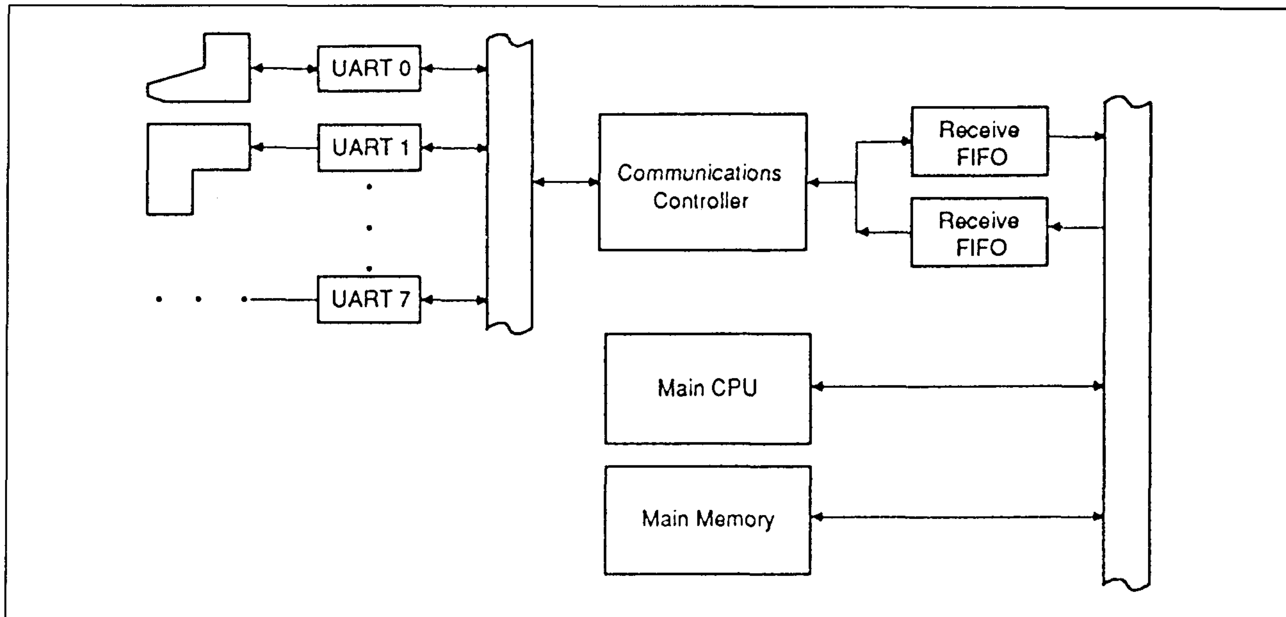


Figuur 8/8.1-22: Implementeren van een file-server met FIFO's.

De beste oplossing blijkt dus een hardware FIFO te zijn (figuur 8/8.1-22).
De periferie kan hierbij de data laden of inlezen zonder de besturing te interrumperen.
Aangezien de besturing niet betrokken is bij het in stand houden van de datastromen, kan ook geen data verloren gaan.

Een ander voorbeeld is een communicatie-controller. Deze dient om de CPU te verlossen van het in de gaten houden van meerdere UART's van verschillende terminals en printers.

8.1 Achtergrond-informatie



Figuur 8/8.1-23: Een communicatie-controller met FIFO's om datastromen in beide richtingen op te vangen.

Zoals in figuur 8/8.1-23 te zien is, kan deze controller dienen als communicatie-multiplexer en data-concentrator. Hierbij wordt zowel aan zend- als aan ontvangstzijde een FIFO gebruikt.

8/8.2

Type-beschrijving 74xx-serie TTL en HC(T)

74(LS)222

16 x 4 bit, 3-state, OR-enable

De 74LS222 is een 64 bit register, georganiseerd in 16 woorden van 4 bit, waarbij de informatie die het eerst wordt ingeschreven ook weer als eerste kan worden uitgelezen (FIFO: first in, first out).

Het register werkt asynchroon, zodat schrijven en lezen van de 4 bit brede data met verschillende snelheden kan geschieden.

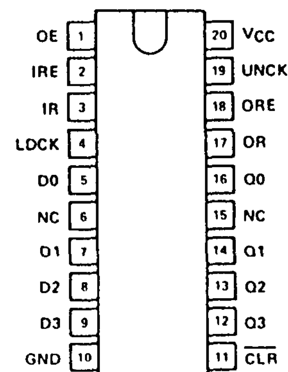
Data wordt ingeschreven op een HOOG-naar-LAAG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK).

Wanneer de FIFO 16 woorden bevat gaat de input ready-uitgang (IR) LAAG en heeft LDCK verder geen invloed meer. Is de FIFO leeg, dan is de output ready-uitgang (OR) LAAG en heeft UNCK geen effect.

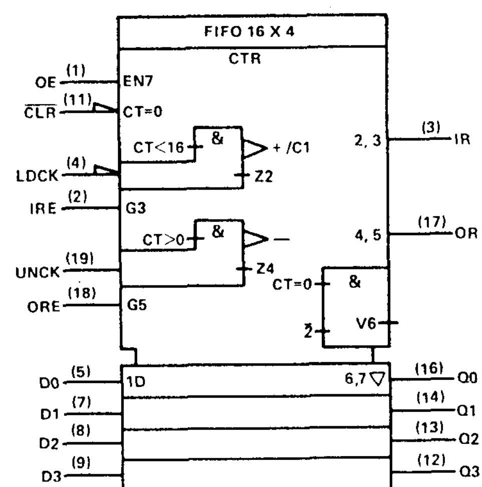
De 74LS222 kan zowel in serie als parallel worden uitgebreid met veelvouden van respectievelijk 15m+1 woorden of 4n bits, maar daar zijn wel wat externe schakelingen voor nodig (zie figuur 8/8.2-4).

Specificaties

- alleen leverbaar in LS: 74LS222
- 16 x 4 organisatie
- onafhankelijke in- en uitgangen
- 3-state uitgangen
- Output Ready Enable ingang
- data-snelheid: 0 tot 10 MHz
- "doorvaltijd" 50 ns typ.
- 20-pens plastic of ceramische DIL behuizing (figuur 8/8.2-1)
- uitbreidbaar (externe poorten nodig)



Figuur 8/8.2-1: Aansluitingen van de 74LS222.



Figuur 8/8.2-2: Logisch symbool van de 74LS222.

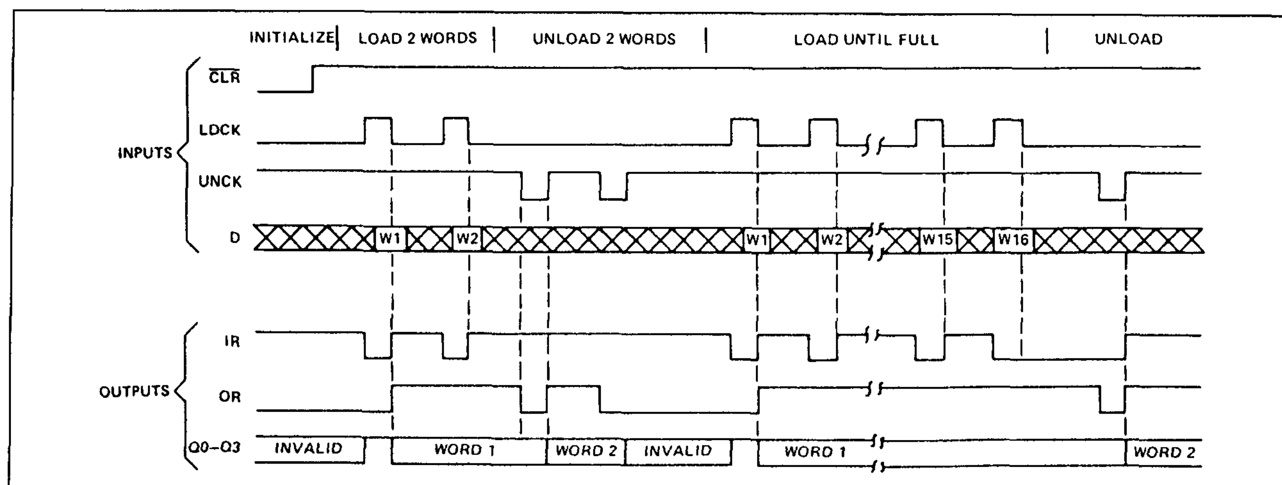
8.2 Type-beschrijving 74xx-serie TTL en HC (T)

		SN74LS' MIN	SN74LS' NOM	SN74LS' MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output current, I_{OH}	Q			−2.6	mA
	IR, OR			−400	μA
Low-level output current, I_{OL}	Q			24	mA
	IR, OR			8	mA
Setup time, t_{su}	D to LDCK ↓	50			ns
Hold time, t_h	D from LDCK ↓	0			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/8.2-1: Aanbevolen bedrijfscondities.

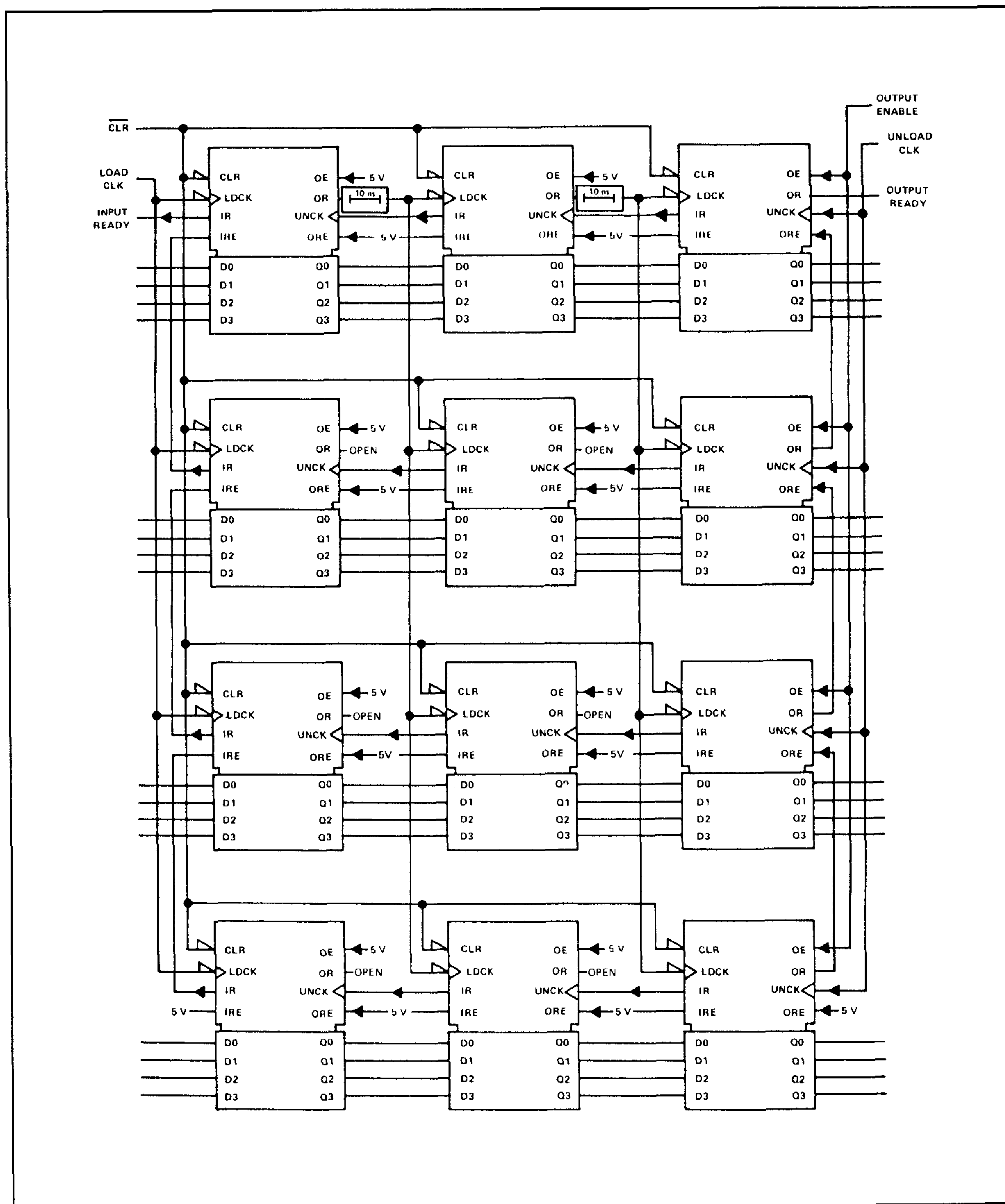
PARAMETER			TEST CONDITIONS†		SN74LS' MIN	SN74LS' TYP‡	SN74LS' MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V,	I_{OH} = MAX	2.4	3.2		V
		IR, OR	V_{IL} = V_{IL} max,	I_{OH} = −400 μA	2.7	3.4		V
V_{OL}	Low-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA		0.25	0.4	V
		Q		I_{OL} = 24 mA		0.35	0.5	V
		IR, OR		I_{OL} = 4 mA		0.25	0.4	V
		IR, OR		I_{OL} = 8 mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	Q	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max	V_O = 2.7 V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	Q		V_O = 0.4 V			−20	μA
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current		V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current		V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	*Short-circuit current§*	Q	V_{CC} = MAX		−30		−130	mA
		IR, OR			−20		−100	mA
I_{CC}	Supply current		V_{CC} = MAX	Outputs high		84		mA
				Outputs low		87		mA
				Outputs disabled		89		mA

Tabel 8/8.2-2: Elektrische eigenschappen van de 74LS222.



Figuur 8/8.2-3: Timing-diagram van de 74LS222.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-4: Opbouw van een 46 x 16 FIFO met behulp van 74LS222's. De benodigde vertraging van 10 ms kan worden bereikt door bijvoorbeeld twee in serie geschakelde 74LS04 inverters.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

PARAMETER	FROM	TO	TEST CONDITIONS	'LS222 MIN	TYP	MAX
t_{PLH}	IRE↑	IR	C_L = 15 pF, See Note 2		21	
t_{PHL}	IRE↓	IR			10	
t_{PLH}	ORE↑	OR			21	
t_{PHL}	ORE↓	OR			10	
t_{PLH}	LDCK↓	IR			25	
t_{PHL}	LDCK↑	IR			31	
t_{PLH}	LDCK↓	OR			45	
t_{PLH}	UNCK↑	OR			28	
t_{PHL}	UNCK↓	OR			26	
t_{PLH}	UNCK↑	IR			45	
t_{PLH}	$\overline{CLR}$↓	IR			33	
t_{PHL}	$\overline{CLR}$↓	OR			23	
t_{PLH}	LDCK↓	Q	C_L = 45 pF, See Note 2		45	
t_{PHL}	LDCK↓	Q			34	
t_{PLH}	UNCK↑	Q			48	
t_{PHL}	UNCK↑	Q			46	
t_{PZL}	OE↑	Q			23	
t_{PZH}	OE↑	Q			21	
t_{PLZ}	OE↓	Q	C_L = 5 pF, See Note 2		15	
t_{PHZ}	OE↓	Q			22	

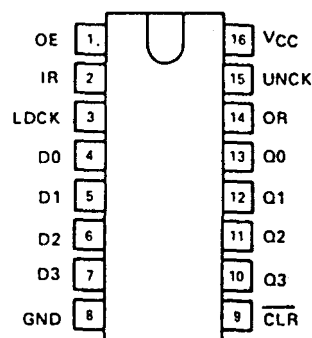
Tabel 8/8.2-3: Schakeltijden van de 74LS222.

74(LS)224

16 x 4 bit, 3-state

De 74LS224 is een 64 bit FIFO geheugen met een 16 x 4 bit organisatie (first in, first out). De FIFO is asynchroon, hetgeen betekent dat schrijven en lezen van de 4 bit brede data onafhankelijk (met verschillende snelheden) kan geschieden. Data wordt ingeschreven op een HOOG-naar-LAAG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). Wanneer de FIFO 16 woorden bevat gaat de input ready-uitgang (IR) LAAG en heeft LDCK verder geen invloed meer. Is de FIFO leeg, dan is de output ready-uitgang (OR) LAAG en heeft UNCK geen effect. De 74LS224 heeft geen output-ready enable ingang. De 74LS224 kan worden gebruikt om grotere FIFO's te bouwen, waarbij de IR-signalen van de voorste rij IC's en de OR-signalen van de laatste IC's ge-"AND" moeten worden voor de juiste synchronisatie.

Uitbreiding kan in serie plaatsvinden met 15m+1 woorden en parallel met 4n bits.



Figuur 8/8.2-5: Aansluitingen van de 74LS224.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

		SN74LS'			UNIT
		MIN	NOM	MAX	
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output current, I_{OH}	Q			−2.6	mA
	IR, OR			−400	µA
Low-level output current, I_{OL}	Q			24	mA
	IR, OR			8	
Setup time, t_{su}	D to LDCK ↓	50			ns
Hold time, t_h	D from LDCK↓	0			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/8.2-4: Aanbevolen bedrijfscondities.

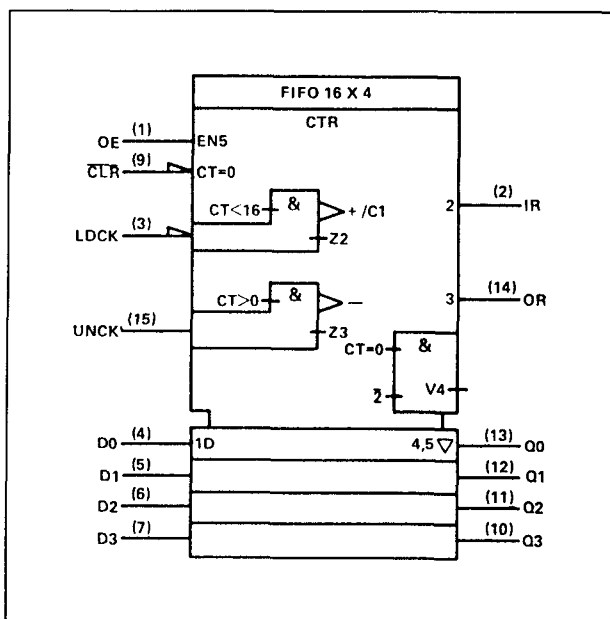
PARAMETER			TEST CONDITIONS†		SN74LS' MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max,	I_{OH} = MAX	2.4	3.2		V
		IR, OR		I_{OH} = −400 µA	2.7	3.4		
V_{OL}	Low-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA		0.25	0.4	V
				I_{OL} = 24 mA		0.35	0.5	
		IR, OR		I_{OL} = 4 mA		0.25	0.4	
				I_{OL} = 8 mA		0.35	0.5	
I_{OZH}	Off-state output current, high-level voltage applied	Q	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max	V_O = 2.7 V			20	µA
I_{OZL}	Off-state output current, low-level voltage applied	Q		V_O = 0.4 V			−20	µA
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 7 V				100	µA
I_{IH}	High-level input current		V_{CC} = MAX, V_I = 2.7 V				20	µA
I_{IL}	Low-level input current		V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit current§	Q	V_{CC} = MAX		−30		−130	mA
		IR, OR			−20		−100	
I_{CC}	Supply current		V_{CC} = MAX	Outputs high		84		mA
				Outputs low		87		
				Outputs disabled		89		

Tabel 8/8.2-5: Elektrische eigenschappen van de 74LS224.

Specificaties

- alleen leverbaar in LS: 74LS224
- 16 x 4 organisatie
- onafhankelijke in- en uitgangen
- 3-state uitgangen
- data-snelheid: 0 tot 10 MHz
- "doorvaltijd" 50 ns typ.
- 16-pens plastic of ceramische DIL behuizing (figuur 8/8.2-5)
- uitbreidbaar (met behulp van externe poorten)

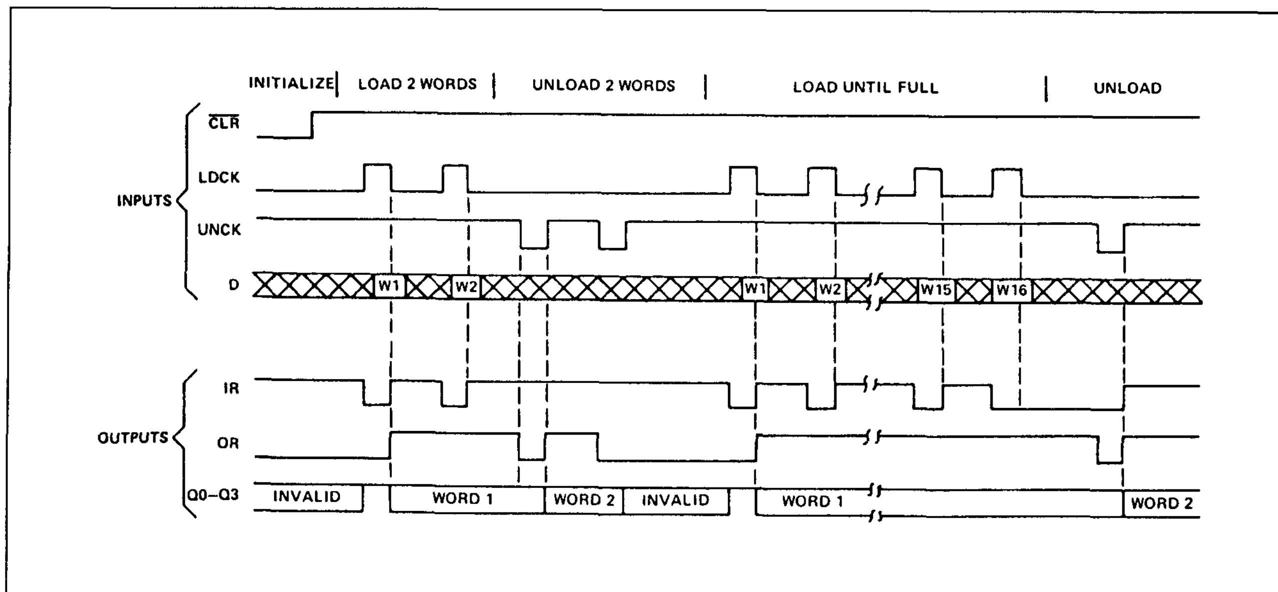
8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-6: Logisch symbool van de 74LS224.

PARAMETER	FROM	TO	'LS224 MIN	TYP	MAX	UNIT
t_{PLH}	IRE↑	IR				ns
t_{PHL}	IRE↓	IR				ns
t_{PLH}	ORE↑	OR				ns
t_{PHL}	ORE↓	OR				ns
t_{PLH}	LDCK↓	IR		25		ns
t_{PHL}	LDCK↑	IR		31		ns
t_{PLH}	LDCK↓	OR		45		ns
t_{PLH}	UNCK↑	OR		28		ns
t_{PHL}	UNCK↓	OR		26		ns
t_{PLH}	UNCK↑	IR		45		ns
t_{PLH}	$\overline{CLR}$↓	IR		33		ns
t_{PHL}	$\overline{CLR}$↓	OR		23		ns
t_{PLH}	LDCK↓	Q		45		ns
t_{PHL}	LDCK↓	Q		34		ns
t_{PLH}	UNCK↑	Q		48		ns
t_{PHL}	UNCK↑	Q		46		ns
t_{PZL}	OE↑	Q		23		ns
t_{PZH}	OE↑	Q		21		ns
t_{PLZ}	OE↓	Q		15		ns
t_{PHZ}	OE↓	Q		22		ns

Tabel 8/8.2-6: Schakeltijden van de 74LS224.



Figuur 8/8.2-7: Timing-diagram van de 74LS224.

74(S)225

16 x 5 bit, 3-state

De 74S225 is een 80 bit geheugenelement met een 16 x 5 bit organisatie, waarbij de informatie die het eerst wordt ingeschreven ook als eerste wordt uitgelezen. De FIFO is asynchroon: schrijven en lezen van de 5 bit brede datawoorden kan met verschillende snelheden geschieden.

Data wordt ingeschreven op een LAAG-naar-HOOG overgang van één van de load-clocks (CLKA of CLKB) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). Wanneer de FIFO vol is gaat

de input ready-uitgang (IR) LAAG. Als het laatste datawoord uit de FIFO is gegaan, geeft de unload clock-uitgang UNCK OUT tegelijk met de inwendige clock een negatieve puls. Als UNCK IN LAAG gaat, gaat ook de output ready-uitgang (OR) LAAG en BLIJFT LAAG totdat nieuwe data op de eerste positie is aangekomen. Met de 74S225 kunnen ook grotere FIFO's worden samengesteld (in veelvouden van 16 woorden of 5 bit).

Specificaties

- alleen leverbaar in Schottky-uitvoering: 74S225
- 16 x 5 organisatie
- onafhankelijke in- en uitgangen
- 3-state data-uitgangen
- data-snelheid: 0 tot 10 MHz
- 20-pens plastic of ceramische DIL behuizing (figuur 8/8.2-8)
- uitbreidbaar (zie figuur 8/8.2-11)

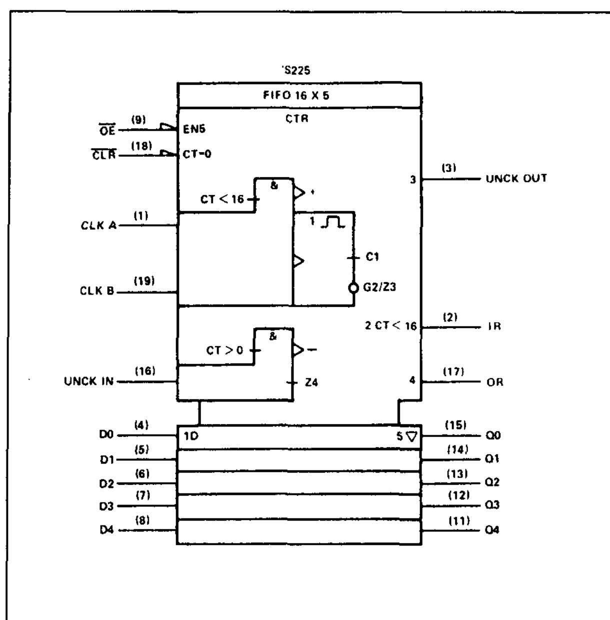
		MIN	NOM	MAX	UNIT
Supply Voltage, V_{CC}		4.75	5	5.25	V
High-level output current, I_{OH}	All Outputs Except Data			−3.2	mA
	Data Outputs			−6.5	
Low-level output current, I_{OL}	All Outputs Except Data			8	mA
	Data Outputs			16	
Pulse Width	Load Clock A or B, t_w (high)	25			ns
	Unload Clock Input, t_w (low)	7			
	Clear, t_w (low)	40			
Setup Time	Data to Load Clock, t_{su} (DIi) See Note 2	−20†			ns
	Clear Release to Load Clock, t_{su}	25†			
Hold Time, Data from Load Clock, t_h(DIi)		70†			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/8.2-7: Aanbevolen bedrijfscondities.

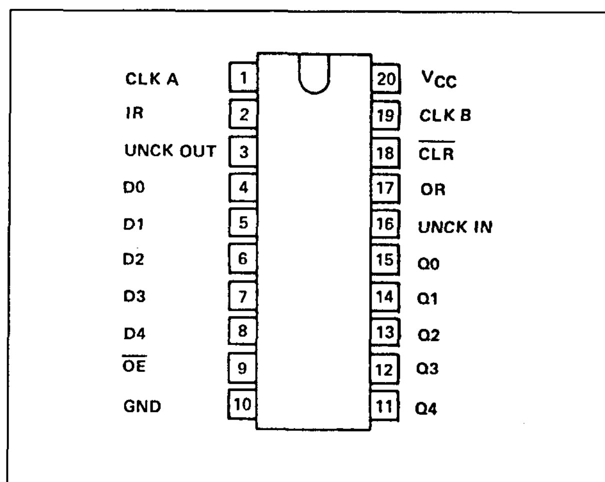
PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA			−1.2	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OH} = MAX	2.4	2.9		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OL} = MAX		0.35	0.50	V
I_{OZH}	Off-state output current, high-level voltage applied		V_{CC} = MAX, V_{IL} 0.8 V,	V_{IH} = 2 V, V_O = 2.4 V			50	µA
I_{OZL}	Off-state output current, low-level voltage applied		V_{CC} = MAX, V_{IL} = 0.8 V,	V_{IH} = 2 V, V_O = 0.5 V			-50	µA
I_I	Input current at maximum input voltage		V_{CC} MAX,	V_I 5.5 V			1	mA
I_{IH}	High-level input current	Data In	V_{CC} MAX,	V_I 2.7 V			40	µA
		All Inputs Except Data In					25	
I_{IL}	Low-level input current	Data In	V_{CC} = MAX,	V_I = 0.5 V			−1	mA
		All Inputs Except Data In					−250	µA
I_{OS}	Short-circuit output current §		V_{CC} MAX		−30		−100	mA
I_{CC}	Supply Current		V_{CC} = MAX,	See Note 3		80	120	mA

Tabel 8/8.2-8: Elektrische eigenschappen van de 74S225.

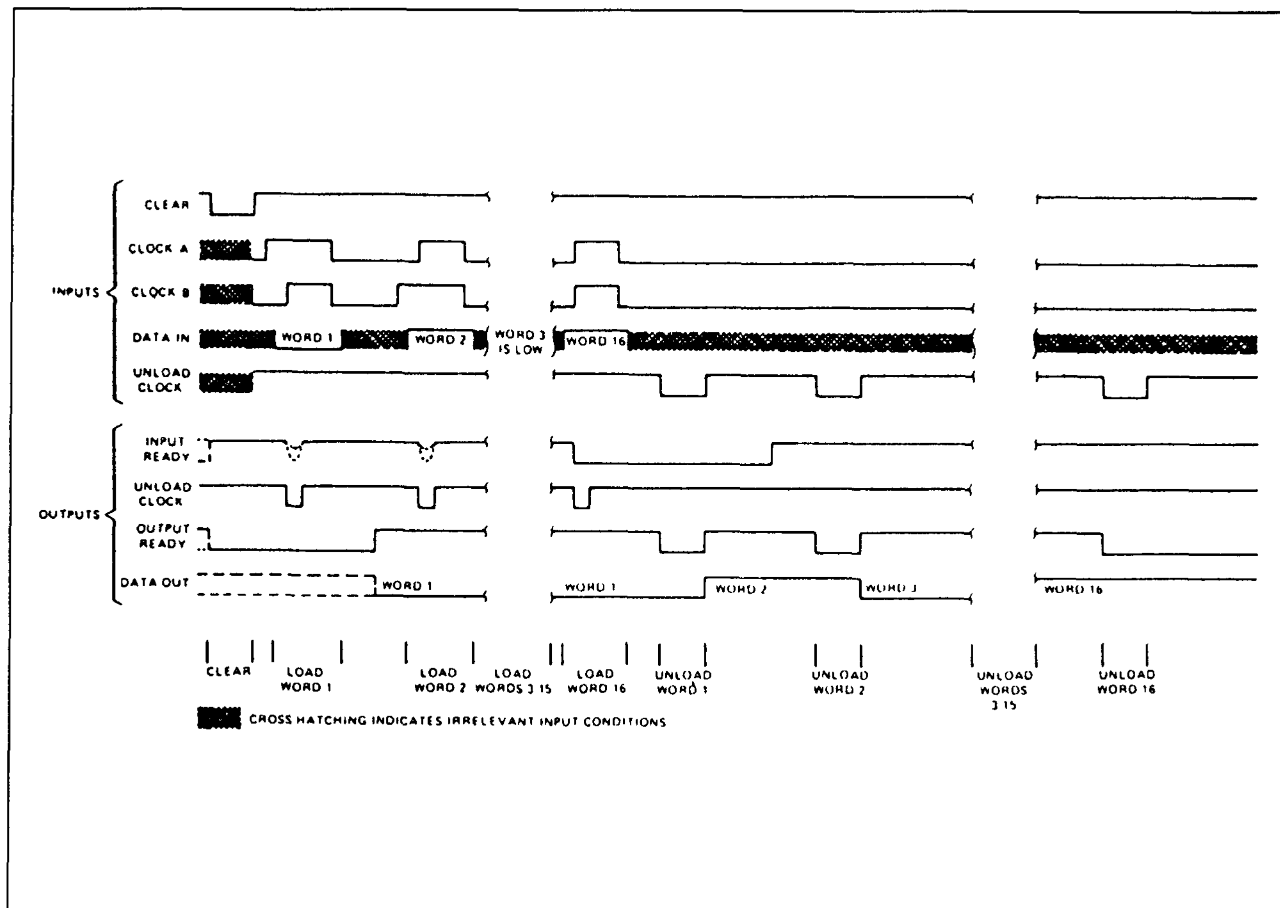
8.2 Type-beschrijving 74xx-serie TTL en HC (T)



.**Figuur 8/8.2-9:** Logisch symbool van de 74S225.

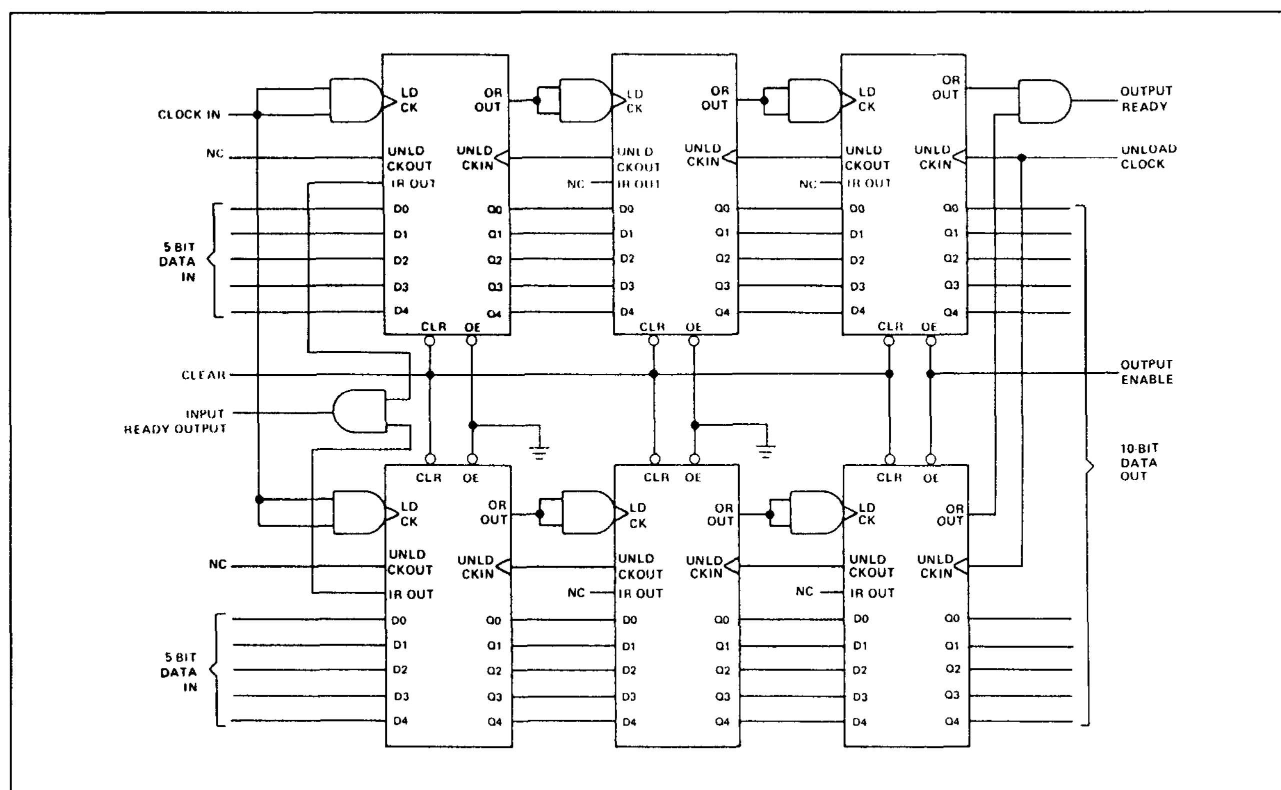


Figuur 8/8.2-8: Aansluitingen van de 74S225.



Figuur 8/8.2-10: Timing-diagram van de 74S225.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-11: Uitgebreide FIFO (48 woorden van 10 bit) met behulp van 6 stuks 74S225.

PARAMETERS	FROM	TO	MIN	TYP	MAX	UNIT
f_{max}	CLK A		10	20		MHz
f_{max}	CLK B		10	20		MHz
f_{max}	UNCK IN		10	20		MHz
t_w	UNCK OUT		7	14		ns
t_{PXZ}	$\overline{OE}$	Qi		10	25	ns
t_{PZX}				25	40	
t_{PLH}	UNCK IN	Qi		50	75	ns
t_{PHL}				50	75	
t_{PLH}	CLK A or CLK B	OR		190	300	ns
t_{PLH}	UNCK IN	OR		40	60	ns
t_{PHL}				30	45	
t_{PHL}	$\overline{CLR}$	OR		35	60	ns
t_{PHL}	CLK A or CLK B	UNCK OUT		25	45	ns
t_{PHL}	UNCK IN	UNCK OUT		270	400	ns
t_{PHL}	CLK A or CLK B	IR		55	75	ns
t_{PLH}	UNCK IN	IR		255	400	ns
t_{PLH}	$\overline{CLR}$	IR		16	35	ns
t_{PLH}	OR↑	Qi		10	20	ns

Tabel 8/8.2-9: Schakeltijden van de 74S225.

74(LS)227

16 x 4 bit, open-collector, OR-enable

De 74LS227 is een 64 bit register, georganiseerd in 16 woorden van 4 bit met open-collector uitgangen, waarbij de data die het eerst wordt ingeschreven weer als eerste kan worden uitgelezen.

De FIFO werkt asynchroon, zodat verschillende snelheden voor schrijven en lezen van de data gebruikt kunnen worden.

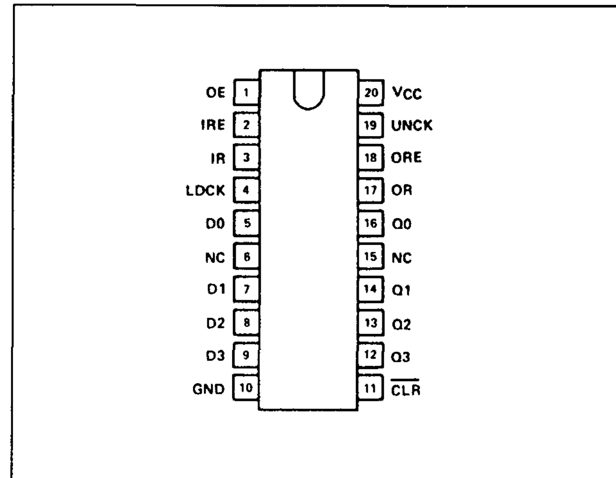
Data wordt ingeschreven op een HOOG-naar-LAAG overgang van de load- clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). Wanneer de FIFO vol is (16 woorden bevat) gaat de input ready-uitgang (IR) LAAG en heeft LDCK verder geen invloed meer. Is de FIFO leeg, dan is de output ready-uitgang (OR) LAAG en heeft UNCK geen effect.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

De 74LS227 kan zowel in de lengte (met 15m+1 woorden) als in de breedte (met 4n bit) worden uitgebreid met behulp van externe schakelingen.

Specificaties

- alleen leverbaar in LS: 74LS227
- uitbreidbare 16 x 4 organisatie
- onafhankelijke in- en uitgangen
- open-collector uitgangen
- Output Ready Enable ingang
- data-snelheid: 0 tot 10 MHz
- "doorvaltijd" 50 ns typ.
- 20-pens plastic of ceramische DIL behuizing (figuur 8/8.2-12)



Figuur 8/8.2-12: Aansluitingen van de 74LS227.

		SN74LS'			UNIT
		MIN	NOM	MAX	
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output voltage, V_{OH}	Q			5.5	V
High-level output current, I_{OH}	IR, OR			−400	μA
Low-level output current, I_{OL}	Q			24	mA
	IR, OR			8	mA
Setup time, t_{su}	D to LDCK ↓	50			ns
Hold time, t_h	D from LDCK↓	0			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/8.2-10: Aanbevolen bedrijfscondities.

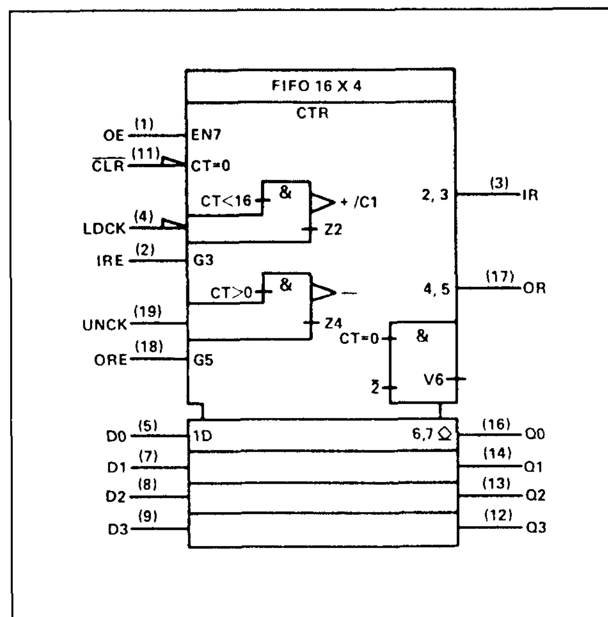
PARAMETER			TEST CONDITIONS†		SN74LS' MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	IR, OR	V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = −400 μA, V_{IL} = V_{IL} max		2.7	3.4		V
I_{OH}	High-level output current	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{OH} = 5.5 V, V_{IL} = V_{IL} max				100	μA
V_{OL}	Low-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA		0.25	0.4	V
				I_{OL} = 24 mA		0.35	0.5	
		IR, OR		I_{OL} = 4 mA		0.25	0.4	
				I_{OL} = 8 mA		0.35	0.5	
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH}	High-level input current		V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current		V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current§	IR, OR	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current		V_{CC} = MAX	Outputs high		84		mA
				Outputs low		87		
				Outputs disabled		89		

Tabel 8/8.2-11: Elektrische eigenschappen van de 74LS227.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

PARAMETER	FROM	TO	TEST CONDITIONS	'LS227 MIN	TYP	MAX
t_{PLH}	IRE ↑	IR	C_L = 15 pF, See Note 2		23	
t_{PHL}	IRE ↓	IR			10	
t_{PLH}	ORE ↑	OR			23	
t_{PHL}	ORE ↓	OR			10	
t_{PLH}	LDCK ↓	IR			27	
t_{PHL}	LDCK ↑	IR			32	
t_{PLH}	LDCK ↓	OR			52	
t_{PLH}	UNCK ↑	OR			31	
t_{PHL}	UNCK ↓	OR			26	
t_{PLH}	UNCK ↑	IR			49	
t_{PLH}	$\overline{CLR}$ ↓	IR •			36	
t_{PHL}	$\overline{CLR}$ ↓	OR			24	
t_{PLH}	LDCK ↓	Q	R_L = 667 Ω, C_L = 45 pF, See Note 2		54	
t_{PHL}	LDCK ↓	Q			41	
t_{PLH}	UNCK ↑	Q			62	
t_{PHL}	UNCK ↑	Q			53	
t_{PLH}	OE ↓	Q			23	
t_{PHL}	OE ↑	Q			25	

Tabel 8/8.2-12: Schakeltijden van de 74LS227.



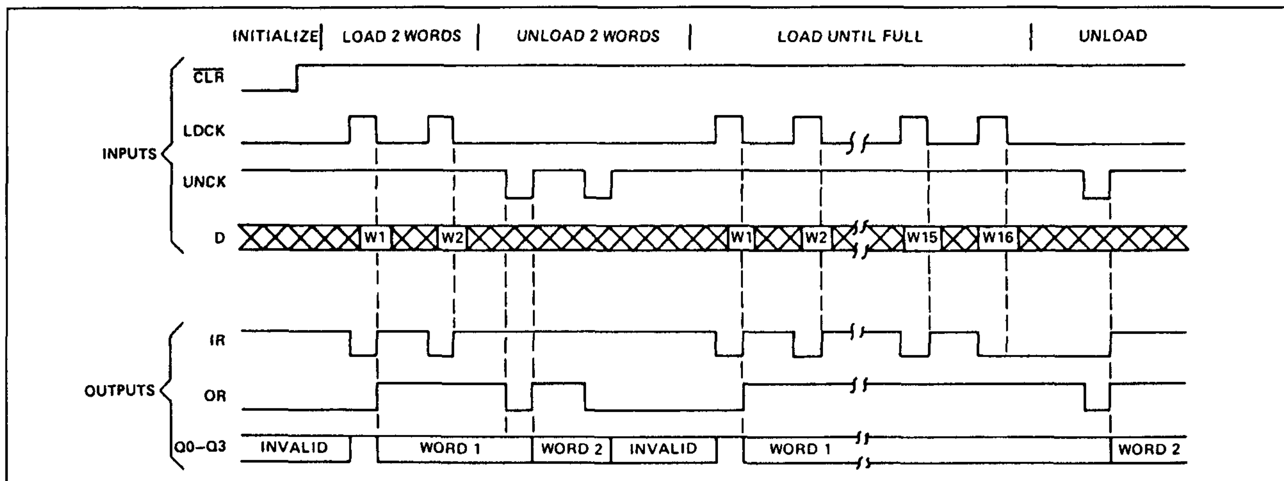
Figuur 8/8.2-13: Logisch symbool van de 74LS227.

De data die het eerst wordt ingeschreven kan als eerste weer worden uitgelezen. De FIFO werkt asynchroon, zodat schrijven en lezen van de data met verschillende snelheden kan plaatsvinden.
Data wordt ingeschreven op een HOOG-naar-LAAG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). Wanneer de FIFO vol is gaat de input ready-uitgang (IR) LAAG en heeft LDCK verder geen invloed meer. Is de FIFO leeg, dan is de output ready-uitgang (OR) LAAG en heeft UNCK geen effect.
De 74LS228 kan in lengterichting (met 15m+1 woorden) en in de breedte (met 4n bits) worden uitgebreid met behulp van externe schakelingen.

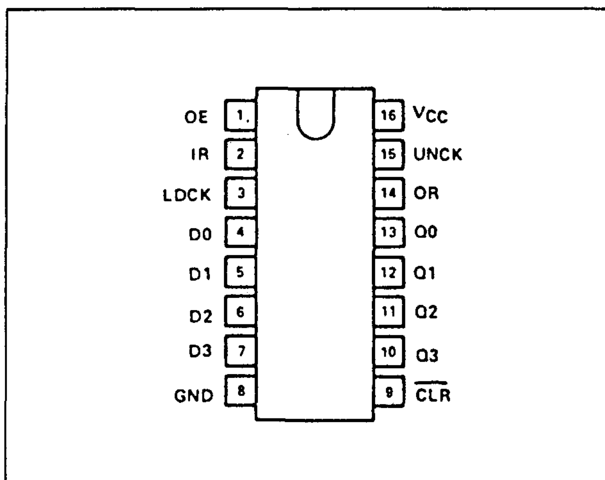
Specificaties
- alleen leverbaar in LS: 74LS228
- uitbreidbare 16 x 4 organisatie
- onafhankelijke in- en uitgangen
- open-collector uitgangen
- data-snelheid: 0 tot 10 MHz
- "doorvaltijd" 50 ns typ.
- 16-pens plastic of ceramische DIL behuizing (figuur 8/8.2-15)

74(LS)228
16 x 4 bit, open-collector
De 74LS228 is een 64 bit FIFO register, georganiseerd in 16 woorden van 4 bit met open-collector uitgangen.

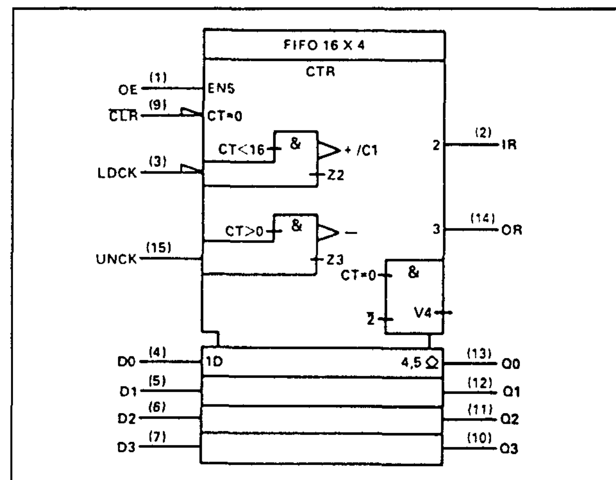
8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-14: Timing-diagram van de 74LS227.



Figuur 8/8.2-15: Aansluitingen van de 74LS228.



Figuur 8/8.2-16: Logisch symbool van de 74LS228.

		SN74LS' MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
High-level output voltage, V_{OH}	Q			5.5	V
High-level output current, I_{OH}	IR, OR			–400	μA
Low-level output current, I_{OL}	Q			24	mA
	IR, OR			8	mA
Setup time, t_{su}	D to LDCK ↓	50			ns
Hold time, t_h	D from LDCK ↓	0			ns
Operating free-air temperature, T_A		0		70	°C

Tabel 8/8.2-13: Aanbevolen bedrijfscondities.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

PARAMETER		TEST CONDITIONS†		SN74LS' MIN	TYP‡	MAX	UNIT
V_{IH} High-level input voltage				2			V
V_{IL} Low-level input voltage						0.8	V
V_{IK} Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH} High-level output voltage	IR, OR	V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = −400 μA, V_{IL} = V_{IL} max		2.7	3.4		V
I_{OH} High-level output current	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{OH} = 5.5 V, V_{IL} = V_{IL} max				100	μA
V_{OL} Low-level output voltage	Q	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	
	IR, OR		I_{OL} = 4 mA		0.25	0.4	
			I_{OL} = 8 mA		0.35	0.5	
I_I Input current at maximum input voltage		V_{CC} = MAX, V_I = 7 V				100	μA
I_{IH} High-level input current		V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL} Low-level input current		V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS} Short-circuit output current§	IR, OR	V_{CC} = MAX		−20		−100	mA
I_{CC} Supply current		V_{CC} = MAX	Outputs high		84		mA
			Outputs low		87		
			Outputs disabled		89		

Tabel 8/8.2-14: Elektrische eigenschappen van de 74LS228.

PARAMETER	FROM	TO	'LS228 MIN	TYP	MAX	UNIT
t_{PLH}	IRE ↑	IR				ns
t_{PHL}	IRE ↓	IR				ns
t_{PLH}	ORE ↑	OR				ns
t_{PHL}	ORE ↓	OR				ns
t_{PLH}	LDCK ↓	IR		27		ns
t_{PHL}	LDCK ↑	IR		32		ns
t_{PLH}	LDCK ↓	OR		52		ns
t_{PLH}	UNCK ↑	OR		31		ns
t_{PHL}	UNCK ↓	OR		26		ns
t_{PLH}	UNCK ↑	IR		49		ns
t_{PLH}	$\overline{CLR}$ ↓	IR •		36		ns
t_{PHL}	$\overline{CLR}$ ↓	OR		24		ns
t_{PLH}	LDCK ↓	Q		54		ns
t_{PHL}	LDCK ↓	Q		41		ns
t_{PLH}	UNCK ↑	Q		62		ns
t_{PHL}	UNCK ↑	Q		53		ns
t_{PLH}	OE ↓	Q		23		ns
t_{PHL}	OE ↑	Q		25		ns

Tabel 8/8.2-15: Schakeltijden van de 74LS228.

74(HCT)7030

64 x 9 bit, 3-state

De 747030 is een uitbreidbaar FIFO geheugen met een 64 x 9 bit organisatie. De FIFO heeft aparte besturingen voor ingang en uitgang (SI en $\overline{SO}$), zodat de data met verschillende snelheden kan worden ingeschreven en uitgelezen: tot 25 MHz en in de burst-mode zelfs 40 MHz (wanneer geen gebruik wordt gemaakt van de DIR- en DOR-flags).

Wanneer met andere data-formaten wordt gewerkt (bijvoorbeeld 64 x 4) moeten de niet-gebruikte bits aan V_{CC} of aan GND worden gelegd. Data wordt in de FIFO geladen op een LAAG-naar-HOOG overgang van Shift-In (SI). Gaat SI daarna weer LAAG, dan wordt de data automatisch naar de verst mogelijke lege plaats getransporteerd. Wanneer nog plaatsen vrij zijn in de FIFO is de Data Input Ready-uitgang (DIR) HOOG als SI LAAG is. Is de FIFO vol dan blijft DIR LAAG.

Door een LAAG-naar-HOOG overgang van Shift-Out ($\overline{SO}$) gaat de Data Output Ready (DOR) flag LAAG. Bij het LAAG gaan van $\overline{SO}$ wordt DOR weer HOOG als de FIFO nog data bevat.

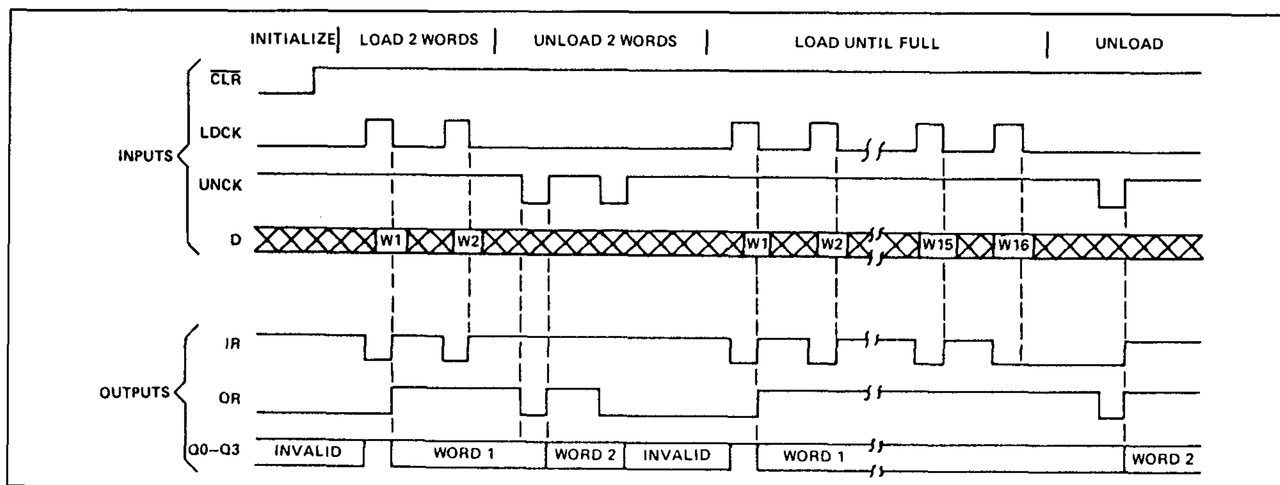
Is de FIFO leeg, dan blijft DOR LAAG. Op een HOOG-naar-LAAG overgang van $\overline{SO}$ schuift alle data één plaats naar achteren. De eerst binnengekomen data kan dan worden uitgelezen door de Output Enable-ingang ($\overline{OE}$) LAAG te maken.

Wanneer men er zeker van is dat de FIFO niet vol kan raken, kan ook in een snelle burst-mode worden gewerkt, waarbij niet naar de DIR en DOR flags wordt gekeken.

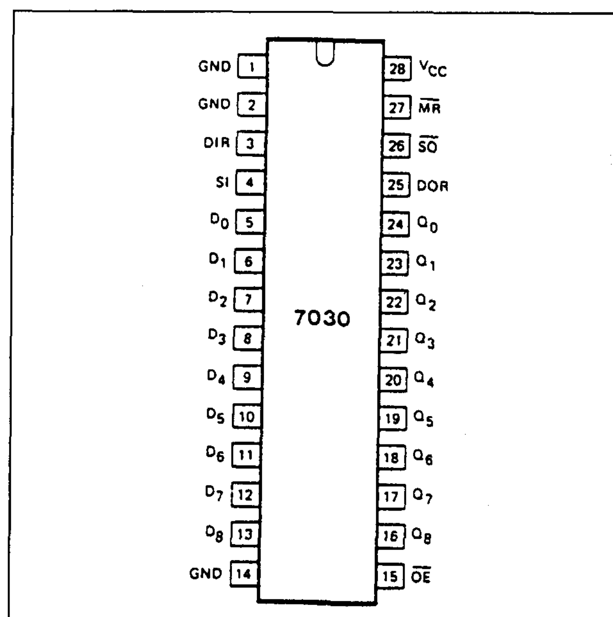
8.2 Type-beschrijving 74xx-serie TTL en HC (T)

Specificaties

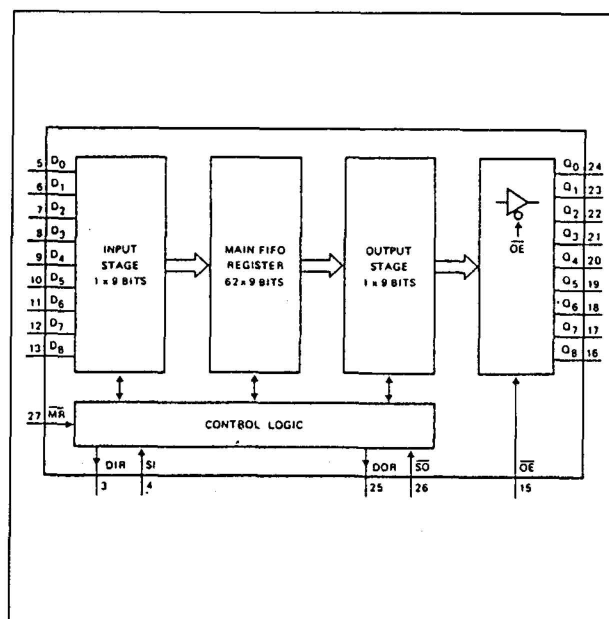
- leverbaar in high-speed CMOS: 74HC7030 en 74HCT7030
- 64 x 9 bit organisatie
- synchrone of asynchrone werking
- 3-state uitgangen
- master-reset ingang voor clearen van data en besturingsfuncties
- data-snelheid: 25 MHz typ. (40 MHz typ. burst-in, burst-out, zonder flags)
- uitbreidbaar in lengte en breedte (25 MHz typ.)
- 28-pens plastic DIL of SOT behuizing (figuur 8/8.2-18)
- pen- en functie- compatibel met TRW TDC1030



Figuur 8/8.2-17: Timing-diagram van de 74LS228.



Figuur 8/8.2-18: Aansluitingen van de 74HC(T)7030.



Figuur 8/8.2-19: Functioneel blokschema van de 74HC(T)7030.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

CHARACTERISTIC	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package Temperature Range) V_{CC}: *			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	
DC Input or Output Voltage, V_I, V_O	0	V_{CC}	
Operating Temperature, T_A:			
CD74 Types	-40	+125	°C
CD54 Types	-55	+125	
Input Rise and Fall Times, t_r, t_f:			
at 2 V	0	1000	
at 4.5 V	0	500	ns
at 6 V	0	400	

Tabel 8/8.2-16: Aanbevolen bedrijfscondities.

CHARACTERISTIC	CD74HC7030/CD54HC7030 TEST CONDITIONS V_I V	I_O mA	V_{CC} V	74HC/54HC TYPES +25°C Min	Typ	Max	74HC TYPES -40/+85°C Min	Max	54HC TYPES -55/+125°C Min	Max	CD74HCT7030/CD54HCT7030 TEST CONDITIONS V_I V	V_{CC} V	74HCT/54HCT TYPES +25°C Min	Typ	Max	74HCT TYPES -40/+85°C Min	Max	54HCT TYPES -55/+125°C Min	Max	UNITS
High-Level Input Voltage V_{IH}			2	1.5	—	—	1.5	—	1.5	—	—	4.5 to 5.5	2	·	—	2	—	2	—	V
			4.5	3.15	—	—	3.15	—	3.15	—										
			6	4.2	—	—	4.2	—	4.2	—										
Low-Level Input Voltage V_{IL}			2	—	—	0.5	-	0.5	—	0.5	—	4.5 to 5.5	—	—	0.8	-	0.8	—	0.8	V
			4.5	—	—	1.35	—	1.35	—	1.35										
			6	—	—	1.8	—	1.8	—	1.8										
High-Level Output Voltage V_{OH} CMOS Loads	V_{IL} or V_{IH}	-0.02	2	1.9	—	—	1.9	—	1.9	—	V_{IL} or V_{IH}	4.5	4.4	—	—	4.4	—	4.4	—	V
			4.5	4.4	—	—	4.4	—	4.4	—										
			6	5.9	—	—	5.9	—	5.9	—										
TTL Loads	V_{IL} or V_{IH}	-4	4.5	3.98	—	—	3.84	—	3.7	—	V_{IL} or V_{IH}	4.5	3.98	—	—	3.84	—	3.7	—	V
		-5.2	6	5.48	—	—	5.34	—	5.2	—										
Low-Level Output Voltage V_{OL} CMOS Loads	V_{IL} or V_{IH}	0.02	2	—	—	0.1	-	0.1	—	0.1	V_{IL} or V_{IH}	4.5	—	—	0.1	—	0.1	—	0.1	V
			4.5	—	—	0.1	—	0.1	—	0.1										
			6	—	—	0.1	—	0.1	—	0.1										
TTL Loads	V_{IL} or V_{IH}	4	4.5	—	—	0.26	—	0.33	—	0.4	V_{IL} or V_{IH}	4.5	—	—	0.26	—	0.33	—	0.4	V
		5.2	6	—	—	0.26	—	0.33	—	0.4										
Input Leakage Current I_I	V_{CC} or Gnd		6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V_{CC} & Gnd	5.5	—	—	±0.1	—	±1	—	±1	
Quiescent Device Current (LSI) I_{CC}	V_{CC} or Gnd	0	6	—	—	50	—	500	—	1000	V_{CC} or Gnd	5.5	—	—	50	—	500	—	1000	µA
Additional Quiescent Device Current per input pin: 1 unit load ΔI_{CC}*											V_{CC} -2.1	4.5 to 5.5	—	100	360	—	450	—	490	µA
3-State Leakage Current I_{OZ}	V_{IL} or V_{IH}	V_O=V_{CC} or Gnd	6	—	—	±0.5	—	±5	—	±10	V_{IL} or V_{IH}	5.5	—	—	±0.5	—	±5	—	±10	

Tabel 8/8.2-17: Elektrische eigenschappen van de 74HC7030 en 74HCT7030.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

CHARACTERISTIC	TEST CONDITIONS V_{CC} (V)	LIMITS												UNITS
		+25° C				-40° C to +85° C				-55° C to +125° C				
		HC		HCT		74HC		74HCT		54HC		54HCT		
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SI Pulse Width t_W	2	50	—	—	—	65	—	—	—	75	—	—	—	
HIGH or LOW	4.5	10	—	12	—	13	—	15	—	15	—	18	—	
Fig. 4	6	9	—	—	—	11	—	—	—	13	—	—	—	
$\overline{SO}$ Pulse Width t_W	2	100	—	—	—	125	—	—	—	150	—	—	—	
HIGH or LOW	4.5	20	—	15	—	25	—	19	—	30	—	22	—	
Fig. 7	6	17	—	—	—	21	—	—	—	26	—	—	—	
DIR Pulse Width t_W	2	50	145	—	—	—	180	—	—	—	220	—	—	
HIGH	4.5	10	29	13	37	—	36	—	46	—	44	—	56	
Fig. 5	6	9	25	—	—	—	31	—	—	—	38	—	—	
DOR Pulse Width t_W	2	50	145	—	—	—	180	—	—	—	220	—	—	
HIGH	4.5	10	29	12	35	—	36	—	44	—	44	—	53	
Fig. 8	6	9	29	—	—	—	31	—	—	—	38	—	—	
$\overline{MR}$ Pulse Width t_W	2	70	—	—	—	90	—	—	—	105	—	—	—	ns
LOW	4.5	14	—	18	—	18	—	23	—	21	—	27	—	
Fig. 6	6	12	—	—	—	15	—	—	—	18	—	—	—	
Removal Time t_{REM}	2	80	—	—	—	100	—	—	—	120	—	—	—	
$\overline{MR}$ to SI	4.5	16	—	18	—	20	—	23	—	24	—	27	—	
Fig. 13	6	14	—	—	—	17	—	—	—	20	—	—	—	
Setup Time t_{SU}	2	-35	—	—	—	-45	—	—	—	-55	—	—	—	
D_n to SI	4.5	-7	—	-8	—	-9	—	-10	—	-11	—	-12	—	
Fig. 11	6	-6	—	—	—	-8	—	—	—	-9	—	—	—	
Hold Time	2	110	—	—	—	140	—	—	—	165	—	—	—	
D_n to SI	4.5	22	—	22	—	28	—	28	—	33	—	33	—	
Fig. 11	6	19	—	—	—	24	—	—	—	28	—	—	—	
Maximum Clock Pulse Pulse Frequency f_{MAX}	2	3.6	—	—	—	2.8	—	—	—	2.4	—	—	—	
SI, $\overline{SO}$ (Burst Mode or Using Flags)	4.5	18	—	15	—	14	—	12	—	12	—	10	—	
Figs. 4, 7, 9 and 10	6	21	—	—	—	16	—	—	—	14	—	—	—	
Maximum Clock Pulse Frequency f_{MAX}	2	2.8	—	—	—	2.2	—	—	—	1.8	—	—	—	MHz
SI, $\overline{SO}$ (Cascaded)	4.5	14	—	13	—	11	—	10	—	9.2	—	7.8	—	
Figs. 4 and 7	6	17	—	—	—	13	—	—	—	11	—	—	—	

Tabel 8/8.2-18: Benodigde timing voor de 74HC(T)7030.

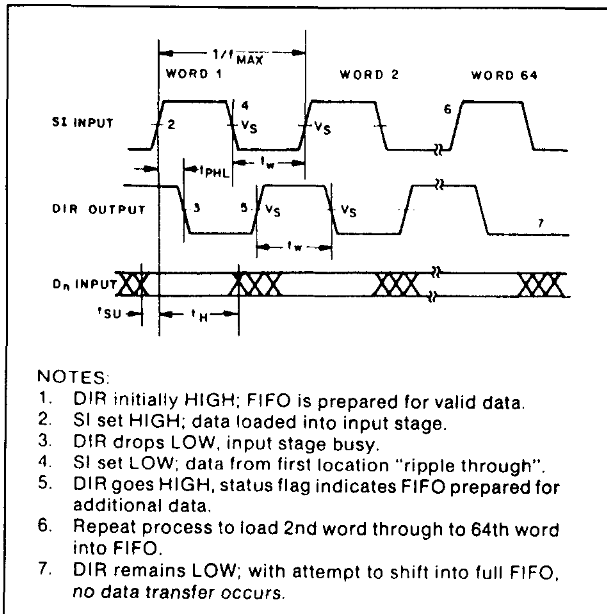
8.2 Type-beschrijving 74xx-serie TTL en HC (T)

CHARACTERISTIC		TEST CONDITIONS V_{CC} (V)	LIMITS												UNITS
			+25°C				-40°C to +85°C				-55°C to +125°C				
			HC		HCT		74HC		74HCT		54HC		54HCT		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Propagation Delay	t_{PHL}	2	—	210	—	—	—	265	—	—	—	315	—	—	
$\overline{MR}$ to DIR, DOR	t_{PLH}	4.5	-	42		51		53		53	—	63	—	63	
Fig. 6		6		36				45				54			
Propagation Delay	t_{PLH}	2	—	235	—	—	—	295	—	—	—	355	—	—	
SI to DIR		4.5	—	47	—	49	—	59	—	61	—	71	—	74	
Fig. 4		6	—	40	—	—	—	50	—	—	—	60	—	—	
Propagation Delay	t_{PHL}	2	—	315				395				475		—	
$\overline{SO}$ to DOR		4.5	—	63	—	67	—	79	—	84	—	95	—	101	ns
Fig. 7		6	—	50	—	—	—	63	—	—	—	76	—	—	
Propagation Delay	t_{PHL}	2	—	35	—	—	—	45	—	—	—	55	—	—	
DOR to Q_n	t_{PLH}	4.5	—	7	—	22	—	9	—	28	—	11	—	33	
Fig. 8		6	—	6	—	—	—	8	—	—	—	9	—	—	
Propagation Delay	t_{PHL}	2	—	345	—	—	—	430	—	—	—	520	—	—	
$\overline{SO}$ to Q_n	t_{PLH}	4.5	—	69	—	78	—	86	—	98	—	104	—	117	
Fig. 12		6	—	55	—	—	—	69	—	—	—	83	—	—	
Propagation Delay	t_{PLH}	2	—	8	—	—	—	10	—	—	—	12	—	—	
Ripple through Delay		4.5	—	1.6	—	1.6	—	2	—	2	—	2.4	—	2.4	
SI to DOR Fig. 8		6	—	1.3	—	—	—	1.6	—	—	—	1.9	—	—	
Propagation Delay	t_{PLH}	2	—	10	—	—	—	12.5	—	—	—	15	—	—	µs
Ripple through Delay		4.5	—	2	—	2	—	2.5	—	2.5	—	3	—	3	
$\overline{SO}$ to DIR Fig. 5		6	—	1.6	—	—	—	2	—	—	—	2.4	—	—	
3-State Output Enable	t_{PZH}	2	—	175	—	—	—	220	—	—	—	265	—	—	
$\overline{OE}$ to Q_n	t_{PZL}	4.5	—	35	—	35	—	44	—	44	—	53	—	53	
Fig. 14		6	—	30	—	—	—	37	—	—	—	45	—	—	
3-State Output Disable	t_{PHZ}	2	—	150	—	—	—	190	—	—		225	—	—	
$\overline{OE}$ to Q_n	t_{PLZ}	4.5	—	30	—	35	—	38	—	44	—	45	—	53	ns
Fig. 14		6	—	26	—	—	—	33	—	—	—	38	—	—	
Output Transition Time	t_{THL}	2		75				95				110			
Standard Outputs	t_{TLH}	4.5	—	15	—	15	—	19	—	19	—	22	—	22	
Fig. 12		6	—	13	—	—	—	16	—	—	—	19	—	—	
Input Capacitance	C_I	—	—	10	—	10	—	10	—	10	—	10	—	10	pF
3-State Output Capacitance	C_O	—	—	15	—	15	-	15	—	15	—	15	—	15	

CHARACTERISTIC		C_L (pF)	TYPICAL		UNITS
			HC	HCT	
Propagation Delay	t_{PLH} t_{PHL}				
$\overline{MR}$ to DIR, DOR		15	21	26	ns
$\overline{SO}$ to Q_n		15	36	40	ns
SI to DIR	t_{PHL}	15	20	21	ns
$\overline{SO}$ to DOR		15	25	26	ns
Maximum SI, $\overline{SO}$ Frequency		15	33	29	MHz
Power Dissipation Capacitance *	C_{PD}	—	660	660	pF

Tabel 8/8.2-19: Schakeltijden van de 74HC(T)7030.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)



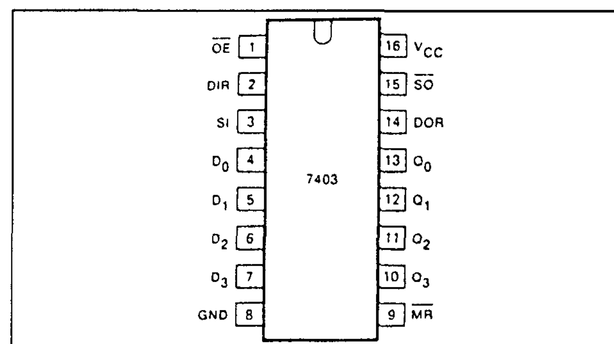
Figuur 8/8.2-20: Golfvormen bij data-opname van de 74HC(T)7030 (van FIFO leeg tot FIFO vol).

74(HCT)7403

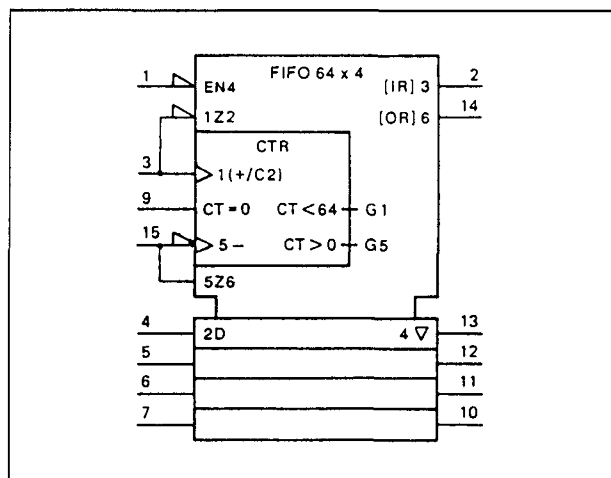
64 x 4 bit, 3-state

De 747403 is een uitbreidbaar first-in, first-out (FIFO) geheugen, georganiseerd in 64 woorden van 4 bit. Door de aparte controlingangen voor data-in (SI) en data-uit ($\overline{SO}$) kan met verschillende snelheden worden ingeschreven en uitgelezen (maximaal 30 MHz). Wanneer de DIR- en DOR-flags worden genegeerd (burst-mode) kan zelfs nog sneller worden gewerkt. De status van de data-ingangstrap wordt aangegeven met de DIR-flag. Wanneer (nog) data kan worden opgenomen is DIR HOOG; bij FIFO vol of bezig is DIR LAAG. Data op de ingangen D0 tot en met D3 wordt in de eerste trap geschoven als DIR en SI beide HOOG zijn. Is dit gebeurd dan gaat DIR LAAG. Wordt SI daarna LAAG gemaakt dan wordt de data automatisch naar de verst mogelijke lege plaats overgebracht. Ook de data-uitgangstrap heeft een status-flag: DOR. Wanneer data aanwezig is, is DOR HOOG; bij FIFO leeg of bezig is DOR LAAG. De DIR en DOR signalen spelen bij uitbreidingen een sleutelrol. Als $\overline{SO}$ en DOR beide HOOG zijn, is data aanwezig op de uitgangen Q0 tot en met Q3. Gaat $\overline{SO}$ daarna LAAG, dan kan nieuwe data in de uitgangstrap worden geschoven totdat DOR LAAG blijft.

Specificaties
- leverbaar in high-speed CMOS: 74HC7403 en 74HCT7403
- 64 x 4 bit organisatie
- synchrone of asynchrone werking
- 3-state uitgangen
- data-snelheid: 30 MHz max. (15 MHz gegarandeerd)
- uitbreidbaar in woordlengte en aantal bits
- 16-pens plastic DIL of SOT behuizing (figuur 8/8.2-21)



Figuur 8/8.2-21: Aansluitingen van de 74HC(T)7403.



Figuur 8/8.2-22: Logisch symbool van de 74HC(T)7403.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

SYMBOL	PARAMETER	74HC							UNIT	V_{CC} V
		+25			−40 to+85		−40 to+125			
		MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.		
V_{OH}	HIGH level output voltage all outputs	1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0
V_{OH}	HIGH level output voltage driver outputs	3.98 5.48	4.32 5.81		3.84 5.34		3.70 5.20		V	4.5 6.0
V_{OL}	LOW level output voltage all outputs		0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0
V_{OL}	LOW level output voltage driver outputs		0.15 0.15	0.26 0.26		0.33 0.33		0.40 0.40	V	4.5 6.0

SYMBOL	PARAMETER	74HCT							UNIT	V_{CC} V
		+25			−40 to+85		−40 to+125			
		MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.		
V_{OH}	HIGH level output voltage all outputs	4.4	4.5		4.4		4.4		V	4.5
V_{OH}	HIGH level output voltage driver outputs	3.98	4.32		3.84		3.70		V	4.5
V_{OL}	LOW level output voltage all outputs		0	0.1		0.1		0.1	V	4.5
V_{OL}	LOW level output voltage driver outputs		0.15	0.26		0.33		0.40	V	4.5

Tabel 8/8.2-20: Aanbevolen bedrijfscondities voor de 74HC7403 (boven) en de 74HCT7403 (onder).

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

SYMBOL	PARAMETER	T_{amb} (°C) 74HC +25			−40 to+85		−40 to+125		UNIT	V_{CC} V
		MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.		
t_{PHL}/ t_{PLH}	propagation delay $\overline{MR}$ to DIR, DOR		69 25 20	210 42 36		265 53 45		315 63 54	ns	2.0 4.5 6.0
t_{PHL}	propagation delay $\overline{MR}$ to Q_n		52 19 15	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay SI to DIR		66 24 19	205 41 35		255 51 43		310 62 53	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to DOR		94 34 27	290 58 49		365 73 62		435 87 74	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay DOR to Q_n		11 4 3	35 7 6		45 9 8		55 11 9	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to Q_n		105 38 30	325 65 55		406 81 69		488 98 83	ns	2.0 4.5 6.0
t_{PLH}	propagation delay/ripple through delay SI to DOR		2.2 0.8 0.6	7.0 1.4 1.2		8.8 1.8 1.5		10.5 2.1 1.8	μs	2.0 4.5 6.0
t_{PLH}	propagation delay/ bubble-up delay $\overline{SO}$ to DIR		2.8 1.0 0.8	9.0 1.8 1.5		11.2 2.2 1.9		13.5 2.7 2.3	μs	2.0 4.5 6.0
t_{PZH}/ t_{PZL}	3-state output enable $\overline{OE}$ to Q_n		44 16 13	150 30 26		190 38 32		225 45 38	ns	2.0 4.5 6.0
t_W	$\overline{MR}$ pulse width LOW	120 24 20	39 14 11		150 30 26		180 36 31		ns	2.0 4.5 6.0
t_{rem}	removal time $\overline{MR}$ to SI	80 16 14	24 8 7		100 20 17		120 24 20		ns	2.0 4.5 6.0
t_{su}	set-up time D_n to SI	−8 −4 −3	−36 −13 −10		−6 −3 −3		−6 −3 −3		ns	2.0 4.5 6.0
t_h	hold time D_n to SI	135 27 23	44 16 13		170 34 29		205 41 35		ns	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ burst mode	3.6 18 21	9.9 30 36		2.8 14 16		2.4 12 14		MHz	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ using flags	3.6 18 21	9.9 30 36		2.8 14 16		2.4 12 14		MHz	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ cascaded		7.6 23 27						MHz	2.0 4.5 6.0

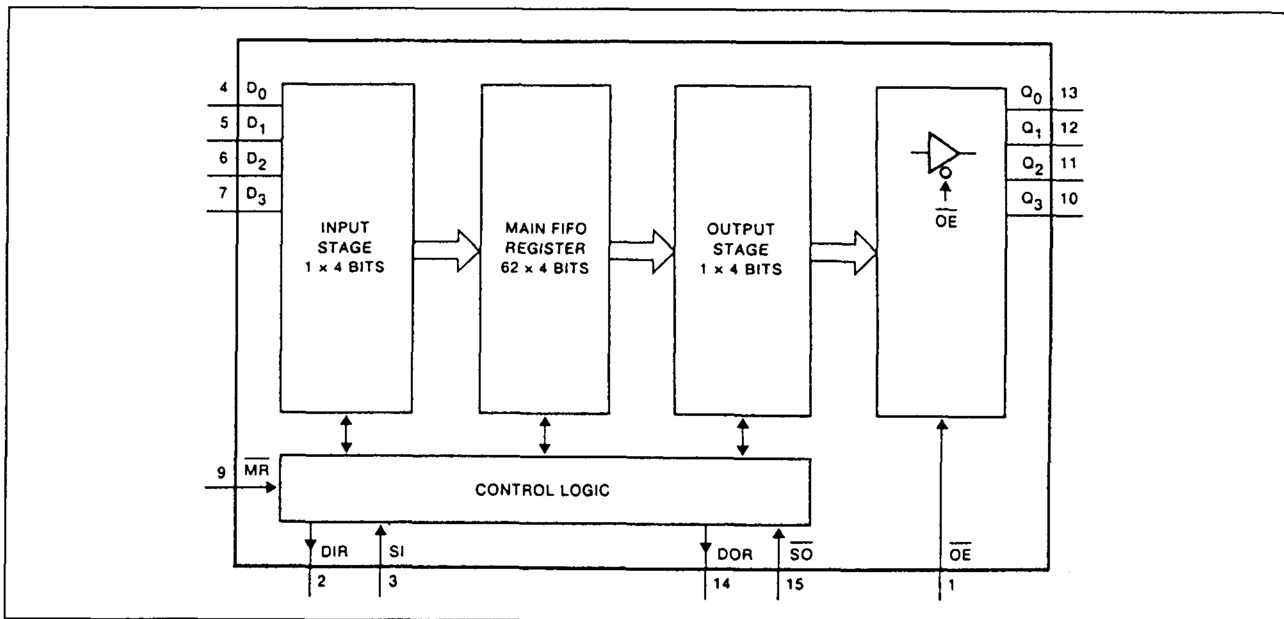
Tabel 8/8.2-21: Timing-eigenschappen van de 74HC7403.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

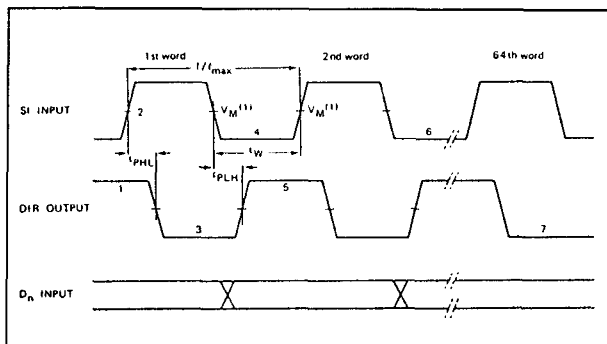
SYMBOL	PARAMETER	T_{amb} (°C) 74HCT +25 MIN.	TYP.	MAX.	−40 to+85 MIN.	MAX.	−40 to+125 MIN.	MAX.	UNIT	V_{CC} V
t_{PHL}/ t_{PLH}	propagation delay $\overline{MR}$ to DIR, DOR		30	51		53		63	ns	4.5
t_{PHL}	propagation delay $\overline{MR}$ to Q_n		22	38		48		57	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay SI to DIR		25	43		54		65	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to DOR		36	61		76		92	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to Q_n		42	72		90		108	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay DOR to Q_n		7	12		15		18	ns	4.5
t_{PLH}	propagation delay/ripple through delay SI to DOR		0.8	1.4		1.75		2.1	µs	4.5
t_{PLH}	propagation delay/ bubble-up delay $\overline{SO}$ to DIR		1.0	1.8		2.25		2.7	µs	4.5
t_{PZH}/ t_{PZL}	3-state output enable $\overline{OE}$ to Q_n		16	30		38		45	ns	4.5
t_{PHZ}/ t_{PLZ}	3-state output disable $\overline{OE}$ to Q_n		19	30		38		45	ns	4.5
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5
t_W	SI pulse width HIGH or LOW	9	5		6		8		ns	4.5
t_W	$\overline{SO}$ pulse width HIGH or LOW	14	8		18		21		ns	4.5
t_W	DIR pulse width HIGH	5	17	29	4	36	4	44	ns	4.5
t_W	DOR pulse width HIGH	7	21	36	6	45	6	54	ns	4.5
t_W	$\overline{MR}$ pulse width LOW	26	15		33		39		ns	4.5
t_{rem}	removal time $\overline{MR}$ to SI	18	10		23		27		ns	4.5
t_{su}	set-up time D_n to SI	−5	−16		−4		−4		ns	4.5
t_h	hold time D_n to SI	30	18		38		45		ns	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ burst mode	18	30		14		12		MHz	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ using flags	18	30		14		12		MHz	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ cascaded		23						MHz	4.5

Tabel 8/8.2-22: Schakeltijden van de 74HCT7403.

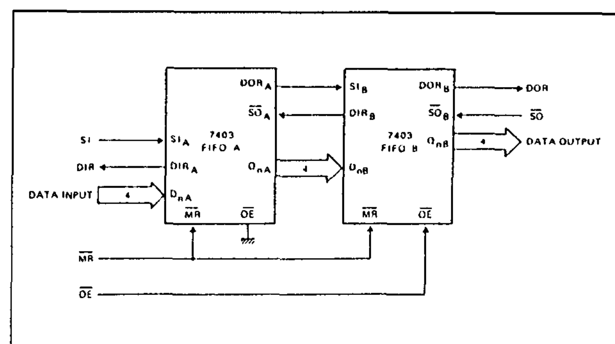
8.2 Type-beschrijving 74xx-serie TTL en HC (T)



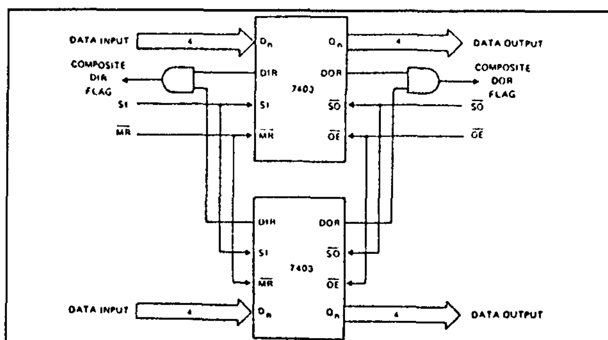
Figuur 8/8.2-23: Functioneel blokschema van de 74HC(T)7403.



Figuur 8/8.2-24: Timing van data-opname door de 74HC(T)7403 (van FIFO leeg tot FIFO vol).



Figuur 8/8.2-26: Uitbreiding van het aantal woorden (128 woorden x 4 bits).



Figuur 8/8.2-25: Uitbreiding van de woordbreedte tot 8 bits (64 woorden).

74(HCT)7404

64 x 5 bit, 3-state

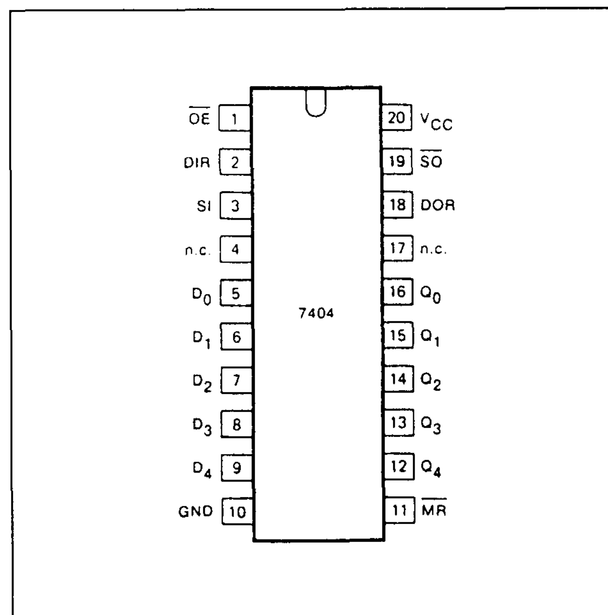
De 747404 is een FIFO-geheugen (First-In First-Out) met een 64 x 5 bit organisatie. Doordat voor data-in en data-uit aparte control-ingangen beschikbaar zijn (SI respectievelijk $\overline{SO}$) kan met verschillende snelheden worden ingeschreven en uitgelezen.
Het is ook mogelijk om in een burst-mode te werken, waarbij de DIR- en DOR-flags worden genegeerd.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

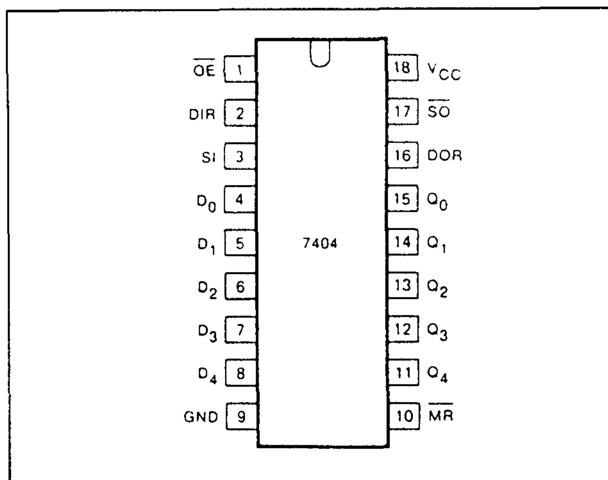
Met de DIR-flag wordt de status van de data-ingangstrap aangegeven. Wanneer ruimte in de FIFO aanwezig is, is DIR (Data-In Ready) HOOG; bij FIFO vol of bezig is DIR LAAG. Data die op de ingangen D0 tot en met D4 aanwezig is, wordt in de ingangstrap geschoven als zowel DIR en SI HOOG zijn, waarna DIR LAAG gaat. Gaat SI daarna LAAG, dan wordt de data automatisch zo ver mogelijk naar achteren gebracht. De status van de data-uitgangstrap heeft ook een flag: DOR. Wanneer data aanwezig is, is DOR HOOG; bij FIFO leeg of bezig is DOR LAAG. Als $\overline{\text{SO}}$ en DOR HOOG zijn, is data aanwezig op de uitgangen Q0 tot en met Q4. Als $\overline{\text{SO}}$ LAAG gaat kan nieuwe data in de uitgangstrap worden geschoven totdat DOR LAAG blijft.

Specificaties

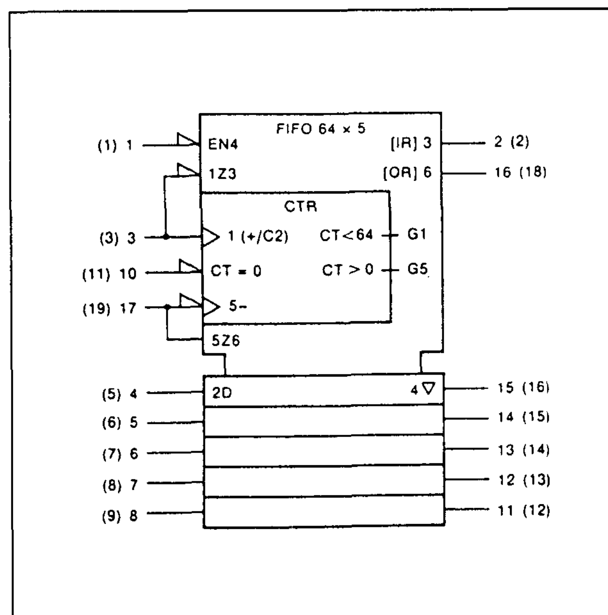
- leverbaar in high-speed CMOS: 74HC7404 en 74HCT7404
- 64 x 5 bit organisatie
- synchrone of asynchrone werking
- 3-state uitgangen
- data-snelheid: 30 MHz max. (15 MHz gegarandeerd)
- uitbreidbare woordlengte en aantal bits
- 18-pens plastic DIL behuizing (figuur 8/8.2-27) of 20-pens plastic SOT-behuizing (figuur 8/8.2-28)



Figuur 8/8.2-28: Aansluitingen van de 20-pens SOT-uitvoering van de 74HC(T)7404.

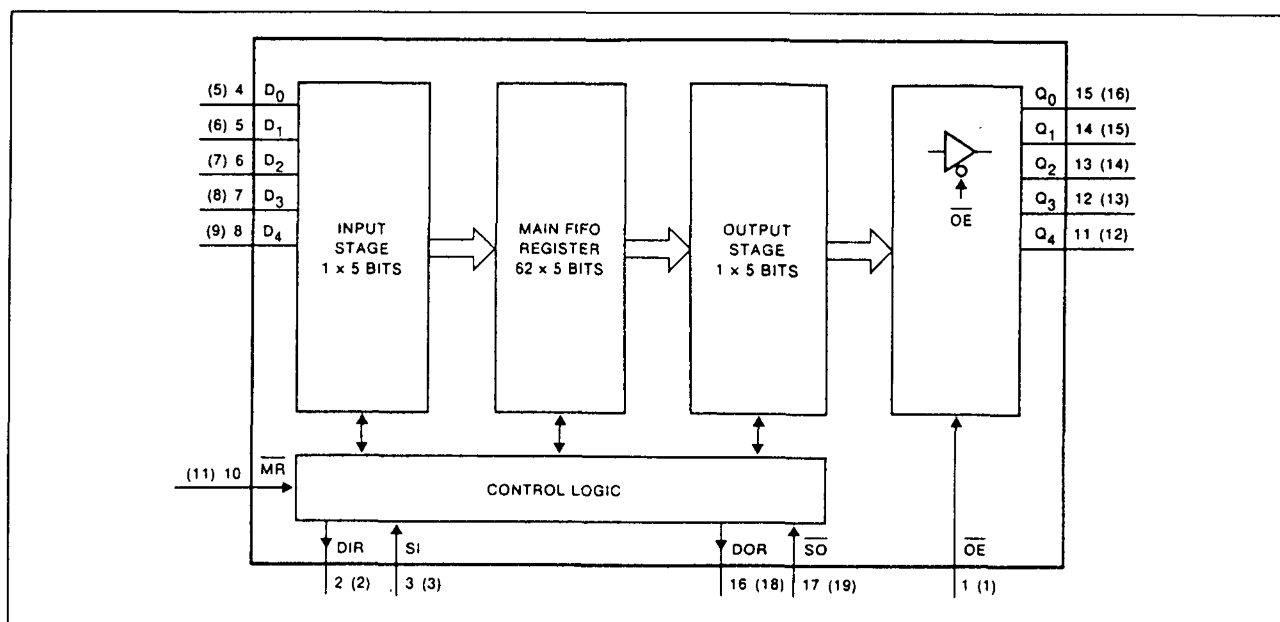


Figuur 8/8.2-27: Aansluitingen van de 18-pens DIL-versie van de 74HC(T)7404.



Figuur 8/8.2-29: Logisch symbool van de 74HC(T)7404.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-30: Functioneel blokschema van de 74HC(T)7404.

SYMBOL	PARAMETER	T_{amb} (°C) 74HC +25 MIN.	TYP.	MAX.	−40 to +85 MIN.	MAX.	−40 to +125 MIN.	MAX.	UNIT	V_{CC} V
V_{OH}	HIGH level output voltage	3.98 5.48	4.32 5.81		3.84 5.34		3.70 5.20		V	4.5 6.0
V_{OL}	LOW level output voltage		0.15 0.15	0.26 0.26		0.33 0.33		0.40 0.40	V	4.5 6.0

SYMBOL	PARAMETER	74HCT +25 MIN.	TYP.	MAX.	−40 to +85 MIN.	MAX.	−40 to +125 MIN.	MAX.	UNIT	V_{CC} V
V_{OH}	HIGH level output voltage	3.98	4.32		3.84		3.70		V	4.5
V_{OL}	LOW level output voltage		0.15	0.26		0.33		0.40	V	4.5

Tabel 8/8.2-23: Aanbevolen bedrijfscondities voor de 74HC7404 (boven) en de 74HCT7404 (onder).

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	V_{CC} V
		74HC								
		+25			−40 to +85		−40 to +125			
		MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.		
t_{PHL}/ t_{PLH}	propagation delay $\overline{MR}$ to DIR, DOR		69 25 20	210 42 36		265 53 45		315 63 54	ns	2.0 4.5 6.0
t_{PHL}	propagation delay $\overline{MR}$ to Q_n		52 19 15	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay SI to DIR		66 24 19	205 41 35		255 51 43		310 62 53	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to DOR		94 34 27	290 58 49		365 73 62		435 87 74	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay DOR to Q_n		11 4 3	35 7 6		45 9 8		55 11 9	ns	2.0 4.5 6.0
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to Q_n		105 38 30	325 65 55		406 81 69		488 98 83	ns	2.0 4.5 6.0
t_{PLH}	propagation delay/ripple through delay SI to DOR		2.2 0.8 0.6	7.0 1.4 1.2		8.8 1.8 1.5		10.5 2.1 1.8	μs	2.0 4.5 6.0
t_{PLH}	propagation delay/ bubble-up delay $\overline{SO}$ to DIR		2.8 1.0 0.8	9.0 1.8 1.5		11.2 2.2 1.9		13.5 2.7 2.3	μs	2.0 4.5 6.0
t_{PZH}/ t_{PZL}	3-state output enable $\overline{OE}$ to Q_n		44 16 13	150 30 26		188 38 32		225 45 38	ns	2.0 4.5 6.0
t_{PHZ}/ t_{PLZ}	3-state output disable $\overline{OE}$ to Q_n		50 18 14	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0
t_{THL}/ t_{TLH}	output transition time		14 5 4	60 12 10		75 15 13		90 18 15	ns	2.0 4.5 6.0
t_W	$\overline{MR}$ pulse widthLOW	120 24 20	39 14 11		150 30 26		180 36 31		ns	2.0 4.5 6.0
t_{rem}	removal time $\overline{MR}$ to SI	80 16 14	24 8 7		100 20 17		120 24 20		ns	2.0 4.5 6.0
t_{su}	set-up time D_n to SI	-8 -4 -3	-36 -13 -10		-6 -3 -3		-6 -3 -3		ns	2.0 4.5 6.0
t_h	hold time D_n to SI	135 27 23	44 16 13		170 34 29		205 41 35		ns	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ burst mode	3.6 18 21	9.9 30 36		2.8 14 16		2.4 12 14		MHz	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ using flags	3.6 18 21	9.9 30 36		2.8 14 16		2.4 12 14		MHz	2.0 4.5 6.0
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ cascaded		7.6 23 27						MHz	2.0 4.5 6.0

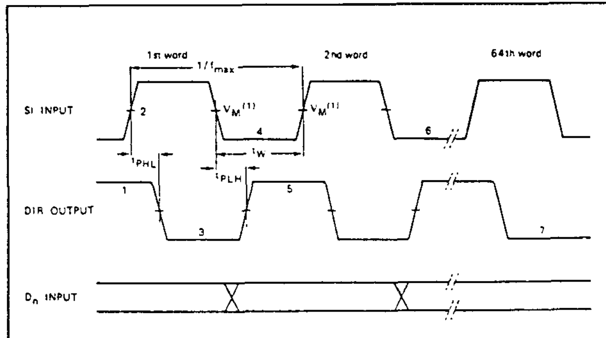
Tabel 8/8.2-24: Schakeltijden van de 74HC7404.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

SYMBOL	PARAMETER	T_{amb} (°C) 74HCT +25 MIN.	TYP.	MAX.	-40 to +85 MIN.	MAX.	-40 to +125 MIN.	MAX.	UNIT	V_{CC} V
t_{PHL}/ t_{PLH}	propagation delay $\overline{MR}$ to DIR, DOR		30	51		53		63	ns	4.5
t_{PHL}	propagation delay $\overline{MR}$ to Q_n		22	38		48		57	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay SI to DIR		25	43		54		65	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to DOR		36	61		76		92	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay $\overline{SO}$ to Q_n		42	72		90		108	ns	4.5
t_{PHL}/ t_{PLH}	propagation delay DOR to Q_n		7	12		15		18	ns	4.5
t_{PLH}	propagation delay/ripple through delay SI to DOR		0.8	1.4		1.75		2.1	µs	4.5
t_{PLH}	propagation delay/ bubble-up delay $\overline{SO}$ to DIR		1.0	1.8		2.25		2.7	µs	4.5
t_{PZH}/ t_{PZL}	3-state output enable $\overline{OE}$ to Q_n		16	30		38		45	ns	4.5
t_{PHZ}/ t_{PLZ}	3-state output disable $\overline{OE}$ to Q_n		19	30		38		45	ns	4.5
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5
t_W	SI pulse width HIGH or LOW	9	5		6		8		ns	4.5
t_W	$\overline{SO}$ pulse width HIGH or LOW	14	8		18		21		ns	4.5
t_W	DIR pulse width HIGH	5	17	29	4	36	4	44	ns	4.5
t_W	DOR pulse width HIGH	7	21	36	6	45	6	54	ns	4.5
t_W	$\overline{MR}$ pulse widthLOW	26	15		33		39		ns	4.5
t_{rem}	removal time $\overline{MR}$ to SI	18	10		23		27		ns	4.5
t_{su}	set-up time D_n to SI	-5	-16		-4		-4		ns	4.5
t_h	hold time D_n to SI	30	18		38		45		ns	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ burst mode	18	30		14		12		MHz	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ using flags	18	30		14		12		MHz	4.5
f_{max}	maximum clock pulse frequency SI, $\overline{SO}$ cascaded		23						MHz	4.5

Tabel 8/8.2-25: Schakeltijden van de 74HCT7404.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)



Figuur 8/8.2-31: Timing van data-invoer in een 74HC(T)7404 (van FIFO leeg tot FIFO vol).

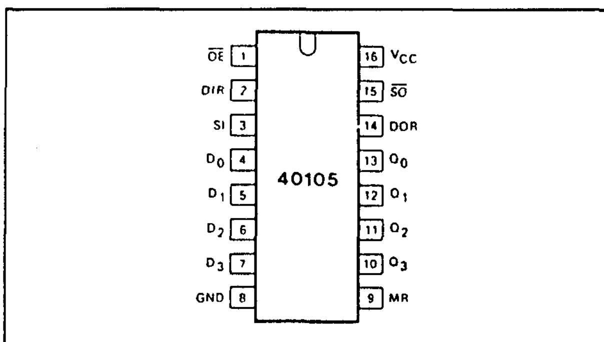
Figuur 8/8.2-32: Uitbreiding in lengte en breedte (tot 64n woorden van 10 bit).

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

74(HCT)40105

16 x 4 bit, 3-state

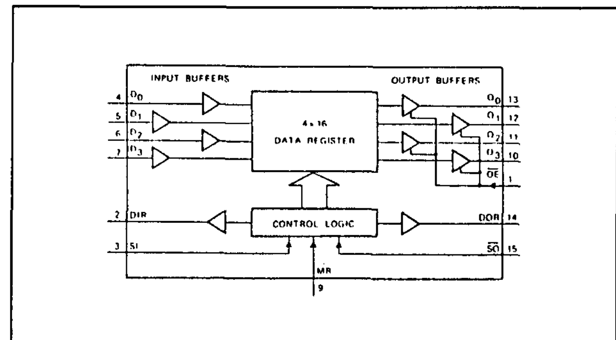
De 7440105 is een FIFO geheugen met een 16 x 4 bit organisatie. De FIFO heeft aparte besturingen voor ingang en uitgang (SI respectievelijk $\overline{SO}$), zodat de data met verschillende snelheden kan worden ingeschreven en uitgelezen. Van deze FIFO is ook een CMOS-versie uit de 4xxx-familie leverbaar: de CD40105B. Data wordt in de FIFO geladen op een LAAG-naar-HOOG overgang van SI, waarbij de Data-Input Ready-flag (DIR) HOOG moet zijn. De DIR-flag gaat dan even LAAG totdat de data naar een volgende positie is doorgeschoven, waarna DIR weer HOOG wordt. Is de FIFO vol dan blijft DIR LAAG. Zodra het eerste woord op de uitgang is aangekomen gaat de Data-Output Ready (DOR)-flag HOOG. Data kan dan worden uitgelezen door $\overline{OE}$ LAAG te maken. Door een HOOG-naar-LAAG overgang van $\overline{SO}$ gaat de DOR-flag even LAAG en wordt daarna weer HOOG als de FIFO nog data bevat. Is de FIFO leeg, dan blijft DOR LAAG.



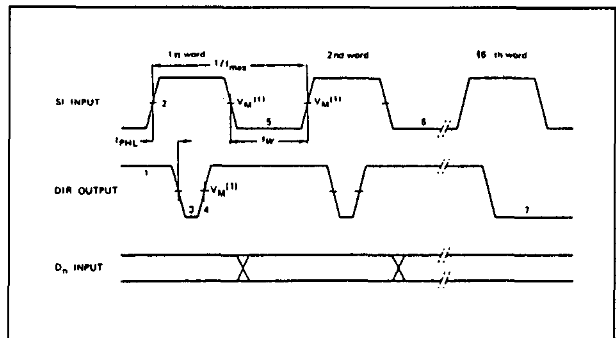
Figuur 8/8.2-33: Aansluitingen van de 74HC(T)40105.

Specificaties

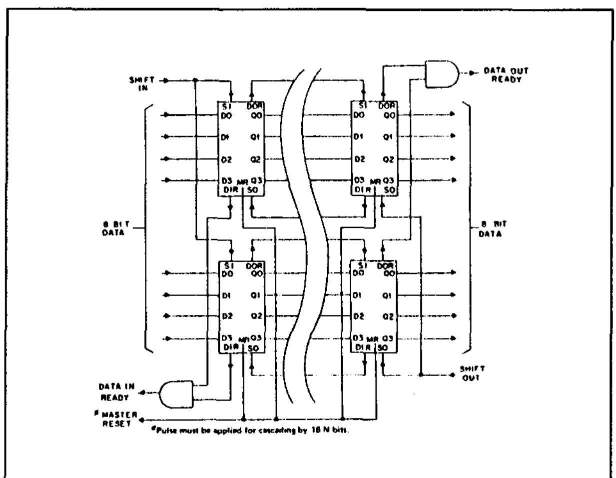
- leverbaar in high-speed CMOS: 74HC40105 en 74HCT40105
- 16 x 4 bit organisatie
- asynchrone werking
- 3-state uitgangen
- master-reset voor besturingsfuncties
- uitbreidbaar in alle richtingen
- 16-pens plastic DIL behuizing (figuur 8/8.2-33)



Figuur 8/8.2-34: Functioneel blokschema van de 74HC(T)40105.



Figuur 8/8.2-35: Golfvormen bij data-in van de 74HC(T)40105 (van FIFO leeg tot FIFO vol).



Figuur 8/8.2-36: Uitbreiding met behulp van HC/HCT40105's tot een FIFO met 16N woorden van 8-bit.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

CHARACTERISTIC	CD74HC40105/CD54HC40105										CD74HCT40105/CD54HCT40105									UNITS
	TEST CONDITIONS			74HC/54HC TYPES			74HC TYPES		54HC TYPES		TEST CONDITIONS		74HCT/54HCT TYPES			74HCT TYPES		54HCT TYPES		
				+25°C			-40/ +85°C		-55/ +125°C				+25°C			-40/ +85°C		-55/ +125°C		
	V_I V	I_O mA	V_{CC} V	Min	Typ	Max	Min	Max	Min	Max	V_I V	V_{CC} V	Min	Typ	Max	Min	Max	Min	Max	
High-Level Input Voltage V_{IH}			2	1.5	—	—	1.5	—	1.5	—	—	4.5 to 5.5	2	—	—	2	—	2	—	V
			4.5	3.15	—	—	3.15	—	3.15	—										
			6	4.2	—	—	4.2	—	4.2	—										
Low-Level Input Voltage V_{IL}			2	—	—	0.5	—	0.5	—	0.5	—	4.5 to 5.5	—	—	0.8	—	0.8	—	0.8	V
			4.5	—	—	1.35	—	1.35	—	1.35										
			6	—	—	1.8	—	1.8	—	1.8										
High-Level Output Voltage V_{OH} CMOS Loads	V_{IL} or V_{IH}	-0.02	2	1.9	—	—	1.9	—	1.9	—	V_{IL} or V_{IH}	4.5	4.4	—	—	4.4	—	4.4	—	V
			4.5	4.4	—	—	4.4	—	4.4	—										
			6	5.9	—	—	5.9	—	5.9	—										
TTL Loads	V_{IL} or V_{IH}										V_{IL} or V_{IH}	4.5	3.98	—	—	3.84	—	3.7	—	V
		-4	4.5	3.98	—	—	3.84	—	3.7	—										
		-5.2	6	5.48	—	—	5.34	—	5.2	—										
Low-Level Output Voltage V_{OL} CMOS Loads	V_{IL} or V_{IH}	0.02	2	—	—	0.1	—	0.1	—	0.1	V_{IL} or V_{IH}	4.5	—	—	0.1	—	0.1	—	0.1	V
			4.5	—	—	0.1	—	0.1	—	0.1										
			6	—	—	0.1	—	0.1	—	0.1										
TTL Loads	V_{IL} or V_{IH}										V_{IL} or V_{IH}	4.5	—	—	0.26	—	0.33	—	0.4	V
		4	4.5	—	—	0.26	—	0.33	—	0.4										
		5.2	6	—	—	0.26	—	0.33	—	0.4										
Input Leakage Current I_I	V_{CC} or Gnd		6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V_{CC} & Gnd	5.5	—	—	±0.1	—	±1	—	±1	μA
Quiescent Device Current I_{CC}	V_{CC} or Gnd	0	6	—	—	8	—	80	—	160	V_{CC} or Gnd	5.5	—	—	8	—	80	—	160	μA
Additional Quiescent Device Current per input pin: 1 unit load ΔI_{CC}*											V_{CC} -2.1	4.5 to 5.5	—	100	360	—	450	—	490	μA
3-State Leakage Current I_{OZ}	V_{IL} or V_{IH}	$V_O=V_{CC}$ or Gnd	6	—	—	±0.5	—	±5	—	±10	V_{IL} or V_{IH}	5.5	—	—	±0.5	—	±5	—	±10	μA

Tabel 8/8.2-26: Elektrische eigenschappen van de 74HC40105 en 74HCT40105.

8.2 Type-beschrijving 74xx-serie TTL en HC (T)

CHARACTERISTIC		TEST CONDITIONS V_{CC} (V)	LIMITS												UNITS
			25° C				-40° C to +85° C				-55° C to +125° C				
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
SI Pulse Width:	t_w	2	80	—	—	—	100	—	—	—	120	—	—	—	ns
HIGH or LOW	Fig. 6	4.5	16	—	16	—	20	—	20	—	24	—	24	—	
		6	14	—	—	—	17	—	—	—	20	—	—	—	
$\overline{SO}$ Pulse Width	t_w	2	120	—	—	—	150	—	—	—	180	—	—	—	
HIGH or LOW	Fig. 7	4.5	24	—	16	—	30	—	20	—	36	—	24	—	
		6	20	—	—	—	26	—	—	—	31	—	—	—	
DIR Pulse Width	t_w	2	200	—	—	—	250	—	—	—	300	—	—	—	
HIGH or LOW	Fig. 6	4.5	40	—	40	—	50	—	50	—	60	—	60	—	
		6	34	—	—	—	43	—	—	—	51	—	—	—	
DOR Pulse Width	t_w	2	200	—	—	—	250	—	—	—	300	—	—	—	
HIGH or LOW	Fig. 7	4.5	40	—	40	—	50	—	50	—	60	—	60	—	
		6	34	—	—	—	43	—	—	—	51	—	—	—	
MR Pulse Width	t_w	2	120	—	—	—	150	—	—	—	180	—	—	—	
HIGH	Fig. 5	4.5	24	—	24	—	30	—	30	—	36	—	36	—	
		6	20	—	—	—	26	—	—	—	31	—	—	—	
Removal Time	t_{REM}	2	50	—	—	—	65	—	—	—	75	—	—	—	
MR to SI	Fig. 12	4.5	10	—	15	—	13	—	19	—	15	—	22	—	
		6	9	—	—	—	11	—	—	—	13	—	—	—	
Setup Time	t_{SU}	2	5	—	—	—	5	—	—	—	5	—	—	—	
Dn to SI	Fig. 13	4.5	5	—	0	—	5	—	0	—	5	—	0	—	
		6	5	—	—	—	5	—	—	—	5	—	—	—	
Hold Time	t_H	2	125	—	—	—	155	—	—	—	190	—	—	—	
Dn to SI	Fig. 13	4.5	25	—	25	—	31	—	31	—	38	—	38	—	
		6	21	—	—	—	26	—	—	—	32	—	—	—	
Maximum Pulse	f_{MAX}	2	3	—	—	—	2	—	—	—	2	—	—	—	MHz
Frequency	Figs. 6, 7	4.5	15	—	15	—	12	—	12	—	10	—	10	—	
SI, $\overline{SO}$		6	18	—	—	—	14	—	—	—	12	—	—	—	

Tabel 8/8.2-27: Benodigde timing en pulsbreedten voor de 74HC(T)40105.

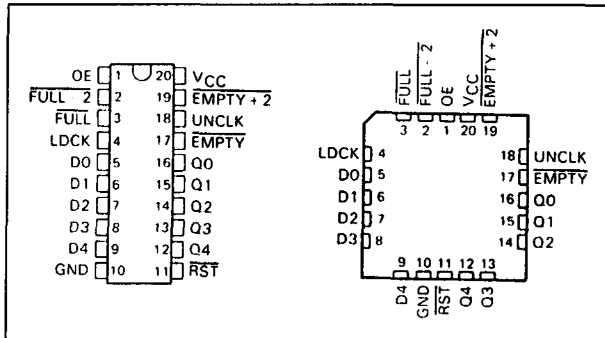
8.2 Type-beschrijving 74xx-serie TTL en HC(T)

CHARACTERISTIC		VCC (V)	LIMITS 25° C HC Min.	Max.	HCT Min.	Max.	-40° C to +85° C 74HC Min.	Max.	74HCT Min.	Max.	-55° C to +125° C 54HC Min.	Max.	54HCT Min.	Max.	UNITS
Propagation Delay,	t_{PHL}	2	—	175	—	—	—	220	—	—	—	265	—	—	
	t_{PLH}	4.5	—	35	—	36	—	44	—	45	—	53	—	54	
MR to DIR, DOR	Fig. 5	6	—	30	—	—	—	37	—	—	—	45	—	—	
Propagation Delay,	t_{PHL}	2	—	210	—	—	—	265	—	—	—	315	—	—	
		4.5	—	42	—	42	—	53	—	53	—	63	—	63	
SI to DIR	Fig. 6	6	—	36	—	—	—	45	—	—	—	54	—	—	
Propagation Delay,	t_{PHL}	2	—	210	—	—	—	265	—	—	—	315	—	—	
		4.5	—	42	—	42	—	53	—	53	—	63	—	63	
$\overline{SO}$ to DOR	Fig. 7	6	—	36	—	—	—	45	—	—	—	54	—	—	
Propagation Delay,	t_{PHL}	2	—	400	—	—	—	500	—	—	—	600	—	—	
	t_{PLH}	4.5	—	80	—	80	—	100	—	100	—	120	—	120	
$\overline{SO}$ to Qn	Fig. 8	6	—	68	—	—	—	85	—	—	—	102	—	—	
Propagation Delay/	t_{PLH}	2		2000				2500		-		3000			
Ripple thru Delay		4.5	—	400	—	400	—	500	—	500	—	600	—	600	
SI to DOR	Fig. 9	6	—	340	—	—	—	425	—	—	—	510	—	—	ns
Propagation Delay/	t_{PLH}	2	—	2500	—	—	—	3125	—	—	—	3750	—	—	
Ripple thru Delay		4.5	—	500	—	500	—	625	—	625	—	750	—	750	
$\overline{SO}$ to DIR	Fig. 10	6	—	425	—	—	—	532	—	—	—	638	—	—	
Propagation Delay/	t_{PHL}	2	—	1500	—	—	—	1900	—	—	—	2250	—	—	
Ripple thru Delay	t_{PLH}	4.5	—	300	—	300	—	380	—	380	—	450	—	450	
SI to Qn		6	—	260	—	—	—	330	—	—	—	380	—	—	
3-State Output	t_{PZH}	2	—	150	—	—	—	190	—	—	—	225	—	—	
Enable	t_{PZL}	4.5	—	30	—	35	—	38	—	44	—	45	—	53	
$\overline{OE}$ to Qn	Fig. 11	6	—	26	—	—	—	33	—	—	—	38	—	—	
3-State Output	t_{PHZ}	2	—	140	—	—	—	175	—	—	—	210	—	—	
Disable	t_{PLZ}	4.5	—	28	—	30	—	35	—	38	—	42	—	45	
$\overline{OE}$ to Qn	Fig. 11	6	—	24	—	—	—	30	—	—	—	36	—	—	
Output Transition	t_{THL}	2	—	75	—	—	—	95	—	—	—	110	—	—	
Time	t_{TLH}	4.5	—	15	—	15	—	19	—	19	—	22	—	22	
	Fig. 8	6	—	13	—	—	—	16	—	—	—	19	—	—	
Input Capacitance	C_I	—	—	10	—	10	—	10	—	10	—	10	—	10	pF
3-State Output Capacitance	C_O	—	—	15	—	15	—	15	—	15	—	15	—	15	

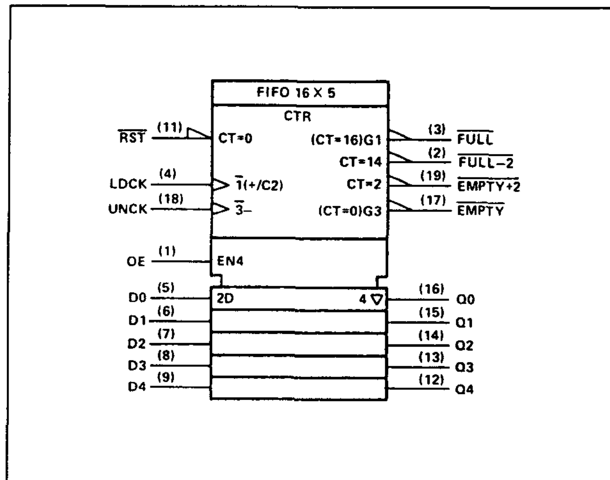
CHARACTERISTIC	SYMBOL	C_L (pF)	TYPICAL HC	HCT	UNITS
Propagation Delay	t_{PLH} t_{PHL}				
MR to DIR, DOR			15	15	
$\overline{SO}$ to Qn		15	35	35	ns
SI to DIR	t_{PHL}		18	18	
$\overline{SO}$ to DOR			18	18	
Maximum SI, $\overline{SO}$ Frequency	$f_{max.}$	15	32	32	MHz
Power Dissipation Capacitance*	C_{PD}	—	83	83	pF

Tabel 8/8.2-28: Schakeltijden van de 74HC(T)40105.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-37: Aansluitingen van de 74ALS229A.



Figuur 8/8.2-38: Logisch symbool van de 74ALS229A.

Figuur 8/8.2-39: Functioneel blokschema van de 74ALS229A.

74(ALS)229A

16 x 5 bit FIFO

De 74ALS229A is een 80 bit FIFO register, georganiseerd in 16 woorden van elk 5 bit. De informatie die het eerst wordt ingeschreven kan ook weer als eerste worden uitgelezen (=FIFO: first in-first out). Het register werkt asynchroon, zodat schrijven en lezen van de 5 bit woorden met verschillende snelheden (van 0 tot 30 MHz) kan geschieden.
Data wordt ingeschreven op een LAAG-naar-HOOG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK).
Het geheugen is vol wanneer 16 woorden meer zijn ingeklokt dan uitgeklokt. In dat geval heeft LDCK geen effect meer. Is de FIFO leeg, dan heeft UNCK geen effect.

De status van de FIFO kan worden gecontroleerd met behulp van de $\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$, $\overline{\text{FULL-2}}$ en $\overline{\text{EMPTY+2}}$ uitgangen.
De $\overline{\text{FULL-2}}$-vlag gaat bijvoorbeeld LAAG als de FIFO 14 woorden bevat.

Specificaties

- alleen leverbaar in ALS: 74ALS229A
- 16 x 5 bit organisatie
- onafhankelijke asynchrone in- en uitgangen
- 3-state uitgangen
- $\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$, $\overline{\text{FULL-2}}$ en $\overline{\text{EMPTY+2}}$ vlaggen
- data-snelheid: 0 tot 30 MHz
- "doorval"-tijd 24 ns typ.
- 20-pens plastic DIL- of SO-behuizing of PLCC (figuur 8/8.2-37)
- in breedte uitbreidbaar (niet in lengte)

			SN54ALS229A			SN74ALS229A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
I_{OH}	High-level output current	Q outputs			-1.0			-1.6	mA
		Status flags			-0.4			-0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		Status flags			4			8	
f_{clock}	Clock frequency	LDCK	0		25	0		30	MHz
		UNCK	0		25	0		30	
t_w	Pulse duration	$\overline{\text{RST}}$ low	20			15			ns
		LDCK low	15			10			
		LDCK high	25			20			
		UNCK low	15			10			
		UNCK high	25			20			
t_{su}	Setup time	Data before LDCK↑	10			10			ns
		$\overline{\text{RST}}$ (inactive) before LDCK↑	5			5			
t_h	Hold time	Data after LDCK↑	5			5			ns
T_A	Operating free-air temperature		-55		125	0		70	°C

Tabel 8/8.2-29: Aanbevolen bedrijfscondities.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

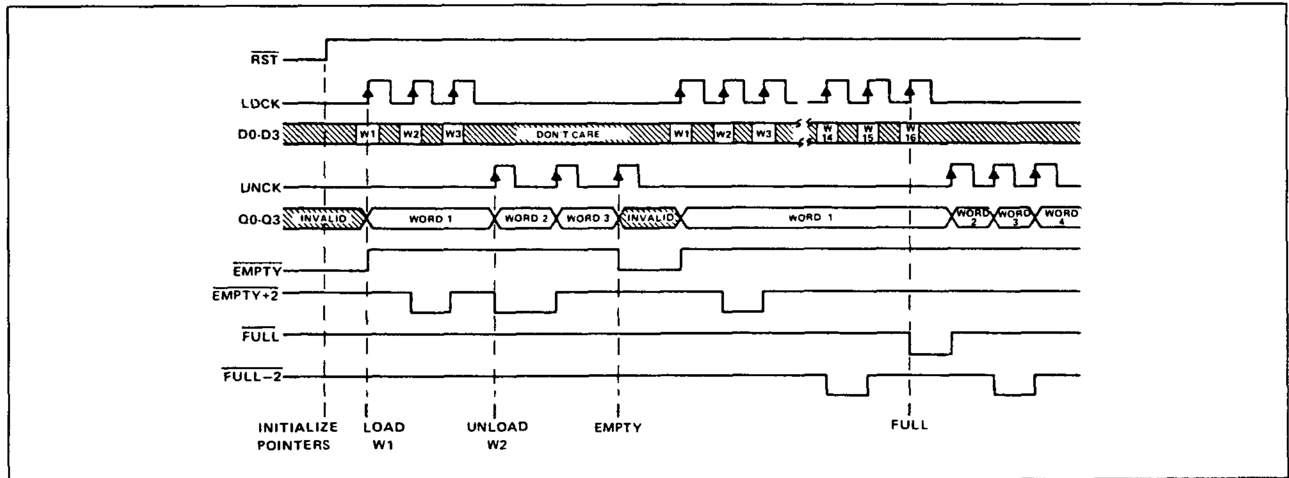
PARAMETER		TEST CONDITIONS		SN54ALS229A			SN74ALS229A			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			−1.2			−1.2	V
V_{OH}	Status flags	V_{CC} = 4.5 V to 5.5 V,	I_{OH} = −0.4 mA	V_{CC} − 2			V_{CC} − 2			V
	Q outputs	V_{CC} = 4.5 V,	I_{OH} = −1 mA	2.4	3.3					
		V_{CC} = 4.5 V,	I_{OH} = −2.6 mA				2.4	3.2		
V_{OL}	Q outputs	V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
		V_{CC} = 4.5 V,	I_{OL} = 24 mA					0.35	0.5	
	Status flags	V_{CC} = 4.5 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	
		V_{CC} = 4.5 V,	I_{OL} = 8 mA					0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V			20			20	µA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V			−20			−20	µA
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	µA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			−0.2			−0.2	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V	−30		−112	−30		−112	mA
I_{CC}		V_{CC} = 5.5 V			95	150		95	140	mA

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-30: Elektrische eigenschappen van de 74ALS229A.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C 'ALS229A			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX SN54ALS229A		SN74ALS229A		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}	LDCK					25		30		MHz
	UNCK					25		30		
t_{pd}	LDCK↑	Any Q		24	47	7	54	7	50	ns
t_{pd}	UNCK↑	Any Q		19	29	9	35	9	33	ns
t_{PLH}	LDCK↑	$\overline{EMPTY}$		18	26	9	32	9	30	ns
t_{PHL}	UNCK↑	$\overline{EMPTY}$		18	25	9	32	9	29	ns
t_{PHL}	$\overline{RST}$↓	$\overline{EMPTY}$		15	21	6	26	6	24	ns
t_{pd}	LDCK↑	$\overline{EMPTY+2}$		23	33	10	40	10	38	ns
t_{pd}	UNCK↑	$\overline{EMPTY+2}$		20	29	9	38	9	35	ns
t_{PLH}	$\overline{RST}$↓	$\overline{EMPTY+2}$		20	28	9	35	9	33	ns
t_{pd}	LDCK↑	$\overline{FULL-2}$		23	33	10	40	10	38	ns
t_{pd}	UNCK↑	$\overline{FULL-2}$		20	29	9	38	9	35	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL-2}$		20	28	9	35	9	33	ns
t_{PHL}	LDCK↑	$\overline{FULL}$		21	28	10	35	10	33	ns
t_{PLH}	UNCK↑	$\overline{FULL}$		17	23	8	29	8	27	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL}$		18	27	8	33	8	31	ns
t_{en}	OE↑	Q		8	13	1	16	2	15	ns
t_{dis}	OE↓	Q		8	14	2	20	2	17	ns

Tabel 8/8.2-31: Schakeltijden van de 74ALS229A.



Figuur 8/8.2-40: Timing-diagram van de 74ALS229A.

74(ALS)232A

16 x 4 bit FIFO

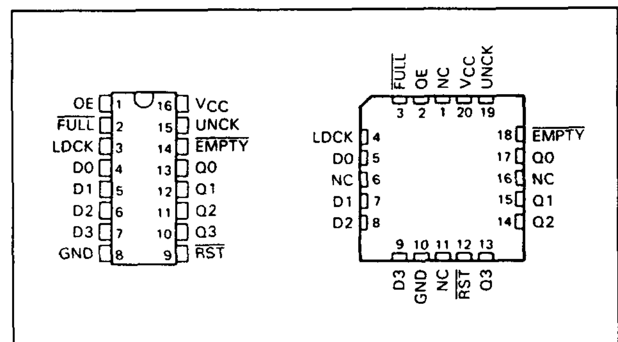
De 74ALS232A is een 64 bit FIFO (first in-first out) geheugen met een 16 x 4 bit organisatie. De FIFO is asynchroon, waardoor schrijven en lezen van de 4 bit woorden onafhankelijk (met verschillende snelheden, van 0 tot 30 MHz) kan geschieden.

Data wordt ingeschreven op een LAAG-naar-HOOG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). De FIFO is vol wanneer hij 16 woorden bevat: LDCK heeft dan verder geen invloed meer. Is de FIFO leeg, dan heeft UNCK geen effect.

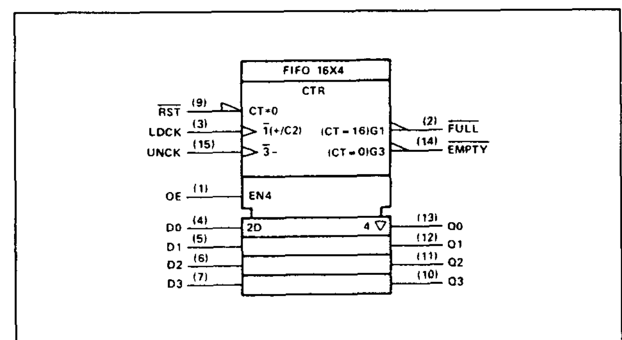
De status van de FIFO kan worden gecontroleerd met de FULL en EMPTY uitgangsvlaggen. Door een LAAG signaal op de RST-ingang worden de vlaggen gecleared en de stack-control pointers gereset. Met de 74ALS232A kunnen wel bredere FIFO's worden samengesteld (meer bit per woord), maar GEEN langere.

Specificaties

- alleen leverbaar in ALS: 74ALS232A
- 16 x 4 bit organisatie
- asynchrone, onafhankelijke in- en uitgangen
- 3-state uitgangen
- data-snelheid: 0 tot 30 MHz
- "doorval"-tijd 24 ns typ.
- 16-pens plastic DIL- of 20-pens PLCC-behuizing (figuur 8/8.2-41)
- alleen in breedte uitbreidbaar



Figuur 8/8.2-41: Aansluitingen van de 74ALS232A.



Figuur 8/8.2-42: Logisch symbool van de 74ALS232A.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

			SN54ALS232A			SN74ALS232A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
I_{OH}	High-level output current	Q outputs			-1			-1.6	mA
		$\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$			-0.4			-0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		$\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$			4			8	
f_{clock}	Clock frequency	LDCK	0		25	0		30	MHz
		UNCK	0		25	0		30	
t_w	Pulse duration	$\overline{\text{RST}}$ low	20			15			ns
		LDCK low	15			10			
		LDCK high	25			20			
		UNCK low	15			10			
		UNCK high	25			20			
t_{su}	Setup time	Data before LDCK↑	10			10			ns
		$\overline{\text{RST}}$ (inactive) before LDCK↑	5			5			
t_h	Hold time	Data after LDCK↑	5			5			ns
T_A	Operating free-air temperature		-55		125	0		70	°C

Tabel 8/8.2-32: Aanbevolen bedrijfscondities.

PARAMETER		TEST CONDITIONS		SN54ALS232A			SN74ALS232A			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.5 V,	I_I = -18 mA			-1.2			-1.2	V
V_{OH}	$\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$	V_{CC} = 4.5 V to 5.5 V,	I_{OH} = -0.4 mA	V_{CC}-2			V_{CC}-2			V
	Q outputs	V_{CC} = 4.5 V,	I_{OH} = -1 mA	2.4	3.3					
		V_{CC} = 4.5 V,	I_{OH} = -2.6 mA				2.4	3.2		
V_{OL}	Q outputs	V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
		V_{CC} = 4.5 V,	I_{OL} = 24 mA					0.35	0.5	
	$\overline{\text{FULL}}$, $\overline{\text{EMPTY}}$	V_{CC} = 4.5 V,	I_{OH} = 4 mA		0.25	0.4		0.25	0.4	
		V_{CC} = 4.5 V,	I_{OL} = 8 mA					0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V			20			20	µA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V			-20			-20	µA
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	µA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			-0.2			-0.2	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V	-30		-112	-30		-112	mA
I_{CC}		V_{CC} = 5.5 V			75	125		75	125	mA

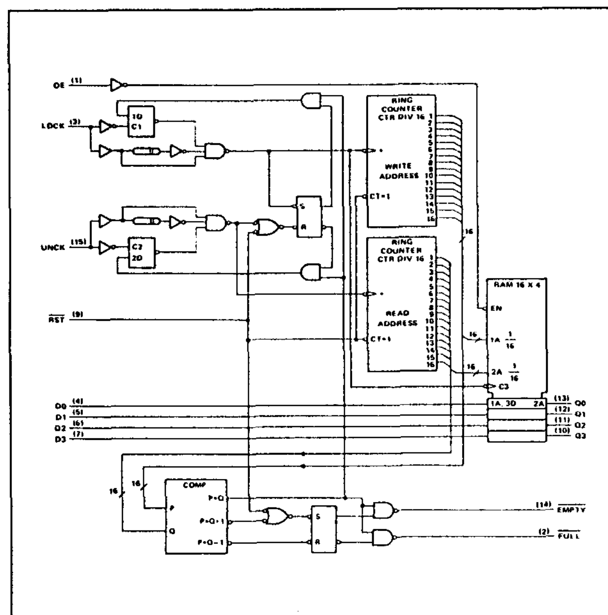
† All typical values are at V_{CC} = 5 V, T_A = 25 °C.

Tabel 8/8.2-33: Elektrische eigenschappen van de 74ALS232A.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25 °C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX				UNIT
			'ALS232A			SN54ALS232A		SN74ALS232A		
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}	LDCK			40		25		30		MHz
	UNCK			40		25		30		
t_{pd}	LDCK↑	Any Q		30	40	4	50	4	46	ns
t_{pd}	UNCK↑	Any Q		20	27	7	35	7	31	ns
t_{PLH}	LDCK↑	$\overline{\text{EMPTY}}$		17	23	8	29	8	26	ns
t_{PHL}	UNCK↑	$\overline{\text{EMPTY}}$		19	24	10	36	10	29	ns
t_{PHL}	$\overline{\text{RST}}$↓	$\overline{\text{EMPTY}}$		13	18	5	23	5	20	ns
t_{PHL}	LDCK↑	$\overline{\text{FULL}}$		21	26	10	35	10	31	ns
t_{PLH}	UNCK↑	$\overline{\text{FULL}}$		17	23	8	28	8	25	ns
t_{PLH}	$\overline{\text{RST}}$↓	$\overline{\text{FULL}}$		18	24	8	31	8	28	ns
t_{en}	OE↑	Q		7	12	1	16	1	14	ns
t_{dis}	OE↓	Q		10	16	2	23	2	21	ns

Tabel 8/8.2-34: Schakeltijden van de 74ALS232A.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

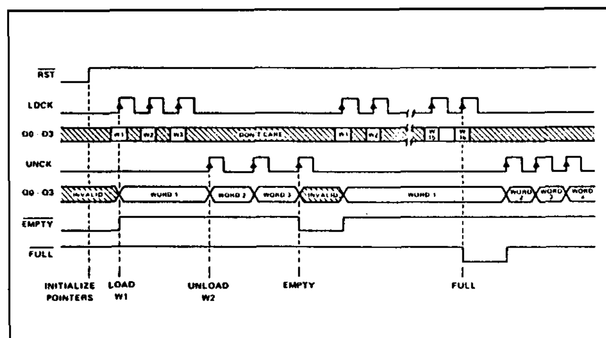


Figuur 8/8.2-43: Functioneel blokschema van de 74ALS232A.

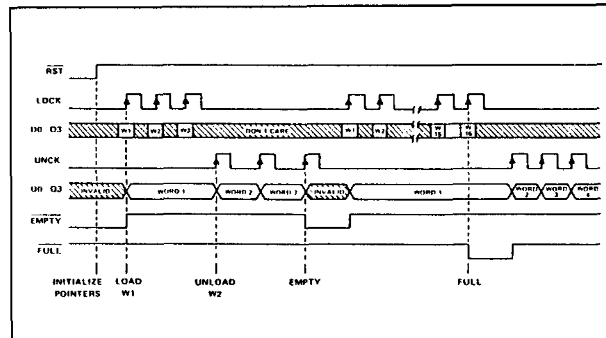
UNCK. Wanneer de FIFO vol is hebben verdere LDCK-signalen geen effect meer, terwijl UNCK-signalen zonder effect blijven als de FIFO leeg is. De toestand van de FIFO wordt gecontroleerd door middel van de FULL, EMPTY, FULL-1 en EMPTY+1 uitgangen. De FULL-1-vlag gaat bijvoorbeeld LAAG als de FIFO nog 15 woorden bevat.

Specificaties

- alleen leverbaar in ALS: 74ALS233A
- 16 x 5 bit organisatie
- onafhankelijke, asynchrone in- en uitgangen
- 3-state data-uitgangen
- data-snelheid: 0 tot 30 MHz
- "doorval"-tijd: 24 ns typ.
- 20-pens plastic DIL- of SO-behuizing of 20-pens LCC (figuur 8/8.2-45)
- alleen in breedte uitbreidbaar



Figuur 8/8.2-44: Timing-diagram van de 74ALS232A.

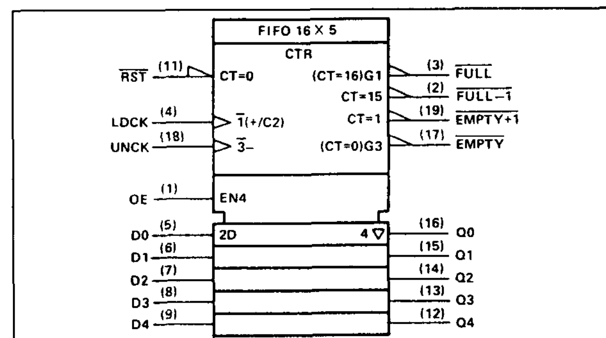


Figuur 8/8.2-45: Aansluitingen van de 74ALS233A.

74(ALS)233A

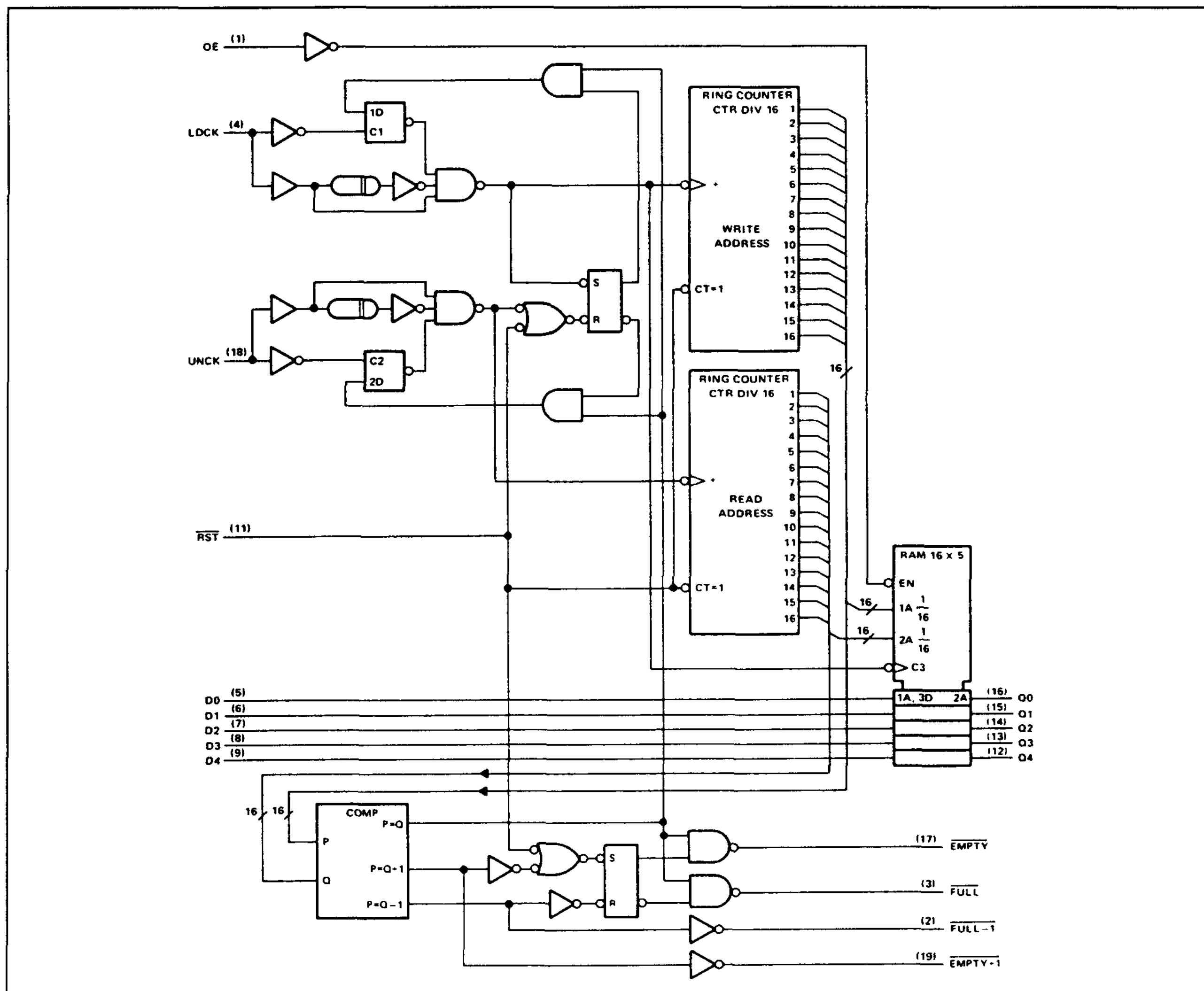
16 x 5 bit FIFO

De 74ALS233A is een 80 bit FIFO-geheugen met een 16 x 5 bit organisatie. De informatie die het eerst wordt ingeschreven wordt ook als eerste uitgelezen, waarbij schrijven en lezen van de data-woorden met verschillende snelheden kan geschieden (asynchroon). Data wordt ingeschreven op een LAAG-naar-HOOG overgang van de load-clock LDCK en uitgelezen op een LAAG-naar-HOOG overgang van de unload-clock



Figuur 8/8.2-46: Logisch symbool van de 74ALS233A.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-47: Functioneel blokschema van de 74ALS233A.

			SN54ALS233A			SN74ALS233A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
I_{OH}	High-level output current	Q outputs			−1			−1.6	mA
		Status flags			−0.4			−0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		Status flags			4			8	
f_{clock}	Clock frequency	LDCK	0		25	0		30	MHz
		UNCK	0		25	0		30	
t_w	Pulse duration	$\overline{RST}$ low	20			15			ns
		LDCK low	15			10			
		LDCK high	25			20			
		UNCK low	15			10			
		UNCK high	25			20			
t_{su}	Setup time	Data before LDCK↑	10			10			ns
		$\overline{RST}$ inactive before LDCK↑	5			5			
t_h	Hold time	Data after LDCK↑	5			5			ns
T_A	Operating free-air temperature		−55		125	0		70	°C

Tabel 8/8.2-35: Aanbevolen bedrijfscondities.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

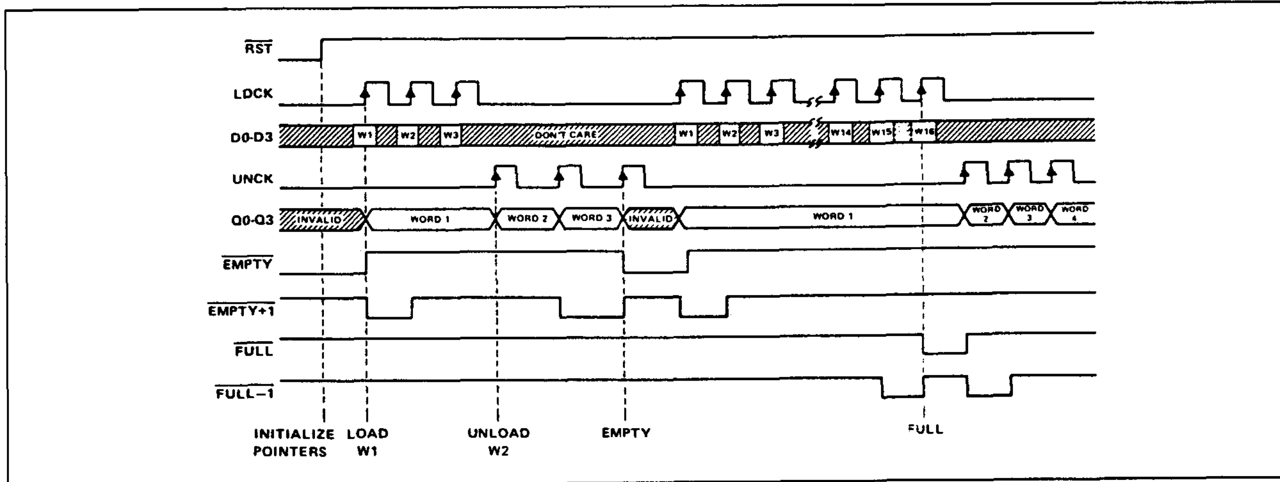
PARAMETER		TEST CONDITIONS		SN54ALS233A MIN	SN54ALS233A TYP†	SN54ALS233A MAX	SN74ALS233A MIN	SN74ALS233A TYP†	SN74ALS233A MAX	UNIT
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			−1.2			−1.2	V
V_{OH}	Status flags	V_{CC} = 4.5 V to 5.5 V,	I_{OH} = −0.4 mA	V_{CC} −2			V_{CC} −2			V
	Q outputs	V_{CC} = 4.5 V,	I_{OH} = −1 mA	2.4	3.3					
		V_{CC} = 4.5 V,	I_{OH} = −2.6 mA				2.4	3.2		
V_{OL}	Q outputs	V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
		V_{CC} = 4.5 V,	I_{OL} = 24 mA					0.35	0.5	
	Status flags	V_{CC} = 4.5 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	
		V_{CC} = 4.5 V,	I_{OL} = 8 mA					0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V			20			20	μA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V			−20			−20	μA
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	μA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			−0.2			−0.2	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V	−30		−112	−30		−112	mA
I_{CC}		V_{CC} = 5.5 V			88	143		88	133	mA

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-36: Elektrische eigenschappen van de 74ALS233A.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C 'ALS233A MIN	'ALS233A TYP	'ALS233A MAX	V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX SN54ALS233A MIN	SN54ALS233A MAX	SN74ALS233A MIN	SN74ALS233A MAX	UNIT
f_{max}	LDCK			40		25		30		MHz
	UNCK			40		25		30		
t_{pd}	LDCK↑	Any Q		24	44	7	52	7	48	ns
t_{pd}	UNCK↑	Any Q		19	29	9	35	9	33	ns
t_{PLH}	LDCK↑	$\overline{EMPTY}$		18	25	9	30	9	28	ns
t_{PHL}	UNCK↑	$\overline{EMPTY}$		18	25	9	33	10	30	ns
t_{PHL}	$\overline{RST}$↓	$\overline{EMPTY}$		13	19	6	24	6	22	ns
t_{pd}	LDCK↑	$\overline{EMPTY+1}$		22	31	10	40	10	37	ns
t_{pd}	UNCK↑	$\overline{EMPTY+1}$		22	31	9	40	10	37	ns
t_{PLH}	$\overline{RST}$↓	$\overline{EMPTY+1}$		19	27	8	32	8	31	ns
t_{pd}	LDCK↑	$\overline{FULL-1}$		23	32	11	38	12	36	ns
t_{pd}	UNCK↑	$\overline{FULL-1}$		23	32	11	39	12	36	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL-1}$		20	28	10	34	11	32	ns
t_{PHL}	LDCK↑	$\overline{FULL}$		21	28	10	35	12	33	ns
t_{PLH}	UNCK↑	$\overline{FULL}$		17	24	8	29	9	27	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL}$		18	27	8	32	9	30	ns
t_{en}	OE↓	Q		8	13	1	16	2	15	ns
t_{dis}	OE↑	Q		8	12	2	20	2	17	ns

Tabel 8/8.2-37: Schakeltijden van de 74ALS233A.



Figuur 8/8.2-48: Timing-diagram van de 74ALS233A.

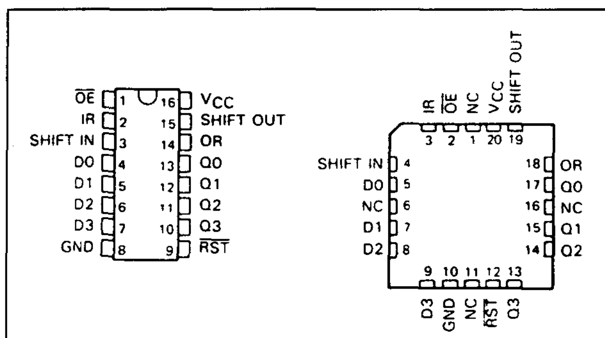
8.2 Type-beschrijving 74xx-serie TTL en HC(T)

74(ALS)234
64 x 4 bit FIFO

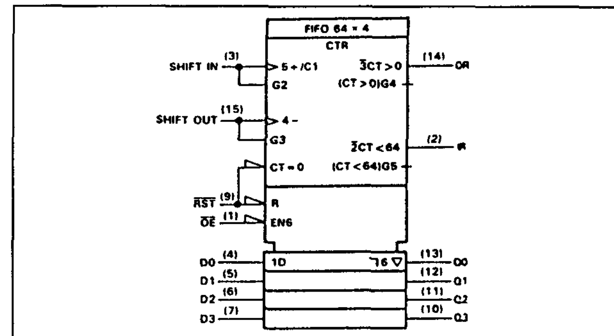
De 74ALS234 is een FIFO-geheugen met een organisatie van 64 woorden van elk 4 bit (totaal 256 bit). De FIFO (data die het eerst wordt ingeschreven kan ook weer als eerste worden uitgelezen) werkt asynchroon, zodat voor schrijven en lezen van de data verschillende snelheden gebruikt kunnen worden.

Data wordt ingeschreven op de stijgende flank van de Shift-In ingang. Gaat Shift-In vervolgens weer LAAG, dan "rippelt" de data zover mogelijk naar de uitgang. Als de FIFO vol is, hebben verdere Shift-In signalen geen effect meer. Data wordt uit het geheugen geschoven op de dalende flank van Shift-Out pulsen. Is de FIFO leeg, dan hebben Shift-Out signalen verder geen effect. Het laatste woord blijft op de uitgangen staan totdat het wordt vervangen door een nieuw woord of wanneer $\overline{RST}$ LAAG gaat. De status van de 74ALS234 kan worden gecheckt met de Output Ready (OR) en de Input Ready (IR) signalen. Als de OR-vlag HOOG is, is geldige data beschikbaar aan de uitgangen. De OR-vlag is LAAG wanneer Shift-Out HOOG is en blijft LAAG als de FIFO leeg is. De IR-vlag is HOOG als data kan worden opgenomen. De IR-vlag is LAAG als Shift-In HOOG is en blijft LAAG als de FIFO vol is.

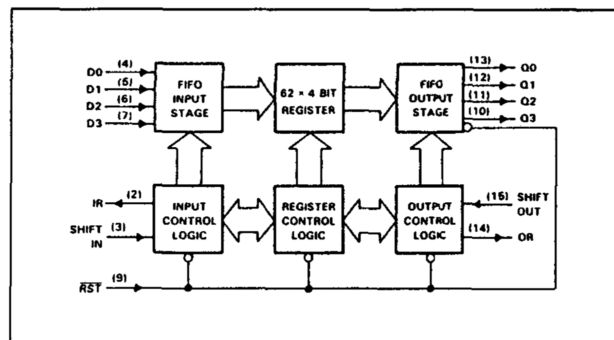
Na "power-up" moet de FIFO met het $\overline{RST}$-signaal worden gereset om de IR-vlag HOOG en OR LAAG te zetten, zodat wordt aangegeven dat de FIFO leeg is.



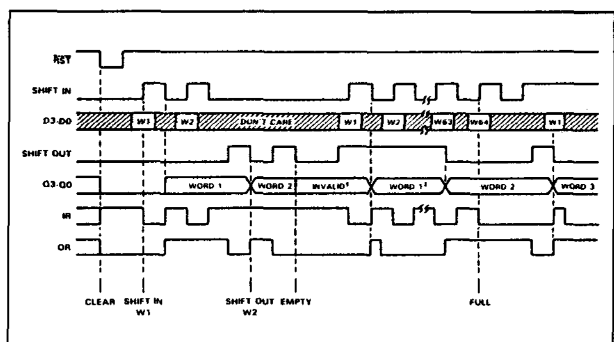
Figuur 8/8.2-49: Aansluitingen van de 74ALS234.



Figuur 8/8.2-50: Logisch symbool van de 74ALS234.



Figuur 8/8.2-51: Functioneel blokschema van de 74ALS234.



Figuur 8/8.2-52: Timing-diagram van de 74ALS234.

Specificaties

- alleen leverbaar in ALS: 74ALS234
- 64 x 4 bit organisatie
- asynchrone in- en uitgangen
- 3-state uitgangen
- IR- en OR-vlaggen
- Output Enable ingang

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

- data-snelheid: 0 tot 30 MHz
- 16-pens plastic DIL behuizing of 20-pens PLCC (figuur 8/8.2-49)
- uitbreidbaar in lengte en breedte (figuur 8/8.2-53)

			SN54ALS234			SN74ALS234			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
I_{OH}	High-level output current	Q outputs			−1			−2.6	mA
		IR and OR			−0.4			−0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		IR and OR			4			8	
f_{clock}	Clock frequency	SHIFT IN or SHIFT OUT	0		25	0		30	MHz
t_w	Pulse duration	SHIFT IN or SHIFT OUT high or low	17			15			ns
		$\overline{RST}$ low	20			15			
t_{su}	Setup time before SHIFT IN ↑	Data	0			0			ns
		$\overline{RST}$ high (inactive)	15			15			
t_h	Hold time, data after SHIFT IN ↑		19			17			ns
T_A	Operating free-air temperature		−55		125	0		70	°C

Tabel 8/8.2-38: Aanbevolen bedrijfscondities.

PARAMETER		TEST CONDITIONS			SN54ALS234			SN74ALS234			UNIT
					MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA				−1.2			−1.2	V
V_{OH}	Q	V_{CC} = 4.5 V,	I_{OH} = −1 mA		2.4	3.3					V
	Q	V_{CC} = 4.5 V,	I_{OH} = −2.6 mA					2.4	3.2		
	IR, OR	V_{CC} = 4.5 V,	I_{OH} = −0.4 mA		2.5	3.4		2.7	3.4		
V_{OL}	Q	V_{CC} = 4.5 V,	I_{OL} = 12 mA			0.25	0.4		0.25	0.4	V
	Q	V_{CC} = 4.5 V,	I_{OL} = 24 mA						0.35	0.5	
	IR, OR	V_{CC} = 4.5 V,	I_{OL} = 4 mA			0.25	0.4		0.25	0.4	
	IR, OR	V_{CC} = 4.5 V,	I_{OL} = 8 mA				0.4		0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V				20			20	μA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V				−20			−20	μA
I_I		V_{CC} = 5.5 V,	V_I = 7 V				0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V				20			20	μA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V				−0.1			−0.1	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V		−30		−112	−30		−112	mA
I_{CC}		V_{CC} = 5.5 V		I_{CCL}		100	155		100	145	mA
				I_{CCH}		97	152		97	142	
				I_{CCZ}		103	158		103	148	

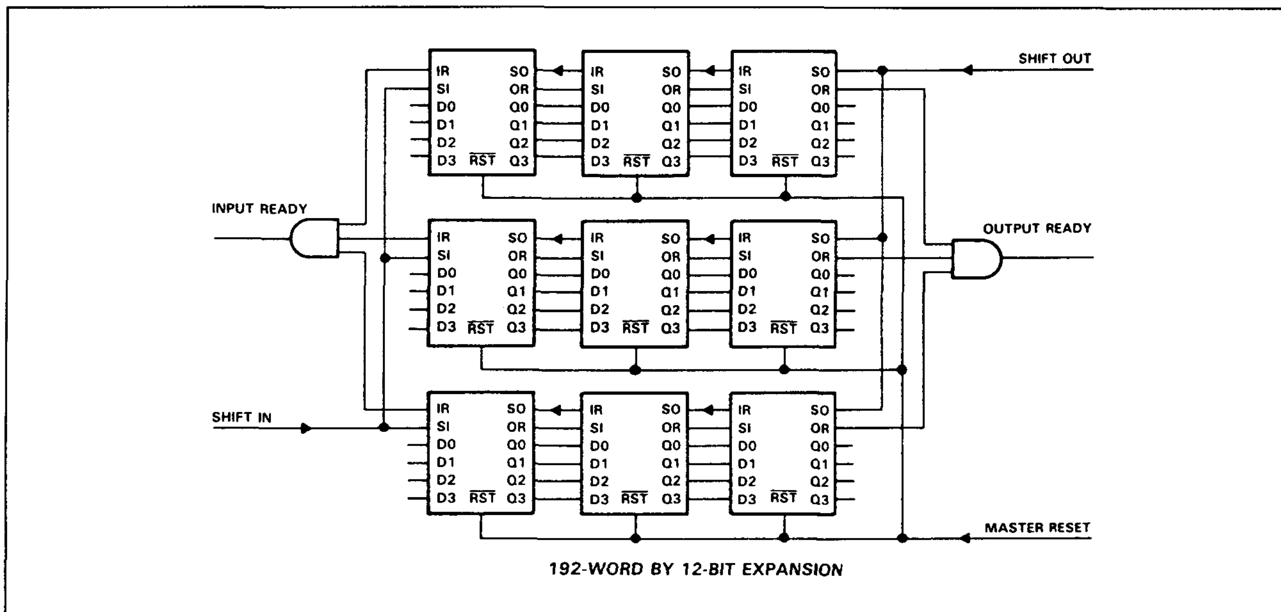
† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-39: Elektrische eigenschappen van de 74ALS234.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX				UNIT
			'ALS234			SN54ALS234		SN74ALS234		
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}	SHIFT IN			35		25		30		MHz
	SHIFT OUT			35		25		30		
t_w†	IR high			15		7		8		ns
t_w‡	OR high			19		7		8		ns
$t_{d(QV-ORH)}$	Q valid before OR ↑			6	9	−5	12	−5	12	ns
$t_{d(SOL-QX)}$	Q valid after SHIFT OUT ↓			13		4		4		ns
t_{pd}	SHIFT IN ↓	Q		600	800	350	1200	350	1000	ns
t_{PHL}	SHIFT IN ↑	IR		20	26	8	36	8	30	ns
t_{PLH}	SHIFT IN ↓	IR		16	21	6	28	6	25	ns
t_{PLH}§	SHIFT IN ↓	OR		600	800	350	1200	350	1000	ns
t_{pd}	SHIFT OUT ↓	Q		13	17	4	24	4	22	ns
t_{PHL}	SHIFT OUT ↑	OR		23	27	7	39	7	33	ns
t_{PLH}	SHIFT OUT ↓	OR		20	24	6	33	6	30	ns
t_{PLH}§	SHIFT OUT ↓	IR		600	800	350	1200	350	1000	ns
t_{PHL}	$\overline{RST}$ ↓	OR		22	26	10	40	10	34	ns
t_{PLH}	$\overline{RST}$ ↓	IR		17	21	6	31	6	27	ns
t_{PHL}	$\overline{RST}$ ↓	Q		14	17	5	21	5	19	ns
t_{dis}	$\overline{OE}$ ↑	Q		7	13	2	16	2	15	ns
t_{en}	$\overline{OE}$ ↓	Q		6	12	2	15	2	13	ns

Tabel 8/8.2-40: Schakeltijden van de 74ALS234.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-53: Opbouw van een grotere FIFO (192 woorden van 12 bit per stuk) met behulp van een aantal 74ALS234's.

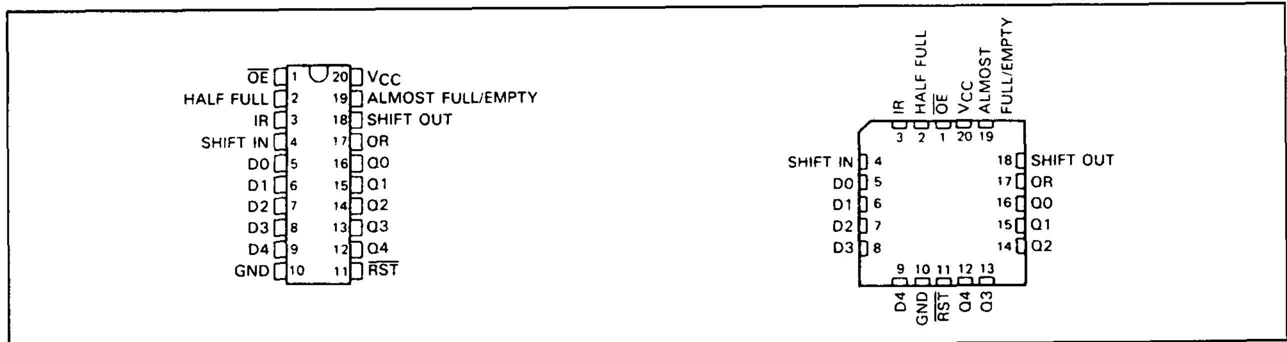
74(ALS)235
64 x 5 bit FIFO

De 74ALS235 is een 320 bit FIFO register, georganiseerd in 64 woorden, elk van 5 bit. De FIFO (data die het eerst wordt ingeschreven kan ook als eerste weer worden uitgelezen) werkt asynchroon, zodat schrijven en lezen van de data met verschillende snelheden (tussen 0 en 25 MHz) kan plaatsvinden. Data wordt opgenomen op de opgaande flank van het Shift-In signaal, waarna die op de dalende flank van Shift-In zover mogelijk doorloopt naar achteren. Wanneer de FIFO vol is hebben verdere Shift-In pulsen geen effect meer. Data wordt op de dalende flank van het Shift-Out signaal uit het geheugen geschoven. Is de FIFO leeg, dan hebben ook deze pulsen geen effect meer. Het laatste woord blijft op de uitgangen aanwezig totdat het wordt vervangen door een nieuw woord of wanneer $\overline{RST}$ LAAG gaat. De status van de 74ALS235 wordt aangegeven met de "vlaggen" Output Ready (OR), Input Ready (IR), Almost Full/Empty en Half Full.
Als OR HOOG is, is geldige data aanwezig op de uitgangen. De OR-vlag is LAAG als Shift-Out HOOG is en blijft LAAG als de FIFO leeg is. De IR-vlag is HOOG als er nog meer data kan worden opgenomen. IR is LAAG als Shift-In HOOG is en blijft LAAG als de FIFO vol is. De Almost Full/Empty (= bijna vol/leeg) vlag is HOOG als de FIFO 8 of minder woorden of 56 of meer woorden bevat. Bevat de FIFO tussen de 9 en 55 woorden, dan is deze vlag LAAG. De Half Full-vlag is HOOG bij 32 of meer woorden en LAAG bij 31 of minder woorden.
Wanneer de FIFO vol is, kan nieuwe data automatisch worden ingeschreven door Shift-In HOOG te houden en Shift-Out LAAG te maken. Een korte vertragingstijd na het LAAG gaan van Shift-Out gaat de IR-vlag HOOG. Als Shift-In dan nog HOOG is, wordt data automatisch naar binnen geschoven.
Na het aanzetten van de voedingsspanning moet de FIFO met $\overline{RST}$ worden gereset.

Specificaties
- alleen leverbaar in ALS: 74ALS235
- uitbreidbare 64 x 5 bit organisatie (figuur 8/8.2-58)
- onafhankelijke in- en uitgangen

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

- 3-state uitgangen
- data-snelheid: 0 tot 25 MHz
- 20-pens plastic DIL- of SO-behuizing of 20-pens PLCC (figuur 8/8.2-54)



Figuur 8/8.2-54: Aansluitingen van de 74ALS235.

			SN54ALS235			SN74ALS235			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
I_{OH}	High-level output current	Q outputs			-1			-2.6	mA
		Flags			-0.4			-0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		Flags			4			8	
f_{clock}	Clock frequency	SHIFT IN or SHIFT OUT	0		20	0		25	MHz
t_w	Pulse duration	SHIFT IN or SHIFT OUT high or low	17			15			ns
		RST low	20			15			
t_{su}	Setup time before SHIFT IN ↑	Data	0			0			ns
		RST high (inactive)	15			15			
t_h	Hold time, data after SHIFT IN ↑		19			17			ns
T_A	Operating free-air temperature		-55		125	0		70	°C

Tabel 8/8.2-41: Aanbevolen bedrijfscondities.

PARAMETER		TEST CONDITIONS		SN54ALS235			SN74ALS235			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.5 V,	I_I = -18 mA			-1.2			-1.2	V
V_{OH}	Q	V_{CC} = 4.5 V,	I_{OH} = -1 mA	2.4	3.3					V
		V_{CC} = 4.5 V,	I_{OH} = -2.6 mA				2.4	3.2		
	Flags	V_{CC} = 4.5 V,	I_{OH} = -0.4 mA	2.5	3.4		2.7	3.4		
V_{OL}	Q	V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
		V_{CC} = 4.5 V,	I_{OL} = 24 mA					0.35	0.5	
	Flags	V_{CC} = 4.5 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	
		V_{CC} = 4.5 V,	I_{OL} = 8 mA			0.4		0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V			20			20	μA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V			-20			-20	μA
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	μA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			-0.1			-0.1	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V	-30		-112	-30		-112	mA
I_{CC}		V_{CC} = 5.5 V	I_{CCL}		112	175		112	165	mA
			I_{CCH}		105	170		105	160	
			I_{CCZ}		115	180		115	170	

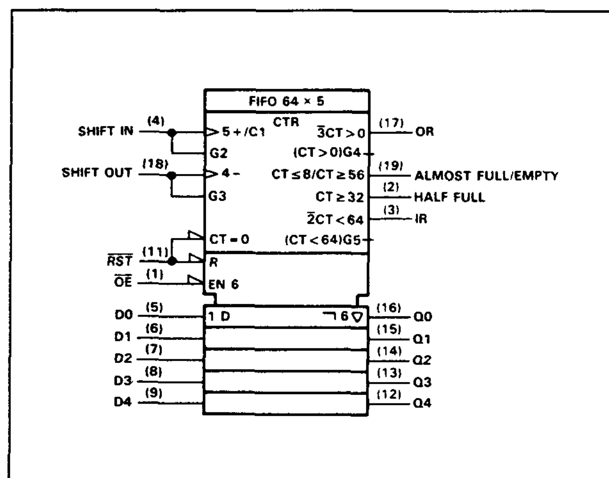
† All typical values are at V_{CC} = 5 V, T_A = 25 °C.

Tabel 8/8.2-42: Elektrische eigenschappen van de 74ALS235.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

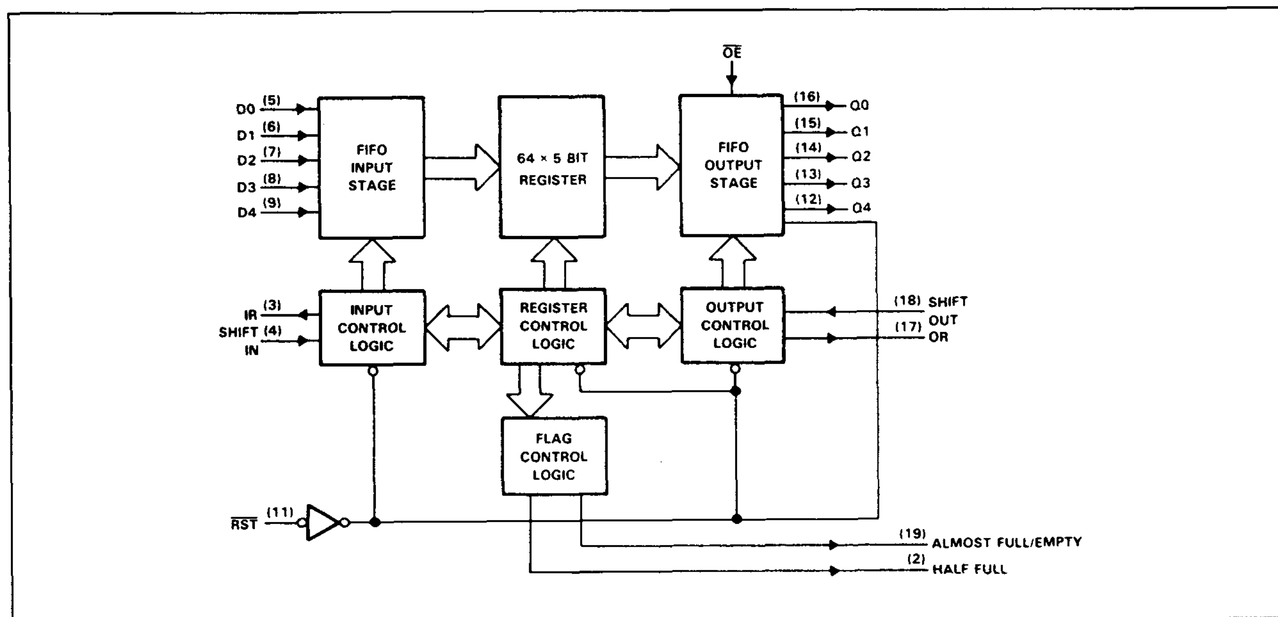
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX				UNIT
			'ALS235			SN54ALS235		SN74ALS235		
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}	SHIFT IN			30		20		25		MHz
	SHIFT OUT			30		20		25		MHz
t_w†	IR high			15		7		8		ns
t_w‡	OR high			19		7		8		ns
$t_{d(QV-ORH)}$	Q valid before OR ↑			6	9	−5	12	−5	12	ns
$t_{d(SOL-QX)}$	Q valid after SHIFT OUT ↓			13		4		4		ns
t_{pd}	SHIFT IN ↓	Q		600	800	350	1200	350	1000	ns
t_{PHL}	SHIFT IN ↑	IR		20	26	8	36	8	30	ns
t_{PLH}	SHIFT IN ↓	IR		16	21	6	28	6	25	ns
t_{PLH}§	SHIFT IN ↓	OR		600	800	350	1200	350	1000	ns
t_{PHL}	SHIFT IN ↓	ALMOST F/E		550	700	290	1050	290	880	ns
t_{PLH}	SHIFT IN ↓	ALMOST F/E		85	115	40	170	40	150	ns
t_{PLH}	SHIFT IN ↓	HALF FULL		340	410	180	590	180	510	ns
t_{pd}	SHIFT OUT ↓	Q		13	17	4	24	4	22	ns
t_{PHL}	SHIFT OUT ↑	OR		23	27	7	39	7	33	ns
t_{PLH}	SHIFT OUT ↓	OR		20	24	6	33	6	30	ns
t_{PLH}§	SHIFT OUT ↓	IR		600	800	350	1200	350	1000	ns
t_{PHL}	SHIFT OUT ↓	ALMOST F/E		550	700	290	1050	290	880	ns
t_{PLH}	SHIFT OUT ↓	ALMOST F/E		85	115	35	170	35	150	ns
t_{PHL}	SHIFT OUT ↓	HALF FULL		340	410	170	590	170	510	ns
t_{PHL}	$\overline{RST}$ ↓	OR		22	26	10	40	10	34	ns
t_{PLH}	$\overline{RST}$ ↑	IR		12	18	5	24	5	22	ns
t_{PHL}	$\overline{RST}$ ↓	IR		12	18	5	24	5	22	ns
t_{PHL}	$\overline{RST}$ ↓	Q		14	17	5	21	5	19	ns
t_{dis}	$\overline{OE}$ ↑	Q		7	13	2	16	2	15	ns
t_{en}	$\overline{OE}$ ↓	Q		6	12	2	15	2	13	ns

Tabel 8/8.2-43: Schakeltijden van de 74ALS235.

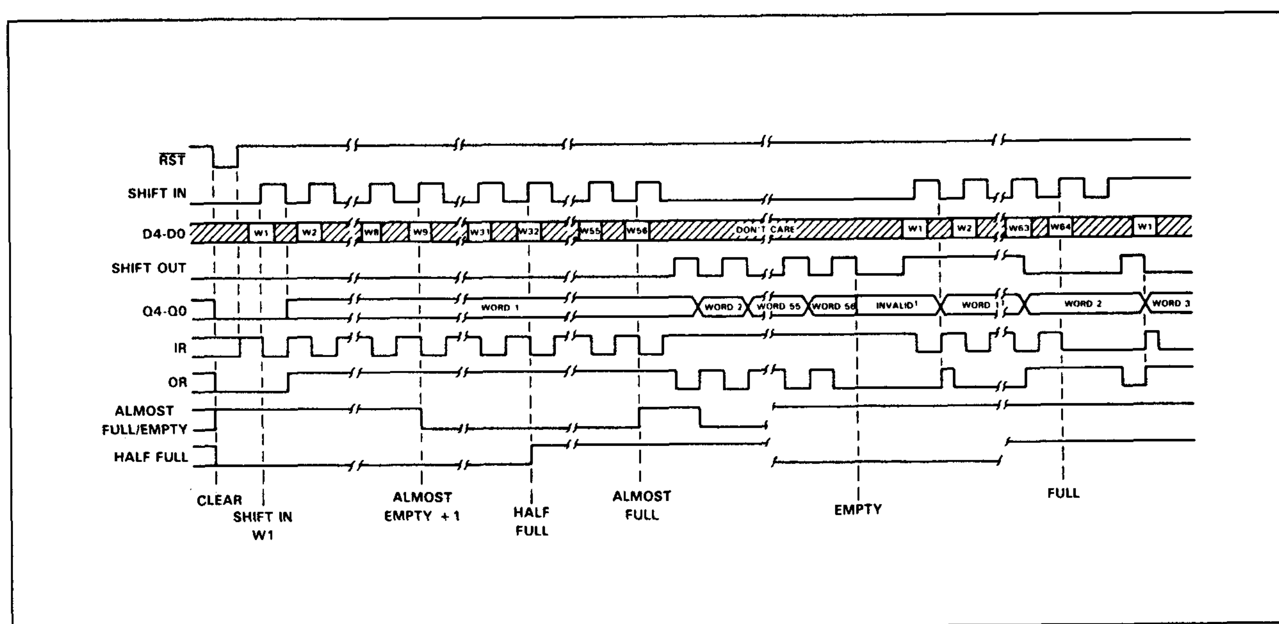


Figuur 8/8.2-55: Logisch symbool van de 74ALS235.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

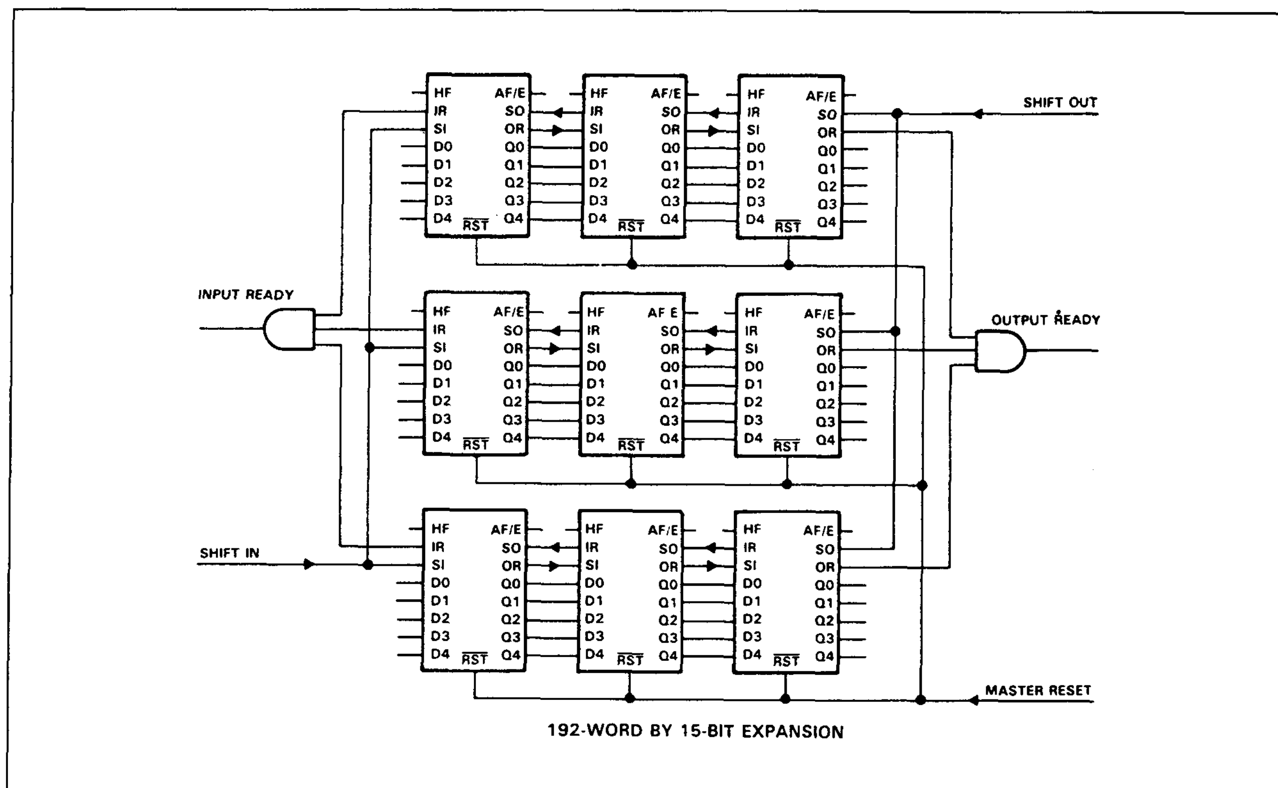


Figuur 8/8.2-56: Functioneel blokschema van de 74ALS235.



Figuur 8/8.2-57: Timing-diagram van de 74ALS235.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-58: Een grotere FIFO (192 woorden van 15 bit) samengesteld uit meerdere 74ALS235's.

74(ALS)236

64 x 4 bit FIFO

De 74ALS236 is een uitbreidbaar FIFO geheugen met een 64 x 4 bit organisatie. De FIFO heeft onafhankelijke, asynchrone besturingen (van 0 tot 30 MHz) voor inschrijven en uitlezen van de data.

Data wordt in de FIFO geladen op de stijgende flank van Shift-In (SI). Gaat SI daarna weer LAAG, dan wordt de data automatisch naar de verst mogelijke lege plaats getransporteerd. Als de FIFO vol is, hebben verdere SI-pulsen geen effect meer. Op de dalende flank van Shift-Out (SO) wordt data uit het geheugen geschoven. Raakt de FIFO daarbij leeg, dan hebben SO-pulsen geen effect meer. Het laatste woord blijft aan de uitgangen tot het wordt vervangen door nieuwe data of wanneer de FIFO met $\overline{RST}$ LAAG wordt gereset. De status van de FIFO kan worden bepaald door middel van de IR (Input Ready) en OR (Output Ready) vlaggen. OR is HOOG als geldige data op de uitgangen staat. OR gaat LAAG als Shift-Out HOOG is en blijft LAAG als de FIFO leeg is. IR is HOOG als meer data kan worden opgenomen. IR is LAAG als Shift-In HOOG is en blijft LAAG als de FIFO vol is. Als de FIFO vol is, kan nieuwe data automatisch worden ingeschreven door Shift-In HOOG te houden en Shift-Out LAAG te maken. Kort na het LAAG gaan van Shift-Out gaat de IR-vlag HOOG. Omdat Shift-In dan nog HOOG is, wordt data automatisch naar binnen geschoven.

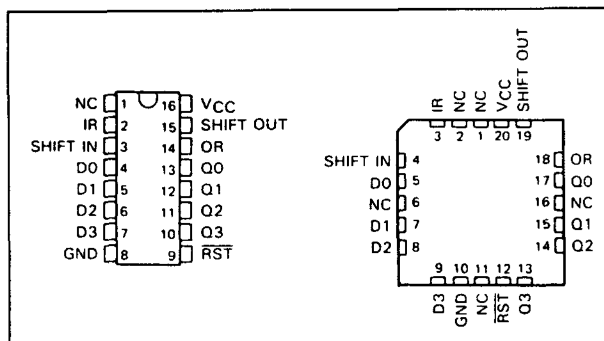
Specificaties

- alleen leverbaar in ALS: 74ALS236
- uitbreidbare 64 x 4 bit organisatie
- 3-state uitgangen
- $\overline{RST}$ ingang voor clearen van data en besturingsfuncties
- data-snelheid: 0 tot 30 MHz
- 16-pens plastic DIL-behuizing of 20-pens PLCC (figuur 8/8.2-59)
- pen-compatibel met MMI67401

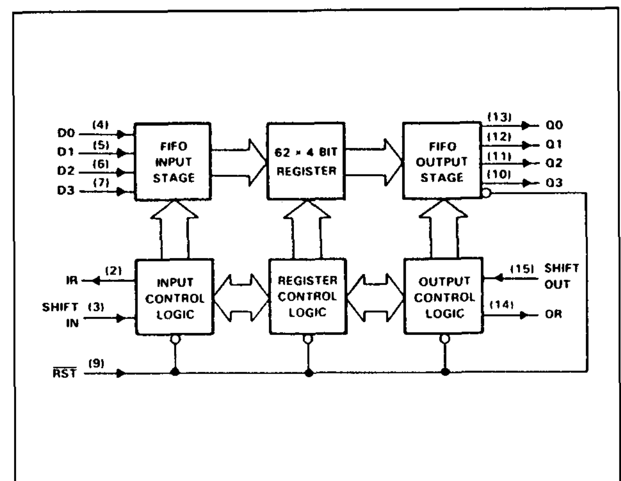
8.2 Type-beschrijving 74xx-serie TTL en HC(T)

			SN54ALS236			SN74ALS236			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
I_{OH}	High-level output current	Q outputs			−1			−2.6	mA
		IR and OR			−0.4			−0.4	
I_{OL}	Low-level output current	Q outputs			12			24	mA
		IR and OR			4			8	
f_{clock}	Clock frequency	SHIFT IN or SHIFT OUT	0		25	0		30	MHz
t_w	Pulse duration	SHIFT IN or SHIFT OUT high or low	17			15			ns
		$\overline{RST}$ low	20			15			
t_{su}	Setup time before SHIFT IN ↑	Data	0			0			ns
		$\overline{RST}$ high (inactive)	15			15			
t_h	Hold time, data after SHIFT IN ↑		19			17			ns
T_A	Operating free-air temperature		−55		125	0		70	°C

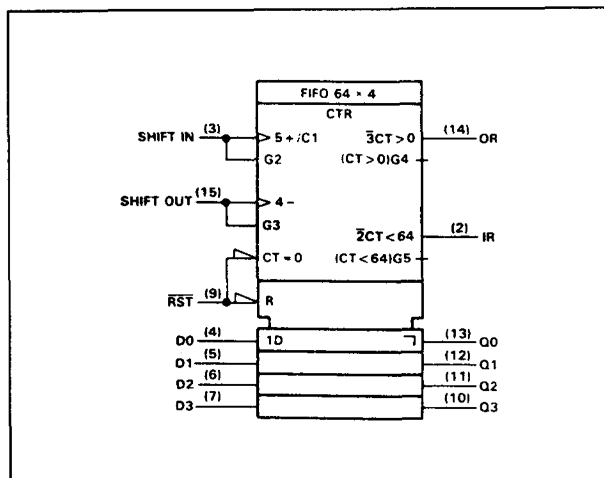
Tabel 8/8.2-44: Aanbevolen bedrijfscondities.



Figuur 8/8.2-59: Aansluitingen van de 74ALS236.



Figuur 8/8.2-61: Functioneel blokschema van de 74ALS236.



Figuur 8/8.2-60: Logisch symbool van de 74ALS236.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER		TEST CONDITIONS		SN54ALS236			SN74ALS236			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			−1.2			−1.2	V
V_{OH}	Q	V_{CC} = 4.5 V,	I_{OH} = −1 mA	2.4	3.3					V
		V_{CC} = 4.5 V,	I_{OH} = −2.6 mA				2.4	3.2		
	IR, OR	V_{CC} = 4.5 V,	I_{OH} = −0.4 mA	2.5	3.4		2.7	3.4		
V_{OL}	Q	V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
		V_{CC} = 4.5 V,	I_{OL} = 24 mA					0.35	0.5	
	IR, OR	V_{CC} = 4.5 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	
		V_{CC} = 4.5 V,	I_{OL} = 8 mA			0.4		0.35	0.5	
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	μA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			−0.1			−0.1	mA
I_O‡		V_{CC} = 5.5 V,	V_O = 2.25 V	−30		−112	−30		−112	mA
I_{CC}		V_{CC} = 5.5 V	I_{CCL}		100	155		100	145	mA
			I_{CCH}		97	152		97	142	

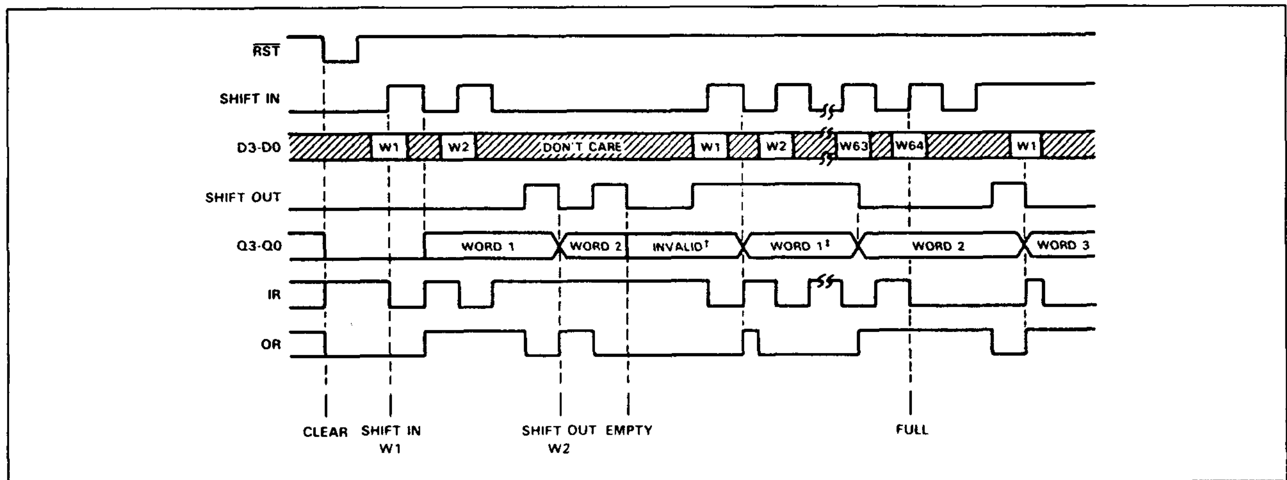
† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-45: Elektrische eigenschappen van de 74ALS236.

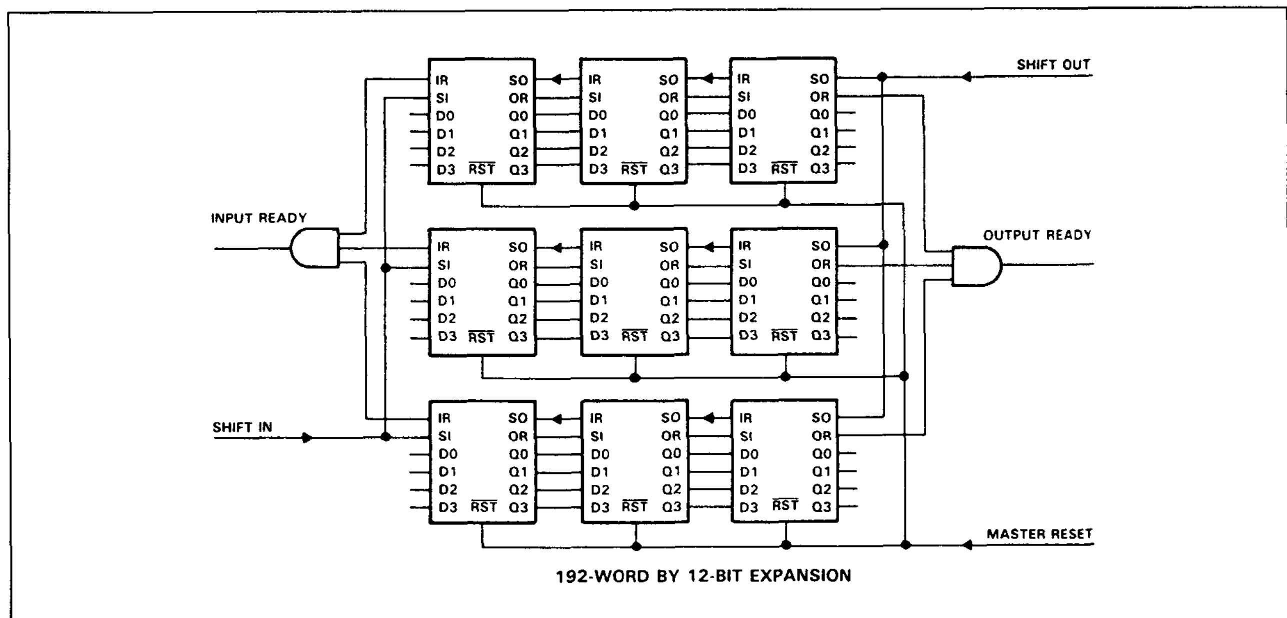
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = MIN to MAX				UNIT
			'ALS236			SN54ALS236		SN74ALS236		
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}	SHIFT IN			35		25		30		MHz
	SHIFT OUT			35		25		30		
t_w†	IR high			15		7		8		ns
t_w‡	OR high			19		7		8		ns
$t_{d(QV-ORH)}$	Q valid before OR ↑			6	9	−5	12	−5	12	ns
$t_{d(SOL-QX)}$	Q valid after SHIFT OUT ↓			13		4		4		ns
t_{pd}	SHIFT IN ↓	Q		600	800	350	1200	350	1000	ns
t_{PHL}	SHIFT IN ↑	IR		20	26	8	36	8	30	ns
t_{PLH}	SHIFT IN ↓	IR		16	21	6	28	6	25	ns
t_{PLH}§	SHIFT IN ↓	OR		600	800	350	1200	350	1000	ns
t_{pd}	SHIFT OUT ↓	Q		13	17	4	24	4	22	ns
t_{PHL}	SHIFT OUT ↑	OR		23	27	7	39	7	33	ns
t_{PLH}	SHIFT OUT ↓	OR		20	24	6	33	6	30	ns
t_{PLH}§	SHIFT OUT ↓	IR		600	800	350	1200	350	1000	ns
t_{PHL}	$\overline{RST}$ ↓	OR		22	26	10	40	10	34	ns
t_{PLH}	$\overline{RST}$ ↓	IR		17	21	6	31	6	27	ns
t_{PHL}	$\overline{RST}$ ↓	Q		14	17	5	21	5	19	ns

Tabel 8/8.2-46: Schakeltijden van de 74ALS236.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-62: Timing-diagram van de 74ALS236.



Figuur 8/8.2-63: Uitbreiding van lengte en breedte (192 x 15 bit) met behulp van meerdere 74ALS236 FIFO's.

74(ACT)7201A

512 x 9 bit FIFO

De 74ACT7201A is een in alle richtingen uitbreidbaar first-in, first-out (FIFO) geheugen, georganiseerd in 512 woorden van 9 bit per stuk. Door de apart uitgevoerde schrijf- en lees-clocks is deze FIFO zeer geschikt als buffer tussen twee bussystemen met ongelijke snelheden (tot maximaal 28,5 MHz). Data wordt ingeschreven op een LAAG-naar-HOOG overgang van de schrijfclock (WCLK) en uitgelezen op een HOOG-naar-LAAG overgang van de leesclock (RCLK).

De data-uitgangen zijn niet-inverterend ten opzichte van de ingangen en hoog-impedant als RCLK HOOG is. De FIFO is vol wanneer hij 512 woorden bevat en verdere WCLK-pulsen hebben dan ook geen effect meer. Wanneer de FIFO leeg is, zijn de uitgangen hoog-impedant en hebben RCLK-pulsen geen effect. De status van de 74ACT7201A wordt aangegeven met de vol-vlag ($\overline{FULL}$), de leeg-vlag ($\overline{EMPTY}$) en de Expansion Ena-

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

ble Out/Half Full-vlag (XEO/HF). De FULL-uitgang is LAAG als de FIFO vol is en EMPTY is LAAG als de FIFO leeg is. Wanneer twee of meer FIFO's in serie (cascade) worden geschakeld functioneert XEO/HF als Expansion Enable-uitgang. Is een 512 woorden FIFO voldoende, dan moet de Expansion Enable-ingang (XEI) LAAG zijn en werkt deze uitgang als Half Vol-vlag. XEO/HF is dan LAAG als de FIFO 257 woorden of meer bevat.

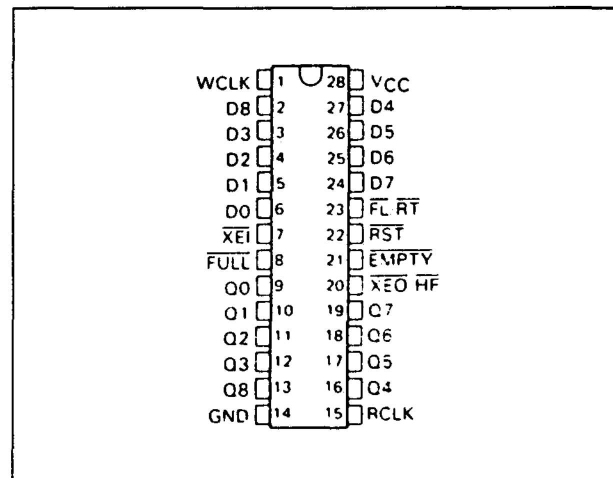
De First Load/Retransmit-ingang (FL/RT) heeft twee aparte functies. Wanneer twee of meer FIFO's in serie worden geschakeld, werkt FL/RT als First Load-ingang en moet bij de eerste FIFO worden geaard om aan te geven dat die FIFO het eerst moet worden geladen en ontladen. Wordt de 74ACT7201A als 512 woorden FIFO gebruikt, dan voert FL/RT de Retransmit-functie uit. In deze mode reset een LAGE puls op de FL/RT-ingang de lees-pointer naar de eerste geheugen-positie om opnieuw uitzenden van de opgenomen data-woorden mogelijk te maken.

De schrijf-pointer wordt hierdoor niet beïnvloed. Als de FL/RT-ingang LAAG is, moeten WCLK en RCLK beide HOOG zijn. Het is logisch dat de XEO/HF-vlag hierdoor wel wordt beïnvloed.

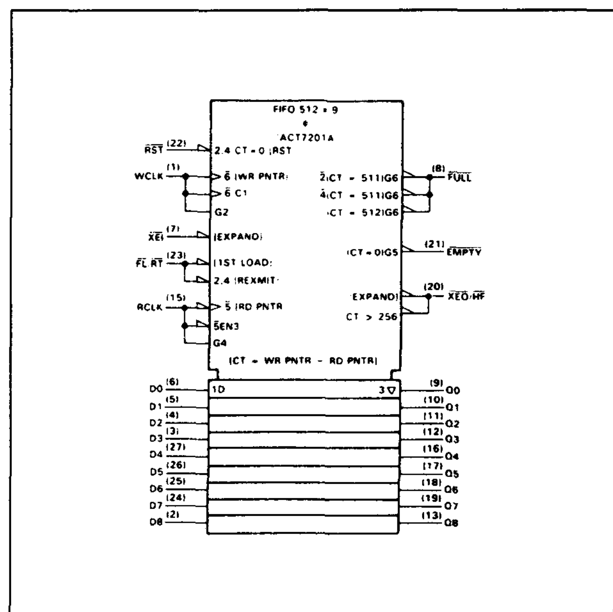
Het opnieuw uitzenden van data moet beperkt blijven tot minder dan 512 woorden omdat anders data verloren kan gaan.

Specificaties

- alleen leverbaar in Advanced CMOS: 74ACT7201A
- 512 x 9 bit organisatie
- TTL-compatibel
- 3-state uitgangen
- data-snelheid: 28,5 MHz max.
- toegangstijd: 25 ns (74ACT7201A-25), 35 ns (7201A-35) of 50 ns (7201A-50)
- uitbreidbaar in woordlengte en aantal bit
- dissipatie: 400 mW (aktief), 3 mW (Power Down) en 44 mW (standby)
- 28-pens plastic DIL-behuizing (figuur 8/8.2-64)
- verwisselbaar met IDT7201A (maar dissipeert minder)

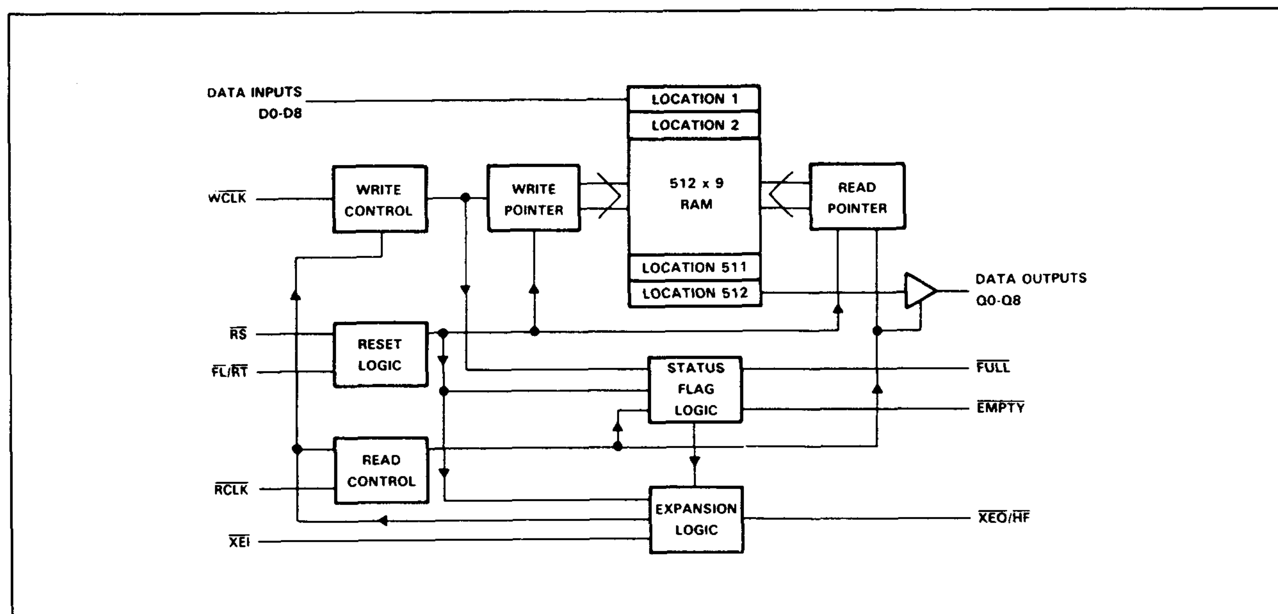


Figuur 8/8.2-64: Aansluitingen van de 74ACT7201A.



Figuur 8/8.2-65: Logisch symbool van de 74ACT7201A.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-66: Functioneel blokschema van de 74ACT7201A.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−8	mA
I_{OL}	Low-level output current			8	mA
T_A	Operating free-air temperature	0		70	°C

Tabel 8/8.2-47: Aanbevolen bedrijfscondities voor de 74ACT7201A.

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	V_{CC} = 4.5 V,	I_{OH} = −8 mA	3.8			V
V_{OL}	Low-level output voltage	V_{CC} = 4.5 V,	I_{OL} = 8 mA			0.4	V
I_{OZH}	High-impedance-state output current	V_O = 2.7 V				10	µA
I_{OZL}	High-impedance-state output current	V_O = 0.4 V				10	µA
I_I	Input current	V_I = 0 V to 5.5 V				10	µA
I_{CC1}	Supply current	f = 28.5 MHz for 'ACT7201A-25, f = 22.2 MHz for 'ACT7201A-35, f = 15 MHz for 'ACT7201A-50				80	mA
I_{CC2}	Standby current	RCLK, WCLK, $\overline{RST}$, and $\overline{FL}/\overline{RT}$ at V_{IH}				8	mA
I_{CC3}	Power down current	V_I = V_{CC} − 0.2 V				500	µA
C_i	Input capacitance	V_I = 0,	f = 1 MHz		5		pF
C_o	Output capacitance	V_O = 0,	f = 1 MHz		7		pF

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-48: Elektrische karakteristieken van de 74ACT7201A.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER		FIGURE	'ACT7201A-25 MIN	'ACT7201A-25 MAX	'ACT7201A-35 MIN	'ACT7201A-35 MAX	ACT7201A-50 MIN	ACT7201A-50 MAX	UNIT
f_{clock}	Clock frequency, RCLK or WCLK			28.5		22.2		15	MHz
$t_{c(R)}$	Cycle time, read	1(a)	35		45		65		ns
$t_{c(W)}$	Cycle time, write	1(b)	35		45		65		ns
$t_{c(RS)}$	Cycle time, reset	7	35		45		65		ns
$t_{c(RT)}$	Cycle time, retransmit	4	35		45		65		ns
$t_{w(RL)}$	Pulse duration, RCLK low	1(a)	25		35		50		ns
$t_{w(WL)}$	Pulse duration, WCLK low	1(b)	25		35		50		ns
$t_{w(RH)}$	Pulse duration, RCLK high	1(a)	10		10		15		ns
$t_{w(WH)}$	Pulse duration, WCLK high	1(b)	10		10		15		ns
$t_{w(RT)}$	Pulse duration, $\overline{FL}/\overline{RT}$ low	4	25		35		50		ns
$t_{w(RS)}$	Pulse duration, $\overline{RST}$ low	7	25		35		50		ns
$t_{w(XIL)}$	Pulse duration, $\overline{XEI}$ low	10	25		35		50		ns
$t_{w(XIH)}$	Pulse duration, $\overline{XEI}$ high	10	10		10		10		ns
$t_{su(D)}$	Setup time, data before WCLK↑	1(b), 6	15		18		30		ns
$t_{su(RT)}$	Setup time, RCLK and WCLK high before $\overline{FL}/\overline{RT}$↑	4	25		35		50		ns
$t_{su(RS)}$	Setup time, RCLK and WCLK high before $\overline{RST}$↑	7	25		35		50		ns
$t_{su(XI-R)}$	Setup time, $\overline{XEI}$ low before RCLK↓	10	15		15		15		ns
$t_{su(XI-W)}$	Setup time, $\overline{XEI}$ low before WCLK↓	10	15		15		15		ns
$t_{h(D)}$	Hold time, data after WCLK↑	1(b), 6	0		0		5		ns
$t_{h(E-R)}$	Hold time, RCLK low after $\overline{EMPTY}$↑	5	25		35		50		ns
$t_{h(F-W)}$	Hold time, WCLK low after $\overline{FULL}$↑	6	25		35		50		ns
$t_{h(RT)}$	Hold time, RCLK and WCLK high after $\overline{FL}/\overline{RT}$↑	4	10		10		15		ns
$t_{h(RS)}$	Hold time, RCLK and WCLK high after $\overline{RST}$↑	7	10		10		15		ns

Tabel 8/8.2-49: Voor verschillende snelheden benodigde timing.

512 WORD BY N × 9-BIT OPERATION

INPUTS			INTERNAL TO DEVICE		OUTPUTS			FUNCTION
$\overline{RST}$	$\overline{FL}/\overline{RT}$	$\overline{XEI}$	READ POINTER	WRITE POINTER	$\overline{EMPTY}$	$\overline{FULL}$	XEO/HF	
L	X	L	Location Zero	Location Zero	L	H	H	Reset Device
H	L	L	Location Zero	Unchanged	X	X	X	Retransmit
H	H	L	Increment if $\overline{EMPTY}$ high	Increment if $\overline{FULL}$ high	X	X	X	Read/Write

Figuur 8/8.2-67: Waarheidstabel voor Reset en Retransmit (maximaal 512 woorden).

M × 512 WORD BY N × 9-BIT OPERATION

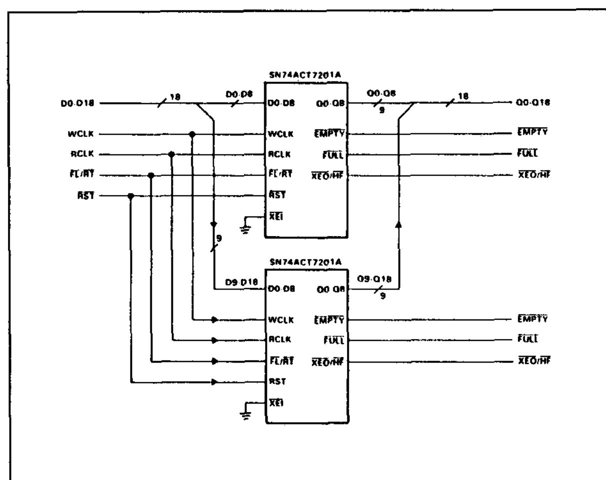
INPUTS			INTERNAL TO DEVICE		OUTPUTS			FUNCTION
$\overline{RST}$	$\overline{FL}/\overline{RT}$	$\overline{XEI}$	READ POINTER	WRITE POINTER	$\overline{EMPTY}$	$\overline{FULL}$	$\overline{XEO}/\overline{HF}$	
L	L	‡	Location Zero	Location Zero	L	H	H	Reset First Device
L	H	‡	Location Zero	Location Zero	L	H	H	Reset All Other Devices
H	X	‡	X	X	X	X	NA	Read/Write

Figuur 8/8.2-68: Waarheidstabel voor Reset en Load (onbeperkte afmetingen).

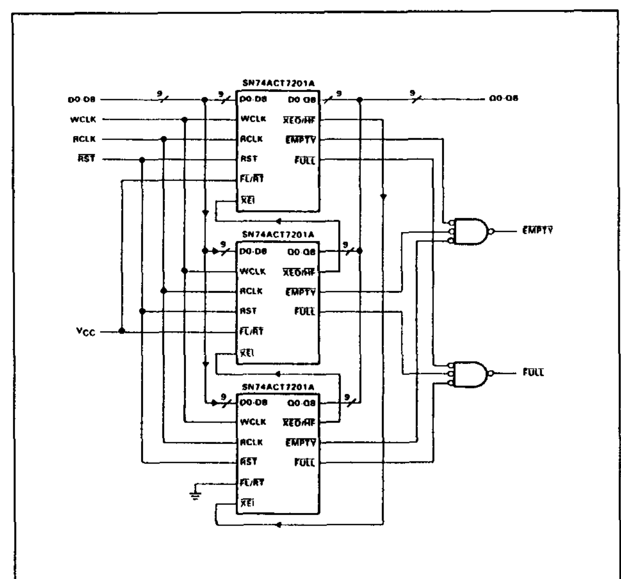
8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER		FIGURE	'ACT7201A-25		'ACT7201A-35		'ACT7201A-50		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
f_{max}	Clock frequency, RCLK or WCLK		28.5		22.2		15		MHz
t_a	Access time, RCLK ↓ or EMPTY ↑ to data out valid	1(a), 3, 5		25		35		50	ns
$t_{v(RH)}$	Valid time, data out valid after RCLK ↑	1(a)	5		5		5		ns
$t_{en(R-QX)}$	Enable time, RCLK ↓ to Q outputs at low impedance	1(a)	5		5		10		ns
$t_{en(W-QX)}$	Enable time, WCLK ↑ to Q outputs at low impedance	5	5		10		15		ns
$t_{dis(R)}$	Disable time, RCLK ↑ to Q outputs at high impedance	1a		15		20		30	ns
$t_{w(FH)}$	Pulse duration, $\overline{FULL}$ high in automatic write mode	6		25		30		45	ns
$t_{w(EH)}$	Pulse duration, $\overline{EMPTY}$ high in automatic mode	5		25		30		45	ns
$t_{p(W-F)}$	Propagation delay time, WCLK ↓ to $\overline{FULL}$ low	2		25		30		45	ns
$t_{p(R-F)}$	Propagation delay time, RCLK ↑ to $\overline{FULL}$ high	2, 6		25		30		45	ns
$t_{p(RS-F)}$	Propagation delay time, $\overline{RST}$ ↓ to $\overline{FULL}$ high	7		20		45		65	ns
$t_{p(RS-HF)}$	Propagation delay time, $\overline{RST}$ ↓ to $\overline{XEO}/\overline{HF}$ high	7		20		45		65	ns
$t_{p(W-E)}$	Propagation delay time, WCLK ↑ to $\overline{EMPTY}$ high	3, 5		25		30		45	ns
$t_{p(R-E)}$	Propagation delay time, RCLK ↓ to $\overline{EMPTY}$ low	3		25		30		45	ns
$t_{p(RS-E)}$	Propagation delay time, $\overline{RST}$ ↓ to $\overline{EMPTY}$ low	7		20		45		65	ns
$t_{p(W-HF)}$	Propagation delay time, WCLK ↓ to $\overline{XEO}/\overline{HF}$ low	8		35		45		65	ns
$t_{p(R-HF)}$	Propagation delay time, RCLK ↑ to $\overline{XEO}/\overline{HF}$ high	8		35		45		65	ns
$t_{p(R-XOL)}$	Propagation delay time, RCLK ↓ to $\overline{XEO}/\overline{HF}$ low	9		25		35		50	ns
$t_{p(W-XOL)}$	Propagation delay time, WCLK ↓ to $\overline{XEO}/\overline{HF}$ low	9		25		35		50	ns
$t_{p(R-XOH)}$	Propagation delay time, RCLK ↑ to $\overline{XEO}/\overline{HF}$ high	9		25		35		50	ns
$t_{p(W-XOH)}$	Propagation delay time, WCLK ↑ to $\overline{XEO}/\overline{HF}$ high	9		25		35		50	ns

Tabel 8/8.2-50: Schakeltijden van verschillende typen van de 74ACT7201A.



Figuur 8/8.2-69: Uitbreiding van de woordbreedte (512 woorden van 18 bit).



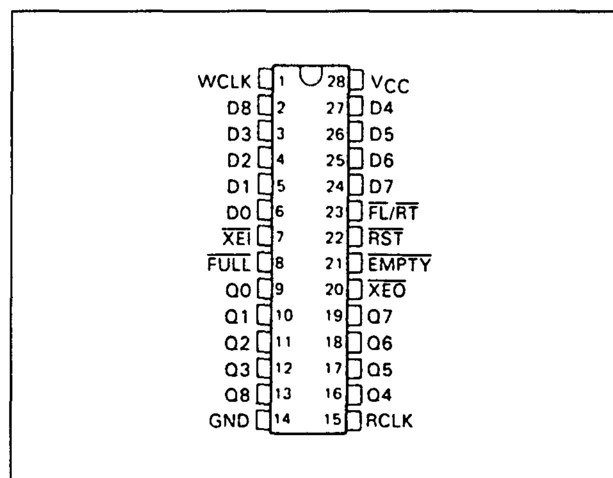
Figuur 8/8.2-70: Uitbreiding van de woorddiepte (1536 woorden van 9 bit).

74(ACT)7202

1024 x 9 bit FIFO

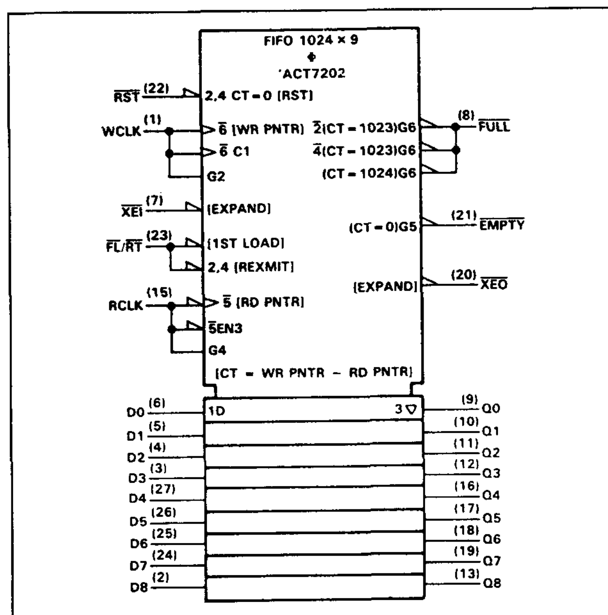
De 74ACT7202 is een FIFO-geheugen dat net als de 74ACT7201 zowel in lengte als in breedte kan worden uitgebreid. De 74ACT7202 heeft echter een organisatie van 1024 woorden van 9 bit per stuk. Door de onafhankelijk van elkaar werkende schrijf- en lees-clock is de FIFO zeer geschikt als buffer tussen twee systemen met ongelijke snelheid (tot maximaal 22 MHz).
Data wordt in de FIFO geschreven op een LAAG-naar-HOOG overgang van de schrijfclock (WCLK) en uitgelezen op een HOOG-naar-LAAG overgang van de leesclock (RCLK).
De data wordt niet geïnverteerd en de uitgangen zijn hoog-impedant als RCLK HOOG is. Wanneer de FIFO 1024 woorden bevat is hij vol en hebben daarna komende WCLK-pulsen verder geen effect meer. Ook wanneer de FIFO leeg is, zijn de uitgangen hoog-impedant, terwijl RCLK-pulsen dan geen effect meer hebben.
De status van de 74ACT7202 is af te lezen aan de vol-vlag ($\overline{FULL}$) en de leeg-vlag ($\overline{EMPTY}$). De $\overline{FULL}$-uitgang is LAAG als de FIFO vol is en anders HOOG. De $\overline{EMPTY}$-uitgang is alleen LAAG als de FIFO leeg is.
De First Load/Retransmit-ingang ($\overline{FL}/\overline{RT}$) heeft twee aparte functies: wanneer twee of meer FIFO's in serie worden geschakeld, werkt $\overline{FL}/\overline{RT}$ als First Load-ingang (die bij de eerste FIFO wordt geaard). De Expansion Enable-uitgang ($\overline{XEO}$) van elke FIFO moet dan worden verbonden met de Expansion Enable-ingang ($\overline{XEI}$) van de volgende in de rij.
Als de 74ACT7202 als 1024 woorden FIFO wordt gebruikt, heeft $\overline{FL}/\overline{RT}$ de Retransmitfunctie. De FIFO komt in deze mode door de Expansion Enable-ingang ($\overline{XEI}$) te aarden. Door een LAGE puls op de $\overline{FL}/\overline{RT}$-ingang wordt de lees-pointer dan gereset naar de eerste geheugen-positie om opnieuw uitzenden van de aanwezige data mogelijk te maken. De schrijf-pointer wordt niet door dit signaal beïnvloed. Als de $\overline{FL}/\overline{RT}$-ingang LAAG is, moeten WCLK en RCLK beide HOOG zijn. Het opnieuw uitzenden van data moet beperkt blijven tot minder dan 1024 woorden omdat anders data verloren kan gaan.
Na het opkomen van de voedingsspanning moet de FIFO met $\overline{RST}$ worden gereset, waarbij zowel RCLK als WCLK HOOG moeten zijn.

Specificaties
- alleen leverbaar in Advanced CMOS: 74ACT7202
- 1024 x 9 bit organisatie
- TTL-compatibel
- 3-state uitgangen
- data-snelheid: 22 MHz max.
- toegangstijd: 35 ns (74ACT7202-35) of 50 ns (7202-50)
- uitbreidbaar in woordlengte en woordbreedte
- dissipatie: 440 mW (aktief), 3 mW (Power Down) en 44 mW (standby)
- 28-pens plastic DIL-behuizing (figuur 8/8.2-71)
- uitwisselbaar met IDT7202 (maar dissipeert minder)

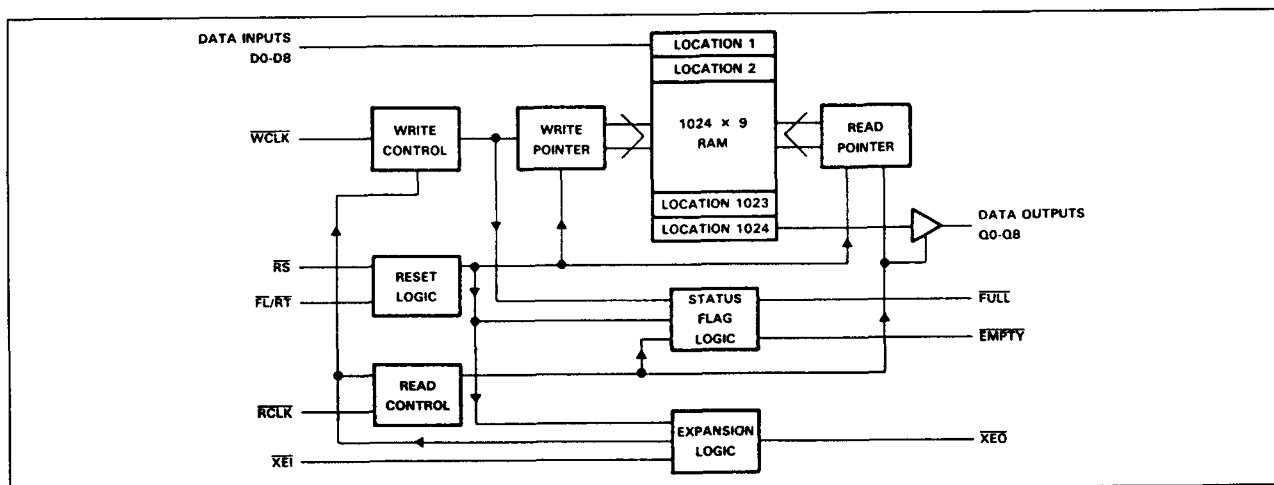


Figuur 8/8.2-71: Aansluitingen van de 74ACT7202.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-72: Logisch symbool van de 74ACT7202.



Figuur 8/8.2-73: Functioneel blokschema van de 74ACT7202.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−8	mA
I_{OL}	Low-level output current			8	mA
T_A	Operating free-air temperature	0		70	°C

Tabel 8/8.2-51: Aanbevolen bedrijfscondities voor de 74ACT7202.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	V_{CC} = 4.5 V, I_{OH} = −8 mA	3.8			V
V_{OL}	Low-level output voltage	V_{CC} = 4.5 V, I_{OL} = 8 mA			0.4	V
I_{OZH}	High-impedance-state output current	V_O = 2.7 V			10	μA
I_{OZL}	High-impedance-state output current	V_O = 0.4 V			10	μA
I_I	Input current	V_I = 0 V to 5.5 V			10	μA
I_{CC1}	Supply current	f = 22 MHz			80	mA
I_{CC2}	Standby current	RCLK, WCLK, $\overline{RST}$, and $\overline{FL}/\overline{RT}$ at V_{IH}			8	mA
I_{CC3}	Power down current	V_I = V_{CC} −0.2 V			500	μA
C_i	Input capacitance	V_I = 0, f = 1 MHz		5		pF
C_o	Output capacitance	V_O = 0, f = 1 MHz		7		pF

Tabel 8/8.2-52: Elektrische kenmerken van de 74ACT7202.

PARAMETER		FIGURE	SN74ACT7202-50		SN74ACT7202-35		UNIT
			MIN	MAX	MIN	MAX	
$t_{c(R)}$	Cycle time, read	1a	65		45		ns
$t_{c(W)}$	Cycle time, write	1b	65		45		ns
$t_{c(RS)}$	Cycle time, reset	7	65		25		ns
$t_{c(RT)}$	Cycle time, retransmit	4	65		30		ns
$t_{w(RL)}$	Pulse duration, RCLK low	1a	50		30		ns
$t_{w(WL)}$	Pulse duration, WCLK low	1b	50		35		ns
$t_{w(RH)}$	Pulse duration, RCLK high	1a	15		15		ns
$t_{w(WH)}$	Pulse duration, WCLK high	1b	15		10		ns
$t_{w(RT)}$	Pulse duration, $\overline{FL}/\overline{RT}$ low	4	50		20		ns
$t_{w(RS)}$	Pulse duration, $\overline{RST}$ low	7	50		15		ns
$t_{su(D)}$	Setup time, data before WCLK↑	1b, 6	30		10		ns
$t_{su(RT)}$	Setup time, $\overline{FL}/\overline{RT}$ high before RCLK↓ or WCLK↓	4	15		10		ns
$t_{su(R-RS)}$	Setup time, RCLK high before $\overline{RST}$↑	7	50		30		ns
$t_{su(W-RS)}$	Setup time, WCLK high before $\overline{RST}$↑	7	50		35		ns
$t_{h(D)}$	Hold time, data after WCLK↑	1b, 6	5		3		ns
$t_{h(E-R)}$	Hold time, RCLK low after $\overline{EMPTY}$↑	5	50		30		ns
$t_{h(F-W)}$	Hold time, WCLK low after $\overline{FULL}$↑	6	50		35		ns
$t_{h(RS-W)}$	Hold time, WCLK high after $\overline{RST}$↑	7	15		10		ns
$t_{h(RS-R)}$	Hold time, RCLK high after $\overline{RST}$↑	7	15		10		ns

Tabel 8/8.2-53: Vereiste timing voor verschillende snelheden.

PARAMETER		FIGURE	SN74ACT7202-50			SN74ACT7202-35			UNIT
			MIN	TYP†	MAX	MIN	TYP†	MAX	
t_a	Access time, RCLK↓ or EMPTY↑ to data out valid	1a, 3, 5		18	50		18	35	ns
$t_{v(RH)}$	Valid time, data out valid after RCLK↑	1a	5			5			ns
$t_{en(R-QX)}$	Enable time, RCLK↓ to Q outputs at low impedance	1a	10			5			ns
$t_{en(W-QX)}$	Enable time, WCLK↑ to Q outputs at low impedance	5	15			10			ns
$t_{dis(R)}$	Disable time, RCLK↑ to Q outputs at high impedance	1a		10	30		10	20	ns
$t_{w(FH)}$	Pulse duration, $\overline{FULL}$ high in automatic write mode	6		15	45		15	25	ns
$t_{w(EH)}$	Pulse duration, $\overline{EMPTY}$ high in automatic read mode	5		18	45		18	30	ns
$t_{p(W-F)}$	Propagation delay time, WCLK↓ to $\overline{FULL}$ low	2		15	45		15	25	ns
$t_{p(R-F)}$	Propagation delay time, RCLK↑ to $\overline{FULL}$ high	2, 6		23	45		23	35	ns
$t_{p(R-E)}$	Propagation delay time, RCLK↓ to $\overline{EMPTY}$ low	3		18	45		18	30	ns
$t_{p(W-E)}$	Propagation delay time, WCLK↑ to $\overline{EMPTY}$ high	3,5		21	45		21	30	ns
$t_{p(RS-E)}$	Propagation delay time, RST↓ to $\overline{EMPTY}$ low	6		9	65		9	20	ns
$t_{p(RS-F)}$	Propagation delay time, RST↓ to $\overline{FULL}$ high	6		7	65		7	20	ns

†All typical values are at V_{CC} = 5 V, T_A = 25 °C.

Tabel 8/8.2-54: Schakeltijden van de 74ACT7202.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

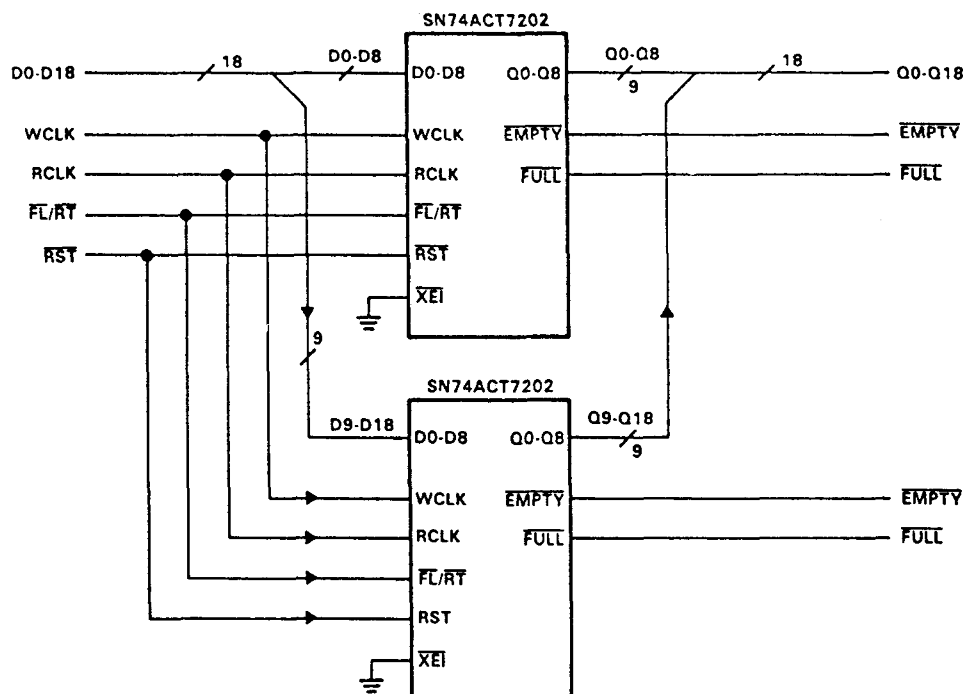
INPUTS			INTERNAL TO DEVICE		OUTPUTS		FUNCTION
$\overline{RST}$	$\overline{FL}/\overline{RT}$	$\overline{XEI}$	READ POINTER	WRITE POINTER	$\overline{EMPTY}$	$\overline{FULL}$	
L	X	L	Location Zero	Location Zero	L	H	Reset Device
H	L	L	Location Zero	Unchanged	X	X	Retransmit
H	H	L	Increment if $\overline{EF}$ high	Increment if $\overline{FF}$ high	X	X	Read/Write

Figuur 8/8.2-74: Waarheidstabel voor Reset (maximaal 1024 woorden).

INPUTS			INTERNAL TO DEVICE		OUTPUTS		FUNCTION
$\overline{RST}$	$\overline{FL}/\overline{RT}$	$\overline{XEI}$	READ POINTER	WRITE POINTER	$\overline{EMPTY}$	$\overline{FULL}$	
L	L	†	Location Zero	Location Zero	L	H	Reset First Device
L	H	†	Location Zero	Unchanged	X	X	Reset All Other Devices
H	X	†	X	X	X	X	Read Write

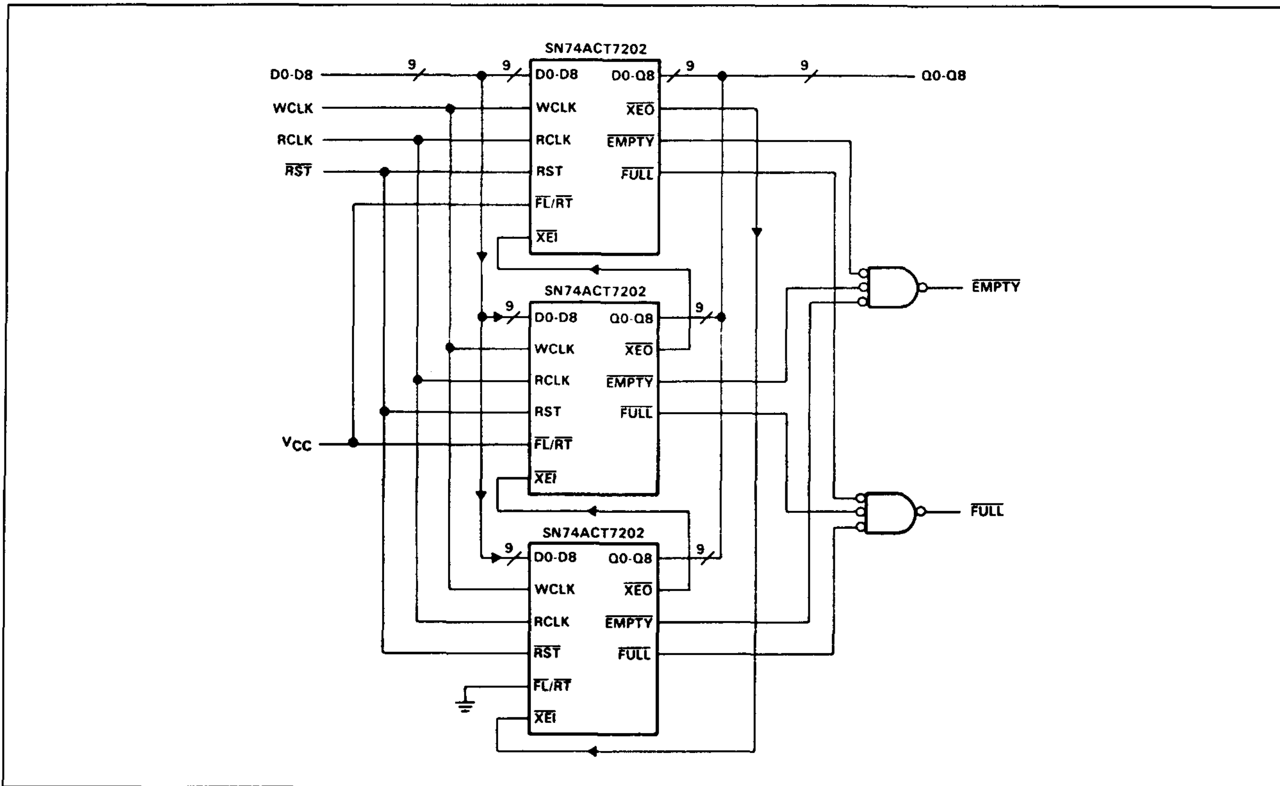
† $\overline{XEI}$ is connected to $\overline{XEO}$ of the previous device in the daisy chain.

Figuur 8/8.2-75: Waarheidstabel voor Load en Retransmit (onbeperkte afmetingen).

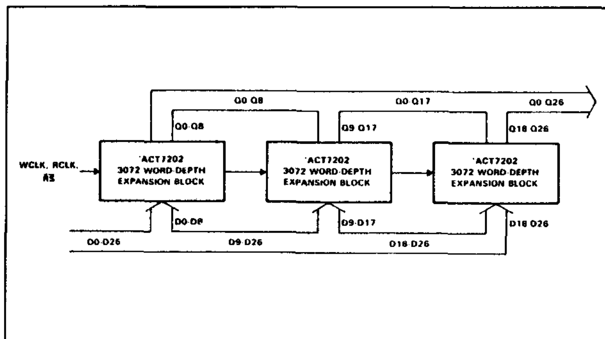


Figuur 8/8.2-76: Uitbreiding van de woordbreedte (1024 woorden van 18 bit).

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-77: Uitbreiding van de woorddiepte (3072 woorden van 9 elk bit).



Figuur 8/8.2-78: Uitbreiding van woordlengte en breedte met behulp van 9 74ACT7202's (totaal 3072 x 27 bit).

74(ALS)2232

64 x 8 bit FIFO

De 74ALS2232 is een 512 bit FIFO (first in-first out) geheugen met een organisatie van 64 x 8 bit. De Advanced Low Power Schottky FIFO is asynchroon, waardoor schrijven en lezen van de data-woorden met verschillende snelheden (van 0 tot 40 MHz) kan geschieden.

Data wordt ingeschreven op een LAAG-naar-HOOG overgang van de load-clock (LDCK) en uitgelezen op een LAAG-naar-HOOG overgang van de unload clock (UNCK). De FIFO is vol wanneer hij 64 woorden bevat: LDCK-signalen hebben dan geen invloed meer. Is de FIFO leeg, dan hebben UNCK-signalen geen effect.

De status van de FIFO kan worden gecontroleerd met behulp van de FULL en EMPTY vlaggen. De FULL-uitgang is HOOG zolang de FIFO nog plaats heeft voor data, maar gaat LAAG zodra hij vol is. Evenzo is EMPTY LAAG zodra de FIFO leeg raakt.

Door een LAAG signaal op de RST-ingang worden de interne stack-control pointers gereset en wordt EMPTY LAAG, terwijl FULL HOOG wordt. Met de 74ALS2232 kunnen wel bredere FIFO's worden samengesteld (meer bit per woord), maar geen diepere.

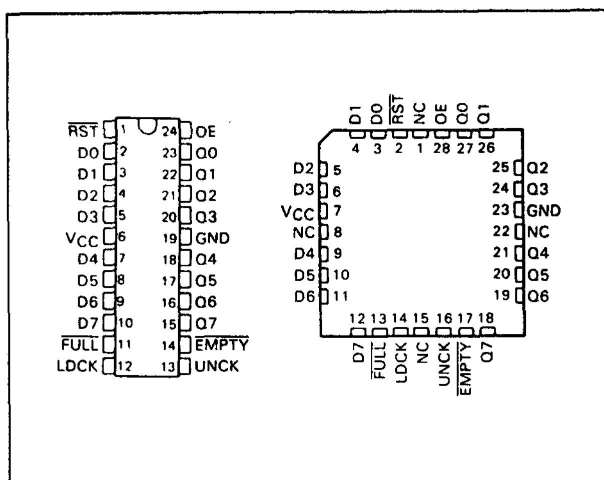
8.2 Type-beschrijving 74xx-serie TTL en HC(T)

				MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage			4.5	5	5.5	V
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
I_{OH}	High-level output current	Q outputs				−2.6	mA
		$\overline{FULL}$, $\overline{EMPTY}$				−0.4	
I_{OL}	Low-level output current	Q outputs				24	mA
		$\overline{FULL}$, $\overline{EMPTY}$				8	
f_{clock}	Clock frequency	LDCK, UNCK		0		40	MHz
t_w	Pulse duration	$\overline{RST}$ low		25			ns
		LDCK low		13			
		LDCK high		12			
		UNCK low		13			
		UNCK high		12			
t_{su1}	Setup time, data before LDCK↑			5			ns
t_{su2}	Setup time, $\overline{RST}$ high (inactive) before LDCK↑			5			ns
t_h	Hold time, data after LDCK↑			5			ns
T_A	Operating free-air temperature			0		70	°C

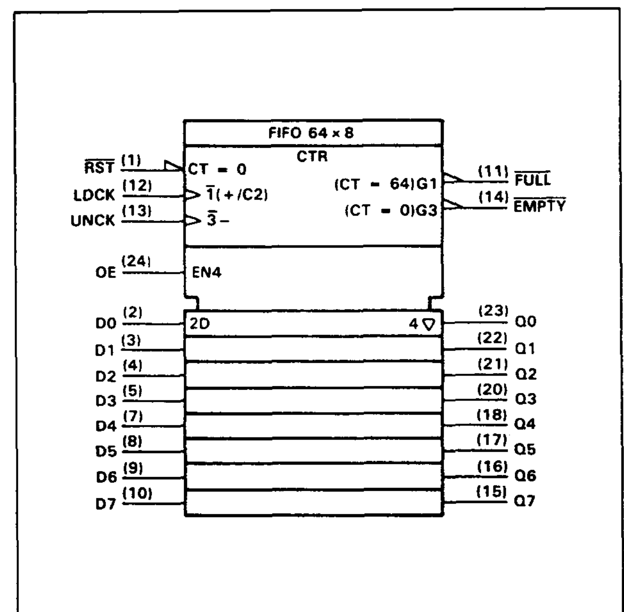
Tabel 8/8.2-55: Aanbevolen bedrijfscondities.

Specificaties

- alleen leverbaar in ALS: 74ALS2232
- 64 x 8 bit organisatie
- asynchrone, onafhankelijke in- en uitgangen
- 3-state uitgangen
- data-snelheid: 0 tot 40 MHz
- "doorval"-tijd 20 ns typ.
- 24-pens plastic DIL- of SO-behuizing of 28-pens PLCC (figuur 8/8.2-79)
- alleen uitbreidbaar in de breedte

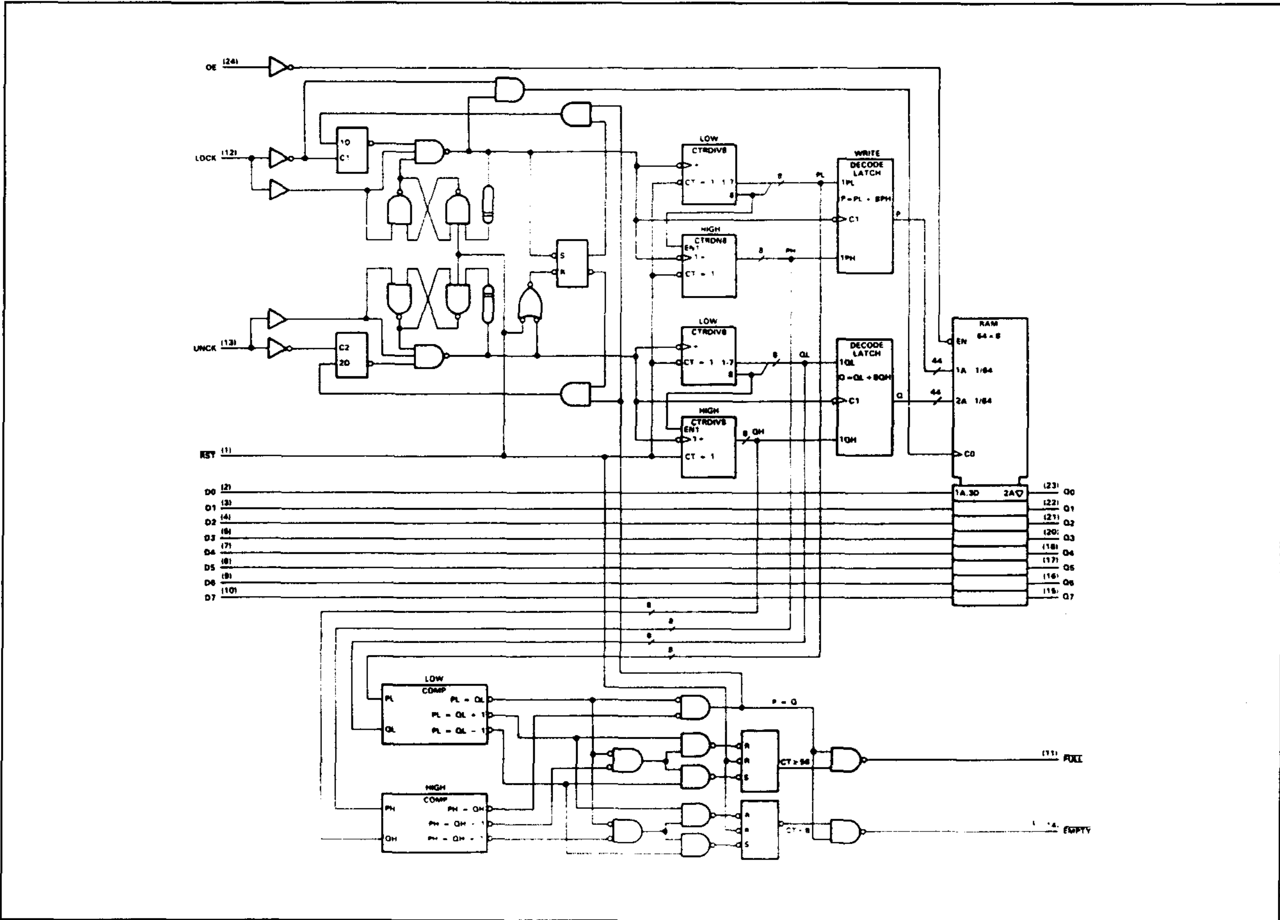


Figuur 8/8.2-79: Aansluitingen van de 74ALS2232.



Figuur 8/8.2-80: Logisch symbool van de 74ALS2232.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-81: Functioneel blokschema van de 74ALS2232.

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			1.2	V
V_{OH}	$\overline{FULL}$, $\overline{EMPTY}$	V_{CC} = MIN TO MAX,	I_{OH} = 0.4 mA	V_{CC} − 2			V
	Q outputs	V_{CC} = 4.5 V,	I_{OH} = −2.6 mA	2.4	3.2		
V_{OL}	Q outputs	V_{CC} = 4.5 V	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	
	$\overline{FULL}$, $\overline{EMPTY}$		I_{OL} = 4 mA		0.25	0.4	
			I_{OL} = 8 mA		0.35	0.5	
I_{OZH}		V_{CC} = 5.5 V,	V_O = 2.7 V			20	µA
I_{OZL}		V_{CC} = 5.5 V,	V_O = 0.4 V			−20	µA
I_I		V_{CC} = 5.5 V,	V_I = 7 V			0.1	mA
I_{IH}		V_{CC} = 5.5 V,	V_I = 2.7 V			20	µA
I_{IL}		V_{CC} = 5.5 V,	V_I = 0.4 V			−0.1	mA
I_O‡	Q outputs	V_{CC} = 5.5 V,	V_O = 2.25 V	−30		−112	mA
	$\overline{FULL}$, $\overline{EMPTY}$			−20		−112	
I_{CC}		V_{CC} = 5.5 V			175	270	mA

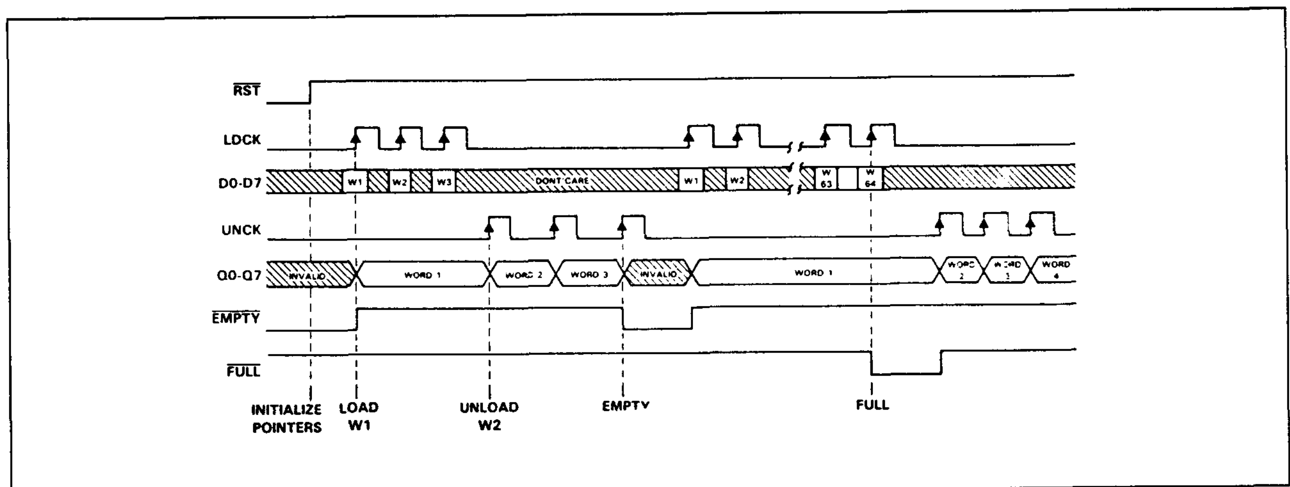
† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 8/8.2-56: Elektrische eigenschappen van de 74ALS2232.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 0°C to 70°C		UNIT
			MIN	TYP	MAX	MIN	MAX	
f_{max}	LDCK					40		MHz
	UNCK					40		
t_{pd}	LDCK↑	Any Q		18	26		30	ns
t_{pd}	UNCK↑	Any Q		18	24		27	ns
t_{PLH}	LDCK↑	$\overline{EMPTY}$		12	16		18	ns
t_{PHL}	UNCK↑	$\overline{EMPTY}$		12	17		20	ns
t_{PHL}	$\overline{RST}$↓	$\overline{EMPTY}$		12	17		20	ns
t_{PHL}	LDCK↑	$\overline{FULL}$		16	21		22	ns
t_{PLH}	UNCK↑	$\overline{FULL}$		10	15		18	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL}$		13	19		23	ns
t_{en}	OE↑	Q		11	15		17	ns
t_{dis}	OE↓	Q		11	17		19	ns

Tabel 8/8.2-57: Schakeltijden van de 74ALS2232.



Figuur 8/8.2-82: Timing-diagram van de 74ALS2232.

74(ALS)2233

64 x 9 bit FIFO

De 74ALS2233 is een 576 bit FIFO-geheugen met een 64 x 9 bit organisatie. De informatie die het eerst in deze Advanced Low-Power Schottky FIFO wordt ingeschreven wordt ook als eerste uitgelezen. Schrijven en lezen van de data-woorden kan hierbij met verschillende snelheden geschieden (asynchroon).

Data wordt in het geheugen geschreven op een LAAG-naar-HOOG overgang van de load-clock LDCK en uitgelezen op een LAAG-naar-HOOG overgang van de unload-clock UNCK.

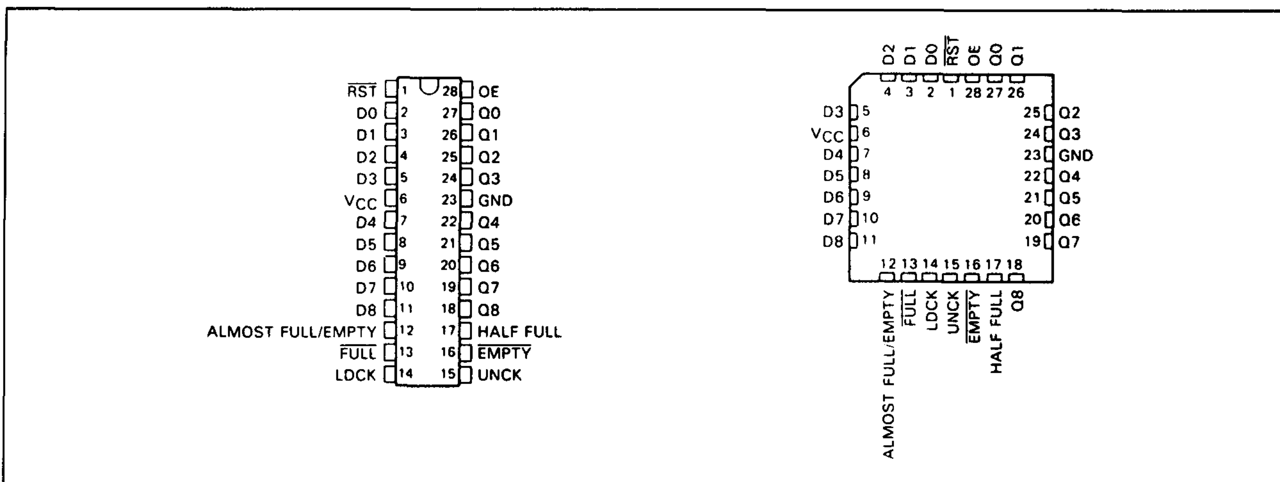
Wanneer de FIFO 64 woorden bevat is hij vol en hebben verdere LDCK-signalen geen effect meer, terwijl UNCK-signalen zonder effect blijven als de FIFO leeg is.

De status van de FIFO wordt gecontroleerd door middel van de $\overline{FULL}$, $\overline{EMPTY}$, ALMOST FULL/EMPTY en HALF FULL vlaggen. De $\overline{FULL}$-vlag gaat bijvoorbeeld LAAG als de FIFO vol is en is anders HOOG. $\overline{EMPTY}$ is LAAG als de FIFO leeg is en ALMOST FULL/EMPTY is HOOG als de FIFO minder

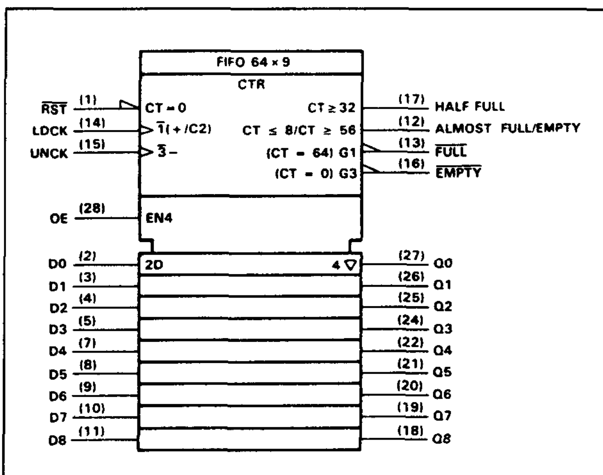
dan 8 woorden of meer dan 56 woorden bevat. HALF FULL is HOOG als er 32 of meer woorden aanwezig zijn en LAAG bij 31 of minder woorden.

Specificaties

- alleen leverbaar in ALS: 74ALS2233
- 64 x 9 bit organisatie
- onafhankelijke, asynchrone in- en uitgangen
- 3-state data-uitgangen
- data-snelheid: 0 tot 40 MHz
- "doorval"-tijd: 20 ns typ.
- 28-pens plastic DIL-behuizing of PLCC (figuur 8/8.2-83)
- alleen in breedte (aantal bit/word) uitbreidbaar

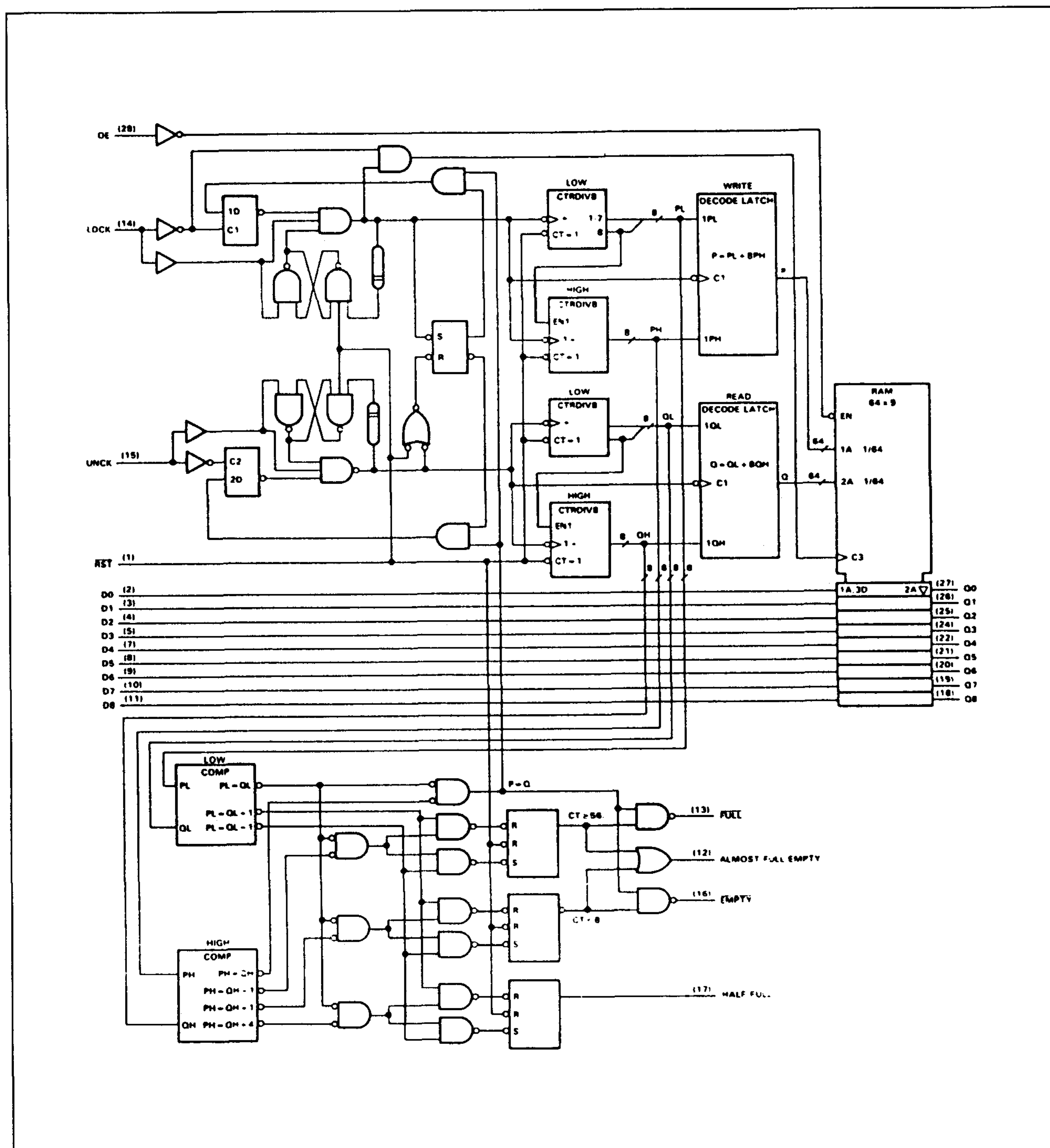


Figuur 8/8.2-83: Aansluitingen van de 74ALS2233.



Figuur 8/8.2-84: Logisch symbool van de 74ALS2233.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)



Figuur 8/8.2-85: Functioneel blokschema van de 74ALS2233.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

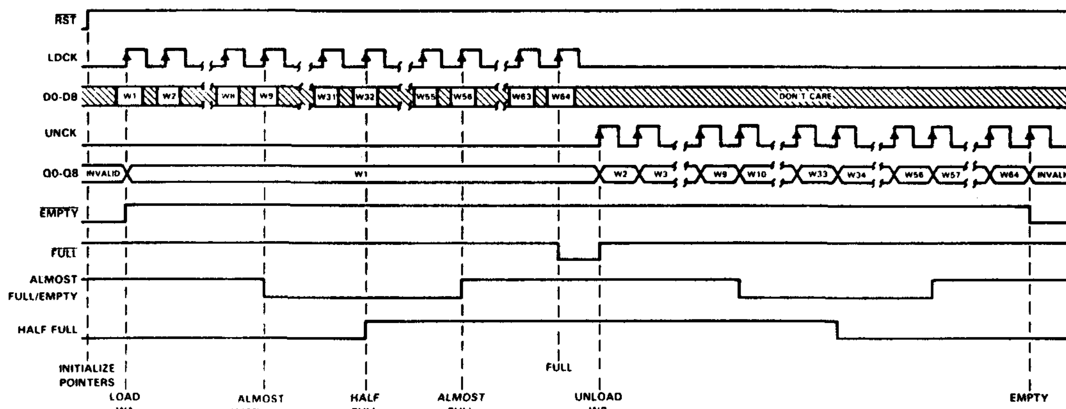
				MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage			4.5	5	5.5	V
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
I_{OH}	High-level output current	Q outputs				−2.6	mA
		Flag outputs				−0.4	mA
I_{OL}	Low-level output current	Q outputs				24	mA
		Flag outputs				8	mA
f_{clock}	Clock frequency	LDCK, UNCK		0		40	MHz
t_w	Pulse duration	$\overline{RST}$ low		25			ns
		LDCK low		13			ns
		LDCK high		12			ns
		UNCK low		13			ns
		UNCK high		12			ns
t_{su1}	Setup time, data before LDCK↑			5			ns
t_{su2}	Setup time, $\overline{RST}$ high (inactive) before LDCK↑			5			ns
t_h	Hold time, data after LDCK↑			5			ns
T_A	Operating free-air temperature			0		70	°C

Tabel 8/8.2-58: Aanbevolen bedrijfscondities.

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			1.2	V
V_{OH}	Flag outputs	V_{CC} = MIN TO MAX,	I_{OH} = 0.4 mA	V_{CC}−2			V
	Q outputs	V_{CC} = 4.5 V,	I_{OH} = −2.6 mA	2.4	3.2		V
V_{OL}	Q Outputs	V_{CC} = 4.5 V	I_{OL} = 12 mA		0.25	0.4	V
			I_{OL} = 24 mA		0.35	0.5	V
	Flag outputs		I_{OL} = 4 mA		0.25	0.4	V
			I_{OL} = 8 mA		0.35	0.5	V
I_{OZH}		V_{CC} = 5.5 V	V_O = 2.7 V			20	μA
I_{OZL}		V_{CC} = 5.5 V	V_O = 0.4 V			−20	μA
I_I		V_{CC} = 5.5 V	V_I = 7 V			0.1	mA
I_{IH}		V_{CC} = 5.5 V	V_I = 2.7 V			20	μA
I_{IL}		V_{CC} = 5.5 V	V_I = 0.4 V			−0.1	mA
I_O‡	Q outputs	V_{CC} = 5.5 V	V_O = 2.25 V	−30		−112	mA
	Flag outputs			−20		−112	mA
I_{CC}		V_{CC} = 5.5 V			175	290	mA

† All typical values are at V_{CC} = 5 V, T_A = 25 °C.

Tabel 8/8.2-59: Elektrische eigenschappen van de 74ALS2233.



Figuur 8/8.2-86: Timing-diagram van de 74ALS2233.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 25°C			V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R1 = 500 Ω, R2 = 500 Ω, T_A = 0°C to 70°C		UNIT
			MIN	TYP	MAX	MIN	MAX	
f_{max}	LDCK					40		MHz
	UNCK					40		
t_{pd}	LDCK↑	Any Q		18	26		30	ns
t_{pd}	UNCK↑	Any Q		18	24		27	ns
t_{PLH}	LDCK↑	$\overline{EMPTY}$		12	16		18	ns
t_{PHL}	UNCK↑	$\overline{EMPTY}$		12	17		20	ns
t_{PHL}	RST↓	$\overline{EMPTY}$		12	17		20	ns
t_{PHL}	LDCK↑	$\overline{FULL}$		16	21		22	ns
t_{PLH}	UNCK↑	$\overline{FULL}$		10	15		18	ns
t_{PLH}	$\overline{RST}$↓	$\overline{FULL}$		13	19		23	ns
t_{PLH}	LDCK↑	ALMOST FULL/EMPTY		22	27		30	ns
t_{PHL}				19	25		28	
t_{PLH}	UNCK↑	ALMOST FULL/EMPTY		22	27		30	ns
t_{PHL}				17	23		26	
t_{PLH}	$\overline{RST}$↓	ALMOST FULL/EMPTY		12	16		18	
t_{PLH}	LDCK↑	HALF FULL		22	27		30	ns
t_{PHL}	$\overline{RST}$↓	HALF FULL		28	32		35	ns
t_{PHL}	UNCK↑	HALF FULL		16	22		25	ns
t_{en}	OE↑	Q		11	15		17	ns
t_{dis}	OE↓	Q		11	17		19	ns

Tabel 8/8.2-60: Schakeltijden van de 74ALS2233.

8.2 Type-beschrijving 74xx-serie TTL en HC(T)

8/8.3

Type-beschrijving (1)4xxx-serie CMOS

(1)40105

16 x 4 bit, 3-state

De 40105 is een FIFO geheugen met een 16 x 4 bit organisatie in de standaard CMOS-uitvoering.

De FIFO heeft aparte besturingen voor ingang (SI) en uitgang ($\overline{SO}$), zodat de informatie met verschillende snelheden kan worden opgenomen en uitgelezen.

Wanneer de Data-Input Ready-flag (DIR) HOOG is, kan data in de FIFO worden geladen met een LAAG-naar-HOOG overgang van SI. De DIR-uitgang gaat dan LAAG totdat de data op een volgende positie is aangekomen, waarna DIR weer HOOG gaat. Als alle 16 plaatsen in de FIFO zijn gevuld blijft DIR LAAG.

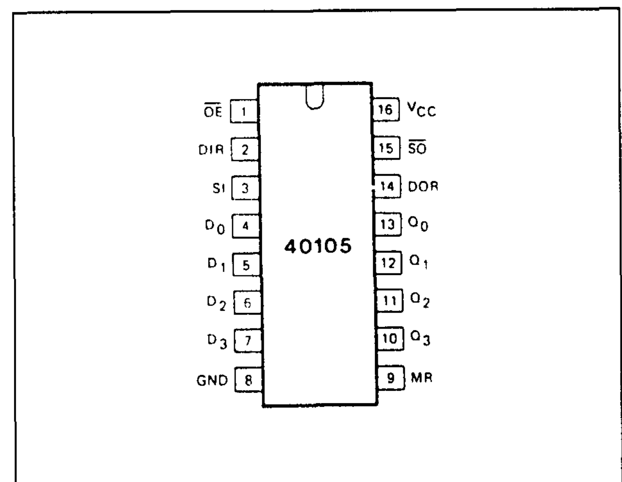
Wanneer het eerste woord in de uitgangstrap is aangekomen gaat DOR (Data-Output Ready) HOOG.

Data kan worden uitgelezen door $\overline{OE}$ LAAG te maken. Op de dalende flank van $\overline{SO}$ wordt een nieuw woord in de uitgangstrap geladen en gaat de DOR-flag LAAG.

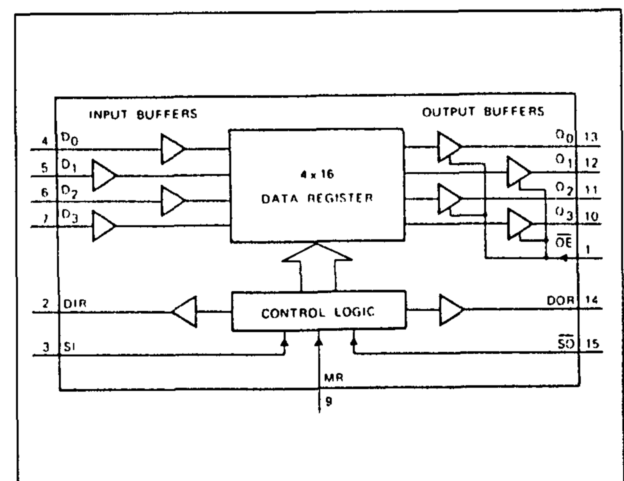
Zolang de FIFO data bevat gaat DOR daarna weer HOOG. Is de FIFO leeg, dan blijft DOR verder LAAG.

Specificaties

- leverbaar: CD40105B
- 16 x 4 bit organisatie
- asynchrone werking
- 3-state uitgangen
- master-reset voor besturingsfuncties
- uitbreidbaar in alle richtingen
- 16-pens plastic DIL behuizing (figuur 8/8.3-1)



Figuur 8/8.3-1: Aansluitingen van de 40105.

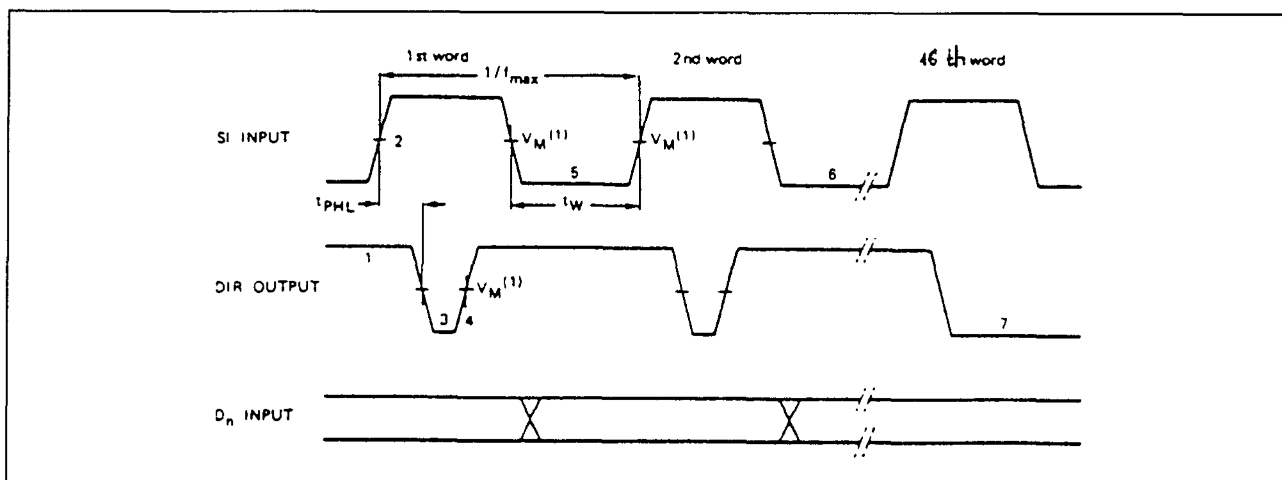


Figuur 8/8.3-2: Functioneel blokschema van de 40105.

8.3 Type-beschrijving (1)4xxx-serie CMOS

CHARACTERISTIC	V_{DD} (V)	LIMITS Min.	Max.	UNITS
Supply-Voltage Range (For T_A = Full Package-Temperature Range)	–	3	18	V
Shift-In or Shift-Out Rate	5 10 15	– – –	1.5 3 4	MHz
Shift-In Pulse Width (Pin 3)	5 10 15	200 80 60	– – –	ns
Shift-Out Pulse Width (Pin 15)	5 10 15	180 75 55	– – –	ns
Shift-In or Shift-Out Rise Time	5 10 15	– – –	15 15 15	µs
Shift-In Fall Time	5 10 15	– – –	15 15 15	µs
Shift-Out Fall Time	5 10 15	– – –	15 5 5	µs
Data Hold Time	5 10 15	350 150 120	– – –	ns
Master Reset Pulse Width	5 10 15	220 90 60	– – –	ns

Tabel 8/8.3-1: Aanbevolen bedrijfscondities voor de 40105.



Figuur 8/8.3-3: Golfvormen bij het inlezen van data door de 40105 (van FIFO leeg tot FIFO vol).

8.3 Type-beschrijving (1)4xxx-serie CMOS

CHARACTERISTIC	CONDITIONS V_O (V)	V_{IN} (V)	V_{DD} (V)	LIMITS AT INDICATED TEMPERATURES (°C) Values at -55, +25, +125 Apply to D, F, K, H, Packages; Values at -40, +25, +85 Apply to E Package: -55	-40	+85	+125	+25 Min.	+25 Typ.	+25 Max.	UNITS
Quiescent Device Current, I_{DD} Max.	–	0,5	5	5	5	150	150	–	0.04	5	µA
	–	0,10	10	10	10	300	300	–	0.04	10	
	–	0,15	15	20	20	600	600	–	0.04	20	
	–	0,20	20	100	100	3000	3000	–	0.08	100	
Output Low (Sink) Current I_{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	–	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	–	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	–	
Output High (Source) Current, I_{OH} Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	–	
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	–	
	9.5	0,10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	–	
	13.5	0,15	15	-4.2	4	-2.8	-2.4	-3.4	-6.8	–	
Output Voltage: Low-Level, V_{OL} Max.	–	0,5	5	0.05				–	0	0.05	V
		0,10	10	0.05				–	0	0.05	
	–	0,15	15	0.05				–	0	0.05	
Output Voltage: High-Level, V_{OH} Min.	–	0,5	5	4.95				4.95	5	–	
		0,10	10	9.95				9.95	10	–	
	–	0,15	15	14.95				14.95	15	–	
Input Low Voltage V_{IL} Max.	0.5,4.5	–	5	1.5				–	–	1.5	V
	1,9		10	3				–	–	3	
	1.5,13.5	–	15	4				–	–	4	
Input High Voltage, V_{IH} Min.	0.5,4.5	–	5	3.5				3.5	–	–	
	1,9	–	10	7				7	–	–	
	1.5,13.5	–	15	11				11	–	–	
Input Current I_{IN} Max.	–	0,18	18	±0.1	±0.1	±1	±1	–	$\pm10^{-5}$	±0.1	µA
3-State Output Leakage Current I_{OUT} Max.	0,18	0,18	18	±0.4	±0.4	±12	±12	–	$\pm10^{-4}$	±0.4	µA

Tabel 8/8.3-2: Elektrische eigenschappen van de 40105.

8.3 Type-beschrijving (1)4xxx-serie CMOS

8/10

Programmeerbare logica

Inhoud

PAL16L2(-2)	2 x 16 input AND-OR-Invert gate array, 20-pens
PAL16L8 (A/A-2/A-4)	8 x 16 input AND-OR-Invert gate array, 20-pens
PAL16R8 (A/A-2/A-4)	8 x 16 input registered AND-OR-Invert gate array, 20-pens
PAL16R6 (A/A-2/A-4)	6 x 16 input registered AND-OR-Invert gate array, 20-pens
PAL16R4 (A/A-2/A-4)	4 x 16 input registered AND-OR-Invert gate array, 20-pens
PAL16 x4	4 x 16 input registered AND-OR-XOR-Invert gate array, 20-pens
PAL16A4	4 x 16 input registered AND-Carry-OR-XOR-Invert gate array, 20-pens
(aanvulling 85)	
PAL16P8A	8 x 16 input AND-OR array met programmeerbare polariteit, 20-pens
PAL16RP8A	8 x 16 input registered AND-OR array met programmeerbare polariteit, 20-pens
PAL16RP6A	6 x 16 input registered AND-OR array met programmeerbare polariteit, 20-pens
PAL16RP4A	4 x 16 input registered AND-OR array met programmeerbare polariteit, 20-pens
PAL12L10	10 x 12 input AND-OR-Invert gate array, 24-pens
PAL14L8	8 x 14 input AND-OR-Invert gate array, 24-pens
PAL16L6	6 x 16 input AND-OR-Invert gate array, 24-pens
PAL18L4	4 x 18 input AND-OR-Invert gate array, 24-pens
PAL20L2	2 x 20 input AND-OR-Invert gate array, 24-pens
PAL20C1	20 input AND-OR/NOR gate array, 24-pens
PAL20L10	10 x 20 input AND-OR-Invert gate array, 24-pens
PAL20x10	10 x 20 input registered AND-OR-XOR-Invert gate array, 24-pens
PAL20x8	8 x 20 input registered AND-OR-XOR-Invert gate array, 24-pens
PAL20x4	4 x 20 input registered AND-OR-XOR-Invert gate array, 24-pens
PAL20L8A	8 x 20 input AND-OR-Invert gate array, 24-pens
PAL20R8A	8 x 20 input registered AND-OR-Invert gate array, 24-pens
PAL20R6A	6 x 20 input registered AND-OR-Invert gate array, 24-pens
PAL20R4A	4 x 20 input registered AND-OR-Invert gate array, 24-pens
PAL20S10	10 x 20 input AND-OR array met product-term sharing, 24-pens
PAL20RS10	10 x 20 input registered AND-OR array met product-term sharing, 24-pens
PAL20RS8	8 x 20 input registered AND-OR array met product-term sharing, 24-pens
PAL20RS4	4 x 20 input registered AND-OR array met product-term sharing, 24-pens
PAL20RA10	10 x 20 input registered asynchroon AND-OR array, 24-pens
PAL32R16	16 x 32 input registered AND-OR gate array, 24-pens

PAL64R32	32 x 64 input registered AND-OR gate array, 84-pens LCC

8/10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

(aanvulling 86)

TIBPAL16L8	8 x 16 input AND-OR-Invert gate array, 20-pens
TIBPAL16R8	8 x 16 input registered AND-OR-Invert gate array, 20-pens
TIBPAL16R6	6 x 16 input registered AND-OR-Invert gate array, 20-pens
TIBPAL16R4	4 x 16 input registered AND-OR-Invert gate array, 20-pens
TIBPAL20L8	8 x 20 input AND-OR-Invert gate array, 24-pens
TIBPAL20R8	8 x 20 input registered AND-OR-Invert gate array, 24-pens
TIBPAL20R6	6 x 16 input registered AND-OR-Invert gate array, 24-pens
TIBPAL20R4	4 x 16 input registered AND-OR-Invert gate array, 24-pens
TIBPAL22V10	22 input/10 output AND-OR gate array met 10 programmeerbare output-logic macrocellen, 24-pens
TIBPAL22VP10	22 input/10 output AND-OR gate array met 10 programmeerbare output-logic macrocellen (met extra feedback-pad), 24-pens

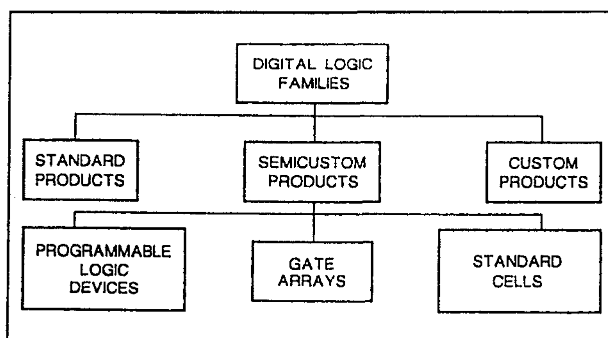
8/10.1

Achtergrond-informatie programmeerbare logica

Inleiding

Programmeerbare logische bouwstenen

In bijna alle microprocessor-systemen worden tegenwoordig programmeerbare logische bouwstenen toegepast. Zij verzorgen bijvoorbeeld de adres-decodering of andere verzameltaken, waardoor de processor en de periferie moeiteloos met elkaar kunnen samenwerken. Met complexere logica kunnen uiteraard ingewikkelder ontwerpen worden gerealiseerd die bijvoorbeeld voor DSP's onmisbaar zijn.
Ook in eenvoudiger systemen kan programmeerbare logica voordelen bieden, waarbij dan het geringe benodigde print-oppervlak en dezelfde layout voor verschillende ontwerpen belangrijk zijn.



Figuur 8/10.1-1: Basis categorieën digitale logica.

Zoals in figuur 8/10.1-1 te zien is, staan de ontwerper verschillende logische families ter beschikking. Het eenvoudigst, langst bekend en meest gebruikt zijn de standaard produkten, zoals alle soorten van de TTL 7400-serie. Zo was het rekenwerk van de PDP11, een bekende "mini-computer" uit de 60-er jaren, gebaseerd op ALU's. De standaardlogica wordt tegenwoordig steeds meer gezien als "glue-logic": eenvoudige bouwsteentjes om niet geheel passende delen toch op elkaar te laten aansluiten.
Aan de andere kant staan de custom produkten. Deze worden geheel op klantenspecificatie door de halfgeleider-fabrikant gemaakt. Door de hoge prijs en het feit dat ze niet van functie kunnen veranderen zijn ze alleen geschikt voor massaproduktie.
Letterlijk en figuurlijk in het midden bevinden zich de semi-custom produkten. Dit zijn logische bouwstenen die in min of meerdere mate door de gebruiker zelf kunnen worden geconfigureerd. Van de programmeerbare logische schakelingen kunnen de functies eenvoudig zelf worden geprogrammeerd, van de gate array's is dat al moeilijker en de standaardcellen zijn (vanwege de kostprijs) eigenlijk weer alleen voor groot-gebruikers bedoeld.

Programmeerbare logica

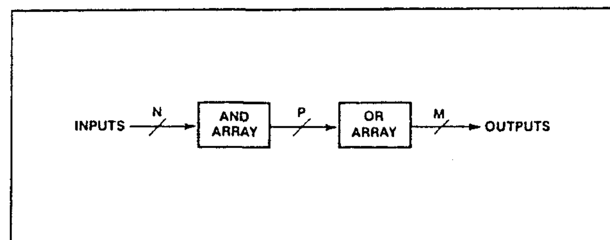
Programmeerbare logica combineert de voordelen van de flexibele architectuur van een "full custom"-ontwerp met die van de "van-de-plank-leverbare" standaard logica (lage investering in ontwikkeltijd en kosten). Programmeerbare logica heeft de kortste ontwerpcyclustijd van alle vormen van custom logica. In plaats van maanden, zoals bij semi-custom of full-custom ontwerpen, kan een programmeerbaar logisch element worden gedefinieerd door in enkele seconden

10.1 Achtergrond-informatie

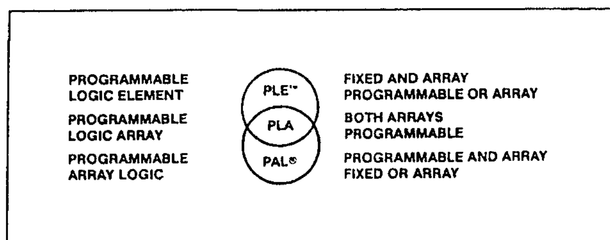
de zekeringen in een lege schakeling door te branden of lading op te slaan in (E)EPROM's. Als gevolg hiervan is een revolutionaire interactieve benadering tot systeem-ontwerpen ontstaan. De ontwerper kan nu een nieuwe architectuur direct uitproberen. Als het niet werkt kan binnen enkele uren iets nieuws worden bedacht, geprogrammeerd en geëvalueerd.
Voor programmeerbare logica gelden dezelfde economische motieven als voor standaard produkten en andere, door de gebruiker aan te passen geïntegreerde schakelingen zoals PROM's, EPROM's en EEPROM's. Doordat meerdere fabrikanten miljoenen identieke, lege elementen per jaar produceren kan de kostprijs laag zijn en steeds lager worden. De technische inspanningen en benodigde tijd voor ontwerpen, testen, debuggen en in produktie nemen van een programmeerbare schakeling zijn groter dan die van een standaard schakeling, maar toch nog veel kleiner dan voor een custom-element (zie tabel 8/10.1-1). Aan deze bezwaren wordt steeds meer tegemoet gekomen door nieuwe software-tools. Deze maken het bijvoorbeeld mogelijk het ontwerp te specificeren in Boole'se vergelijkingen en hogere ontwikkeltalen, zoals VHDL. Daarnaast zijn er test- en simulatieprogramma's waardoor de trefzekerheid van een ontwerp nagenoeg 100 % kan zijn.

Soorten programmeerbare schakelingen

Elke logische functie kan worden beschreven als een Sum of Product (SOP) door gebruik te maken van de wet van De Morgan en Boole'se algebra. Tevens kan elke complexe multi-niveau logische functie worden gereduceerd tot een AND-OR configuratie op twee niveaus. Hierdoor kunnen logische functies op een gestructureerde manier worden geïmplementeerd. Daarom werd de uniforme, op een AND-OR array lijkende architectuur van programmeerbare logische schakelingen bedacht, zie figuur 8/10.1-2. Elk van de array's of beide kunnen programmeerbaar zijn, waardoor er direct al drie verschillende families zijn ontstaan, zie figuur 8/10.1-3.



Figuur 8/10.1-2: Structuur van programmeerbare logische schakelingen.



Figuur 8/10.1-3: Structurele verschillen en overeenkomsten tussen de PLE, PAL en PLA.

Criteria	Standard Products		Gate Arrays/ Standard Cells	Programmable Logic
	TTL SSI/MSI	LSI		
Development Lead Time	Immediate	Immediate	Weeks/Months	Hours
Development Cost	None	None	≈ $20K	Low
Second Sources	Many	Several	Few	Many
Architectural Flexibility	Medium	Low	High	Medium
Logic Density	Low	High	Medium/High	Medium
IC Design Expertise Required	None	None	Some/Much	None

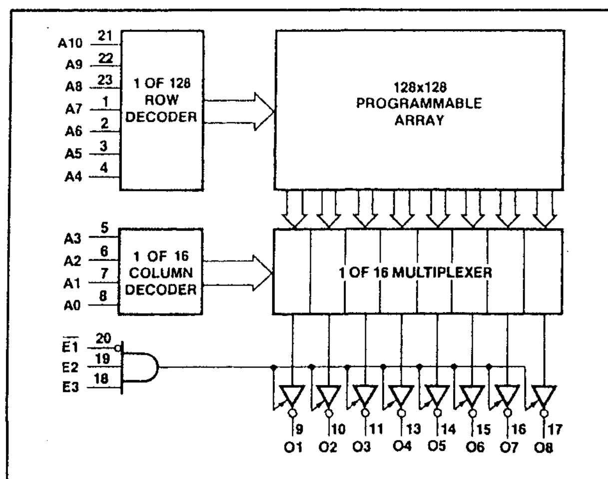
Tabel 8/10.1-1: Selectie-criteria voor verschillende architecturen.

10.1 Achtergrond-informatie

PLE

PLE architectuur

Het zal duidelijk zijn dat de PROM (Programmable Read Only Memory) de vader van alle programmeerbare logische schakelingen is. De PROM's zijn net als de ROM's (door de fabrikant geprogrammeerde geheugens) opgebouwd uit een groot aantal geheugenplaatsen met een bepaalde breedte (bijvoorbeeld 4.096 woorden van 8 bit). Op elk adres kan éénmaal een bepaalde code worden geprogrammeerd die dan later kan worden uitgelezen. Meestal worden deze (P)ROM's gebruikt als opzoektabel: code-omzetter of ASCII-karaktergenerator, zie figuur 8/10.1-4.

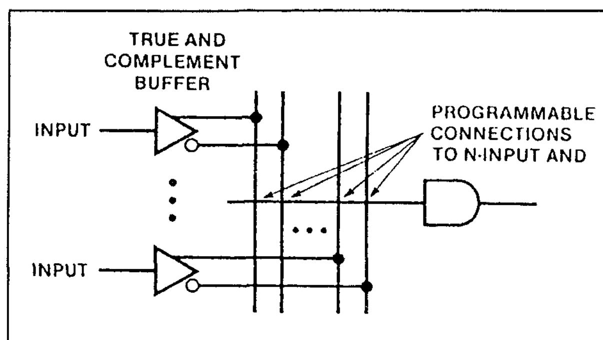


Figuur 8/10.1-4: Algemeen blokschema van een 2 k x 8 PROM.

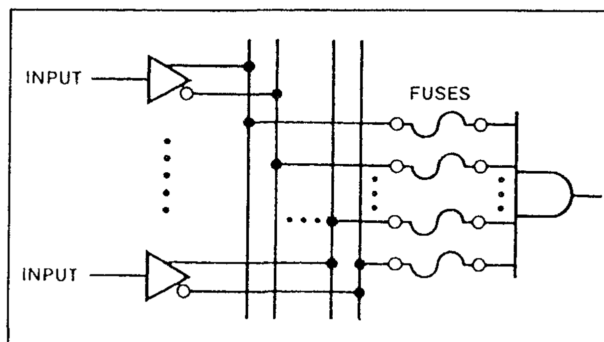
In de figuren 8/10.1-5 en -6 en 8/10.1-8 en -9 is te zien wat onder de notatie van programmeerbare logische schakelingen wordt verstaan.

Programmeerbaar AND-array

De figuren 8/10.1-5 en -6 tonen de opbouw van een programmeerbaar AND-array. Alle array-ingangen (zowel "waar" als het complement ervan) zijn te zien alsof ze verbonden zijn met de ingang van een één-ingangs AND-poort. In werkelijkheid is elke array-ingang een ingang van de AND-poort: een schakeling met N ingangen heeft dus AND-poorten met 2N ingangen. Een PAL16L8 heeft bijvoorbeeld 16 ingangen zodat elk van zijn 64 AND-poorten 32 ingangen heeft. In een programmeerbaar AND-array heeft elk snijpunt van rij en kolom een doorbrandbare verbinding met de AND-poort. Daarom moeten, om een AND-functie te maken, alle verbindingen met niet-gewenste ingangen worden doorgebrand.
In figuur 8/10.1-7 is een doorbrandbare ingangsverbinding (fusible connection) tot de AND-poort te zien. De toestand van de zekering bepaalt de door de gebruiker aangepaste functie van de schakeling. Een zekering die intact is verbindt de overeenkomstige ingang met de produkt-term; bij een doorgebrande zekering is die verbinding verbroken.

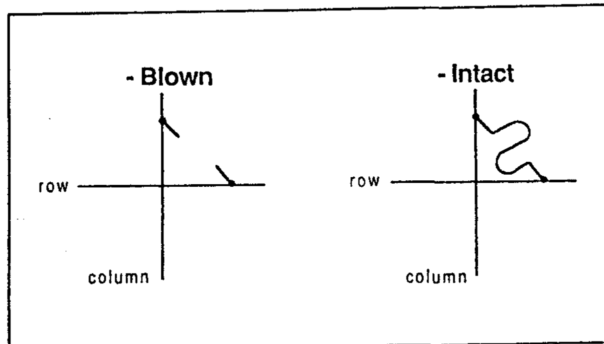


Figuur 8/10.1-5: Logisch schema van een programmeerbaar AND-array.



Figuur 8/10.1-6: Equivalent schema van een programmeerbaar AND-array.

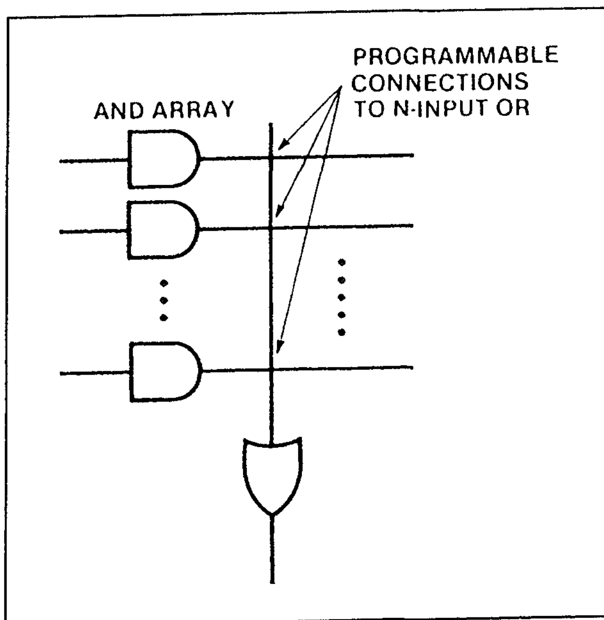
10.1 Achtergrond-informatie



Figuur 8/10.1-7: Programmering van logische functies door middel zekeringen (fusible array's).

Programmeerbaar OR-array

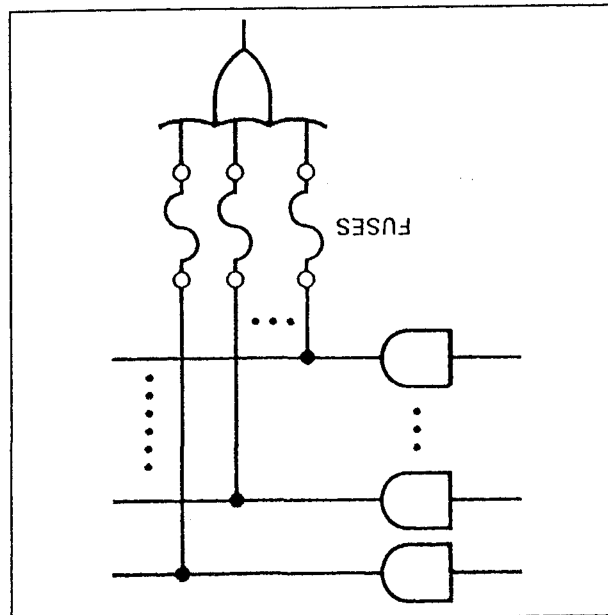
In de figuren 8/10.1-8 en -9 is de techniek te zien om een programmeerbaar OR-array te beschrijven. Alle regels voor het OR-array zijn dezelfde als voor het AND-array. Alleen moet nu, in plaats van de AND-functie, de OR-functie worden geïmplementeerd.



Figuur 8/10.1-8: Logisch schema van een programmeerbaar OR-array.

De AND-OR structuur van een PROM

De array-achtige structuur van een PROM kan worden opgevat als een AND-OR logisch circuit op twee niveaus.

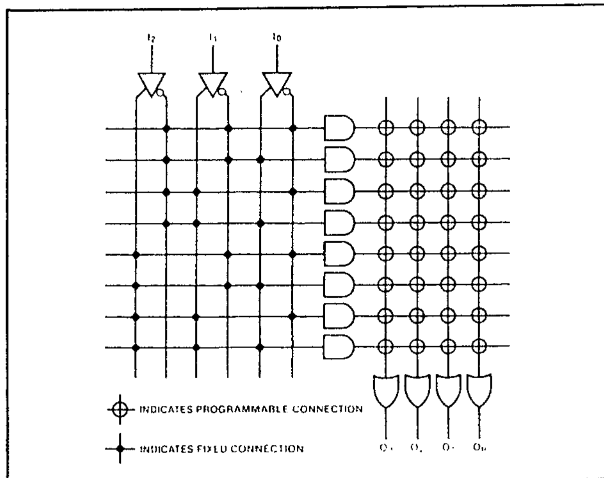


Figuur 8/10.1-9: Equivalent schema van een programmeerbaar OR-array.

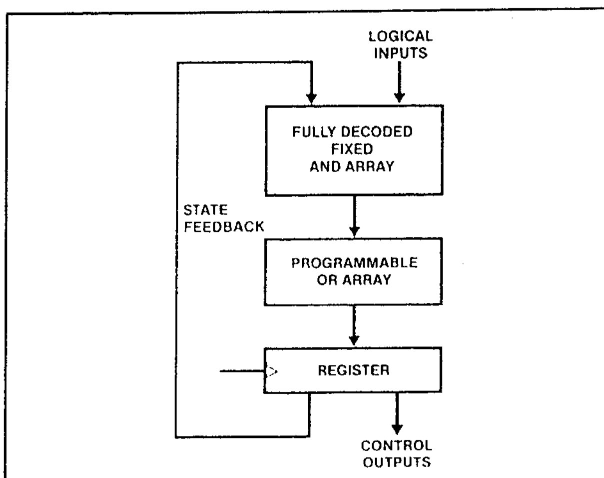
De ingangen van de PROM worden volledig gedecodeerd tot alle mogelijke combinaties in het vaste AND-gedeelte.

Elke combinatie (produkt-term) is door middel van een zekering verbonden met het programmeerbare OR-gedeelte, zie figuur 8/10.1-10. De hier getoonde PROM heeft 3 ingangen, 8 geheugenplaatsen (AND-poorten) en 4 uitgangen. Een belangrijke eigenschap van de PROM-architectuur is dat de ingangen volledig worden gedecodeerd door een vast AND-array die op zijn beurt een programmeerbaar OR-array aanstuurt. Dit betekent dat elke combinatie van ingangssignalen zijn eigen AND-poort heeft. Aangezien er bij n ingangen 2n combinaties mogelijk zijn, bevat de PROM ook 2n AND-poorten. In het voorbeeld van figuur 8/10.1-10 met 3 ingangen zijn er dus 23 = 8 AND-poorten. De OR-array van een bepaalde uitgang kan nu naar wens worden geprogrammeerd met een logische functie die slechts wordt beperkt door het aantal beschikbare ingangen. De beperking van PROM's ligt in de aantallen in- en uitgangen die voor logische functies nodig zijn.

10.1 Achtergrond-informatie



Figuur 8/10.1-10: PROM array-structuur.



Figuur 8/10.1-11: Een uit een PROM met register opgebouwde state machine.

Een 1 k x 8 PROM heeft bijvoorbeeld 10 ingangen (waarmee 1.024 locaties gedecodeerd kunnen worden) en 8 uitgangen. Helaas hebben logische functies geen vaste aantallen in- en uitgangen. Als voor een functie 11 ingangen en 5 uitgangen nodig zijn zal deze niet passen in de 1 k x 8 PROM, ondanks het feit dat de som van de in- en uitgangen in totaal hoger is.
Logische functies kunnen gemakkelijk 16 ingangen nodig hebben, hetgeen neer komt op 64 k lokaties (AND-poorten). Dit is vaak veel te veel. Bovendien zijn data-pad functies, zoals pariteits-bits, ripple-carry en seriële in- en uitgangen, vaak breder dan de beschikbare 4 of 8 bit van een PROM.
Regelfuncties, zoals state machines, kunnen al snel alle in- en uitgangen in beslag nemen. Als een PROM met een register aan de uitgangen voor een state machine wordt gebruikt, heeft deze zowel logische ingangssignalen als toestand-feedback-signalen nodig, terwijl er ook toestand-feedback- en besturingsuitgangen moeten zijn, zie figuur 8/10.1-11. Merk op dat voor elke bit van de toestand-informatie een in- en een uitgang worden gebruikt. Bij een groot aantal toestanden zijn er dus weinig kostbare in- en uitgangspennen over. Dit is de reden waarom er soortgelijke, maar bredere schakelingen zijn ontwikkeld: de PLE's (Programmeerbare Logische Elementen).

PLE

In termen van een PLE is de produkt-term equivalent aan een AND-poort met evenveel ingangen. Elke uitgang is equivalent aan een OR-poort die met alle AND-poorten is verbonden. Het programmeren van de zekering komt neer op het verbreken van de verbinding tussen een AND-poort en een OR-poort. De structuur van een PLE is dus zodanig dat samengestelde logische functies geïmplementeerd kunnen worden als een groot aantal ingangscombinaties of een groot aantal produkt-termen per uitgang nodig zijn. PROM's met registers zijn ideaal om complexe sequentiële machines te implementeren die een groot aantal variabelen in de toestand-vergelijkingen hebben.
PLE's overbruggen de ruimte tussen de flexibiliteit van PLA's en de produkt-term beperkingen van PAL's. Voor toepassingen waar PAL's niet voldoen neemt de PLE het over. PAL's hebben meestal een groot aantal ingangen en een klein aantal produkt-termen, terwijl PLE's dan weer een beperkt aantal ingangen, maar een groot aantal produkt-termen hebben. Ook hebben PLE's een groot aantal produkt-termen per uitgang die ook nog volledig met andere uitgangen ge-

deeld kunnen worden. PAL's hebben een beperkt aantal produkt-termen per uitgang die niet met andere gedeeld kunnen worden.

	PLE	PAL
Product Terms	32 to 4096	2 to 8
Input Lines	5 to 12	10 to 20

Figuur 8/10.1-12: PLE's en PAL's verschillen wat betreft produkttermen en ingangslijnen.

PLE kenmerken

- 2n produkt-termen per uitgang voor n ingangen
- programmeerbare polariteit aan de uitgangen
- programmeerbare initialisatie in PLE's met registers
- veel logische functies mogelijk
- vertragingen van in- naar uitgang vergelijkbaar met gewone logische poorten (minder dan 15 ns typisch)
- hoge ingangsimpedantie door PNP ingangen
- grote uitgangsstromen door NPN emittervolger array's
- TiW fusible link technologie (Monolithic Memories)
- programmeerbaar met PLEASM PLE-assembler

	AND	OR	OUTPUT OPTIONS
PLE	Fixed	Prog	TS, Registered Outputs, Fusible Polarity
FPLA	Prog	Prog	TS, OC, Fusible Polarity
FPGA	Prog	Prog	TS, OC, Fusible Polarity
FPLS	Prog	Prog	TS, Registered Feedback I/O
PAL	Prog	Fixed	TS, Registered Feedback I/O Fusible Polarity

Tabel 8/10.1-2: Vergelijking van PLE's met andere programmeerbare logische bouwstenen.

Registered PLE's

De "registered" PLE's zijn voorzien van D-type registers, terwijl de uitgangs-besturing door middel van synchrone en asynchrone enable-ingangen naar wens geregeld kan worden. Bovendien is de opstartvolgorde flexibel doordat ook de initialisatie programmeerbaar is. Data wordt op de stijgende flank van de clock naar de uitgangsregisters overgebracht. Op voorwaarde dat de asynchrone ($\overline{E}$) en synchrone ($\overline{ES}$) enables LAAG zijn, zal de data op de uitgangen verschijnen. Voorafgaand aan de positieve flank van de clock hebben veranderingen in de adressering of van de synchrone enable-ingangen geen invloed op de data in de registers.
Zie verder bij 8/10.2: type-beschrijving PLE's.

PAL

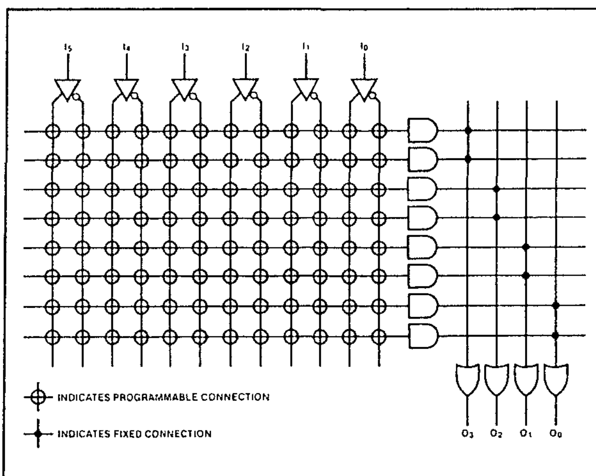
PAL architectuur

De PAL is een uitbreiding op de "fusible link" technologie die voor PROM's wordt gebruikt. Door PAL's toe te passen kan de ontwerper snel en goedkoop allerlei logische schakelingen implementeren, variërend van random poorten tot en met complexe rekenkundige functies. De principiële structuur van een PAL is precies tegenovergesteld aan die van een PROM en een PLE: de AND-array is programmeerbaar, terwijl de OR-array vast ligt. Hierdoor wordt direct de beperking weggenomen dat er voor n ingangen 2n AND-poorten moeten zijn. In het voorbeeld van figuur 8/10.1-13 heeft de PAL-array 6 ingangen, maar slechts 8 AND-poorten. Met ziet dat een van de belangrijkste nadelen van een PROM/PLE is vervallen en dat PAL's zoveel ingangen kunnen hebben als nodig is. Door de vaste OR-array wordt bepaald op welke OR-poort een bepaalde AND-poort is aangesloten. In figuur 8/10.1-13 zijn telkens twee AND-poorten met een OR-poort verbonden.
Aangezien met de som-van-produkten elke Boole'se overdrachtsfunctie kan worden be-

10.1 Achtergrond-informatie

schreven, wordt het gebruik van een PAL alleen beperkt door het aantal beschikbare termen in de AND-OR array's.
Dit is de enige beperking van PAL's: het aantal AND-poorten dat nodig is voor een functie mag niet groter zijn dan het aanwezige aantal. Daarom worden PAL's in verschillende formaten geleverd.
In figuur 8/10.1-14 is de PAL structuur voor een logisch segment met 2 ingangen en 1 uitgang te zien. De algemene logische vergelijking voor dit segment is:
$Output = (I1+\overline{f1})(\overline{I1}+\overline{f2})(i2+\overline{f3})(\overline{i2}+\overline{f4}) + (I1+\overline{f5})(\overline{I1}+\overline{f6})(i2+\overline{f7})(\overline{i2}+\overline{f8})$
waarin de "f" term de toestand van de zekeringen in de AND-array weergeeft. Een niet-doorgebrande zekering komt overeen met een logische 1, dus:
- fuse blown, f = 0 (zekering doorgebrand)
- fuse intact, f = 1 (zekering niet doorgebrand).

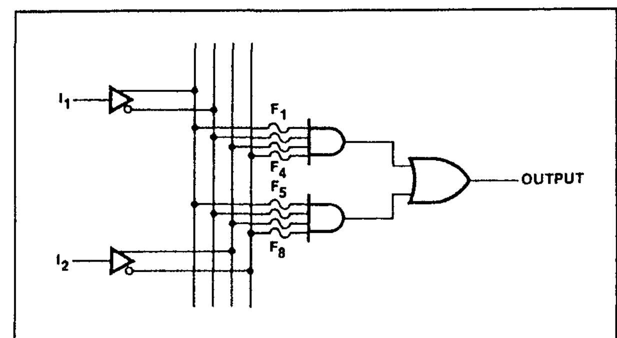
Bij een niet-geprogrammeerde PAL zijn alle zekeringen intact.



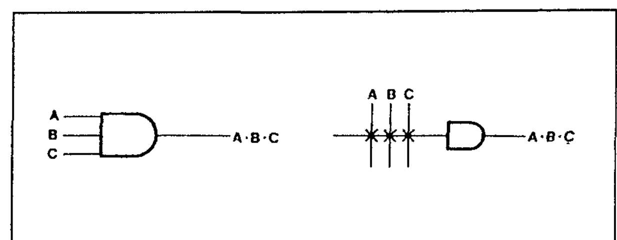
Figuur 8/10.1-13: De opbouw van een 6-in/4-uit PAL.

PAL notaties

Hoewel logische vergelijkingen handig kunnen zijn voor kleine functies, worden zij al snel lastig in grotere systemen. Om mogelijke verwarring te voorkomen worden complexe logische netwerken dan ook meestal gedefinieerd door logische schema's en waarheidstabellen. Figuur 8/10.1-15 toont de notatie die werd overeengekomen om PAL-logica te vergemakkelijken. In deze figuur betekent een "x" een niet-doorgebrande zekering waarmee de logische AND-functie kan worden uitgevoerd. Merk op dat de ingangstermen op de gemeenschappelijke lijn met de x-en NIET met elkaar verbonden zijn.



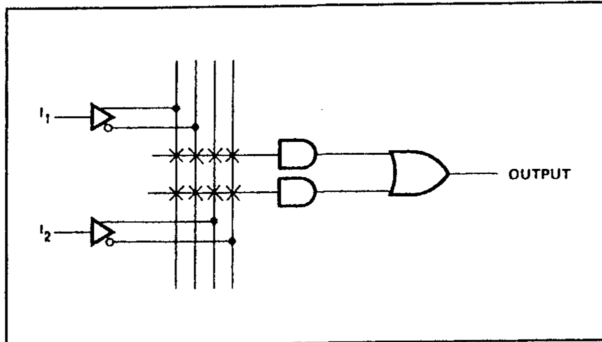
Figuur 8/10.1-14: Een PAL logisch segment met 2 ingangen en 1 uitgang.



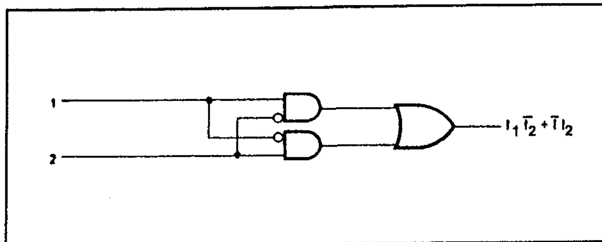
Figuur 8/10.1-15: Vereenvoudigde PAL notatie (programmeerbaar AND-array met 3 ingangen).

Met deze symbolisering wordt een 1-op-1 overeenkomst tussen de chip-layout en het logische schema verkregen. Ook wordt het hierdoor mogelijk het logische schema en de waarheidstabel te combineren in een eenvoudige en gemakkelijk leesbare vorm.
Het voorbeeld met 2 ingangen en 1 uitgang van figuur 8/10.1-14 kan hierdoor worden vereenvoudigd tot het schema in figuur 8/10.1-16.

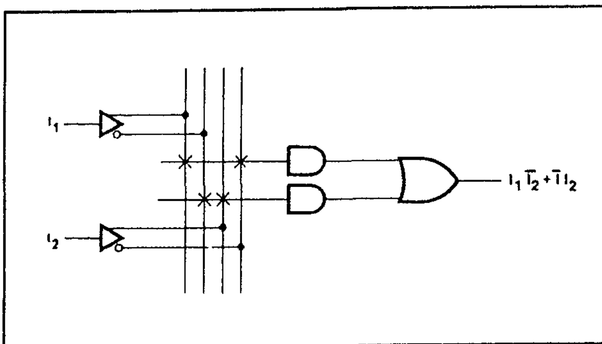
10.1 Achtergrond-informatie



Figuur 8/10.1-16: Vereenvoudigde vorm van het schema in figuur 8/10.1-14.



Figuur 8/10.1-17: Logisch schema met conventionele logica voor de functie Output = $i1\overline{i2} + \overline{i1}i2$.



Figuur 8/10.1-18: Equivalente vorm (in een PAL) van figuur 8/10.1-17.

Toepassingsvoorbeeld

Als voorbeeld van de toepassing van een PAL wordt de volgende overdrachtsfunctie geïmplementeerd:
Output = $i1\overline{i2} + \overline{i1}i2$
Met gewone logica zou deze functie worden uitgevoerd als in figuur 8/10.1-17 te zien is. Figuur 8/10.1-18 toont de PAL oplossing hiervan.

Extra functies

PAL schakelingen bevatten vaak extra architectonische mogelijkheden, waardoor ze ideaal zijn voor de implementatie van logische functies. Deze extra mogelijkheden zijn bijvoorbeeld programmeerbare I/O-pennen, uitgangen met registers die inwendig worden teruggeleid naar de AND-array en aktief-HOGE of aktief-LAGE uitgangen.

Programmeerbare I/O

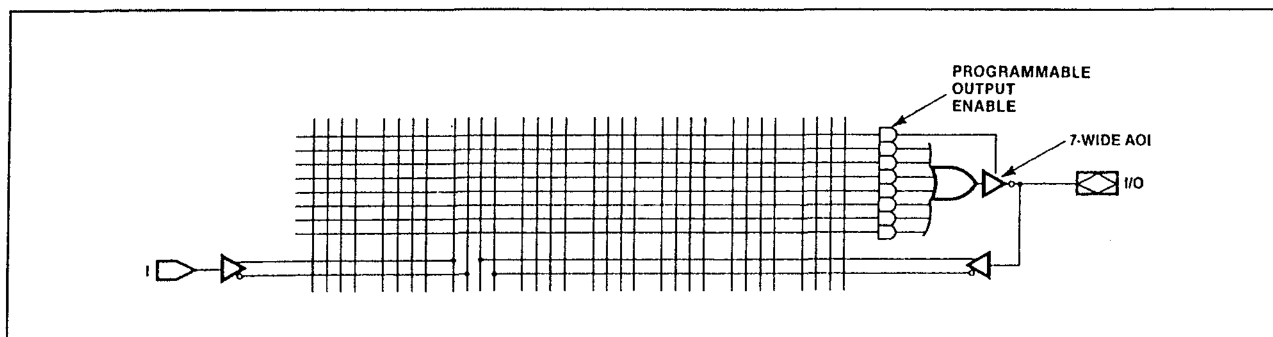
Met behulp van programmeerbare in- /uitgangspennen (I/O) kan de PAL worden aangepast aan de behoefte van in- en uitgangen. Hierdoor is een PAL veel beter geschikt voor het implementeren van complexe logische functies dan een PROM of PLE, zelfs als die meer pennen heeft.
In de figuren 8/10.1-19 en -20 zijn de logische schema's voor bidirectionele uitgangsstructuren van PAL's te zien (respectievelijk aktief-LAAG en aktief-HOOG). De bidirectionele uitgang van een PAL opent de mogelijkheid om de Output-Enable als functie van een AND-poort in de array te programmeren. De uitgangsbuffer kan op drie manieren worden geprogrammeerd: als uitgang, als ingang of als dynamisch bestuurbare in-/uitgang. Als de uitgangsbuffer als uitgang is geprogrammeerd, is deze altijd aktief (enabled) en wordt de logische functie teruggeleid naar de AND-array. Bij de terugkoppeling is de implementatie van complexere functies mogelijk door twee of meer AND-OR niveaus te gebruiken. Bij programmering als ingang wordt de bij die pen behorende AND-OR poort niet gebruikt, maar is wel een extra ingang ontstaan. De mogelijkheid om uitgangen in te ruilen voor ingangen is één van de grote voordelen van PAL's boven andere programmeerbare logische schakelingen. De ontwerper kan zelf de verhouding kiezen, afhankelijk van de toepassing. Bij programmering als dynamisch bestuurbare ingangs/uitgangs-buffer (of: enabled/disabled door middel van een logische combinatie van een of meer ingangen) kan deze pen als ingang worden gebruikt, waarbij de volledige

logische mogelijkheden van de AND-OR poort behoudem blijft. Dit is vooral nuttig voor besturingstoepassingen (microprocessor handshake protocols) en bus-georiënteerde data-operaties. Een seriële ingangs/uitgangspen is hier een voorbeeld van. Bij het naar links schuiven is deze pen een seriële ingang, terwijl hij bij het naar rechts schuiven werkt als seriële uitgang.

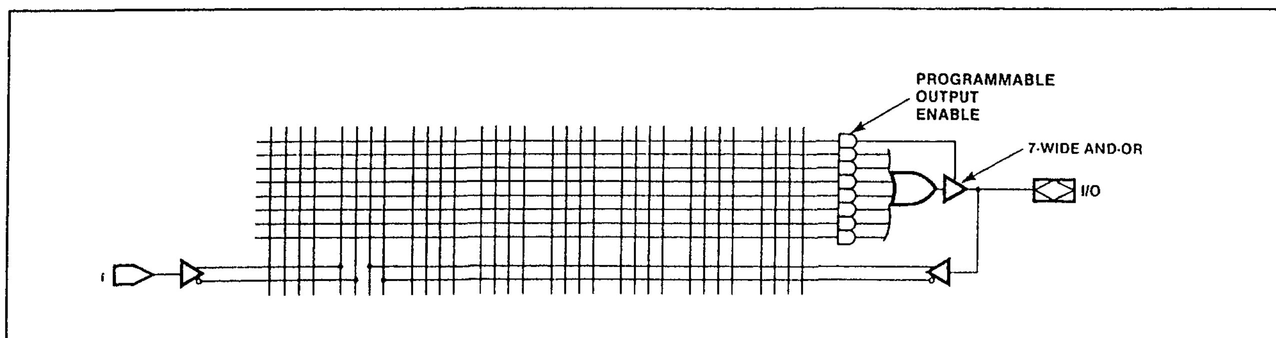
Uitgangsregisters met terugkoppeling

In figuur 8/10.1-21 is een logisch schema van een PAL uitgang met register te zien. De belangrijkste kenmerken van deze structuur zijn de terugkoppelweg en de specifieke output-enable. Deze output-enable is gemeenschappelijk voor alle registers op de chip. Het uitgangsregister wordt hierbij inwendig naar de array terug gekoppeld en niet vanaf de uitgangspen zoals het geval zou zijn bij de combinatorische schakeling. Deze configuratie is handiger omdat de toestandsinformatie te allen tijde beschikbaar is, in plaats van alleen als de uitgang enabled is.

De beschikbaarheid van een gemeenschappelijke, specifieke output-enable maken PAL's met registers ideaal voor bus-georiënteerde systemen. Deze van registers voorziene PAL's kunnen worden geprogrammeerd voor data-opslag, data-behandeling of voor besturingsfuncties, waarvan het resultaat door middel van het vrijgeven van de uitgangsbuffer op een databus kan worden gezet. Aangezien alle PAL's 24 mA kunnen "sinken", kunnen zij de meeste bussen en backplane-bussen direct aansturen.
In figuur 8/10.1-22 is de aktief-LAGE specifieke uitgang van de PAL te zien en in figuur 8/10.1-23 de specifieke aktief-HOGE uitgang. Deze soort uitgangen zijn altijd enabled. De AND-poort die eerder voor deze functie werd gebruikt levert nu een extra logische AND-term aan deze structuur (het aantal AND-poorten per uitgang wordt met 1 verhoogd). De terugkoppelweg van uitgang naar ingang is nog steeds aanwezig, waardoor de implementatie van multi-niveau logica mogelijk blijft.

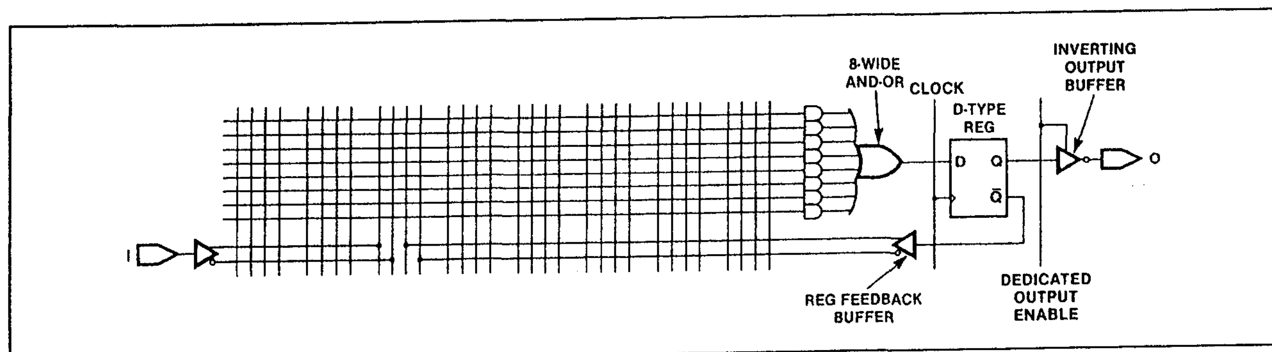


Figuur 8/10.1-19: Aktief-LAGE bidirectionele uitgang.

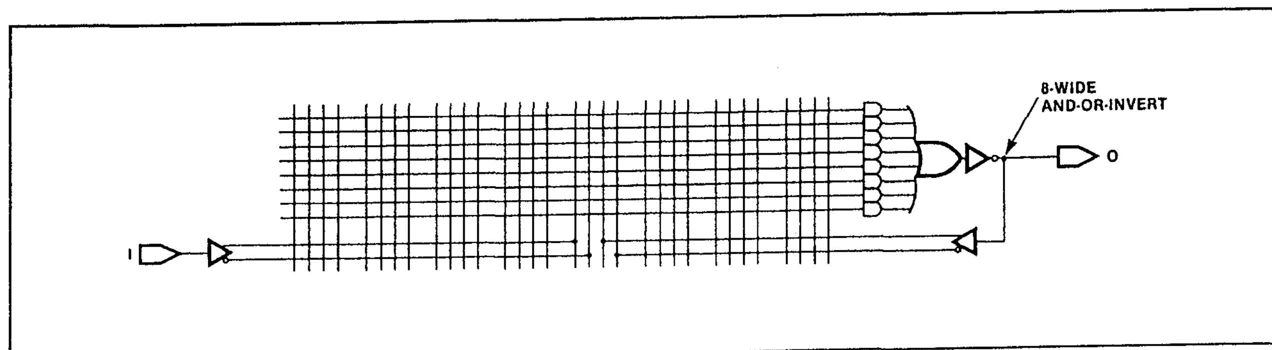


Figuur 8/10.1-20: Aktief-HOGE bidirectionele uitgang.

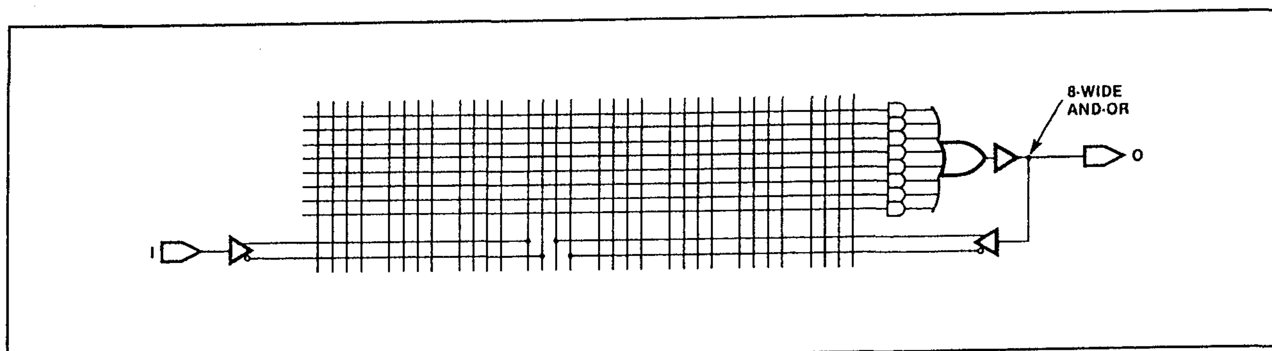
10.1 Achtergrond-informatie



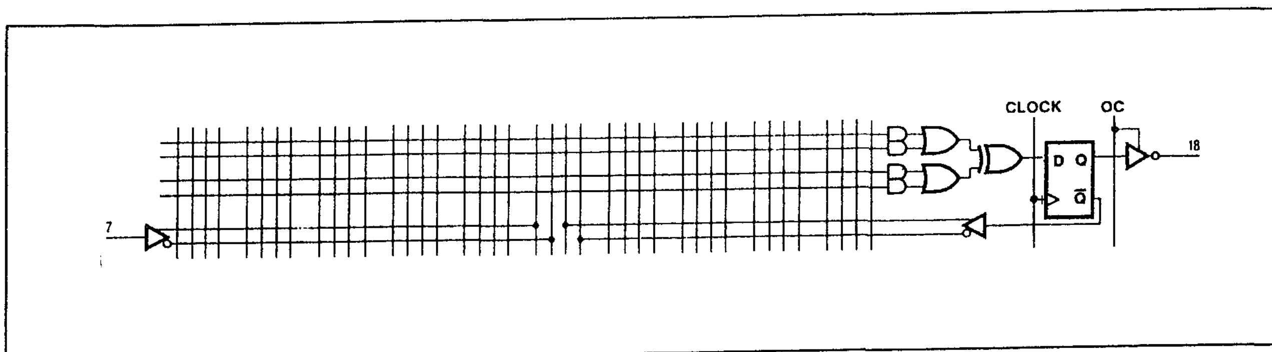
Figuur 8/10.1-21: Een uitgang met register (registered output).



Figuur 8/10.1-22: Aktief-LAGE specifieke uitgang.

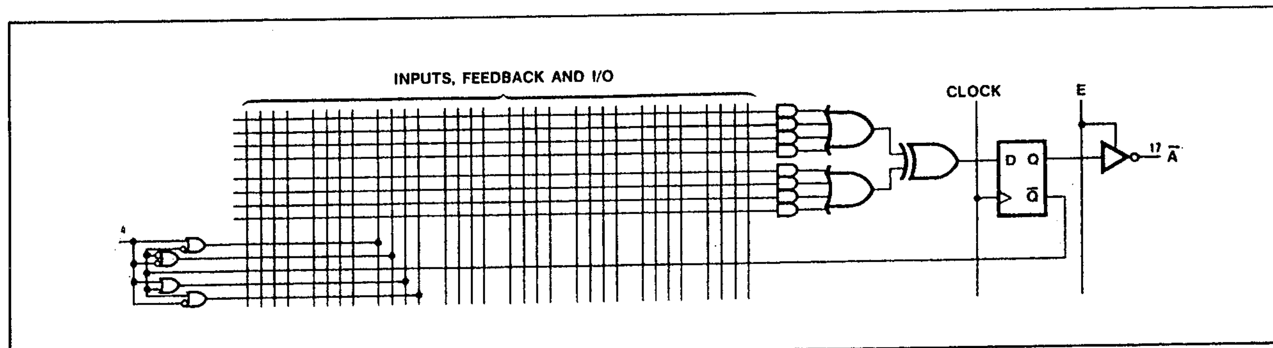


Figuur 8/10.1-23: Aktief-HOGE specifieke uitgang.

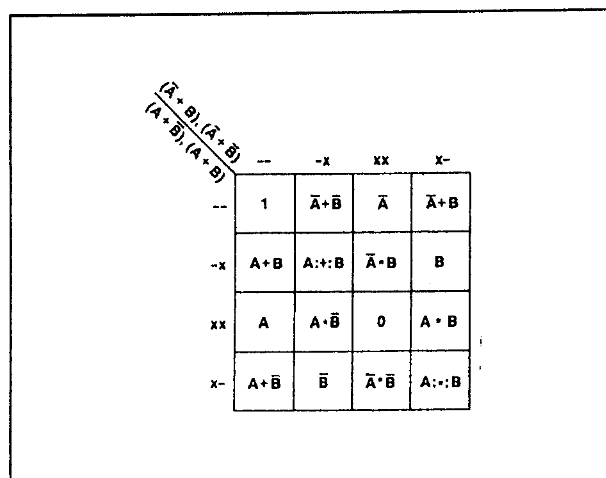


Figuur 8/10.1-24: Opbouw van een EXOR PAL (XOR PAL).

10.1 Achtergrond-informatie



Figuur 8/10.1-25: Een PAL met rekenkundig geschakelde terugkoppeling.



	--	-x	xx	x-
--	1	Ā+B̄	Ā	Ā+B
-x	A+B	A:+:B	Ā·B	B
xx	A	A·B̄	0	A·B
x-	A+B̄	B̄	Ā·B̄	A:·:B

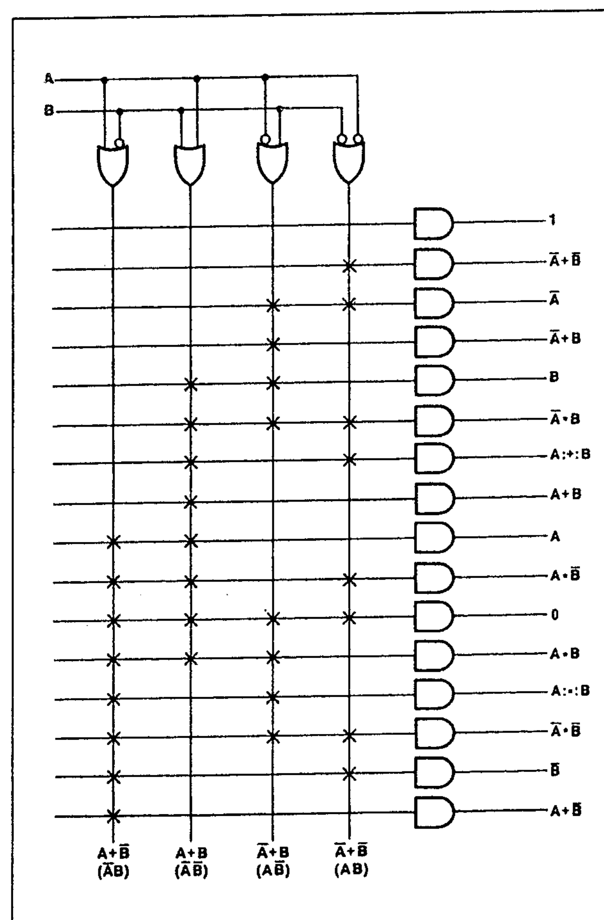
Figuur 8/10.1-26: Karnaugh diagram van de benodigde 16 functies.

EXOR PAL's

Deze PAL's zijn voorzien van een exclusive OR-functie. De som van de produkten hierbij wordt gesegmenteerd in twee sommen die dan, bij de ingang van de D-type flip-flop, worden ge-EXORed. Daarnaast hebben deze EXOR PAL's alle mogelijkheden van de PAL's met registers. De EXOR-functie maakt bijvoorbeeld eenvoudige implementatie van de HOLD-functie bij tellers mogelijk.

Rekenkundig geschakelde terugkoppeling

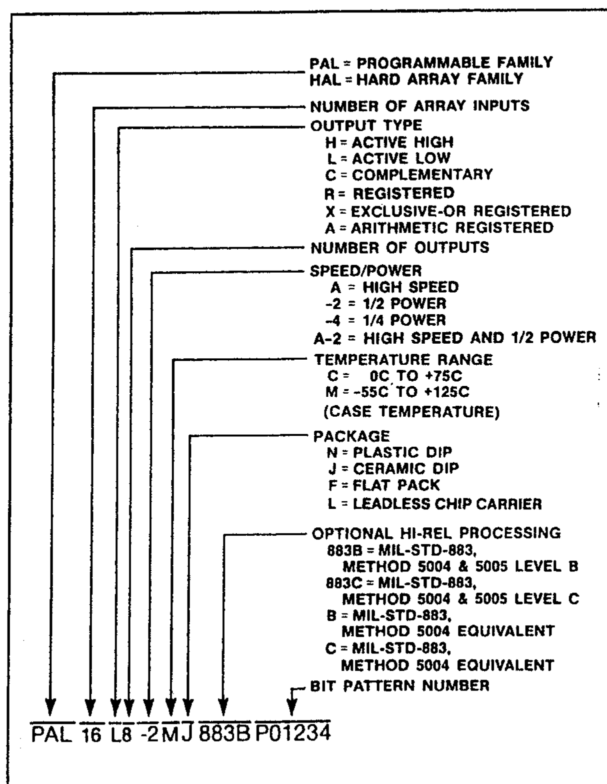
De rekenkundige functies, zoals optellen, aftrekken, groter dan en kleiner dan worden geïmplementeerd door de EXOR PAL's te voorzien van een geschakelde terugkoppeling, zie figuur 8/10.1-25. De EXOR aan de ingang van de flip-flop maakt het mogelijk dat een carry van een eerdere operatie wordt ge-EXORed met twee variabele sommen die door de PAL-array worden gegenereerd.



Figuur 8/10.1-27: Mogelijke programmering van een PAL voor de uitvoering van de in figuur 8/10.1-26 vermelde functies.

10.1 Achtergrond-informatie

De Q-uitgang van de flip-flop wordt teruggevoerd, waarbij "gating" met de ingangstermen I optreedt. Deze geschakelde terugkoppeling levert één van de 16 mogelijke Boole'se combinaties die in het Karnaugh diagram (figuur 8/10.1-26) staan. Figuur 8/10.1-27 toont aan hoe de PAL-array kan worden geprogrammeerd om deze 16 operaties op twee variabelen uit te voeren.



Figuur 8/10.1-28: Het ordernummer-systeem van PAL's.

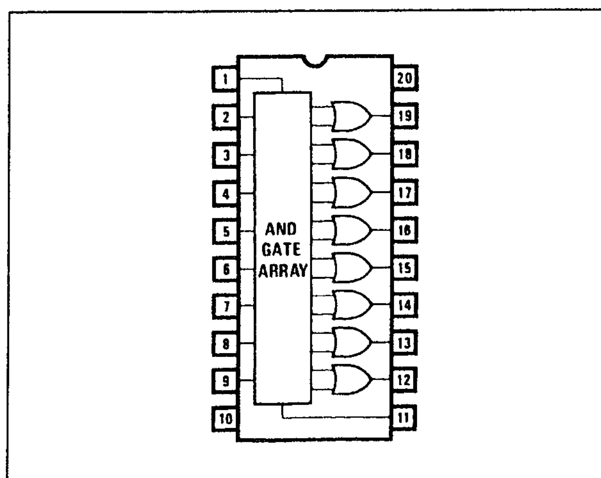
Uitbreiding PAL mogelijkheden

De PAL-familie is verder uitgebreid met een aantal nieuwe mogelijkheden, zoals:

- Programmeerbare uitgangspolariteit voor aktief-HOGE of aktief-LAGE operaties.
- Register preload, waardoor compleet functioneel testen mogelijk wordt.
- Product term sharing: hierdoor kan het aantal product termen per uitgang door de gebruiker worden bepaald.
- Register bypass maakt de keuze van uitgangen met registers of combinatorische uitgangen gemakkelijker.
- Asynchrone clocks, sets, resets en output-enables.

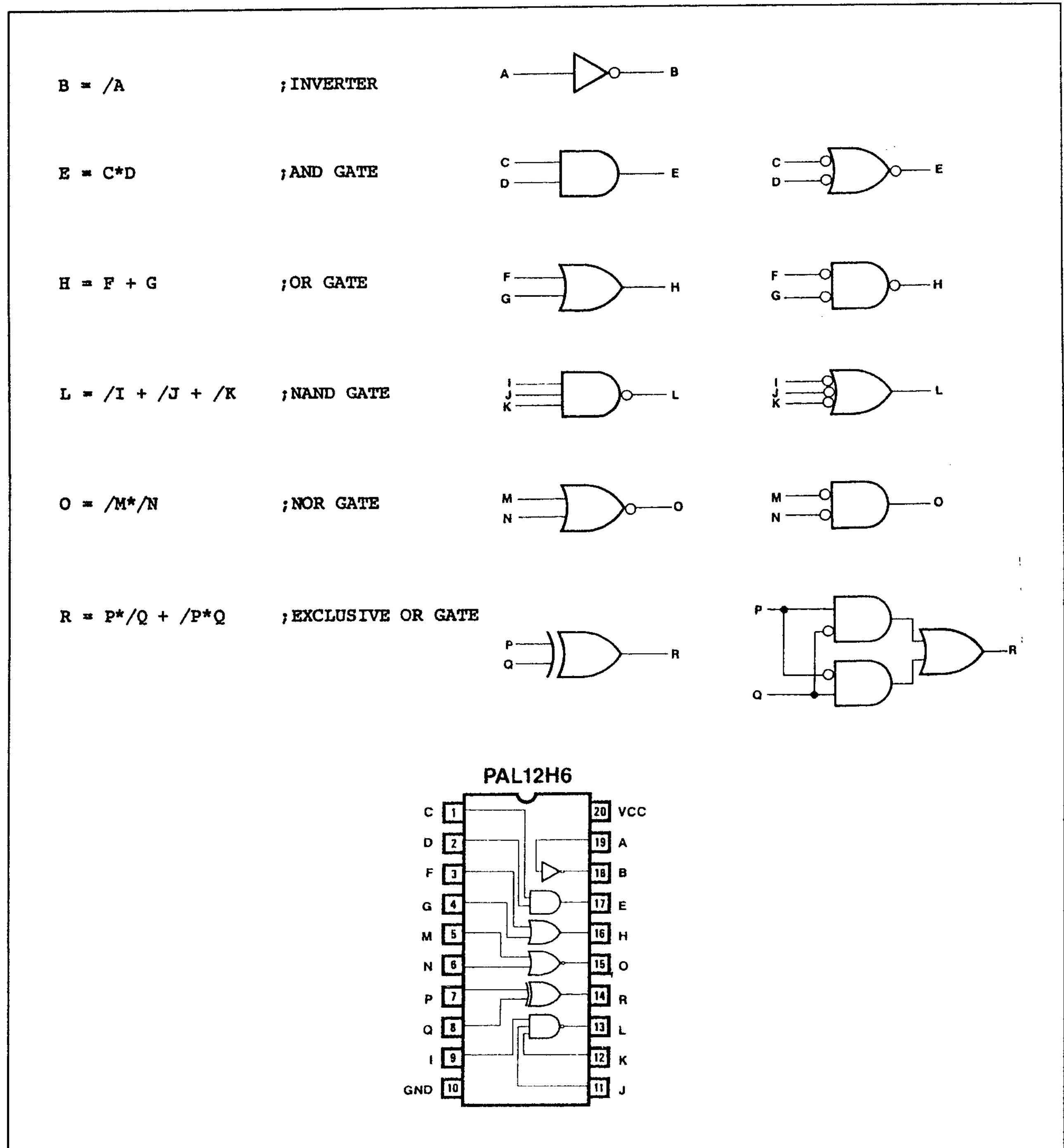
PAL programmering

PAL's kunnen meestal met standaard PROM-programmers die zijn uitgerust met een "PAL personality card" worden geprogrammeerd. De PAL ziet er voor het programmeerapparaat uit als een PROM. Bij het programmeren wordt de helft van de PAL-uitgangen geselecteerd voor het programmeren, terwijl de andere uitgangen en de ingangen voor het adresseren worden gebruikt. Daarna worden de uitgangen verwisseld om de andere lokaties te programmeren. Bij de verificatie wordt dezelfde procedure gebruikt, waarbij de programmeerlijnen LAAG worden gehouden.
Voor het definiëren, simuleren, bouwen en testen van PAL's kan PALASM (PAL assembler) worden gebruikt. PALASM accepteert de PAL Design Specificatie als een ingangsfile. Het ontwerp wordt aan de hand van een optionele functietabel geverifieerd, waarna de "fuse-plot" wordt gegenereerd die wordt gebruikt om de PAL schakelingen te programmeren.



figuur 8/10.1-29: Voorbeeld van een logisch symbool (een PAL10H8).

10.1 Achtergrond-informatie



Figuur 8/10.1-30: In dit voorbeeld wordt een PAL12H6 gebruikt om er een inverter, AND-poort, OR-poort, NAND-poort, NOR-poort en een EXOR-poort mee samen te stellen.

10.1 Achtergrond-informatie

```
;AB  CDE  FGH  IJKL  MNO  PQR   COMMENTS
--------------------------------------------------------
 LH  XXX  XXX  XXXX  XXX  XXX   TEST INVERTER
 HL  XXX  XXX  XXXX  XXX  XXX   TEST INVERTER
 XX  LLL  XXX  XXXX  XXX  XXX   TEST AND GATE
 XX  LHL  XXX  XXXX  XXX  XXX   TEST AND GATE
 XX  HLL  XXX  XXXX  XXX  XXX   TEST AND GATE
 XX  HHH  XXX  XXXX  XXX  XXX   TEST AND GATE
 XX  XXX  LLL  XXXX  XXX  XXX   TEST OR GATE
 XX  XXX  LHH  XXXX  XXX  XXX   TEST OR GATE
 XX  XXX  HLH  XXXX  XXX  XXX   TEST OR GATE
 XX  XXX  HHH  XXXX  XXX  XXX   TEST OR GATE
 XX  XXX  XXX  LLLH  XXX  XXX   TEST NAND GATE
 XX  XXX  XXX  HHHL  XXX  XXX   TEST NAND GATE
 XX  XXX  XXX  LHHH  XXX  XXX   TEST NAND GATE
 XX  XXX  XXX  HLHH  XXX  XXX   TEST NAND GATE
 XX  XXX  XXX  HHLH  XXX  XXX   TEST NAND GATE
 XX  XXX  XXX  XXXX  LLH  XXX   TEST NOR GATE
 XX  XXX  XXX  XXXX  LHL  XXX   TEST NOR GATE
 XX  XXX  XXX  XXXX  HLL  XXX   TEST NOR GATE
 XX  XXX  XXX  XXXX  HHL  XXX   TEST NOR GATE
 XX  XXX  XXX  XXXX  XXX  LLL   TEST EXCLUSIVE OR GATE
 XX  XXX  XXX  XXXX  XXX  LHH   TEST EXCLUSIVE OR GATE
 XX  XXX  XXX  XXXX  XXX  HLH   TEST EXCLUSIVE OR GATE
 XX  XXX  XXX  XXXX  XXX  HHL   TEST EXCLUSIVE OR GATE
--------------------------------------------------------
```

Figuur 8/10.1-31: Waarheidstabel voor het testen van alle logische functies.

HAL (Hard Array Logic)

De HAL-familie is de masker-geprogrammeerde versie van de PAL's. De HAL is voor een PAL wat een ROM is voor een PROM. Tot aan het 6e masker wordt een standaard wafer gefabriceerd. Daarna wordt een op klantenspecificatie vervaardigd metaalmasker gebruikt om de aluminium verbindingen voor de HAL aan te brengen, in plaats van de programmeerbare TiW zekeringen in een PAL.

PAL ordernummers en logische symbolen

Elke PAL heeft een uniek ordernummer dat ook de logische werking ervan beschrijft. Het PAL ordernummer-systeem is te zien in figuur 8/10.1-28. Een PAL14L4CN zou bijvoorbeeld een 14-ingangsterm, 4-uitgangsterm, aktief-LAGE PAL zijn met een commercieel temperatuurbereik in een 20-pens plastic DIL-behuizing.

De logische symbolen leveren een beknopte beschrijving van de logische functie van elke individuele PAL. Dit symbool is meestal voldoende om een PAL voor een bepaalde toepassing te kunnen selecteren. In figuur 8/10.1-29 is het logische symbool van een PAL10H8 gate-array te zien.

Enkele toepassingsvoorbeelden van PAL's

Hieronder volgen enkele voorbeelden om de flexibiliteit van PAL's aan te tonen. Elk voorbeeld is een compleet PAL-ontwerp: de vereiste logische functie wordt beschreven, de PAL die er het best voor geschikt is wordt gekozen en de uiteindelijke logische implementatie van de PAL wordt getoond. De PAL logica wordt vermeld als de PAL-ontwerp specificatie.

Enkelvoudige poorten

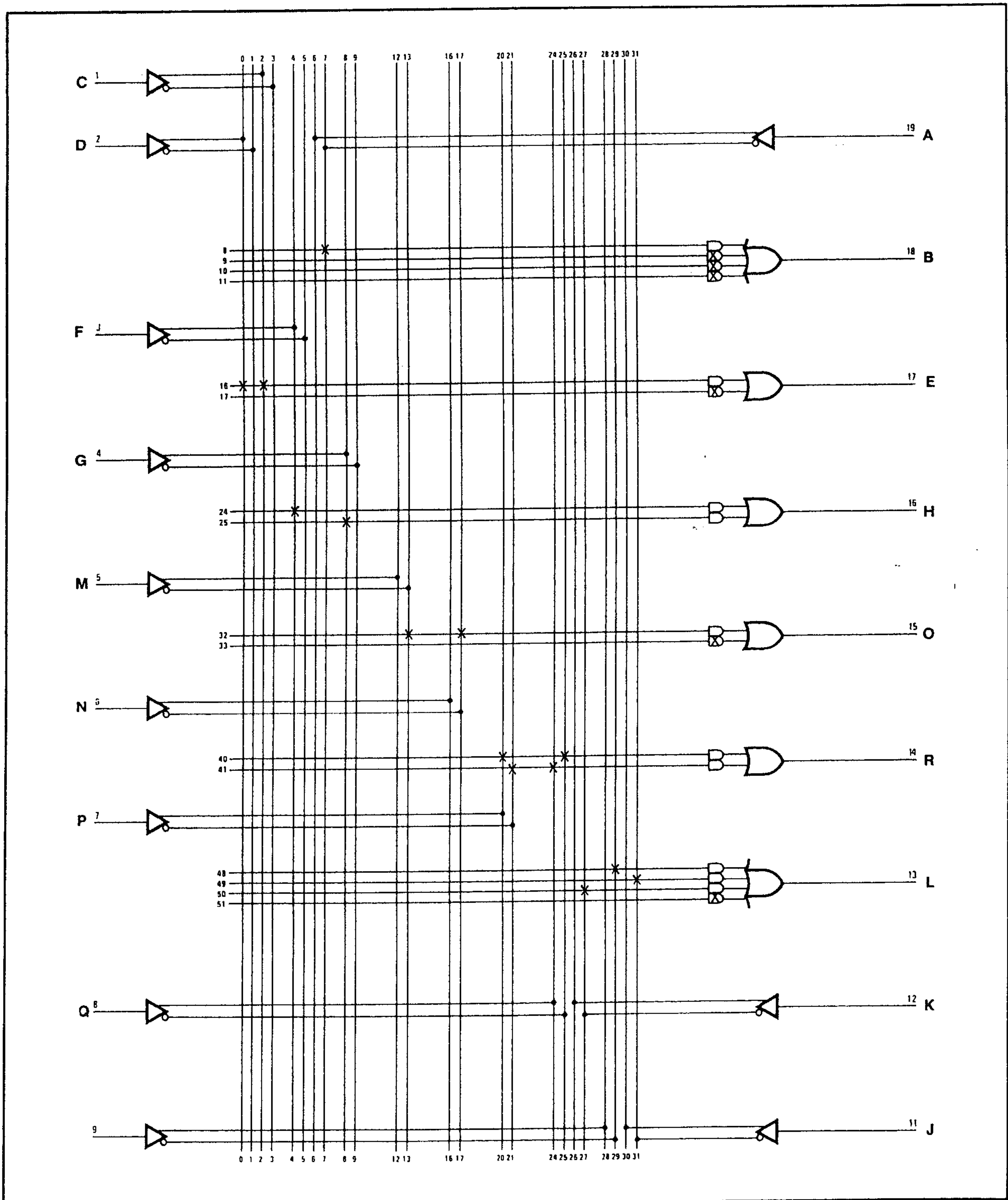
In het eerste voorbeeld wordt een PAL12H6 gebruikt om er enkelvoudige poorten mee samen te stellen. Deze zijn te zien in figuur 8/10.1-30, evenals de keuze van de positionering ervan binnen de PAL. Met de waarheidstabel (figuur 8/10.1-31) kunnen alle functies worden getest.

Figuur 8/10.1-32 is de vereenvoudigde voorstelling van de programmering van de PAL. In figuur 8/10.1-33 is tenslotte de eindsituatie van de PAL12H6 te zien.

```
                 11 1111 1111 2222 2222 2233
    0123 4567 8901 2345 6789 0123 4567 8901

 8  ---- ---X --   --   --   --   ---- ---- /A

16  X-X- ---- --   --   --   --   ---- ---- C*D

24  ---- X--- --   --   --   --   ---- ---- F
25  ---- ---- X-   --   --   --   ---- ---- G

32  ---- ---- --   -X   -X   --   ---- ---- /M*/N

40  ---- ---- --   --   --   X-   -X-- ---- P*/Q
41  ---- ---- --   --   --   -X   X--- ---- /P*Q

48  ---- ---- --   --   --   --   ---- -X-- /I
49  ---- ---- --   --   --   --   ---- ---X /J
50  ---- ---- --   --   --   --   ---X ---- /K
```

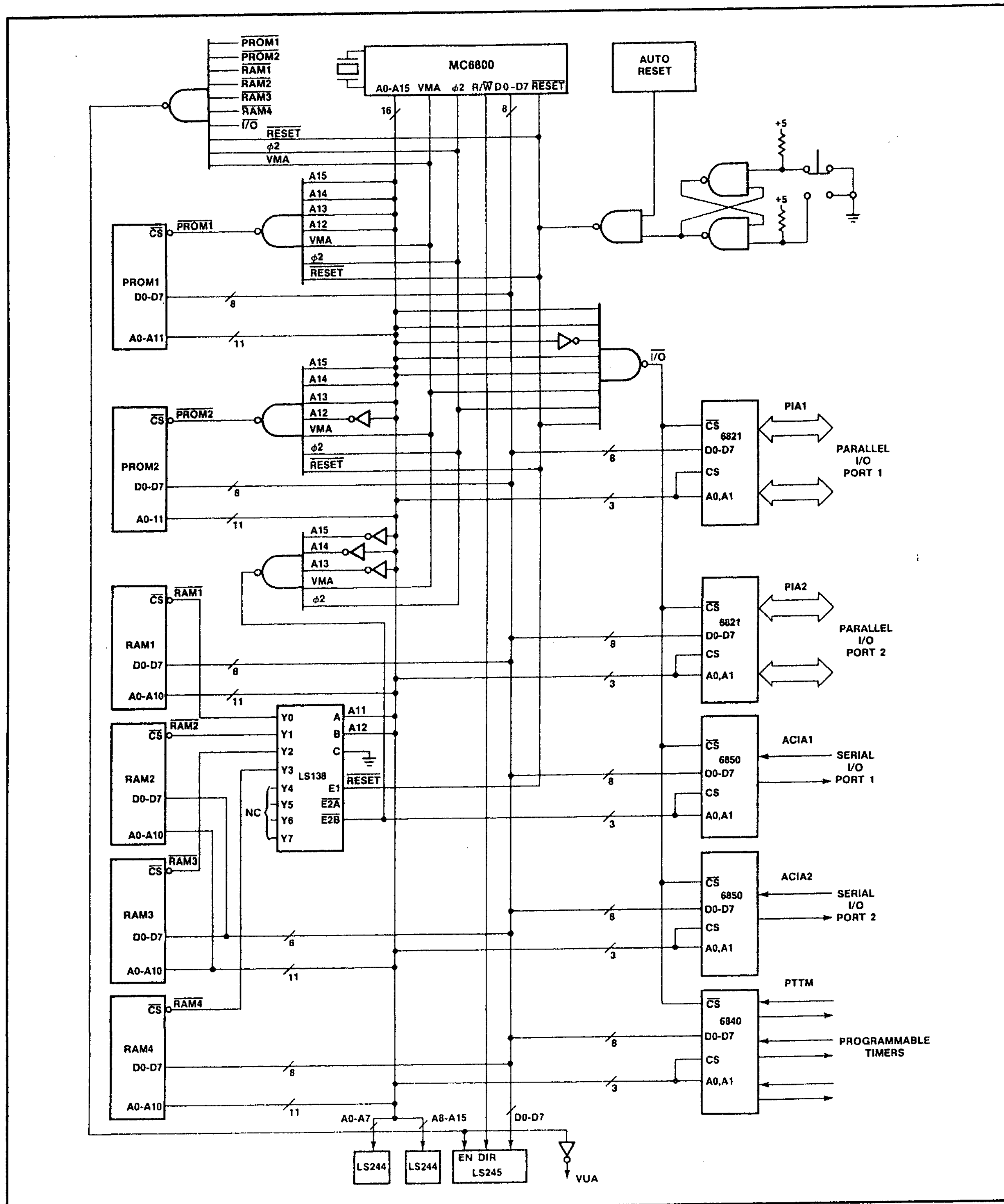
Figuur 8/10.1-32: Overzicht van de te programmeren zekeringen. X: zekering niet doorgebrand (LOW, 0); -: zekering doorgebrand (HIGH, 1).

10.1 Achtergrond-informatie



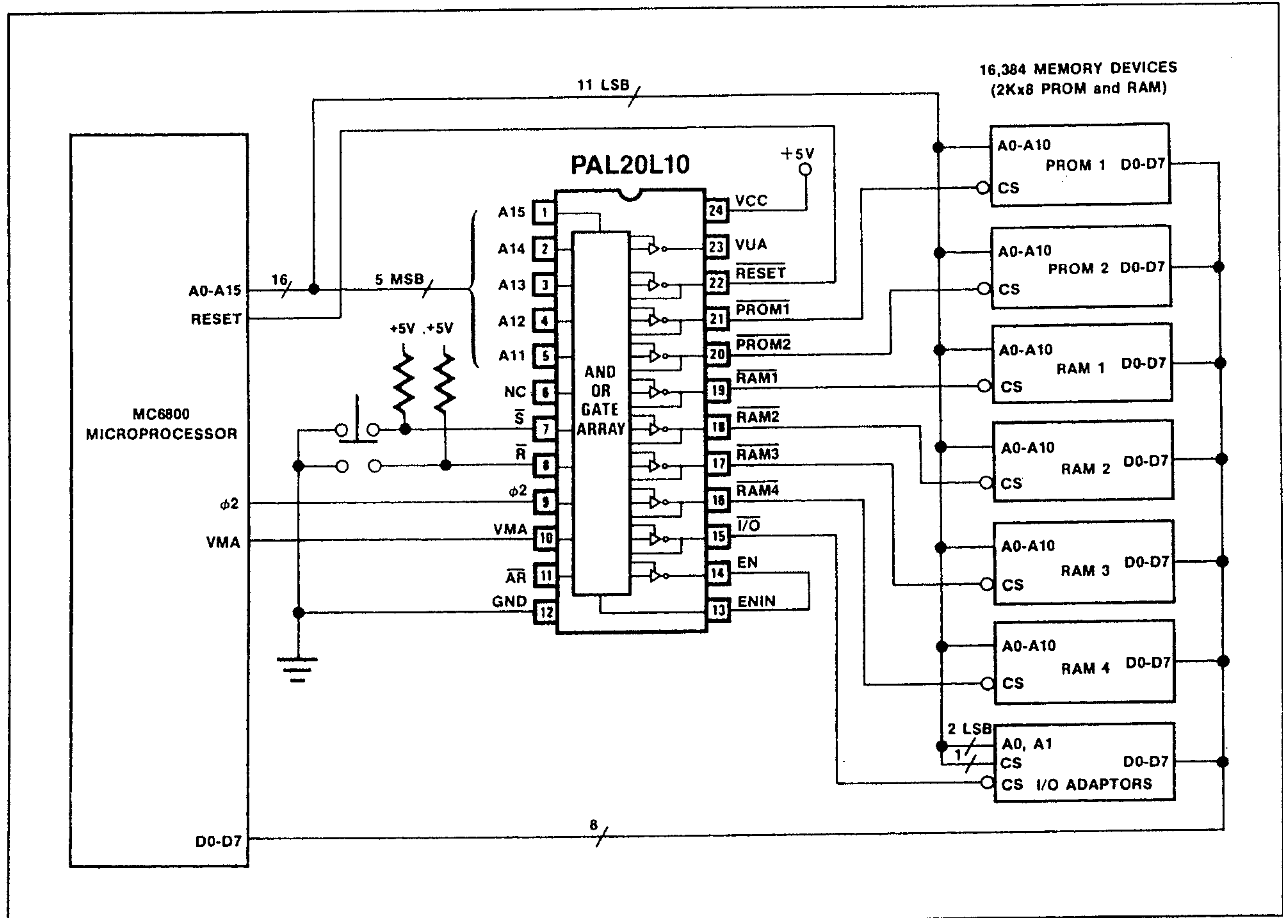
Figuur 8/10.1-33: De PAL12H6 in geprogrammeerde toestand (306 zekeringen doorgebrand). Hierin bijvoorbeeld: B = $\overline{A}$.

10.1 Achtergrond-informatie



Figuur 8/10.1-34: Voor de TTL implementatie van het interface-gedeelte van een 6800 single-board computer zouden 8 TTL IC's nodig zijn.

10.1 Achtergrond-informatie



Figuur 8/10.1-35: PAL implementatie van de schakeling in figuur 8/10.1-34. Nodig: 1 PAL20L10.

6800 microprocessor interface

In het tweede voorbeeld wordt een PAL20L10 gebruikt als interface-schakeling tussen een 6800 microprocessor en de systeemcomponenten die nodig zijn om hier een "single-board" computer van te maken. Deze systeemcomponenten zijn:

- 2 EPROM's (2716: 2 k x 8 of 2732: 4 k x 8)
- 4 statische RAM's (4108: 1 k x 8 of 2016: 2 k x 8)
- 2 PIA's (6821: 20 parallel I/O-port adapter)
- 2 ACIA's (6850: type 1 serial I/O-port adapter)
- 1 PTM (6840: type 3 programmable timer module)

Verder moeten aanwezig zijn:

- 1 Auto-reset functie
- 1 reset door middel van een drukknop
- de verbinding met de "edge-connector" om deze printkaart met andere systeemkaarten te kunnen verbinden

In figuur 8/10.1-34 is te zien hoe dit systeem kan worden opgebouwd met gewone TTL-poorten. Daar zouden dan 8 IC's voor nodig zijn. Hetzelfde kan worden gedaan met één PAL20L10 (figuur 8/10.1-35).

De logische vergelijkingen voor alle interface-signalen worden opgesomd in figuur 8/10.1-36.

Deze leveren de "memory map" van figuur 8/10.1-37 op. De opbouw van de logische schakeling voor de opwekking van het resetsignaal is te zien in figuur 8/10.1-38.

10.1 Achtergrond-informatie

In figuur 8/10.1-39 is te zien wat de PAL moet gaan doen, aan de hand van de voorwaarden uit figuur 8/10.1-40. Figuur 8/10.1-41 is de bijbehorende waarheidstabel. Tenslotte is in figuur 8/10.1-42 te zien welke zekeringen intact blijven in de PAL20L10.

$\overline{PROM1} = A15 \cdot A14 \cdot A13 \cdot A12 \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{PROM2} = A15 \cdot A14 \cdot A13 \cdot \overline{A12} \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{RAM1} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot \overline{A12} \cdot \overline{A11} \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{RAM2} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot \overline{A12} \cdot A11 \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{RAM3} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot A12 \cdot \overline{A11} \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{RAM4} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot A12 \cdot A11 \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

$\overline{I/O} = A15 \cdot A14 \cdot \overline{A13} \cdot A12 \cdot A11 \cdot VMA \cdot \phi2 \cdot \overline{RESET}$

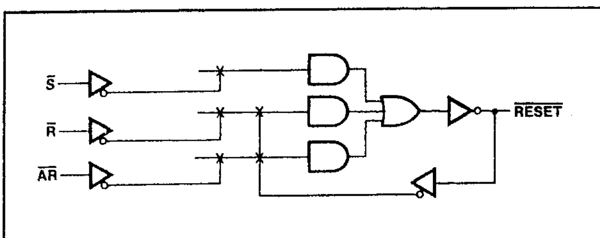
$\overline{EN} = \overline{PROM1} \cdot \overline{PROM2} \cdot \overline{RAM1} \cdot \overline{RAM2} \cdot \overline{RAM3} \cdot \overline{RAM4} \cdot \overline{I/O} \cdot VMA \cdot \overline{RESET}$

$VUA = EN$

Figuur 8/10.1-36: Overzicht van alle benodigde interface-signalen.

DEVICE	HEX ADDRESS
PROM1	F000-FFFF
PROM2	E000-EFFF
RAM1	0000-07FF
RAM2	0800-0FFF
RAM3	1000-17FF
RAM4	1800-1FFF
I/O*	D800-DFFF

Figuur 8/10.1-37: Memory map, overeenkomend met figuur 8/10.1-36.

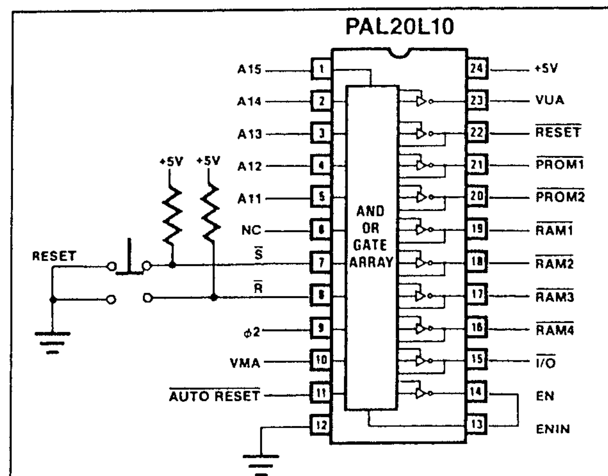


Figuur 8/10.1-38: Logische schakeling voor de opwekking van het reset-signaal.

Het decoderen van één van de vijf I/O-schakelingen gebeurt door het bijbehorende adressignaal op de extra CS-ingang van deze schakelingen te zetten.

De PAL-implementatie van figuur 8/10.1-35 heeft de volgende voordelen ten opzichte van de TTL-versie:

- minder IC's nodig (een factor 8).
- systeemcomponenten kunnen door middel van een programma verandering door de geheugenruimte worden verplaatst; voor de TTL-versie zou daar een andere print voor nodig zijn.
- wanneer niet alle I/O- en/of geheugenplaatsen bezet zijn, kan deze adresruimte worden vrijgemaakt voor andere doeleinden.
- de niet-gebruikte ingangspen (pen #8) is beschikbaar voor extra adresdecodering in een uitgebreid systeem.



Figuur 8/10.1-39: In- en uitgangssignalen van de PAL.

10.1 Achtergrond-informatie

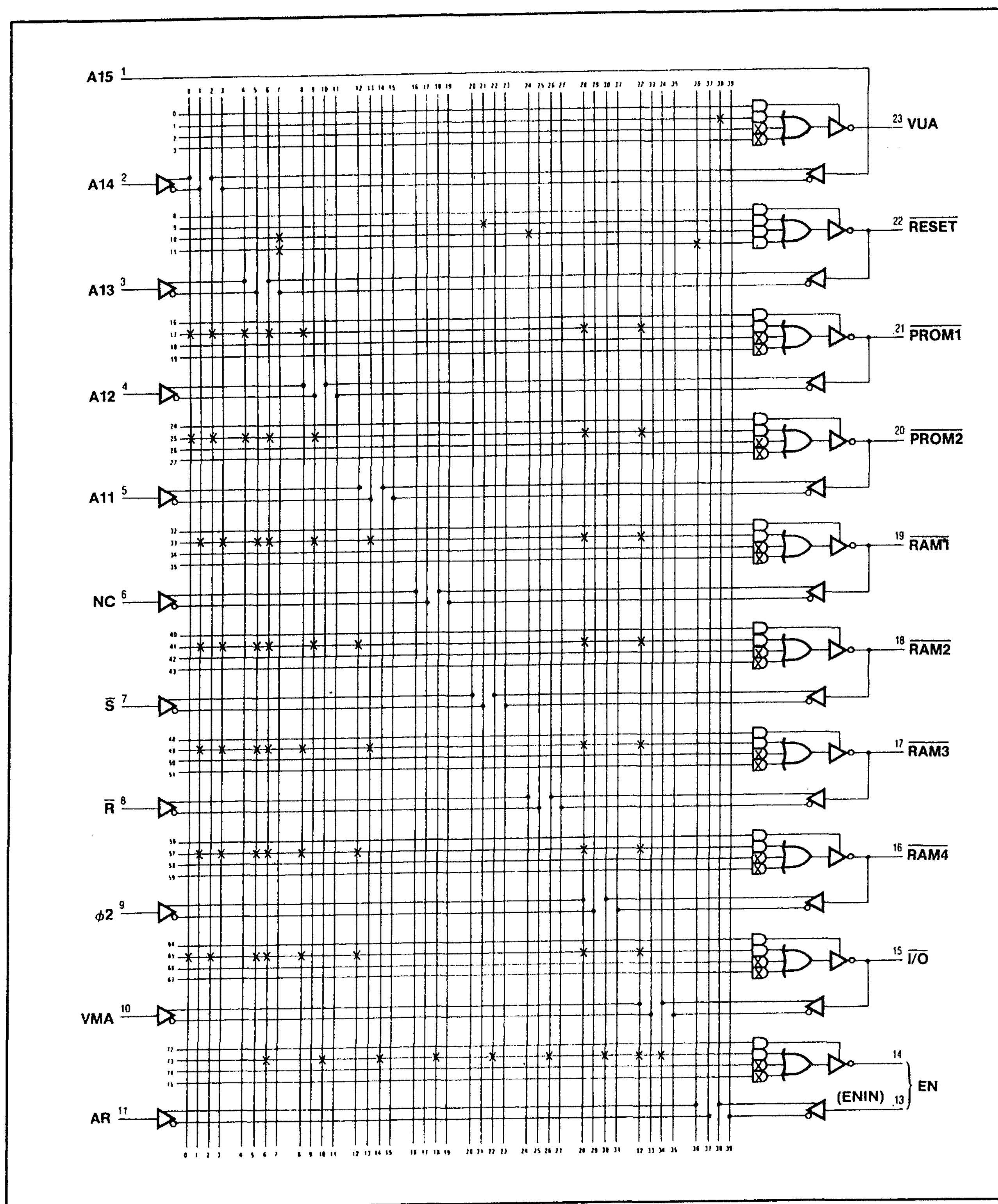
```
IF(VCC)  PROM1  =  A15* A14* A13* A12       * VMA* PH2*/RESET    ;PROM1, F000-FFFF

IF(VCC)  PROM2  =  A15* A14* A13*/A12       * VMA* PH2*/RESET    ;PROM2, E000-EFFF

IF(VCC)  RAM1   = /A15*/A14*/A13*/A12*/A11* VMA* PH2*/RESET    ;RAM1,  0000-07FF

IF(VCC)  RAM2   = /A15*/A14*/A13*/A12* A11* VMA* PH2*/RESET    ;RAM2,  0800-0FFF

IF(VCC)  RAM3   = /A15*/A14*/A13* A12*/A11* VMA* PH2*/RESET    ;RAM3,  1000-17FF

IF(VCC)  RAM4   = /A15*/A14*/A13* A12* A11* VMA* PH2*/RESET    ;RAM4,  1800-1FFF

IF(VCC)  IO     =  A15* A14*/A13* A12* A11* VMA* PH2*/RESET    ;I/O,   D800-DFFF

IF(VCC) /EN     = /PROM1*/PROM2*/RAM1*/RAM2*/RAM3*/RAM4*/IO* VMA*/RESET ;EN=/VUA

IF(VCC) /VUA    =  ENIN         ;ASSERTIVE HIGH VUA SIGNAL (INVERT EN FEEDBACK)

IF(VCC)  RESET  =  S            ;SET
                + /R * RESET    ;RESET
                + /AR* RESET    ;AUTO RESET
```

Figuur 8/10.1-40: Programmering van de voorwaarden (vergelijkingen).

```
A15 A14 A13 A12 A11 /S /R /AR /RESET PH2 VMA /PROM1 /PROM2 /RAM1 /RAM2 /RAM3
/RAM4 /IO EN ENIN VUA

;ADDR1  S-R      /RE           PROM  --RAM--        ENABLE
;54321 /S /R /AR SET  PH2 VMA  1  2  1 2 3 4  I/O  OUT IN VUA   COMMENT
-------------------------------------------------------------------------------
HHHHX  L  H  L   L    L   H    H  H  H H H H  H    H   H  L     RESET (/S=L)
HHHHX  H  L  H   L    L   H    H  H  H H H H  H    H   H  L     AUTO-RESET
HHHHX  H  L  L   H    L   H    H  H  H H H H  H    L   L  H     NO SELECT PH2=L
HHHHX  H  L  L   H    H   L    H  H  H H H H  H    H   H  L     NO SELECT VMA=L
HHHHX  H  L  L   H    H   H    L  H  H H H H  H    H   H  L     SELECT PROM1
HHHLX  H  L  L   H    H   H    H  L  H H H H  H    H   H  L     SELECT PROM2
LLLLL  H  L  L   H    H   H    H  H  L H H H  H    H   H  L     SELECT RAM1
LLLLH  H  L  L   H    H   H    H  H  H L H H  H    H   H  L     SELECT RAM2
LLLHL  H  L  L   H    H   H    H  H  H H L H  H    H   H  L     SELECT RAM3
LLLHH  H  L  L   H    H   H    H  H  H H H L  H    H   H  L     SELECT RAM4
HHLHH  H  L  L   H    H   H    H  H  H H H H  L    H   H  L     SELECT I/O PORT
```

Figuur 8/10.1-41: Waarheidstabel van de PAL20L10 als interface voor een 6800 microprocessor.

10.1 Achtergrond-informatie



Figuur 8/10.1-42: De volledig als interface voor een 6800 geprogrammeerde PAL20L10.

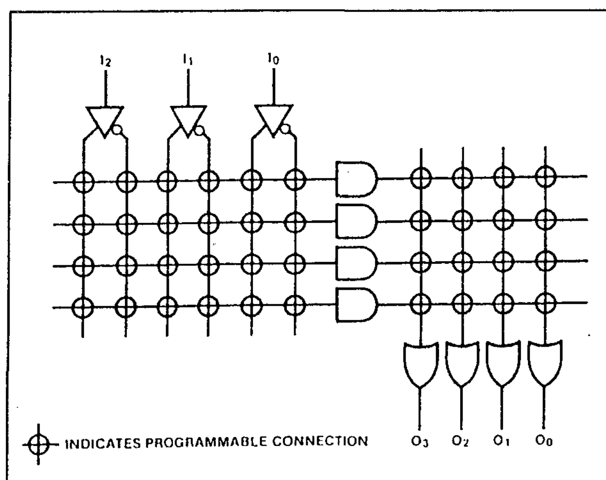
10.1 Achtergrond-informatie

PLA

PLA architectuur

De array-structuur van een PLA (Programmable Logic Array) is te zien in figuur 8/10.1-43. Bij een PLA zijn zowel de AND-array als de OR-array programmeerbaar. Hierdoor heeft de PLA nog meer mogelijkheden dan de PROM of de PAL. Bij PLA's zijn dezelfde logische mogelijkheden aanwezig als bij PAL's om tegemoet te komen aan te weinig ingangen: het aanwijzen van een uitgang als ingang, "registered feedback" en keuze van uitgangspolariteiten. Door de programmeerbare OR-array kunnen AND-poorten naar keuze met OR-poorten worden verbonden. Het aantal logische functies wordt beperkt door het totale aantal AND-poorten dat aan alle uitgangen is toegewezen en niet door de AND-poorten die aan een bepaalde OR-poort zijn toegewezen, zoals bij een PAL. Dus als voor een logische functie een groot aantal AND-poorten nodig is kunnen deze aan die OR-poort worden toegewezen die ze nodig heeft. Daarnaast kunnen AND-poorten op meer dan één OR-poort worden aangesloten (ge"shared"). Hierdoor is met een PLA efficiënter gebruik van de AND-poorten mogelijk dan in een PAL.

De nadelen van PLA's zijn niet zo opvallend. PLA's zijn van huis uit langzamer dan PAL's of PROM's omdat elk signaal door twee programmeerbare arrays heen moet. Hierdoor kan een PLA ongeschikt zijn voor high-performance toepassingen. In de praktijk komt het zelden voor dat een gebruiker een groot aantal AND-poorten toewijst aan een bepaalde OR-poort. Het aantal AND-poorten dat voor een bepaalde vergelijking benodigd is, houdt verband met het aantal ingangen van de vergelijking. PLA-schakelingen hebben een beperkt aantal ingangen, zodat ook het aantal AND-poorten beperkt is. Het opstellen van vergelijkingen met veel AND-poorten kan heel ingewikkeld worden. Bij logische ontwerptechnieken zoals Karnaugh-mappen zijn niet meer dan 5 of 6 ingangen mogelijk, terwijl computerondersteuning voor deze taak meestal niet beschikbaar is. Een ander probleem is dat commercieel verkrijgbare PLA's minder AND-poorten bevatten dan vergelijkbare PAL's, vanwege de benodigde extra schakelingen voor de programmeerbare OR-array. Als een ontwerper een vergelijking opstelt waarbij de meeste van de beschikbare AND-poorten al worden gebruikt, blijven er maar weinig over voor de resterende OR-poorten.



Figuur 8/10.1-43: De structuur van een PLA.

10.1 Achtergrond-informatie

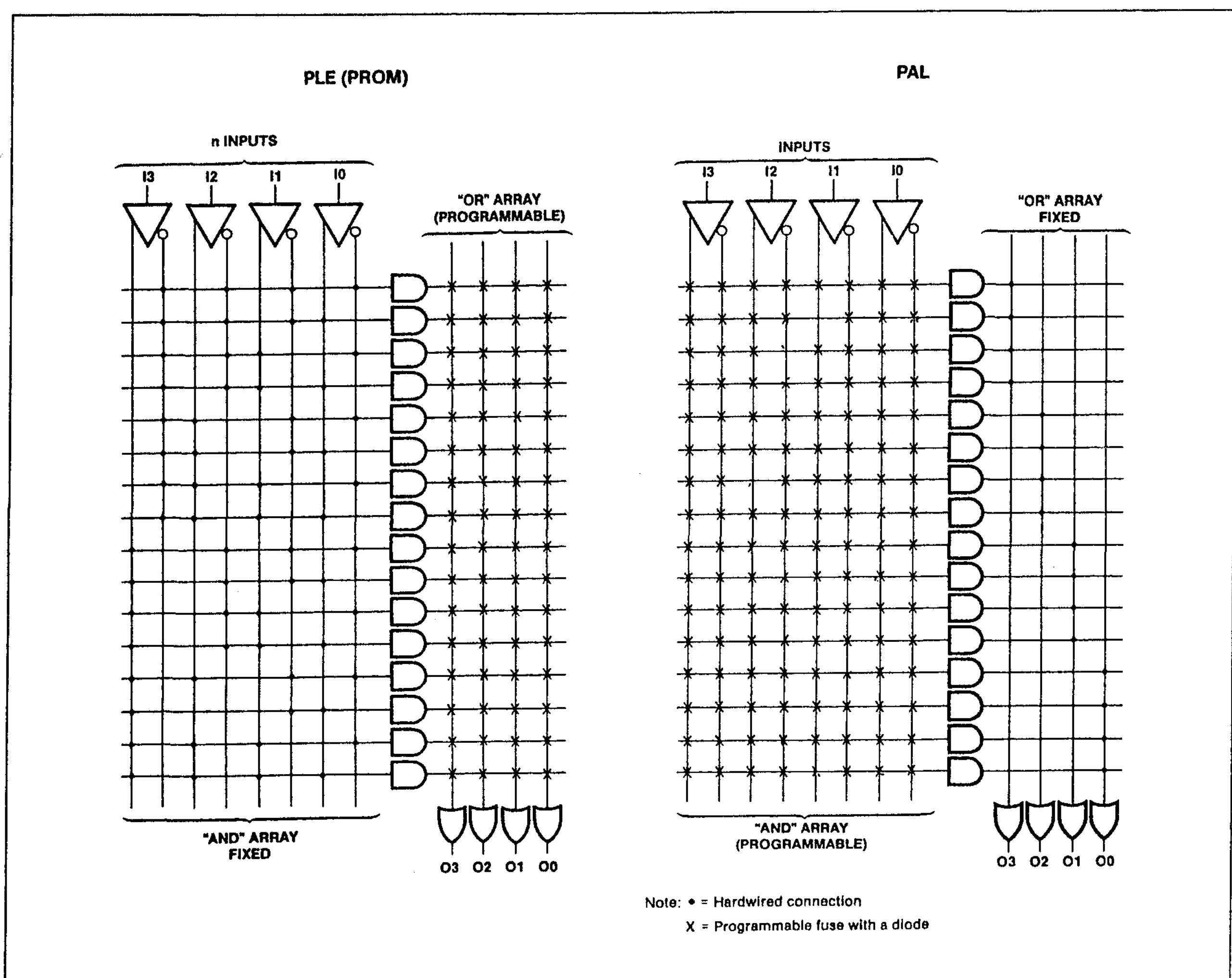
8/10.2

Type-beschrijving PLE's

Inleiding

Toepassing

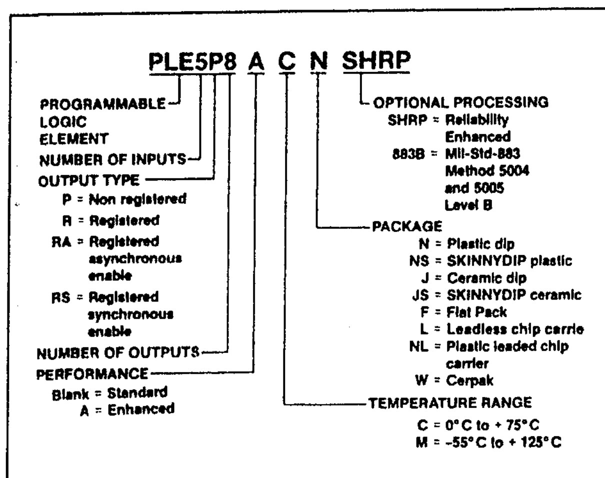
In het algemeen zijn PLE's (Programmeerbare Logische Elementen) zeer geschikt voor toepassingen waar een groot aantal produkt-termen nodig is.



Figuur 8/10.2-1: Principieel verschil tussen een PLE en een PAL.

10.2 Type-beschrijving PLE's

Voorbeelden hiervan zijn: decoders/encoders, custom ALU's, fout-detectie en -correctie, opzoektabellen (zowel trigonometrisch als rekenkundig), data-scaling, compressietechnieken (zoals Wallace Tree adders) en ook random logica kan vaak worden vervangen door een PLE. PAL's zijn meer geschikt wanneer veel ingangen nodig zijn. De PLE overdrachtsfunctie is de bekende OR van produkten. Net als de PAL heeft de PLE een enkele array van doorbrandbare verbindingen. In tegenstelling tot de PAL heeft de PLE een programmeerbaar OR-array die wordt aangestuurd door een vast AND-array, zie figuur 8/10.2-1. De gehele PLE-familie heeft gemeenschappelijke elektrische kenmerken en dezelfde programmeer-algorithme, PNP-ingangen, volledige Schottky clamping en 3-state uitgangen. Alle PLE's kunnen met conventionele PROM-programmeerapparaten worden geprogrammeerd.



Figuur 8/10.2-2: Bestel-informatie van PLE's.

PLE's met registers

De "registered" PLE's hebben van D-type registers aan boord. De uitgangen worden door middel van synchrone en asynchrone enable-ingangen bestuurd. Omdat ook de initialisatie programmeerbaar is, is de opstartvolgorde zeer flexibel.

Data wordt op de opgaande flank van de clock naar de uitgangsregisters overgebracht. Als de asynchrone en synchrone enables ($\overline{E}$, respectievelijk $\overline{ES}$) LAAG zijn, zal de data op de uitgangen verschijnen. Als de clock LAAG is hebben veranderingen in de adressering of van de synchrone enable-ingangen geen invloed op de data in de registers.

De uitgangen kunnen op elk willekeurig moment in de hoog-impedante toestand worden gezet door $\overline{E}$ of $\overline{ES}$ HOOG te maken. Wanneer de voedingsspanning V_{CC} voor het eerst wordt aangelegd zal de synchrone enable flip-flop gezet zijn, zodat de uitgangen hoog-impedant zullen zijn. Door middel van 16 programmeerwoorden die in de uitgangsregisters geladen kunnen worden is flexibele initialisatie met verschillende start-up en time-out volgorden mogelijk. Met de synchrone initialisatie-pen ($\overline{IS}$) LAAG kan één van de 16 initialisatie-woorden (geadresseerd met de pennen 5, 6, 7 en 8) in de uitgangsregisters worden geplaatst. De niet-geprogrammeerde toestand van de $\overline{IS}$-woorden is LAAG, wat overeenkomt met een CLEAR als de $\overline{IS}$-pen LAAG is. Zijn alle $\overline{IS}$-kolomwoorden (A3 tot en met A0) met hetzelfde patroon geprogrammeerd, dan zal de $\overline{IS}$-functie onafhankelijk zijn van zowel de rij- als de kolom-adressen en kan dan als een éénpens besturing worden gebruikt. Zijn alle $\overline{IS}$-woorden HOOG geprogrammeerd, dan wordt een PRESET-functie uitgevoerd. De PLE9R8 heeft asynchrone PRESET en CLEAR-functies. Als de chip enabled is, maakt een LAAG op de $\overline{PR}$-ingang dat alle uitgangen HOOG worden. Als de $\overline{CLR}$-ingang LAAG wordt gemaakt, worden de uitgangsregisters gereset en worden alle uitgangen LAAG. De $\overline{PR}$ en $\overline{CLR}$ functies zijn gemeenschappelijk voor alle uitgangsregisters en werken onafhankelijk van alle andere data-ingangen.

Beschikbare software

Door Monolithic Memories werd een software-tool ontwikkeld die bij het ontwerpen en programmeren van PROM's en PLE's kan worden gebruikt.

10.2 Type-beschrijving PLE's

Dit PLEASM genoemde programma (PLE Assembler) is beschikbaar voor verschillende computers, inclusief VAX/VMS en IBM PC/DOS.
PLEASM zet ontwerp-vergelijkingen (zowel Boole'se als rekenkundige) om in waarheidstabellen en formaten die overeenkomen met PROM-programmers. Tevens is een simulator opgenomen om het ontwerp te testen voordat de PLE werkelijk geprogrammeerd wordt. Tabel 8/10.2-2 geeft tenslotte een overzicht van bruikbare programmeerapparaten.

PLE Selection Guide

PART NUMBER	INPUTS	OUTPUTS	PRODUCT TERMS	OUTPUT REGISTERS	t_{PD} (ns) MAX *
PLE5P8	5	8	32		25
PLE5P8A	5	8	32		15
PLE8P4	8	4	256		30
PLE8P8	8	8	256		28
PLE9P4	9	4	512		35
PLE9P8	9	8	512		30
PLE10P4	10	4	1024		35
PLE11P4	11	4	2048		35
PLE11P8	11	8	2048		35
PLE12P4	12	4	4096		35
PLE12P8	12	8	4096		40
PLE9R8	9	8	512	8	15
PLE10R8	10	8	1024	8	15
PLE11RA8	11	8	2048	8	15
PLE11RS8	11	8	2048	8	15

* Clock to output time for registered outputs.
NOTE: Commercial limits specified.

Tabel 8/10.2-1: De PLE keuzetabel.

10.2 Type-beschrijving PLE's

MONOLITHIC MEMORIES PLE PROGRAMMER REFERENCE CHART

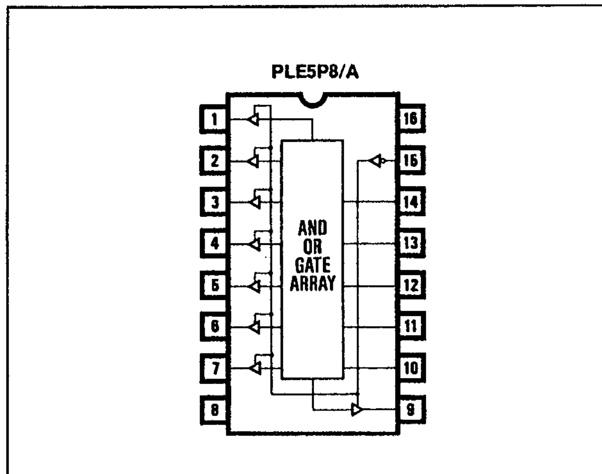
Source and Location	Data I/O 10525 Willows Rd. N.E. Redmond, WA 98073	Kontron Electronics 630 Price Ave. Redwood City, CA 94063	Stag Microsystems 528-5 Weddell Dr. Sunnyvale, CA 94089	Digelec 586-1 Weddell Dr. Sunnyvale, CA 94089	Varix 1210 E. Campbell Rd. Richardson, TX 75081
Programmer Model(s)	Model 19/29 Model 22	Model MPP-805	Model PPX Model PP17	UP803	OMNI
MMI Generic Bipolar PLE Personality Module	UniPak Rev 07 UniPak II Rev 05 (Not all PLEs are supported by earlier UniPak revisions	MOD4		FAM Mod. No. 12	
Socket Adapter(s) and Device Code					
PLE5P8/ PLE5P8A	F18 P02 Model 22A- Adapter 351A-064	SA3	AM110-2 Code 21	DA No. 2 Pinout 1A Switch Pos. 0-6	63S081
PLE8P4	F18 P01 Model 22A- Adapter 351A-064	SA4-2	AM130-2 Code 21	DA No. 2 Pinout 1B Switch Pos. 0-6	63S141
PLE9P4	F18 P03 Model 22A- Adapter 351A-064	SA4-1	AM130-3 Code 21	DA No. 1 Pinout 1D Switch Pos. 2-14	63S241
PLE8P8	F18 P08 Model 22A- Adapter 351A-064	†	†	†	63S280 63S281
PLE10P4	F18 P05 Model 22A- Adapter 351A-064	SA4	AM140-2 Code 21	DA No. 3 Pinout 1E Switch Pos. 0-6	63S441
PLE9P8	F18 P08 Model 22A- Adapter 351A-064	†	†	†	63S480 63S481
PLE9R8	F18 P65† Model 22A- Adapter 351A-074	SA31-2	†	Pinout 1H † Switch Pos. 5-14	†
PLE11P4	F18 P06 Model 22A- Adapter 351A-064	SA4-4	AM140-3 Code 21	DA No. Pinout 1L Switch 5-14	63S841
PLE10R8	F18 P86† Model 22A- Adapter 351A-074 (300 mil pkg)		†	DA No. 64 † Switch Pos. 0-12	†
PLE12P4	F18 P53 Model 22A- Adapter 351A-064	SA20	AM120-6 Code 21	DA No. † Switch Pos. 4-12	63S1641
PLE11RA8 PLE11RS8	F18 PA3	†	†	†	†
PLE11P8	F18P21	SA5-4	AM100-5 Code 21	†	63S1681
PLE12P8	F18P63	†	†	DA No. 64 Pinout 47 Switch Pos. 0-4	†

† Contact manufacturer for availability and programming information.

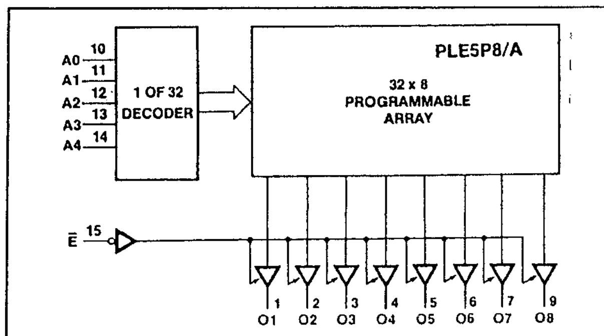
Tabel 8/10.2-2: Voor PLE's geschikte programmeerapparaten.

10.2 Type-beschrijving PLE's

PLE5P8(A)

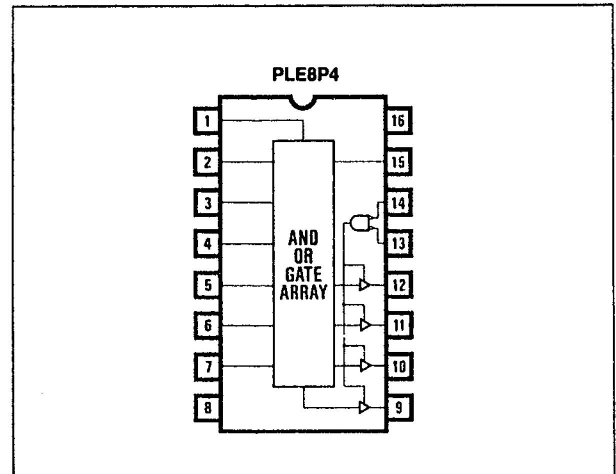


Figuur 8/10.2-3: Logisch symbool van de PLE5P8(A).

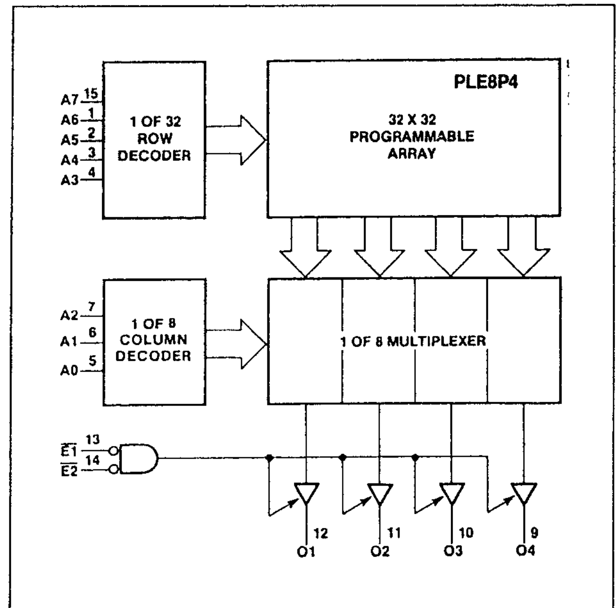


Figuur 8/10.2-4: Blokschema van de PLE5P8(A).

PLE8P4



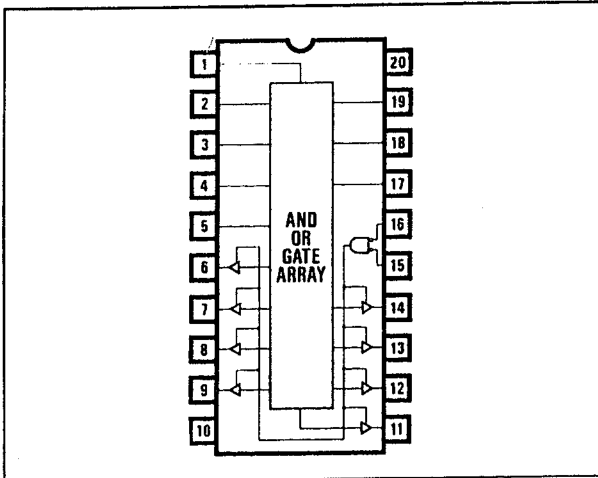
Figuur 8/10.2-5: Logisch symbool van de PLE8P4.



Figuur 8/10.2-6: Blokschema van de PLE8P4.

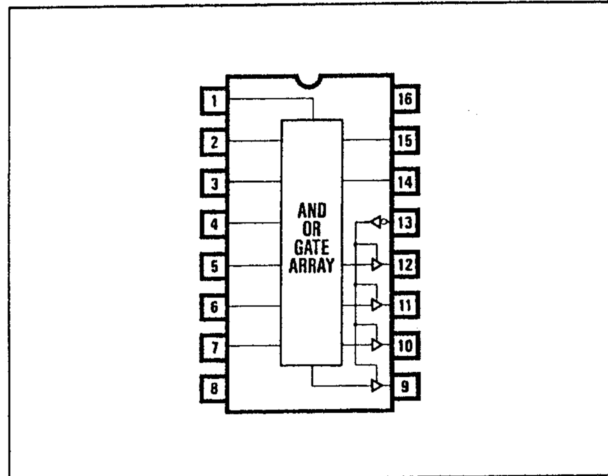
10.2 Type-beschrijving PLE's

PLE8P8

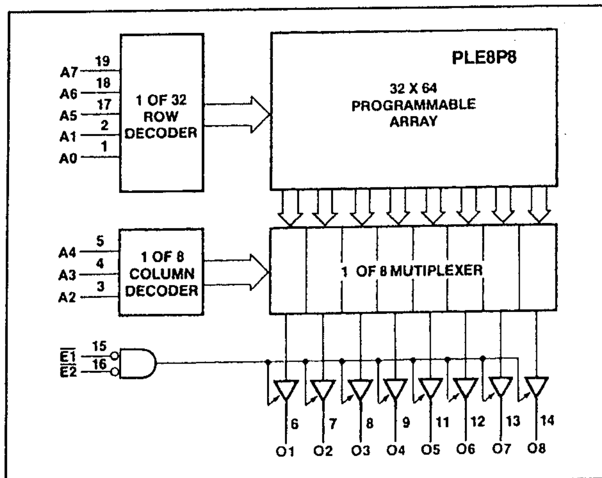


Figuur 8/10.2-7: Logisch symbool van de PLE8P8.

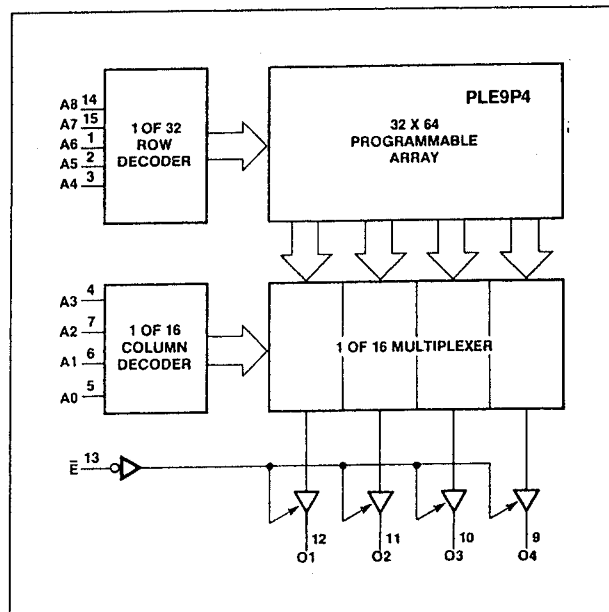
PLE9P4



Figuur 8/10.2-9: Logisch symbool van de PLE9P4.



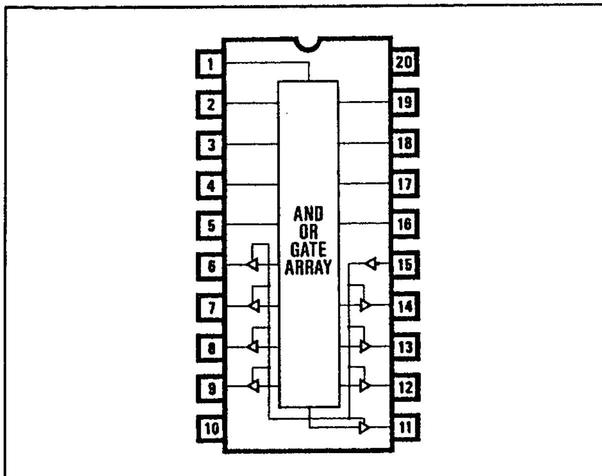
Figuur 8/10.2-8: Blokschema van de PLE8P8.



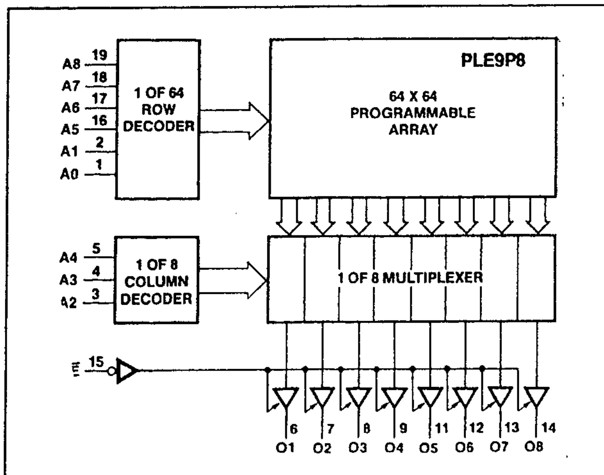
Figuur 8/10.2-10: Blokschema van de PLE9P4.

10.2 Type-beschrijving PLE's

PLE9P8

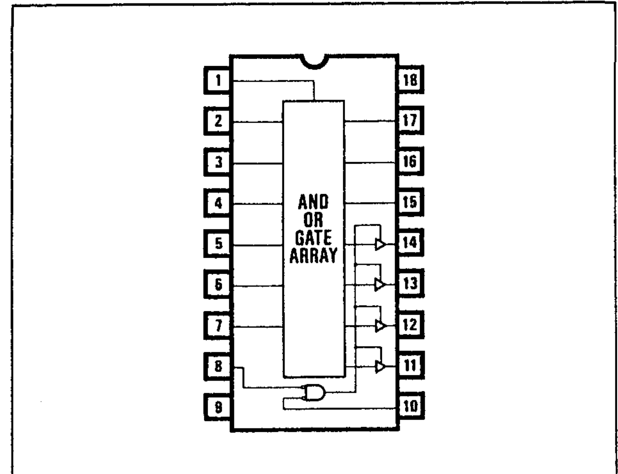


Figuur 8/10.2-11: Logisch symbool van de PLE9P8.

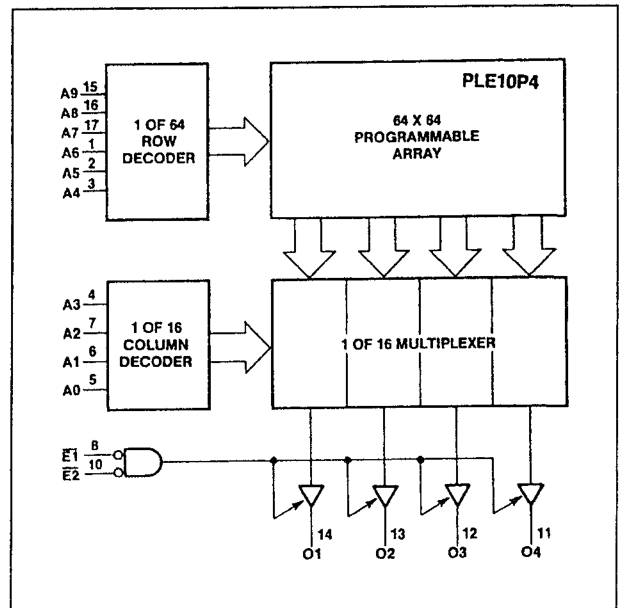


Figuur 8/10.2-12: Blokschema van de PLE9P8.

PLE10P4



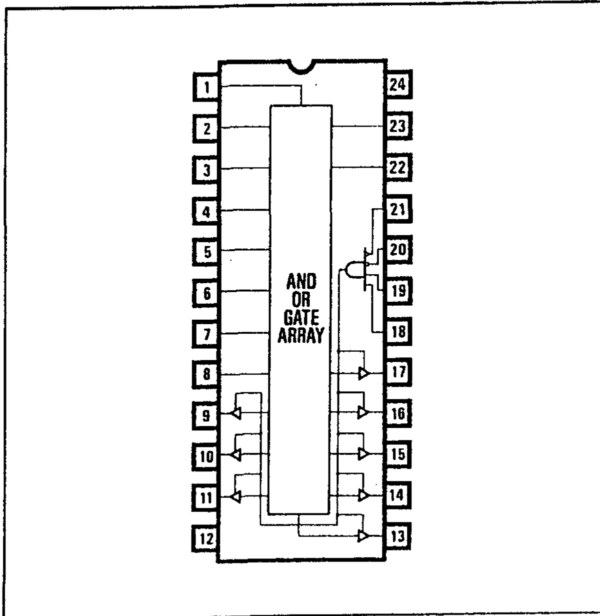
Figuur 8/10.2-13: Logisch symbool van de PLE10P4.



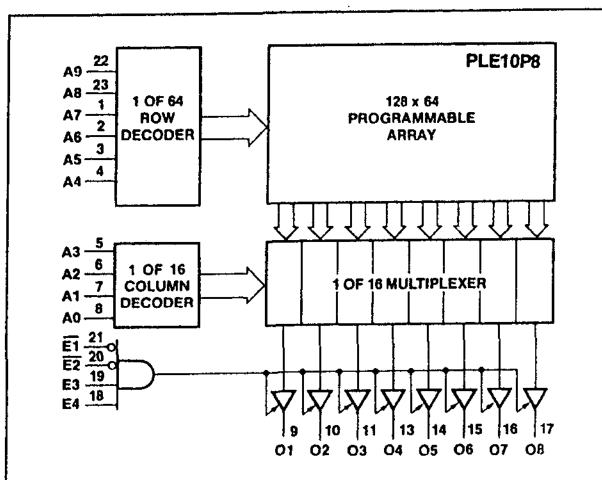
Figuur 8/10.2-14: Blokschema van de PLE10P4.

10.2 Type-beschrijving PLE's

PLE10P8

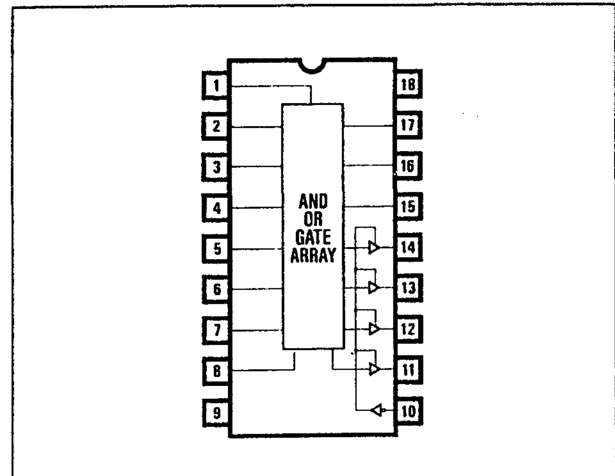


Figuur 8/10.2-15: Logisch symbool van de PLE10P8.

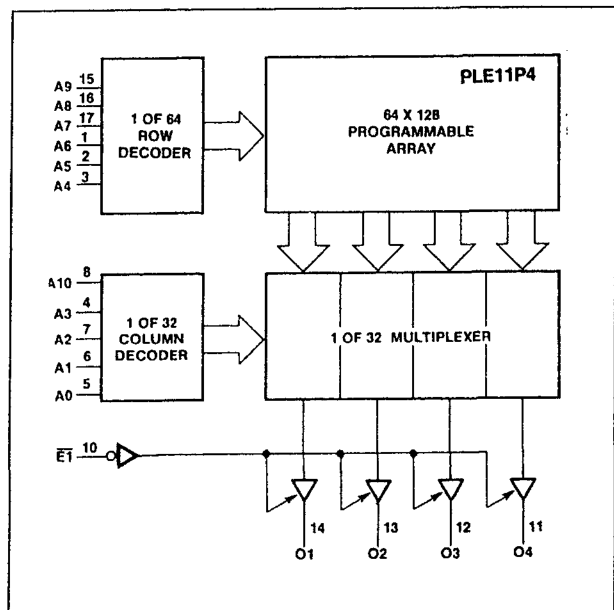


Figuur 8/10.2-16: Blokschema van de PLE10P8.

PLE11P4



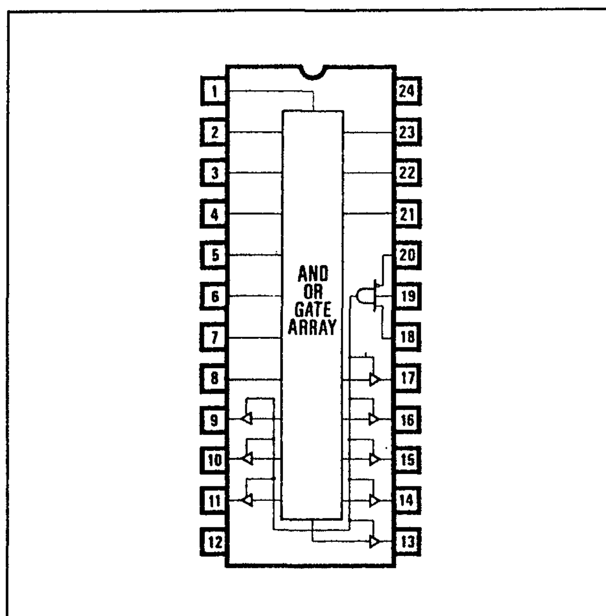
Figuur 8/10.2-17: Logisch symbool van de PLE11P4.



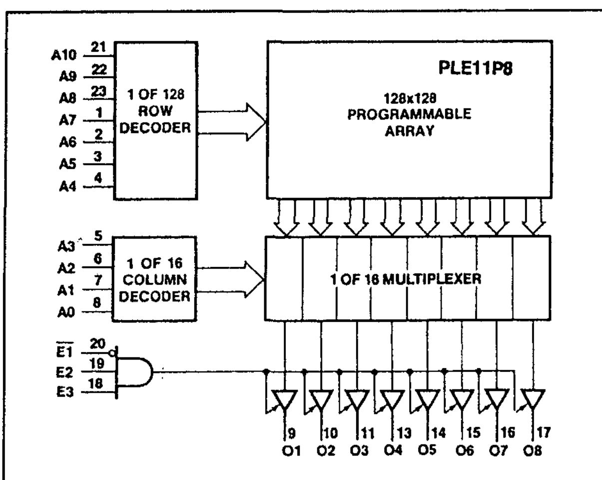
Figuur 8/10.2-18: Blokschema van de PLE11P4.

10.2 Type-beschrijving PLE's

PLE11P8

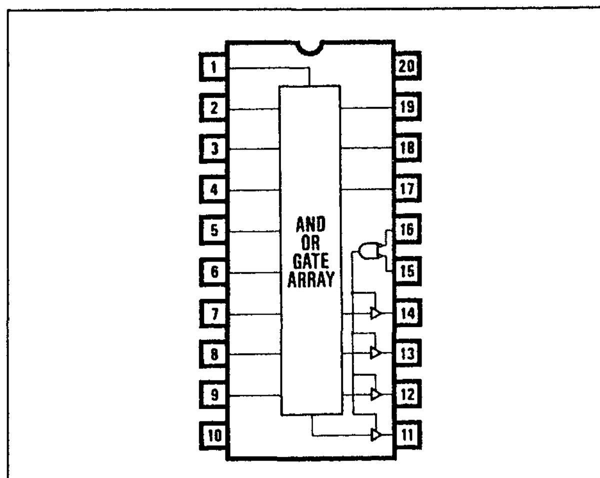


Figuur 8/10.2-19: Logisch symbool van de PLE11P8.

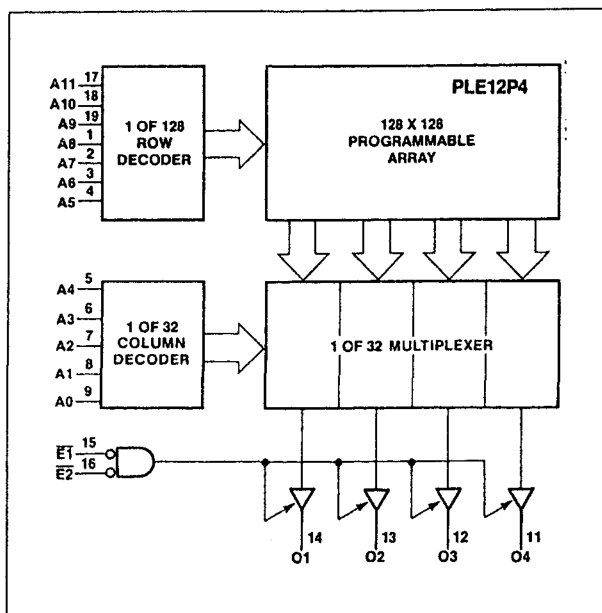


Figuur 8/10.2-20: Blokschema van de PLE11P8.

PLE12P4



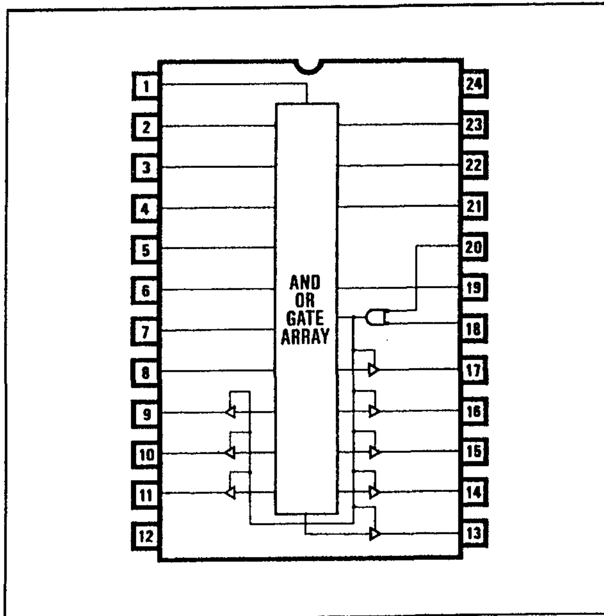
Figuur 8/10.2-21: Logisch symbool van de PLE12P4.



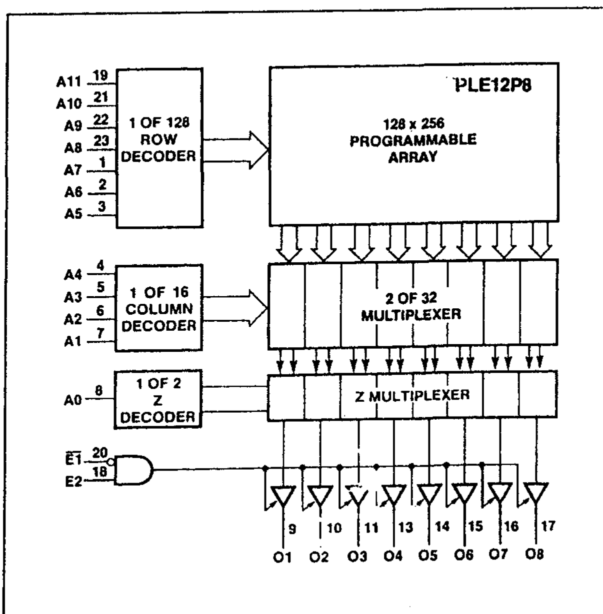
Figuur 8/10.2-22: Blokschema van de PLE12P4.

10.2 Type-beschrijving PLE's

PLE12P8

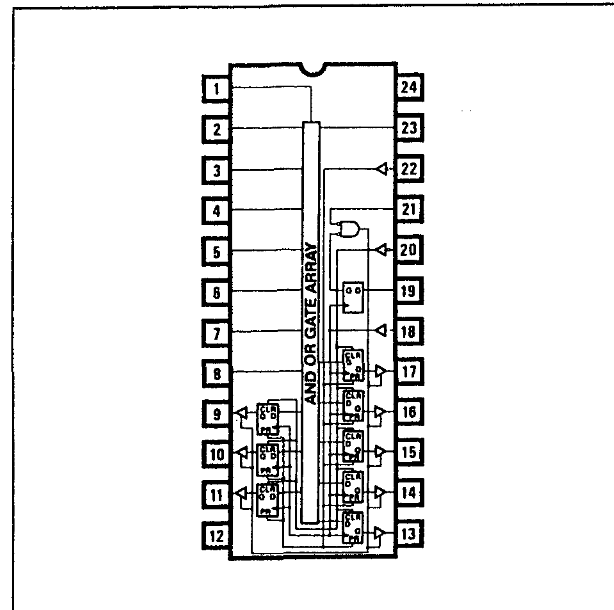


Figuur 8/10.2-23: Logisch symbool van de PLE12P8.

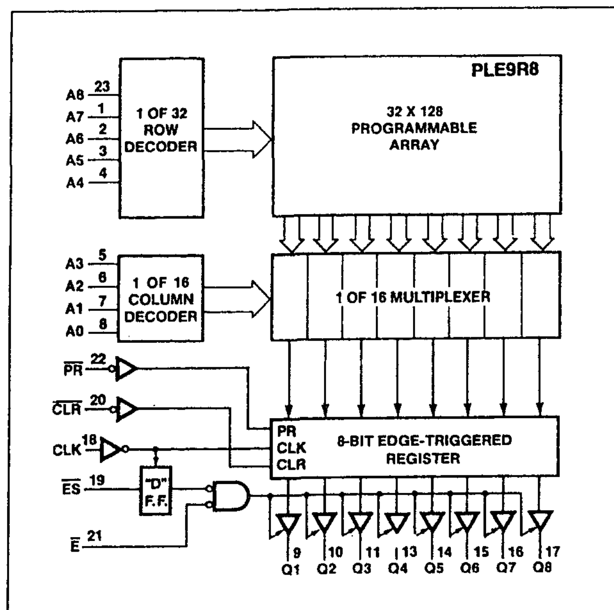


Figuur 8/10.2-24: Blokschema van de PLE12P8.

PLE9R8



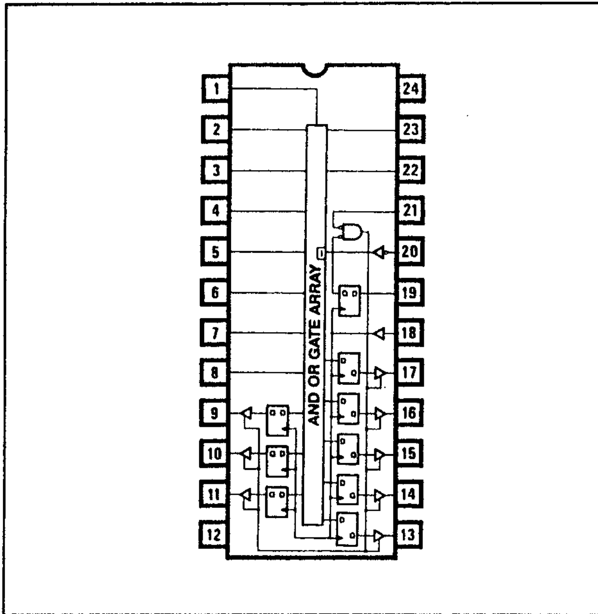
Figuur 8/10.2-25: Logisch symbool van de PLE9R8.



Figuur 8/10.2-26: Blokschema van de PLE9R8.

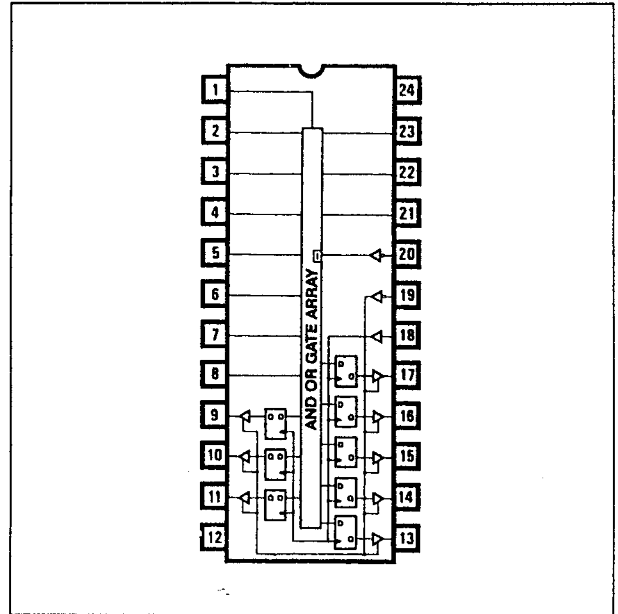
10.2 Type-beschrijving PLE's

PLE10R8

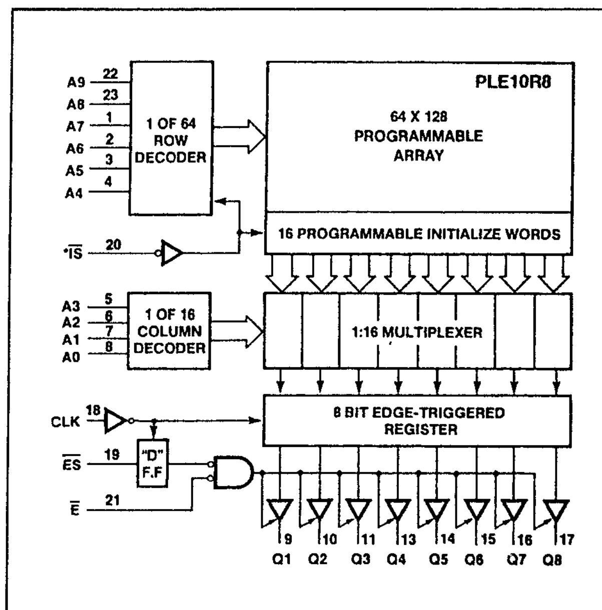


Figuur 8/10.2-27: Logisch symbool van de PLE10R8.

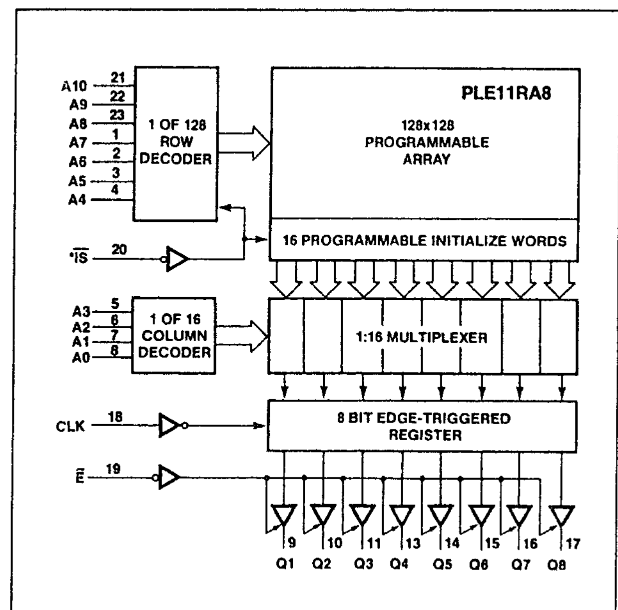
PLE11RA8



Figuur 8/10.2-29: Logisch symbool van de PLE11RA8.



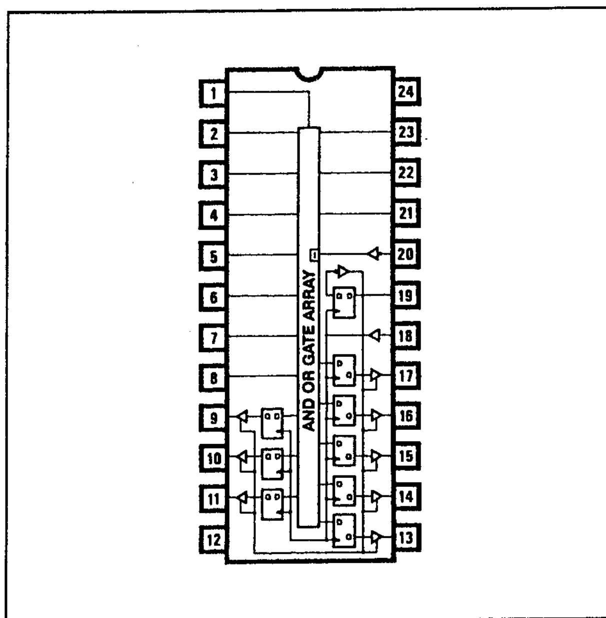
Figuur 8/10.2-28: Blokschema van de PLE10R8.



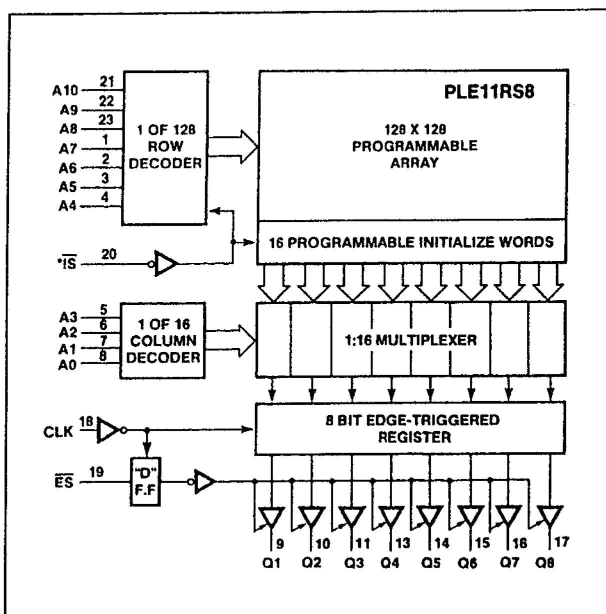
Figuur 8/10.2-30: Blokschema van de PLE11RA8.

10.2 Type-beschrijving PLE's

PLE11RS8



Figuur 8/10.2-31: Logisch symbool van de PLE11RS8.



Figuur 8/10.2-32: Blokschema van de PLE11RS8.

Algemene specificaties

	Operating	Programming
Supply voltage V_{CC}	-0.5 V to 7 V	12 V
Input voltage	-1.5 V to 7 V	7 V
Off-state output voltage	-0.5 V to 5.5 V	12 V
Storage temperature	-65° to +150°C	

Tabel 8/10.2-3: Maximaal toegelaten waarden voor de PLE's.

SYMBOL	PARAMETER	COMMERCIAL			MILITARY			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.75	5	5.25	4.5	5	5.5	V
T_A	Operating free-air temperature	0	25	75	-55	25	125	°C

Tabel 8/10.2-4: Aanbevolen bedrijfscondities.

10.2 Type-beschrijving PLE's

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP*	MAX	UNIT
V_{IL}	Low-level input voltage						0.8	V
V_{IH}	High-level input voltage				2.0			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-0.8	-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V			-0.02	-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = V_{CC}				40	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 16 mA	Com		0.3	.45	V
				Mil		0.3	0.5	
V_{OH}	High-level output voltage	V_{CC} = MIN	Com I_{OH} = -3.2 mA Mil I_{OH} = -2 mA		2.4	2.9		V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V				-40	μA
I_{OZH}			V_O = 2.4 V				40	
I_{OS}	Output short-circuit current*	V_{CC} = 5 V	V_O = 0 V		-20	-50	-90	mA
I_{CC}	Supply current	V_{CC} = MAX All inputs TTL; all outputs open	5P8			90	125	mA
			5P8A			90	125	
			8P4			80	130	
			8P8			90	140	
			9P4			90	130	
			9P8			104	155	
			10P4			95	140	
			11P4			110	150	
			11P8			135	185	
			12P4			130	175	
			12P8			150	190	
			9R8			130	180	
			10R8			130	180	
			11RA8			140	185	
			11RS8			140	185	

* Typical at 5.0 V V_{CC} and 25° C T_A.

Tabel 8/10.2-5: Elektrische kenmerken van de PLE's.

10.2 Type-beschrijving PLE's

DEVICE TYPE	t_{PD} (ns) PROPAGATION DELAY MAX	t_{PZX} AND t_{PXZ} (ns) INPUT TO OUTPUT ENABLE/DISABLE TIME MAX
5P8M	35	30
8P4M	40	30
8P8M	40	30
9P4M	45	30
9P8M	40	30
10P4M	50	30
11P4M	50	30
11P8M	50	30
12P4M	50	30
12P8M	50	35

Tabel 8/10.2-6: Snelheden per (commercieel) type PLE.

SYMBOL	PARAMETER	COMMERCIAL			MILITARY			UNIT
		MIN	TYP*	MAX	MIN	TYP*	MAX	
t_w	Width of clock (High or Low)	20	10		20	10		ns
t_{prw} t_{clrw}	Width of preset or clear (Low) to Output (High or Low)	20	10		20	10		ns
t_{prr} t_{clrr}	Recovery from preset or clear (Low) to clock High	20	11		25	11		ns
t_{su}	Setup time from input to clock	30	22		35	22		ns
$t_s(\overline{ES})$	Setup time from $\overline{ES}$ to clock	10	7		15	7		ns
t_h	Hold time from input to clock	0	-5		0	-5		ns
$t_h(\overline{ES})$	Hold time from $\overline{ES}$ to clock	5	-3		5	-3		ns

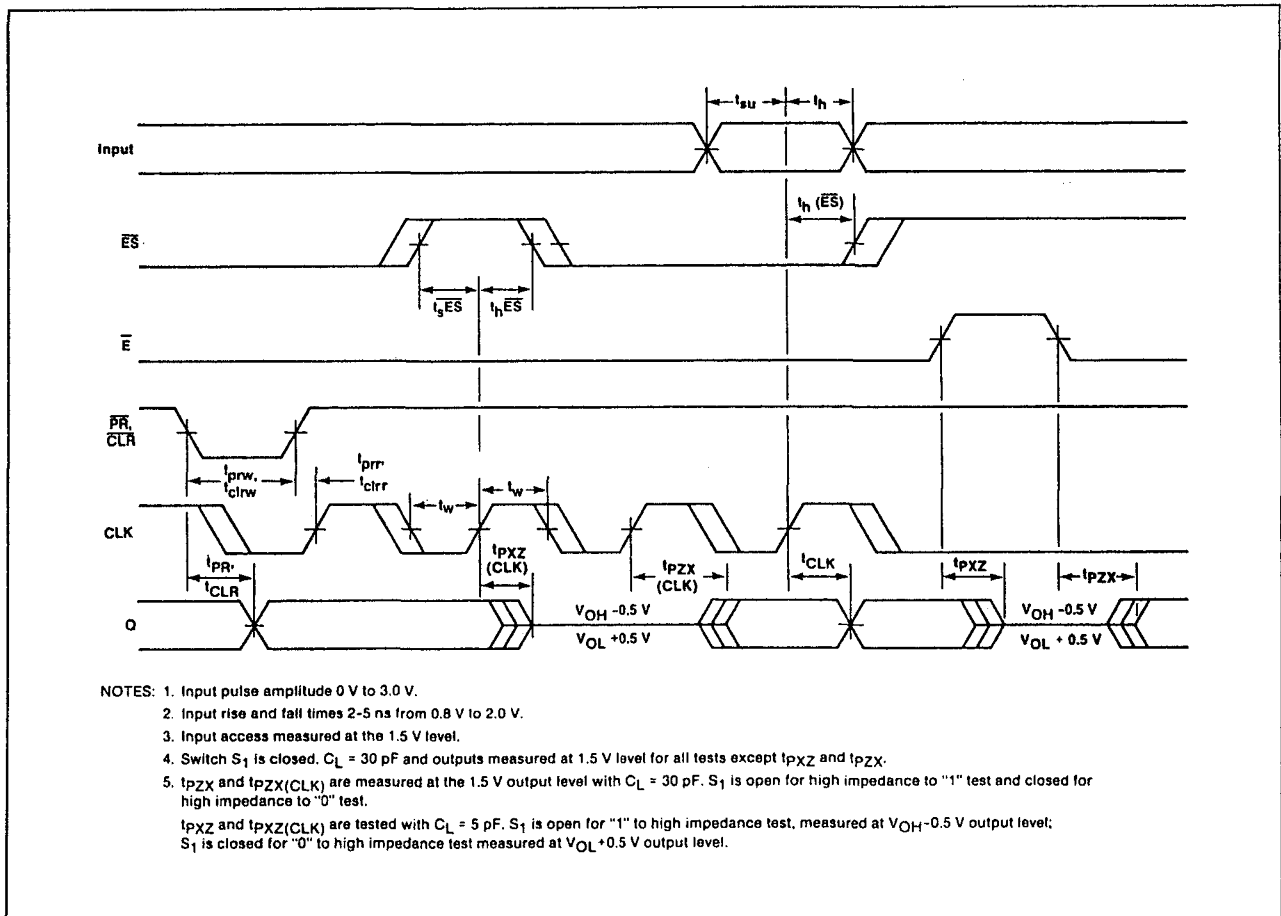
Tabel 8/10.2-7: Bedrijfscondities voor de PLE9R8 (zie figuur 8/10.2-33).

SYMBOL	PARAMETER	COMMERCIAL			MILITARY			UNIT
		MIN	TYP*	MAX	MIN	TYP*	MAX	
t_{CLK}	Clock to output delay		11	15		11	20	ns
t_{PR}	Preset to output delay		15	25		15	25	ns
t_{CLR}	Clear to output delay		18	25		18	35	ns
t_{PZX} (CLK)	Clock to output enable time		14	25		14	30	ns
t_{PXZ} (CLK)	Clock to output disable time		14	25		14	30	ns
t_{PZX}	Input to output enable time		10	20		10	25	ns
t_{PXZ}	Input to output disable time		10	20		10	25	ns

* Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/10.2-8: Schakeltijden van de PLE9R8 (zie ook figuur 8/10.2-33).

10.2 Type-beschrijving PLE's



NOTES:
1. Input pulse amplitude 0 V to 3.0 V.
2. Input rise and fall times 2-5 ns from 0.8 V to 2.0 V.
3. Input access measured at the 1.5 V level.
4. Switch S_1 is closed. C_L = 30 pF and outputs measured at 1.5 V level for all tests except t_{PXZ} and t_{PZX}.
5. t_{PZX} and $t_{PZX(CLK)}$ are measured at the 1.5 V output level with C_L = 30 pF. S_1 is open for high impedance to "1" test and closed for high impedance to "0" test.
   t_{PXZ} and $t_{PXZ(CLK)}$ are tested with C_L = 5 pF. S_1 is open for "1" to high impedance test, measured at V_{OH}-0.5 V output level; S_1 is closed for "0" to high impedance test measured at V_{OL}+0.5 V output level.

Figuur 8/10.2-33: Golfvormen en schakeltijden bij de PLE9R8.

SYMBOL	PARAMETER	COMMERCIAL MIN	COMMERCIAL TYP*	COMMERCIAL MAX	MILITARY MIN	MILITARY TYP*	MILITARY MAX	UNIT
t_w	Width of clock (High or Low)	20	10		20	10		ns
t_{su}	Setup time from input to clock (10R8)	30	25		40	25		ns
t_{su}	Setup time from input to clock (11RA8, 11RS8)	35	28		40	28		ns
t_s ($\overline{ES}$)	Setup time from $\overline{ES}$ to clock	15	7		15	7		ns
t_s ($\overline{IS}$)	Setup time from $\overline{IS}$ to clock	25	20		30	20		ns
t_h	Hold time input to clock	0	-5		0	-5		ns
t_h ($\overline{ES}$)	Hold time ($\overline{ES}$)	5	-3		5	-3		ns
t_h ($\overline{IS}$)	Hold time ($\overline{IS}$)	0	-5		0	-5		ns

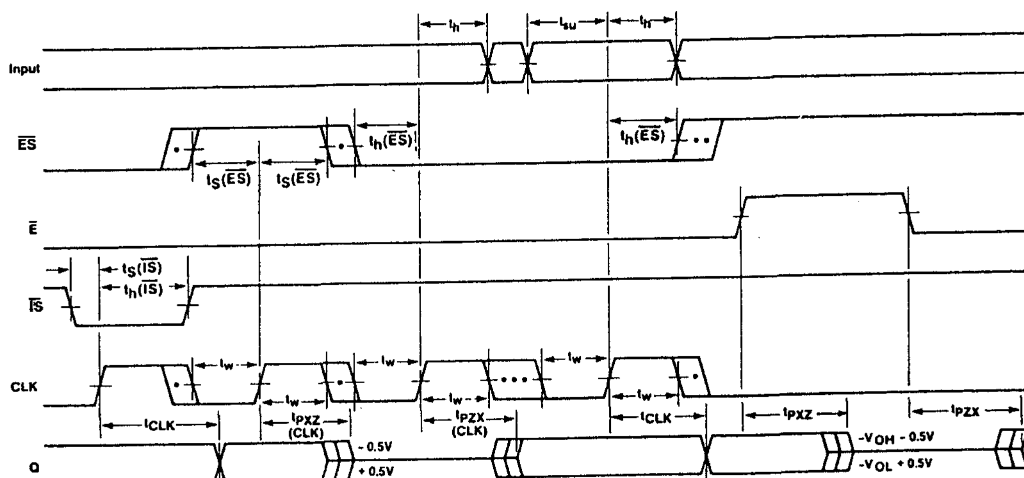
Tabel 8/10.2-9: Bedrijfscondities voor de PLE10R8, PLE11RA8 en PLE11RS8 (figuur 8/10.2-34).

10.2 Type-beschrijving PLE's

SYMBOL	PARAMETER	COMMERCIAL MIN	COMMERCIAL TYP*	COMMERCIAL MAX	MILITARY MIN	MILITARY TYP*	MILITARY MAX	UNIT
t_{CLK}	Clock to output delay		10	15		10	20	ns
t_{PZX} (CLK)	Clock to output enable time		17	25		17	30	ns
t_{PXZ} (CLK)	Clock to output disable time		17	25		17	30	ns
t_{PZX}	Input to output enable time		17	25		17	30	ns
t_{PXZ}	Input to output disable time		17	25		17	30	ns

* Typical at 5.0 V V_{CC} and 25°C T_A.

Tabel 8/10.2-10: Schakeltijden van de PLE10R8, PLE11RA8 en PLE11RS8 (zie figuur 8/10.2-34).



NOTES:
1. Input pulse amplitude 0 V to 3.0 V.
2. Input rise and fall times 2-5 ns from 0.8 V to 2.0 V.
3. Input access measured at the 1.5 V level.
4. Switch S_1 is closed. C_L = 30 pF and outputs measured at 1.5 V level for all tests except t_{PZX} and t_{PXZ}.
5. t_{PZX} and $t_{PZX(CLK)}$ are measured at the 1.5 V output level with C_L = 30 pF. S_1 is open for high impedance to "1" test and closed for high impedance to "0" test.
   t_{PXZ} and $t_{PXZ(CLK)}$ are tested with C_L = 5 pF. S_1 is open for "1" to high impedance test, measured at V_{OH}-0.5 V output level; S_1 is closed for "0" to high impedance test measured at V_{OL}+0.5 V output level.

Figuur 8/10.2-34: Golfvormen en schakeltijden bij de PLE10R8, PLE11RA8 en PLE11RS8.

Programmeren van de PLE's

Inleiding

Alle leden van de PLE-familie worden gefabriceerd met alle uitgangen op alle lokaties LAAG. Om bij een bepaald woord een HOOG te programmeren, moet een titanium-wolfraam zekering worden doorgebrand. In tabel 8/10.2-11 zijn de programmeerparameters vermeld. De fabrikant waarschuwt deze niet uit te proberen omdat anders de PLE geprogrammeerd raakt (lucifers worden ook niet getest).

10.2 Type-beschrijving PLE's

SYMBOL	PARAMETER	MIN	RECOMMENDED VALUE	MAX	UNIT
V_{CCP}	Required V_{CC} for programming	11.5	11.75	12.0	V
V_{OP}	Required output voltage for programming	10.5	11.0	11.5	V
t_R	Rise time of V_{CC} or V_{OUT}	1.0	5.0	10.0	V/μS
I_{CCP}	Current limit of V_{CCP} supply	800	1200		mA
I_{OP}	Current limit of V_{OP} supply	15	20		mA
t_{PW}	Programming pulse width (enabled)	9	10	11	μS
V_{CC}	Low V_{CC} for verification	4.2	4.3	4.4	V
V_{CC}	High V_{CC} for verification	5.8	6.0	6.2	V
MDC	Maximum duty cycle of V_{CCP}		25	25	%
t_D	Delay time between programming steps	100	120		ns
V_{IL}	Input low level	0	0	0.5	V
V_{IH}	Input high level	2.4	3.0	5.5	V

Tabel 8/10.2-11: Programmeer-parameters

Programmeren

Voor het programmeren van een bepaald bit worden gewone TTL-niveaus op alle ingangen gezet. Het programmeren gebeurt als:
- V_{CC} naar een hoger niveau wordt opgetrokken.
- De te programmeren uitgang op een hoger niveau komt.
- De schakeling "enabled" is.

Om te voorkomen dat er fouten optreden bij het programmeren van de PLE, wordt slechts één uitgang tegelijk geprogrammeerd. Uitgangen die niet worden geprogrammeerd moeten via 5 kΩ weerstanden met V_{CC} worden verbonden.
Tenzij anders vermeld moet V_{IL} op de ingangen staan.

De programmeervolgorde

De volgorde van handelingen bij het programmeren is kritisch en moet als volgt plaatsvinden:
- Kies het betreffende adres als de chip nog "disabled" is.
- Verhoog V_{CC} tot de aangegeven programmeerspanning.
- Verhoog de spanning op de gekozen uitgang tot de programmeerspanning.
- Geef de chip vrij (enable) gedurende de tijd van de programmeerpulsbreedte.
- Breng V_{OUT} en V_{CC} omlaag naar de normale waarden.

Programmeer-timing

Om er zeker van te zijn dat de volgorde intact blijft, moet een vertraging van tenminste 100 ns tussen elke stap worden opgenomen. De enable-puls mag niet eerder optreden dan 100 ns nadat de uitgangsspanning het programmeerniveau heeft bereikt. De stijgtijd van de spanning op V_{CC} en de uitgang moet tussen 1 en 10 μs liggen.

Verificatie en extra pulsen

Na elke programmeerpuls moet het geprogrammeerde bit worden gecontroleerd bij zowel hoge als lage V_{CC}. De belasting van de uitgang is niet kritisch, maar moet binnen de specificaties blijven.
Wanneer het bit nog niet goed is geprogrammeerd, mogen maximaal 10 extra programmeerpulsen worden gegeven totdat de verificatie aangeeft dat alles in orde is. Na de verificatie dienen nog 5 extra programmeerpulsen te worden gegeven.

10.2 Type-beschrijving PLE's

8/10.3

Type-beschrijving PAL20 en PAL24-series

Inleiding

Eenmalig te programmeren

Bij de PAL-families wordt gebruik gemaakt van een geavanceerd Schottky TTL proces en de bipolaire PROM fusible link technologie om te voorzien in logica die door gebruiker zelf (éénmaal) kan worden geprogrammeerd. Deze PAL's kunnen conventionele SSI/MSI poorten en flip-flop's vervangen. Er zijn vier verschillende speed/power families beschikbaar (standaard, high-speed, 1/2 power en 1/4 power, zie tabel 8/10.3-1).
De PAL overdrachtsfunctie is de gebruikelijke "som-van-producten". Net als de PROM heeft de PAL één enkel array van doorbrandbare zekeringen. Bij de PAL is dat echter een programmeerbaar AND-array die een vast OR-array aanstuurt.
De HAL's zijn door de fabrikant door middel van het laatste metaalmasker op klantenspecificatie geprogrammeerd.
Ongebruikte ingangen dienen direct aan V_{CC} of GND te worden gelegd. Wanneer alle zekeringen zijn doorgebrand, wordt voor de producttermen de logische HOOG-toestand verondersteld. Producttermen die met zowel de "true" als het complement van een willekeurige ingang verbonden zijn veronderstellen de logisch-LAGE toestand. Registers bestaan uit D-type flip-flop's die op de LAAG-naar-HOOG overgang van de clock worden geladen.
De logische schema's van de PAL's worden getoond met alle zekeringen doorgebrand, waardoor de ontwerper ze kan gebruiken om de codering erop te tekenen.

De gehele PAL-familie kan met goedkope PROM-programmers worden geprogrammeerd als die over de juiste "personality"- en socket-adapter kaarten beschikt. Als de PAL is geprogrammeerd en geverifieerd, kunnen er twee extra zekeringen worden doorgebrand, waarna verificatie niet meer mogelijk is.
Hierdoor wordt de schakeling zeer moeilijk kopieerbaar.

Algemene kenmerken

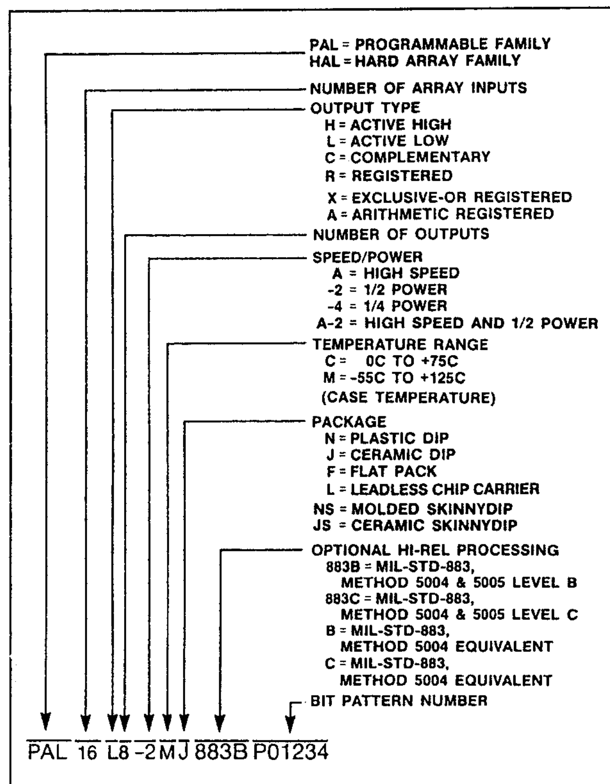
De algemene kenmerken van deze families kunnen als volgt worden samengevat.
- variabele verhouding van in-/uitgangspennen
- éénmaal programmeerbaar (O.T.P.)
- programmeerbare 3-state uitgangen
- registers met feedback
- rekenkundige mogelijkheden
- EXOR-poorten
- PAL's kunnen circa 5 SSI/MSI chip's vervangen
- ruimtebesparing door "Skinn-DIP" behuizingen
- behuizingen: 20, 24 en 28-pens plastic DIL, ceramische DIL, flatpack, LCC en PLCC
- kleinere voorraden IC's mogelijk
- sneller en eenvoudiger prototypering en board-layout
- PALASM compiler levert auto-routing en testvectoren
- security fuse maakt kopiëren onmogelijk
- fabrikanten: onder andere Monolithic Memories/AMD, Cypress, NatSemi, Texas Instruments

10.3 Type-beschrijving PAL's

GENERIC LOGIC	PINS	PACKAGE	DESCRIPTION	PART NUMBER			
				STANDARD	HIGH SPEED	1/2 POWER	1/4 POWER
10H8	20	N,J,F,L,NL	Octal 10 Input And-Or Gate Array	PAL10H8 HAL10H8		PAL10H8-2 HAL10H8-2	
12H6	20	N,J,F,L,NL	Hex 12 Input And-Or Gate Array	PAL12H6 HAL12H6		PAL12H6-2 HAL12H6-2	
14H4	20	N,J,F,L,NL	Quad 14 Input And-Or Gate Array	PAL14H4 HAL14H4		PAL14H4-2 HAL14H4-2	
16H2	20	N,J,F,L,NL	Dual 16 Input And-Or Gate Array	PAL16H2 HAL16H2		PAL16H2-2 HAL16H2-2	
16C1	20	N,J,F,L,NL	16 Input And-Or/Nor Gate Array	PAL16C1 HAL16C1		PAL16C1-2 HAL16C1-2	
10L8	20	N,J,F,L,NL	Octal 10 Input And-Or Invert Gate Array	PAL10L8 HAL10L8		PAL10L8-2 HAL10L8-2	
12L6	20	N,J,F,L,NL	Hex 12 Input And-Or-Invert Gate Array	PAL12L6 HAL12L6		PAL12L6-2 HAL12L6-2	
14L4	20	N,J,F,L,NL	Quad 14 Input And-Or-Invert Gate Array	PAL14L4 HAL14L4		PAL14L4-2 HAL14L4-2	
16L2	20	N,J,F,L,NL	Dual 16 Input And-Or-Invert Gate Array	PAL16L2 HAL16L2		PAL16L2-2 HAL16L2-2	
16L8	20	N,J,F,L,NL	Octal 16 Input And-Or-Invert Gate Array	PAL16L8 HAL16L8	PAL16L8A HAL16L8A	PAL16L8A-2 HAL16L8A-2	PAL16L8A-4 HAL16L8A-4
16R8	20	N,J,F,L,NL	Octal 16 Input Registered And-Or Invert Gate Array	PAL16R8 HAL16R8	PAL16R6A HAL16R8A	PAL16R8A-2 HAL16R8A-2	PAL16R8A-4 HAL16R8A-4
16R6	20	N,J,F,L,NL	Hex 16 Input Registered And-Or Invert Gate Array	PAL16R6 HAL16R6	PAL16R6A HAL16R6A	PAL16R6A-2 HAL16R6A-2	PAL16R6A-4 HAL16R6A-4
16R4	20	N,J,F,L,NL	Quad 16 Input Registered And-Or Invert Gate Array	PAL16R4 HAL16R4	PAL16R4A HAL16R4A	PAL16R4A-2 HAL16R4A-2	PAL16R4A-4 HAL16R4A-4
16X4	20	N,J,F,L,NL	Quad 16 Input Registered And-Or-Xor Invert Gate Array	PAL16X4 HAL16X4			
16A4	20	N,J,F,L,NL	Quad 16 Input Registered And-Carry-Or-Xor Invert Gate Array	PAL16A4 HAL16A4			
12L10	24 (28)	NS,JS,F,(L),(NL)	Deca 12 Input And-Or-Invert Gate Array	PAL12L10 HAL12L10			
14L8	24 (28)	NS,JS,F,(L),(NL)	Octal 14 Input And-Or-Invert Gate Array	PAL14L8 HAL14L8			
16L6	24 (28)	NS,JS,F,(L),(NL)	Hex 16 Input And-Or-Invert Gate Array	PAL16L6 HAL16L6			
18L4	24 (28)	NS,JS,F,(L),(NL)	Quad 18 Input And-Or-Invert Gate Array	PAL18L4 HAL18L4			
20L2	24 (28)	NS,JS,F,(L),(NL)	Dual 20 Input And-Or-Invert Gate Array	PAL20L2 HAL20L2			
20C1	24 (28)	NS,JS,F,(L),(NL)	20 Input And-Or/Nor Gate Array	PAL20C1 HAL20C1			
20L10	24 (28)	NS,JS,F,(L),(NL)	Deca 20 Input And-Or-Invert Gate Array	PAL20L10 HAL20L10			
20X10	24 (28)	NS,JS,F,(L),(NL)	Deca 20 Input Registered And-Or-Xor Invert Gate Array	PAL20X10 HAL20X10			
20X8	24 (28)	NS,JS,F,(L),(NL)	Octal 20 Input Registered And-Or-Xor Invert Gate Array	PAL20X8 HAL20X8			
20X4	24 (28)	NS,JS,F,(L),(NL)	Quad 20 Input Registered And-Or-Xor Invert Gate Array	PAL20X4 HAL20X4			
20L8	24 (28)	NS,JS,F,(L),(NL)	Octal 20 Input And-Or-Invert Gate Array		PAL20L8A HAL20L8A		
20R8	24 (28)	NS,JS,F,(L),(NL)	Octal 20 Input Registered And-Or Invert Gate Array		PAL20R8A HAL20R8A		
20R6	24 (28)	NS,JS,F,(L),(NL)	Hex 20 Input Registered And-Or Invert Gate Array		PAL20R6A HAL20R6A		
20R4	24 (28)	NS,JS,F,(L),(NL)	Quad 20 Input Registered And-Or Invert Gate Array		PAL20R4A HAL20R4A		
*16P8	20	N,J,L,NL	Octal 16 Input And-Or Array w/Programmable Polarity		PAL16P8A HAL16P8A		
*16RP8	20	N,J,L,NL	Octal 16 Input Registered And-Or Array w/Programmable Polarity		PAL16RP8A HAL16RP8A		
*16RP6	20	N,J,L,NL	Hex 16 Input Registered And-Or Array w/Programmable Polarity		PAL16RP6A HAL16RP6A		
*16RP4	20	N,J,L,NL	Quad 16 Input Registered And-Or Array w/Programmable Polarity		PAL16RP4A HAL16RP4A		
20S10	24 (28)	N,J,W,(L),(NL)	Deca 20 Input And-Or Array w/Product Term Sharing		PAL20S10 HAL20S10		
20RS10	24 (28)	N,J,W,(L),(NL)	Deca 20 Input Registered And-Or Array w/Product Term Sharing		PAL20RS10 HAL20RS10		
20RS8	24 (28)	N,J,W,(L),(NL)	Octal 20 Input Registered And-Or Array w/Product Term Sharing		PAL20RS8 HAL20RS8		
20RS4	24 (28)	N,J,W,(L),(NL)	Quad 20 Input Registered And-Or Array w/Product Term Sharing		PAL20RS4 HAL20RS4		
20RA10	24 (28)	N,J,W,(L),(NL)	Deca 20 Input Registered Asynchronous And-Or Array		PAL20RA10 HAL20RA10		
32R16	40 (44)	N,J,(L),(NL)	16 Output, 32 Input Registered And-Or Gate Array		PAL32R16 HAL32R16		
64R32	84 (88)	L,(P)	32 Output, 64 Input Registered And-Or Gate Array		PAL64R32 HAL64R32		

Tabel 8/10.3-1: Overzicht van leverbare PAL's en de eigenschappen ervan.

10.3 Type-beschrijving PAL's



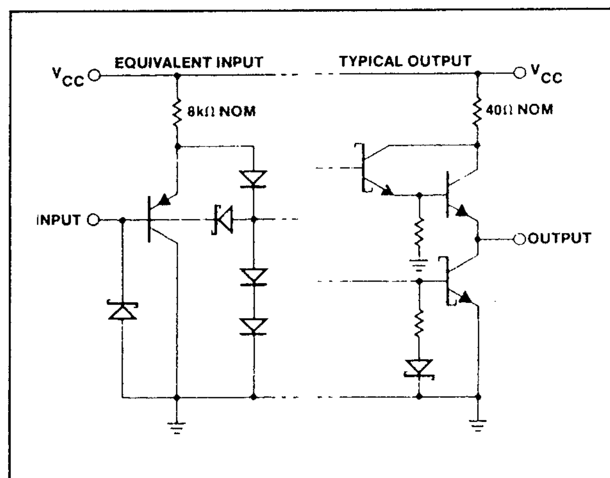
Figuur 8/10.3-1: Opbouw van het bestelnummer van PAL's.

	Operating	Programming
Supply Voltage, V_{CC}	-0.5V to 7.0V	-0.5V to 12.0V
Input Voltage	-1.5V to 5.5V	-1.0 to 22V
Off-state output Voltage	5.5V	12.0V
Storage temperature		-65° to +150°C

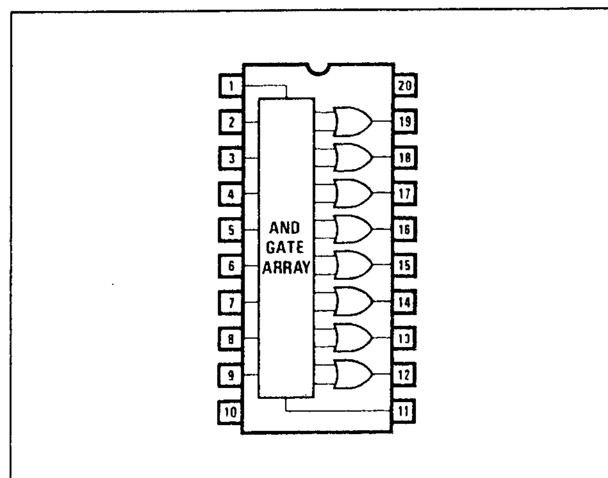
Tabel 8/10.3-2: Maximaal toegelaten waarden (gelden voor alle typen).

PAL10H8, PAL12H6, PAL14H4, PAL16H2, PAL16C1, PAL10L8, PAL12L6, PAL14L4, PAL16L2

De PAL10H8, PAL12H6, PAL14H4 en PAL16H2 zijn 20-pens PAL's met actief-HOGE uitgangen. De PAL16C1 heeft actieve complementaire uitgangen en de PAL10L8, PAL12L6, PAL14L4 en PAL16L2 hebben actief-LAGE uitgangen. Ze zijn leverbaar in 20-pens plastic DIL, ceramische DIL, LCC, PLCC en flatpack-behuizingen. Van deze PAL's volgen de gegevens hieronder.

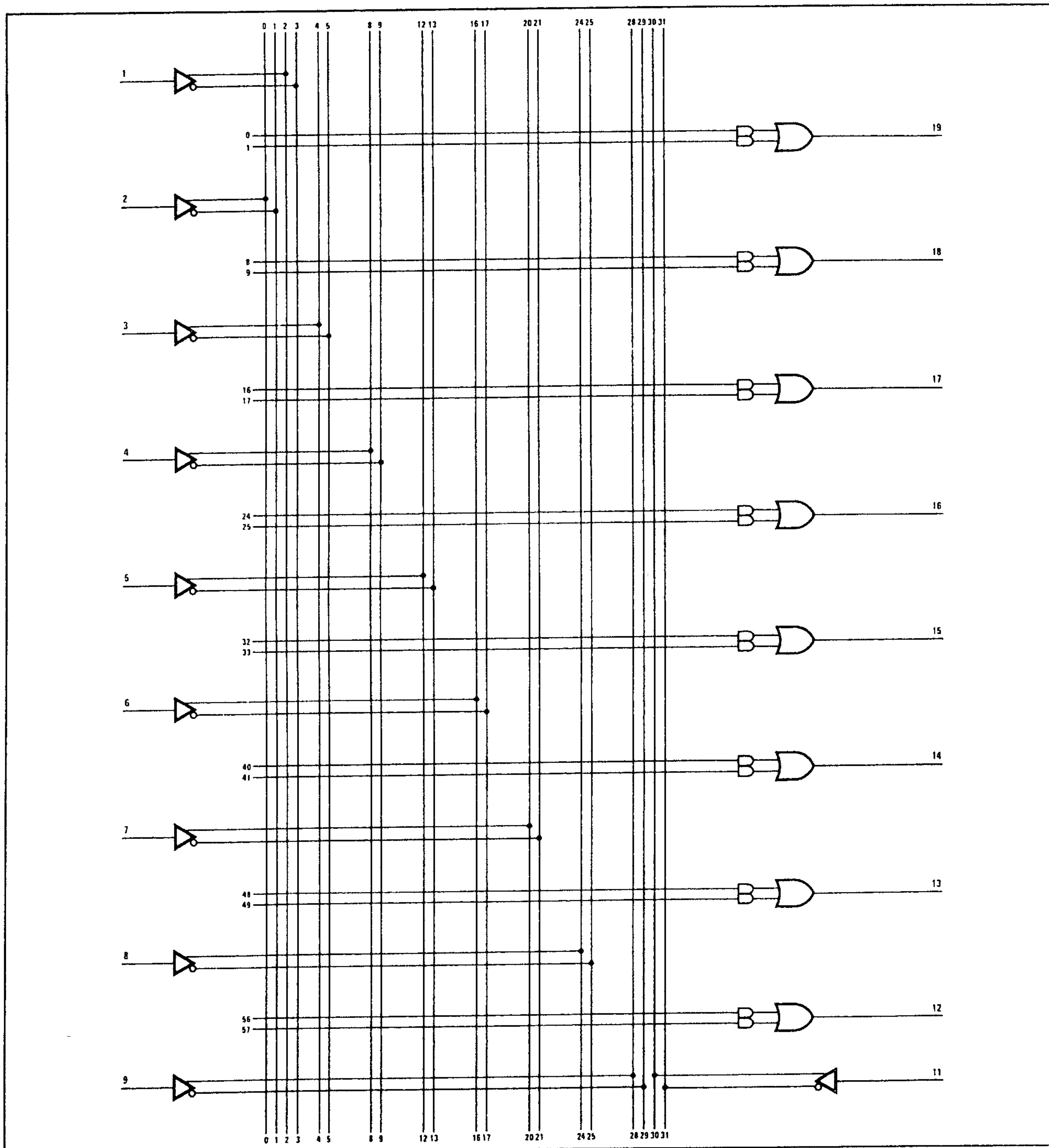


Figuur 8/10.3-2: Opbouw van in- en uitgangen (alle typen).



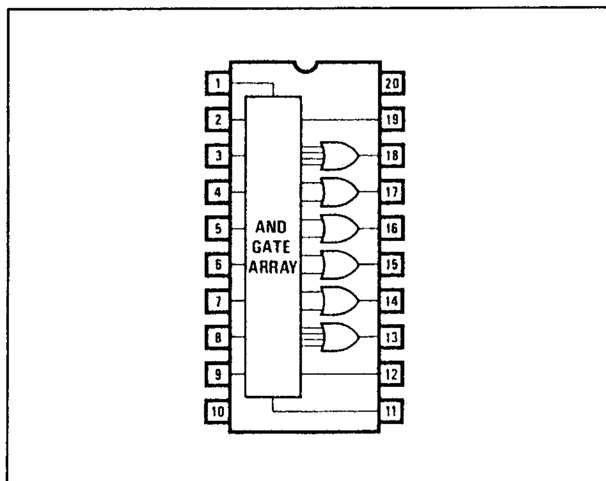
Figuur 8/10.3-3: Logisch symbool van de PAL10H8: 10 ingangen, 8 actief-HOGE uitgangen. De hier getoonde aansluitingen gelden voor de DIL-behuizing. Bij de andere soorten behuizingen is de nummering identiek.

10.3 Type-beschrijving PAL's

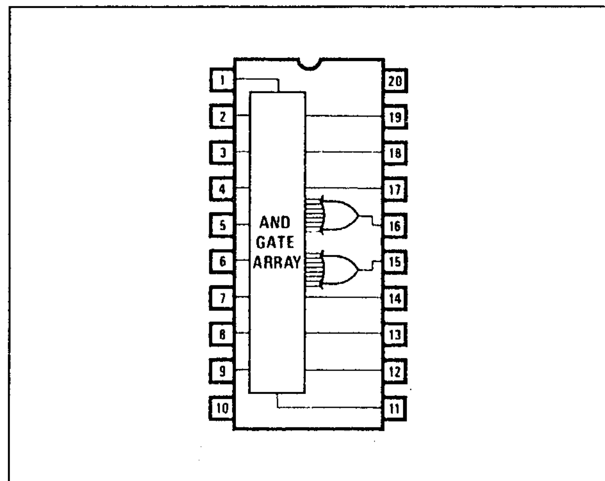


Figuur 8/10.3-4: Functioneel schema van de PAL10H8 (getekend met alle zekeringen doorgebrand, zodat de programmering hierop kan worden genoteerd).

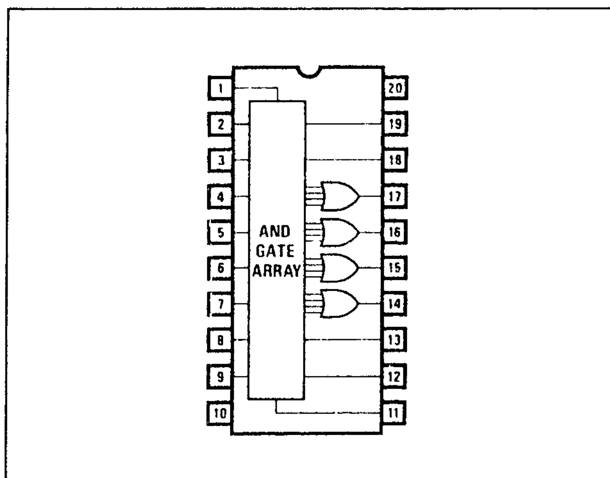
10.3 Type-beschrijving PAL's



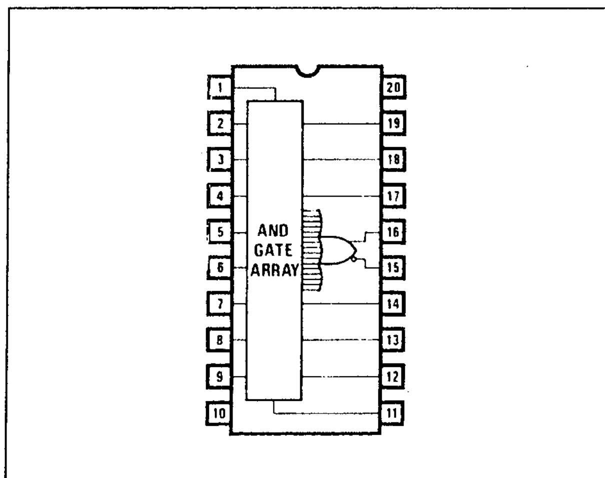
Figuur 8/10.3-5: Logisch symbool en aansluitingen van de PAL12H6: 12 ingangen, 6 actief-HOGE uitgangen.



Figuur 8/10.3-6: Logisch symbool en aansluitingen van de PAL16H2: 16 ingangen, 2 actief-HOGE uitgangen.

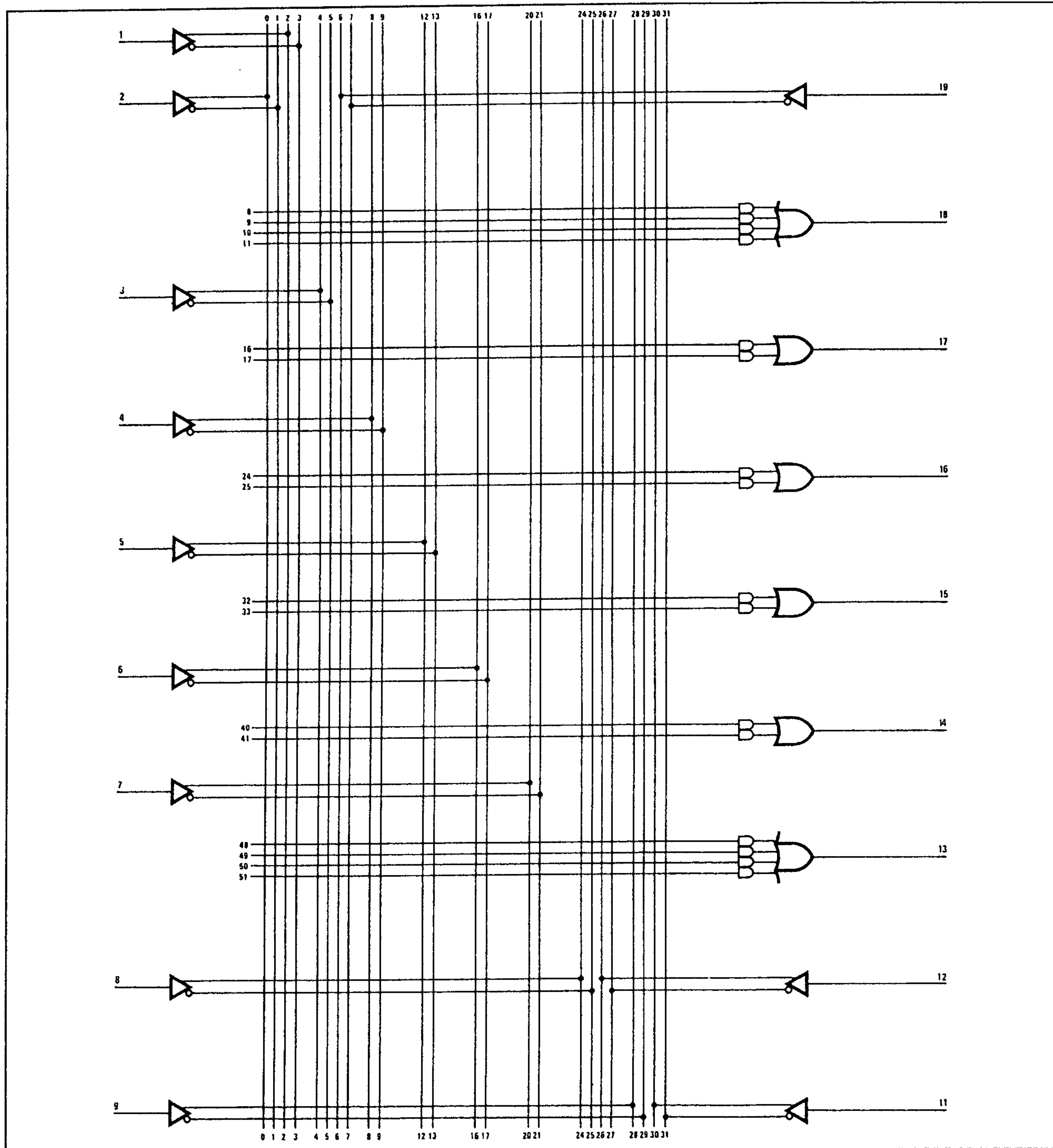


Figuur 8/10.3-7: Logisch symbool en aansluitingen van de PAL10H4: 10 ingangen, 4 actief-HOGE uitgangen.



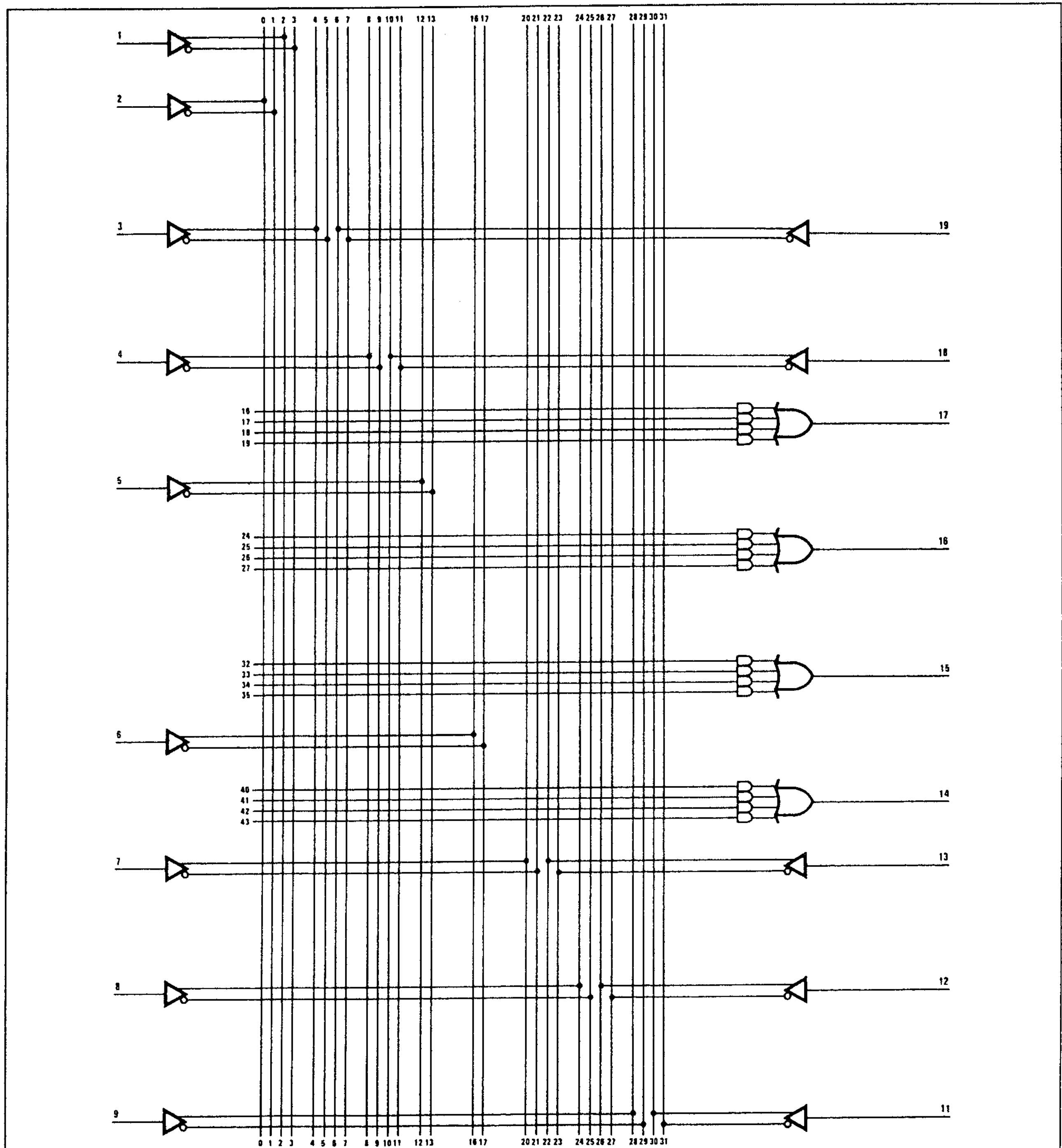
Figuur 8/10.3-8: Logisch symbool en aansluitingen van de PAL16C1: 16 ingangen, 2 actief-HOGE/LAGE complementaire uitgangen.

10.3 Type-beschrijving PAL's



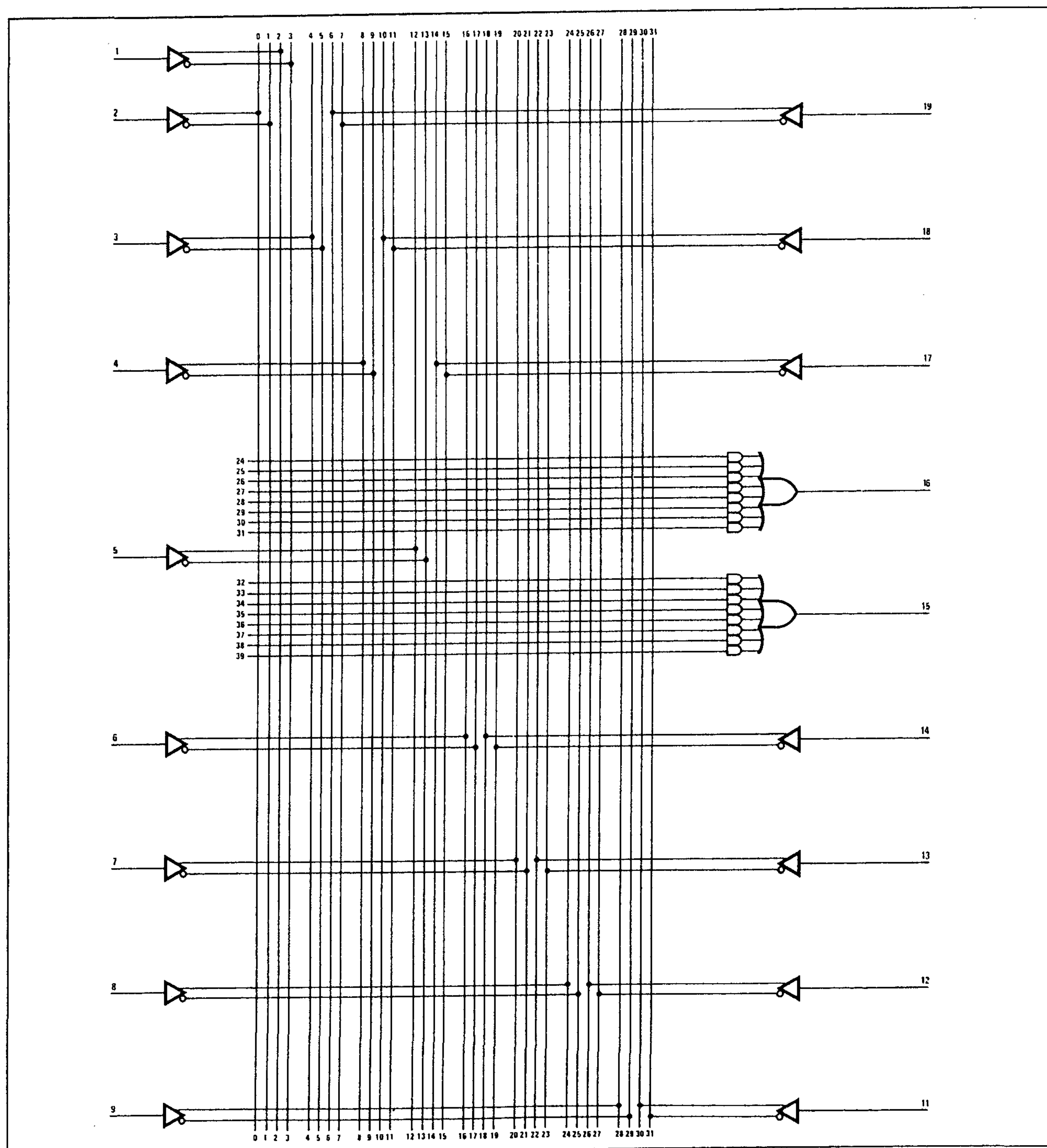
Figuur 8/10.3-9: Functioneel schema van de PAL12H6, getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



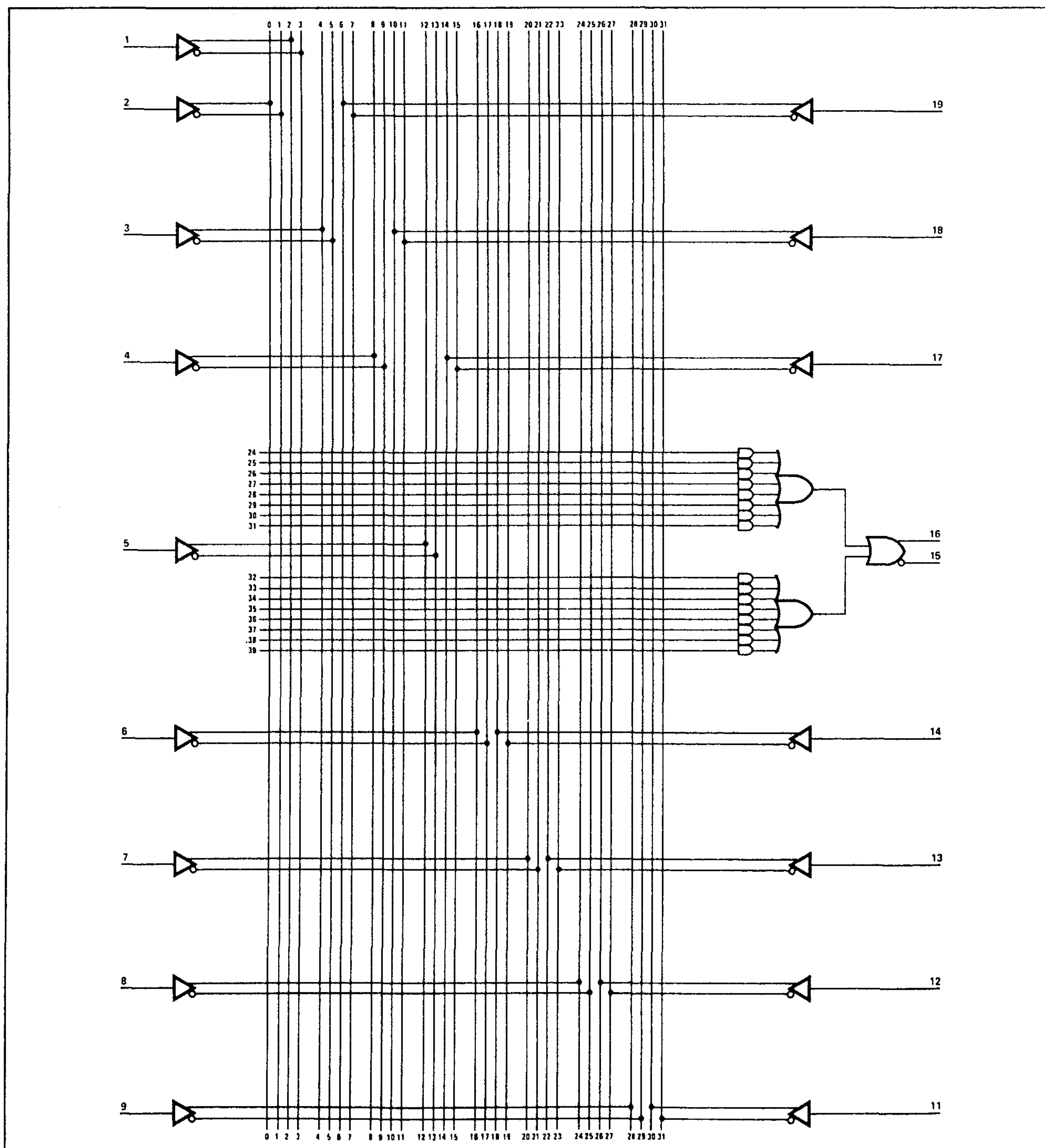
Figuur 8/10.3-10: Functioneel schema van de PAL10H4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



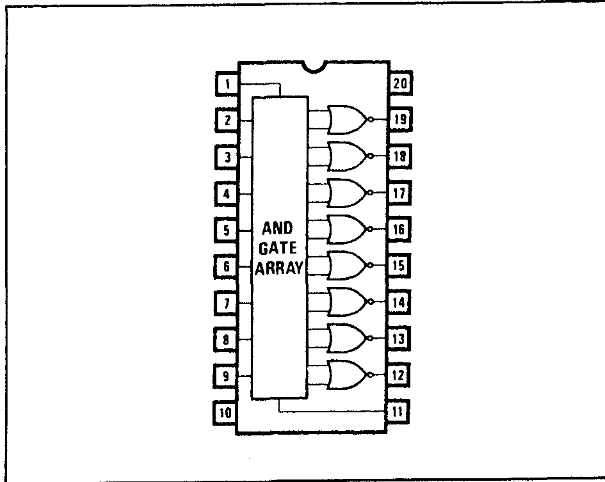
Figuur 8/10.3-11: Functioneel schema van de PAL16H2 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

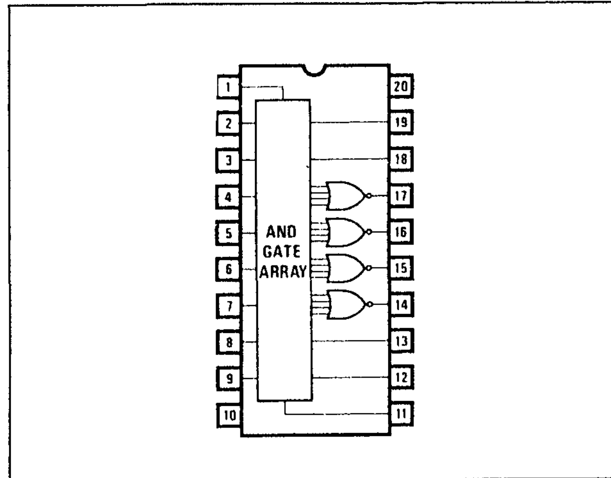


Figuur 8/10.3-12: Functioneel schema van de PAL16C1 getekend zonder zekeringen.

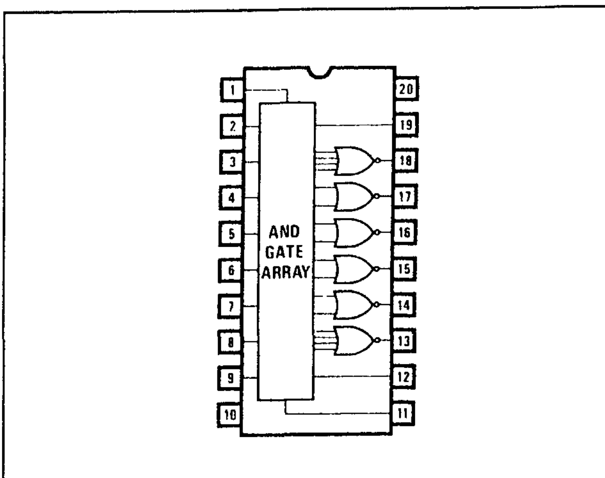
10.3 Type-beschrijving PAL's



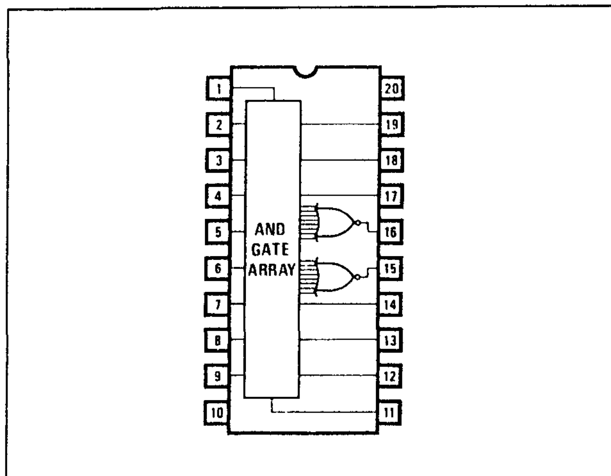
Figuur 8/10.3-13: Logisch symbool en aansluitingen van de PAL10L8: 10 ingangen, 8 actief-LAGE uitgangen.



Figuur 8/10.3-14: Logisch symbool en aansluitingen van de PAL14L4: 14 ingangen, 4 actief-LAGE uitgangen.

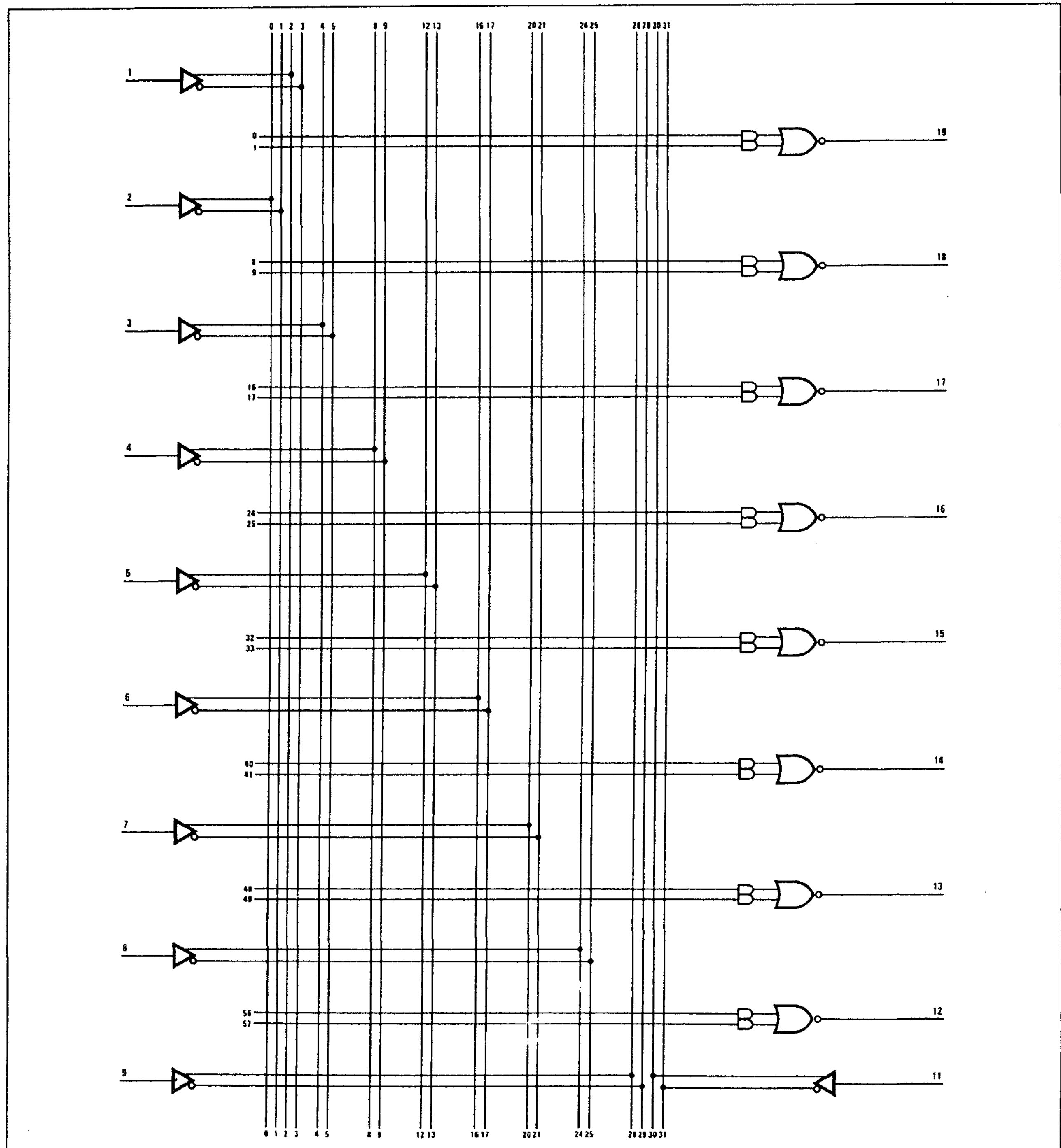


Figuur 8/10.3-15: Logisch symbool en aansluitingen van de PAL12L6: 12 ingangen, 6 actief-LAGE uitgangen.



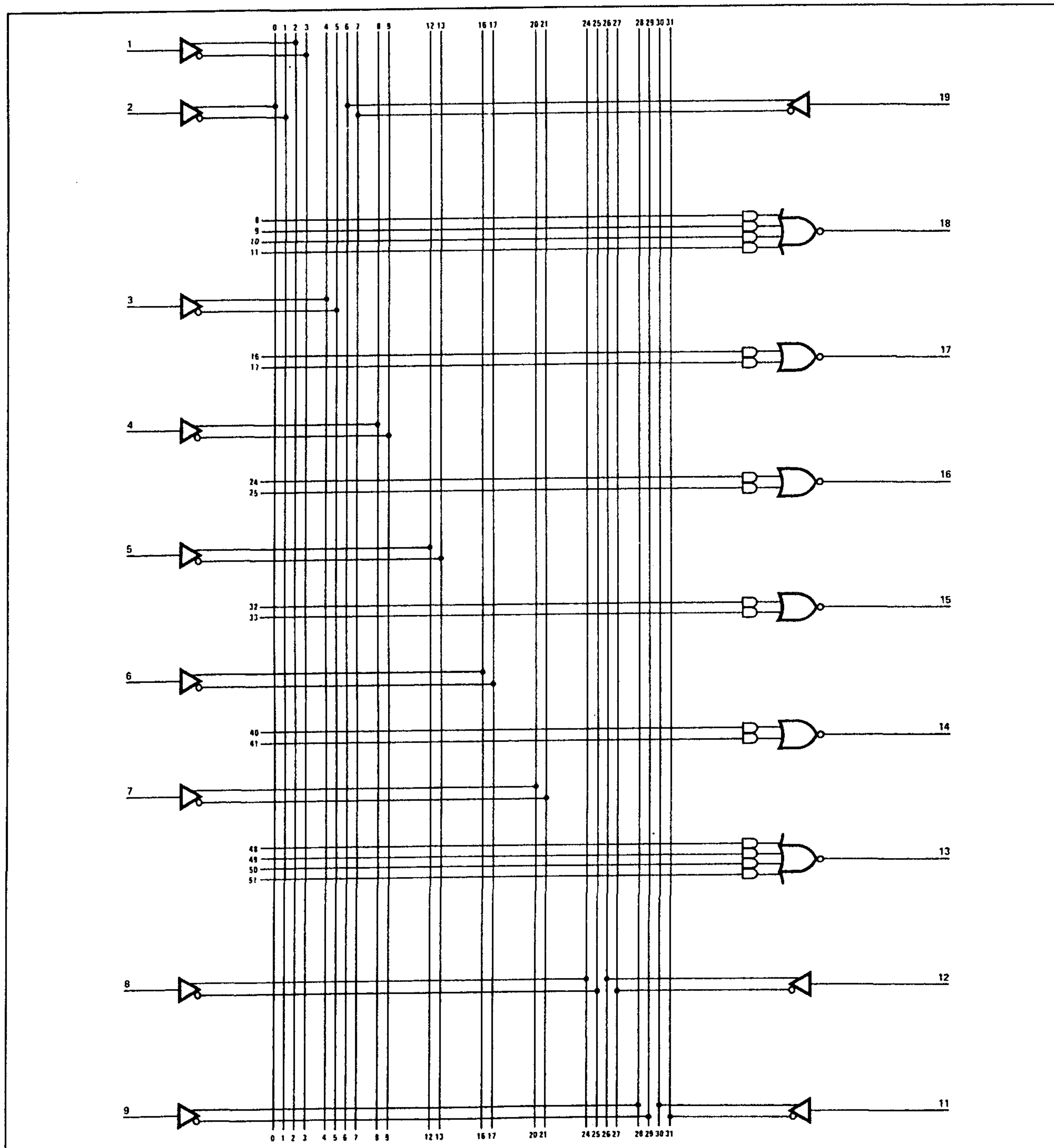
Figuur 8/10.3-16: Logisch symbool en aansluitingen van de PAL16L2: 16 ingangen, 2 actief-LAGE uitgangen.

10.3 Type-beschrijving PAL's



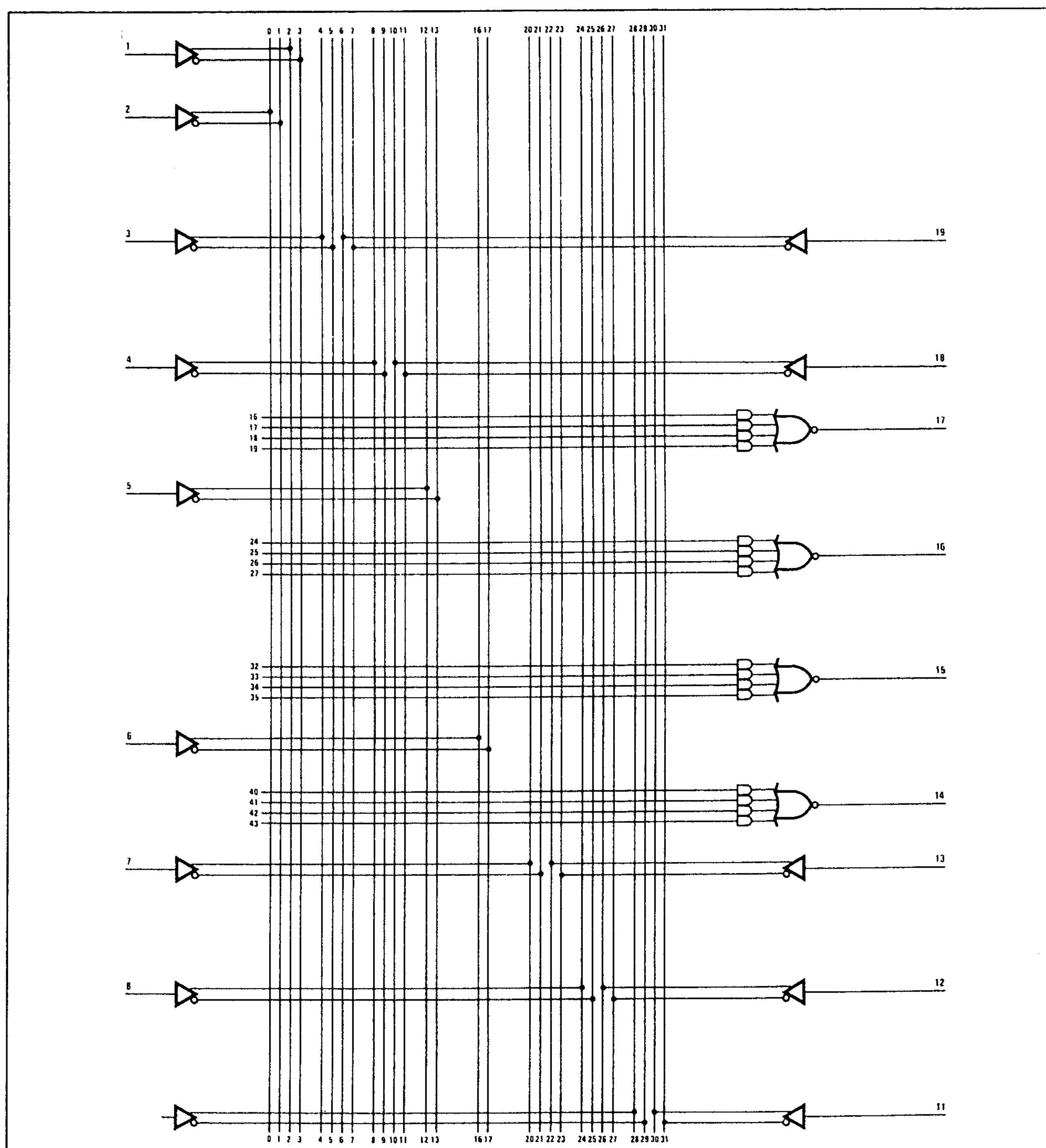
Figuur 8/10.3-17: Functioneel schema van de PAL10L8 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



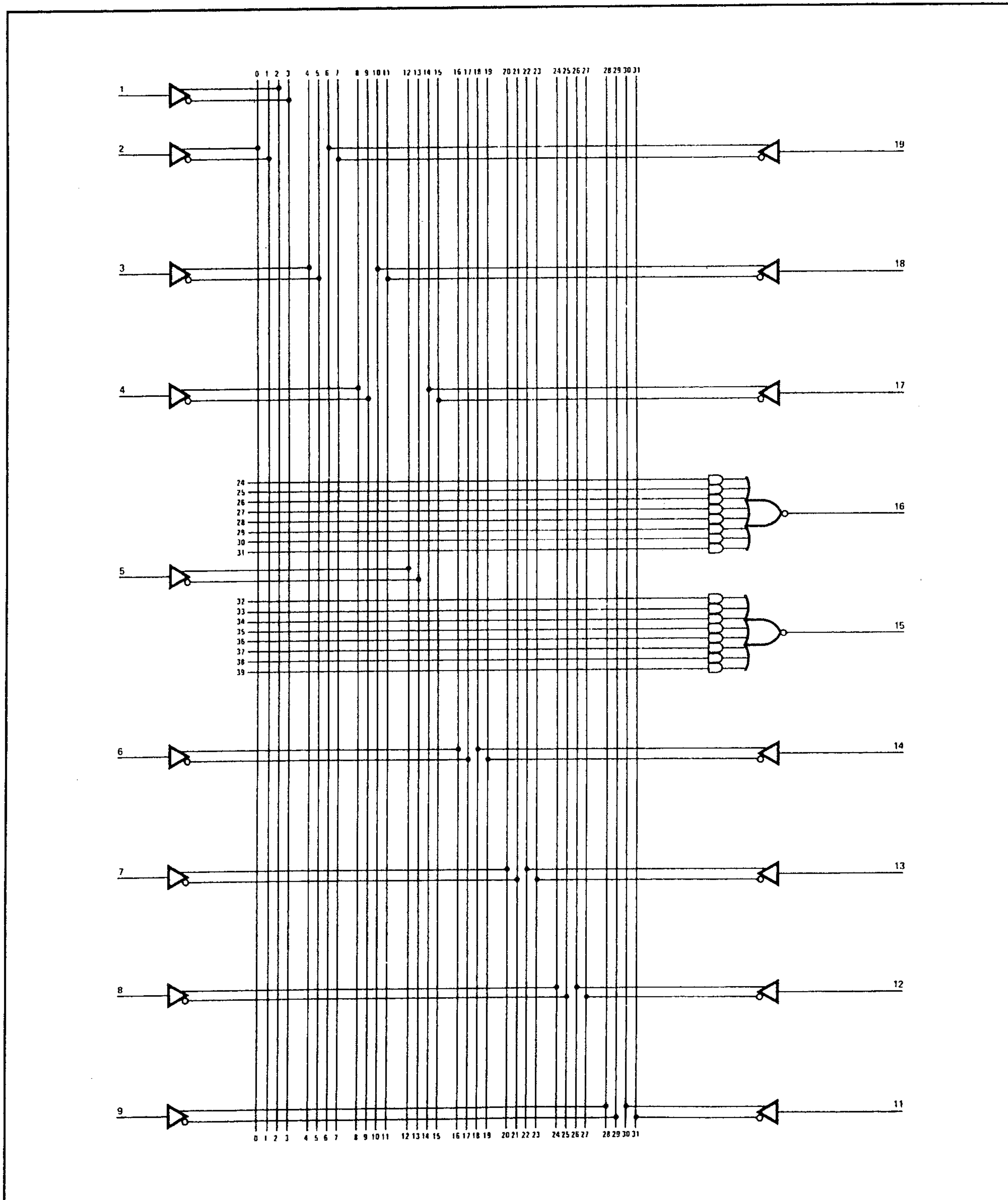
Figuur 8/10.3-18: Functioneel schema van de PAL12L6 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-19: Functioneel schema van de PAL14L4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-20: Functioneel schema van de PAL16L2 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55			0		75	°C
T_C	Operating case temperature			125				°C

Tabel 8/10.3-3: Aanbevolen bedrijfscondities van de PAL's 10H8, 12H6, 14H4, 16H2, 16C1, 10L8, 12L6, 14L4 en 16L2.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = -18mA		-0.8	-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX		V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX		V_I = 2.4V			25	μA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 8mA		0.3	0.5	V
			COM	I_{OL} = 8mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2mA	2.4	2.8		V
			COM	I_{OH} = -3.2mA				
I_{OS}	Output short-circuit current**	V_{CC} = 5V		V_O = 0V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				55	90	mA

Tabel 8/10.3-4: Elektrische kenmerken van de 10H8, 12H6, 14H4, 16H2, 16C1, 10L8, 12L6, 14L4 en 16L2.

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feed-back to output	Except 16C1	R1 = 560Ω		25	45		25	35	ns
		16C1	R2 = 1.1kΩ		25	45		25	40	

Tabel 8/10.3-5: Schakeltijden van de PAL's 10H8, 12H6, 14H4, 16H2, 16C1, 10L8, 12L6, 14L4 en 16L2.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55		125	0		75	°C

Tabel 8/10.3-6: Aanbevolen bedrijfscondities van de "half-power" typen PAL10H8-2, PAL12H6-2, PAL14H4-2, PAL16H2-2, PAL16C1-2, PAL10L8-2, PAL12L6-2, PAL14L4-2 en PAL16L2-2.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	TEST CONDITIONS				MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage							0.8	V
V_{IH}*	High-level input voltage					2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN			I_I = −18mA		−0.8	−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX			V_I = 0.4V		−0.02	−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX			V_I = 2.4V			25	μA
I_I	Maximum input current	V_{CC} = MAX			V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 4mA			0.3	0.5	V
			COM	I_{OL} = 4mA					
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = −1mA		2.4	2.8		V
			COM	I_{OH} = −1mA					
I_{OS}	Output short-circuit current**	V_{CC} = 5V			V_O = 0V	−30	−70	−130	mA
I_{CC}	Supply current	V_{CC} = MAX					30	45	mA

Tabel 8/10.3-7: Elektrische kenmerken van de half-power PAL's 10H8-2, 12H6-2, 14H4-2, 16H2-2, 16C1-2, 10L8-2, 12L6-2, 14L4-2 en 16L2-2.

SYMBOL	PARAMETER	TEST	MILITARY			COMMERCIAL			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
t_{PD}	Input or feedback to output	R1 = 1.12kΩ R2 = 2.2kΩ		45	80		45	60	ns

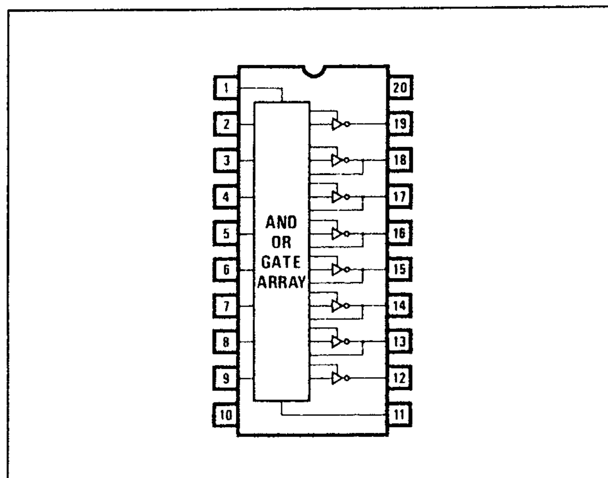
Tabel 8/10.3-8: Schakeltijden van de "half-power" PAL-typen 10H8-2, 12H6-2, 14H4-2, 16H2-2, 16C1-2, 10L8-2, 12L6-2, 14L4-2 en 16L2-2.

PAL16L8, PAL16R8, PAL16R6, PAL16R4, PAL16X4, PAL16A4

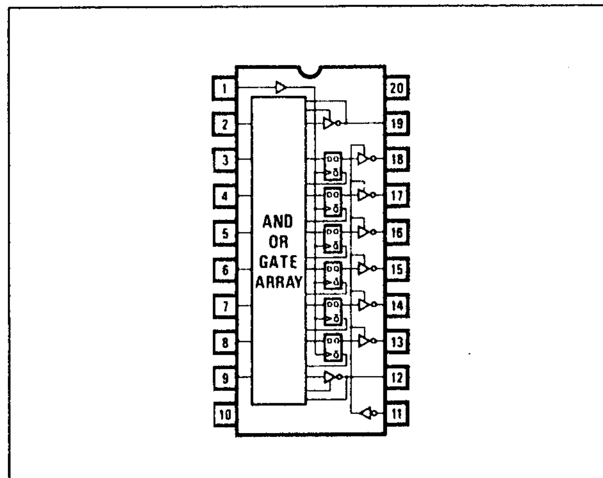
De PAL16L8 is een zeer populair type met 16 ingangen en 8 actief-LAGE uitgangen. De PAL16R8, PAL16R6 en PAL16R4 zijn veel gebruikte "registered" typen met respectievelijk 8, 6 en 4 (actief-LAGE) uitgangen. Van bovengenoemde PAL's zijn niet alleen de standaard, maar ook de high speed, half-power en 1/4-power uitvoeringen leverbaar.

De PAL16X4 is een EXOR-type met 4 actief-LAGE uitgangen en de PAL16A4 is een rekenkundig type, ook met 4 actief-LAGE uitgangen.
Beide laatstgenoemde PAL's zijn alleen leverbaar in de standaard uitvoering.
Alle typen zijn leverbaar in 20-pens standaard plastic DIL, ceramische DIL, LCC, PLCC en flatpack-behuizingen. Van deze PAL's volgen de gegevens hieronder.

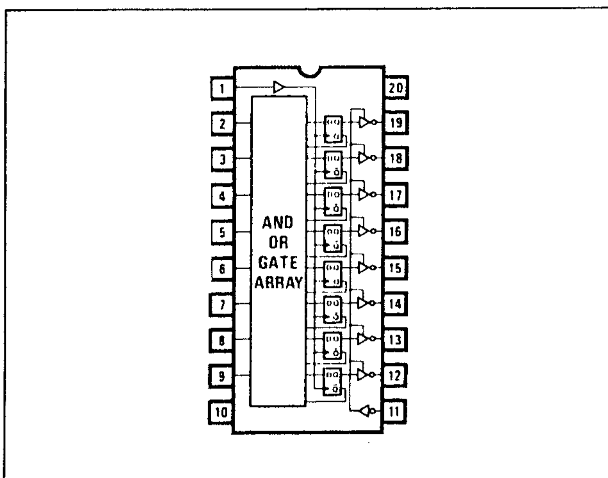
10.3 Type-beschrijving PAL's



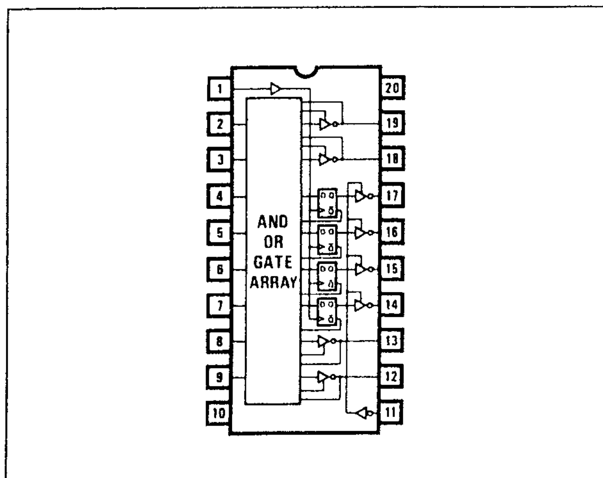
Figuur 8/10.3-21: Logisch symbool en aansluitingen van de DIL-versie van de PAL16L8: 16 ingangen, 8 actief-LAGE uitgangen. Bij de (P)LCC behuizingen is de nummering identiek.



Figuur 8/10.3-22: Logisch symbool en aansluitingen van de PAL16R6: 16 ingangen, 6 actief-LAGE, geregistreerde uitgangen.

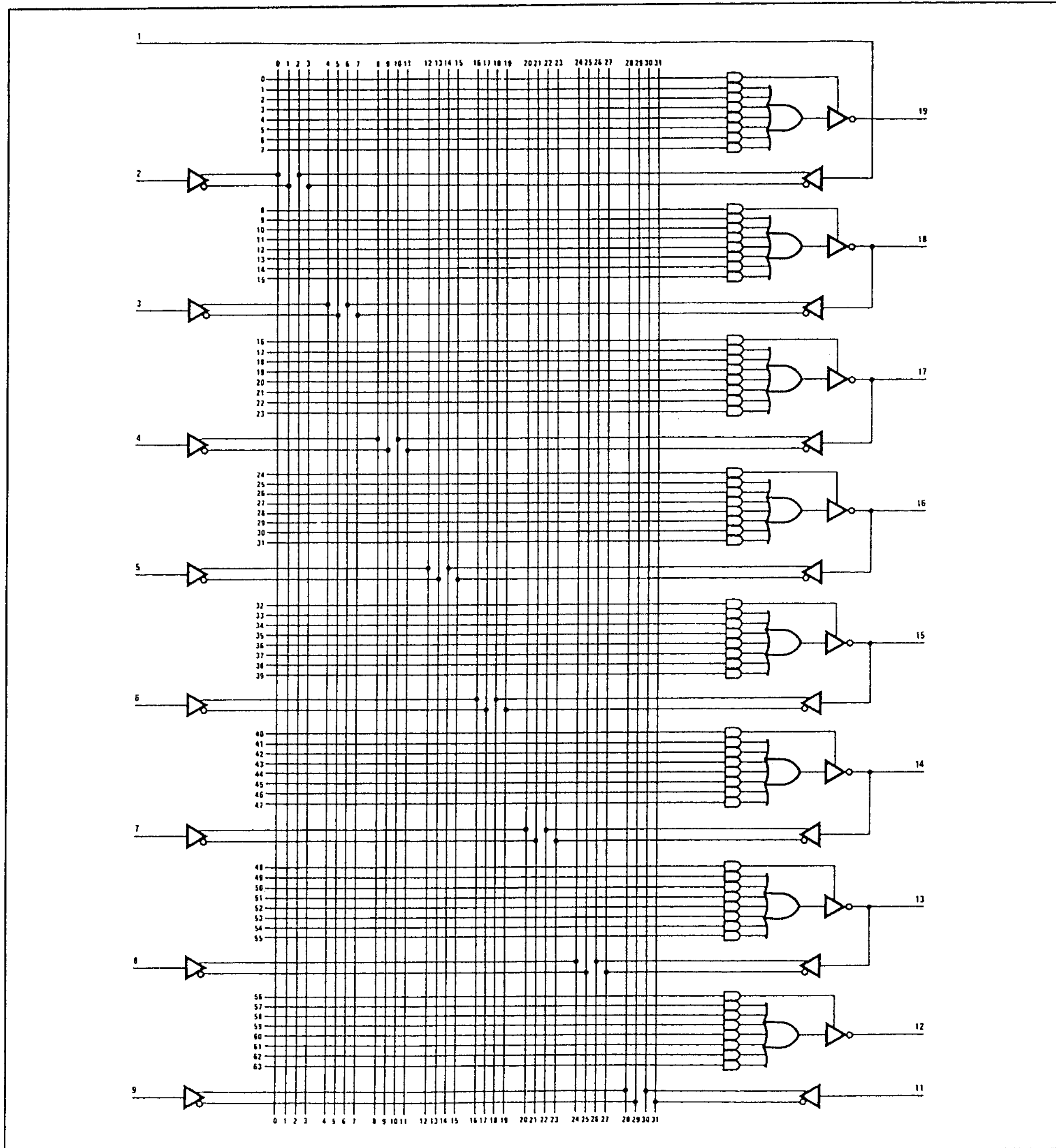


Figuur 8/10.3-23: Logisch symbool en aansluitingen van de PAL16R8: 16 ingangen, 8 actief-LAGE, geregistreerde uitgangen.



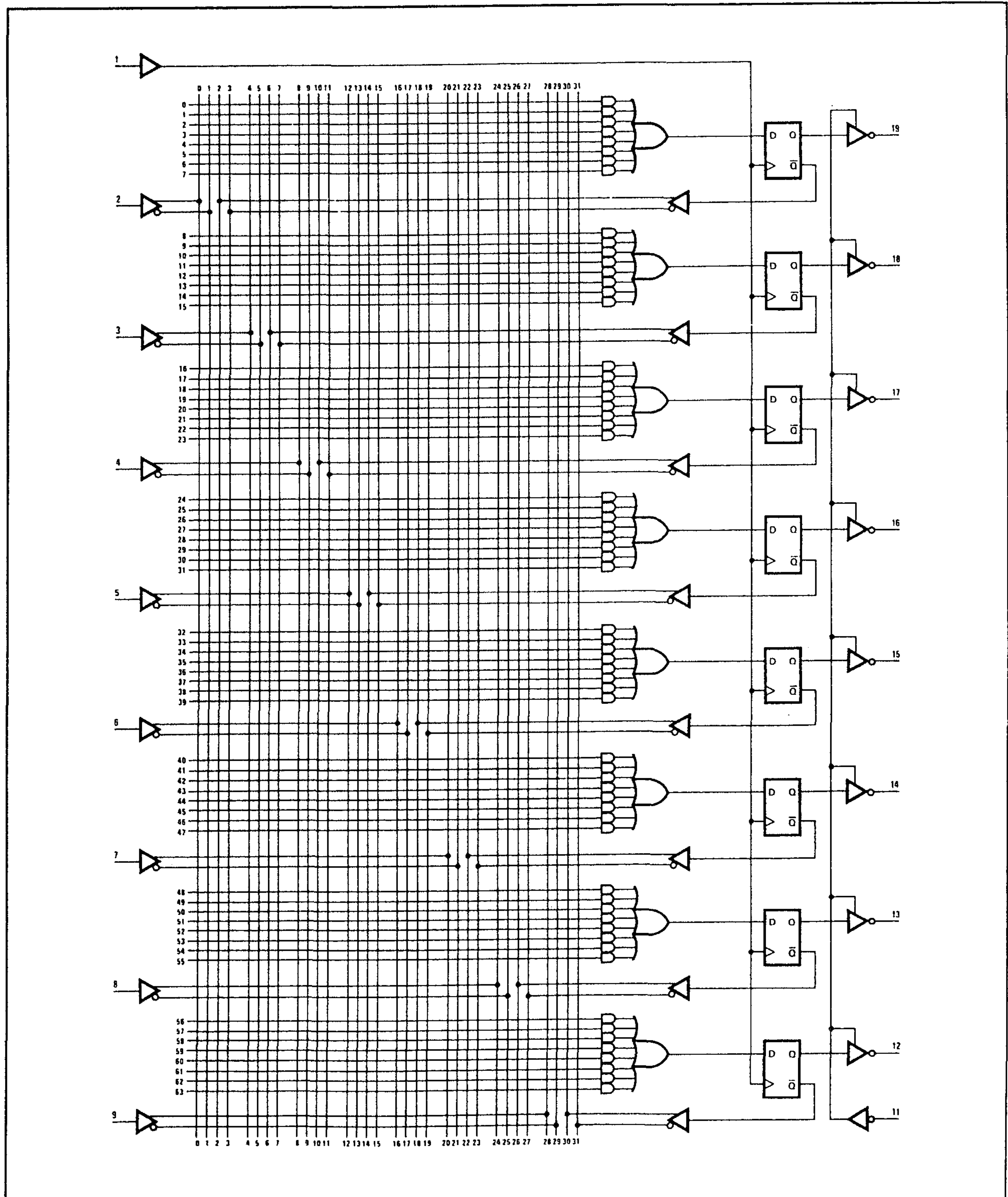
Figuur 8/10.3-24: Logisch symbool en aansluitingen van de PAL16R4: 16 ingangen, 4 actief-LAGE, geregistreerde uitgangen.

10.3 Type-beschrijving PAL's



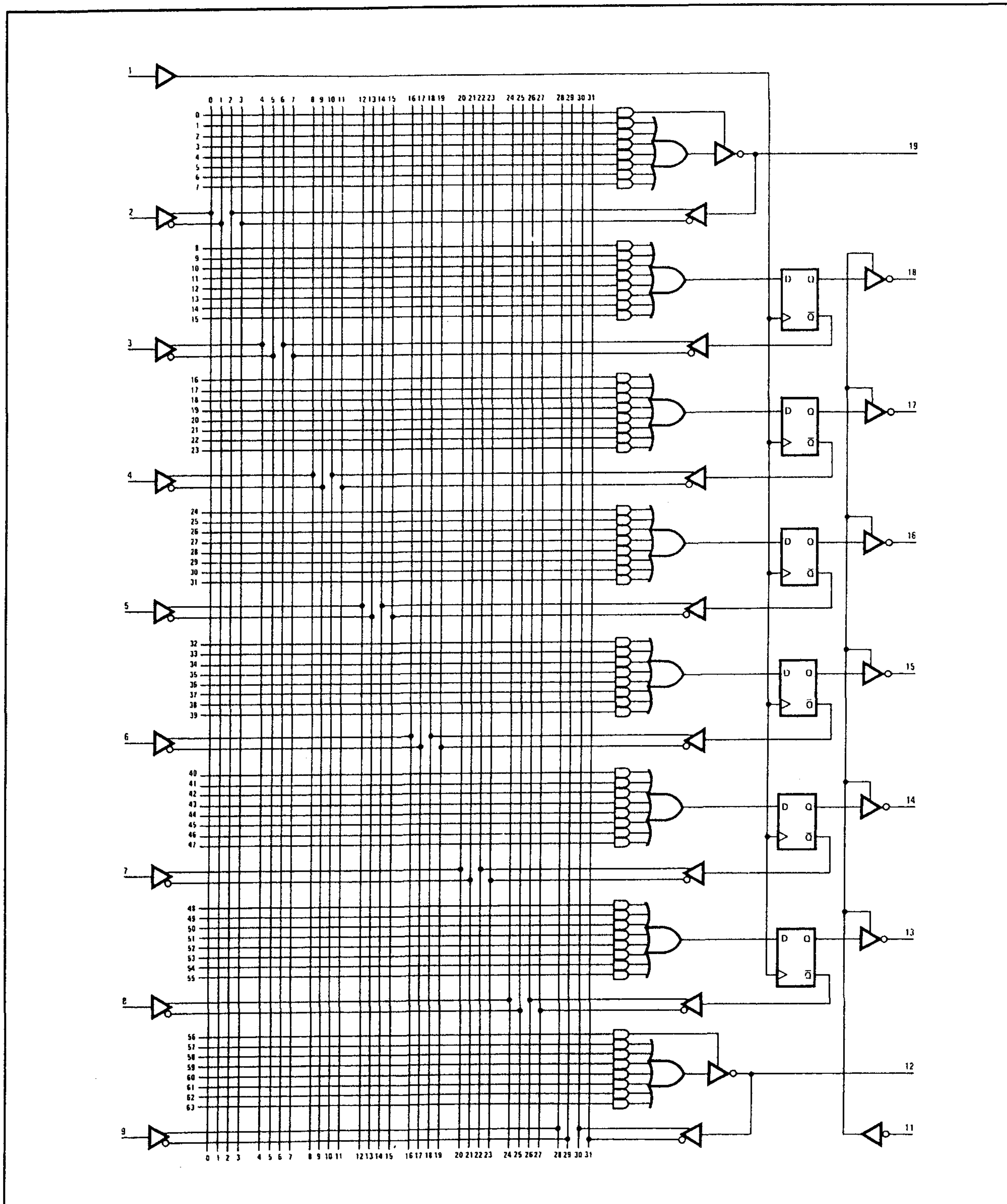
Figuur 8/10.3-25: Functioneel schema van de PAL16L8 getekend in volledig geprogrammeerde toestand: alle zekeringen doorgebrand, zodat de programmering hierop kan worden genoteerd.

10.3 Type-beschrijving PAL's



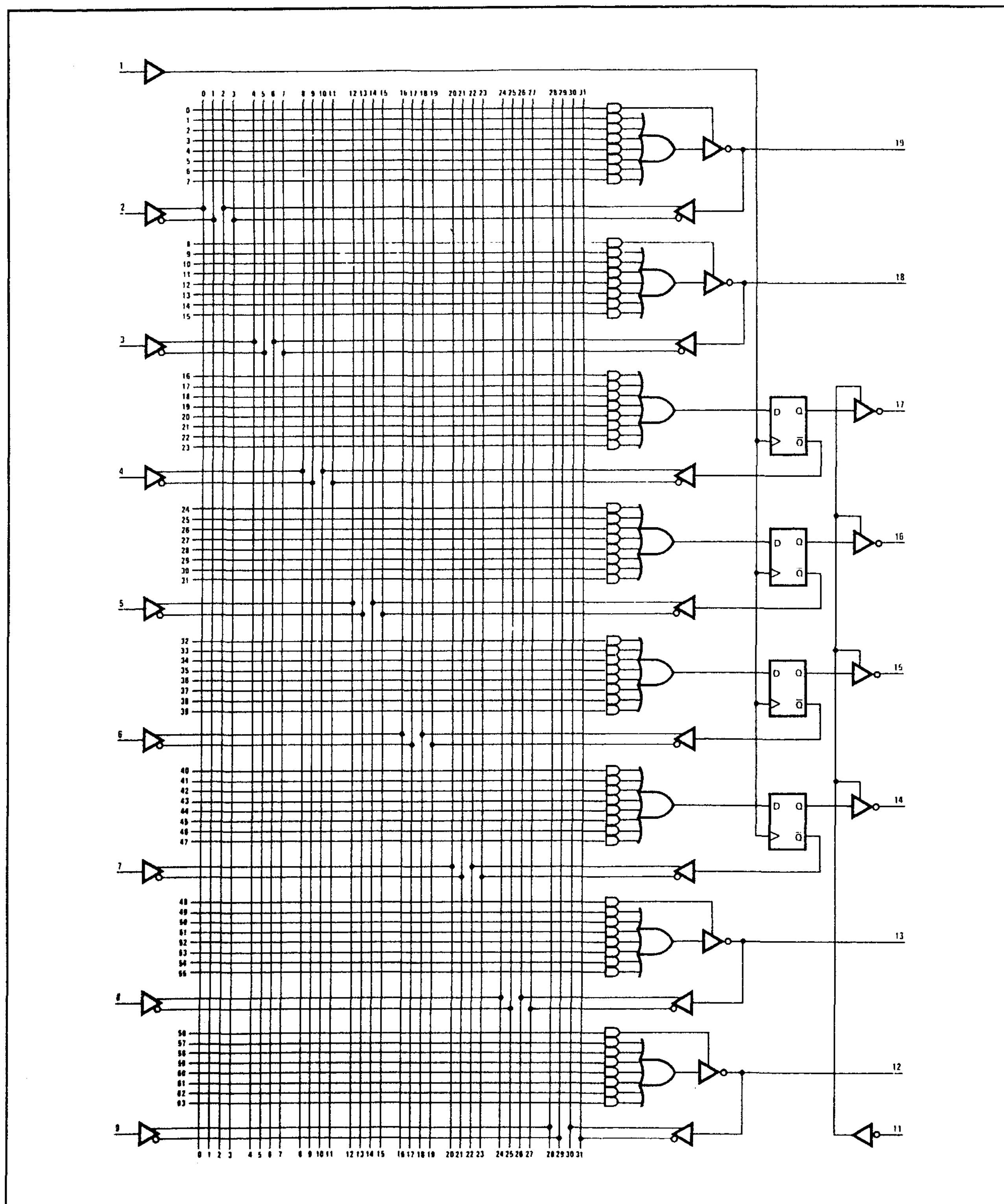
Figuur 8/10.3-26: Functioneel schema van de PAL16R8 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



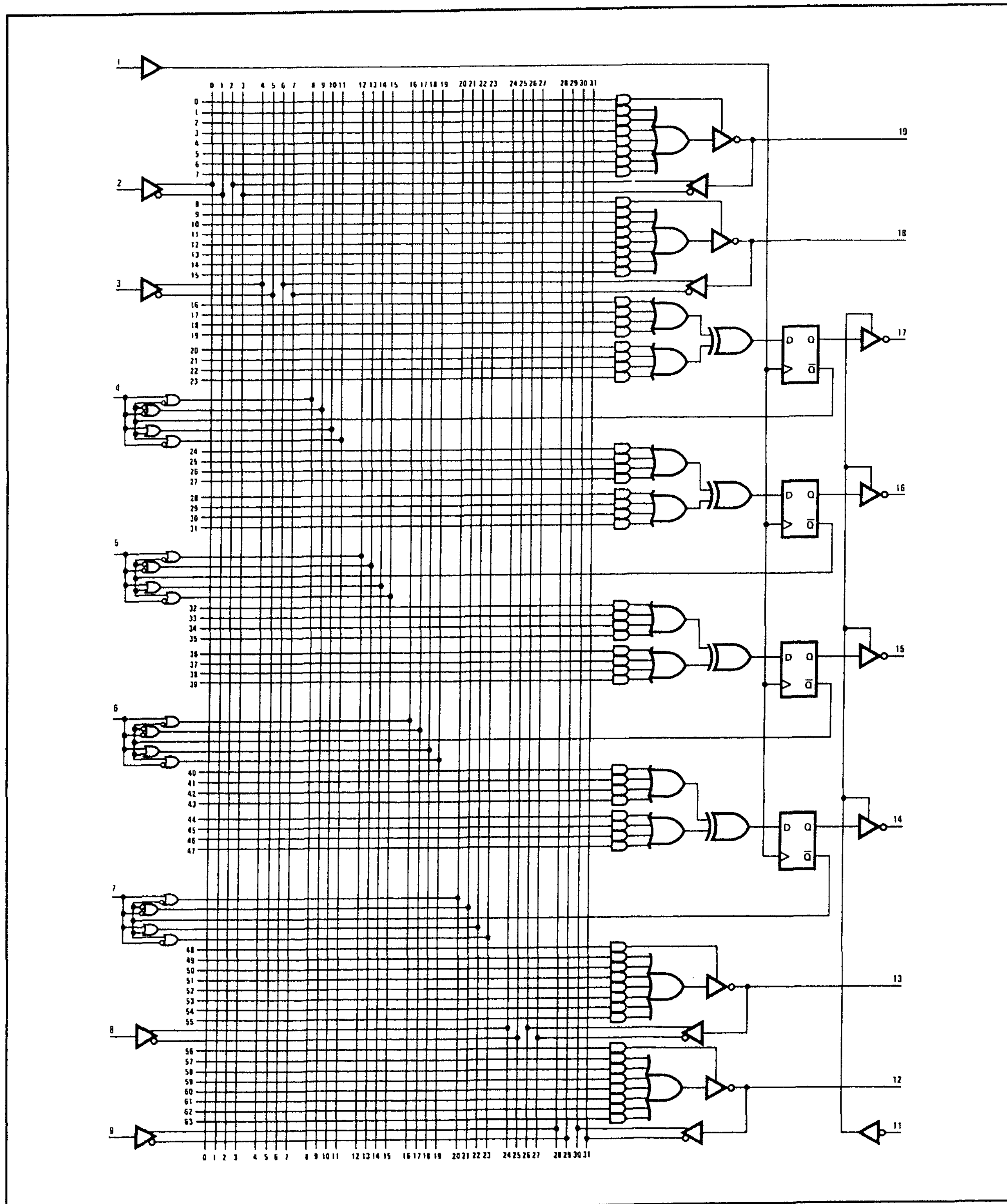
Figuur 8/10.3-27: Functioneel schema van de PAL16R6 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



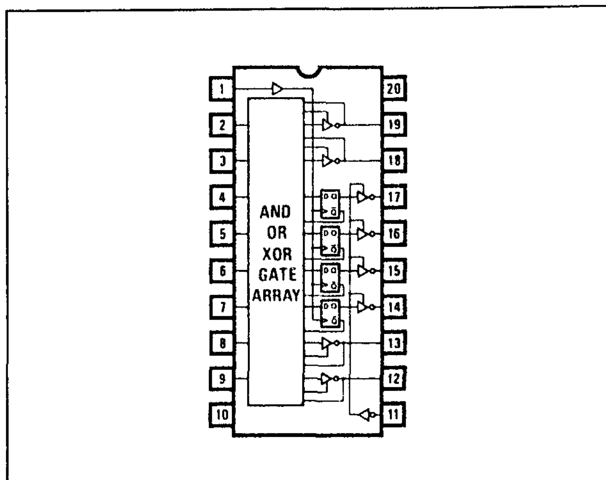
Figuur 8/10.3-28: Functioneel schema van de PAL16R4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

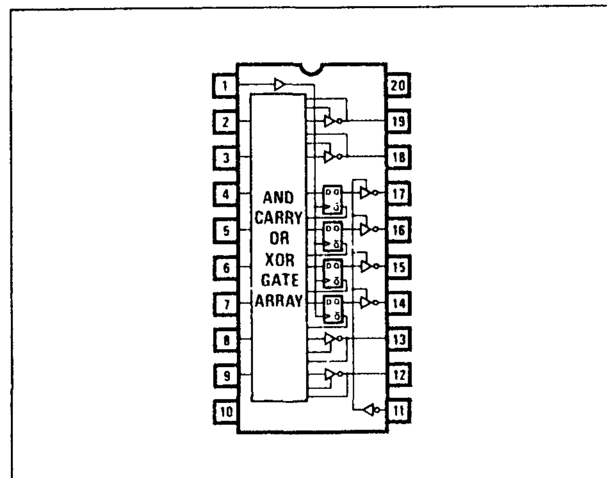


Figuur 8/10.3-29: Functioneel schema van de PAL16X4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

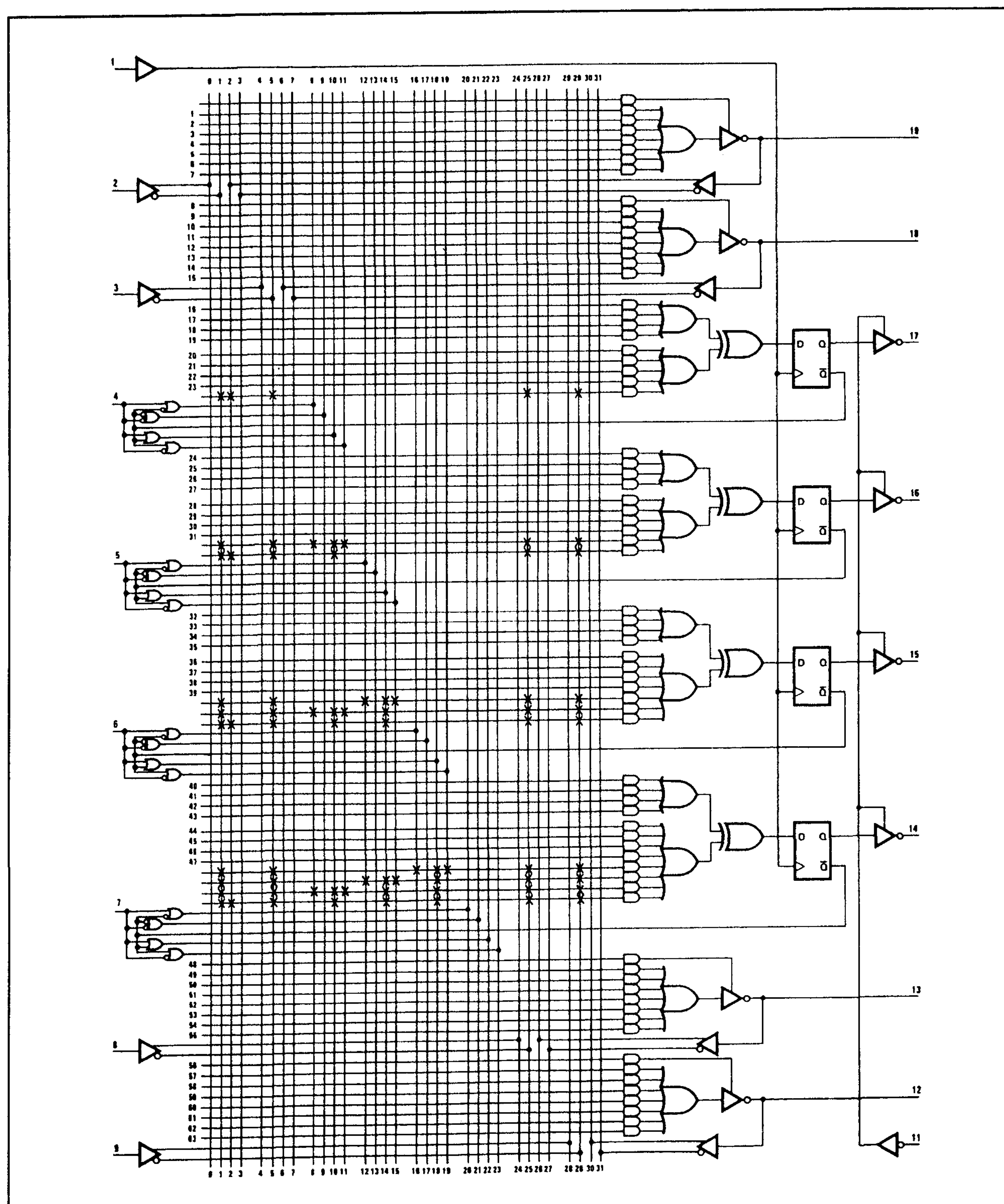


Figuur 8/10.3-30: Logisch symbool en aansluitingen van de PAL16X4: 16 ingangen, 4 actief-LAGE, EXOR uitgangen.



Figuur 8/10.3-31: Logisch symbool en aansluitingen van de PAL16A4: 16 ingangen, 4 actief-LAGE uitgangen met rekenkundige mogelijkheden.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-32: Functioneel schema van de PAL16A4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	25	10		25	10		ns
		High	25	10		25	10		
t_{su}	Set up time from input or feedback to clock	16R8 16R6 16R4	45	25		35	25		ns
		16X4 16A4	55	30		45	30		
t_h	Hold time		0	-15		0	-15		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-9: Aanbevolen bedrijfscondities van de standaard PAL's 16L8, 16R8, 16R6, 16R4, 16X4 en 16A4.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18mA			-0.8	-1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX	V_I = 0.4V			-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX	V_I = 2.4V				25	μA
I_I	Maximum input current	V_{CC} = MAX	V_I = 5.5V				1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 12mA		0.3	0.5	V
			COM	I_{OL} = 24mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2mA	2.4	2.8		V
			COM	I_{OH} = -3.2mA				
I_{OZL}	Off-state output current †	V_{CC} = MAX		V_O = 0.4V			-100	μA
I_{OZH}				V_O = 2.4V			100	μA
I_{OS}	Output short-circuit current **	V_{CC} = 5V		V_O = 0V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX	16R4 16R6 16R8 16L8			120	180	mA
			16X4			160	225	
			16A4			170	240	

Tabel 8/10.3-10: Elektrische kenmerken van de standaard PAL's 16L8, 16R8, 16R6, 16R4, 16X4 en 16A4.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feed-back to output	16R6 16R4 16L8	$R_1 = 200\Omega$ $R_2 = 390\Omega$		25	45		25	35	ns
		16X4 16A4			30	45		30	40	ns
t_{CLK}	Clock to output or feedback				15	25		15	25	ns
t_{PZX}	Pin 11 to output enable except 16L8				15	25		15	25	ns
t_{PXZ}	Pin 11 to output disable except 16L8				15	25		15	25	ns
t_{PZX}	Input to output enable	16R6 16R4 16L8			25	45		25	35	ns
		16X4 16A4			30	45		30	40	ns
t_{PXZ}	Input to output disable	16R6 16R4 16L8			25	45		25	35	ns
		16X4 16A4			30	45		30	40	ns
f_{MAX}	Maximum frequency	16R8 16R6 16R4		14	25		16	25		MHz
		16X4 16A4		12	22		14	22		

Tabel 8/10.3-11: Schakeltijden van de standaard PAL's 16L8, 16R8, 16R6, 16R4, 16X4 en 16A4.

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	20	10		15	10		ns
		High	20	10		15	10		
t_{su}	Set up time from input or feedback to clock	16R8A 16R6A 16R4A 16RP8A 16RP6A 16RP4A	30	15		25	15		ns
t_h	Hold time		0	-10		0	-10		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-12: Aanbevolen bedrijfscondities van de high-speed typen PAL16L8A, PAL16R8A, PAL16R6A en PAL16R4A (ook PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A).

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18mA			-0.8	−1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX	V_I = 0.4V			-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX	V_I = 2.4V				25	µA
I_I	Maximum input current	V_{CC} = MAX	V_I = 5.5V				1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 12mA		0.3	0.5	V
			COM	I_{OL} = 24mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = −2mA	2.4	2.8		V
			COM	I_{OH} = −3.2mA				
I_{OZL}	Off-state output current †	V_{CC} = MAX		V_O = 0.4V			−100	µA
I_{OZH}				V_O = 2.4V			100	µA
I_{OS}	Output short-circuit current **	V_{CC} = 5V		V_O = 0V	-30	-70	−130	mA
I_{CC}	Supply current	V_{CC} = MAX				120	180	mA

Tabel 8/10.3-13: Elektrische kenmerken van de high-speed typen PAL16L8A, PAL16R8A, PAL16R6A en PAL16R4A (ook PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A).

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY			COMMERCIAL			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PD}	Input or feed-back to output	16R6A 16R4A 16L8A 16RP6A 16RP4A 16P8A	$R_1 = 200\Omega$ $R_2 = 390\Omega$		15	30		15	25	ns
t_{CLK}	Clock to output or feedback				10	20		10	15	ns
t_{PZX}	Pin 11 to output enable except 16L8A 16P8A				10	25		10	20	ns
t_{PXZ}	Pin 11 to output disable except 16L8A 16P8A				11	25		11	20	ns
t_{PZX}	Input to output enable	16R6A 16R4A 16L8A 16RP6A 16RP4A 16P8A			10	30		10	25	ns
t_{PXZ}	Input to output disable	16R6A 16R4A 16L8A 16RP6A 16RP4A 16P8A			13	30		13	25	ns
f_{MAX}	Maximum frequency	16R8A 16R6A 16R4A 16RP8A 16RP6A 16RP4A		20	40		28.5	40		MHz

Tabel 8/10.3-14: Schakeltijden van de high-speed typen PAL16L8A, PAL16R8A, PAL16R6A en PAL16R4A (ook PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A).

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	25	10		25	10		ns
		High	25	10		25	10		
t_{su}	Set up time from input or feedback to clock	16R6A-2 16R4A-2 16R8A-2	50	25		35	25		ns
t_h	Hold time		0	-15		0	-15		ns
T_A	Operating free-air temperature		-55		125	0		75	°C

Tabel 8/10.3-15: Aanbevolen bedrijfscondities van de half-power typen PAL16L8A-2, PAL16R8A-2, PAL16R6A-2 en PAL16R4A-2.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = −18mA		-0.8	−1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX		V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX		V_I = 2.4V			25	µA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 12mA		0.3	0.5	V
			COM	I_{OL} = 24mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2mA	2.4	2.8		V
			COM	I_{OH} = -3.2mA				
I_{OZL}	Off-state output current †	V_{CC} = MAX		V_O = 0.4V			-100	µA
I_{OZH}				V_O = 2.4V			100	µA
I_{OS}	Output short-circuit current **	V_{CC} = 5V		V_O = 0V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				60	90	mA

Tabel 8/10.3-16: Elektrische kenmerken van de half-power typen PAL16L8A-2, PAL16R8A-2, PAL16R6A-2 en PAL16R4A-2.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feed-back to output	16L8A-2 16R6A-2 16R4A-2	R_1 = 200Ω		25	50		25	35	ns
t_{CLK}	Clock to output or feedback				15	25		15	25	ns
$t_{PXZ/ZX}$	Pin 11 to output disable/enable except 16L8A-2				15	25		15	25	ns
t_{PZX}	Input to output enable	16L8A-2 16R6A-2 16R4A-2	R_2 = 390Ω		25	45		25	35	ns
t_{PXZ}	Input to output disable	16R8A-2 16R6A-2 16R4A-2			25	45		25	35	ns
f_{MAX}	Maximum frequency	16R8A-2 16R6A-2 16R4A-2		14	25		16	25		MHz

Tabel 8/10.3-17: Schakeltijden van de half-power typen PAL16L8A-2, PAL16R8A-2, PAL16R6A-2 en PAL16R4A-2.

SYMBOL	PARAMETER			MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage			4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	16R8A-4 16R6A-4 16R4A-4	Low	40	20		30	20		ns
			High	40	20		30	20		
t_{su}	Set up time from input or feedback to clock	16R8A-4 16R6A-4 16R4A-4		90	45		60	45		ns
t_h	Hold time			0	-15		0	-15		ns
T_A	Operating free-air temperature			-55		125	0		75	°C

Tabel 8/10.3-18: Aanbevolen bedrijfscondities van de kwart-power typen PAL16L8A-4, PAL16R8A-4, PAL16R6A-4 en PAL16R4A-4.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = −18mA		-0.8	−1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX		V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX		V_I = 2.4V			25	μA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 4mA		0.3	0.5	V
			COM	I_{OL} = 8mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = −1mA	2.4	2.8		V
			COM	I_{OH} = −1 mA				
I_{OZL}	Off-state output current†	V_{CC} = MAX		V_O = 0.4V			−100	μA
I_{OZH}				V_O = 2.4V			100	μA
I_{OS}	Output short-circuit current**	V_{CC} = 5V		V_O = 0V	-30	-70	−130	mA
I_{CC}	Supply current	V_{CC} = MAX	16R4A-4 16R6A-4 16R8A-4 16L8A-4			30	50	mA

Tabel 8/10.3-19: Elektrische kenmerken van de kwart-power typen PAL16L8A-4, PAL16R8A-4, PAL16R6A-4 en PAL16R4A-4.

SYMBOL	PARAMETER		TEST	MILITARY			COMMERCIAL			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PD}	Input or feed-back to output	16R6A-4 16R4A-4 16L8A-4	R_1 = 800Ω R_2 = 1.56kΩ		35	75		35	55	ns
t_{CLK}	Clock to output or feedback				20	45		20	35	ns
$t_{PXZ/ZX}$	Pin 11 to output disable/enable—except 16L8A-4				15	40		15	30	ns
t_{PZX}	Input to output enable	16R6A-4 16R4A-4 16L8A-4			30	65		30	50	ns
t_{PXZ}	Input to output disable	16R6A-4 16R4A-4 16L8A-4			30	65		30	50	ns
f_{MAX}	Maximum frequency	16R8A-4 16R6A-4 16R4A-4		8	18		11	18		MHz

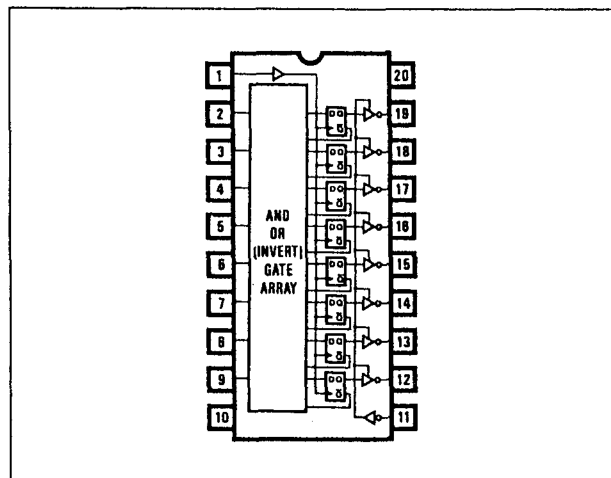
Tabel 8/10.3-20: Schakeltijden van de kwart-power typen PAL16L8A-4, PAL16R8A-4, PAL16R6A-4 en PAL16R4A-4.

(wordt vervolgd)

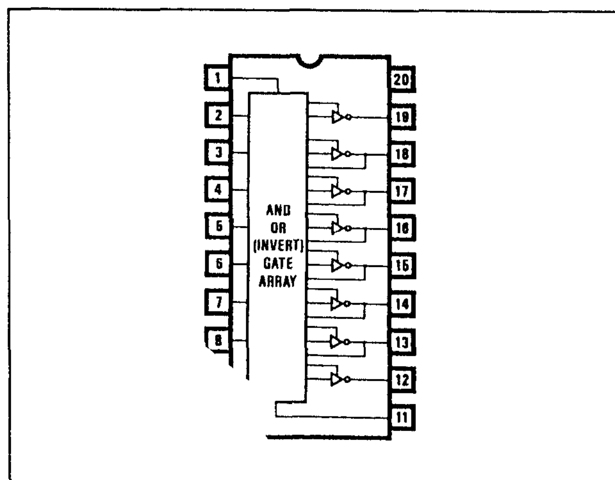
10.3 Type-beschrijving PAL's

PAL16P8, PAL16RP8, PAL16RP6, PAL16RP4

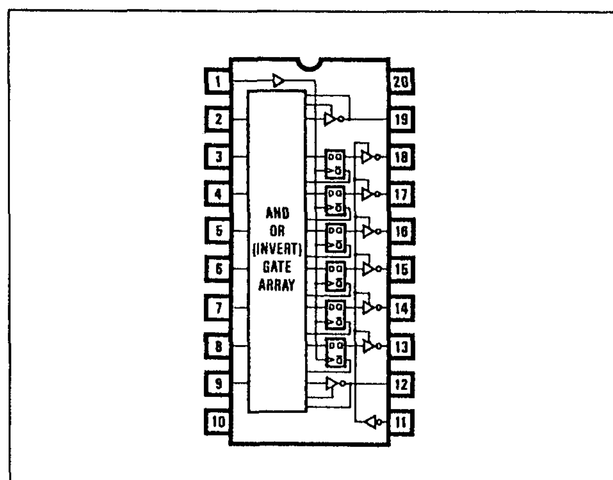
De PAL16P8, PAL16RP8, PAL16RP6 en PAL16RP4 zijn veel gebruikte typen met programmeerbare polariteit aan de uitgangen. Van bovengenoemde PAL's zijn alleen de high-speed uitvoeringen leverbaar. Verder komen ze overeen met de PAL16L8, PAL16R8, PAL16R6 en PAL16R4 (zie ook de tabellen 8/10.3-12, -13 en -14).
Ze zijn leverbaar in 20-pens standaard plastic DIL, ceramische DIL, LCC en PLCC-behuizingen. Van deze PAL's volgen de gegevens hieronder.



Figuur 8/10.3-34: Logisch symbool en aansluitingen van de PAL16RP8: 16 ingangen, 8 geregistreerde uitgangen met programmeerbare polariteit.

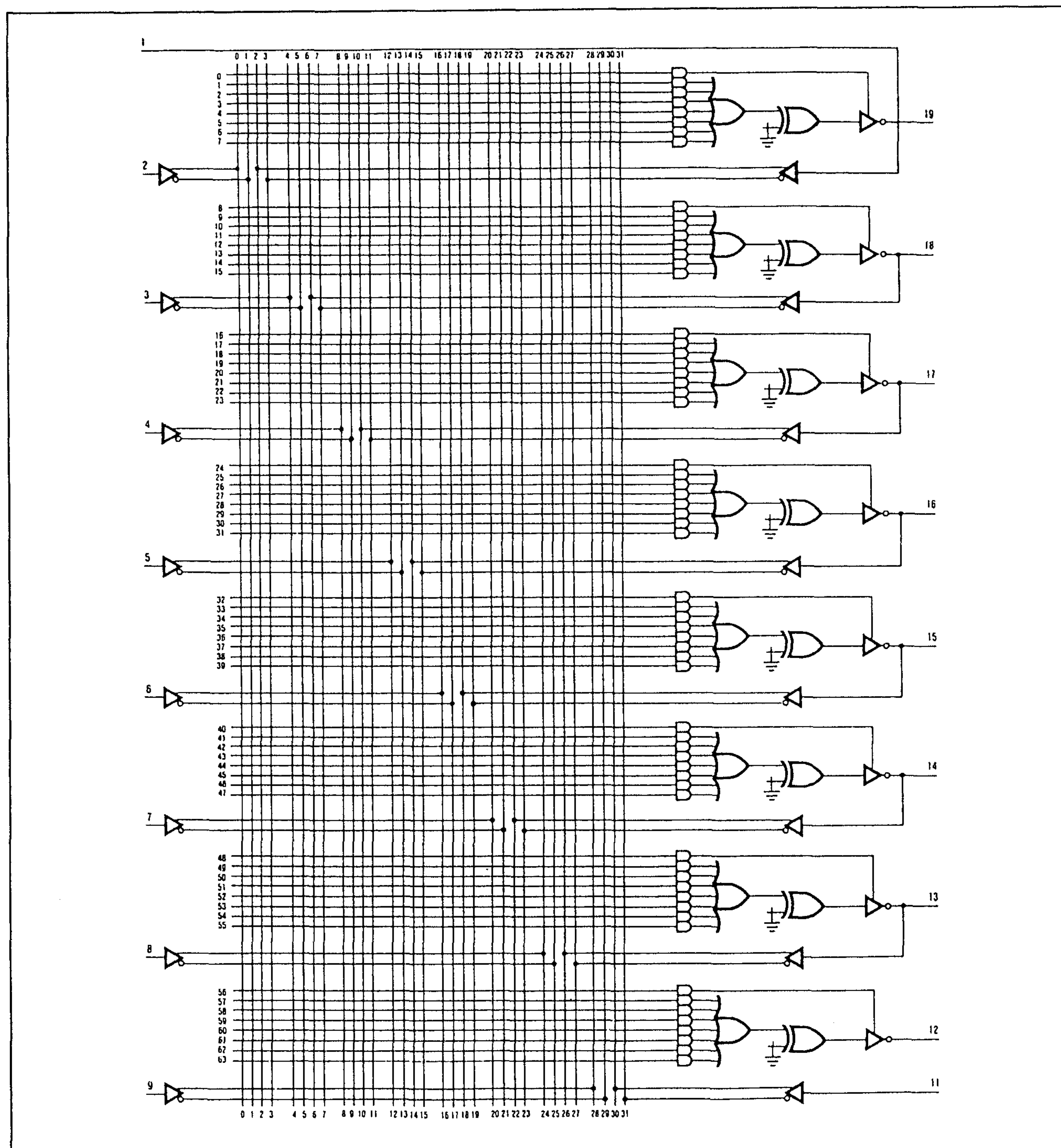


Figuur 8/10.3-33: Logisch symbool en aansluitingen van de DIL-versie van de PAL16P8: 16 ingangen, 8 programmeerbare uitgangen. Bij de (P)LCC behuizingen wordt dezelfde nummering gebruikt.



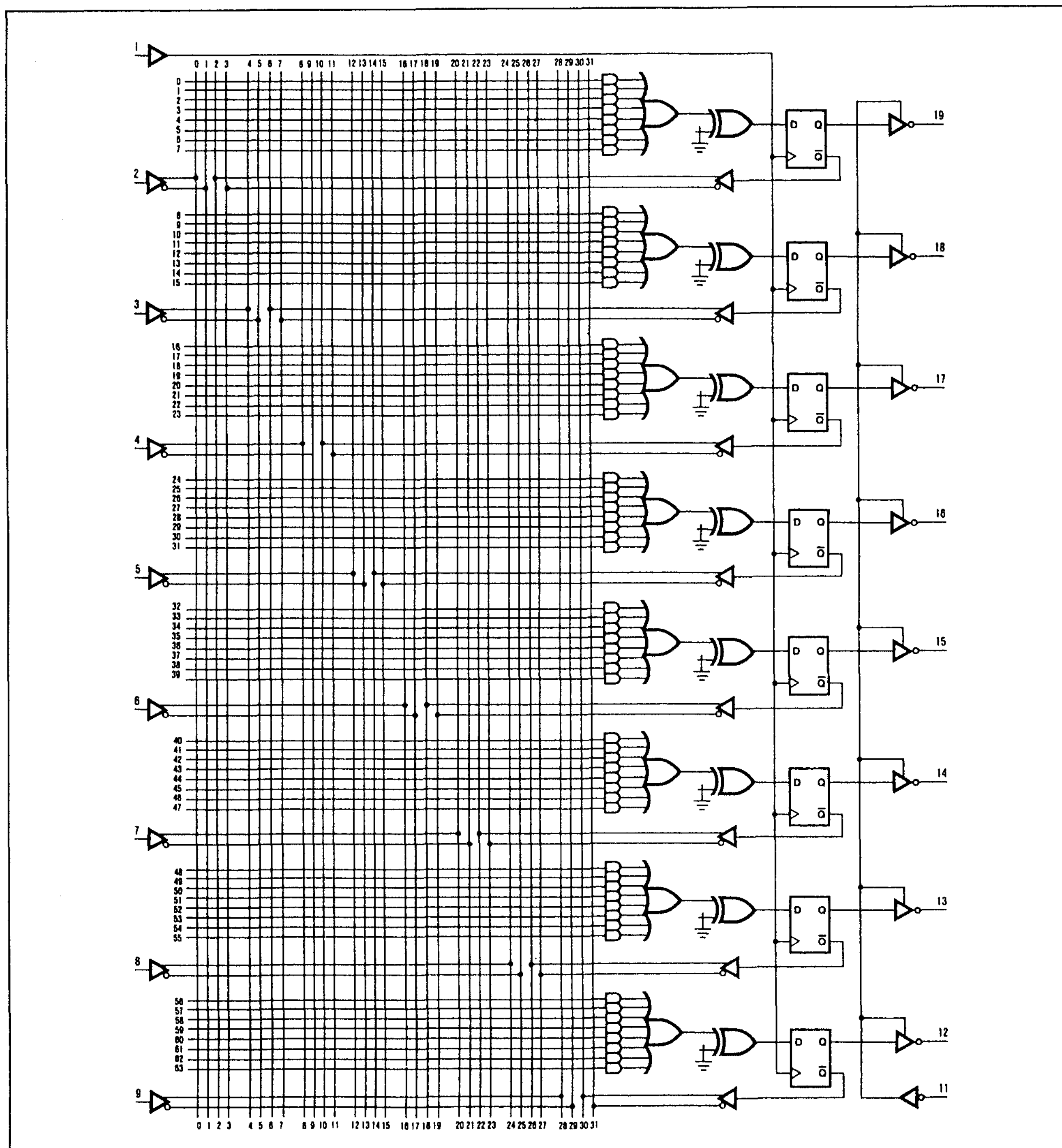
Figuur 8/10.3-35: Logisch symbool en aansluitingen van de PAL16RP6: 16 ingangen, 6 geregistreerde uitgangen met programmeerbare polariteit.

10.3 Type-beschrijving PAL's



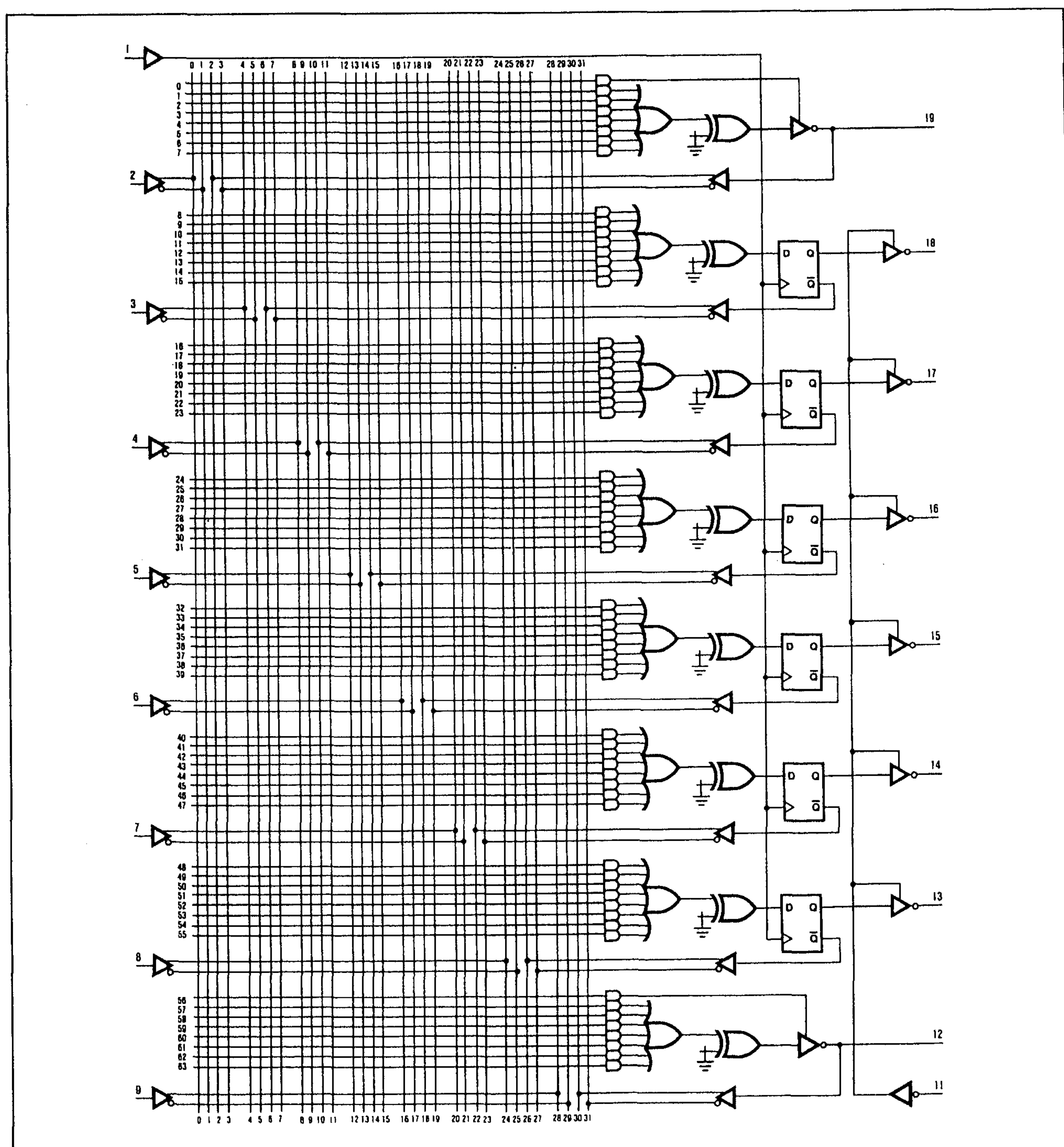
Figuur 8/10.3-36: Functioneel schema van de PAL16P8 getekend met alle zekeringen doorgebrand, zodat de programmering hierop kan worden genoteerd.

10.3 Type-beschrijving PAL's



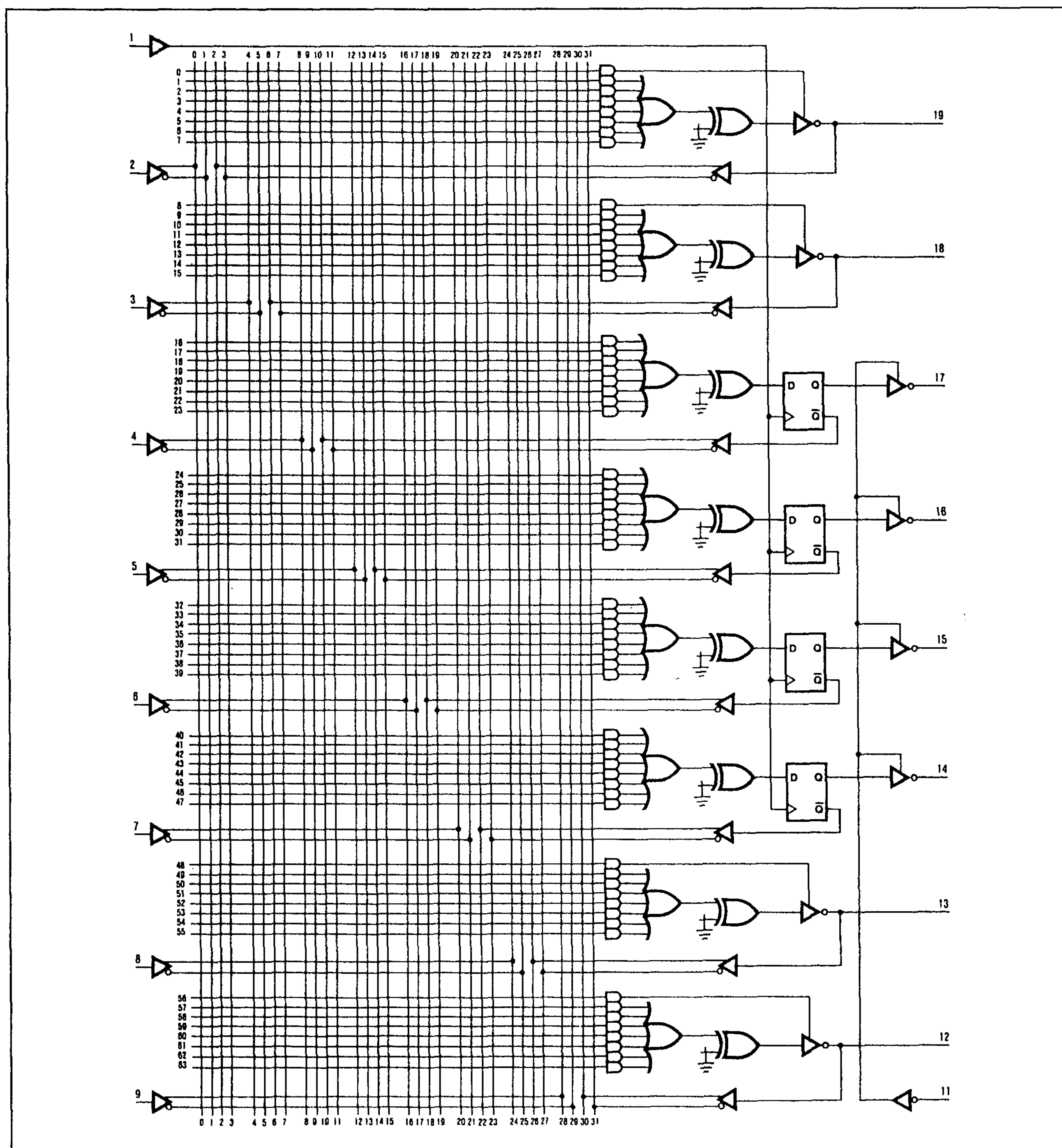
Figuur 8/10.3-37: Functioneel schema van de PAL16RP8 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



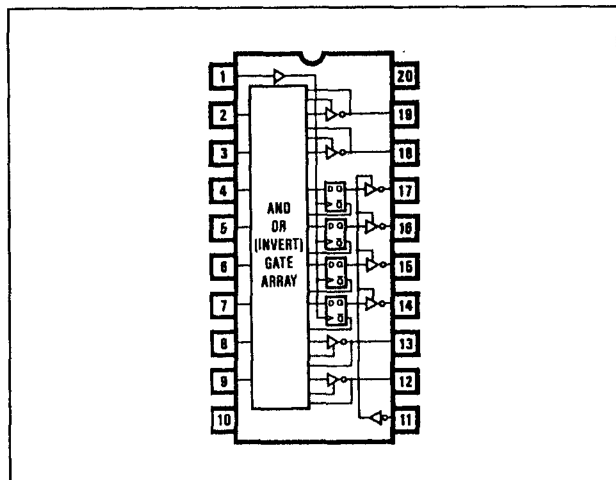
Figuur 8/10.3-38: Functioneel schema van de PAL16RP6 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-39: Functioneel schema van de PAL16RP4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



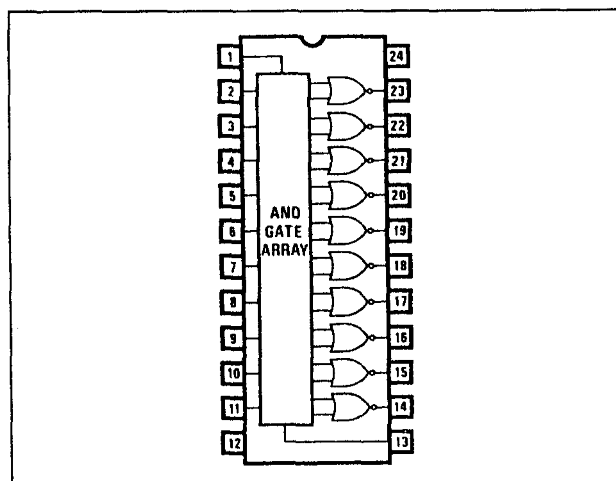
Figuur 8/10.3-40: Logisch symbool en aansluitingen van de PAL16RP4: 16 ingangen, 4 geregistreerde uitgangen met programmeerbare polariteit.

Opmerkingen

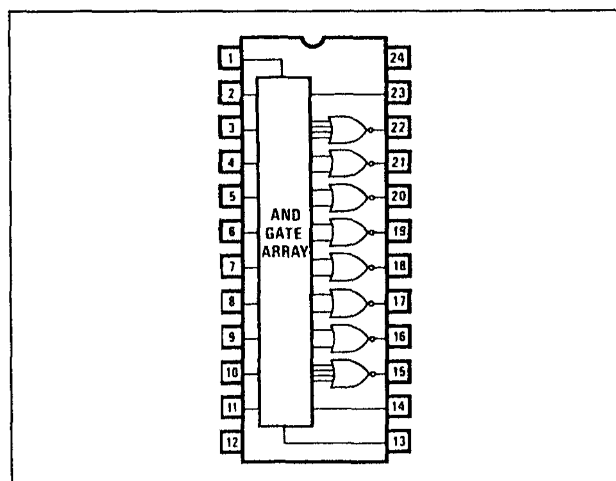
- Voor de aanbevolen bedrijfscondities van de PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A, zie tabel 8/10.3-12.
- Voor de elektrische kenmerken van de PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A, zie tabel 8/10.3-13.
- Voor de schakeltijden van de PAL16P8A, PAL16RP8A, PAL16RP6A en PAL16RP4A, zie tabel 8/10.3-14.

PAL12L10, PAL14L8, PAL16L6, PAL18L4, PAL20L2, PAL20C1

De PAL12L10, PAL14L8, PAL16L6, PAL18L4 en PAL20L2 zijn typen met respectievelijk 10, 8, 6, 4 en 2 actief-LAGE uitgangen. De PAL20C1 heeft, zoals de naam al aangeeft complementaire uitgangen. Van deze PAL's zijn alleen de standaard-uitvoeringen leverbaar. Alle typen zijn leverbaar in 24-pens plastic en ceramische "skinny-DIP" behuizingen. Van deze PAL's volgen de gegevens hieronder.

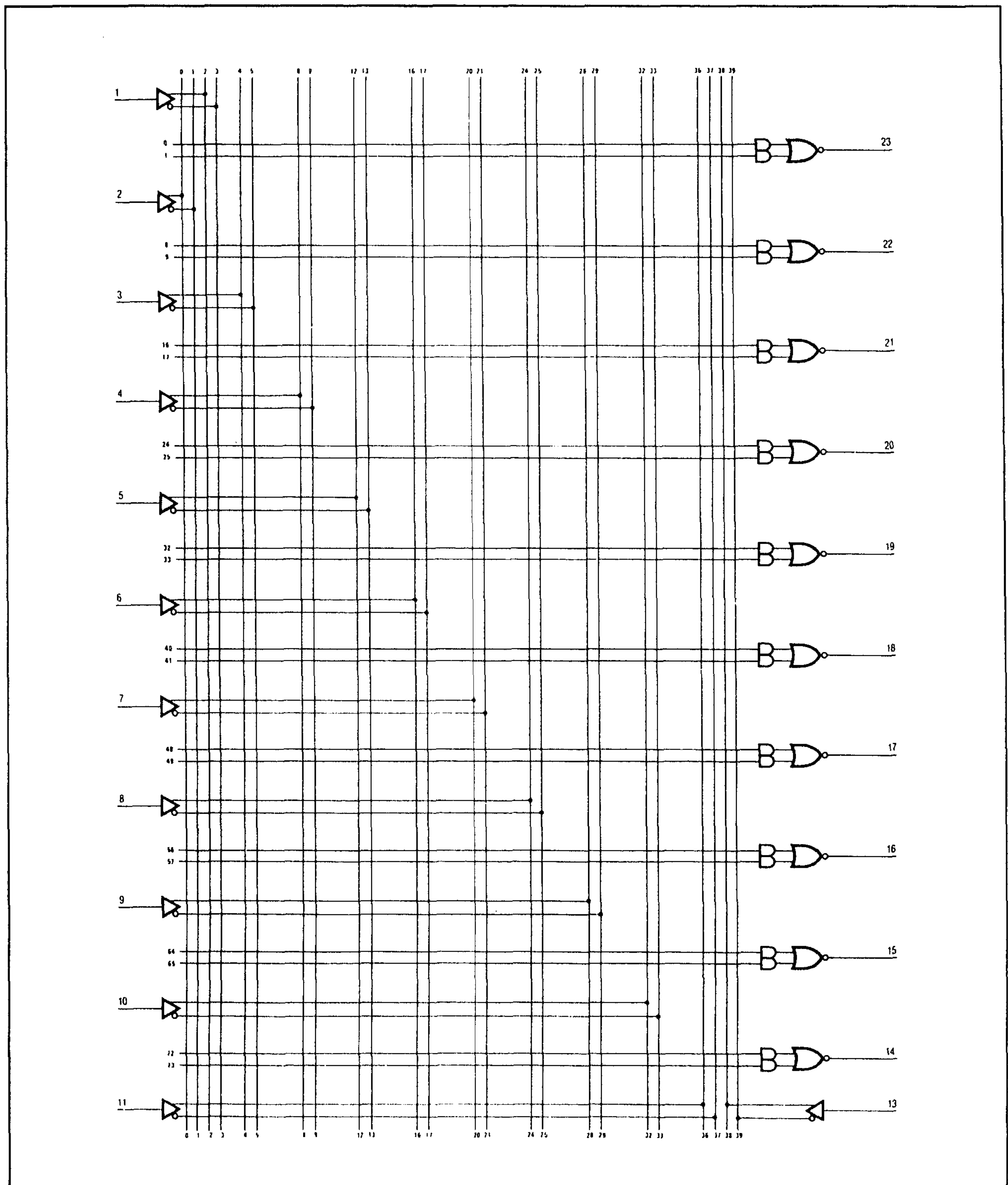


Figuur 8/10.3-41: Logisch symbool en aansluitingen van de DIL-versie van de PAL12L10: 12 ingangen, 10 actief-LAGE uitgangen.



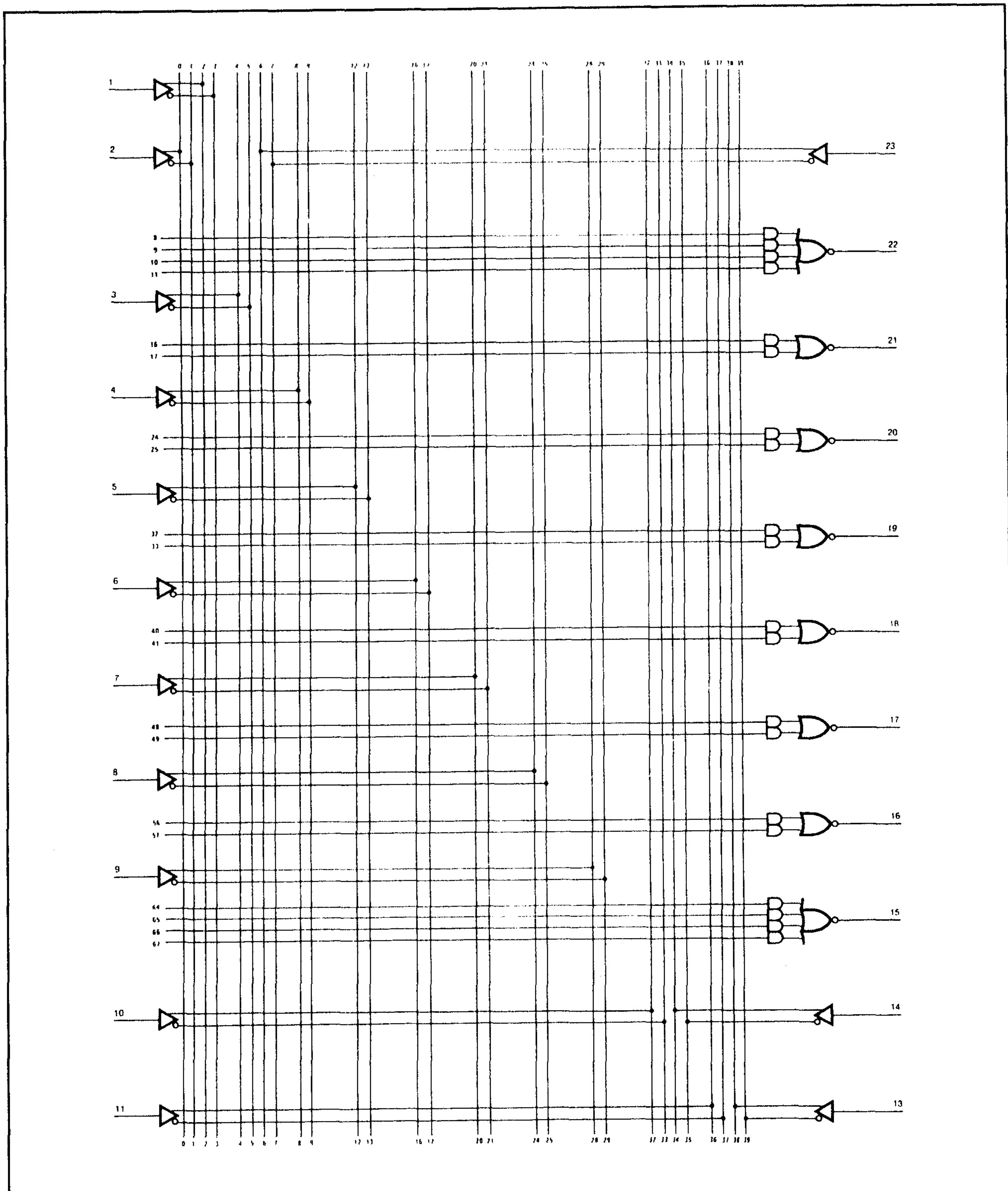
Figuur 8/10.3-42: Logisch symbool en aansluitingen van de PAL14L8: 14 ingangen, 8 actief-LAGE uitgangen.

10.3 Type-beschrijving PAL's



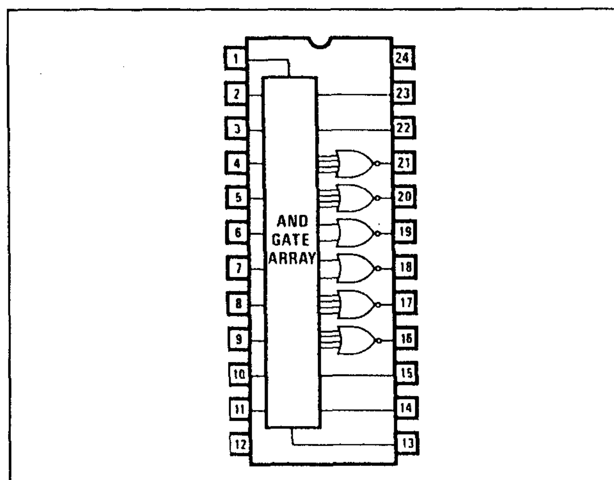
Figuur 8/10.3-43: Functioneel schema van de PAL12L10 volledig geprogrammeerd: alle zekeringen doorgebrand, zodat de codering hierop kan worden genoteerd.

10.3 Type-beschrijving PAL's

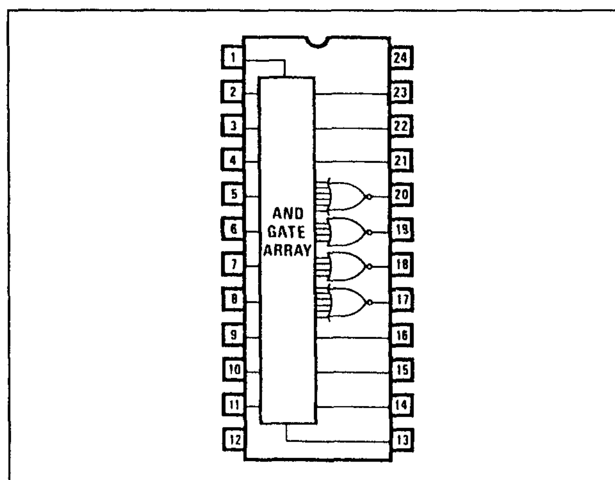


Figuur 8/10.3-44: Functioneel schema van de PAL14L8 getekend zonder zekeringen.

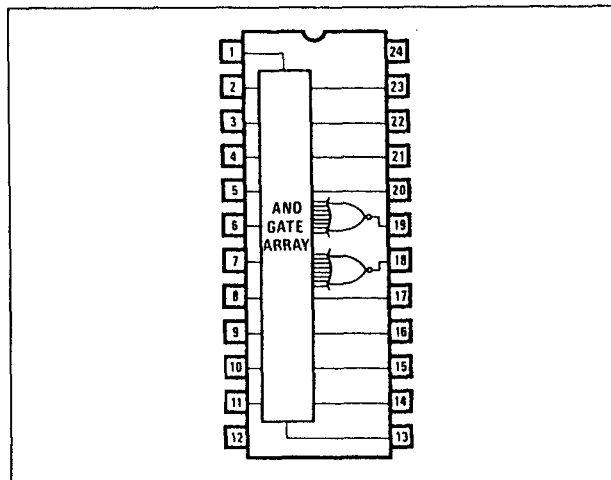
10.3 Type-beschrijving PAL's



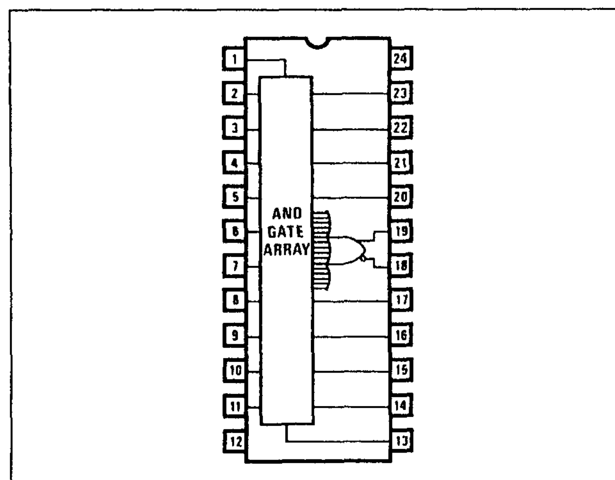
Figuur 8/10.3-45: Logisch symbool en aansluitingen van de PAL16L6: 16 ingangen, 6 actief-LAGE uitgangen.



Figuur 8/10.3-46: Logisch symbool en aansluitingen van de PAL18L4: 18 ingangen, 4 actief-LAGE uitgangen.

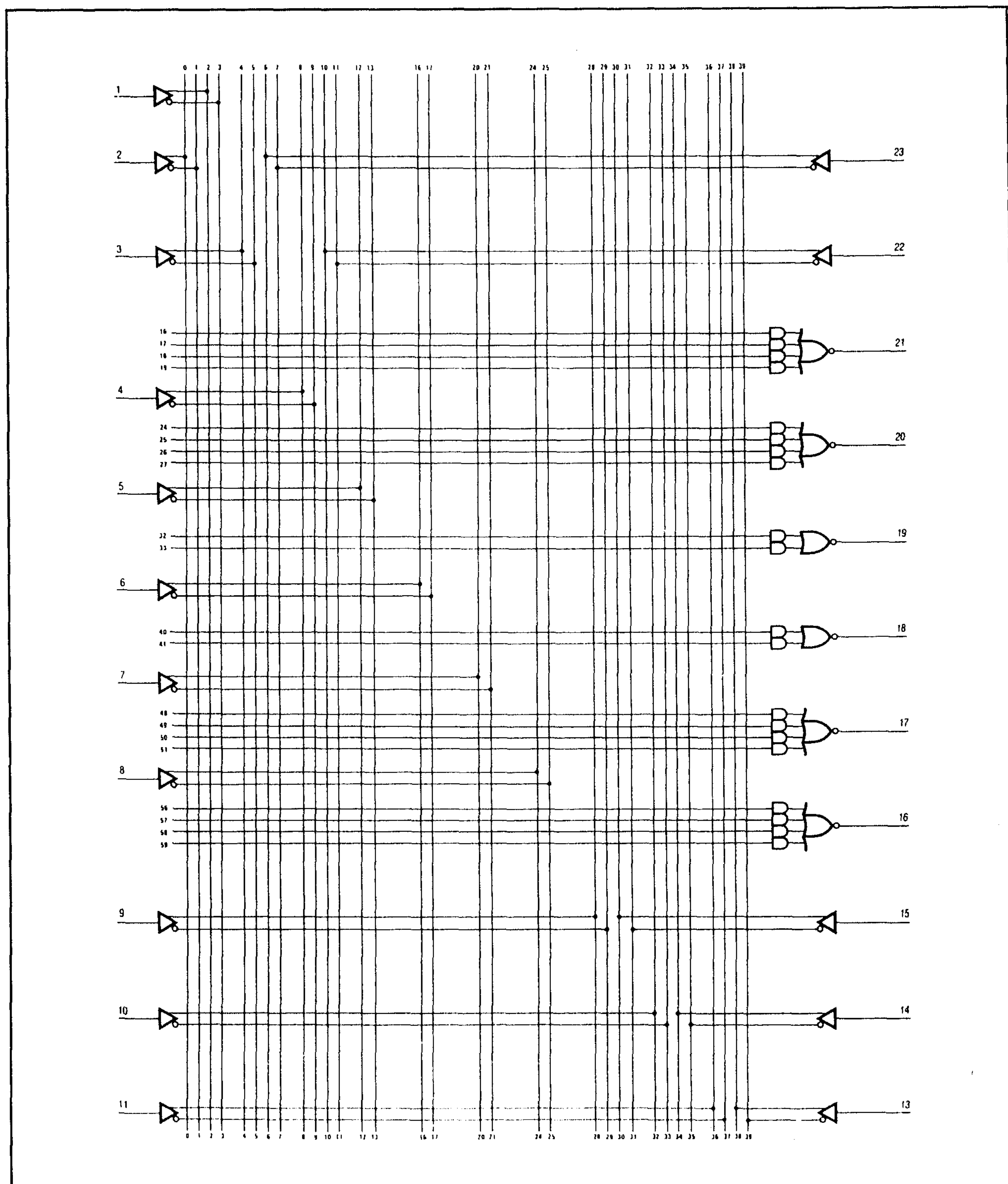


Figuur 8/10.3-47: Logisch symbool en aansluitingen van de PAL20L2: 20 ingangen, 2 actief-LAGE uitgangen.



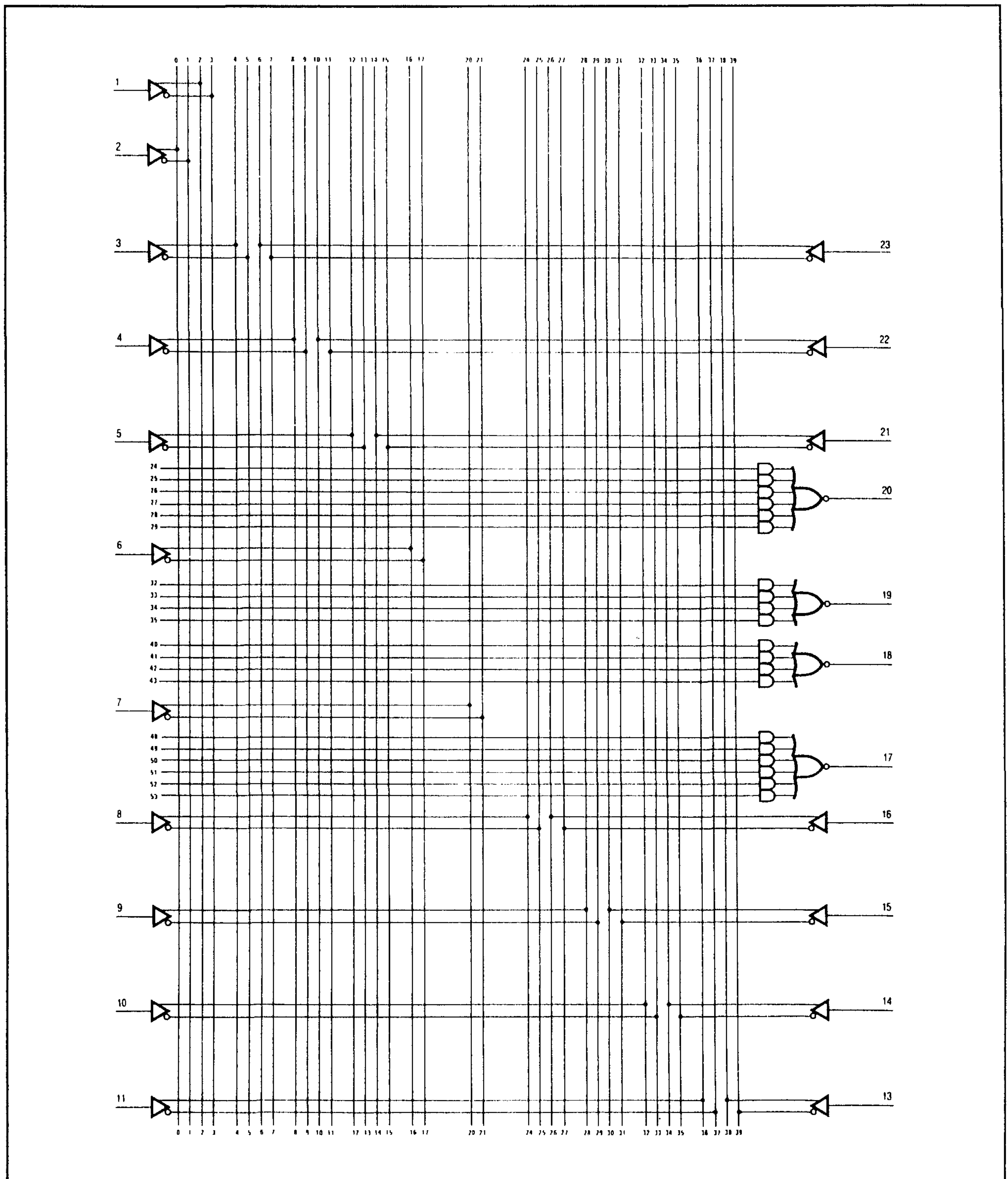
Figuur 8/10.3-48: Logisch symbool en aansluitingen van de PAL20C1: 20 ingangen, 2 complementaire uitgangen.

10.3 Type-beschrijving PAL's



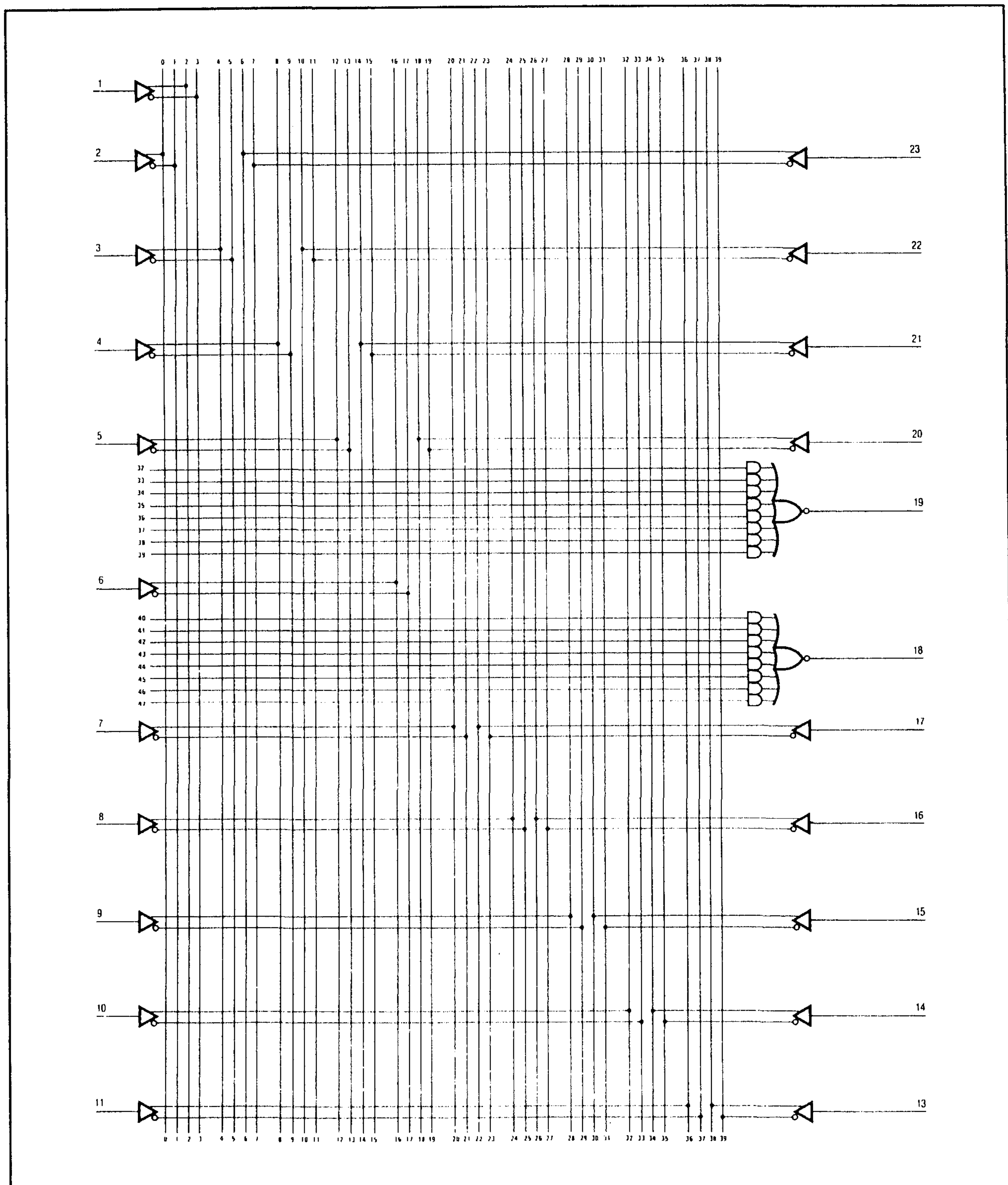
Figuur 8/10.3-49: Functioneel schema van de PAL16L6 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



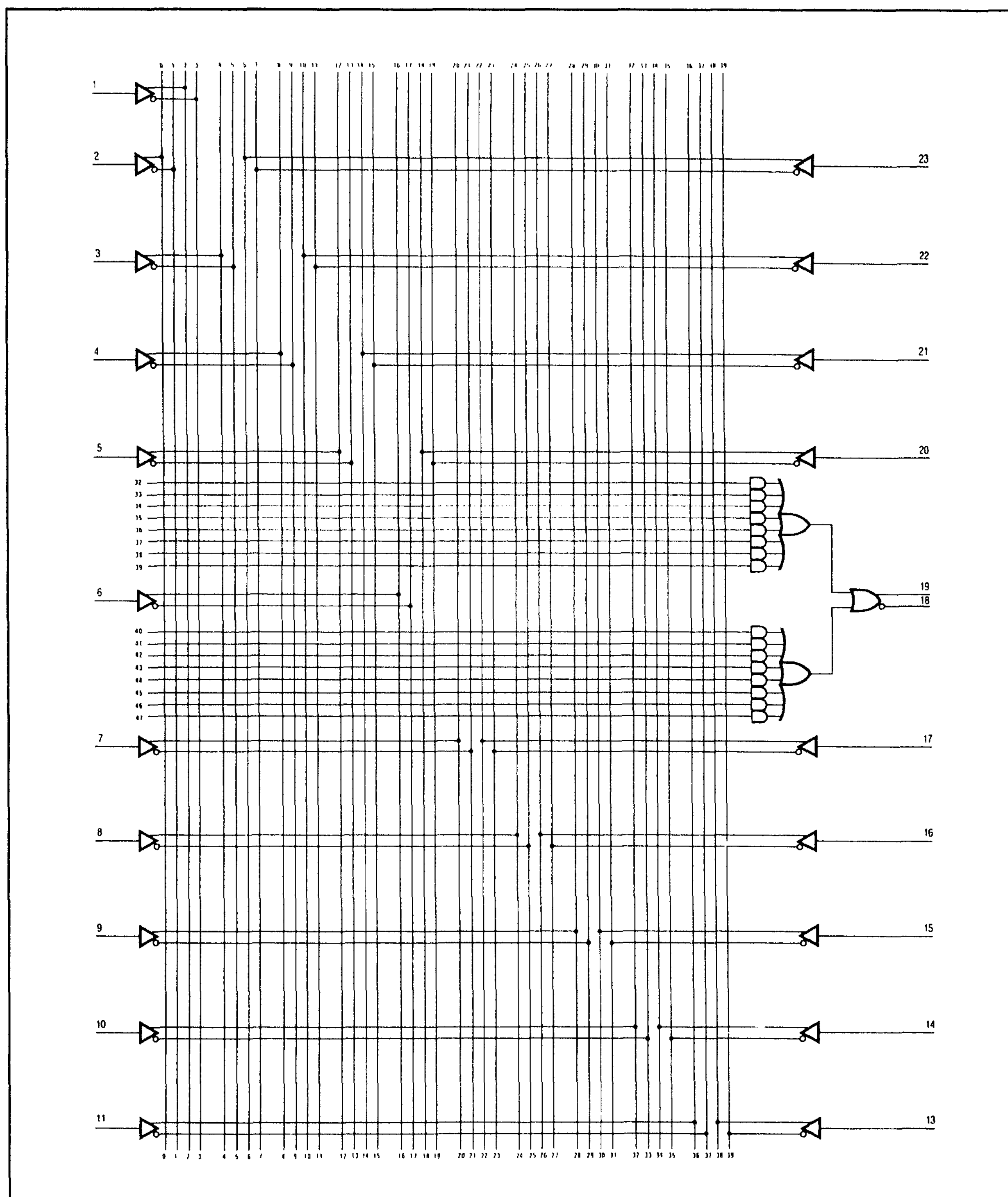
Figuur 8/10.3-50: Functioneel schema van de PAL18L4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-51: Functioneel schema van de PAL20L2 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-52: Functioneel schema van de PAL20C1 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
T_A	Operating free-air temperature	-55			0		75	°C
T_C	Operating case temperature			125				°C

Tabel 8/10.3-21: Aanbevolen bedrijfscondities van de standaard typen PAL12L10, PAL14L8, PAL16L6, PAL18L4, PAL20L2 en PAL20C1.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = -18mA		-0.8	-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX		V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX		V_I = 2.4V			25	µA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 8mA		0.3	0.5	V
			COM	I_{OL} = 8mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2mA	2.4	2.8		V
			COM	I_{OH} = -3.2mA				
I_{OS}	Output short-circuit current**	V_{CC} = 5V		V_O = 0V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				60	100	mA

Tabel 8/10.3-22: Elektrische kenmerken van de PAL12L10, PAL14L8, PAL16L6, PAL18L4, PAL20L2 en PAL20C1.

SYMBOL	PARAMETER	TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feedback to output	R1 = 560Ω R2 = 1.1kΩ		25	45		25	40	ns

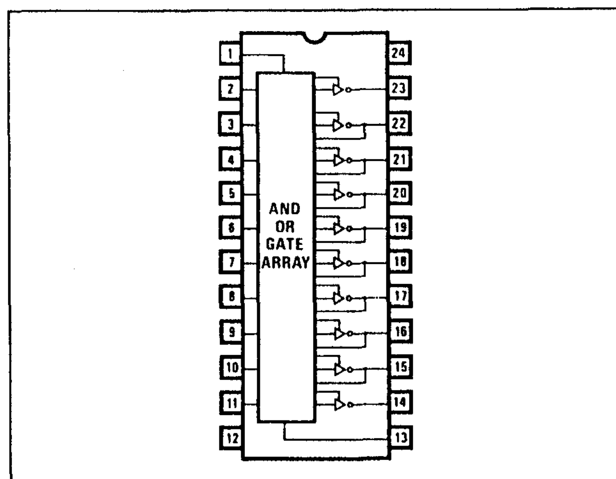
Tabel 8/10.3-23: Schakeltijden van de PAL12L10, PAL14L8, PAL16L6, PAL18L4, PAL20L2 en PAL20C1.

PAL20L10, PAL20X10, PAL20X8, PAL20X4

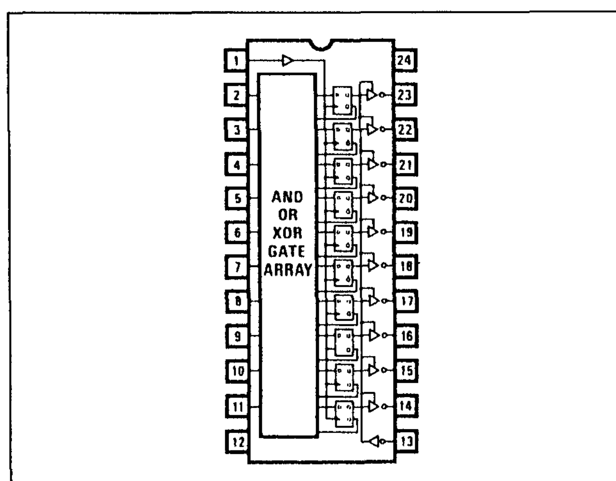
De PAL20L10 is een PAL met 10 actief-LAGE uitgangen. De PAL20X10, PAL20X8 en PAL20X4 zijn EXOR-typen met respectievelijk 10, 8 en 4 actief-LAGE uitgangen.

Van deze PAL's zijn alleen de standaard-uitvoeringen leverbaar in 24-pens plastic en ceramische "skinny-DIP" behuizingen. Van deze PAL's volgen de gegevens hieronder.

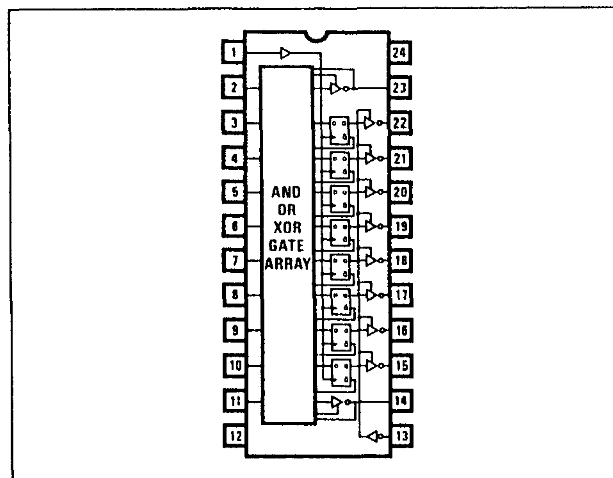
10.3 Type-beschrijving PAL's



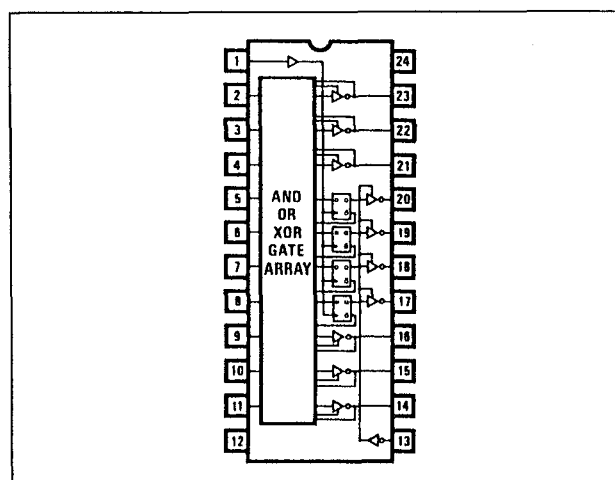
Figuur 8/10.3-53: Logisch symbool en aansluitingen van de DIL-versie van de PAL20L10: 20 ingangen, 10 actief-LAGE uitgangen.



Figuur 8/10.3-54: Logisch symbool en aansluitingen van de PAL20X10: 20 ingangen, 10 actief-LAGE, EXOR uitgangen.

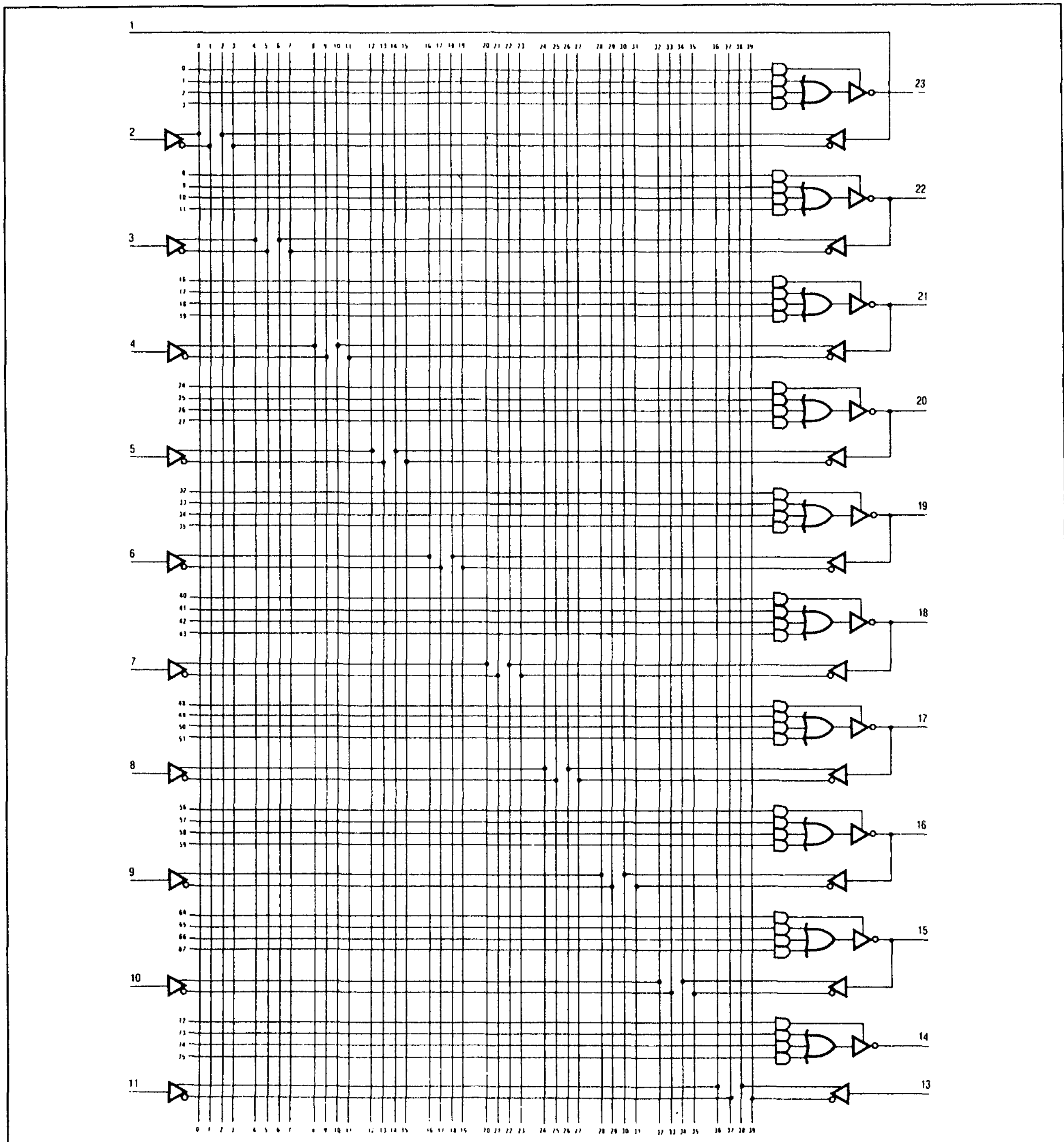


Figuur 8/10.3-55: Logisch symbool en aansluitingen van de PAL20X8: 20 ingangen, 8 actief-LAGE, EXOR uitgangen.



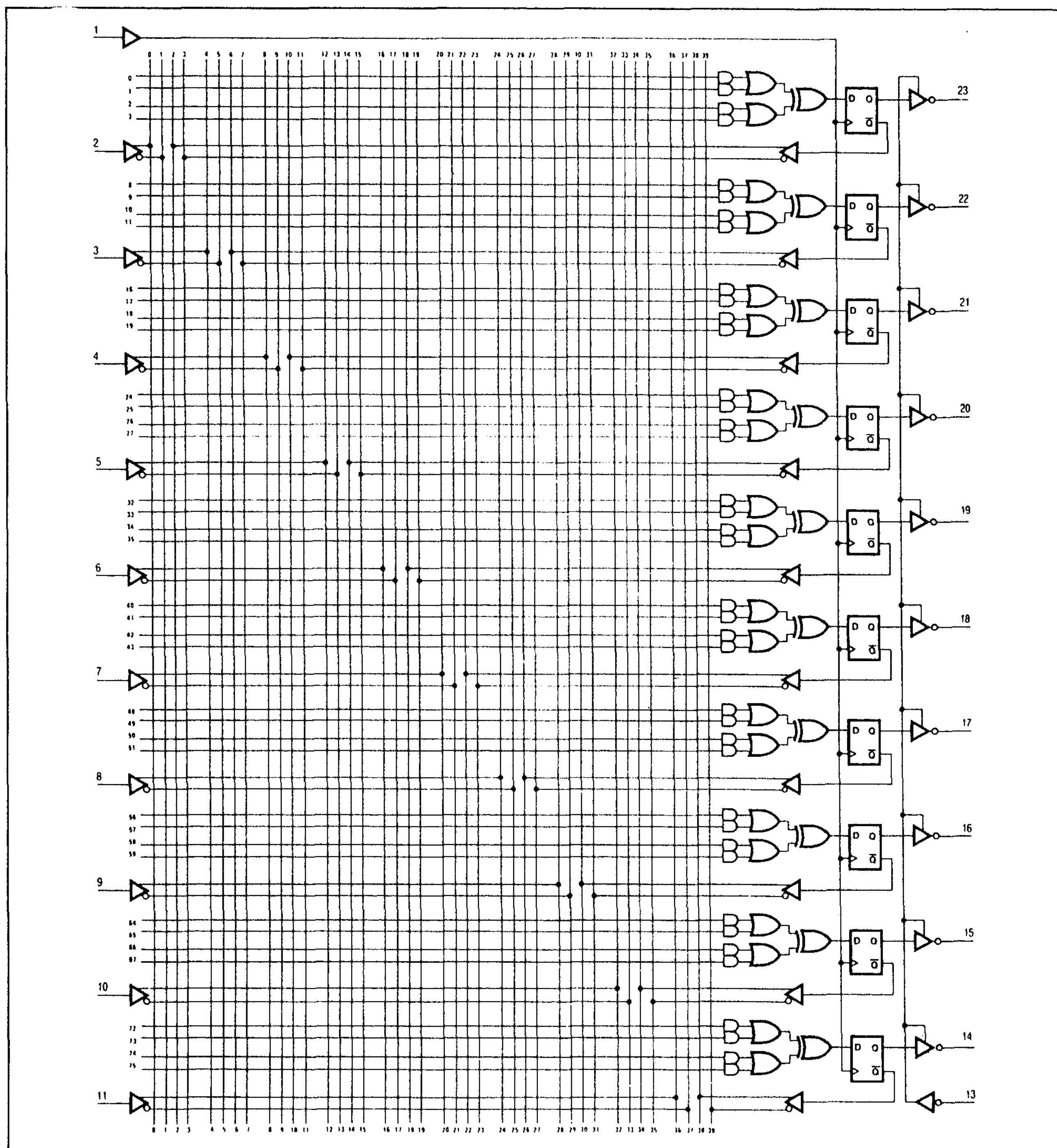
Figuur 8/10.3-56: Logisch symbool en aansluitingen van de PAL20X4: 20 ingangen, 4 actief-LAGE, EXOR uitgangen.

10.3 Type-beschrijving PAL's



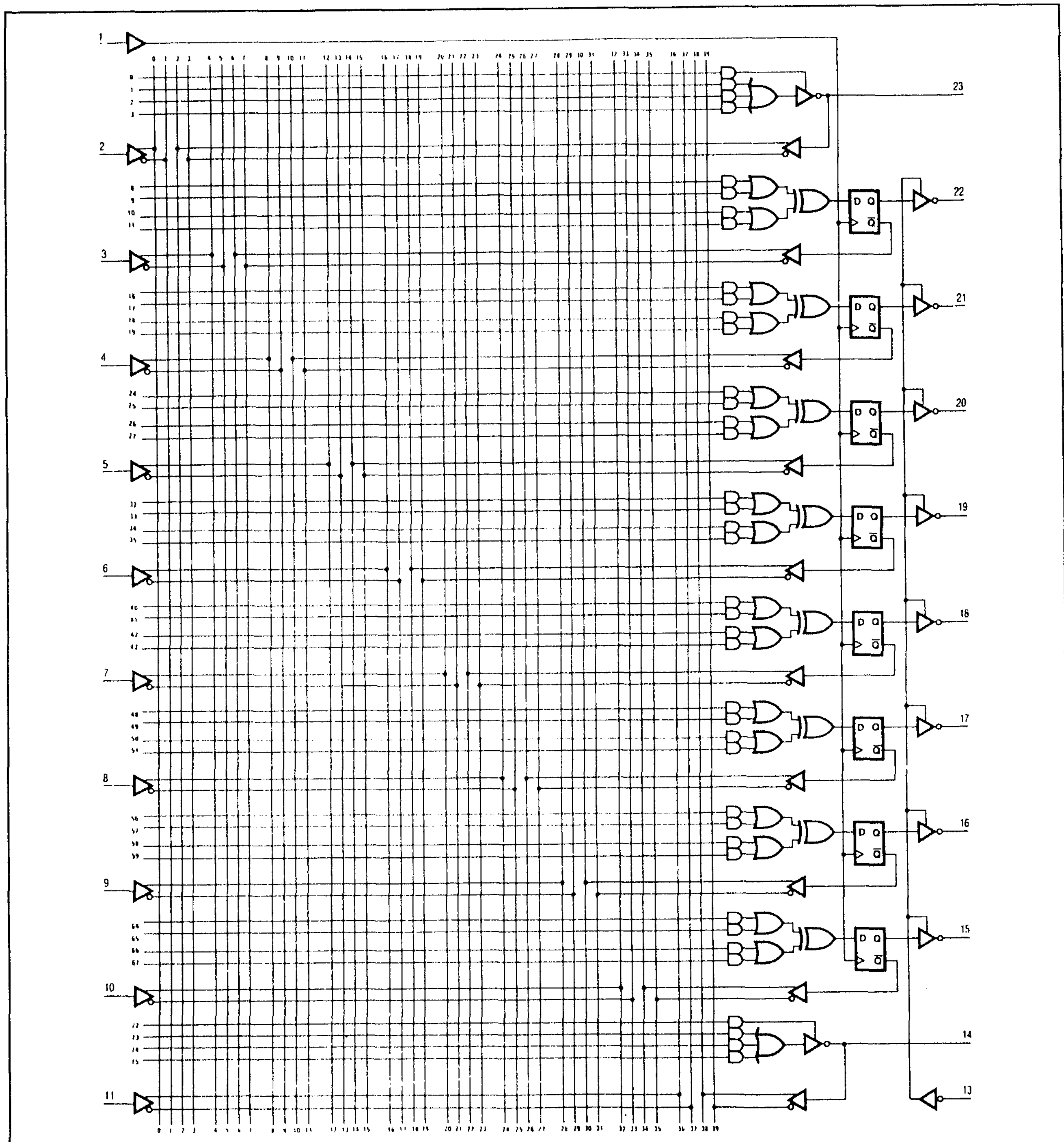
Figuur 8/10.3-57: Functioneel schema van de PAL20L10 in volledig geprogrammeerde toestand, waardoor de codering hierop kan worden genoteerd.

10.3 Type-beschrijving PAL's



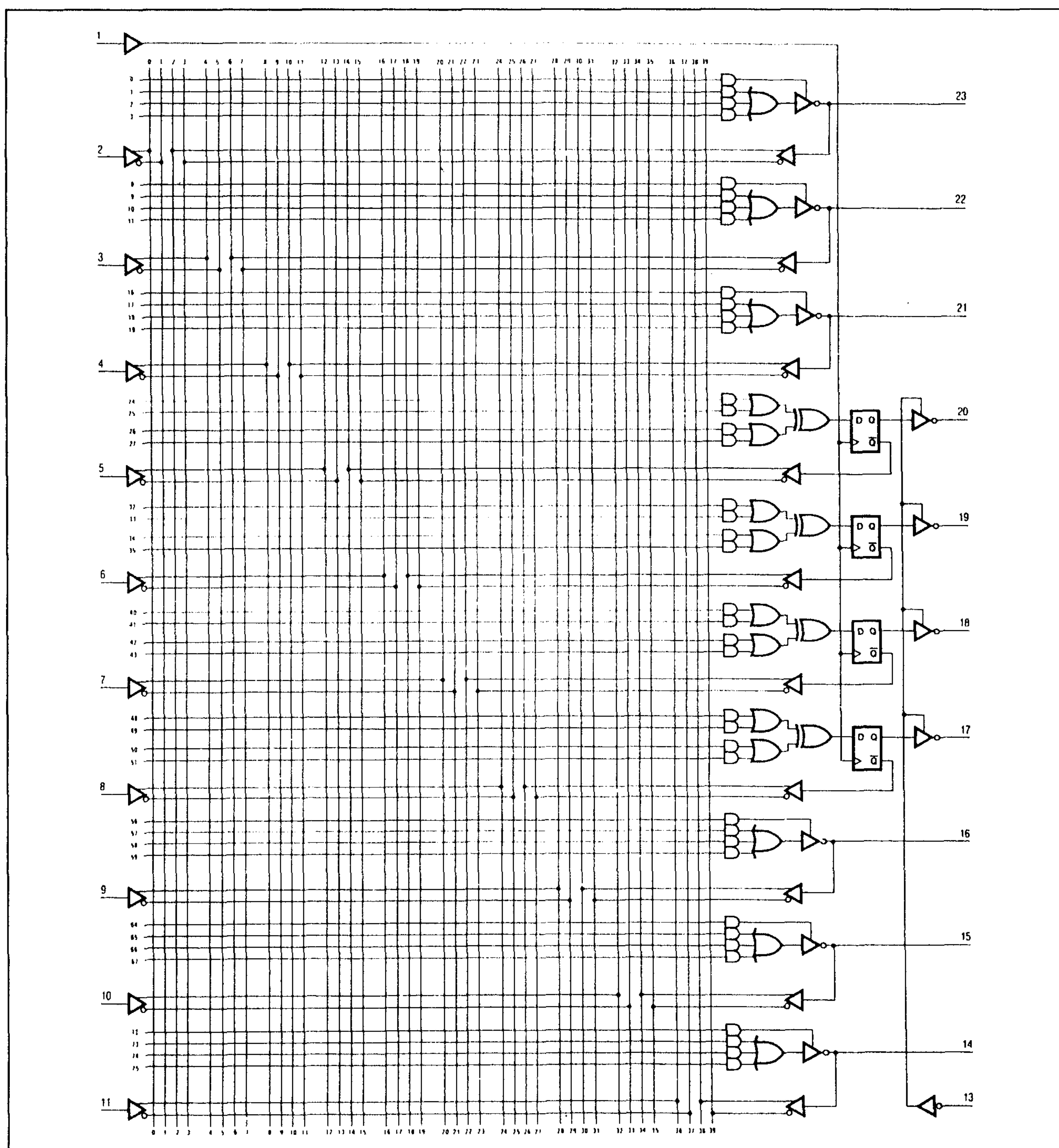
Figuur 8/10.3-58: Functioneel schema van de PAL20X10 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-59: Functioneel schema van de PAL20X8 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-60: Functioneel schema van de PAL20X4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	40	20		35	20		ns
		High	30	10		25	10		ns
t_{su}	Set up time from input or feedback to clock		60	38		50	38		ns
t_h	Hold time		0	-15		0	-15		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-24: Aanbevolen bedrijfscondities van de standaard typen PAL20L10, PAL20X10, PAL20X8 en PAL20X4.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage				0.8	V
V_{IH}*	High-level input voltage		2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA		-0.8	−1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX, V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX, V_I = 2.4V			25	μA
I_I	Maximum input current	V_{CC} = MAX, V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN; MIL I_{OL} = 12mA; COM I_{OL} = 24mA		0.3	0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN; MIL I_{OH} = -2mA; COM I_{OH} = -3.2mA	2.4	2.8		V
I_{OZL}	Off-state output current †	V_{CC} = MAX, V_O = 0.4V			-100	μA
I_{OZH}	Off-state output current †	V_{CC} = MAX, V_O = 2.4V			100	μA
I_{OS}	Output short-circuit current **	V_{CC} = 5V, V_O = 0V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX, 20X10 20X8 20X4		120	180	mA
I_{CC}	Supply current	V_{CC} = MAX, 20L10		90	165	mA

Tabel 8/10.3-25: Elektrische kenmerken van de PAL20L10, PAL20X10, PAL20X8 en PAL20X4.

10.3 Type-beschrijving PAL's

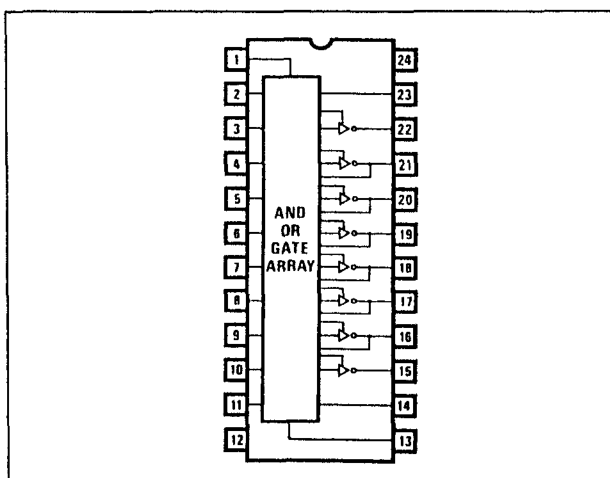
SYMBOL	PARAMETER	TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feedback to output			35	60		35	50	ns
t_{CLK}	Clock to output or feedback			20	35		20	30	ns
$t_{PXZ/ZX}$	Pin 13 to output disable/enable except 20L10	$R_1 = 200\Omega$		20	45		20	35	ns
t_{PZX}	Input to output enable except 20X10	$R_2 = 390\Omega$		35	55		35	45	ns
t_{PXZ}	Input to output disable except 20X10			35	55		35	45	ns
f_{MAX}	Maximum frequency		10.5	16		12.5	16		MHz

Tabel 8/10.3-26: Schakeltijden van de PAL20L10, PAL20X10, PAL20X8 en PAL20X4.

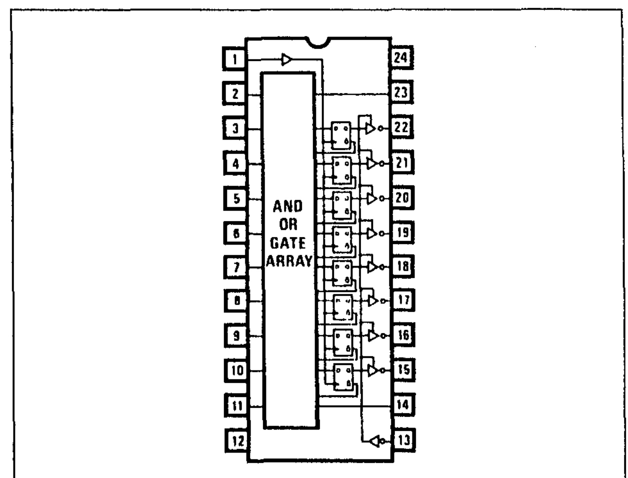
PAL20L8A, PAL20R8A, PAL20R6A, PAL20R4A

De PAL20L8 is een populair type met 20 ingangen en 8 actief-LAGE uitgangen. De PAL20R8, PAL20R6 en PAL20R4 zijn populaire registered typen met respectievelijk 8, 6 en 4 actief-LAGE uitgangen. Van bovengenoemde PAL's zijn alleen de high-speed uitvoeringen leverbaar.

Alle typen zijn leverbaar in 24-pens skinny-DIP plastic en ceramische DIL-behuizingen. Van deze PAL's volgen de gegevens hieronder.

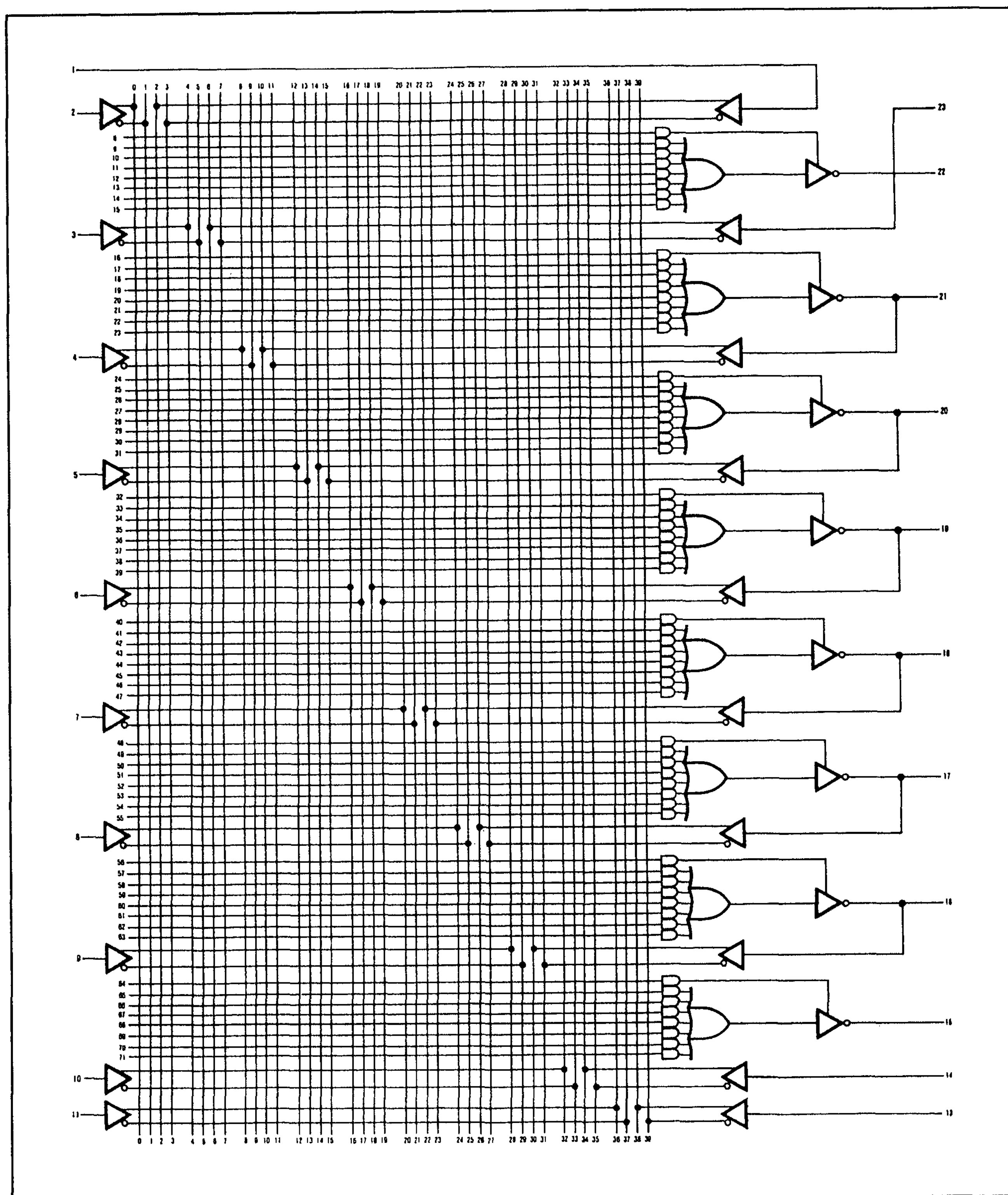


Figuur 8/10.3-61: Logisch symbool en aansluitingen van de PAL20L8A: 20 ingangen, 8 actief-LAGE uitgangen.



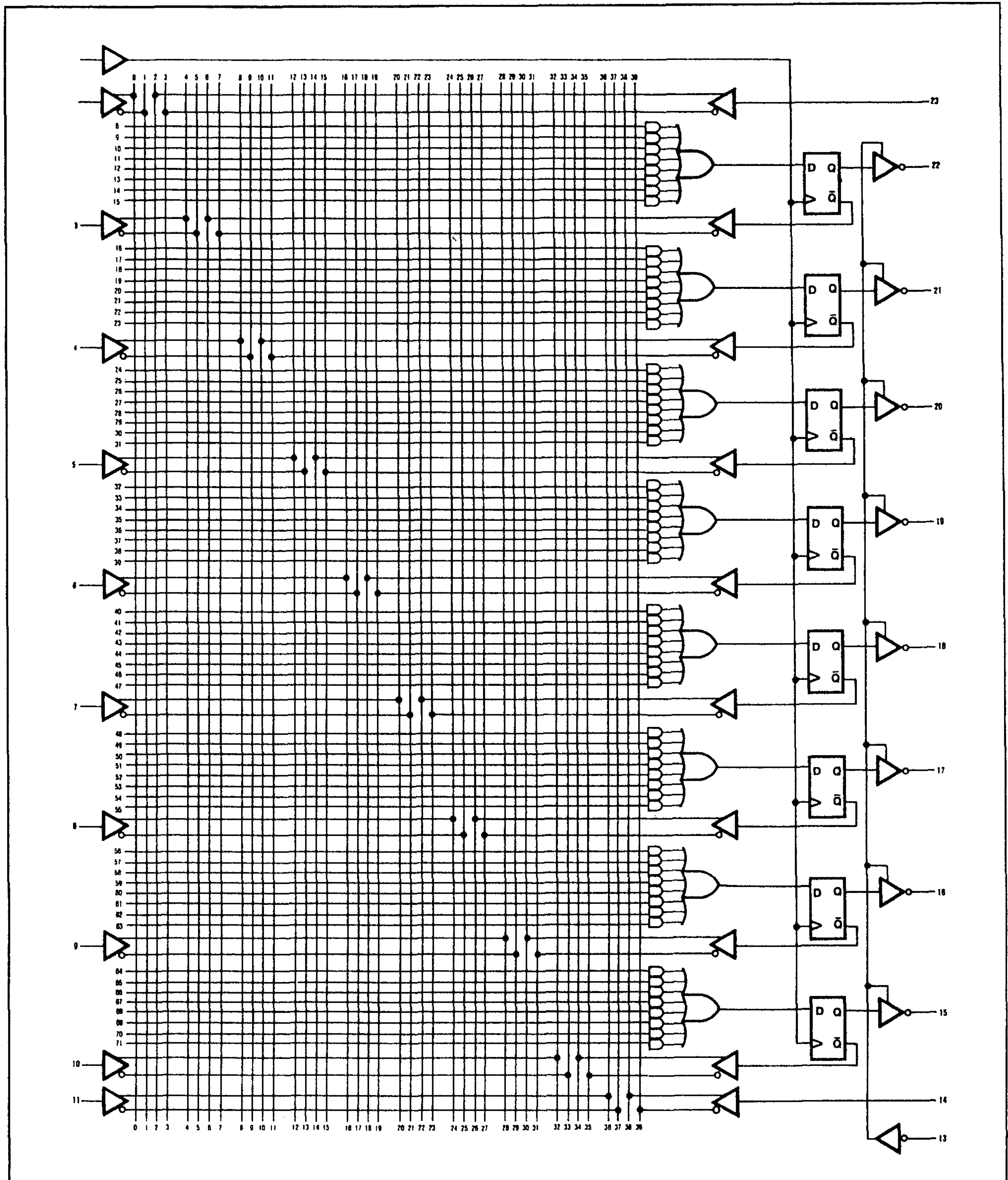
Figuur 8/10.3-62: Logisch symbool en aansluitingen van de PAL20R8A: 20 ingangen, 8 actief-LAGE, geregistreerde uitgangen.

10.3 Type-beschrijving PAL's



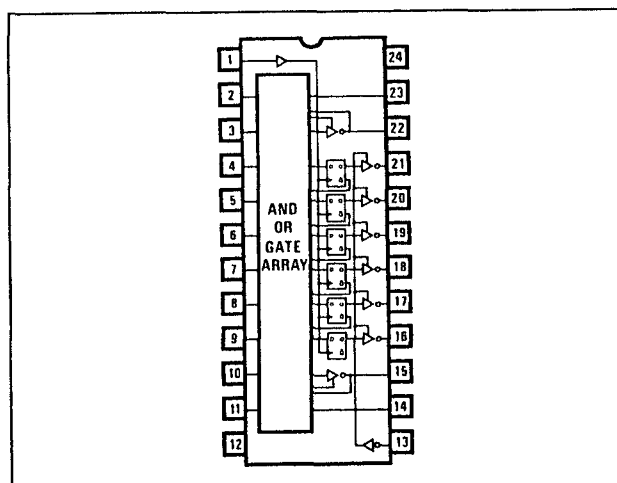
Figuur 8/10.3-63: Functioneel schema van de PAL20L8A in volledig geprogrammeerde toestand: alle zekeringen doorgebrand, zodat deze figuur kan dienen om de codering erop te noteren.

10.3 Type-beschrijving PAL's

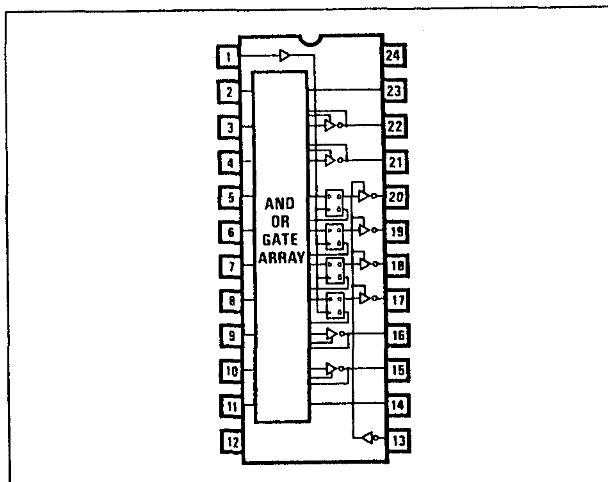


Figuur 8/10.3-64: Functioneel schema van de PAL20R8A getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

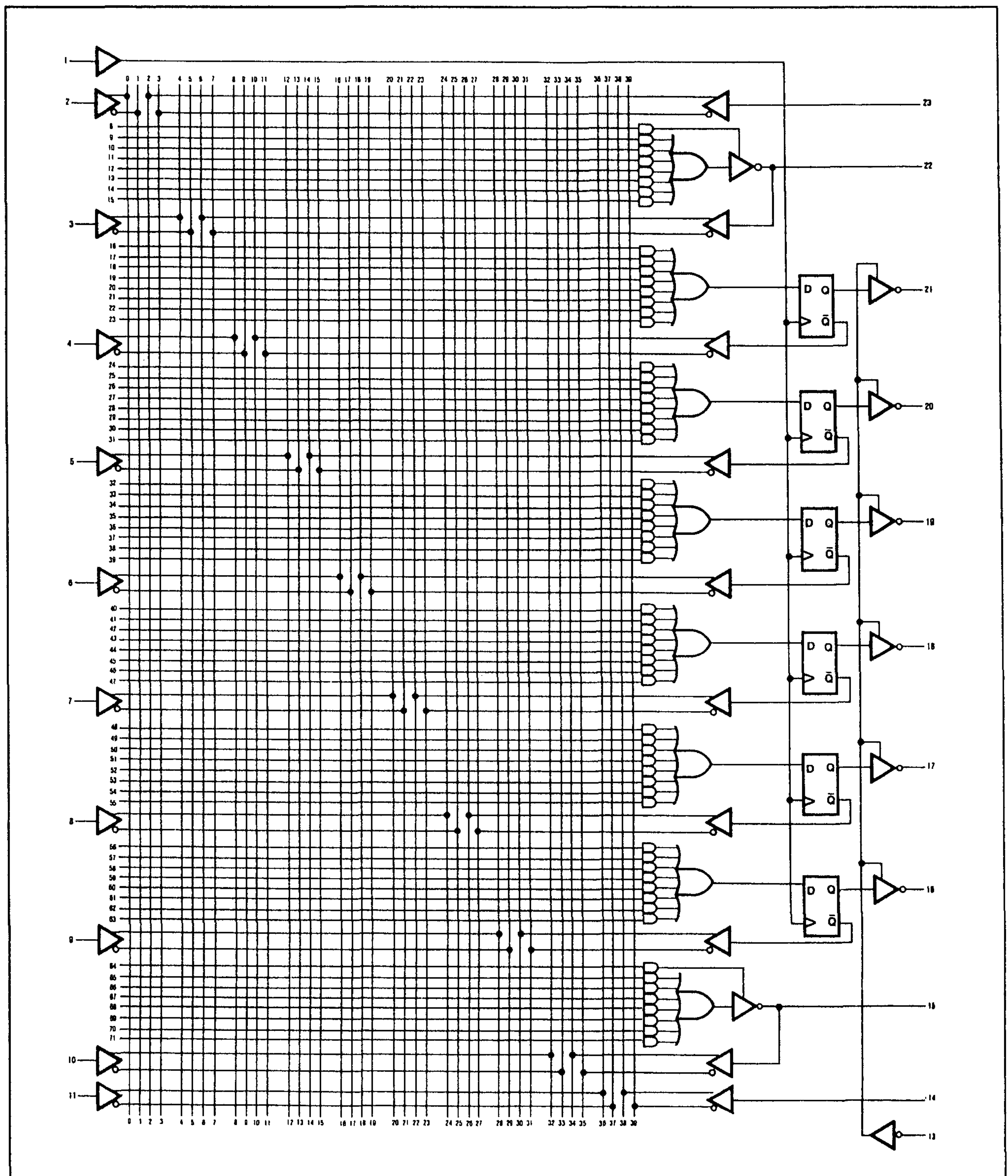


Figuur 8/10.3-65: Logisch symbool en aansluitingen van de PAL20R6A: 20 ingangen, 6 actief-LAGE, geregistreerde uitgangen.



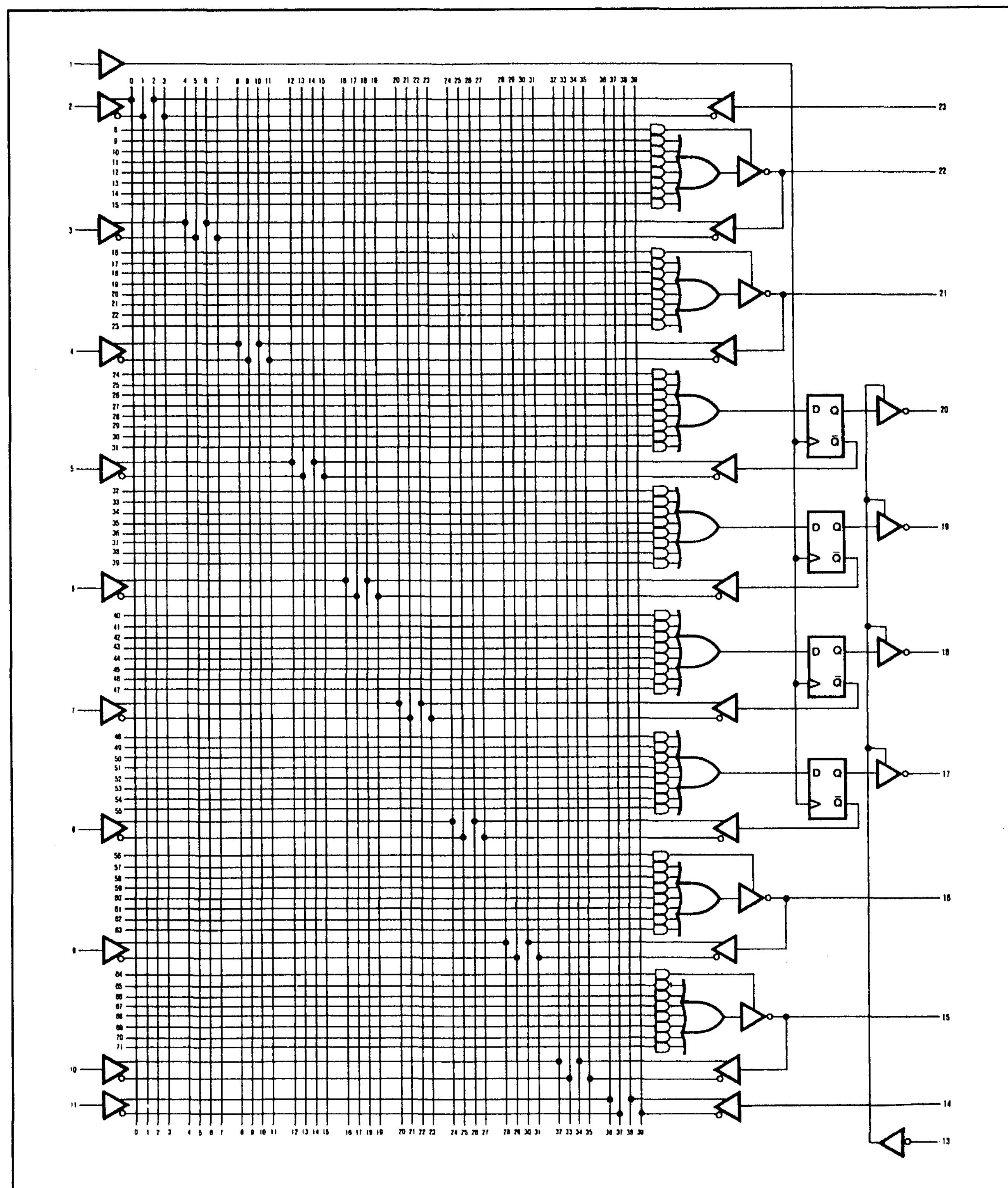
Figuur 8/10.3-66: Logisch symbool en aansluitingen van de PAL20R4A: 20 ingangen, 4 actief-LAGE, geregistreerde uitgangen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-67: Functioneel schema van de PAL20R6A getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-68: Functioneel schema van de PAL20R4A getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	20	7		15	7		ns
		High	20	7		15	7		ns
t_{su}	Set up time from input or feedback to clock	20R8A 20R6A 20R4A	30	15		25	15		ns
t_h	Hold time		0	-10		0	-10		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-27: Aanbevolen bedrijfscondities van de high-speed PAL's 20L8, 20R8, 20R6 en 20R4.

SYMBOL	PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = -18mA		-0.8	-1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX		V_I = 0.4V		-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX		V_I = 2.4V			25	μA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 12mA		0.3	0.5	V
			COM	I_{OL} = 24mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2mA	2.4	2.8		V
			COM	I_{OH} = -3.2mA				
I_{OZL}	Off-state output current †	V_{CC} = MAX		V_O = 0.4V			-100	μA
I_{OZH}				V_O = 2.4V			100	μA
I_{OS}	Output short-circuit current **	V_{CC} = 5V		V_O = 0V	-30	-90	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				160	210	mA

Tabel 8/10.3-28: Elektrische kenmerken van de PAL20L8A, PAL20R8A, PAL20R6A en PAL20R4A.

10.3 Type-beschrijving PAL's

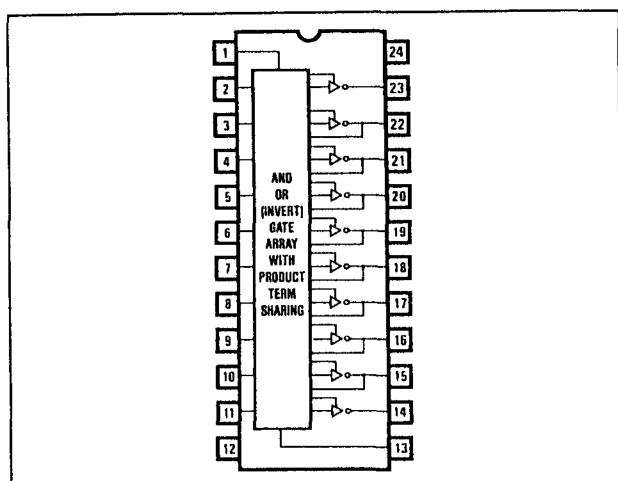
SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feed-back to output	20R6A 20R4A 20L8A	$R_1 = 200\Omega$, $R_2 = 390\Omega$		15	30		15	25	ns
t_{CLK}	Clock to output or feedback				10	20		10	15	ns
t_{PZX}	Pin 13 to output enable except 20L8A				10	25		10	20	ns
t_{PXZ}	Pin 13 to output disable except 20L8A				11	25		11	20	ns
t_{PZX}	Input to output enable	20R6A 20R4A 20L8A			10	30		10	25	ns
t_{PXZ}	Input to output disable	20R6A 20R4A 20L8A			13	30		13	25	ns
f_{MAX}	Maximum frequency	20R8A 20R6A 20R4A		20	40		28.5	40		MHz

Tabel 8/10.3-29: Schakeltijden van de PAL20L8A, PAL20R8A, PAL20R6A en PAL20R4A.

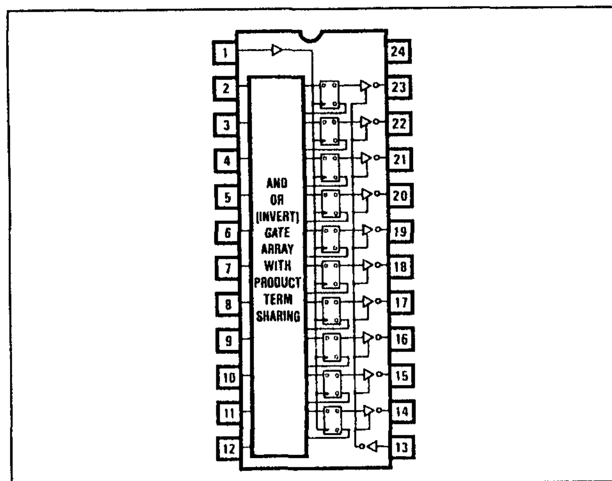
PAL20S10, PAL20RS10, PAL20RS8, PAL20RS4

De PAL's 20S10, 20RS10, 20RS8 en 20RS4 hebben alle de mogelijkheid tot product-term sharing. De laatste drie zijn bovendien uitgerust met registers met respectievelijk 10, 8 en 4 actief-HOGE uitgangen. Van bovengenoemde PAL's zijn alleen de high-speed uitvoeringen leverbaar.

Alle typen worden geleverd in 24-pens plastic en ceramische DIL-behuizingen en "Cerpack". Van deze PAL's volgen de gegevens hieronder.

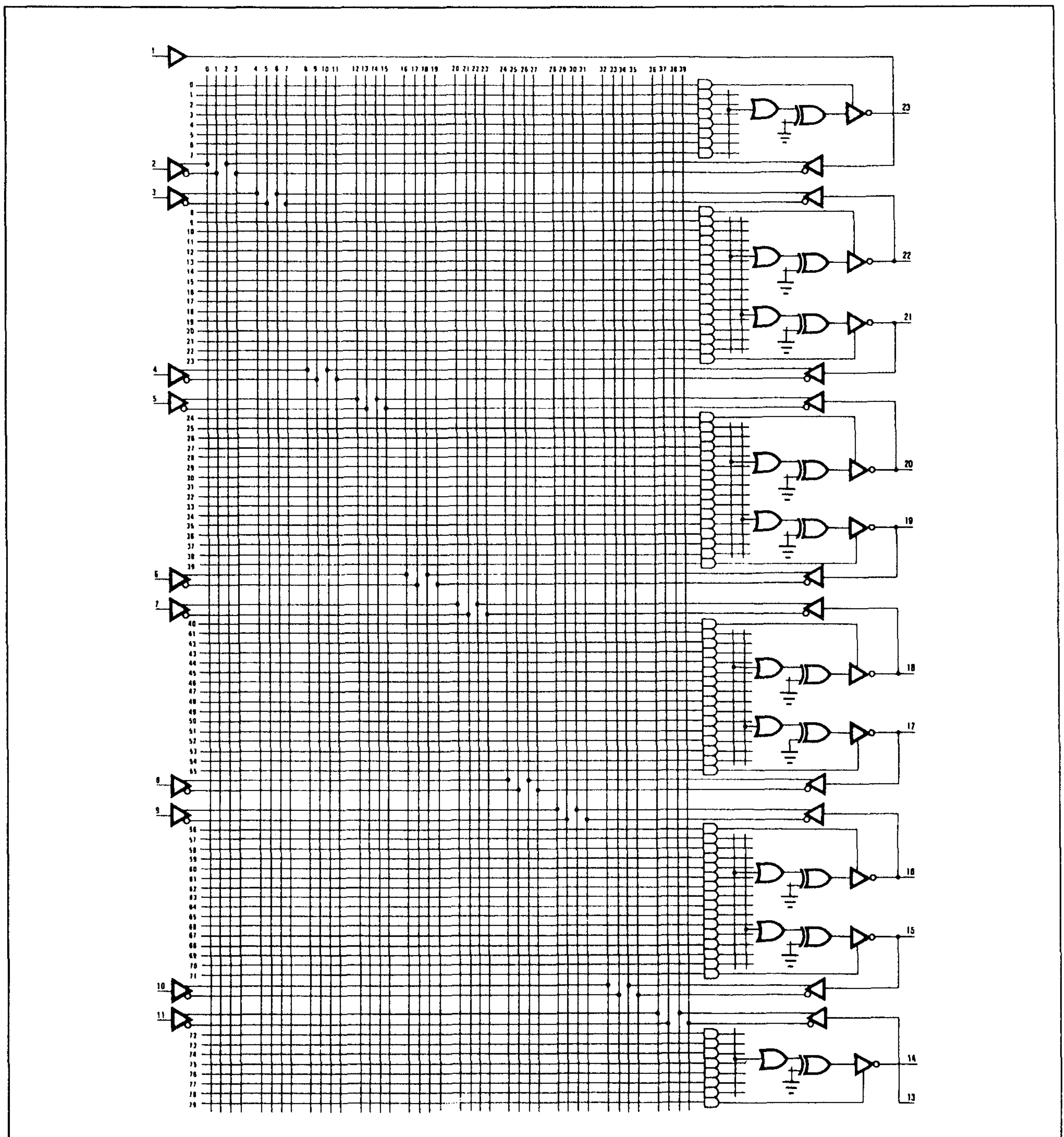


Figuur 8/10.3-69: Logisch symbool en aansluitingen van de PAL20S10: 20 ingangen, 10 actief-HOGE uitgangen met "product-term sharing".



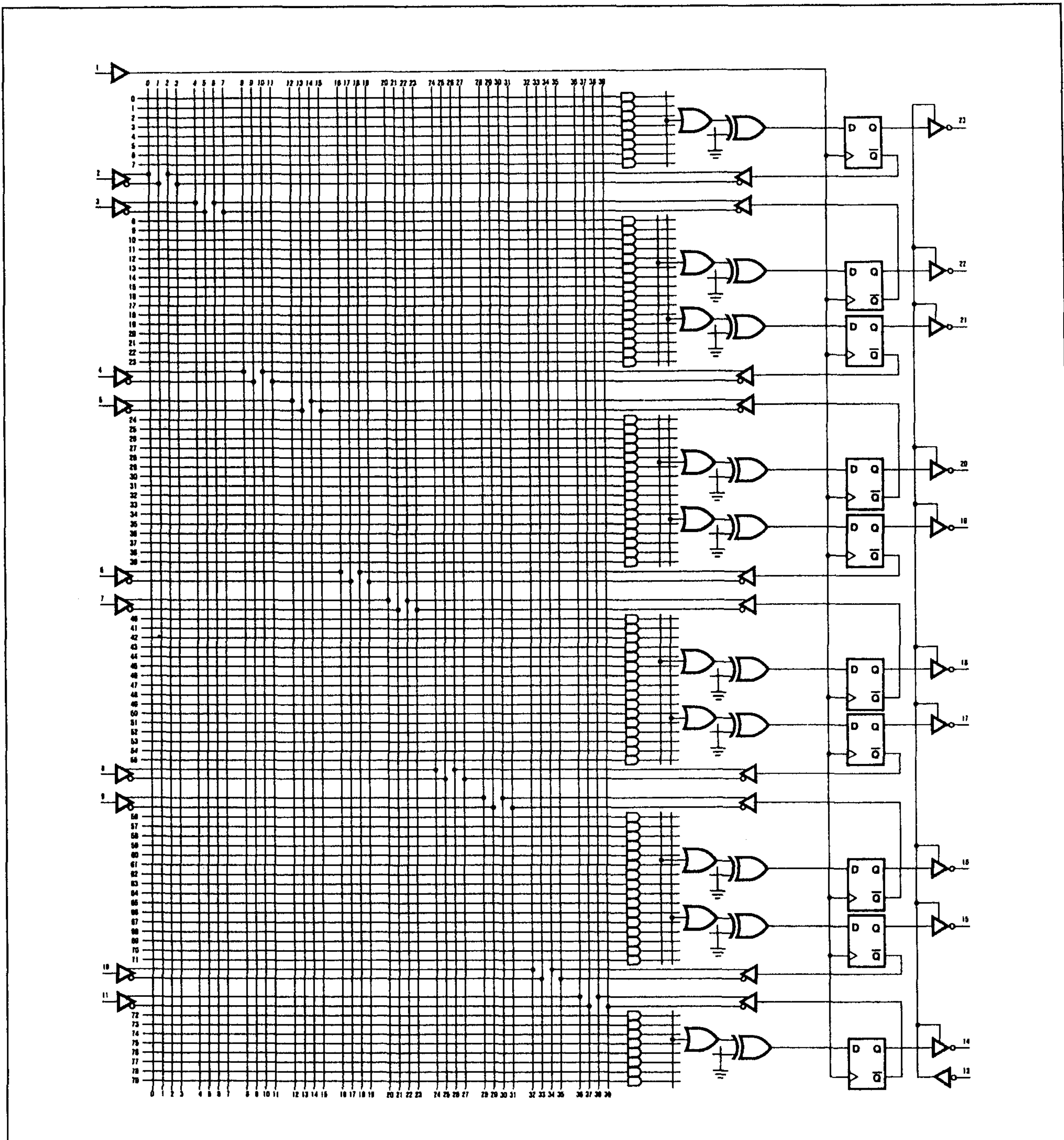
Figuur 8/10.3-70: Logisch symbool en aansluitingen van de PAL20RS10: 20 ingangen, 10 actief-HOGE, geregistreerde uitgangen met product-term sharing.

10.3 Type-beschrijving PAL's



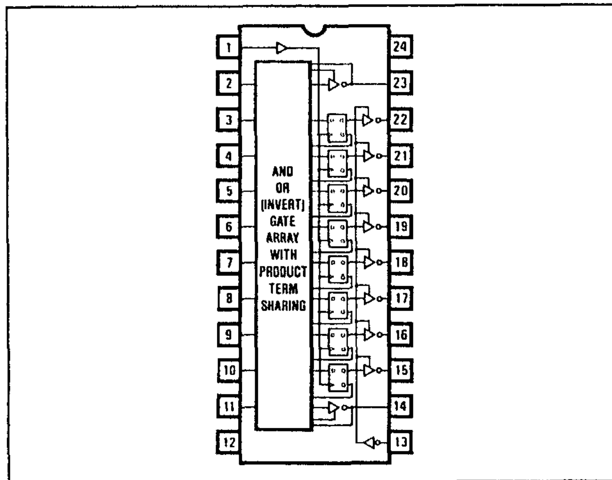
Figuur 8/10.3-71: Functioneel schema van de PAL20S10 volledig geprogrammeerd, zodat de programmering in deze figuur kan plaatsvinden.

10.3 Type-beschrijving PAL's



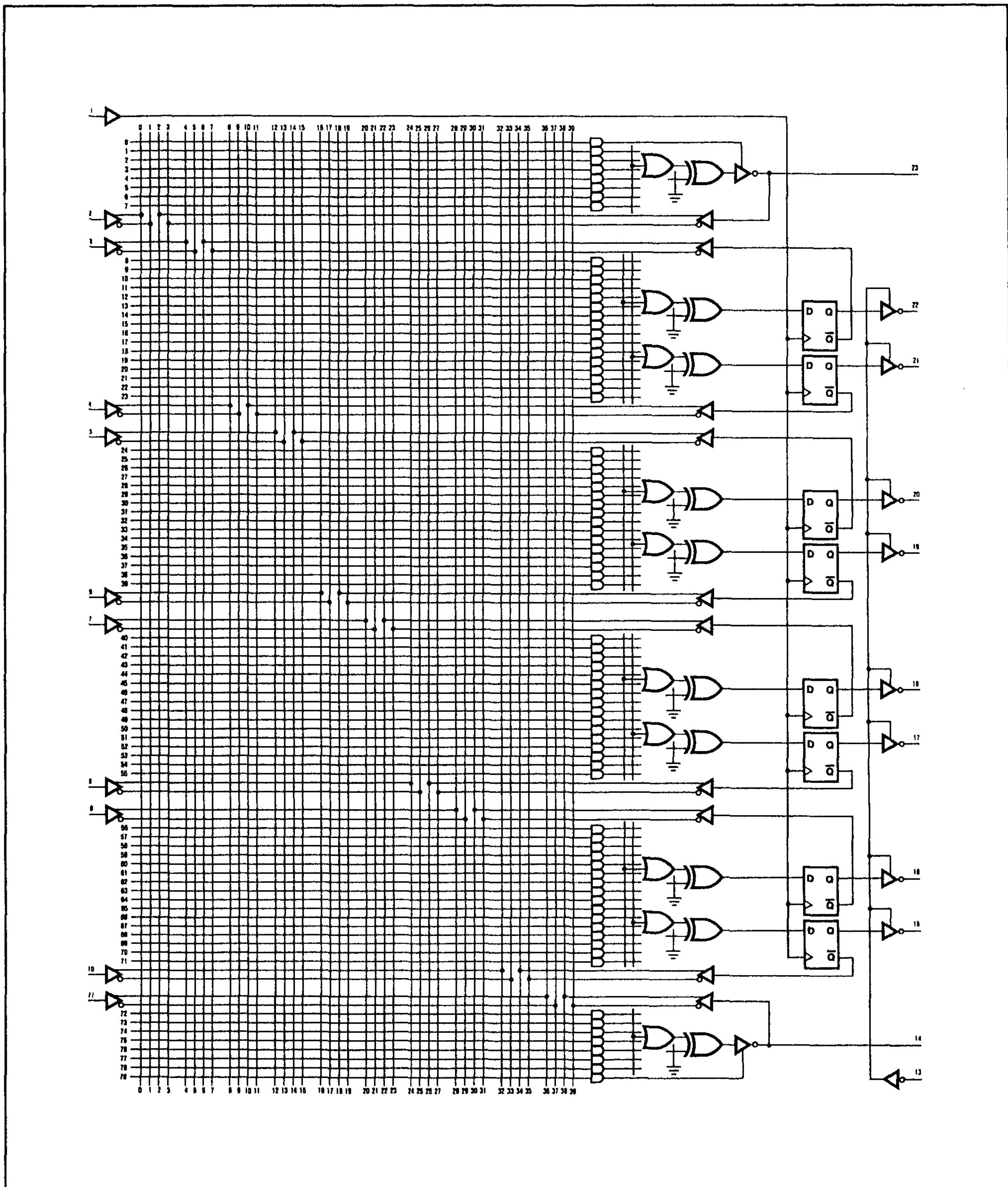
Figuur 8/10.3-72: Functioneel schema van de PAL20RS10 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



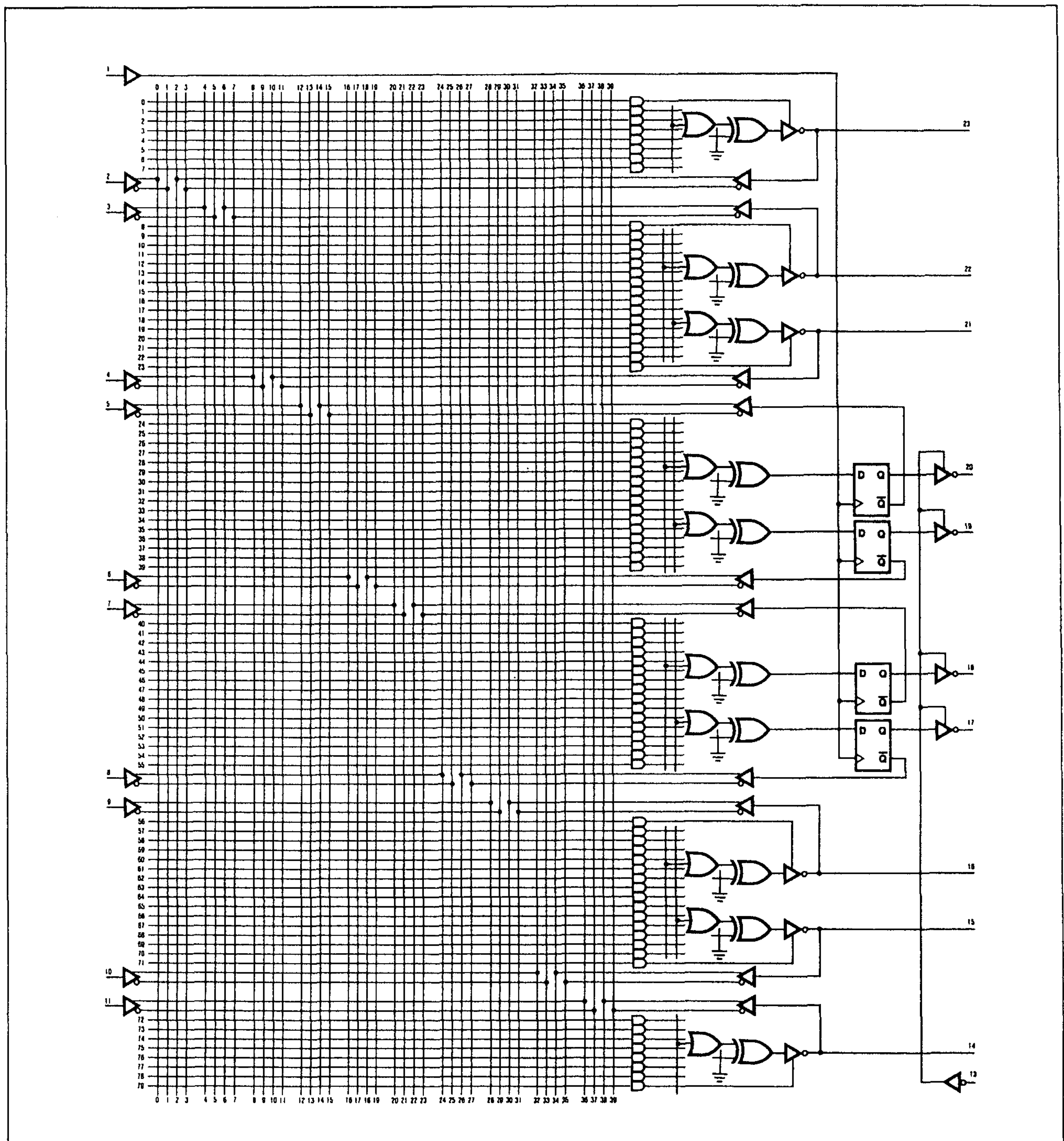
Figuur 8/10.3-73: Logisch symbool en aansluitingen van de PAL20RS8: 20 ingangen, 8 actief-HOGE, geregistreerde uitgangen met product-term sharing.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-74: Functioneel schema van de PAL20RS8 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-75: Functioneel schema van de PAL20RS4 getekend zonder zekeringen.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	20	10		15	10		ns
		High	20	10		15	10		
t_{su}	Setup time from input or feedback to clock	20RS10 20RS8 20RS4	40	25		35	25		ns
t_h	Hold time		0	-10		0	-10		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-30: Aanbevolen bedrijfscondities van de high-speed PAL20S10, PAL20RS10, PAL20RS8 en PAL20RS4.

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA			-0.8	-1.5	V
I_{IL}	Low-level input current †	V_{CC} = MAX	V_I = 0.4 V			-0.02	-0.25	mA
I_{IH}	High-level input current †	V_{CC} = MAX	V_I = 2.4 V				25	μA
I_I	Maximum input current	V_{CC} = MAX	V_I = 5.5 V				1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 12 mA		0.3	0.5	V
			COM	I_{OL} = 24 mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2 mA	2.4	2.8		V
			COM	I_{OH} = -3.2 mA				
I_{OZL}	Off-state output current†	V_{CC} = MAX		V_O = 0.4 V			-100	μA
I_{OZH}				V_{OL} = 2.4 mA			100	
I_{OS}	Output short-circuit current**	V_{CC} = 5V		V_O = 0 V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				175	240	mA

Tabel 8/10.3-31: Elektrische kenmerken van de PAL20S10, PAL20RS10, PAL20RS8 en PAL20RS4.

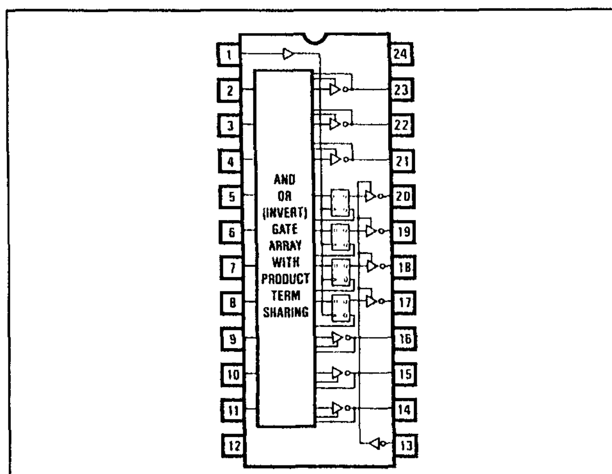
10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	20S10, 20RS8, 20RS4 Input or feedback to output	Polarity fuse intact	R_1 = 200 Ω R_2 = 390 KΩ		25	40		25	35	ns
		Polarity fuse blown			30	45		30	40	
t_{CLK}	Clock to output or feedback				12	20		12	17	ns
t_{PZX}	Pin 13 to output enable except 20S10				10	25		10	20	ns
t_{PXZ}	Pin 13 to output disable except 20S10				11	25		11	20	ns
t_{PZX}	Input to output enable	20S10, 20RS8, 20RS4			25	35		25	35	ns
t_{PXZ}	Input to output disable	20S10, 20RS8 20RP4			13	25		13	25	ns
f_{MAX}	20RS10, 20RS8, 20RS4 Maximum frequency			18	28		20	28		MHz

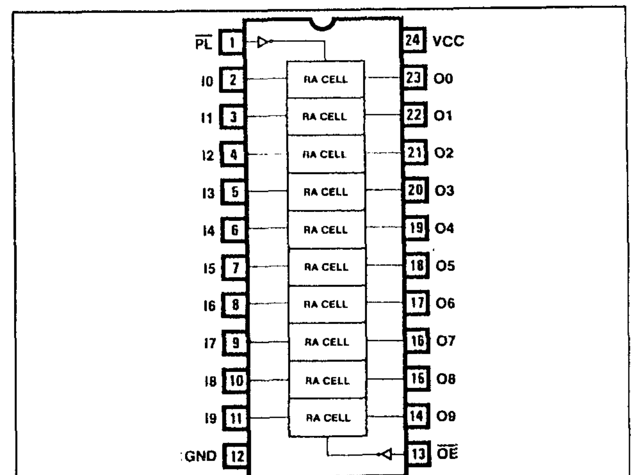
Tabel 8/10.3-32: Schakeltijden van de PAL20S10, PAL20RS10, PAL20RS8 en PAL20RS4.

PAL20RA10

De PAL20RA10 is een asynchrone registered AND-OR array met 10 actief-HOGE uitgangen en 20 ingangen. Deze PAL wordt alleen in de high-speed uitvoering geleverd. Als behuizing zijn een 24-pens plastic en ceramische DIL-behuizing en "Cerpack" mogelijk. Van deze PAL volgen de gegevens hieronder.

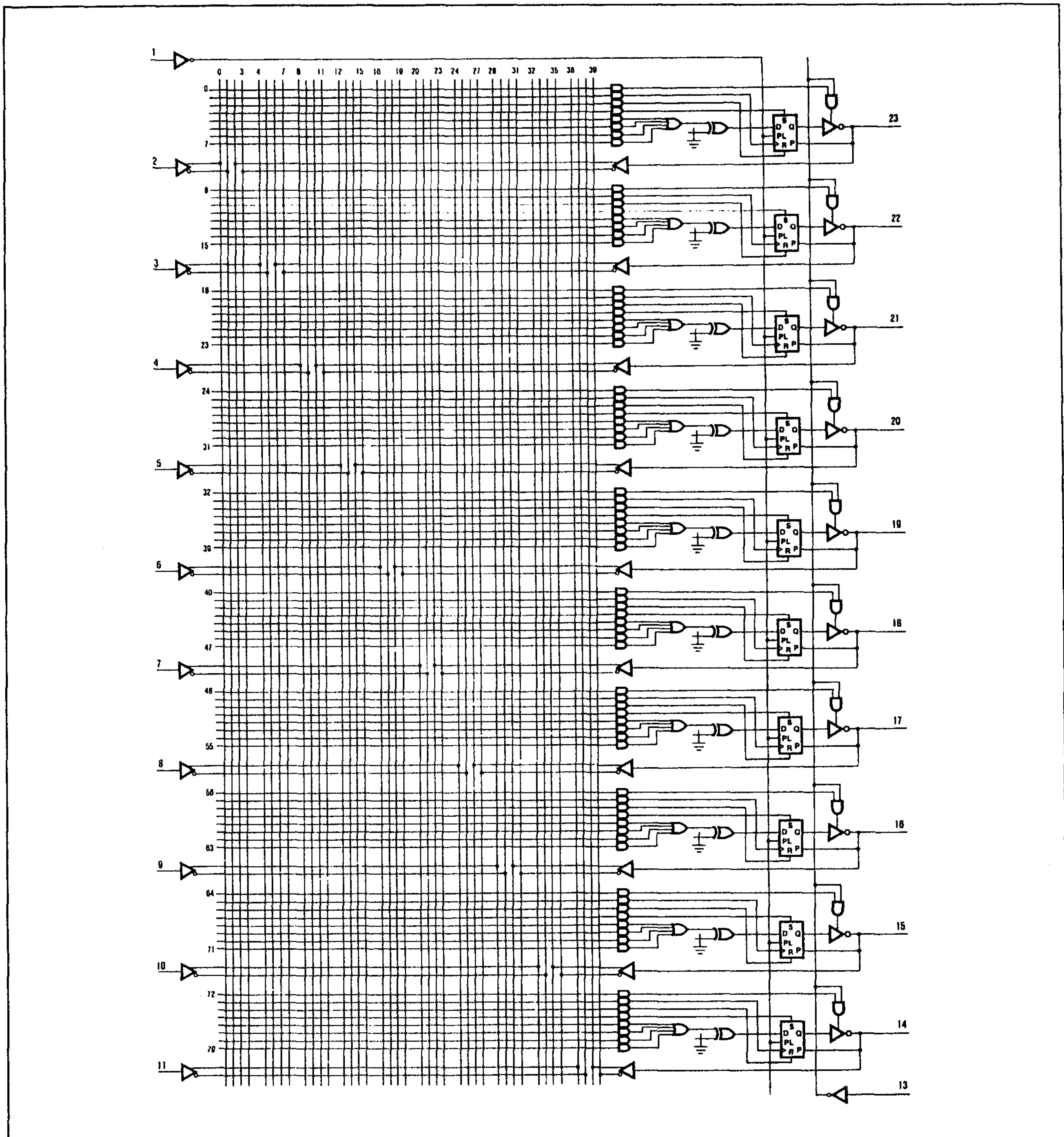


Figuur 8/10.3-76: Logisch symbool en aansluitingen van de PAL20RS4: 20 ingangen, 4 actief-HOGE, geregistreerde uitgangen met product-term sharing.



Figuur 8/10.3-77: Logisch symbool en aansluitingen van de PAL20RA10: 20 ingangen, 10 geregistreerde actief-HOGE uitgangen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-78: Functioneel schema van de PAL20RA10 volledig geprogrammeerd: programmering kan in deze figuur plaatsvinden.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock		25	13		20	13		ns
t_{wp}	Preload pulse width		45	15		35	15		ns
t_{su}	Setup time for input or feedback to clock		25	10		20	10		ns
t_{sup}	Preload setup time		30	5		25	5		ns
t_h	Hold time	Polarity fuse intact	10	-2		10	-2		ns
		Polarity fuse blown	0	-6		0	-6		
t_{hp}	Preload hold time		30	5		25	5		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-33: Aanbevolen bedrijfscondities van de high-speed PAL20RA10.

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage					0.8	V
V_{IH}*	High-level input voltage			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = -18 mA		-0.8	-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V		-0.02	-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 2.4 V			25	μA
I_I	Maximum input current	V_{CC} = MAX	V_I = 5.5 V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	I_{OL} = 8 mA		0.3	0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	I_{OH}: Mil-2 mA Com-3.2 mA	2.4	2.8		V
I_{OZ}	Off-state output current	V_{CC} = MAX	V_O = 2.4 V/V_O = 0.4 V	-100		100	μA
I_{OS}	Output short-circuit current**	V_{CC} = 5 V	V_O = 0 V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX			155	200	mA

Tabel 8/10.3-34: Elektrische kenmerken van de PAL20RA10.

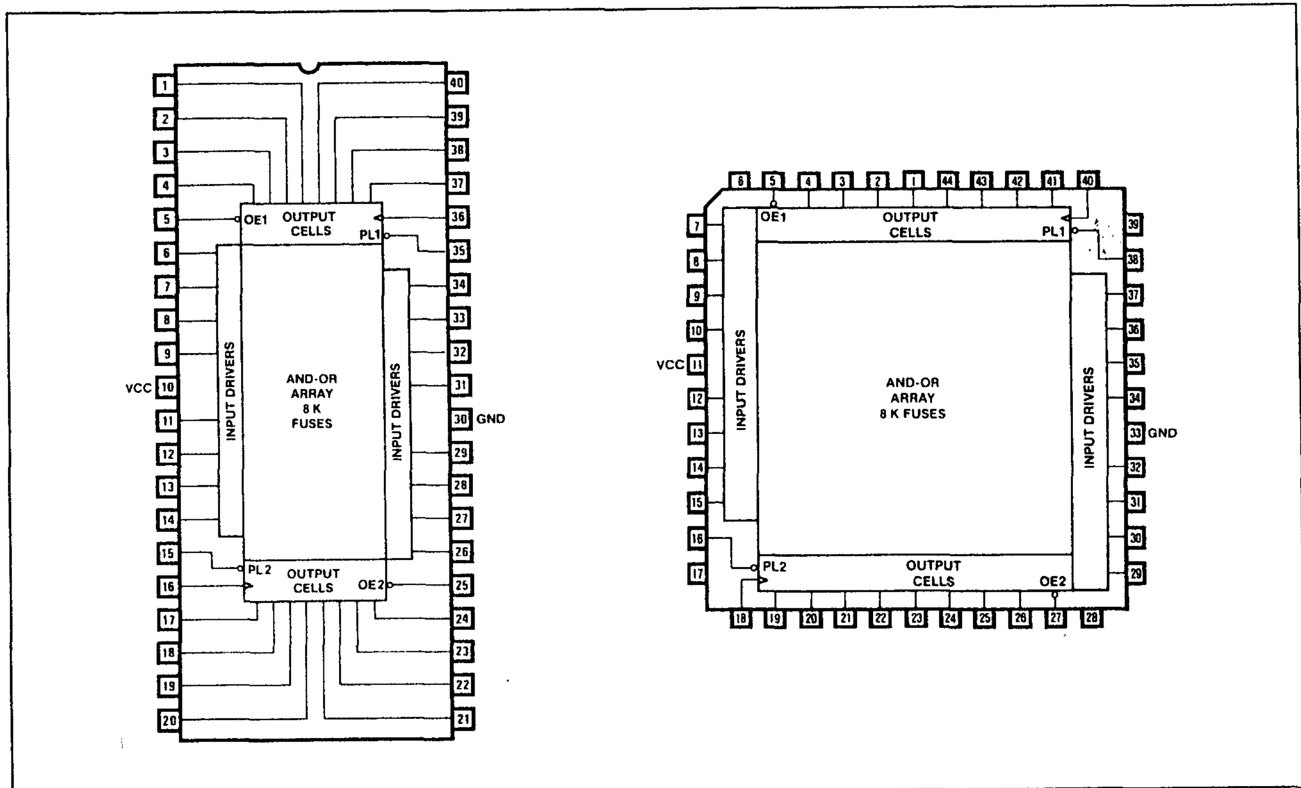
SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input or feedback to output	Polarity fuse intact	R_1 = 560 Ω R_2 = 1.1 KΩ		20	35		20	30	ns
		Polarity fuse blown			25	40		25	35	
t_{CLK}	Clock to output or feedback			10	17	35	10	17	30	ns
t_S	Input to asynchronous set				22	40		22	35	ns
t_R	Input to asynchronous reset				27	45		27	40	ns
t_{PZX}	Pin 13 to output enable				10	25		10	20	ns
t_{PXZ}	Pin 13 to output disable				10	25		10	20	ns
t_{PZX}	Input to output enable				18	35		18	30	ns
t_{PXZ}	Input to output disable				15	35		15	30	ns
f_{MAX}	Maximum frequency			16	35		20	35		MHz

Tabel 8/10.3-35: Schakeltijden van de PAL20RA10.

10.3 Type-beschrijving PAL's

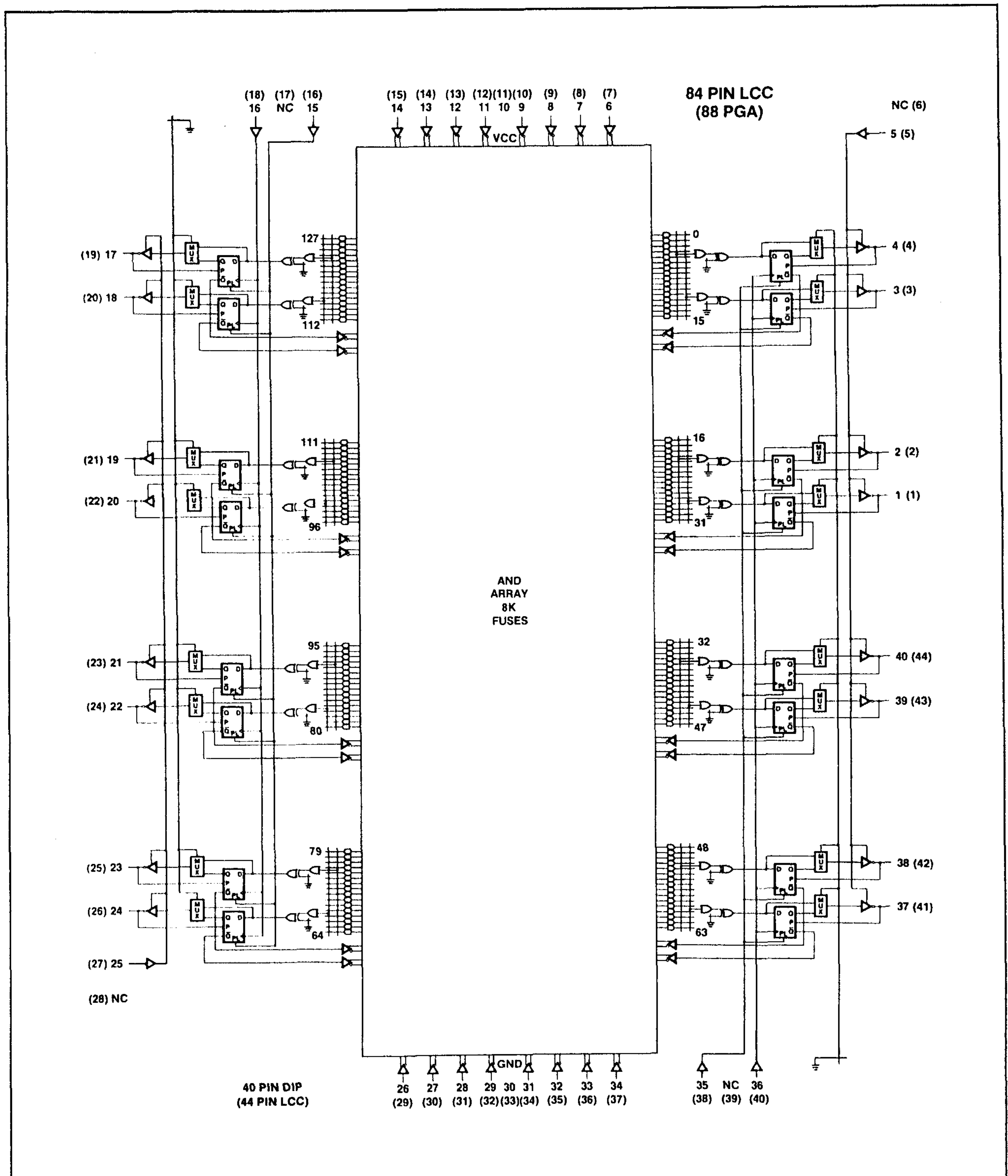
PAL32R16

De PAL32R16 is een grotere registered AND-OR array: 16 actief-HOGE uitgangen en 32 ingangen. Deze PAL wordt ook alleen in de high-speed uitvoering geleverd, in een 40-pens plastic of ceramische DIL-behuizing of een 44-pens LCC. Van deze PAL volgen de gegevens hieronder.



Figuur 8/10.3-79: Logisch symbool en aansluitingen van de 40-pens DIL en 44-pens LCC uitvoering van de PAL32R16: 32 ingangen, 16 geregistreerde actief-HOGE uitgangen.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-80: Functioneel schema van de PAL32R16.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	25			20			ns
		High	25			20			
t_{wp}	Preload pulse width		45			35			ns
t_{su}	Setup time for input to clock	Polarity fuse intact	50			40			ns
		Polarity fuse blown	50			40			
t_{sup}	Preload setup time		30			25			ns
t_h	Hold time		0	-10		0	-10		ns
t_{hp}	Preload hold time		10			5			ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-36: Aanbevolen bedrijfscondities van de high-speed PAL32R16.

SYMBOL	PARAMETER	TEST CONDITION			MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage						0.8	V
V_{IH}*	High-level input voltage				2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN		I_I = -18 mA		-0.8	-1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX		V_I = 0.4 V		-0.02	-0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX		V_I = 2.4 V			25	µA
I_I	Maximum input current	V_{CC} = MAX		V_I = 5.5 V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL	I_{OL} = 8 mA		0.3	0.5	V
			COM	I_{OL} = 8 mA				
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL	I_{OH} = -2 mA	2.4	2.8		V
			COM	I_{OH} = -3.2 mA				
I_{OZL}	Off-state output current	V_{CC} = MAX		V_O = 0.4 V			-100	µA
I_{OZH}				V_O = 2.4 V			100	µA
I_{OS}	Output short-circuit current**	V_{CC} = MAX		V_O = 0 V	-30	-70	-130	mA
I_{CC}	Supply current	V_{CC} = MAX				200	280	mA

Tabel 8/10.3-37: Elektrische kenmerken van de PAL32R16.

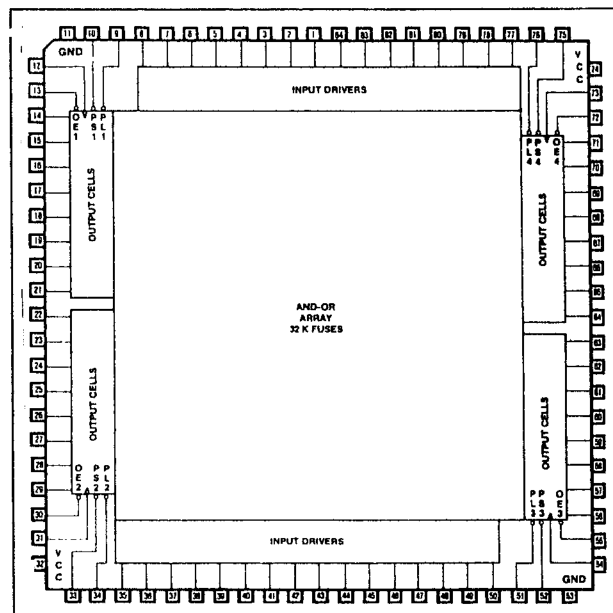
SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input to output	Polarity fuse intact	R_1 = 560 Ω R_2 = 1.1 KΩ			50			40	ns
		Polarity fuse blown				55			45	
t_{CLK}	Clock to output or feedback					30			25	ns
t_{PZX}	Output enable					25			20	ns
t_{PXZ}	Output disable					25			20	ns
f_{MAX}	Maximum frequency			14			16			MHz

Tabel 8/10.3-38: Schakeltijden van de PAL32R16.

10.3 Type-beschrijving PAL's

PAL64R32

De PAL64R32 is een nog grotere registered AND-OR array. Deze PAL heeft 32 actief-HOGE uitgangen en 64 ingangen. Ook deze PAL is alleen in de high-speed uitvoering leverbaar. Als behuizing heeft hij een 84-pens LCC. Van deze PAL volgen de gegevens hieronder.

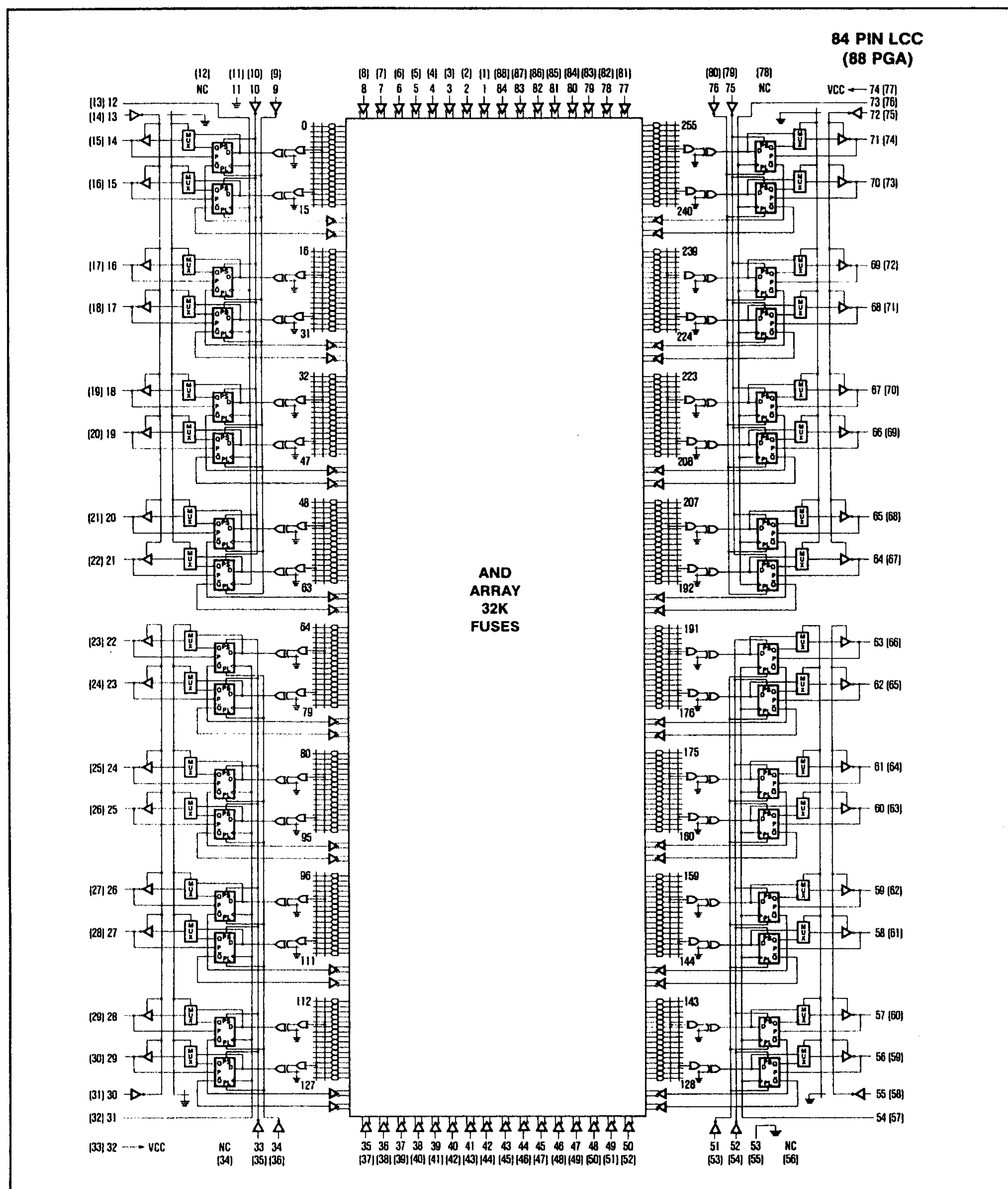


Figuur 8/10.3-81: Logisch symbool en aansluitingen van de 84-pens LCC PAL64R32: 64 ingangen, 32 geregistreerde actief-HOGE uitgangen.

SYMBOL	PARAMETER		MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
t_w	Width of clock	Low	25			20			ns
		High							
t_{su}	Setup time for input to clock	Polarity fuse intact	50			40			ns
		Polarity fuse blown							
t_h	Hold time		0	−10		0	−10		ns
T_A	Operating free-air temperature		-55			0		75	°C
T_C	Operating case temperature				125				°C

Tabel 8/10.3-39: Aanbevolen bedrijfscondities van de PAL64R32.

10.3 Type-beschrijving PAL's



Figuur 8/10.3-82: Functioneel schema van de PAL64R32.

10.3 Type-beschrijving PAL's

SYMBOL	PARAMETER	TEST CONDITION		MIN	TYP	MAX	UNIT
V_{IL}*	Low-level input voltage					0.8	V
V_{IH}*	High-level input voltage			2			V
V_{IC}	Input clamp voltage	V_{CC} = MIN	I_I = −18 mA		−0.8	−1.5	V
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4 V		−0.02	−0.25	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 2.4 V			25	μA
I_I	Maximum input current	V_{CC} = MAX	V_I = 5.5 V			1	mA
V_{OL}	Low-level output voltage	V_{CC} = MIN	MIL I_{OL} = 8 mA COM I_{OL} = 8 mA		0.3	0.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN	MIL I_{OH} = −0.4 mA COM I_{OH} = −0.4 mA	2.4	2.8		V
I_{OZL}	Off-state output current	V_{CC} = MAX	V_O = 0.4 V			−100	μA
I_{OZH}			V_O = 2.4 V			100	μA
I_{OS}	Output short-circuit current**	V_{CC} = MAX	V_O = 0 V	−10	−40	−60	mA
I_{CC}	Supply current	V_{CC} = MAX			400	640	mA

Tabel 8/10.3-40: Elektrische kenmerken van de PAL64R32.

SYMBOL	PARAMETER		TEST CONDITIONS	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{PD}	Input to output	Polarity fuse intact	R_1 = 560Ω R_2 = 1.1 KΩ			55			50	ns
		Polarity fuse blown				60			55	
t_{CLK}	Clock to output or feedback					30			22	ns
t_{PZX}	Output enable					35			30	ns
t_{PXZ}	Output disable					35			30	ns
t_{PRH}	Preset to output					40			35	ns
f_{MAX}	Maximum frequency			12.5			16	20		MHz

Tabel 8/10.3-41: Schakeltijden van de PAL64R32.

SYMBOL	PARAMETER	MILITARY MIN	MILITARY TYP	MILITARY MAX	COMMERCIAL MIN	COMMERCIAL TYP	COMMERCIAL MAX	UNIT
t_{wp}	Preload pulse width	45			35			ns
t_{sup}	Preload setup time	60			50			ns
t_{hp}	Preload hold time	10			5			ns
t_{PRW}	Preset pulse width	30			25			ns
t_{PRR}	Preset recovery time	40			35			ns

Tabel 8/10.3-42: Test-condities van de PAL64R32.

10.3 Type-beschrijving PAL's

8/10.4

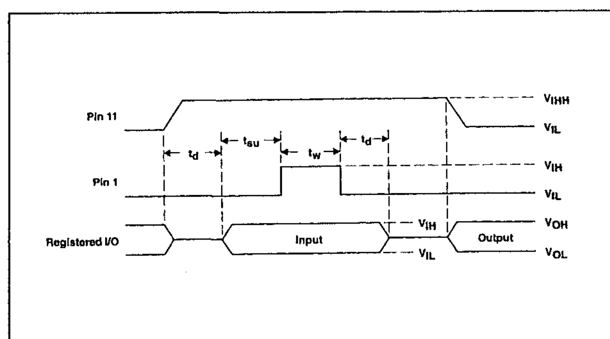
Type-beschrijving TIBPAL-serie PAL's (TI)

Inleiding

IMPACT-X schakelingen

Texas Instruments is ook een leverancier van PAL's. In deze IMPACT-X schakelingen wordt de Advanced Low-Power Schottky technologie gecombineerd met de betrouwbare titanium-wolfraam zekeringen ter verkrijging van high-performance vervangingen van schakelingen met conventionele TTL-logica. Er zijn twee uitvoeringen leverbaar: de commerciële C-versie werkt tussen 0 °C en +75 °C, de M-versie is bruikbaar in het militaire temperatuurgebied van -55 °C tot +125 °C. Verder zijn de TI-typen sneller dan de standaard PAL's, waarbij de toevoeging aan het typenummer de maximale vertragingstijd aangeeft.

Bij de TIBPAL16L8-15C bedraagt de vertragingstijd bijvoorbeeld maximaal 15 ns.



Figuur 8/10.4-1: Golfvormen tijdens het voorladen van de uitgangsregisters. Let op: $t_d = t_{su} = t_h$ = 100 ns tot 1000 ns; V_{IHH} = 10,25 V tot 10,75 V.

Programmeren

Inleiding

De PAL's van Texas Instruments kunnen met behulp van goedkope programmers en algemeen verkrijgbare software worden geprogrammeerd. De complete programmeerspecificaties, algorithmen en de laatste informatie over hardware, software en firmware zijn bij de fabrikant en de distributeur verkrijgbaar.

Preload procedure voor uitgangen met registers

De uitgangsregisters kunnen tijdens het testen in elke gewenste toestand worden voorgeladen.

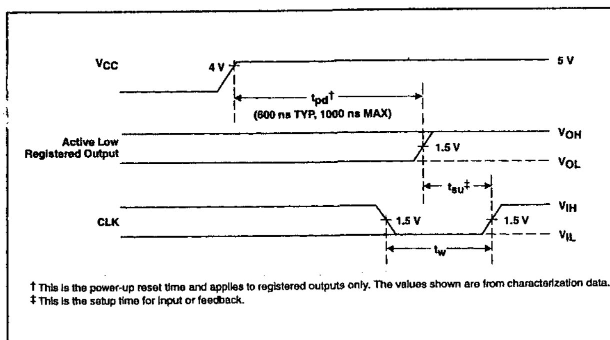
Hierdoor kan elke toestand worden getest zonder dat door de gehele state-machine volgorde gestapt hoeft te worden. Elk register kan met de volgende methode worden voorgeladen (zie figuur 8/10.4-1):

- Stap 1:
  Verhoog de spanning op pen 11 ($\overline{OE}$) tot V_{IHH}, terwijl V_{CC} = 5 V en pen1 = V_{IL}.
- Stap 2:
  Zet V_{IL} of V_{IH} op de uitgang van het register dat voorgeladen moet worden.
- Stap 3:
  Geef een clockpuls op pen 1 (CLK) om de preload-data in te klokken.
- Stap 4:
  Verwijder de uitgangsspanning, verlaag de spanning op pen 11 tot V_{IL}.
  De voorlading kan worden geverifieerd door de spanning op de uitgangspen te bekijken.

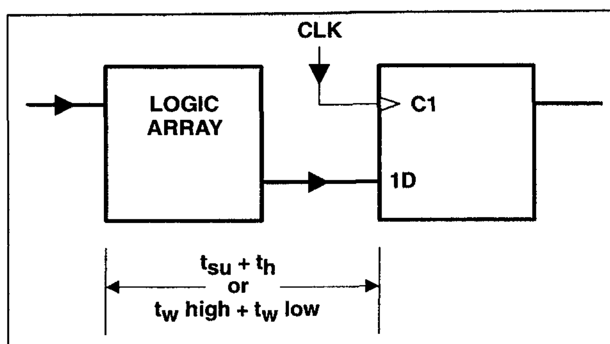
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

Power-up Reset

Direct na het opkomen van de voedingsspanning zijn alle registers op nul gereset (figuur 8/10.4-2). Hierdoor heeft de systeemontwerper meer vrijheid, terwijl deze eigenschap het initialiseren bij gebruik als state-machine vergemakkelijkt. Om zeker te zijn van een goede power-up reset moet V_{CC} monotoon opkomen. Na de power-up reset mag een LAAG-naar-HOOG clock-overgang pas optreden als aan alle setup-tijden van input en feedback is voldaan.



Figuur 8/10.4-2: Golfvormen tijdens het opkomen van de voedingsspanning.



Figuur 8/10.4-3: f_{max} zonder feedback.

f_{max} zonder feedback

In deze mode wordt data op de ingang van de flip-flop gezet en naar Q ingeklokt zonder dat er feedback optreedt. Hierbij wordt de clock-periode begrensd door de som van de data setup-tijd en de data houd-tijd (t_{su} + t_h). De minimum f_{max} wordt echter bepaald door de minimum clock-periode (t_{wHOOG} + t_{wLAAG}). Dus is f_{max} zonder feedback:

$$f_{max} = 1/(t_{wHOOG} + t_{wLAAG})$$

of

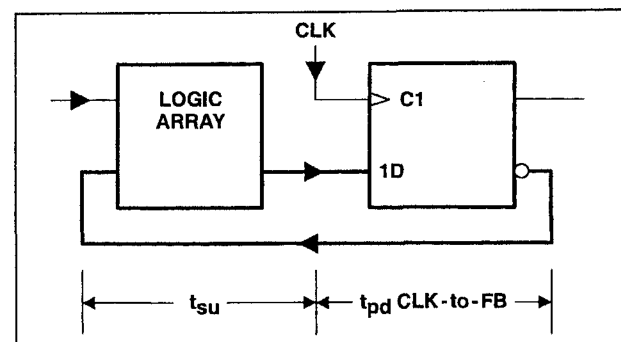
$$1/(t_{su} + t_h)$$

f_{max} met interne feedback

Deze configuratie is zeer populair bij tellers en on-chip state-machine ontwerpen. De ingangen van de flip-flop's worden gedefinieerd door de ingangen van de schakeling en de uitgangen van de flip-flop's. Hierbij wordt de periode begrensd door de interne vertraging van de uitgangen van de flip-flop's via de interne feedback en logische array naar de ingangen van de volgende flip-flop. Dus is f_{max} met interne feedback:

$$f_{max} = 1/(t_{su} + t_{pd}\ \text{CLK-naar-FB})$$

Hierin is t_{pd} CLK-naar-FB de afgeleide waarde van de vertraging van CLK naar de ingang van de logische array.



Figuur 8/10.4-4: f_{max} met interne feedback.

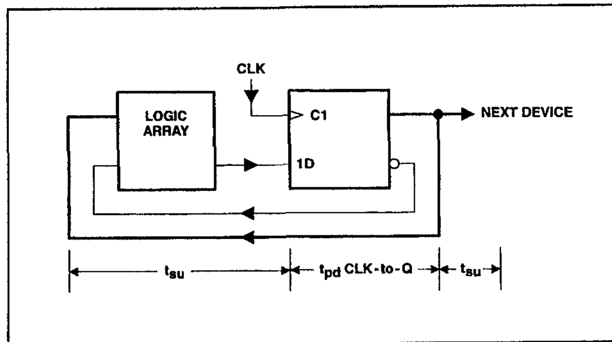
f_{max} met externe feedback

Deze configuratie wordt meestal gebruikt bij state-machine ontwerpen waarbij de feedback-signalen vanaf de chip worden verzonden. Deze externe feedback zou terug kunnen gaan naar de ingangen van de schakeling of naar een tweede schakeling in een multi-chip state-machine. De langzaamste weg die de periode bepaalt is de som van

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

de clock-naar-uitgangstijd en de setup-tijd van de ingangen voor de externe signalen (t_{su} + t_{pd} CLK-naar-Q). Dus f_{max} met externe feedback is:

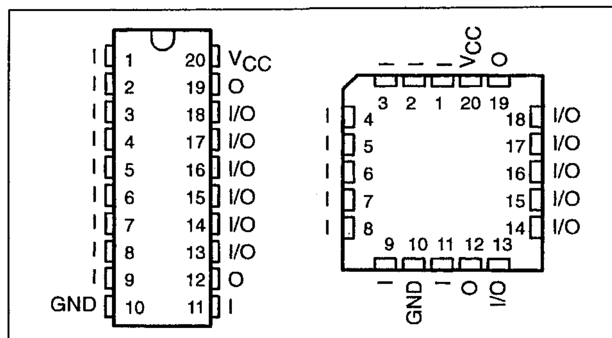
$$f_{max} = 1/(t_{su} + t_{pd}\ \text{CLK-naar-Q})$$



Figuur 8/10.4-5: f_{max} met externe feedback.

DEVICE	I INPUTS	3-STATE O OUTPUTS	REGISTERED Q OUTPUTS	I/O PORTS
PAL16L8	10	2	0	6
PAL16R4	8	0	4 (3-state buffers)	4
PAL16R6	8	0	6 (3-state buffers)	2
PAL16R8	8	0	8 (3-state buffers)	0

Tabel 8/10.4-1: Vergelijking van de vier PAL's.

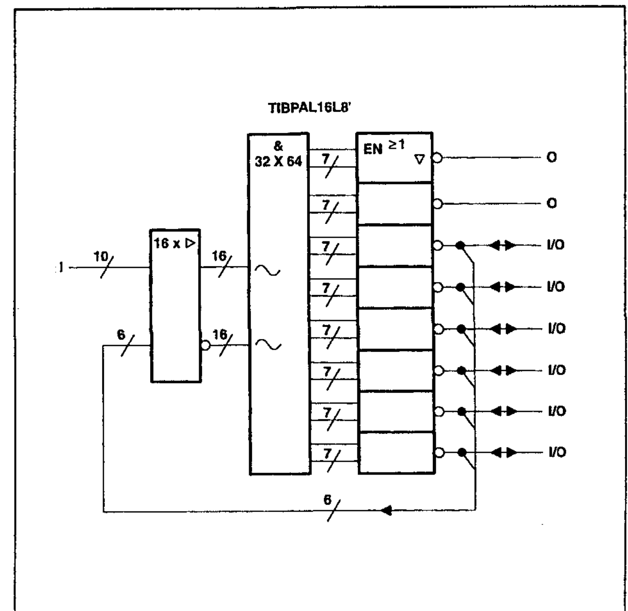


Figuur 8/10.4-6: Aansluitingen van de DIL- en LCC-versie van de TIBPAL16L8.

TIBPAL16L8, TIBPAL16R8, TIBPAL16R6, TIBPAL16R4

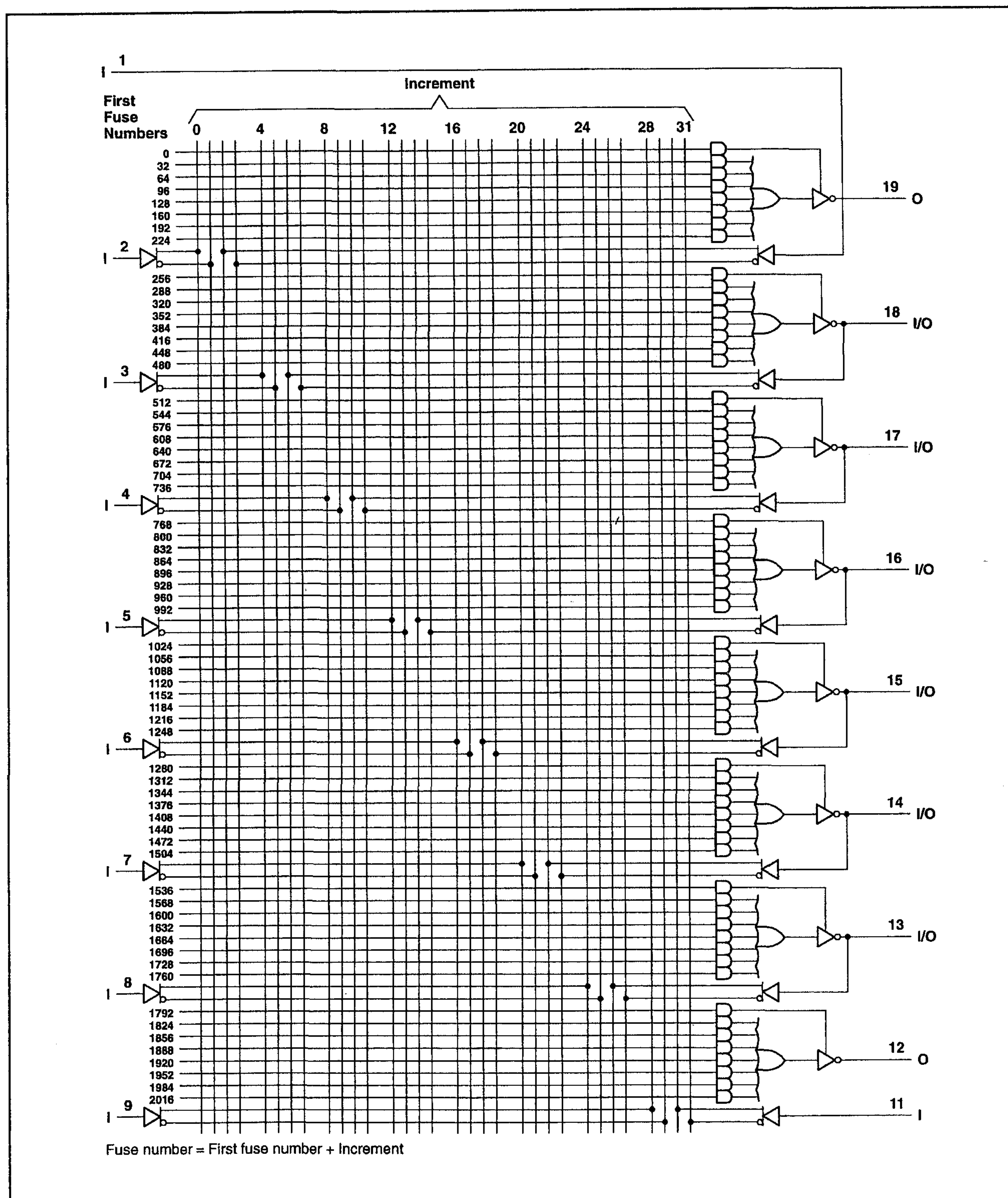
(-5C, -7C, -10C, -15C, -25C) en (-7M, -10M, -12M, -15M, -20M, -30M)

De TIBPAL16L8 heeft 16 ingangen en 8 actief-LAGE uitgangen, terwijl de TIBPAL16R8, TIBPAL16R6 en TIBPAL16R4 "registered" typen zijn met respectievelijk 8, 6 en 4 (actief-LAGE) uitgangen. Deze vier PAL's zijn in diverse snelheids-uitvoeringen leverbaar. De C-typen zijn verkrijgbaar in 20-pens standaard plastic en ceramische DIL-behuizingen (resp. N en J) en als plastic chip carrier (FN); de M-typen in 20-pens ceramische DIL-behuizingen (J) en als ceramische chip carrier (FK). Hierna volgen de schematische-, elektrische- en timing-gegevens.



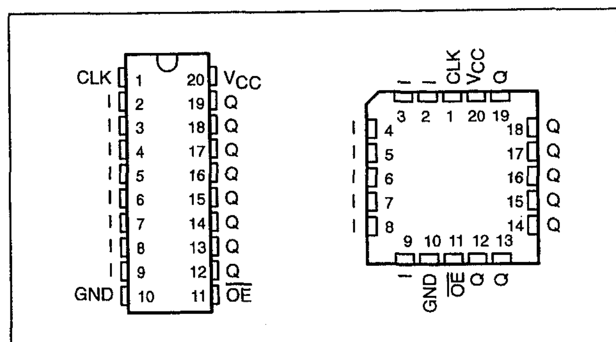
Figuur 8/10.4-7: Functioneel blokschema van de TIBPAL16L8 (~ = fused inputs).

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

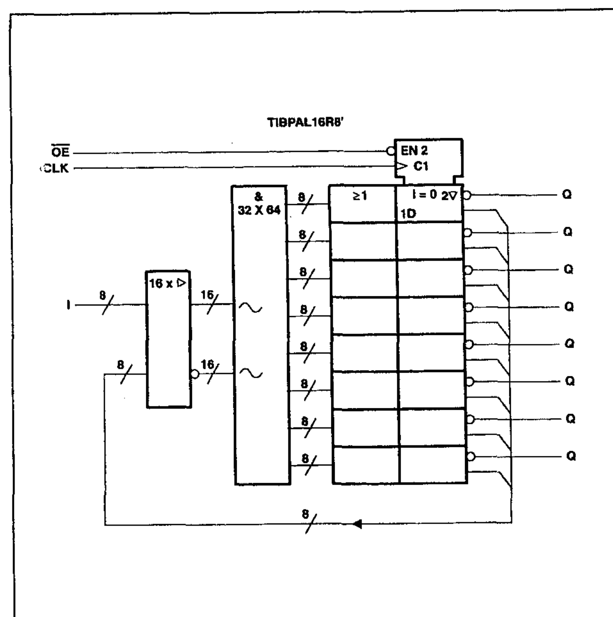


Figuur 8/10.4-8: Logisch schema (positieve logica) van de TIBPAL16L8.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

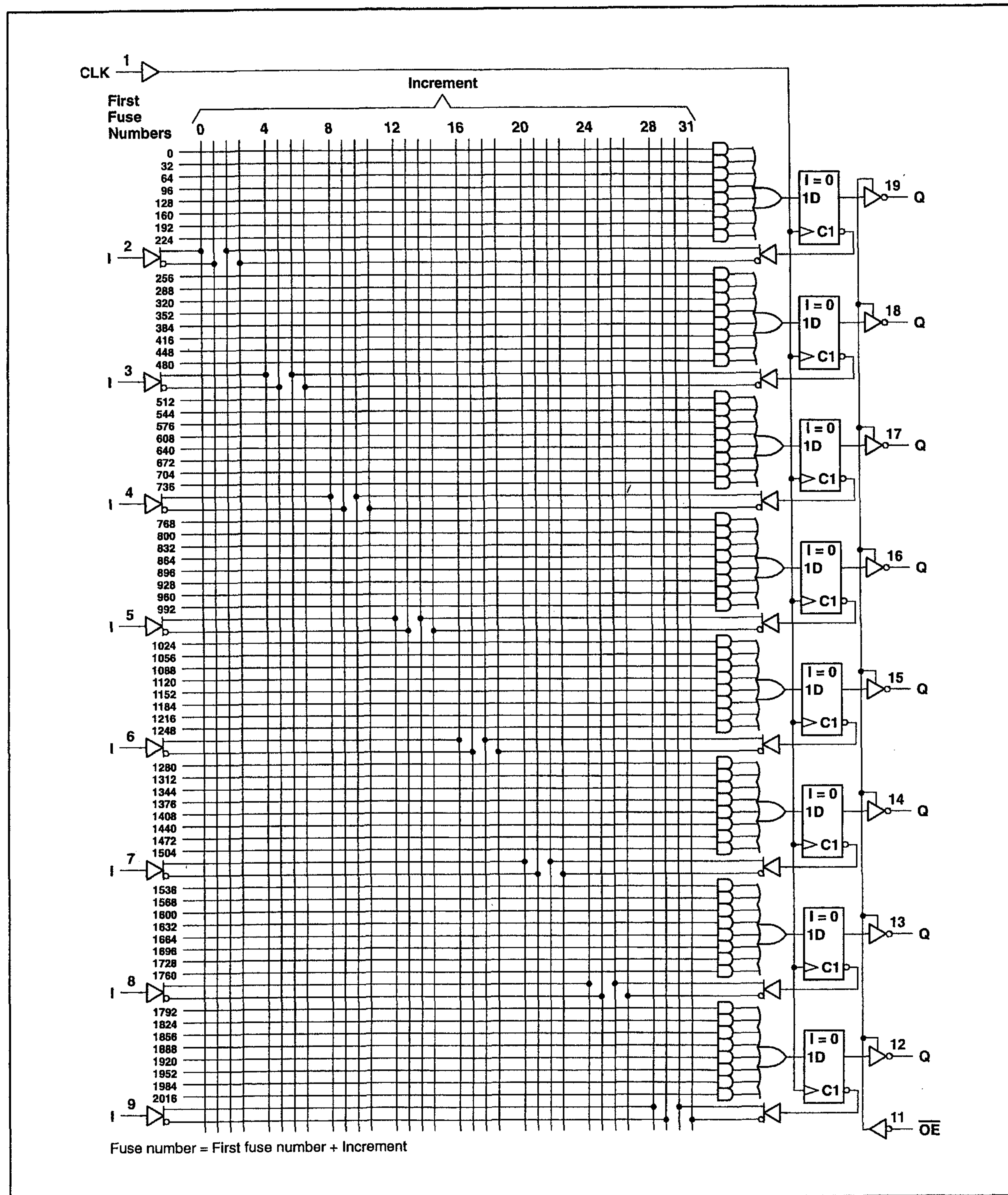


Figuur 8/10.4-9: Aansluitingen van de DIL- en LCC-versie van de TIBPAL16R8.



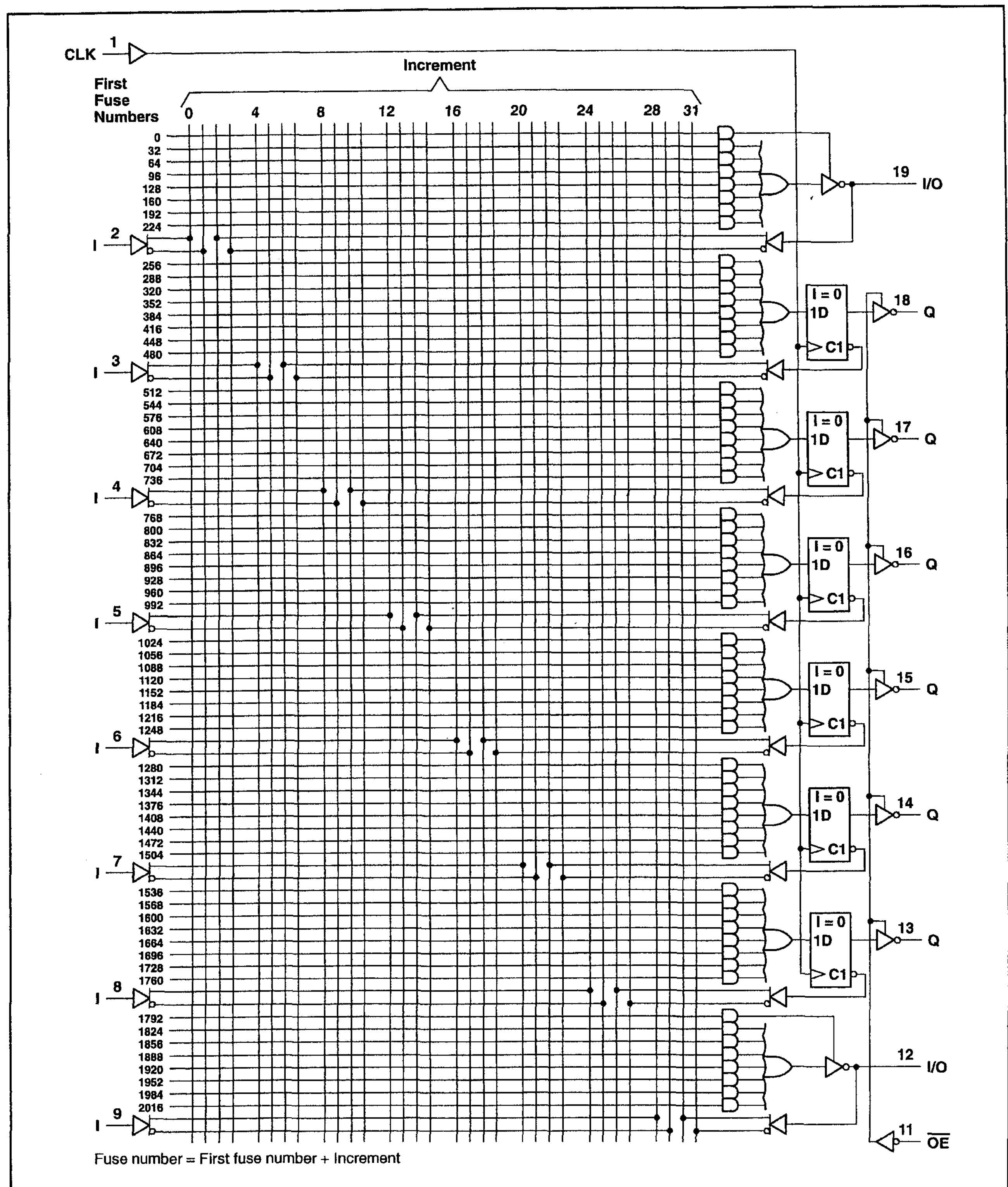
Figuur 8/10.4-10: Functioneel blokschema van de TIBPAL16R8.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



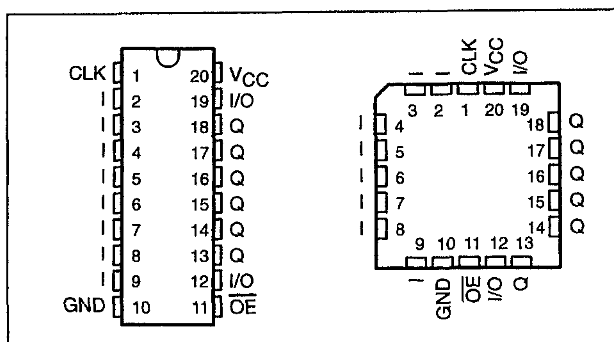
Figuur 8/10.4-11: Logisch schema (positieve logica) van de TIBPAL16R8.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

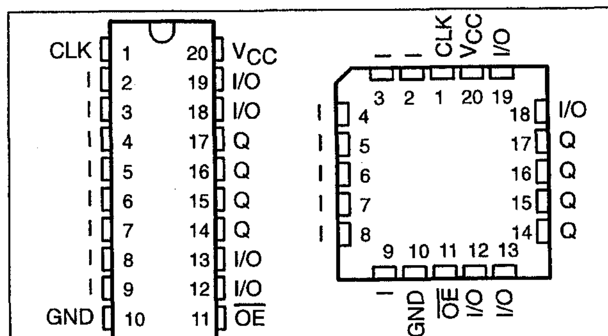


Figuur 8/10.4-14: Logisch schema (positieve logica) van de TIBPAL16R6.

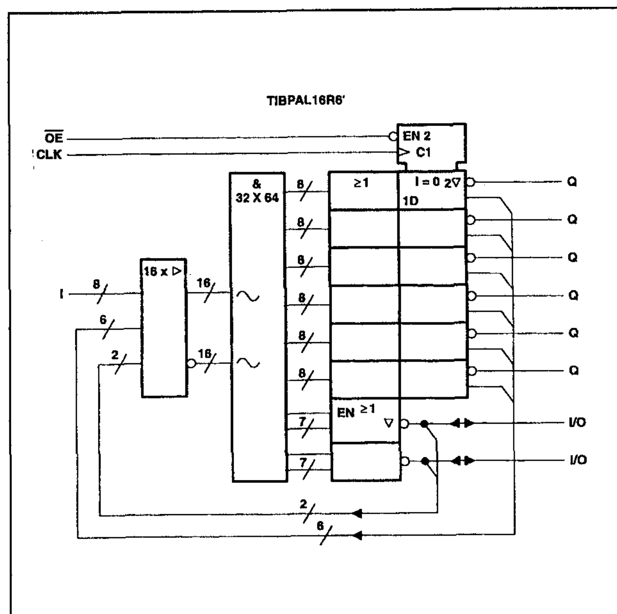
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



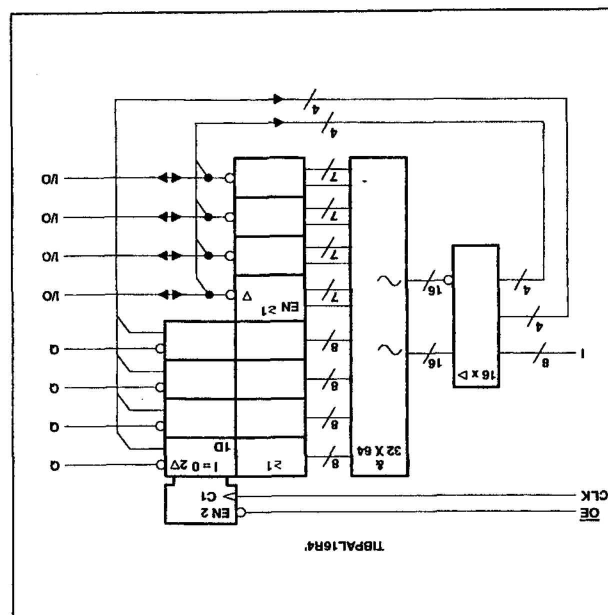
Figuur 8/10.4-12: Aansluitingen van de DIL- en LCC-versie van de TIB-PAL16R6.



Figuur 8/10.4-15: Aansluitingen van de DIL- en LCC-versie van de TIB-PAL16R4.

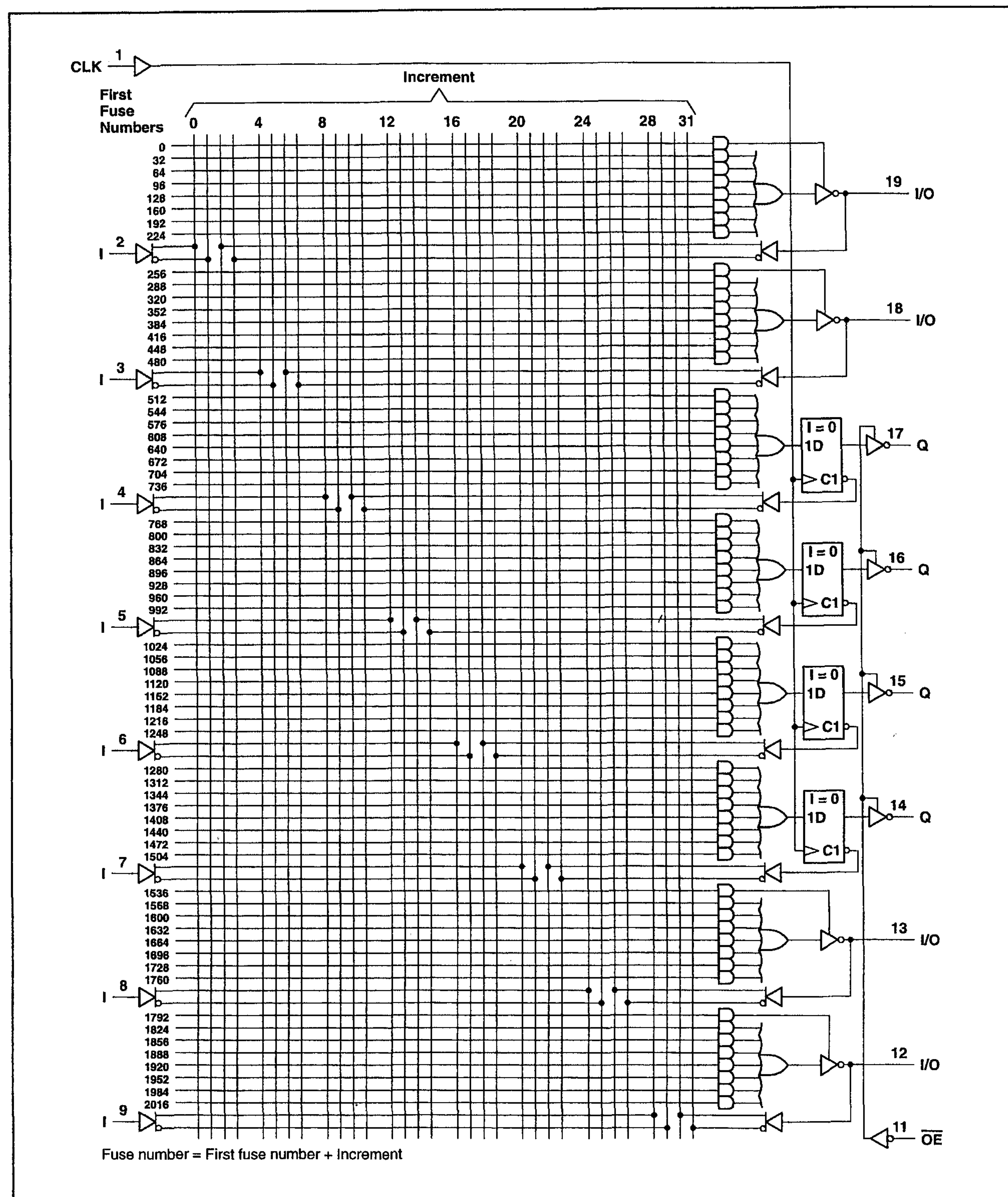


Figuur 8/10.4-13: Functioneel blokschema van de TIBPAL16R6.



Figuur 8/10.4-16: Functioneel blokschema van de TIBPAL16R4.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



Figuur 8/10.4-17: Logisch schema (positieve logica) van de TIBPAL16R4.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

Supply voltage, V_{CC} (see Note 1) .... 7 V
Input voltage (see Note 1) .... 5.5 V
Voltage applied to disabled output (see Note 1) .... 5.5 V
Operating free-air temperature range .... 0°C to 75°C
Storage temperature range .... –65°C to 150°C

NOTE 1: These ratings apply except for programming pins during a programming cycle.

Tabel 8/10.4-2: Maximaal toegelaten waarden voor de C-typen.

Supply voltage, V_{CC} (see Note 1) .... 7 V
Input voltage (see Note 1) .... 5.5 V
Voltage applied to disabled output (see Note 1) .... 5.5 V
Operating free-air temperature range .... –55°C to 125°C
Storage temperature range .... –65°C to 150°C

NOTE 1: These ratings apply except for programming pins during a programming cycle.

Tabel 8/10.4-3: Maximaal toegelaten waarden voor de M-typen.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage (see Note 2)	2		5.5	V
V_{IL}	Low-level input voltage (see Note 2)			0.8	V
I_{OH}	High-level output current			–3.2	mA
I_{OL}	Low-level output current			24	mA
T_A	Operating free-air temperature	0	25	75	°C

NOTE 2: These are absolute voltage levels with respect to the ground pin of the device and include all overshoots due to system and/or tester noise. Testing these parameters should not be attempted without suitable equipment.

Tabel 8/10.4-4: Aanbevolen bedrijfscondities voor de C-typen.
Maximale clockfrequenties: -5C: 125 MHz, -7C: 100 MHz, -10C: 56 MHz, -15C: 50 MHz, -25C: 30 MHz.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2		5.5	V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−2	mA
I_{OL}	Low-level output current			12	mA
T_A	Operating free-air temperature	−55	25	125	°C

NOTE 2: The total clock period of clock high and clock low must not exceed clock frequency, f_{clock}. The minimum pulse durations specified are only for clock high or low, but not for both simultaneously.

Tabel 8/10.4-5: Aanbevolen bedrijfscondities voor de M-typen. Maximale clockfrequenties: -7M: 100 MHz, -10M: 62,5 MHz, -12M: 80 MHz, -15M: 50 MHz, -20M: 41,6 MHz, -30M: 25 MHz.

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA			−0.8	−1.5	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = −3.2 mA		2.4	3.2		V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 24 mA			0.3	0.5	V
I_{OZH}‡	V_{CC} = 5.25 V,	V_O = 2.7 V				100	µA
I_{OZL}‡	V_{CC} = 5.25 V,	V_O = 0.4 V				−100	µA
I_I	V_{CC} = 5.25 V,	V_I = 5.5 V				100	µA
I_{IH}‡	V_{CC} = 5.25 V,	V_I = 2.7 V				25	µA
I_{IL}‡	V_{CC} = 5.25 V,	V_I = 0.4 V			−80	−250	µA
I_{OS}§	V_{CC} = 5.25 V,	V_O = 0.5 V		−30	−70	−130	mA
I_{CC}	V_{CC} = 5.25 V,	V_I = 0,	Outputs open		160	180	mA

Tabel 8/10.4-6: Elektrische kenmerken van de C-typen (in het aanbevolen temperatuurgebied).

PARAMETER		TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA			−0.8	−1.5	V
V_{OH}		V_{CC} = 4.5 V,	I_{OH} = −2 mA		2.4	3.2		V
V_{OL}		V_{CC} = 4.5 V,	I_{OL} = 12 mA			0.3	0.5	V
I_{OZH}‡		V_{CC} = 5.5 V,	V_O = 2.7 V				100	µA
I_{OZL}‡	0, Q outputs	V_{CC} = 5.5 V,	V_O = 0.4 V				−0.1	mA
I_{OZL}‡	I/O ports	V_{CC} = 5.5 V,	V_O = 0.4 V				−0.25	mA
I_I		V_{CC} = 5.5 V,	V_I = 5.5 V				1	mA
I_{IH}	I/O ports	V_{CC} = 5.5 V,	V_I = 2.7 V				100	µA
I_{IH}	All others	V_{CC} = 5.5 V,	V_I = 2.7 V				25	µA
I_{IL}‡		V_{CC} = 5.5 V,	V_I = 0.4 V			−0.08	−0.25	mA
I_{OS}§		V_{CC} = 5.5 V,	V_O = 0.5 V		−30	−70	−130	mA
I_{CC}		V_{CC} = 5.5 V,	V_I = GND,	Outputs open		140	200	mA

Tabel 8/10.4-7: Elektrische kenmerken van de M-typen (in het aanbevolen temperatuurgebied).

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}‡	without feedback		100			MHz
	with internal feedback (counter configuration)		100			MHz
	with external feedback		74			MHz
t_{pd}	I, I/O	O, I/O — 1 or 2 outputs switching	3	5.5	7	ns
	I, I/O	O, I/O — 8 outputs switching	3	6	7.5	ns
t_{pd}	CLK↑	Q	2	4	6.5	ns
t_{pd}§	CLK↑	Feedback input			3	ns
t_{en}	OE↓	Q		4	7.5	ns
t_{dis}	OE↑	Q		4	7.5	ns
t_{en}	I, I/O	O, I/O		6	9	ns
t_{dis}	I, I/O	O, I/O		6	9	ns
$t_{sk(o)}$¶	Skew between registered outputs			0.5		ns

Tabel 8/10.4-8: Schakeltijden bij de 7C-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}	With feedback		55.5	80		MHz
	Without feedback		62.5	85		MHz
t_{pd}	I, I/O	O, I/O	3	7	10	ns
t_{pd}	CLK↑	Q	2	5	8	ns
t_{en}	OE↓	Q	1	4	10	ns
t_{dis}	OE↑	Q	1	4	10	ns
t_{en}	I, I/O	O, I/O	3	8	10	ns
t_{dis}	I, I/O	O, I/O	3	8	10	ns

† All typical values are at $V_{CC} = 5$ V, $T_A = 25°C$.

‡ $f_{max}(\text{with feedback}) = \frac{1}{t_{su} + t_{pd}\ (\text{CLK to Q})}$, $f_{max}(\text{without feedback}) = \frac{1}{t_w\ \text{high} + t_w\ \text{low}}$

Tabel 8/10.4-9: Schakeltijden bij de 10C-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			50			MHz
t_{pd}	I, I/O	O, I/O		10	15	ns
t_{pd}	CLK↑	Q		8	12	ns
t_{en}	OE↓	Q		8	12	ns
t_{dis}	OE↑	Q		7	10	ns
t_{en}	I, I/O	O, I/O		10	15	ns
t_{dis}	I, I/O	O, I/O		10	15	ns

Tabel 8/10.4-10: Schakeltijden bij de 15C-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)		TEST CONDITIONS	TIBPAL16L8-5CFN MIN	TIBPAL16L8-5CFN MAX	TIBPAL16L8-5CJ TIBPAL16L8-5CN MIN	TIBPAL16L8-5CJ TIBPAL16L8-5CN MAX	UNIT
t_{pd}	I, I/O	O, I/O	with up to 4 outputs switching	R1 = 200 Ω, R2 = 200 Ω, See Figure 8	1.5	5	1.5	5	ns
t_{pd}	I, I/O	O, I/O	with more than 4 outputs switching		1.5	5	1.5	5.5	ns
t_{en}	I, I/O	O, I/O			2	7	2	7	ns
t_{dis}	I, I/O	O, I/O			2	7	2	7	ns

PARAMETER	FROM (INPUT)	TO (OUTPUT)		TEST CONDITIONS	TIBPAL16R8-5CFN MIN	TYP†	MAX	TIBPAL16R8-5CJ TIBPAL16R8-5CN MIN	TYP†	MAX	UNIT
f_{max}§	without feedback			R1 = 200 Ω, R2 = 200 Ω, See Figure 8	125			125			MHz
f_{max}§	with internal feedback (counter configuration)				125			125			MHz
f_{max}§	with external feedback				117			111			MHz
t_{pd}	CLK↑	Q	with up to 4 outputs switching		1.5		4	1.5		4	ns
t_{pd}	CLK↑	Q	with more than 4 outputs switching		1.5		4	1.5		4.5	ns
t_{pd}¶	CLK↑	Internal feedback					3.5			3.5	ns
t_{en}	$\overline{OE}$↓	Q			1.5		6	1.5		6	ns
t_{dis}	$\overline{OE}$↑	Q			1		6.5	1		7	ns
t_r						1.5			1.5		ns
t_f						1.5			1.5		ns
$t_{sk(o)}$#	Skew between outputs					0.5			0.5		ns

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	TIBPAL16R4-5CFN TIBPAL16R6-5CFN MIN	TYP†	MAX	TIBPAL16R4-5CJ TIBPAL16R6-5CJ TIBPAL16R4-5CN TIBPAL16R6-5CN MIN	TYP†	MAX	UNIT
f_{max}¶	without feedback		R1 = 200 Ω, R2 = 200 Ω, See Figure 8	125			125			MHz
f_{max}¶	with internal feedback (counter configuration)			125			125			MHz
f_{max}¶	with external feedback			117			111			MHz
t_{pd}	CLK↑	Q		1.5		4	1.5		4.5	ns
t_{pd}	CLK↑	Internal feedback				3.5			3.5	ns
t_{pd}	I, I/O	I/O		1.5		5	1.5		5	ns
t_{en}	$\overline{OE}$↓	Q		1.5		6	1.5		6	ns
t_{dis}	$\overline{OE}$↑	Q		1		6.5	1		7	ns
t_{en}	I, I/O	I/O		2		7	2		7	ns
t_{dis}	I, I/O	I/O		2		7	2		7	ns
t_r					1.5			1.5		ns
t_f					1.5			1.5		ns
$t_{sk(o)}$#	Skew between registered outputs				0.5			0.5		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ I/O leakage is the worst case of I_{OZL} and I_{IL} or I_{OZH} and I_{IH}, respectively.
§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. V_O is set at 0.5 V to avoid test problems caused by test equipment ground degradation.
¶ See 'f_{max} Specification' near the end of this data sheet.
# $t_{sk(o)}$ is the skew time between registered outputs.

Tabel 8/10.4-12: Schakeltijden bij diverse 5C-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			30			MHz
t_{pd}	I, I/O	O, I/O		15	25	ns
t_{pd}	CLK↑	Q		10	15	ns
t_{en}	OE↓	Q		15	20	ns
t_{dis}	OE↑	Q		10	20	ns
t_{en}	I, I/O	O, I/O		14	25	ns
t_{dis}	I, I/O	O, I/O		13	25	ns

Tabel 8/10.4-11: Schakeltijden bij de 25C-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}§	without feedback		100		MHz
	with internal feedback (counter configuration)		100		
	with external feedback		74		
t_{pd}	I, I/O	O, I/O	1	7	ns
t_{pd}	CLK	Q	1	7	ns
t_{en}	OE↓	Q	1	8	ns
t_{dis}	OE↑	Q	1	10	ns
t_{en}	I, I/O	O, I/O	1	9	ns
t_{dis}	I, I/O	O, I/O	1	10	ns

Tabel 8/10.4-13: Schakeltijden bij de 7M-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}‡	without feedback		62.5			MHz
	with internal feedback (counter configuration)		62.5			
	with external feedback		52.5			
t_{pd}	I, I/O	O, I/O	2	6	10	ns
t_{pd}	CLK↑	Q	1	4	9	ns
t_{pd}§	CLK↑	Feedback input			5	ns
t_{en}	OE↓	Q	1	4	10	ns
t_{dis}	OE↑	Q	1	4	10	ns
t_{en}	I, I/O	O, I/O	2	6	12	ns
t_{dis}	I, I/O	O, I/O	1	6	10	ns

Tabel 8/10.4-14: Schakeltijden bij de 10M-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}	With feedback		48	80		MHz
	Without feedback		56	85		
t_{pd}	I, I/O	O, I/O	3	7	12	ns
t_{pd}	CLK↑	Q	2	5	10	ns
t_{en}	OE↓	Q	1	4	10	ns
t_{dis}	OE↑	Q	1	4	10	ns
t_{en}	I, I/O	O, I/O	3	8	14	ns
t_{dis}	I, I/O	O, I/O	2	8	12	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

‡ $f_{max}(\text{with feedback}) = \frac{1}{t_{su} + t_{pd}\ (\text{CLK to Q})}$, $f_{max}(\text{without feedback}) = \frac{1}{t_w\ \text{high} + t_w\ \text{low}}$

Tabel 8/10.4-15: Schakeltijden bij de 12M-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}§			50			MHz
t_{pd}	I, I/O	O, I/O		8	15	ns
t_{pd}	CLK↑	Q		7	12	ns
t_{en}	OE↓	Q		8	12	ns
t_{dis}	OE↑	Q		7	12	ns
t_{en}	I, I/O	O, I/O		8	15	ns
t_{dis}	I, I/O	O, I/O		8	15	ns

Tabel 8/10.4-16: Schakeltijden bij de 15M-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			41.6			MHz
t_{pd}	I, I/O	O, I/O		10	20	ns
t_{pd}	CLK↑	Q		8	15	ns
t_{en}	OE↓	Q		8	15	ns
t_{dis}	OE↑	Q		7	15	ns
t_{en}	I, I/O	O, I/O		10	20	ns
t_{dis}	I, I/O	O, I/O		10	20	ns

Tabel 8/10.4-17: Schakeltijden bij de 20M-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			25			MHz
t_{pd}	I, I/O	O, I/O		15	30	ns
t_{pd}	CLK↑	Q		10	20	ns
t_{en}	OE↓	Q		15	25	ns
t_{dis}	OE↑	Q		10	25	ns
t_{en}	I, I/O	O, I/O		14	30	ns
t_{dis}	I, I/O	O, I/O		13	30	ns

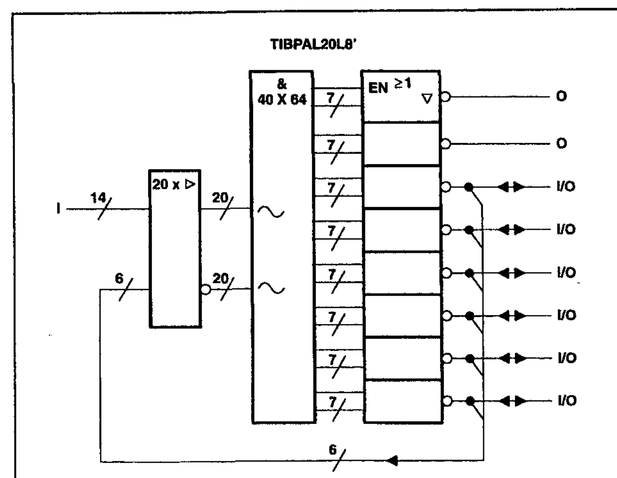
Tabel 8/10.4-18: Schakeltijden bij de 30M-typen.

TIBPAL20L8, TIBPAL20R8, TIBPAL20R6, TIBPAL20R4

(-5C, -7C, -10C, -15C, -25C) en (-7M, -10M, -20M)

De TIBPAL20L8 heeft 20 ingangen en 8 actief-LAGE uitgangen. De TIBPAL20R8, TIBPAL20R6 en TIBPAL20R4 zijn "registered" typen met 20 ingangen en respectievelijk 8, 6 en 4 (actief-LAGE) uitgangen. Deze PAL's zijn in diverse snelheids-uitvoeringen leverbaar.

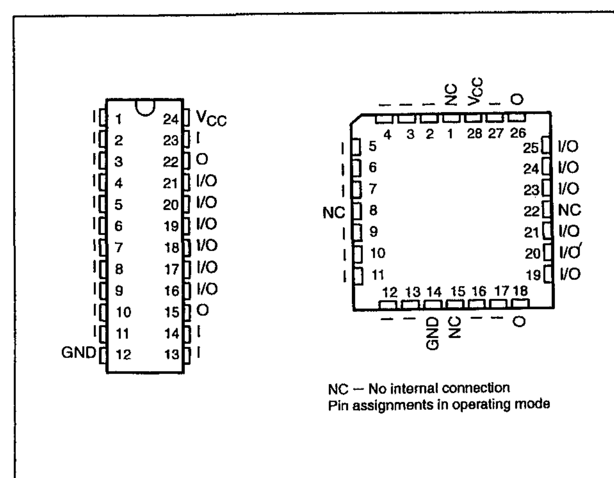
De C-typen zijn verkrijgbaar in 24-pens standaard plastic en ceramische DIL-behuizingen (resp. N en J) en als 28-pens plastic chip carrier (FN); de M-typen in 24-pens ceramische DIL-behuizingen (J) en als 28-pens ceramische chip carrier (FK). De schematische-, elektrische- en timing-gegevens komen hieronder.



Figuur 8/10.4-18: Aansluitingen van de DIL- en LCC-versie van de TIBPAL20L8.

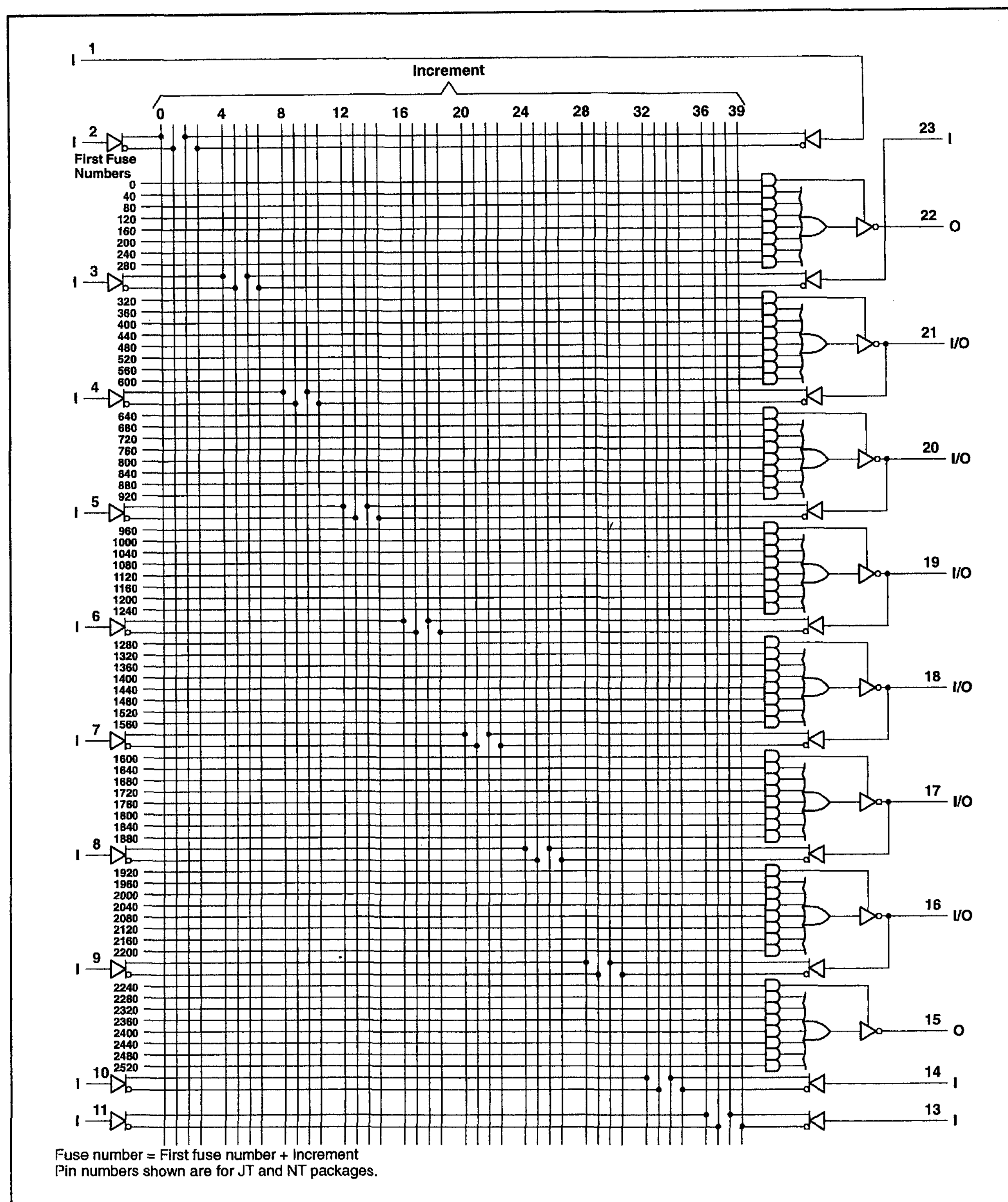
DEVICE	I INPUTS	3-STATE O OUTPUTS	REGISTERED Q OUTPUTS	I/O PORTS
PAL20L8	14	2	0	6
PAL20R4	12	0	4 (3-state buffers)	4
PAL20R6	12	0	6 (3-state buffers)	2
PAL20R8	12	0	8 (3-state buffers)	0

Tabel 8/10.4-19: Vergelijking van de vier PAL's.



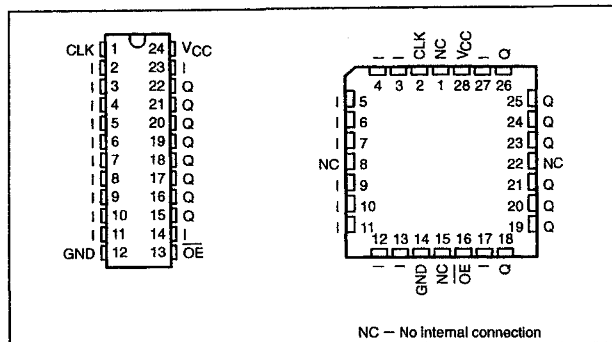
Figuur 8/10.4-19: Functioneel blokschema van de TIBPAL20L8.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

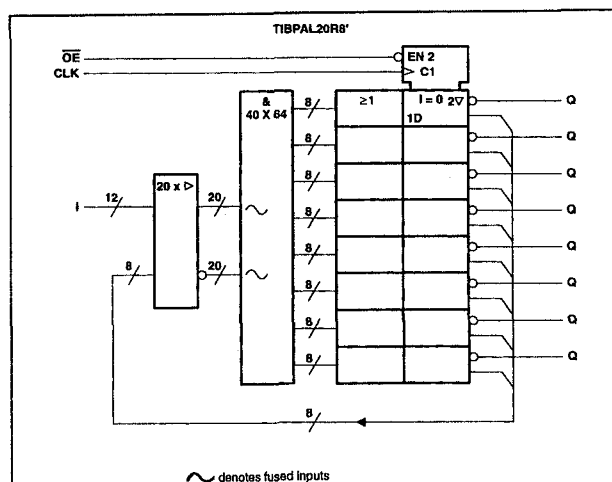


Figuur 8/10.4-20: Logisch schema (positieve logica) van de TIBPAL20L8.

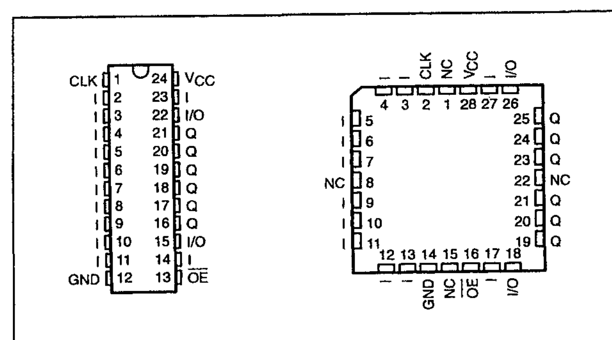
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



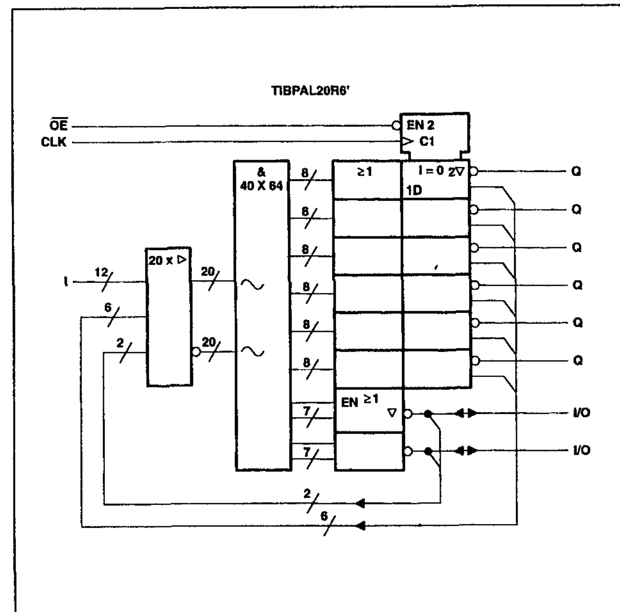
Figuur 8/10.4-21: Aansluitingen van de DIL- en LCC-versie van de TIBPAL20R8.



Figuur 8/10.4-22: Functioneel blokschema van de TIBPAL20R8.

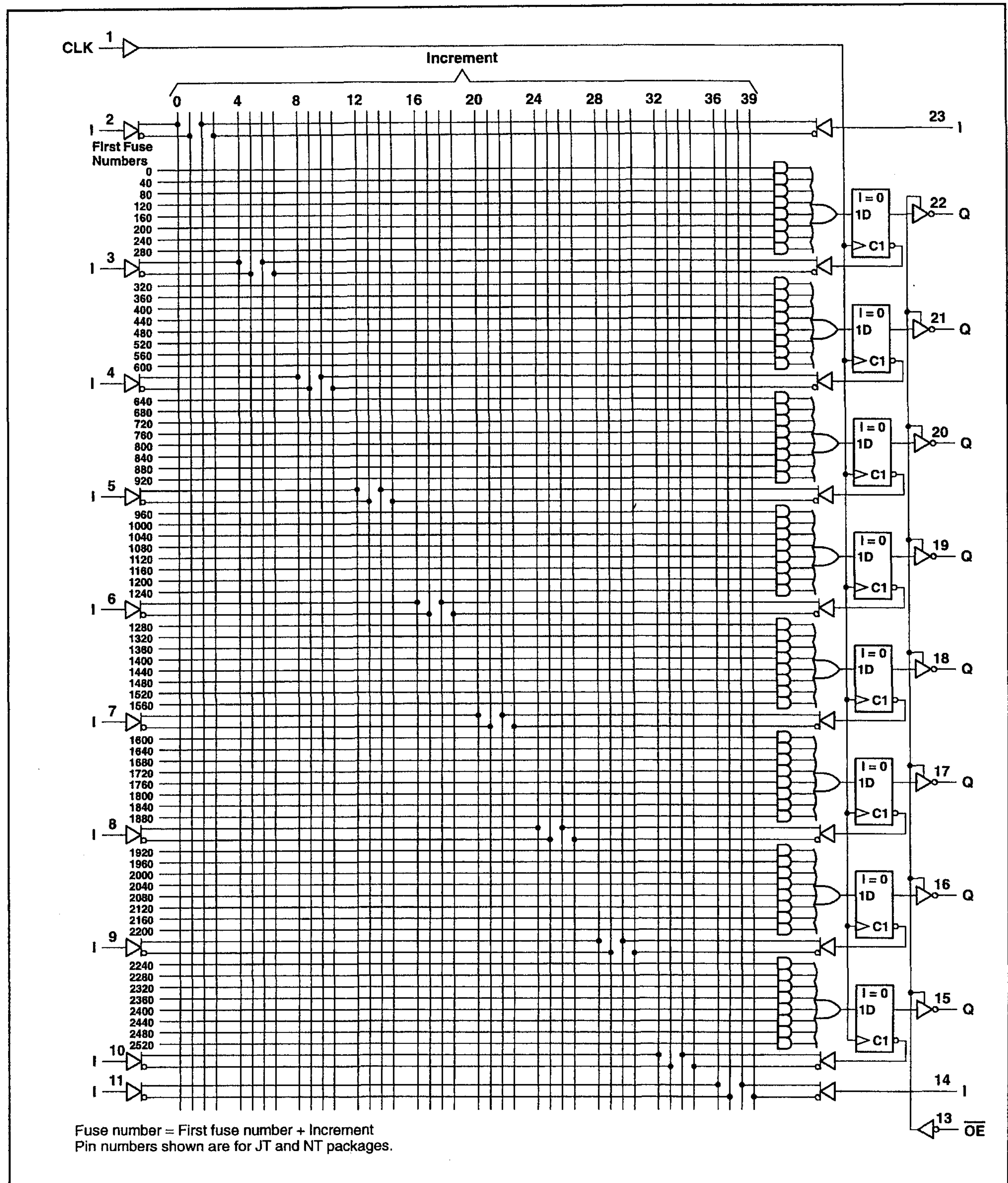


Figuur 8/10.4-24: Aansluitingen van de DIL- en LCC-versie van de TIBPAL20R6.



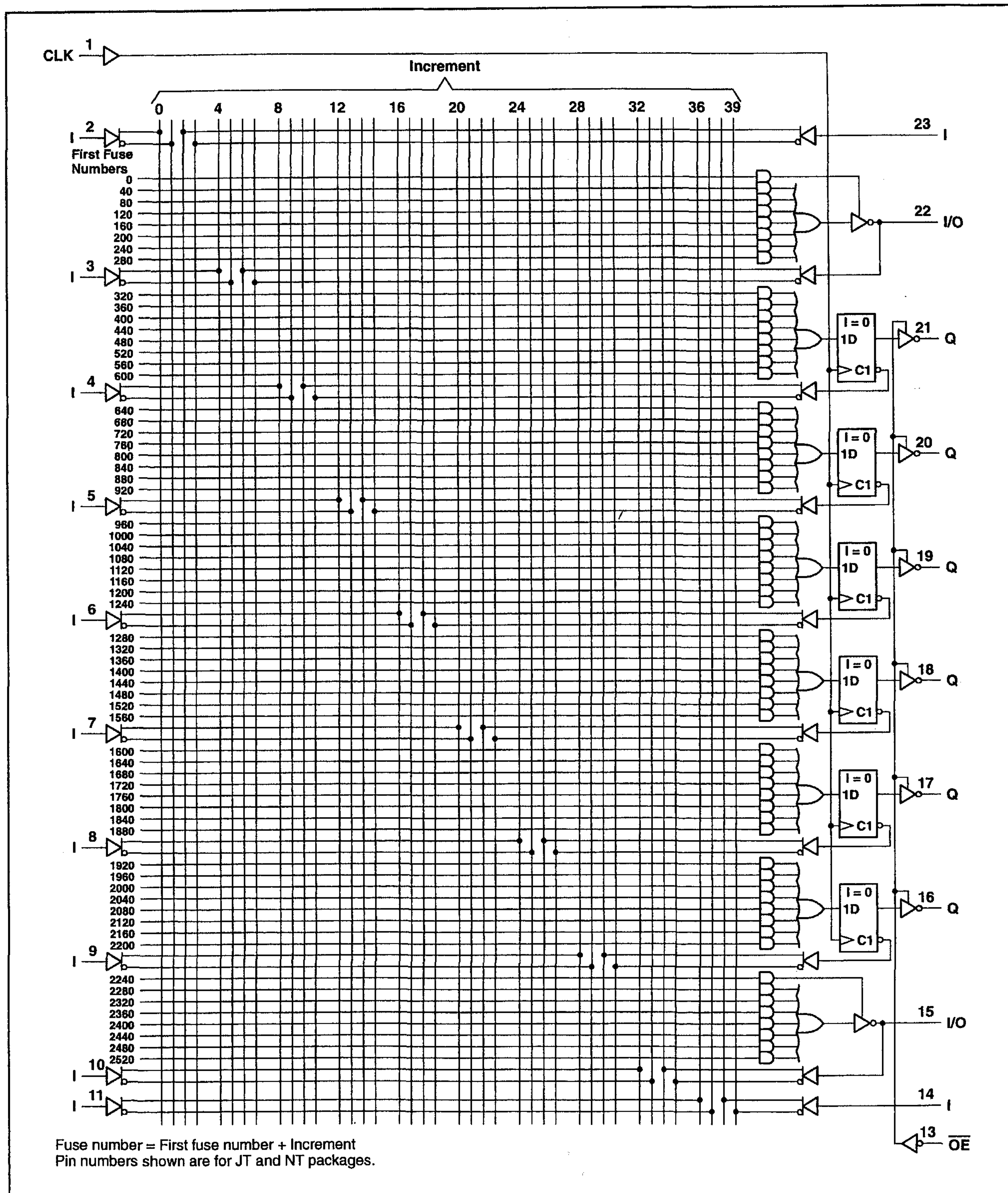
Figuur 8/10.4-25: Functioneel blokschema van de TIBPAL20R6.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



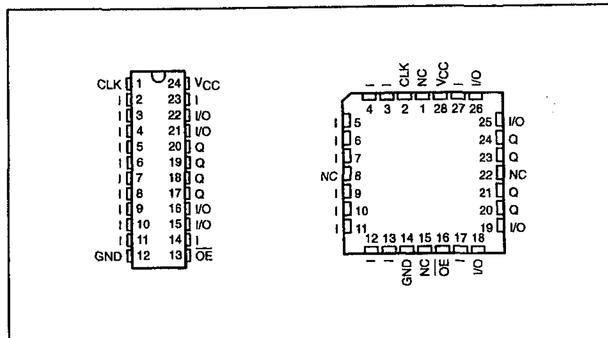
Figuur 8/10.4-23: Logisch schema (positieve logica) van de TIBPAL20R8.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

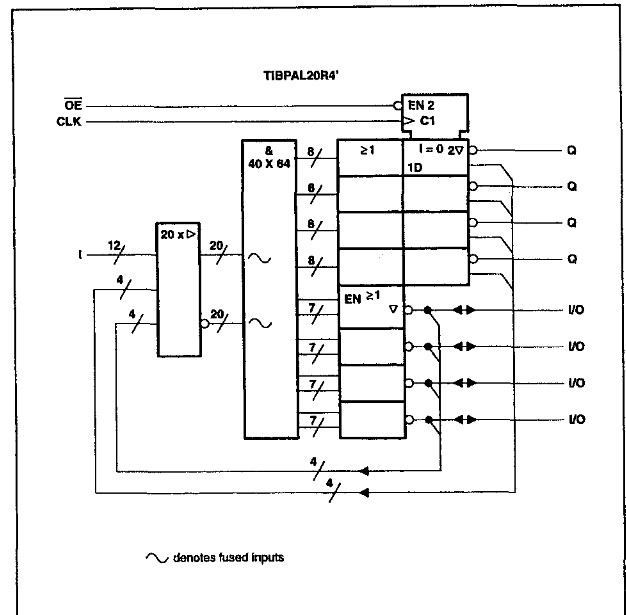


Figuur 8/10.4-26: Logisch schema (positieve logica) van de TIBPAL20R6.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

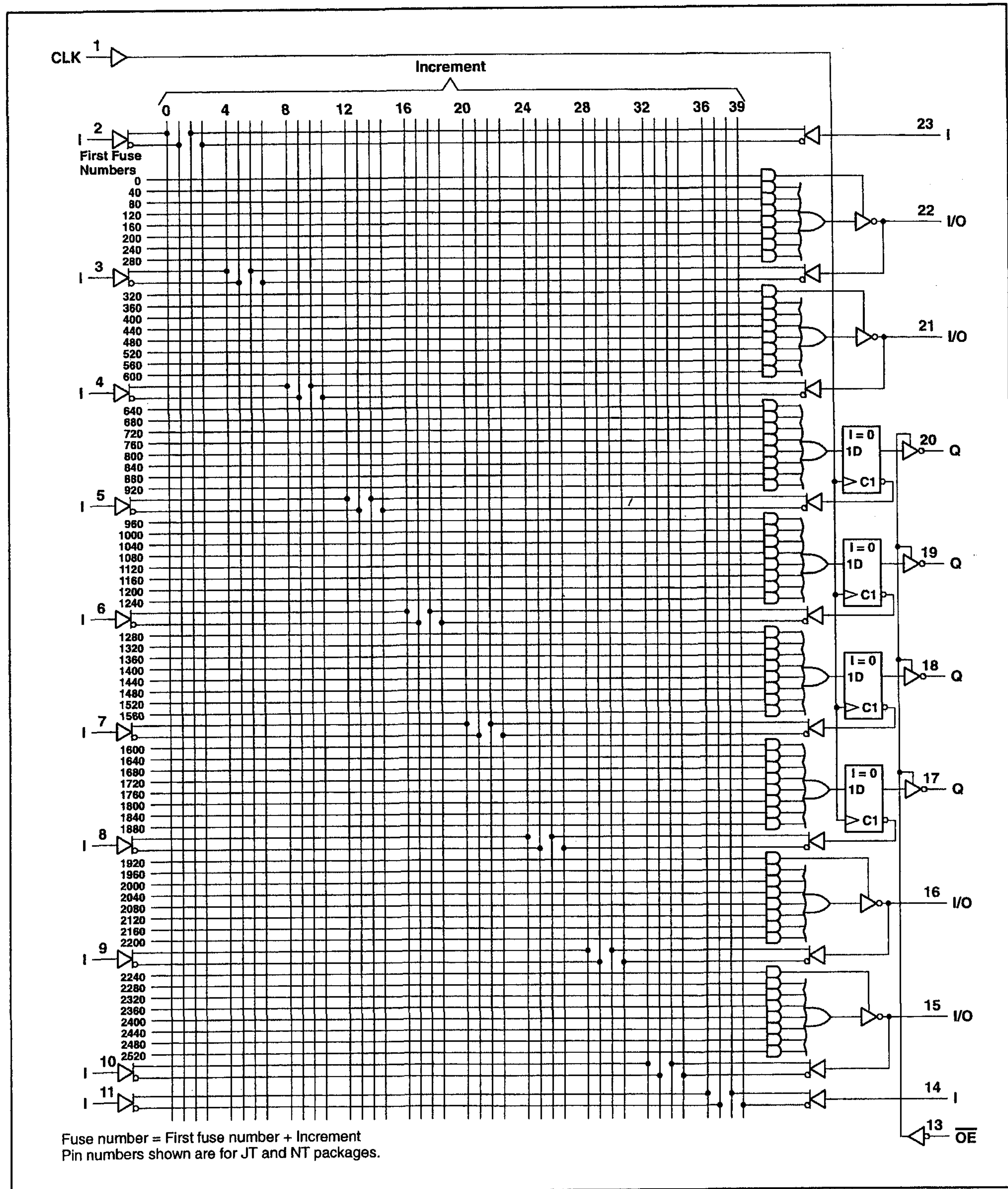


Figuur 8/10.4-27: Aansluitingen van de DIL- en LCC-versie van de TIB-PAL20R4.



Figuur 8/10.4-28: Functioneel blokschema van de TIBPAL20R4.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



Figuur 8/10.4-29: Logisch schema (positieve logica) van de TIBPAL20R4.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage (see Note 1)	5.5 V
Voltage applied to disabled output (see Note 1)	5.5 V
Operating free-air temperature range	0°C to 75°C
Storage temperature range	−65°C to 150°C

Tabel 8/10.4-20: Maximaal toegelaten waarden voor de C-typen.

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage (see Note 1)	5.5 V
Voltage applied to disabled output (see Note 1)	5.5 V
Operating free-air temperature range	−55°C to 125°C
Storage temperature range	−65°C to 150°C

Tabel 8/10.4-21: Maximaal toegelaten waarden voor de M-typen.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage (see Note 2)	2		5.5	V
V_{IL}	Low-level input voltage (see Note 2)			0.8	V
I_{OH}	High-level output current			−3.2	mA
I_{OL}	Low-level output current			24	mA
T_A	Operating free-air temperature	0	25	75	°C

NOTE 2: These are absolute voltage levels with respect to the ground pin of the device and include all overshoots due to system and/or tester noise. Testing these parameters should not be attempted without suitable equipment.

Tabel 8/10.4-22: Aanbevolen bedrijfscondities voor de C-typen.
Maximale clockfrequenties: -5C: 125 MHz, -7C: 100 MHz, -10C: 71,4 MHz, -15C: 45 MHz, -25C: 33 MHz.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2		5.5	V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−2	mA
I_{OL}	Low-level output current			12	mA

Tabel 8/10.4-23: Aanbevolen bedrijfscondities voor de M-typen.
Maximale clockfrequenties: -7M: 100 MHz, -10M: 62,5 MHz, -20M: 41,6 MHz.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA			−0.8	−1.5	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = −3.2 mA		2.4	3.2		V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 24 mA			0.3	0.5	V
I_{OZH}‡	V_{CC} = 5.25 V,	V_O = 2.7 V				100	µA
I_{OZL}‡	V_{CC} = 5.25 V,	V_O = 0.4 V				−100	µA
I_I	V_{CC} = 5.25 V,	V_I = 5.5 V				100	µA
I_{IH}‡	V_{CC} = 5.25 V,	V_I = 2.7 V				25	µA
I_{IL}‡	V_{CC} = 5.25 V,	V_I = 0.4 V			−80	−250	µA
I_{OS}§	V_{CC} = 5.25 V,	V_O = 0.5 V		−30	−70	−130	mA
I_{CC}	V_{CC} = 5.25 V,	V_I = 0,	Outputs open		150	210	mA
C_i	f = 1 MHz,	V_I = 2 V			5		pF
C_o	f = 1 MHz,	V_O = 2 V			6		pF
C_{clk}	f = 1 MHz,	V_{CLK} = 2 V			6		pF

Tabel 8/10.4-24: Elektrische kenmerken van de C-typen (in het aanbevolen temperatuurgebied).

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.5 V,	I_I = −18 mA		−0.8	−1.5	V
V_{OH}		V_{CC} = 4.5 V,	I_{OH} = −2 mA	2.4	3.2		V
V_{OL}		V_{CC} = 4.5 V,	I_{OL} = 12 mA		0.3	0.5	V
I_{OZH}‡		V_{CC} = 5.5 V,	V_O = 2.7 V			20	µA
I_{OZL}‡		V_{CC} = 5.5 V,	V_O = 0.4 V			−0.1	mA
I_I		V_{CC} = 5.5 V,	V_I = 5.5 V			1	mA
I_{IH}‡	I/O ports	V_{CC} = 5.5 V,	V_I = 2.7 V			100	µA
	All others					25	
I_{IL}‡		V_{CC} = 5.5 V,	V_I = 0.4 V		−0.08	−0.25	mA
I_{OS}§		V_{CC} = 5.5 V,	V_O = 0.5 V	−30	−70	−130	mA
I_{CC}		V_{CC} = 5.5 V, V_I = 0,	Outputs open, OE = V_{IH}		140	220	mA
C_i		f = 1 MHz,	V_I = 2 V		5		pF
C_o		f = 1 MHz,	V_O = 2 V		6		pF
C_{clk}		f = 1 MHz,	V_{CLK} = 2 V		6		pF

Tabel 8/10.4-25: Elektrische kenmerken van de M-typen (in het aanbevolen temperatuurgebied).

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)		MIN	TYP†	MAX	UNIT
f_{max}¶	without feedback			100			MHz
	with internal feedback (counter configuration)			100			
	with external feedback			74			
t_{pd}	I, I/O	O, I/O	1 or 2 outputs switching	3	5.5	7	ns
			8 outputs switching	3	6	7.5	
t_{pd}	CLK↑	Q		2	4	6.5	ns
t_{pd}#	CLK↑	Feedback input				3	ns
t_{en}	OE↓	Q			4	7.5	ns
t_{dis}	OE↑	Q			4	7.5	ns
t_{en}	I, I/O	O, I/O			6	9	ns
t_{dis}	I, I/O	O, I/O			6	9	ns
$t_{sk(o)}$ǁ	Skew between registered outputs				0.5		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ I/O leakage is the worst case of I_{OZL} and I_{IL} or I_{OZH} and I_{IH} respectively.
§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. avoid test problems caused by test equipment ground degradation.
¶ See section for f_{max} specifications.

Tabel 8/10.4-26: Schakeltijden bij de 7C-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	without feedback		71.4			MHz
	with internal feedback (counter configuration)		58.8			
	with external feedback		55.5			
t_{pd}	I, I/O	O, I/O	3	8	10	
t_{pd}	CLK↑	Q	2	5	8	ns
t_{pd}#	CLK↑	Feedback input			7	ns
t_{en}	OE↓	Q	2	6	10	ns
t_{dis}	OE↑	Q	2	6	10	ns
t_{en}	I, I/O	O, I/O	3	8	10	ns
t_{dis}	I, I/O	O, I/O	2	8	10	ns
$t_{sk(o)}$ǁ	Skew between registered outputs			0.5		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ I/O leakage is the worst case of I_{OZL} and I_{IL} or I_{OZH} and I_{IH} respectively.
§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. avoid test problems caused by test equipment ground degradation.
¶ See section for f_{max} specifications. f_{max} does not apply for TIBPAL20L8'.

Tabel 8/10.4-27: Schakeltijden bij de 10C-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	With feedback		37	40		MHz
	Without feedback		45	50		
t_{pd}	I, I/O	O, I/O		12	15	ns
t_{pd}	CLK↑	Q		8	12	ns
t_{en}	$\overline{OE}$	Q		10	15	ns
t_{dis}	$\overline{OE}$↑	Q		8	12	ns
t_{en}	I, I/O	O, I/O		12	18	ns
t_{dis}	I, I/O	O, I/O		12	15	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

‡ For I/O ports, the parameters I_{IH} and I_{IL} include the off-state output current.

§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

¶ $f_{max}(\text{with feedback}) = \frac{1}{t_{su} + t_{pd}\ (\text{CLK to Q})}$, $f_{max}(\text{without feedback}) = \frac{1}{t_w\ \text{high} + t_w\ \text{low}}$,

f_{max} does not apply for TIBPAL20L8,.

Tabel 8/10.4-28: Schakeltijden bij de 15C-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	With feedback		25	40		MHz
	Without feedback		33	50		
t_{pd}	I, I/O	O, I/O	3	14	25	ns
t_{pd}	CLK↑	Q	2	10	15	ns
t_{en}	$\overline{OE}$	Q	2	8	15	ns
t_{dis}	$\overline{OE}$↑	Q	2	8	15	ns
t_{en}	I, I/O	O, I/O	3	15	25	ns
t_{dis}	I, I/O	O, I/O	3	15	25	ns

Tabel 8/10.4-29: Schakeltijden bij de 25C-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)		TEST CONDITIONS	TIBPAL20L8-5CFN MIN	TIBPAL20L8-5CFN MAX	TIBPAL20L8-5CJT TIBPAL20L8-5CNT MIN	TIBPAL20L8-5CJT TIBPAL20L8-5CNT MAX	UNIT
t_{pd}	I, I/O	O, I/O	with up to 4 outputs switching	R1 = 200 Ω, R2 = 200 Ω, See Figure 8	1.5	5	1.5	5	ns
	I, I/O	O, I/O	with more than 4 outputs switching		1.5	5	1.5	5.5	
t_{en}	I, I/O	O, I/O			2	7	2	7	ns
t_{dis}	I, I/O	O, I/O			2	7	2	7	ns

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	TIBPAL20R4-5CFN TIBPAL20R6-5CFN MIN	TYP†	MAX	TIBPAL20R4-5CJT TIBPAL20R4-5CNT TIBPAL20R6-5CJT TIBPAL20R6-5CNT MIN	TYP†	MAX	UNIT
f_{max}¶	without feedback		R1 = 200 Ω, R2 = 200 Ω, See Figure 8	125			125			MHz
	with internal feedback (counter configuration)			125			125			
	with external feedback			117			111			
t_{pd}	CLK↑	Q		1.5		4	1.5		4.5	ns
t_{pd}	CLK↑	Internal feedback				3.5			3.5	ns
t_{pd}	I, I/O	I/O		1.5		5	1.5		5	ns
t_{en}	$\overline{OE}$↓	Q		1.5		6	1.5		6	ns
t_{dis}	$\overline{OE}$↑	Q		1		6.5	1		7	ns
t_{en}	I, I/O	I/O		2		7	2		7	ns
t_{dis}	I, I/O	I/O		2		7	2		7	ns
t_r					1.5			1.5		ns
t_f					1.5			1.5		ns
$t_{sk(o)}$#	Skew between registered outputs				0.5			0.5		ns

PARAMETER	FROM (INPUT)	TO (OUTPUT)		TEST CONDITIONS	TIBPAL20R8-5CFN MIN	TYP†	MAX	TIBPAL20R8-5CJT TIBPAL20R8-5CNT MIN	TYP†	MAX	UNIT
f_{max}§	without feedback			R1 = 200 Ω, R2 = 200 Ω, See Figure 8	125			125			MHz
	with internal feedback (counter configuration)				125			125			
	with external feedback				117			111			
t_{pd}	CLK↑	Q	with up to 4 outputs switching		1.5		4	1.5		4	ns
	CLK↑	Q	with more than 4 outputs switching		1.5		4	1.5		4.5	
t_{pd}¶	CLK↑	Internal feedback					3.5			3.5	ns
t_{en}	$\overline{OE}$↓	Q			1.5		6	1.5		6	ns
t_{dis}	$\overline{OE}$↑	Q			1		6.5	1		7	ns
t_r						1.5			1.5		ns
t_f						1.5			1.5		ns
$t_{sk(o)}$#	Skew between outputs					0.5			0.5		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ *Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.* V_O is set at 0.5 V to avoid test problems caused by test equipment ground degradation.
§ See 'f_{max} Specification' near the end of this data sheet.
¶ This parameter is calculated from the measured f_{max} with internal feedback in a counter configuration (see Figure 4 for illustration).
# $t_{sk(o)}$ is the skew time between registered outputs.

Tabel 8/10.4-30: Schakeltijden bij diverse 5C-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}§	without feedback		100		MHz
	with internal feedback (counter configuration)		100		
	with external feedback		74		
t_{pd}	I, I/O	O, I/O	1	7	ns
t_{pd}	CLK	Q	1	7	ns
t_{en}	OE↓	Q	1	8	ns
t_{dis}	OE↑	Q	1	10	ns
t_{en}	I, I/O	O, I/O	1	9	ns
t_{dis}	I, I/O	O, I/O	1	10	ns

Tabel 8/10.4-31: Schakeltijden bij de 7M-typen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	without feedback		62.5			MHz
	with internal feedback (counter configuration)		62.5			
	with external feedback		50			
t_{pd}	I, I/O	O, I/O	1	6	10	ns
t_{pd}	CLK↑	Q	1	4	10	ns
t_{pd}#	CLK↑	Feedback input			5	ns
t_{en}	OE↓	Q	1	4	10	ns
t_{dis}	OE↑	Q	1	4	10	ns
t_{en}	I, I/O	O, I/O	1	6	12	ns
t_{dis}	I, I/O	O, I/O	1	6	10	ns

Tabel 8/10.4-32: Schakeltijden bij de 10M-typen.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	With feedback		28.5	40		MHz
	Without feedback		41.6	50		
t_{pd}	I, I/O	O, I/O		12	20	ns
t_{pd}	CLK↑	Q		8	15	ns
t_{en}	$\overline{OE}$	Q		10	20	ns
t_{dis}	$\overline{OE}$↑	Q		8	20	ns
t_{en}	I, I/O	O, I/O		12	25	ns
t_{dis}	I, I/O	O, I/O		12	20	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ For I/O ports, the parameters I_{IH} and I_{IL} include the off-state output current.
§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second. avoid test equipment ground degradation.

¶ $f_{max}(\text{with feedback}) = \frac{1}{t_{su} + t_{pd}\ (\text{CLK to Q})}$, $f_{max}(\text{without feedback}) = \frac{1}{t_w\ \text{high} + t_w\ \text{low}}$,

f_{max} does not apply for TIBPAL20L8,.

Tabel 8/10.4-33: Schakeltijden bij de 20M-typen.

TIBPAL22V10

(-7C, -10C, -15BC, -20M)

De TIBPAL22V10 is een programmeerbaar logisch array waarbij de gebruikelijke logische structuur van de "som-van-produkten" (AND-OR) wordt gecombineerd met de nieuwere "Programmeerbare Macrocel" (Programmable Output Logic Macrocell). Ook deze IMPACT-X schakelingen berusten op de combinatie van ALS-technologie en titanium-wolfraam zekeringen ter vervangingen van schakelingen met conventionele TTL-logica.

De TIBPAL22V10 heeft 22 ingangen en 10 uitgangen waarbij van elke uitgang de architectuur apart gedefinieerd en geprogrammeerd kan worden: de al dan niet inverterende uitgangen kunnen wel of niet van registers worden voorzien, zoals te zien is in het schema van de macrocel. De 10 potentiële uitgangen worden door middel van individuele producttermen enabled. Verdere voordelen ontstaan door de nieuwe variabele productterm-distributie. Door deze techniek kunnen aan elke uitgang tussen de 8 en 16 producttermen worden toegewezen (gemiddeld 12 producttermen per uitgang).

Deze variabele allocatie van termen maakt de implementatie van veel complexere functies mogelijk. Verder staan de ontwerper nog een synchrone set- en een asynchrone reset-productterm ter beschikking. Deze functies zijn voor alle registers gemeenschappelijk. Als de synchrone set-productterm logisch "1" is, worden de uitgangsregisters op de volgende LAAG-naar-HOOG overgang van de clock met een logische "1" geladen. Bij een logische "1" van de asynchrone reset-productterm worden de uitgangsregisters met een logische "0" geladen. Het niveau van de uitgangen na een (re)set hangt af van de tijdens het programmeren gekozen polariteit. Tijdens het testen kunnen de uitgangsregisters op elke gewenste toestand worden voorgeladen.

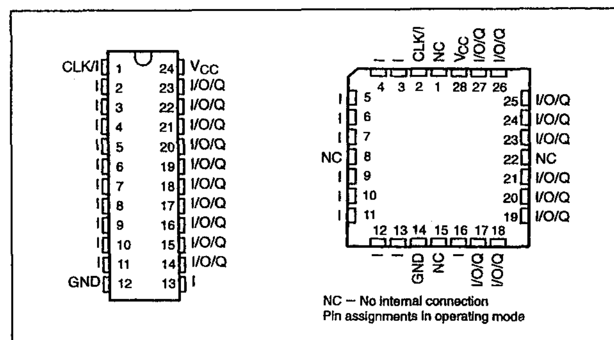
Door alle genoemde mogelijkheden kan de TIBPAL20V10 in plaats van zo'n 500 tot 800 equivalente logische schakelingen worden gebruikt. Aangezien elke uitgangspen zowel tijdelijk als permanent ook individueel als ingang kan worden geconfigureerd, zijn functies van maximaal 21 ingangen met een enkele uitgang tot 12 ingangen met 10 uitgangen mogelijk.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

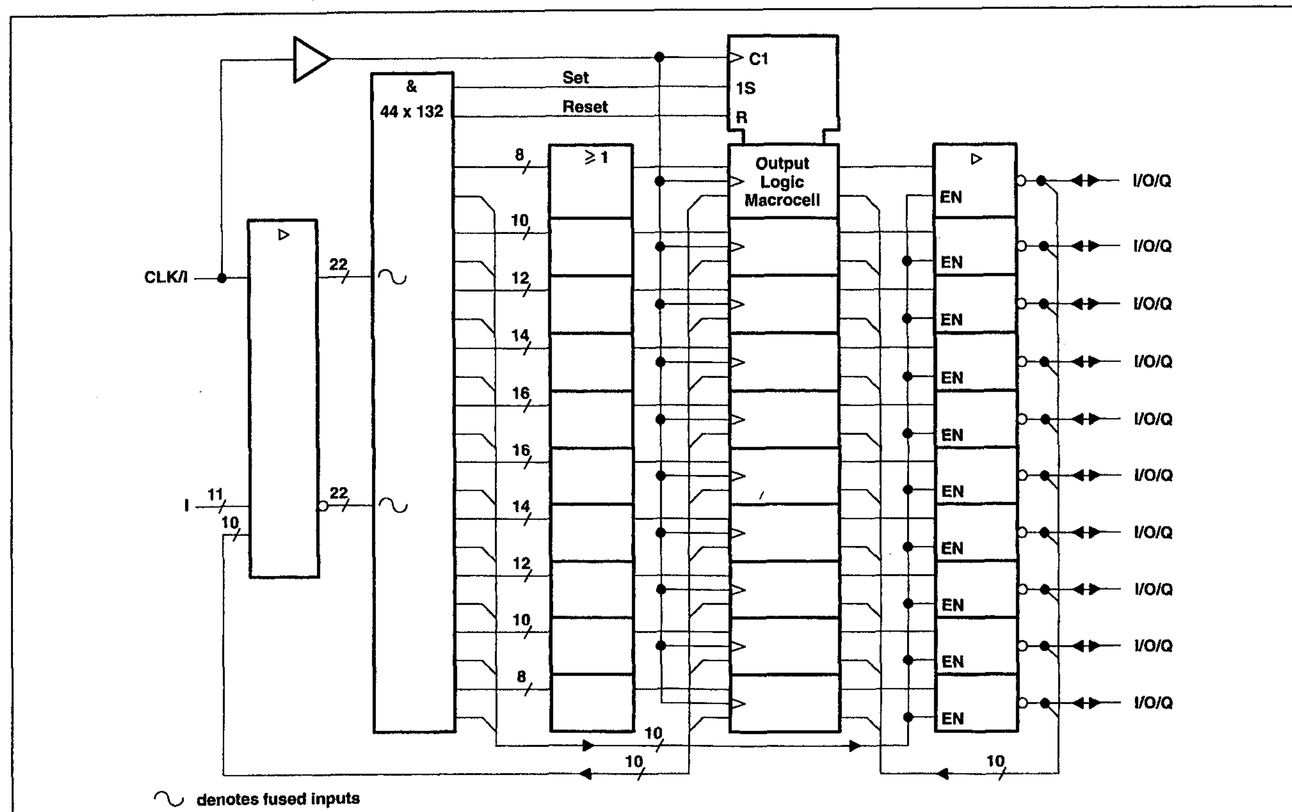
De TIBPAL20V10 is voorzien van een power-up clearfunctie waardoor alle uitgangen met registers in een van te voren bepaalde toestand komen (actief-LAGE worden HOOG en omgekeerd). De schakeling heeft één "security fuse" om ongeoorloofd kopiëren tegen te gaan. Zodra deze is doorgebrand is het verificatie-circuit gesperd en lijken alle zekeringen open te zijn.
De C-typen zijn verkrijgbaar in 24-pens plastic DIL-behuizing (NT) en als 28-pens plastic chip carrier (FN); de M-typen in 24-pens ceramische DIL-behuizing (JT) en als 28-pens ceramische chip carrier (FK).

Overzicht van de TIBPAL22V10-typen

- TIBPAL22V10-7C:
  f_{max}: 80 MHz, delay: 7,5 ns max..
- TIBPAL22V10-10C:
  f_{max}: 71 MHz, delay: 10 ns max.
- TIBPAL22V10-15BC:
  f_{max}: 40 MHz, delay: 15 ns max.
- TIBPAL22V10-10M:
  f_{max}: 33,3 MHz, delay: 20 ns max.
- TIBPAL22V10C:
  f_{max}: 18 MHz, delay: 35 ns max.
- TIBPAL22V10AC:
  f_{max}: 28,5 MHz, delay: 25 ns max.
- TIBPAL22V10AM:
  f_{max}: 22 MHz, delay: 30 ns max.

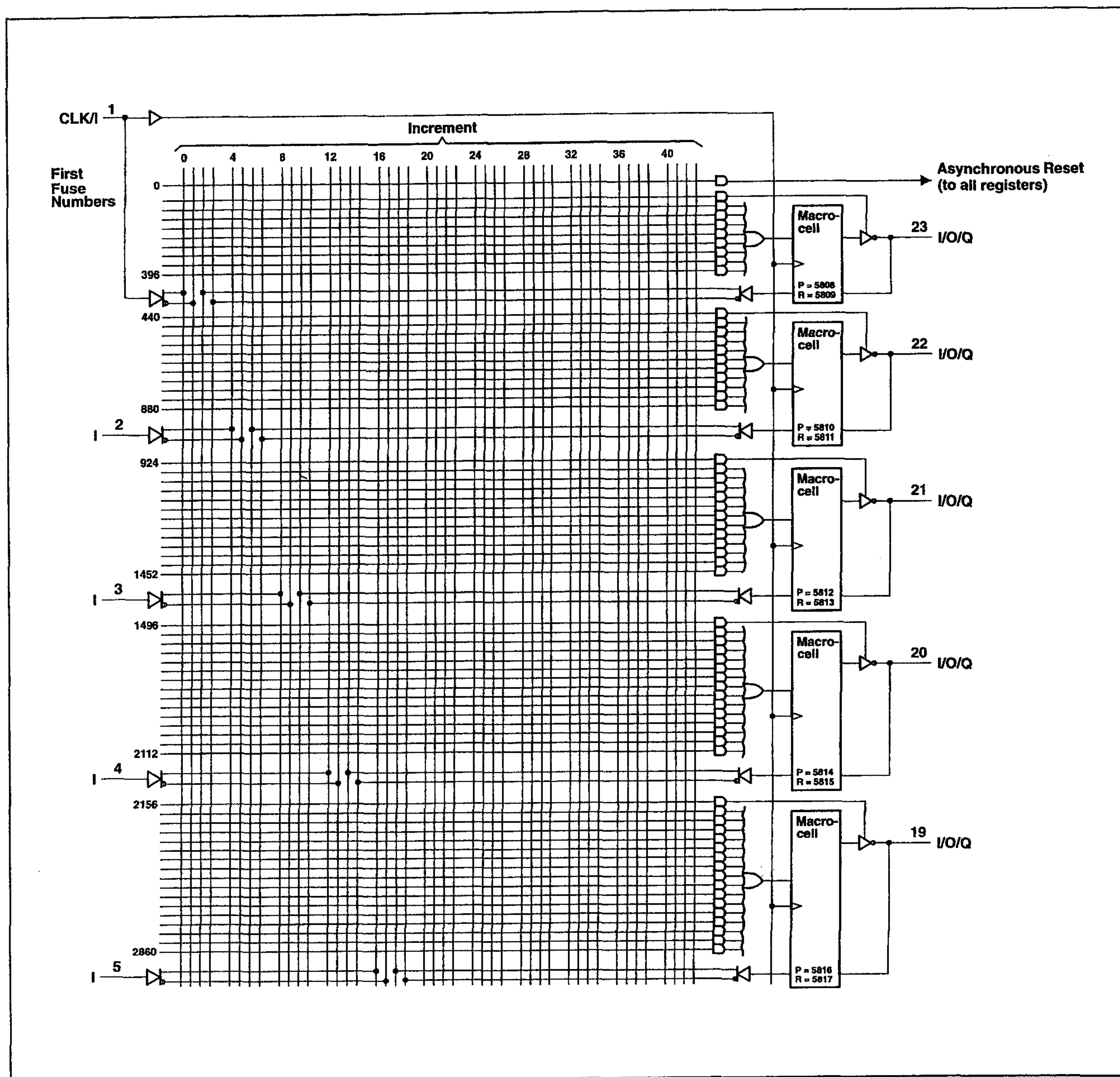


Figuur 8/10.4-30: Aansluitingen van de DIL- en LCC-versie van de TIBPAL22V10.



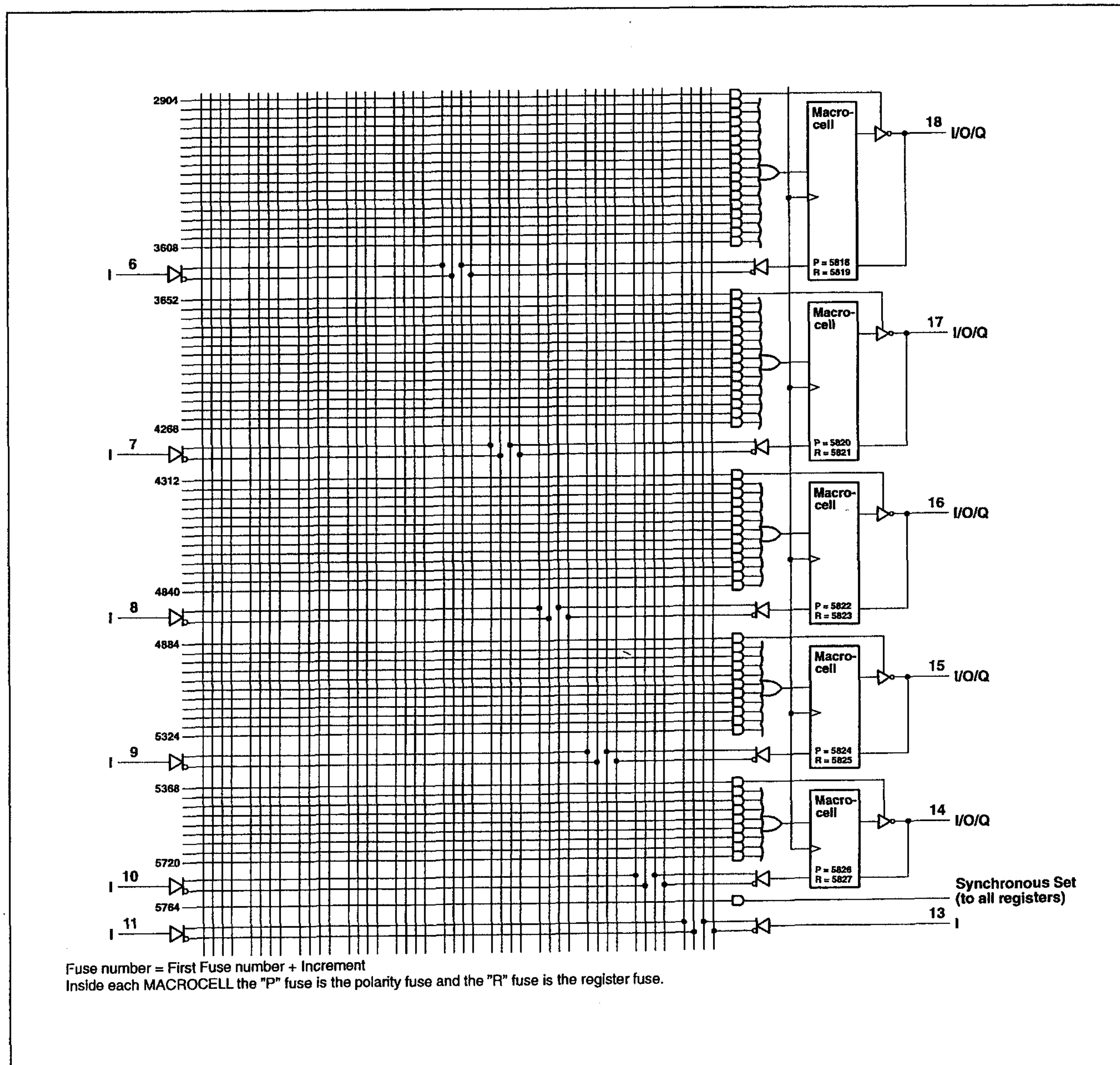
Figuur 8/10.4-31: Functioneel blokschema van de TIBPAL22V10 (en TIBPAL22VP10).

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



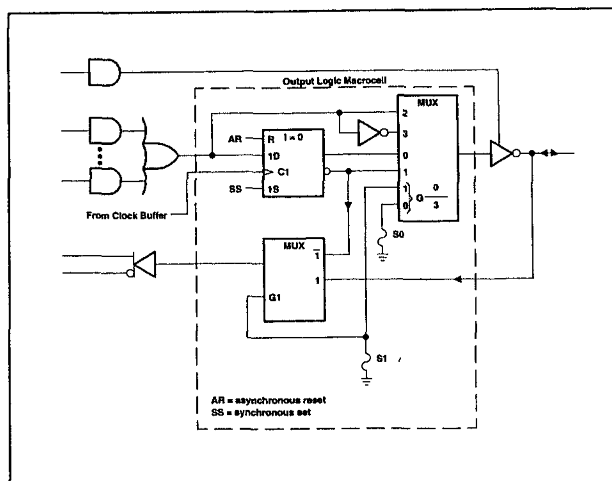
Figuur 8/10.4-32a: Eerste helft van het logisch schema (positieve logica) van de TIBPAL22V10 en TIBPAL22VP10.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

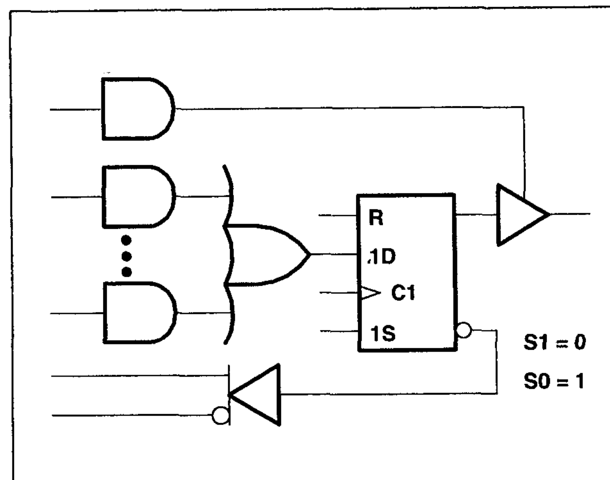


Figuur 8/10.4-32b: Tweede helft van het logisch schema (positieve logica) van de TIBPAL22V10 en TIBPAL22VP10.

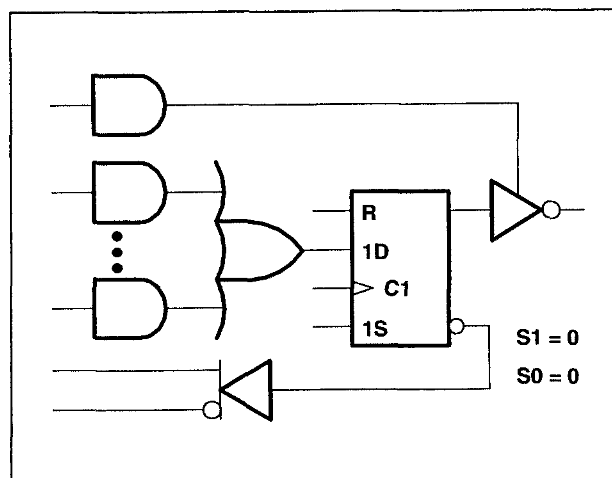
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



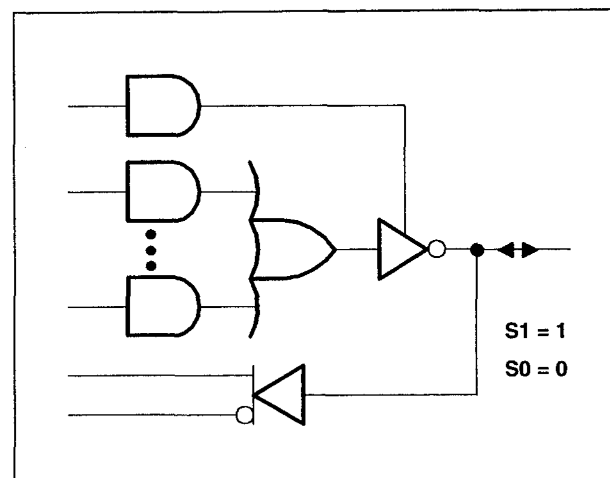
Figuur 8/10.4-33: Blokschema van een output logic macrocell van de TIBPAL22V10.



Figuur 8/10.4-35: Macrocel-functie na programmeren: register feedback, registered, actief-HOGE uitgang.



Figuur 8/10.4-34: Macrocel-functie na programmeren: register feedback, registered, actief-LAGE uitgang.



Figuur 8/10.4-36: Macrocel-functie na programmeren: I/O feedback, combinatorisch, actief-LAGE uitgang.

FUSE SELECT		FEEDBACK AND OUTPUT CONFIGURATION		
S1	S0			
0	0	Register feedback	Registered	Active low
0	1	Register feedback	Registered	Active high
1	0	I/O feedback	Combinational	Active low
1	1	I/O feedback	Combinational	Active high

0 = unblown fuse, 1 = blown fuse
S1 and S0 are select-function fuses as shown in the output logic macrocell diagram.

Tabel 8/10.4-34: Macrocel feedback en uitgangsfuncties.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

Supply voltage, V_{CC} (see Note 1) .... 7 V
Input voltage (see Note 1) .... –1.2 V to V_{CC} +0.5 V
Voltage range applied to disabled output (see Note 1) .... –0.5 V to V_{CC} +0.5 V
Operating free-air temperature range .... 0°C to 75°C
Storage temperature range .... –65°C to 150°C

NOTE 1: These ratings apply except for programming pins during a programming cycle or during a preload cycle.

Tabel 8/10.4-35: Maximaal toegelaten waarden voor de TIBPAL22V10-7C en TIBPAL22V10-10C.

Supply voltage, V_{CC} (see Note 1) .... 7 V
Input voltage (see Note 1) .... 5.5 V
Voltage applied to disabled output (see Note 1) .... 5.5 V
Operating free-air temperature range .... 0°C to 75°C
Storage temperature range .... –65°C to 150°C

NOTE 1: These ratings apply except for programming pins during a programming cycle or during a preload cycle.

Tabel 8/10.4-36: Maximaal toegelaten waarden voor de TIBPAL22V10-15BC, TIBPAL22V10C, TIBPAL22V10AC en TIBPAL22VP10-20C.

Supply voltage, V_{CC} (see Note 1) .... 7 V
Input voltage (see Note 1) .... 5.5 V
Voltage applied to disabled output (see Note 1) .... 5.5 V
Operating free-air temperature range .... –55°C to 125°C
Storage temperature range .... –65°C to 150°C

NOTE 1: These ratings apply except for programming pins during a programming cycle or during a preload cycle.

Tabel 8/10.4-37: Maximaal toegelaten waarden voor de TIBPAL22V10-10M, TIBPAL22V10AM en TIBPAL22VP10-25M.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2		5.5	V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			–3.2	mA
I_{OL}	Low-level output current			16	mA

Tabel 8/10.4-38: Aanbevolen bedrijfscondities voor de TIBPAL22V10-7C, TIBPAL22V10-10C, TIBPAL22V10-15BC, TIBPAL22V10C, TIBPAL22V10AC en TIBPAL22VP10-20C.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2		5.5	V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−2	mA
I_{OL}	Low-level output current			12	mA

Tabel 8/10.4-39: Aanbevolen bedrijfscondities voor de TIBPAL22V10-10M, TIBPAL22V10AM en TIBPAL22VP10-25M.

PARAMETER		TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}		V_{CC} = 4.75 V,	I_{OH} = −3.2 mA		2.4			V
V_{OL}		V_{CC} = 4.75 V,	I_{OL} = 16 mA			0.35	0.5	V
I_{OZH}‡		V_{CC} = 5.25 V,	V_O = 2.7 V				0.1	mA
I_{OZL}‡		V_{CC} = 5.25 V,	V_O = 0.4 V				−0.1	mA
I_I		V_{CC} = 5.25 V,	V_I = 5.5 V				1	mA
I_{IH}‡		V_{CC} = 5.25 V,	V_I = 2.7 V				25	µA
I_{IL}	CLK	V_{CC} = 5.25 V,	V_I = 0.4 V				−0.25	mA
	All others						−0.1	
I_{OS}§		V_{CC} = 5.25 V,	V_O = 0.5 V		−30		−130	mA
I_{CC}		V_{CC} = 5.25 V,	V_I = GND,	Outputs open			210	mA
C_i	I	f = 1 MHz,	V_I = 2 V			6		pF
	CLK					6		
C_o		f = 1 MHz,	V_O = 2 V			8		pF

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ I/O leakage is the worst case of I_{OZL} and I_{IL} or I_{OZH} and I_{IH}, respectively.
§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. V_O is set at 0.5 V to avoid test problems caused by test equipment ground degradation.

Tabel 8/10.4-40: Elektrische kenmerken van de TIBPAL22V10-7C en de TIBPAL22V10-10C in het aanbevolen temperatuurgebied.

PARAMETER		TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}		V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}		V_{CC} = 4.75 V,	I_{OH} = −3.2 mA		2.4	3.5		V
V_{OL}		V_{CC} = 4.75 V,	I_{OL} = 16 mA			0.35	0.5	V
I_{OZH}		V_{CC} = 5.25 V,	V_O = 2.7 V				0.1	mA
I_{OZL}		V_{CC} = 5.25 V,	V_O = 0.4 V				−0.1	mA
I_I		V_{CC} = 5.25 V,	V_I = 5.5 V				1	mA
I_{IH}		V_{CC} = 5.25 V,	V_I = 2.7 V				25	µA
I_{IL}	CLK	V_{CC} = 5.25 V,	V_I = 0.4 V				−0.15	mA
	All others						−0.1	
I_{OS}‡		V_{CC} = 5.25 V,	V_O = 0.5 V		−30		−90	mA
I_{CC}		V_{CC} = 5.25 V,	V_I = GND,	Outputs open		155	180	mA
C_i		f = 1 MHz,	V_I = 2 V			5.5		pF
C_o		f = 1 MHz,	V_O = 2 V			8		pF
C_{clk}		f = 1 MHz,	V_{CLK} = 2 V			7		pF

Tabel 8/10.4-41: Elektrische kenmerken van de TIBPAL22V10-15BC, TIBPAL22V10-10M, TIBPAL22V10AM en TIBPAL22VP10-25M in het aanbevolen temperatuurgebied.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER		TEST CONDITIONS	TIBPAL22V10C			TIBPAL22V10AC			UNIT
			MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}		V_{CC} = 4.75 V, I_I = −18 mA			−1.2			−1.2	V
V_{OH}		V_{CC} = 4.75 V, I_{OH} = −3.2 mA	2.4	3.5		2.4	3.5		V
V_{OL}		V_{CC} = 4.75 V, I_{OL} = 16 mA		0.35	0.5		0.35	0.5	V
I_{OZH}		V_{CC} = 5.25 V, V_O = 2.7 V			0.1			0.1	mA
I_{IL}	Any output	V_{CC} = 5.25 V, V_I = 0.4 V			−100			−100	μA
	Any I/O				−250			−250	
I_I		V_{CC} = 5.25 V, V_I = 5.5 V			1			1	mA
I_{IH}		V_{CC} = 5.25 V, V_I = 2.7 V			25			25	μA
I_{IL}		V_{CC} = 5.25 V, V_I = 0.4 V			−0.25			−0.25	mA
I_{OS}‡		V_{CC} = 5.25 V, V_O = 0.5 V	−30		−90	−30		−90	mA
I_{CC}		V_{CC} = 5.25 V, V_I = GND, Outputs open		120	180		120	180	mA

Tabel 8/10.4-42: Elektrische kenmerken van de TIBPAL22V10C, TIBPAL22V10AC en TIBPAL22VP10-20C in het aanbevolen temperatuurgebied.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TIBPAL22V10-7CFN		TIBPAL22V10-7CNT		UNIT
			MIN	MAX	MIN	MAX	
f_{max}¶	Without feedback		125		125		MHz
	With internal feedback (counter configuration)		100		100		
	With external feedback		87		80		
t_{pd}	I, I/O	I/O	3	7.5	3	7.5	ns
t_{pd}	I, I/O (reset)	Q		12		12	ns
t_{pd}	CLK	Q	1.5	6	1.5	7	ns
t_{pd}#	CLK	Feedback		4.5		4.5	ns
t_{en}	I, I/O	I/O, Q		8		8	ns
t_{dis}	I, I/O	I/O, Q		7.5		7.5	ns

¶ f_{max} (without feedback) = $\frac{1}{t_w(low) + t_w(high)}$

f_{max} (with internal feedback) = $\frac{1}{t_{su} + t_{pd}(CLK\ to\ feedback)}$

f_{max} (with external feedback) = $\frac{1}{t_{su} + t_{pd}(CLK\ to\ Q)}$

Tabel 8/10.4-43: Schakeltijden bij de TIBPAL22V10-7C.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}¶	Without feedback		100		MHz
	With internal feedback (counter configuration)		80		
	With external feedback		71		
t_{pd}	I, I/O	I/O	1	10	ns
t_{pd}	I, I/O (reset)	Q		15	ns
t_{pd}	CLK	Q	1	7	ns
t_{pd}#	CLK	Feedback		5.5	ns
t_{en}	I, I/O	I/O, Q		11	ns
t_{dis}	I, I/O	I/O, Q		9	ns

Tabel 8/10.4-44: Schakeltijden bij de TIBPAL22V10-10C.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}§	External feedback		40	60		MHz
t_{pd}	I, I/O	I/O		11	15	ns
t_{pd}	I, I/O (reset)	Q		13	20	ns
t_{pd}	CLK	Q		7	12	ns
t_{pd}	CLK	I/O		15	22	ns
t_{en}	I, I/O	I/O, Q		11	15	ns
t_{dis}	I, I/O	I/O, Q		11	15	ns

Tabel 8/10.4-45: Schakeltijden bij de TIBPAL22V10-15BC.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}§	External feedback		33.3		MHz
t_{pd}	I, I/O	I/O		20	ns
t_{pd}	I, I/O (reset)	Q		25	ns
t_{pd}	CLK	Q		15	ns
t_{en}	I, I/O	I/O, Q		20	ns
t_{dis}	I, I/O	I/O, Q		20	ns

§ f_{max} (with feedback) $= \frac{1}{t_{su} + t_{pd}(\text{CLK to Q})}$.

Tabel 8/10.4-46: Schakeltijden bij de TIBPAL22V10-20M.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

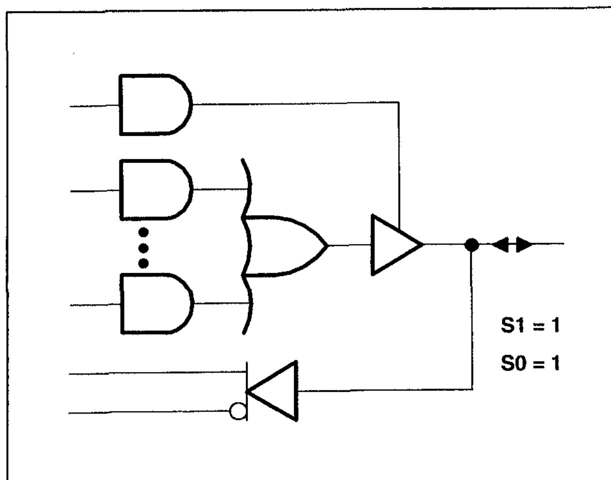
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	TIBPAL22V10C			TIBPAL22V10AC			UNIT
				MIN	TYP†	MAX	MIN	TYP†	MAX	
f_{max}¶	With feedback		R1 = 300 Ω, R2 = 390 Ω, See Figure 4	18			28.5			MHz
t_{pd}	I, I/O	I/O			15	35		15	25	ns
t_{pd}	I, I/O (reset)	Q			15	40		15	30	ns
t_{pd}	CLK	Q			10	25		10	15	ns
t_{en}	I, I/O	I/O, Q			15	35		15	25	ns
t_{dis}	I, I/O	I/O, Q			15	35		15	25	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. V_O is set at 0.5 V to avoid test problems caused by test equipment ground degradation.
¶ f_{max} (with feedback) $= \frac{1}{t_{su} + t_{pd}(\text{CLK to Q})}$, f_{max} (without feedback) $= \frac{1}{t_w(\text{low}) + t_w(\text{high})}$

Tabel 8/10.4-47: Schakeltijden bij de TIBPAL22V10C en TIBPAL22V10AC.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}¶	With feedback		22			MHz
t_{pd}	I, I/O	I/O		15	30	ns
t_{pd}	I, I/O (reset)	Q		15	35	ns
t_{pd}	CLK	Q		10	20	ns
t_{en}	I, I/O	I/O, Q		15	30	ns
t_{dis}	I, I/O	I/O, Q		15	30	ns

Tabel 8/10.4-48: Schakeltijden bij de TIBPAL22V10AM.



Figuur 8/10.4-37: Macrocel-functie na programmeren: I/O feedback, combinatorisch, actief-HOGE uitgang.

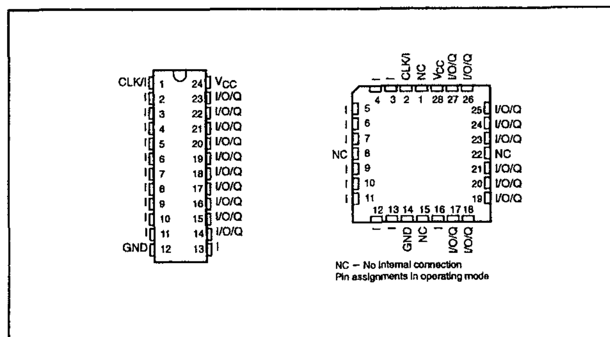
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

TIBPAL22VP10

(-20C, -25M)

De TIBPAL22VP10 is een met de TIB-PAL22V10(A) vergelijkbare PAL, die echter is voorzien van een extra feedback-pad. De verbeterde uitgangs-macrocel gebruikt de geregistreerde uitgangen als ingangen wanneer die zich in de hoog-impedante toestand bevinden. Hierdoor zijn twee extra uitgangsconfiguraties mogelijk (totaal dus zes).

De TIBPAL22VP10-20C is verkrijgbaar in een 24-pens plastic DIL-behuizing (NT) of als 28-pens plastic chip carrier (FN); de TIB-PAL22VP10-25M in 24-pens ceramische DIL-behuizing (JT) en als 28-pens ceramische chip carrier (FK).



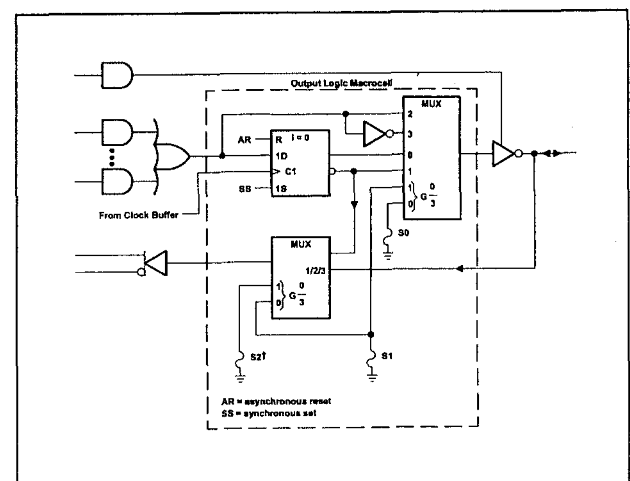
Figuur 8/10.4-38: Aansluitingen van de DIL- en LCC-versie van de TIB-PAL22VP10 (gelijk aan de overige TIBPAL22V10-typen).

Voor een aantal kenmerken wordt verwezen naar de hiervoor staande TIBPAL22V10-familie:

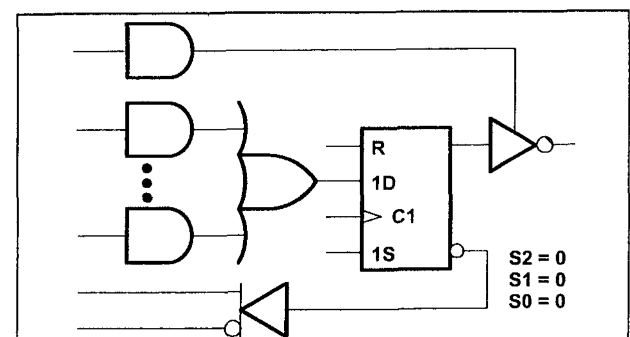
- Functioneel blokschema, zie figuur 8/10.4-31;
- Logisch schema (positieve logica), zie de figuren 8/10.4-32a en -32b;
- Maximaal toegelaten waarden van de TIBPAL22VP10-20C, zie tabel 8/10.4-36;
- Maximaal toegelaten waarden van de TIBPAL22VP10-25M, zie tabel 8/10.4-37;
- Aanbevolen bedrijfscondities voor de TIB-PAL22VP10-20C, zie tabel 8/10.4-38;
- Aanbevolen bedrijfscondities voor de TIB-PAL22VP10-25M, zie tabel 8/10.4-39;
- Elektrische kenmerken van de TIB-PAL22VP10-20C, zie tabel 8/10.4-42;
- Elektrische kenmerken van de TIB-PAL22VP10-25M, zie tabel 8/10.4-41.

De van de TIBPAL22V10 afwijkende gegevens zijn:

- TIBPAL22VP10-20C:
  f_{max}: 37 MHz, delay: 20 ns max
- TIBPAL22VP10-25M:
  f_{max}: 25 MHz, delay: 25 ns max

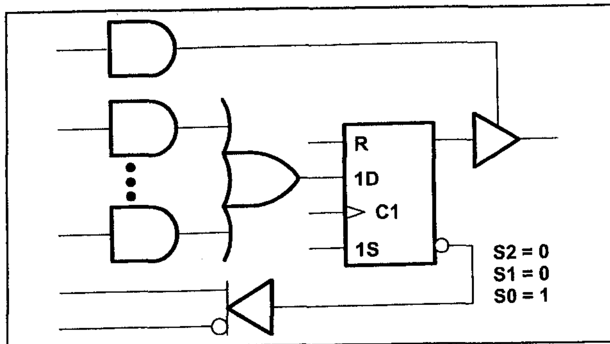


Figuur 8/10.4-39: Een output logic macrocell van de TIBPAL22VP10.

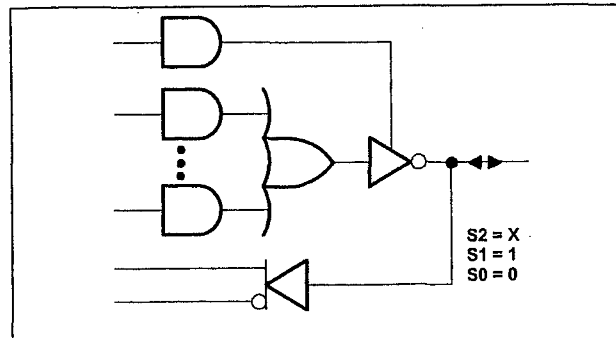


Figuur 8/10.4-40: Resulterende macrocel-feedback en uitgangslogica na het programmeren: register feedback, registered, actief-LAGE uitgang.

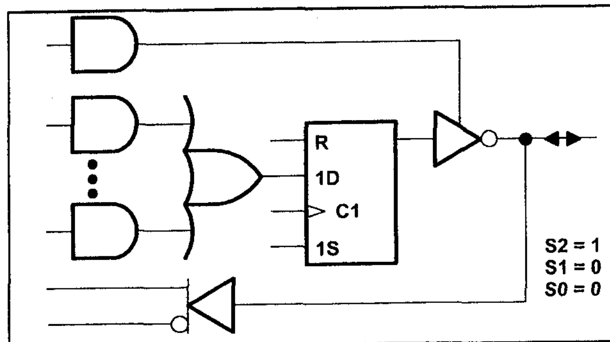
10.4 Type-beschrijving TIBPAL-serie PAL's (TI)



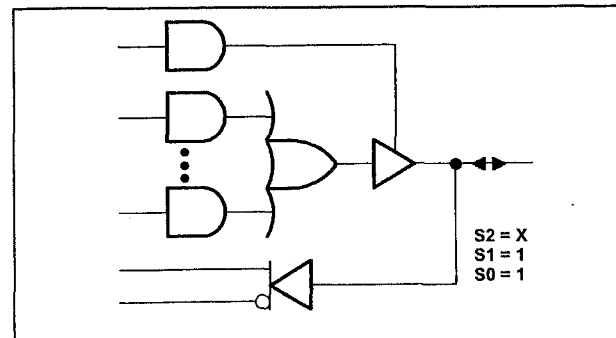
Figuur 8/10.4-41: Idem (na programmeren): register feedback, registered, actief-HOGE uitgang.



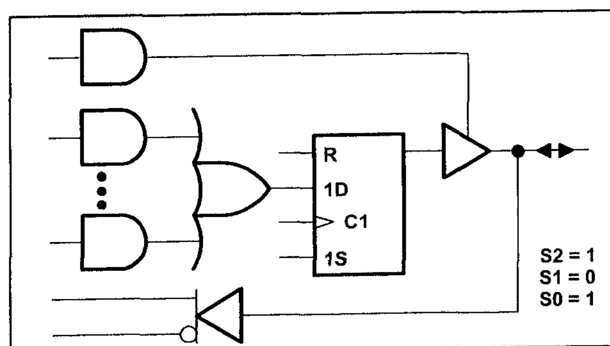
Figuur 8/10.4-44: Idem (na programmeren): I/O feedback, combinatorisch, actief-LAGE uitgang.



Figuur 8/10.4-42: Idem (na programmeren): I/O feedback, registered, actief-LAGE uitgang.



Figuur 8/10.4-45: Macrocel-functie na programmeren: I/O feedback, combinatorisch, actief-HOGE uitgang.



Figuur 8/10.4-43: Idem (na programmeren): I/O feedback, registered, actief-HOGE uitgang.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)

FUSE SELECT			FEEDBACK AND OUTPUT CONFIGURATION		
S2	S1	S0			
0	0	0	Register feedback	Registered	Active low
0	0	1	Register feedback	Registered	Active high
1	0	0	I/O feedback	Registered	Active low
1	0	1	I/O feedback	Registered	Active high
X	1	0	I/O feedback	Combinational	Active low
X	1	1	I/O feedback	Combinational	Active high

0 = unblown fuse, 1 = blown fuse, X = unblown or blown fuse
S2, S1 and S0 are select-function fuses as shown in the output logic macrocell diagram.

Tabel 8/10.4-49: Macrocel feedback en uitgangsfuncties.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}§			37	50		MHz
t_{pd}	I, I/O	I/O		12	20	ns
t_{pd}	I, I/O (reset)	Q		12	20	ns
t_{pd}	CLK	Q		8	12	ns
t_{en}	I, I/O	I/O, Q		12	20	ns
t_{dis}	I, I/O	I/O, Q		12	20	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. avoid test problems caused by test equipment ground degradation.

§ f_{max} (with feedback) $= \frac{1}{t_{su} + t_{pd} \text{ (CLK to Q)}}$, f_{max} without feedback can be calculated as

f_{max} (without feedback) $= \frac{1}{t_w \text{ high} + t_w \text{ low}}$.

Tabel 8/10.4-50: Schakeltijden bij de TIBPAL22VP10-20C.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}§			25	50		MHz
t_{pd}	I, I/O	I/O		12	25	ns
t_{pd}	I, I/O (reset)	Q		12	25	ns
t_{pd}	CLK	Q		8	15	ns
t_{en}	I, I/O	I/O, Q		12	25	ns
t_{dis}	I, I/O	I/O, Q		12	25	ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second. V_O is set at 0.5 V to avoid test problems caused by test equipment ground degradation.

§ f_{max} (with feedback) $= \frac{1}{t_{su} + t_{pd} \text{ (CLK to Q)}}$, f_{max} without feedback can be calculated as

f_{max} (without feedback) $= \frac{1}{t_w \text{ high} + t_w \text{ low}}$

Tabel 8/10.4-51: Schakeltijden bij de TIBPAL22VP10-25M.

10.4 Type-beschrijving TIBPAL-serie PAL's (TI)